

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年6月9日(09.06.2022)



(10) 国際公開番号

WO 2022/118479 A1

- (51) 国際特許分類:
H01L 23/12 (2006.01)
- (21) 国際出願番号: PCT/JP2020/045335
- (22) 国際出願日: 2020年12月4日(04.12.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 昭和電工マテリアルズ株式会社 (SHOWA DENKO MATERIALS CO., LTD.) [JP/JP]; 〒1006606 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).
- (72) 発明者: 池田 大助 (IKEDA Daisuke); 〒1006606 東京都千代田区丸の内一丁目9番2号 昭和電工マテリアルズ株式会社内 Tokyo (JP). 大

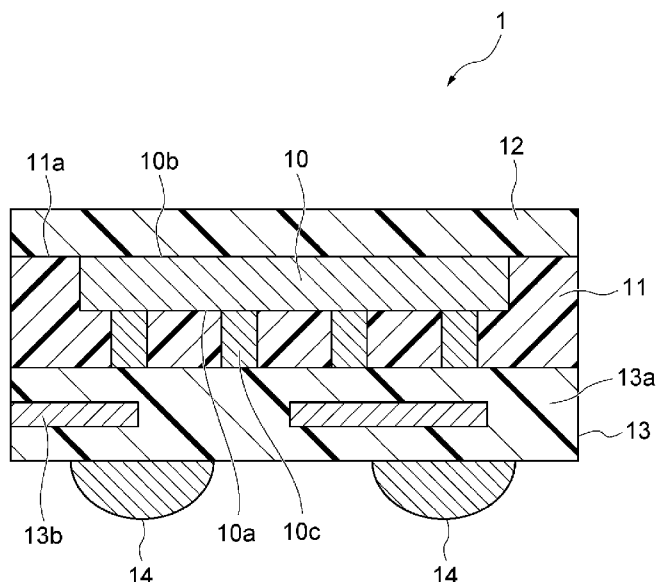
河原 奎佑 (OKAWARA Keisuke); 〒1006606 東京都千代田区丸の内一丁目9番2号 昭和電工マテリアルズ株式会社内 Tokyo (JP). 祖父 江 省吾 (SOBUE Shogo); 〒1006606 東京都千代田区丸の内一丁目9番2号 昭和電工マテリアルズ株式会社内 Tokyo (JP). 小川 紗瑛子 (OGAWA Sacko); 〒1006606 東京都千代田区丸の内一丁目9番2号 昭和電工マテリアルズ株式会社内 Tokyo (JP).

(74) 代理人: 長谷川 芳樹, 外 (HASEGAWA Yoshiki et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号丸の内 M Y P L A Z A (明治安田生命ビル) 9階 創英国際特許法律事務所 Tokyo (JP).

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法

[図1]



(57) Abstract: This method for manufacturing a semiconductor device 1 comprises: a step for preparing a plurality of semiconductor elements 10, each having a first surface 10a on which a connection terminal 10c is formed and a second surface 10b on the reverse side from the first surface 10a; a step for preparing a support member 24 in which a curable adhesive layer 22 is formed on a carrier 20; a step for attaching the plurality of semiconductor elements 10 to the support member 24 such that the second surfaces 10b of the plurality of semiconductor elements 10 face the curable adhesive



WO 2022/118479 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

layer 22; a step for fixing the plurality of semiconductor elements 10 to the support member 24 by curing the curable adhesive layer 22; a step for sealing the plurality of semiconductor elements 10 with a sealing material; and a step for removing the carrier 20.

(57) 要約 : 半導体装置 1 の製造方法は、接続端子 10c が形成された第 1 面 10a と第 1 面 10a の逆側にある第 2 面 10b とをそれぞれが有する複数の半導体素子 10 を準備する工程と、キャリア 20 上に硬化性接着剤層 22 が形成された支持部材 24 を準備する工程と、複数の半導体素子 10 の各第 2 面 10b が硬化性接着剤層 22 に向くように複数の半導体素子 10 を支持部材 24 に取り付ける工程と、硬化性接着剤層 22 を硬化して複数の半導体素子 10 を支持部材 24 に固定する工程と、複数の半導体素子 10 を封止材により封止する工程と、キャリア 20 を除去する工程と、を備える。

明 細 書

発明の名称：半導体装置の製造方法

技術分野

[0001] 本開示は、半導体装置の製造方法に関する。

背景技術

[0002] 特許文献1には、半導体装置の製造に用いられる加熱剥離型粘着シートが開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2003-306653号公報

発明の概要

発明が解決しようとする課題

[0004] 半導体装置の製造方法の1つとして、ファンアウトパッケージが知られている。このファンアウトパッケージでは、個片化した半導体チップ（ダイ）を別のウエハ上に配列、封止して再配置ウエハとした後に、再配線層（RDL：Re-Distribution Layer）を形成し、各半導体装置を製造する。このようなファンアウトパッケージの工法では、例えば図5に示すように、半導体素子10をキャリア120上に再配置する際、キャリア120の粘着層122（例えば特許文献1を参照）上に半導体素子10をまずは配置することが行われている。しかしながら、粘着層122は半導体素子10を仮固定するものでありキャリア120上に半導体素子10を強固に固定するものではないため、封止材によって半導体素子を封止する際に半導体素子に位置ずれが生じることがある。

[0005] 本開示は、半導体素子の位置ずれを低減するための製造方法を提供することを目的とする。

課題を解決するための手段

[0006] 本開示は、一側面として、半導体装置の製造方法に関する。この半導体装

置の製造方法は、接続端子が形成された第1面と該第1面の逆側にある第2面とをそれぞれが有する複数の半導体素子を準備する工程と、キャリア上に硬化性接着剤層が形成された支持部材を準備する工程と、複数の半導体素子の各第2面が硬化性接着剤層に向くように複数の半導体素子を支持部材に取り付ける工程と、硬化性接着剤層を硬化して複数の半導体素子を支持部材に固定する工程と、複数の半導体素子を封止材により封止する工程と、キャリアを除去する工程と、を備える。

[0007] この方法では、複数の半導体素子をキャリア上に取り付けるための層として硬化性接着剤層を用い、これを硬化して複数の半導体素子を支持部材に固定している。この場合、複数の半導体素子が硬化された硬化性接着剤層によりキャリア上に固定されるため、半導体素子の位置ずれを低減することができる。

[0008] 上記製造方法において、キャリアがガラス基板であり、硬化性接着剤層のガラス基板への接着力は、硬化性接着剤層を硬化した場合に1 MPa以上であり、且つ、硬化性接着剤層へレーザを照射した場合に5 MPa以下であってもよい。硬化性接着剤層のガラス基板への接着力が、硬化性接着剤層を硬化した場合に1 MPa以上であることにより、半導体素子の支持部材への固定をより強固にして、半導体素子の位置ずれをより低減することができる。また、硬化性接着剤層のガラス基板への接着力が、硬化性接着剤層へレーザを照射した場合に5 MPa以下であることにより、キャリアを除去する際にレーザ照射で簡単に取り外すことが可能となり、作業効率を改善することができる。

[0009] 上記製造方法において、硬化性接着剤層は、熱可塑性樹脂、及びエポキシ硬化剤を含む樹脂組成物から形成され、熱可塑性樹脂のガラス転移温度が -40°C 以上 40°C 以下であってもよい。この場合、パッケージ完成後の反りを低減するといったことが可能となる。なお、硬化性接着剤層は、光吸収剤を含んでもよく、又は、光吸収特性を有していてもよい。光吸収剤又は光吸収特性は、例えばUVレーザの一種であるエキシマレーザの波長域である1

93 nm以上351 nm以下の光を吸収してもよい。このエキシマレーザとしては、例えば、XeFエキシマレーザ（波長351 nm）、XeClエキシマレーザ（波長303 nm）、KrFエキシマレーザ（波長248 nm）、ArFエキシマレーザ（波長193 nm）等を挙げることができる。また、その他のUVレーザである、YAGレーザ（3倍波）（波長355 nm）、YAGレーザ（4倍波）（波長266 nm）等を用いてもよい。

[0010] 上記製造方法において、硬化性接着剤層の厚みは、硬化後において1 μ m以上400 μ m以下であってもよい。この場合、硬化した硬化性接着剤層により複数の半導体素子をより確実に保持して、半導体素子の位置ずれを一層低減することができる。また、厚みが400 μ m以下であることにより、製造される半導体装置の低背化を図ることが可能である。

[0011] 上記製造方法において、キャリアは、ガラス基板又は透明樹脂基板であり、その厚さが0.1 mm以上2.0 mm以下であることが好ましい。この場合、キャリアによって保持される複数の半導体素子等の位置ずれを抑制した状態で、例えば、封止材の研磨又は再配線層の形成などの工程を行うことができ、より低背化した精度のよい半導体装置を作製することが可能となる。

[0012] 上記製造方法において、複数の半導体素子が支持部材に固定された状態で、支持部材に固定された複数の半導体素子を封止する封止材層を研磨する工程を更に備えてもよい。この場合、従来のファンアウト工法で用いている半導体素子の保護膜を別途設ける必要がなく、当初から硬化性接着剤層によって貼り付けられているキャリアをそのまま各工程における保護膜として用いることができる。これにより、別途、保護膜を用いる場合に比べて、製造工程を簡素化したり、また製造コストを低減したりすることができる。また、当初からのキャリアをそのまま利用しているため、途中で別途、保護膜を貼り付ける場合に比べて、複数の半導体素子の位置ずれをより一層低減することも可能である。

[0013] 上記製造方法において、複数の半導体素子が支持部材に固定された状態で、支持部材に固定された複数の半導体素子の第1面上に再配線層を形成する

工程を更に備えてもよい。従来のファンアウト工法では、半導体素子を粘着層でキャリアに取り付けていたり、剛性のあるキャリアを途中で取り外して封止材を研磨していたりするため、封止材及び封止材に封止されている半導体素子の表面の平坦性が悪くなり、微細な再配線層を形成することが困難であった。これに対し、本製造方法によれば、キャリア上に複数の半導体素子を取り付けたまま封止材で封止等されるため、封止材及び封止材に封止されている半導体素子の表面の平坦性を高めることができる。このため、本製造方法によれば、微細な再配線層を容易に形成することが可能となる。

[0014] 上記製造方法において、複数の半導体素子が支持部材に固定された状態で、複数の半導体素子の接続端子又は再配線層に半田ボールを取り付ける工程を更に備えてもよい。この場合、キャリア上に位置ずれなく取り付けられた半導体素子又は再配線層に対して半田ボールを取り付けるため、精度よく半田ボールを取り付けることが可能となる。

[0015] 上記製造方法において、キャリアが光透過性基板であり、硬化性接着剤層が光吸収剤を含み、除去する工程では、硬化した硬化性接着剤層に対してキャリア側からレーザ光を照射して、キャリアを除去することが好ましい。この場合、キャリアの取り外し作業を簡易なものとすることができる。また、レーザ光による処理のため、キャリアを取り外した表面の平坦性又は清浄度を高くすることも可能である。

[0016] 上記製造方法において、除去する工程では、キャリアを削る又は溶かすことにより、キャリアを除去してもよい。

[0017] 上記製造方法において、除去する工程の後に、硬化した硬化性接着剤層又は封止材による封止材層の何れかの露出面をクリーニングする工程を更に備えてもよい。この場合、製造される半導体装置の表面をより綺麗にして見栄えをよくすることができる。

[0018] 上記製造方法において、除去する工程の後に複数の半導体素子を個片化する工程を更に備えてもよい。この場合、半導体素子を含む各半導体装置へ個片化するまでキャリア上に保持して各種の工程を行うことになるため、従来

用いていた各種の保護層（バックサイドコート等）を用いなくてもよくなり、製造工程の削減又は製造コストの低減を図ることができる。

[0019] 上記製造方法において、取り付けの工程では、複数の半導体素子と共に複数の電子部品を支持部材に取り付け、固定する工程では、硬化性接着剤層を硬化して複数の電子部品を支持部材に固定してもよい。この場合、電子部品も位置精度よく取り付けることが可能となり、より複雑な半導体装置を簡易な方法で作製することが可能となる。

発明の効果

[0020] 本開示の一側面によれば、半導体装置の製造にあたり、半導体素子の位置ずれを低減することができる。

図面の簡単な説明

[0021] [図1]図1は、本開示の一実施形態に係る方法によって製造される半導体装置の一例を示す断面図である。

[図2]図2（a）～（d）は、図1に示す半導体装置を製造する方法の一部を示す図である。

[図3]図3（a）～（d）は、図1に示す半導体装置を製造する方法であって、図2の工程の後に続いて行われる工程を示す図である。

[図4]図4（a）～（d）は、図1に示す半導体装置を製造する方法であって、図3の工程の後に続いて行われる工程を示す図である。

[図5]図5（a）～（e）は、半導体装置を製造する第1方法（フェイスアップ、支持板なし）の一部を示す図である。

[図6]図6（a）～（d）は、半導体装置を製造する第1方法であって、図5の工程の後に続いて行われる工程を示す図である。

[図7]図7（a）～（d）は、半導体装置を製造する第1方法であって、図6の工程の後に続いて行われる工程を示す図である。

[図8]図8（a）～（e）は、半導体装置を製造する第2方法（フェイスアップ、支持板あり）の一部を示す図である。

[図9]図6（a）～（e）は、半導体装置を製造する第2方法であって、図8

の工程の後に続いて行われる工程を示す図である。

[図10]図10(a)～(f)は、半導体装置を製造する第2方法であって、図9の工程の後に続いて行われる工程を示す図である。

発明を実施するための形態

[0022] 以下、必要により図面を参照しながら本開示のいくつかの実施形態について詳細に説明する。ただし、本開示は以下の実施形態に限られるものではない。以下の説明では、同一又は相当部分には同一の符号を付し、重複する説明は省略することがある。上下左右等の位置関係は、特に断らない限り、図面に示す位置関係に基づくものとする。図面の寸法比率は図示の比率に限られるものではない。

[0023] (半導体装置の構成)

図1は、本実施形態に係る製造方法によって製造される半導体装置の一例を模式的に示す断面図である。図1に示すように、半導体装置1は、例えばファンアウト構造を有する装置であり、半導体素子10、封止材層11、保護層12、再配線層13、及び、半田ボール14を備える。半導体装置1は、例えばファンアウトパッケージ(FOPKG)技術によって作製されるものであり、例えばファンアウトウエハレベルパッケージ(FOWLP)技術によって作製されてもよく、又は、ファンアウトパネルレベルパッケージ(FOLP)技術によって作製されてもよい。封止材層11は、半導体素子10を樹脂等の封止材により封止した層である。保護層12は、半導体素子10の第2面10b及び封止材層11の面11a上に配置された硬化層であり、後述する硬化性接着剤層22を硬化することにより形成される。再配線層13は、半導体素子10の第1面10a側の接続端子10cの端子ピッチを広げるための層であり、例えばポリイミド等の絶縁部分13a及び銅配線等の配線部分13bから構成される。半田ボール14は、再配線層13によって端子ピッチが広げられた端子に接続され、これにより半導体素子10の接続端子10cがピッチ変換されて(広げられて)半田ボール14に接続される。

[0024] (半導体装置の製造方法)

次に、図2～図4を参照して、半導体装置1を製造する方法について説明する。図2～図4は、半導体装置1を製造する方法を順に示す図である。この半導体装置の製造方法では、まず、接続端子10cが形成された第1面10aと第1面10aの逆側にある第2面10bとをそれぞれが有する複数の半導体素子10を準備する(図1及び図2(b)を参照)。複数の半導体素子10は、例えば、通常の半導体プロセスによってまとめて形成され、その後、ダイシングによって個片化され、各半導体素子10が作製される。この作製工程は、従来 of 工法を用いることができるため、説明を省略する。

[0025] また、図2(a)に示すように、ガラス基板等の光透過性を有するキャリア20上に硬化性接着剤層22を形成し、これにより、複数の半導体素子10を支持するための支持部材24を形成(準備)する。本製造方法では、ダイ再配置体上に取り付けられた半導体素子10を再度個片化するまでキャリア20上で各種の工程を行うため、キャリア20の厚みを例えば0.1mm以上2.0mm以下としている。但し、キャリア20の厚みはこれに限定されない。キャリア20は、ガラス基板であることが好ましいが、光透過性を有する透明樹脂基板であってもよい。また、キャリア20は、平面視した際に円板状のウエハ形状であってもよいし、矩形状のパネル形状であってもよい。

[0026] 硬化性接着剤層22は、例えば、硬化性接着剤である樹脂組成物をフィルム状にした部材(硬化性樹脂フィルム)から形成することができ、キャリア20に貼り付けることにより、支持部材24とすることができる。硬化性接着剤層22を構成する硬化性接着剤は、熱及び光の少なくとも一方によって硬化する接着剤であり、例えば、熱可塑性樹脂、及び、エポキシ硬化剤を含む樹脂組成物である。この硬化性接着剤に含まれる熱可塑性樹脂は、そのガラス転移温度が -40°C 以上 40°C 以下であってもよい。このような硬化性接着剤層22は、硬化後の厚みが例えば $1\mu\text{m}$ 以上 $400\mu\text{m}$ 以上になるように予め構成されていてもよい。また、硬化性接着剤層22を構成する硬化

性樹脂フィルムは、25℃においてタック性を有してもよく、より具体的には、25℃の環境下でガラス基板に貼り合わせられる程度のタック性を有していてもよい。硬化性接着剤層22のキャリア20への接着力は、硬化性接着剤層22を硬化した場合に1MPa以上であり、且つ、硬化性接着剤層22へレーザを照射した場合に5MPa以下となるように構成されていてもよい。

[0027] 硬化性接着剤層22は、後述するレーザ剥離工程（図3（d）を参照）でレーザ照射により加熱される部分であり、その樹脂組成物は、レーザ光を吸収する光吸収剤を含んでいることが好ましい。硬化性接着剤層22が光吸収剤を含む硬化性樹脂フィルムである場合、硬化性接着剤層22は十分に低い光透過性となる。硬化性接着剤層22に含まれる光吸収剤として、エキシマレーザによるレーザ光を吸収して発熱する材料が選定されてもよく、例えば黒色の顔料又は染料などが光吸収剤として添加されていてもよい。光吸収剤の具体例としては、カーボンブラック、アルミニウム、ニッケル、酸化チタンが挙げられる。光吸収剤の含有量は、例えば硬化性接着剤層22を構成する硬化性樹脂フィルムが波長351nmの光に対する透過率が20%以下となる範囲内のものとすることができる。具体的には、光吸収剤の含有量が、硬化性接着剤層22の質量を基準として1質量%以上30質量%以下、又は1質量%以上20質量%以下であってもよい。ここでの透過率は、硬化性接着剤層22に対して一方の主面側から所定の波長を有する光を入射させたときに、入射光の強度に対する透過光の強度の割合を意味する。

[0028] 硬化性接着剤層22を構成する熱可塑性樹脂は、反応性基を有していてもよい。熱可塑性樹脂の反応性基は、例えばエポキシ基であってもよい。熱可塑性樹脂は、（メタ）アクリル共重合体であってもよく、反応性基を有する（メタ）アクリル共重合体であってもよい。本明細書において、「（メタ）アクリル」は、アクリル又はメタクリルを意味する用語として用いられる。他の類似の用語も同様に解釈される。

[0029] （メタ）アクリル共重合体は、（メタ）アクリロイル基を有する（メタ）

アクリルモノマーをモノマー単位として含む共重合体である。(メタ)アクリル共重合体が、50℃以上のガラス転移温度を有するホモポリマーを形成する(メタ)アクリルモノマーと、0℃以下のガラス転移温度を有するホモポリマーを形成する(メタ)アクリルモノマーと、エポキシ基を有する(メタ)アクリルモノマーとをモノマー単位として含む共重合体であってもよい。エポキシ基を有する(メタ)アクリルモノマーによって形成されるホモポリマーのガラス転移温度は制限されない。50℃以上のガラス転移温度を有するホモポリマーを形成する(メタ)アクリルモノマー、及び、0℃以下のガラス転移温度を有するホモポリマーを形成する(メタ)アクリルモノマーは、エポキシ基を有しないモノマーであることができる。

[0030] 硬化性接着剤層22を構成する熱可塑性樹脂の重量平均分子量は、200,000以上1,000,000以下であってもよい。ここでの重量平均分子量は、ゲル浸透クロマトグラフィーによって測定される、標準ポリスチレン換算値であることができる。また、熱可塑性樹脂の含有量は、硬化性接着剤層22を構成するフィルムの質量を基準として、10質量%以上80質量%以下であってもよい。

[0031] 硬化性接着剤層22を構成する硬化性樹脂フィルムは、反応性基を有する化合物である硬化性樹脂を更に含んでもよい。硬化性樹脂は、2以上のエポキシ基を有するエポキシ樹脂であってもよく、その例としては、ビスフェノールA型エポキシ樹脂、ビスフェノールF型エポキシ樹脂、フェノールノボラック型エポキシ樹脂、及びクレゾールノボラック型エポキシ樹脂が挙げられる。硬化性樹脂の分子量は3000以下であってもよい。硬化性樹脂を含む硬化性接着剤層22は、硬化性を有するとともに、適度なタック性を有し易い。硬化性樹脂の含有量は、硬化性接着剤層22を構成する硬化性樹脂フィルムの質量を基準として、1質量%以上50質量%以下であってもよい。

[0032] 硬化性接着剤層22は、シリカフィラーを更に含んでもよい。シリカフィラーの含有量は、硬化性接着剤層22を構成するフィルムの質量を基準

として、1質量%以上60質量%以下、又は5質量%以上60質量%以下であってよい。

[0033] 硬化性接着剤層22は、熱可塑性樹脂の反応性基、硬化性樹脂の反応性基、又はこれらの両方と反応する硬化剤を更に含んでいてもよい。硬化剤は、例えばフェノール樹脂であってもよい。硬化性接着剤層22が硬化剤を含む場合、硬化剤の反応を促進する硬化促進剤を更に含んでいてもよい。例えば硬化剤がフェノール樹脂である場合、硬化促進剤がイミダゾール化合物であってもよい。

[0034] 続いて、支持部材24の準備が終了すると、図2(b)に示すように、複数の半導体素子10の各第2面10bが硬化性接着剤層22に向くように複数の半導体素子10を支持部材24に取り付ける工程を行う。

[0035] 続いて、支持部材24の硬化性接着剤層22上に半導体素子10が取り付けられると、図2(c)に示すように、硬化性接着剤層22を熱及び光の少なくとも一方によって硬化させて硬化層22aとする。この硬化により、複数の半導体素子10は、支持部材24aの硬化層22aに固定される。

[0036] 続いて、半導体素子10が支持部材24aに固定されると、図2(d)に示すように、エポキシ等の封止樹脂(封止材)により、複数の半導体素子10を封止する。これにより、半導体素子10はその全体が封止樹脂に覆われて封止材層26内に包含される。この際、複数の半導体素子10は支持部材24aに固定されているため、各半導体素子10のキャリア20(支持部材24a)に対する位置ずれは生じない。半導体素子10を封止する材料は、エポキシ以外の絶縁樹脂であってもよい。

[0037] 続いて、半導体素子10が封止樹脂により封止されると、図3(a)に示すように、複数の半導体素子10が支持部材24a(キャリア20)に固定された状態で、封止材層26を研磨する工程を行う。この研磨工程では、例えば、半導体素子10の第1面10a側に配置されている接続端子10cが封止樹脂から外側に露出する程度まで封止材層26を研磨する。これにより、研磨済の封止材層26aの表面から半導体素子10の接続端子10cが露

出して、接続可能となる。

[0038] 続いて、封止材層の研磨が終了すると、図3（b）に示すように、複数の半導体素子10が支持部材24a（キャリア20）に固定された状態で、支持部材24aに固定された複数の半導体素子10の第1面10a上に再配線層28を形成する。再配線層28は、上述した半導体装置1の再配線層13に対応する部分であり、ポリイミド等の絶縁層部分28aと、絶縁層部分28a中の銅配線等の配線部分28bとから構成される。再配線層28の形成工程では、絶縁層の形成と配線部分の形成とを所定回数繰り返して、ピッチ変換を行うための配線層を形成する。この製造方法では、半導体素子10及び封止材層26a等がキャリア20上に安定して配置されている状態で再配線層28を形成しているため、微細な再配線層を構築し易くなっている。

[0039] 続いて、再配線層が形成されると、図3（c）に示すように、複数の半導体素子10が支持部材24a（キャリア20）に固定された状態で、再配線層28を介して複数の半導体素子10の接続端子10cが半田ボール30に接続するように半田ボール30を形成する。この際、半田ボール30のピッチは、半導体素子10の接続端子10cの端子ピッチよりも広くなるように形成されている。この半田ボール30は、上述した半導体装置1における半田ボール14に対応する。

[0040] 続いて、半田ボール30の取り付けが行われると、硬化層22aに対してキャリア20側からレーザ光Lを照射して、硬化層22aにレーザマーキングを行い、製品名等の必要な情報を書き込むと共に、レーザ光Lの照射により、図3（d）に示すように、キャリア20を硬化層22aから除去する。キャリア20の除去に用いるレーザは、例えばUVレーザの一種であるエキシマレーザであり、ガラス基板からなるキャリア20のレーザ光の透過率は99%以上になっている。より具体的には、例えば波長351nmのレーザ光をエキシマレーザから硬化層22aに向かって照射することにより、硬化層22a中の光吸収剤を発熱させ、硬化層22aとキャリア20との間を剥離させる。なお、エキシマレーザから硬化層22aに照射するレーザ光の波

長は532nmでもよく、他の波長でもよい。例えば、ここで用いるレーザーは、XeFエキシマレーザー（波長351nm）、XeClエキシマレーザー（波長303nm）、KrFエキシマレーザー（波長248nm）、ArFエキシマレーザー（波長193nm）等のエキシマレーザーであってもよいし、その他のUVレーザーである、YAGレーザー（3倍波）（波長355nm）、YAGレーザー（4倍波）（波長266nm）等であってもよい。以下で使用されるレーザーも同様である。

[0041] 上記のキャリア除去工程では、レーザー光によるキャリアを剥離する方法を用いたが、キャリアの除去方法はこれに限定されない。例えば、硬化層22aからキャリア20を削り取ってもよいし、又は、所定の溶剤によってキャリア20等を溶解する（溶かす）ようにしてもよい。この除去工程の際に硬化層22aと一緒に除去してもよい。また、この除去工程の後に、硬化層22aの露出面、又は硬化層22aが除去された場合には封止材による封止材層26aの露出面を所定の方法でクリーニングしてもよい。これにより最終製品である半導体装置1の表面側をより綺麗なものとすることができる。なお、キャリア20をこのような方法で除去する場合には、キャリア20は光透過性基板でなくてもよく、また、硬化性接着剤層22が光吸収剤を含んでいなくてもよい。

[0042] 続いて、キャリア20を除去すると、図4（a）に示すように、硬化層22aの露出面側にダイシングテープ32を貼り付けて、ウエハ形状またはパネル形状のダイ再配置体とする。そして、図4（b）及び図4（c）に示すように、ダイ再配置体を所定の箇所Sでダイシングし、半導体素子10を含む各部分をそれぞれ個片化して、各半導体装置1とする。これにより、複数の半導体素子10を再配置したダイ再配置体から、図4（d）及び図1に示す複数の半導体装置1を得ることができる。

[0043] ここで、本実施形態に係る半導体装置1の製造方法による作用効果について、比較例の方法と対比して説明する。図5～図7は、ファンアウト構造を有する半導体装置を製造する第1方法（フェイスアップ、支持板なし）を順

に説明する図である。図8～図10は、ファンアウト構造を有する半導体装置を製造する第2方法（フェイスアップ、支持板あり）を順に説明する図である。まず、図5～図7に示す第1方法及びそれとの対比について説明する。

[0044] （第1方法及び対比）

図5（a）に示すように、比較例に係る第1方法では、まず、金属製のキャリア120上に粘着層122を設ける。粘着層122としては、例えば常温では粘着力を有するものの加熱により粘着力が低下する剥離シートなどが用いられる。そして、図5（b）に示すように、粘着層122に複数の半導体素子10の第2面10bが向くように（つまりフェイスアップ）、粘着層122上に複数の半導体素子10を配置する。その後、図5（c）に示すように、半導体素子10を封止材で封止して封止材層124を形成し、封止が終了すると、粘着層122等を加熱して半導体素子10から粘着層122を剥離してキャリア120を除去する（図5（d）を参照）。

[0045] 続いて、図5（e）に示すように、封止材層124において半導体素子10が露出している側の面に保護膜126を貼り付ける。保護膜126は、例えば、バックサイドコート（BSC）等と呼ばれるものであり、この後の工程での汚染から半導体素子10を保護する膜である。この保護膜は、例えば、エポキシ樹脂から構成される。そして、図6（a）に示すように、保護膜126上の封止材層124を半導体装置1の接続端子10cが露出するまで研磨し、封止材層124aとする。その後、図6（b）及び図6（c）に示すように、保護膜126上に配置された半導体素子10の上に、再配線層128及び半田ボール130を順に形成する。

[0046] 続いて、半田ボール130が形成されると、図6（d）に示すように、半田ボール130を保護する保護テープ132（BGテープ）を更に貼り付ける。保護テープ132は、例えば、ポリオレフィンから構成されている。そして、図7（a）に示すように、半田ボール130が保護テープ132で保護された状態で、保護膜126を削り取る処理を行う。この際、半導体素子

10の第2面10b側の一部を削り、薄型化してもよい。その後、図7(b)及び図7(c)に示すように、BSC膜134を介してダイシングテープ136を貼り付けて、その状態で保護テープ132を除去する工程を行う。BSC膜134は、例えば、エポキシ樹脂から構成されている。そして、保護テープ132の除去が終了すると、図7(d)に示すように、BSC膜134にレーザ光Lによりレーザマーキングを行い、製品名等の必要な情報を書き込む。BSC膜134は半導体装置の一部を構成する。その後、図4(a)～図4(d)に示す方法と同様の方法で、半導体素子10を含む各部分をダイシングして個片化し、各半導体装置を得る。

[0047] このように比較例に係る第1方法では、半導体素子10を処理する工程において、少なくとも、キャリア120及び粘着層122(図5(a)を参照)と、保護膜126(図5(e)を参照)と、BSC膜134(図7(b)を参照)の3種類の膜を使用している。これに対し、本実施形態に係る方法では、キャリア20及び硬化性接着剤層22を含む1種類の部材を工程の多くの部分で使用しており、この1つの部材に集約している。このため、本実施形態に係る製造方法によれば、第1方法に比べて、使用する部材を大幅に減らすことができ、また、各部材の取り付け工程及びその除去工程を大幅減らすことができ、半導体装置1を製造するプロセスを大幅に簡略化することが可能となる。

[0048] また、第1方法では、図5(b)及び図5(c)に示す工程において、粘着層122の上に半導体素子10を配置して、封止材で封止するようにしている。このため、キャリア120上の半導体素子10の位置ずれが生じ易い。しかも、粘着層122としては、熱発泡フィルムが用いられることもあり、その場合、更に半導体素子10の位置ずれが生じ易い。これに対し、本実施形態に係る方法では、図2(b)及び図2(c)に示す工程において、硬化性接着剤層22の上に半導体素子10を配置して、封止材で封止する等の処理を行う前に硬化性接着剤層22を硬化して半導体素子10をキャリア20等に固定させている。このため、本実施形態に係る製造方法によれば、第

1方法に比べて、半導体素子10の位置ずれを確実に防止することができる。

[0049] また、第1方法では、図5(c)～図5(e)に示すように、キャリア120等が耐熱/耐薬品性がない材料であることがあり、処理工程の早い段階でキャリア120を取り外すと共に、比較的柔らかい材料からなる保護膜126上において封止材層124の研磨を行う。このため、複数の半導体素子10を再配置したダイ再配置体での平坦性が悪くなってしまう、つまり、封止材層124又は半導体素子10の平坦性が悪くなり、その後に形成する再配線層128の微細な形成が困難となる。これに対し、本実施形態に係る方法では、図2(d)及び図3(a)に示すように、キャリア20が耐熱/耐薬品性を有する材料から構成されているため、キャリア20を継続して使用でき、キャリア20上に封止材層26を配置した状態で研磨を行っている。このため、本実施形態に係る製造方法によれば、第1方法に比べて、封止材層26及び半導体素子10の平坦性を良好にし易く、その後に形成する再配線層28を微細に形成することができる。

[0050] また、第1方法では、図5(d)～図7(b)に示すように、複数の半導体素子10を配置するダイ再配置体の背面(例えば、保護膜126及びBSC膜134)がエポキシ樹脂であるため、工程を汚染する可能性がある。また、工程で使用する薬品によりこのエポキシの樹脂成分が溶出する可能性もあり、この場合、再配線層でのメッキ工程(配線形成)による銅配線等の歩留まりに影響を与える可能性がある。これに対し、本実施形態に係る方法では、図3(a)～図3(d)に示すように、各工程中、キャリア20がダイ再配置体の背面を継続して覆っているため、上述した汚染又は溶出を防止することができる。つまり、半導体装置1を製造する工程を清浄度の高い状態に維持することができる。

[0051] また、第1方法では、図6(b)～図7(b)に示すように、半導体素子10を再配置するダイ再配置体の背面がエポキシ樹脂であり装置環境等を汚染する可能性もあるため、背面がシリコン等であるファンイン(Fan-in)ウ

エハレベルパッケージ（WLP）の製造に用いられるケース、製造装置、搬送／吸着機構とは別々に設ける必要がある。これに対し、本実施形態に係る製造方法では、図3（a）～図3（d）に示すように、各工程中、ガラス等からなるキャリア20がダイ再配置体の背面を覆っているため、上述したような汚染等を防止することができる。その結果、本実施形態に係る製造方法であれば、ファンインWLPと同じ製造設備等を用いて、FO-WLP等のファンアウト構造の半導体装置を製造することが可能となる。

[0052] また、第1方法では、図6（d）及び図7（a）に示すように、キャリア120の後に取り付けられた保護膜126を除去するため、保護テープ132を更に用いて、半田ボール130を保護している。これに対して、本実施形態に係る製造方法では、キャリア20及び硬化性接着剤層22を主に使用しており、1つの部材を使用して各処理工程で使用する部材を集約している。このため、本実施形態に係る製造方法によれば、第1方法に比べて、使用する部材を更に減らすことができ、また、各部材の取り付け工程及びその除去工程を更に減らすことができ、半導体装置1を製造するプロセスを更に簡略化することができる。

[0053] また、第1方法では、図5（b）及び図5（c）に示すように、キャリア120を早い段階で除去してしまうため、半導体素子10を再配置するダイ再配置体をあまり薄くして各工程を行うことができず、低背化が困難である。これに対して、本実施形態に係る方法では、キャリア20及び硬化性接着剤層22を主に使用しており、工程の初期段階から1つの部材を使用して各処理工程を行うようにしている。このため、本実施形態に係る製造方法によれば、ダイ再配置体を当初から薄くしておくことが可能となり、半導体装置1のより一層の低背化が可能となる。

[0054] （第2方法及び対比）

次に、図8～図10に示す比較例に係る第2方法及びそれとの対比について説明する。図8（a）に示すように、第2方法では、まず、ガラス製のキャリア220上に硬化性剥離層222を設ける。そして、図8（b）に示す

ように、硬化性剥離層 222 を熱等によりベーキングして硬化層 222 a とする。その後、図 8 (c) 及び図 8 (d) に示すように、熱可塑性の仮固定層 224 を硬化層 222 a 上に形成し、仮固定層 224 を熱等によりベーキングして硬化させて硬化層 224 a とする。

[0055] 続いて、図 8 (e) に示すように、硬化層 224 a に複数の半導体素子 10 の第 2 面 10 b が向くように (つまりフェイスアップ)、硬化層 224 a 上に複数の半導体素子 10 を配置する。この際、仮固定材となる硬化層 224 a が熱可塑性樹脂であり、高温及び高圧力にて半導体素子 10 を仮固定させる。その後、図 9 (a) に示すように、半導体素子 10 を封止材で封止して封止材層 226 を形成する。封止が終了すると、図 9 (b) に示すように、封止材層 226 を半導体素子 10 の接続端子 10 c が露出するまで研磨し、封止材層 226 a とする。この際、接続端子 10 c も含めて研磨し、接続端子 10 c をより短い接続端子 10 d としてもよい。その後、図 9 (c) 及び図 9 (d) に示すように、半導体素子 10 の上に、再配線層 228 及び半田ボール 230 を順に形成する。

[0056] 続いて、図 9 (e) に示すように、キャリア 220 側から硬化層 222 a に対してレーザ光 L を照射し、硬化層 222 a を熱により溶かしてキャリア 220 を剥離する。これにより、図 10 (a) に示すように、硬化層 224 a が表面側に露出する。その後、図 10 (b) に示すように、半田ボール 230 を保護する保護テープ 232 を更に貼り付ける。保護テープ 232 は、例えば、ポリオレフィンから構成されている。そして、半田ボール 230 が保護テープ 232 で保護された状態で、硬化層 224 a を所定のクリーニング処理により取り除いて、半導体素子 10 の第 2 面 10 b を外側に露出させる。更に、図 10 (c) に示すように、半導体素子 10 の第 2 面 10 b 側を研磨して薄くし、半導体素子 10 A としてもよい。

[0057] 続いて、図 10 (d) 及び図 10 (e) に示すように、BSC 膜 234 を介してダイシングテープ 236 を貼り付けて、その状態で保護テープ 232 を除去する工程を行う。BSC 膜 234 は、例えば、エポキシ樹脂から構成

されている。そして、保護テープ232の除去が終了すると、図10(f)に示すように、BSC膜234にレーザ光Lにてレーザマーキングを行い、製品名等の必要な情報を書き込む。その後、図4(a)～図4(d)に示す方法と同様の方法で、半導体素子10を含む各部分をダイシングして個片化し、各半導体装置を得る。

[0058] このように比較例に係る第2方法では、半導体素子10を処理する工程において、少なくとも、硬化性剥離層222(図8(a)及び図8(b)参照)と、熱可塑性の仮固定層224(図8(c)及び図8(d)参照)と、保護テープ232(図10(b)及び図10(c)参照)との3種類の部材を使用している。これに対し、本実施形態に係る方法では、キャリア20及び硬化性接着剤層22を含む1種類の部材を主に使用しており、この1つの部材を使用して各処理工程を行うようにして集約している。このため、本実施形態に係る製造方法によれば、第2方法に比べて、使用する部材を大幅に減らすことができ、また、各部材の取り付け工程及びその除去工程を大幅減らすことができ、半導体装置1を製造するプロセスを大幅に簡略化することが可能となる。

[0059] また、第2方法では、図8(e)に示す工程において、仮固定材である硬化層224aが熱可塑性であることから、硬化層224aを長時間加圧して半導体素子10をキャリア220に取り付ける必要がある。このため、図8(e)の工程のサイクルタイムが長くなる傾向がある。これに対し、本実施形態に係る方法では、図2(b)及び図2(c)に示す工程において、硬化性接着剤層22の上に半導体素子10を配置して、封止材で封止する等の処理を行う前に硬化性接着剤層22を硬化して半導体素子10をキャリア20等に固定させている。このため、本実施形態に係る製造方法によれば、第2方法に比べて、低温及び低圧で、しかも短いサイクルタイムで半導体素子10をキャリア20に固定することができる。

[0060] また、第2方法では、図8(a)～図8(d)に示す工程において、硬化性剥離層222の設置及びベーキング、熱可塑性の仮固定層224の設置及

びベーキングを行って、半導体素子10をキャリア220に取り付けるようにしている。このため、半導体素子10をキャリア220に取り付けるため工程が複雑になり、また使用する部材が多くなってしまふ。これに対し、本実施形態に係る方法では、図2(b)及び図2(c)に示す工程において、硬化性接着剤層22の上に半導体素子10を配置して、硬化性接着剤層22を硬化して半導体素子10をキャリア20等に固定させている。このため、本実施形態に係る製造方法によれば、第2方法に比べて、半導体素子10をキャリア20により簡単に接続させることが可能となる。

[0061] また、第2方法では、図10(d)に示すように、研磨後にダイシングテープ236とBSC膜234とが一体となった製品を使うことがある。この一体製品は、ノリ残り、ダイシング性及びピックアップ性等が十分でないことが多く、半導体装置1を低背化することが困難である。これに対して、本実施形態に係る方法では、当初の半導体素子10のキャリア20への固定に用いた硬化性接着剤層22をそのまま半導体装置1に用いているため、かかる一体製品を使用する必要がなく、個別のダイシングテープを用いることができる。このため、低背化に適したダイシングテープを用いて、半導体装置の低背化を図ることができる。また、本実施形態に係る製造方法では、キャリア20及び硬化性接着剤層22を主に使用しており、工程の初期段階から1つの部材を使用して、各処理工程を行うようにしている。このため、本実施形態に係る製造方法によれば、ダイ再配置体を当初から薄くしておくことが可能となり、半導体装置1のより一層の低背化が可能となる。

[0062] また、第2方法では、図9(e)及び図10(a)に示すように、工程の途中で剥離用の硬化層222aとキャリア220とをレーザにより剥離する必要があり、またダイ再配置体に残った接着剤である硬化層224aを溶剤でクリーニング除去する必要がある。このため、キャリア220を取り外すための工程が複雑になり、その分、手間がかかってしまうといった問題がある。これに対して、本実施形態に係る製造方法では、図3(d)に示すように、硬化層22aにレーザを照射してキャリア20を除去すると共に、硬化

層 22 a の大部分をそのまま半導体装置 1 の一部（保護層 12）としている。このため、キャリア 20 の除去作業を簡素化することができる。

[0063] このように、本実施形態に係る製造方法では、比較例に係る第 1 方法及び第 2 方法に比べて、ファンアウト構造を有する半導体装置 1 を製造する工程を大幅に簡素化することができる。また、半導体素子 10 の位置ずれを低減することができるので、より精度よく、より小型・低背化の半導体装置 1 を作製することが可能となる。

[0064] 以上、本発明の実施形態について詳細に説明してきたが、本発明は上記実施形態に限定されるものではなく、様々な実施形態に適用することができる。例えば、上記実施形態では、半導体素子 10 を含む半導体装置 1 の製造方法について説明したが、複数の電子部品を半導体素子 10 に加えて又はこれに代えて、複数の電子部品を備える半導体装置又は装置の製造方法に本発明を適用してもよい。この場合、図 2（b）に示す取付け工程において、複数の半導体素子 10 と共に複数の電子部品を支持部材 24 に取り付け、図 2（c）に示す固定工程では、硬化性接着剤層 22 を硬化して半導体素子 10 と共に複数の電子部品を支持部材 24 に固定する。その他の工程は、上述した工程と同様なものとすることができる。このような製造方法によれば、より複雑な半導体装置等を形成することができる。なお、ここでいう電子部品は、例えば、キャパシタ又は抵抗器等の受動素子であってもよく、MEMS 等の部品であってもよい。

符号の説明

[0065] 1…半導体装置、10…半導体素子、10a…第 1 面、10b…第 2 面、10c…接続端子、20…キャリア、22…硬化性接着剤層、22a…硬化層、24, 24a…支持部材、26, 26a…封止材層、28…再配線層、30…半田ボール、32…ダイシングテープ。

請求の範囲

- [請求項1] 接続端子が形成された第1面と該第1面の逆側にある第2面とをそれぞれが有する複数の半導体素子を準備する工程と、
キャリア上に硬化性接着剤層が形成された支持部材を準備する工程と、
前記複数の半導体素子の前記各第2面が前記硬化性接着剤層に向くように前記複数の半導体素子を前記支持部材に取り付ける工程と、
前記硬化性接着剤層を硬化して前記複数の半導体素子を前記支持部材に固定する工程と、
前記複数の半導体素子を封止材により封止する工程と、
前記キャリアを除去する工程と、
備える、半導体装置の製造方法。
- [請求項2] 前記キャリアがガラス基板であり、
前記硬化性接着剤層の前記ガラス基板への接着力は、前記硬化性接着剤層を硬化した場合に1 MPa以上であり、且つ、前記硬化性接着剤層へレーザを照射した場合に5 MPa以下となる、
請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記硬化性接着剤層は、熱可塑性樹脂、及びエポキシ硬化剤を含む樹脂組成物から形成され、前記熱可塑性樹脂のガラス転移温度が -40°C 以上 40°C 以下である、
請求項1又は2に記載の半導体装置の製造方法。
- [請求項4] 前記硬化性接着剤層の厚みは、硬化後において $1\ \mu\text{m}$ 以上 $400\ \mu\text{m}$ 以下である、
請求項1～3の何れか一項に記載の半導体装置の製造方法。
- [請求項5] 前記キャリアは、ガラス基板又は透明樹脂基板であり、その厚さが $0.1\ \text{mm}$ 以上 $2.0\ \text{mm}$ 以下である、
請求項1～4の何れか一項に記載の半導体装置の製造方法。
- [請求項6] 前記複数の半導体素子が前記支持部材に固定された状態で、前記支

持部材に固定された前記複数の半導体素子を封止する封止材層を研磨する工程を更に備える、

請求項 1 ～ 5 の何れか一項に記載の半導体装置の製造方法。

[請求項7] 前記複数の半導体素子が前記支持部材に固定された状態で、前記支持部材に固定された前記複数の半導体素子の前記第 1 面上に再配線層を形成する工程を更に備える、

請求項 1 ～ 6 の何れか一項に記載の半導体装置の製造方法。

[請求項8] 前記複数の半導体素子が前記支持部材に固定された状態で、前記複数の半導体素子の前記接続端子又は前記再配線層に半田ボールを取り付ける工程を更に備える、

請求項 1 ～ 7 の何れか一項に記載の半導体装置の製造方法。

[請求項9] 前記キャリアが光透過性基板であり、前記硬化性接着剤層が光吸収剤を含み、

前記除去する工程では、硬化した前記硬化性接着剤層に対して前記キャリア側からレーザー光を照射して、前記キャリアを除去する、

請求項 1 ～ 8 の何れか一項に記載の半導体装置の製造方法。

[請求項10] 前記除去する工程では、前記キャリアを削る又は溶かすことにより、前記キャリアを除去する、

請求項 1 ～ 8 の何れか一項に記載の半導体装置の製造方法。

[請求項11] 前記除去する工程の後に、硬化した前記硬化性接着剤層又は前記封止材による封止材層の何れかの露出面をクリーニングする工程を更に備える、

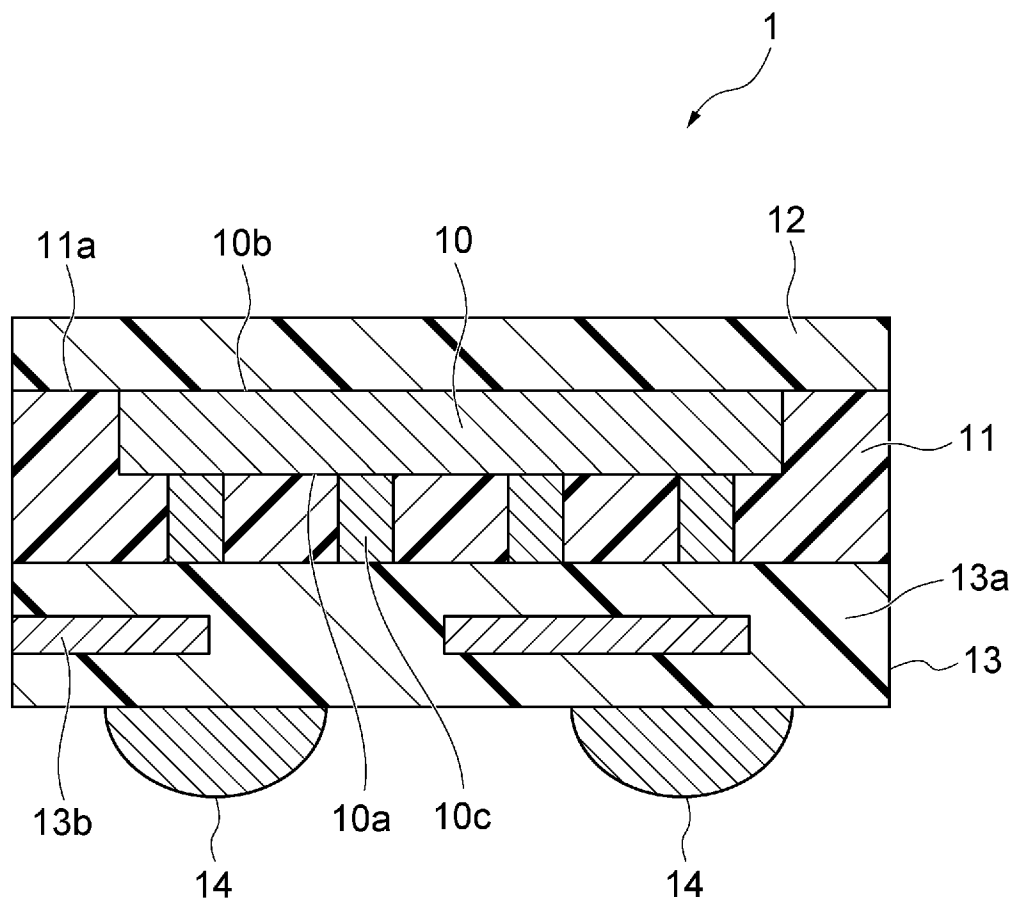
請求項 1 ～ 10 の何れか一項に記載の半導体装置の製造方法。

[請求項12] 前記除去する工程の後に前記複数の半導体素子を個片化する工程を更に備える、請求項 1 ～ 11 の何れか一項に記載の半導体装置の製造方法。

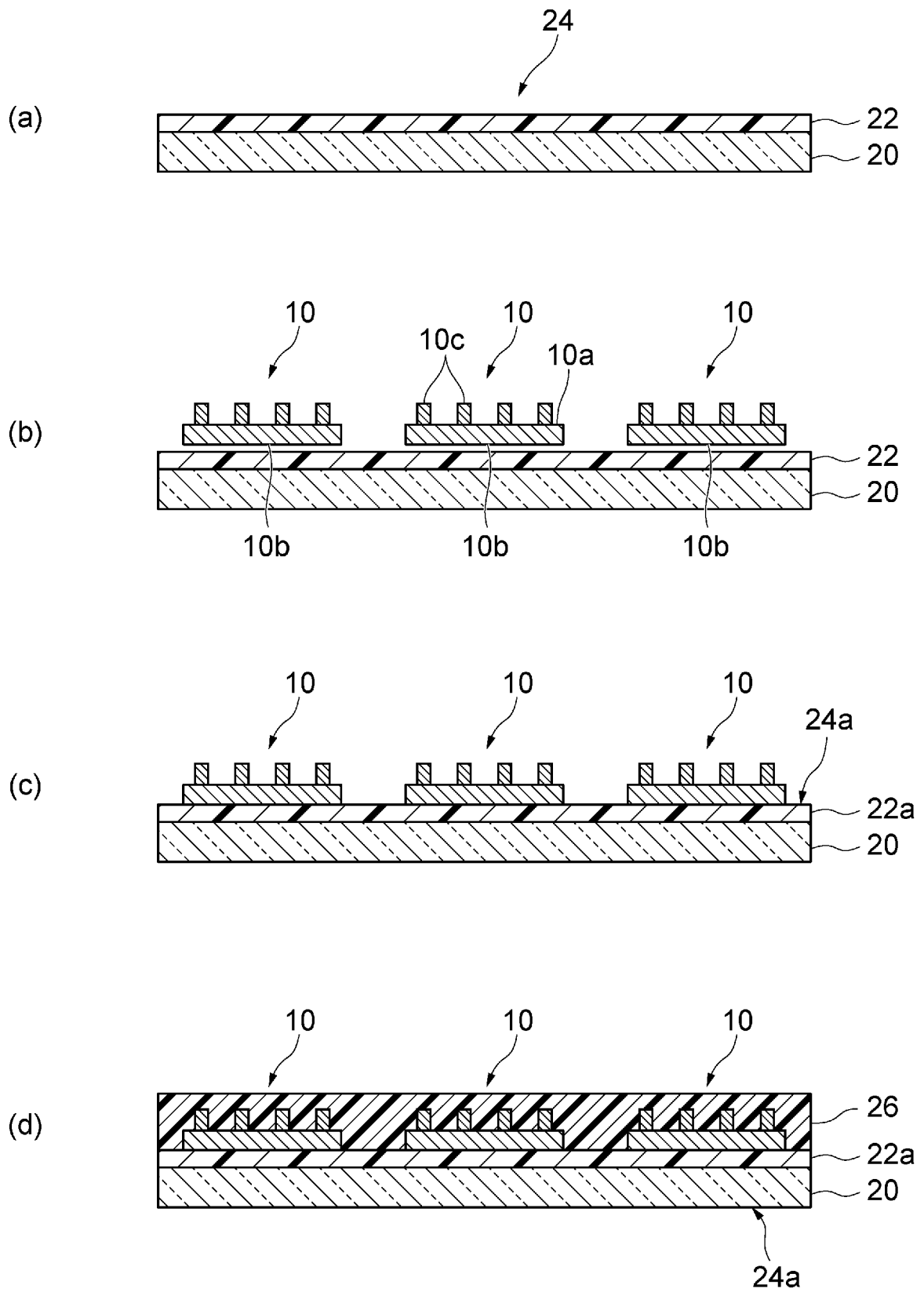
[請求項13] 前記取り付ける工程では、前記複数の半導体素子と共に複数の電子部品を前記支持部材に取り付け、

前記固定する工程では、前記硬化性接着剤層を硬化して前記複数の電子部品を前記支持部材に固定する、
請求項 1 ～ 1 2 の何れか一項に記載の半導体装置の製造方法。

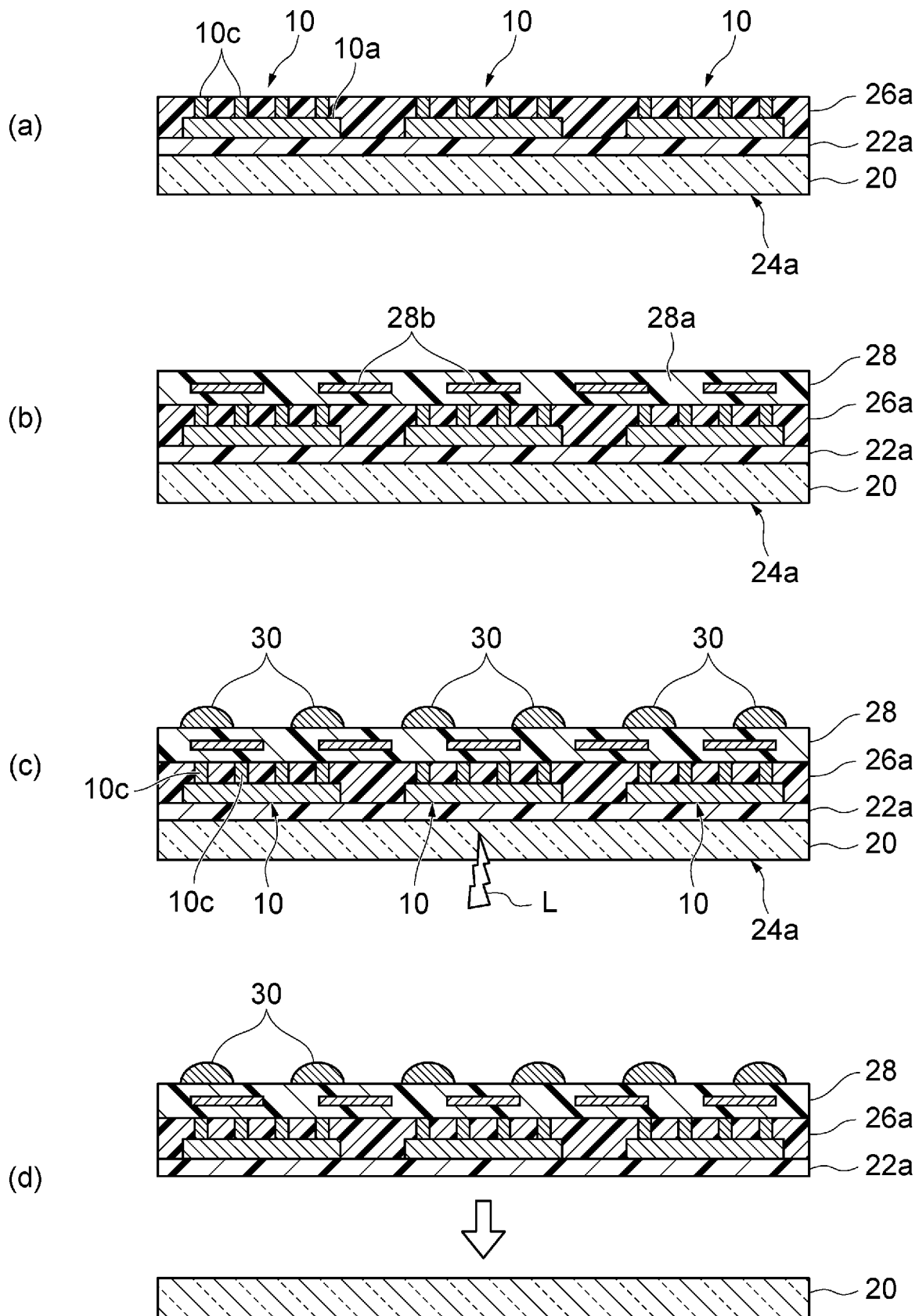
[図1]



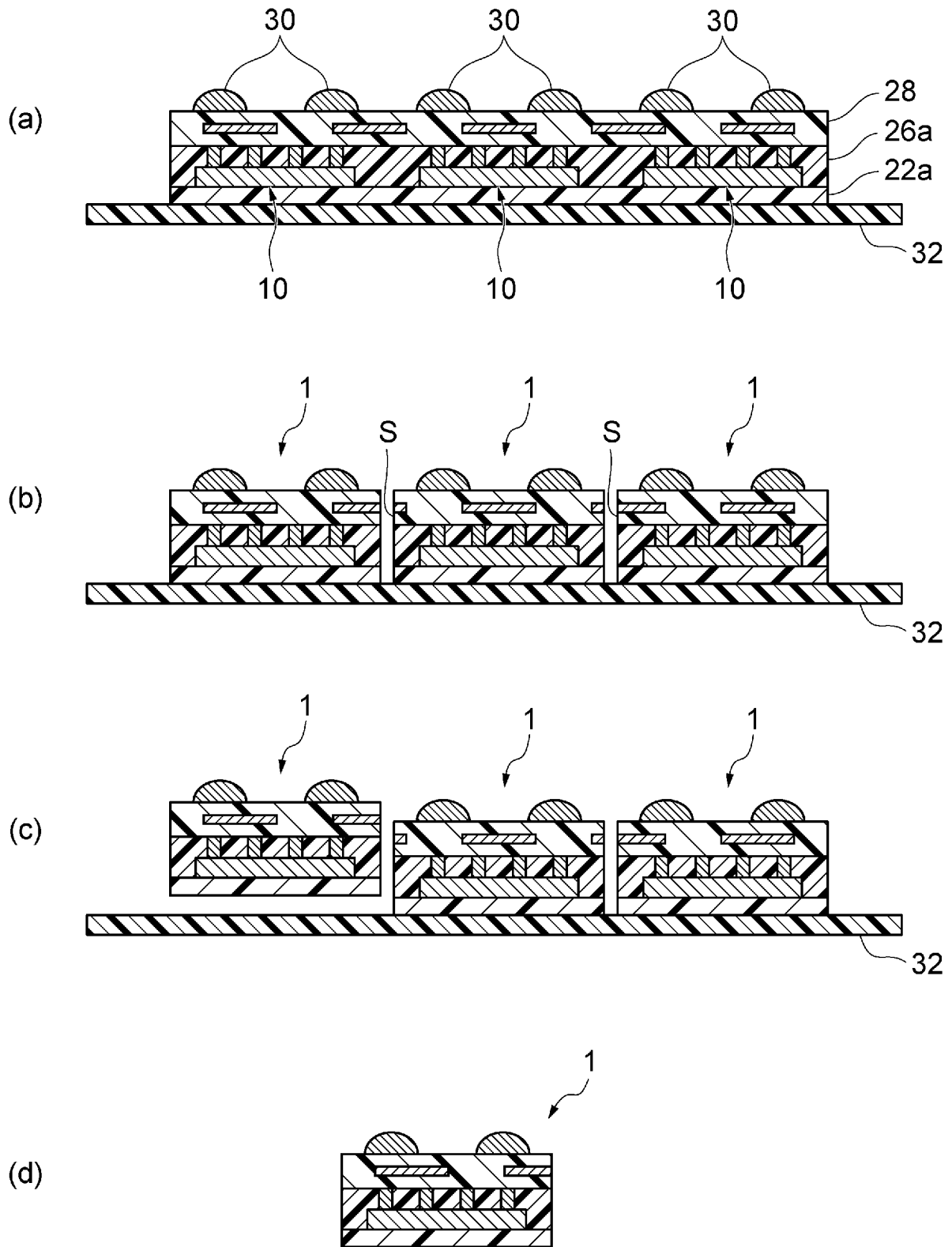
[図2]



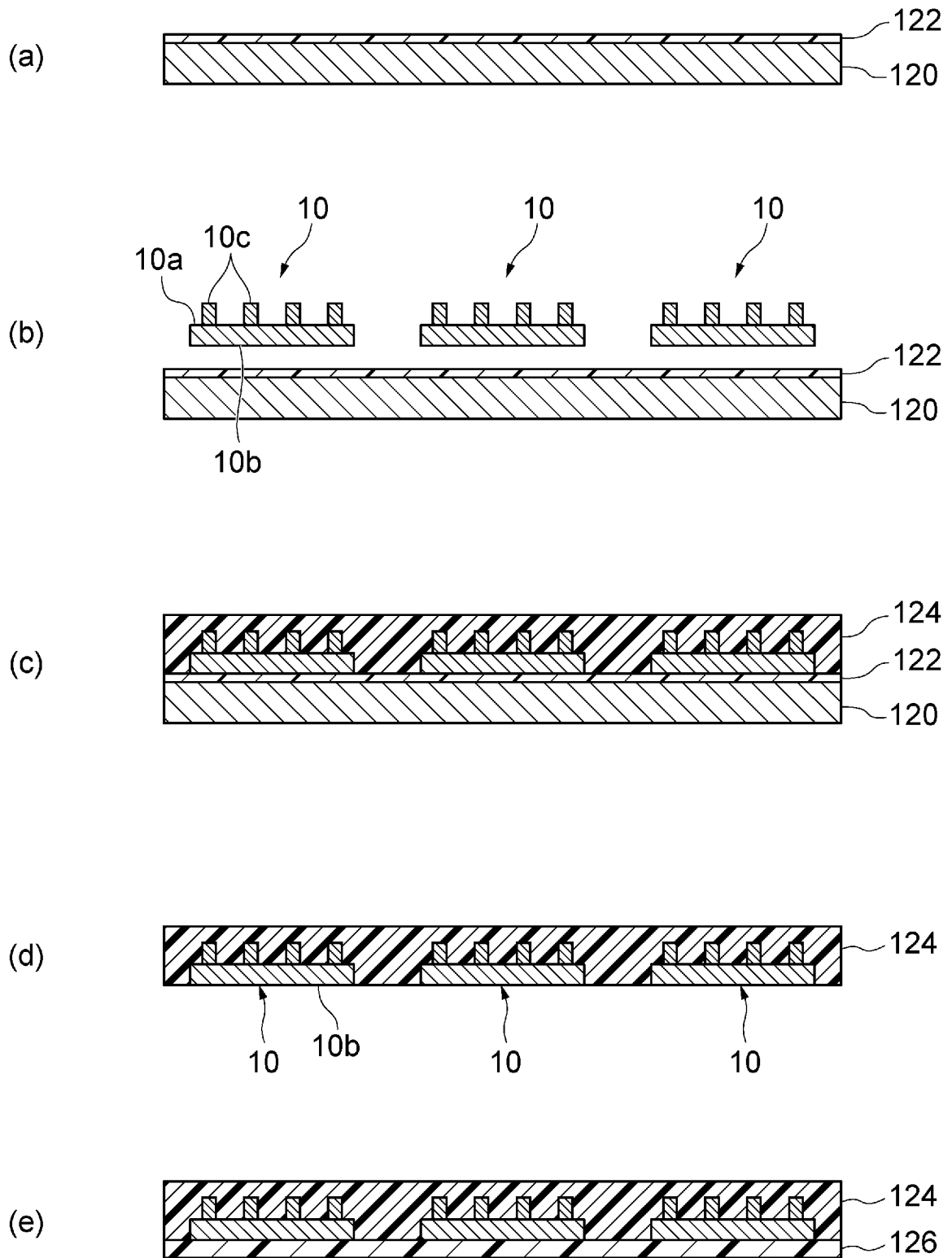
[図3]



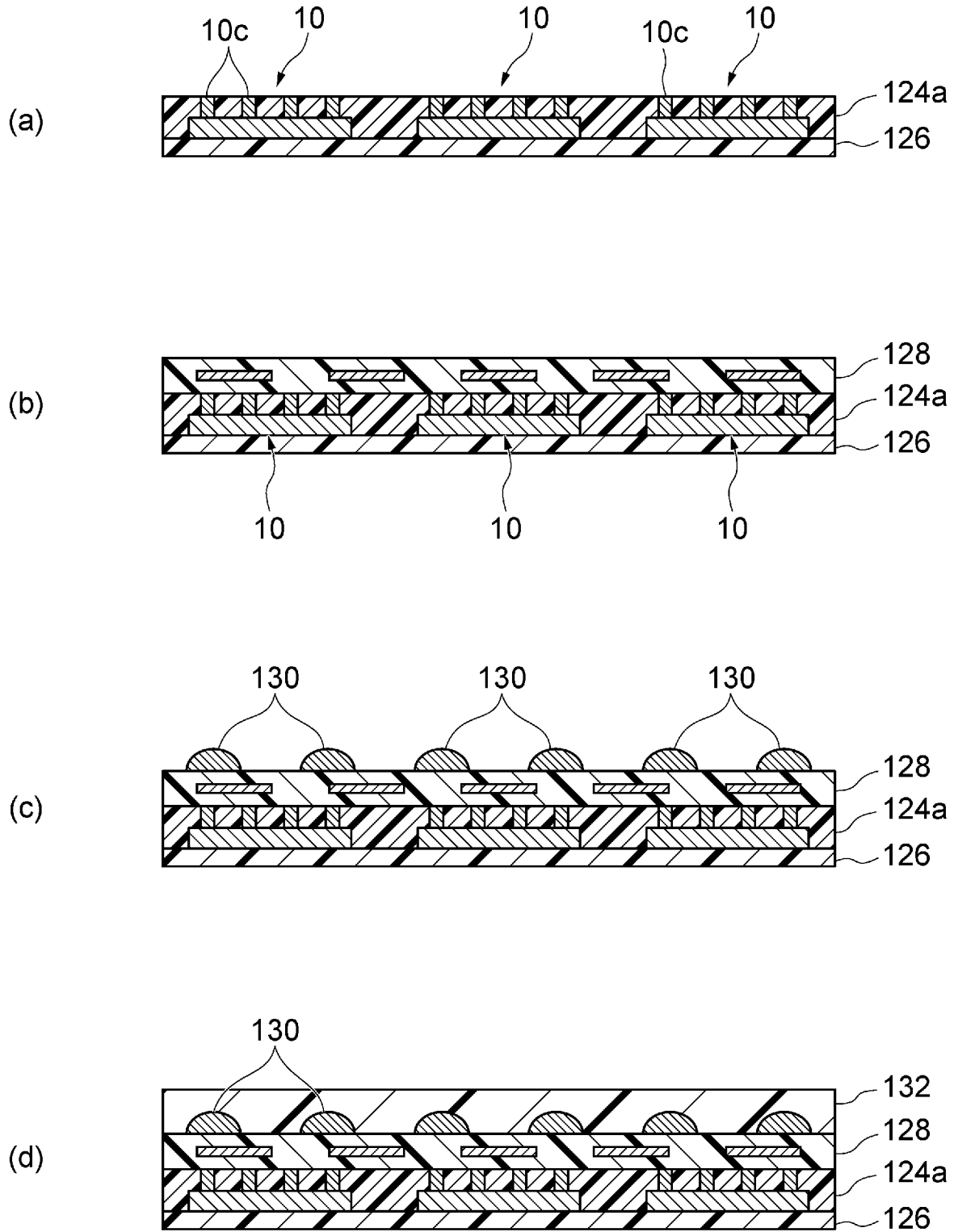
[図4]



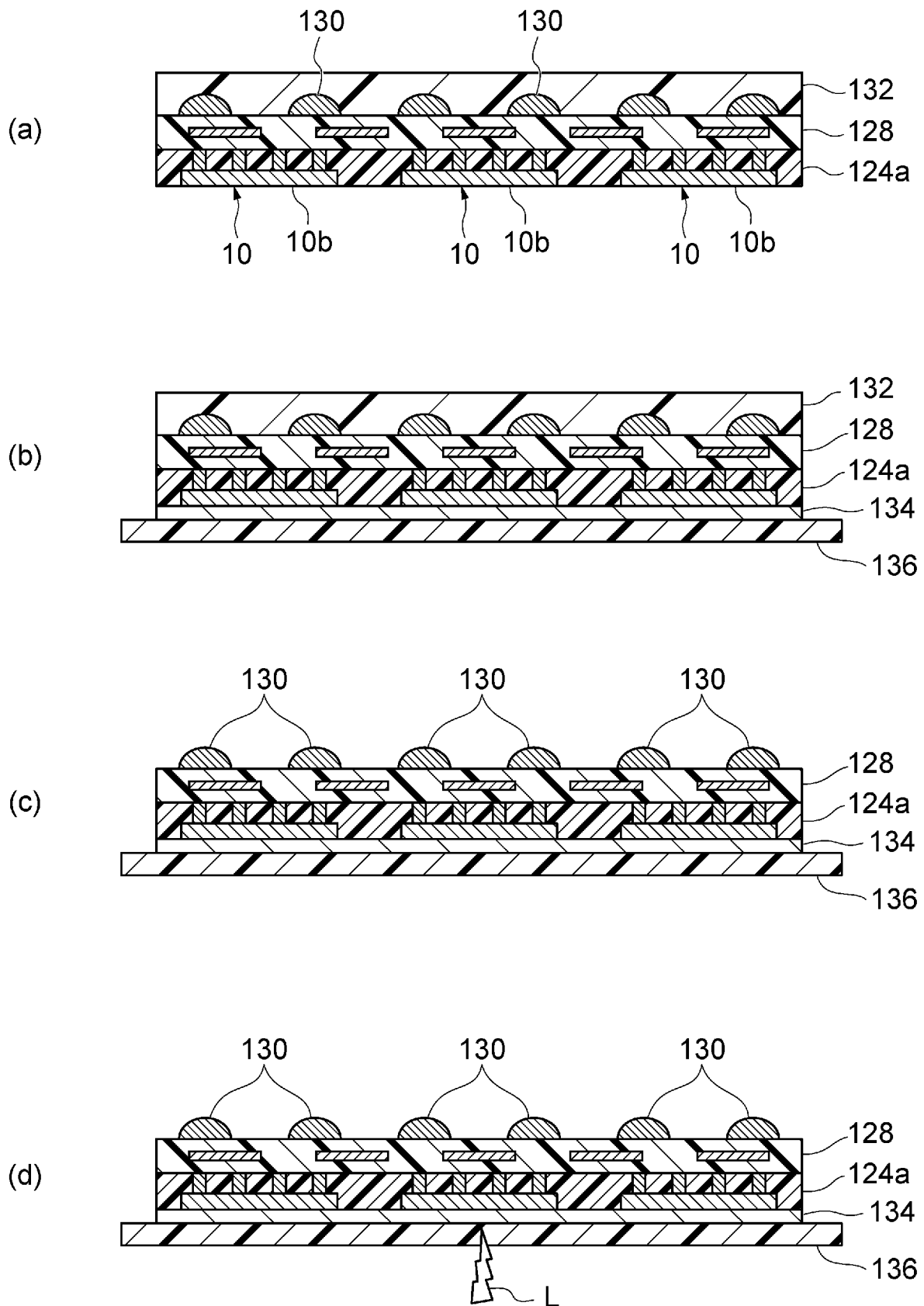
[図5]



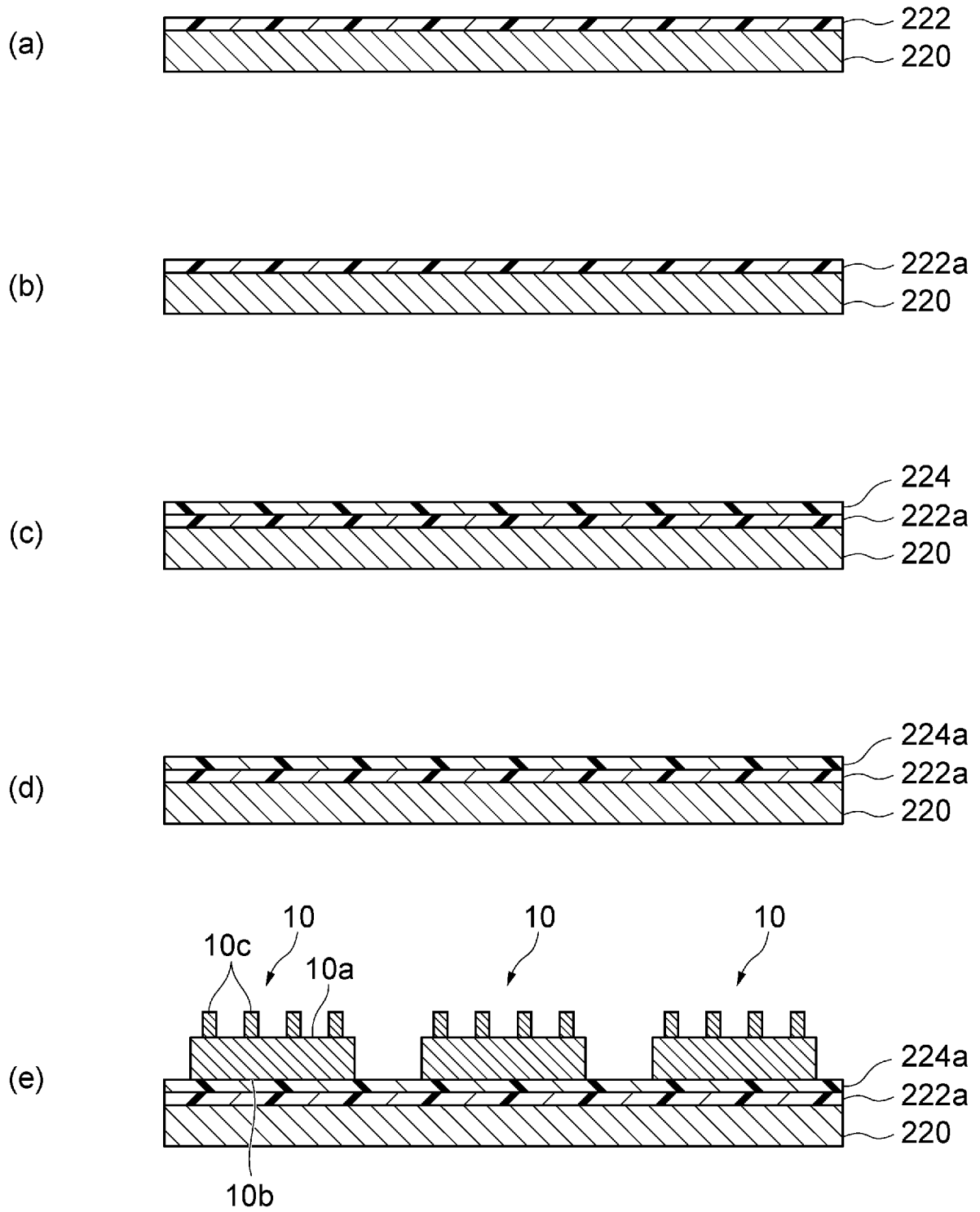
[図6]



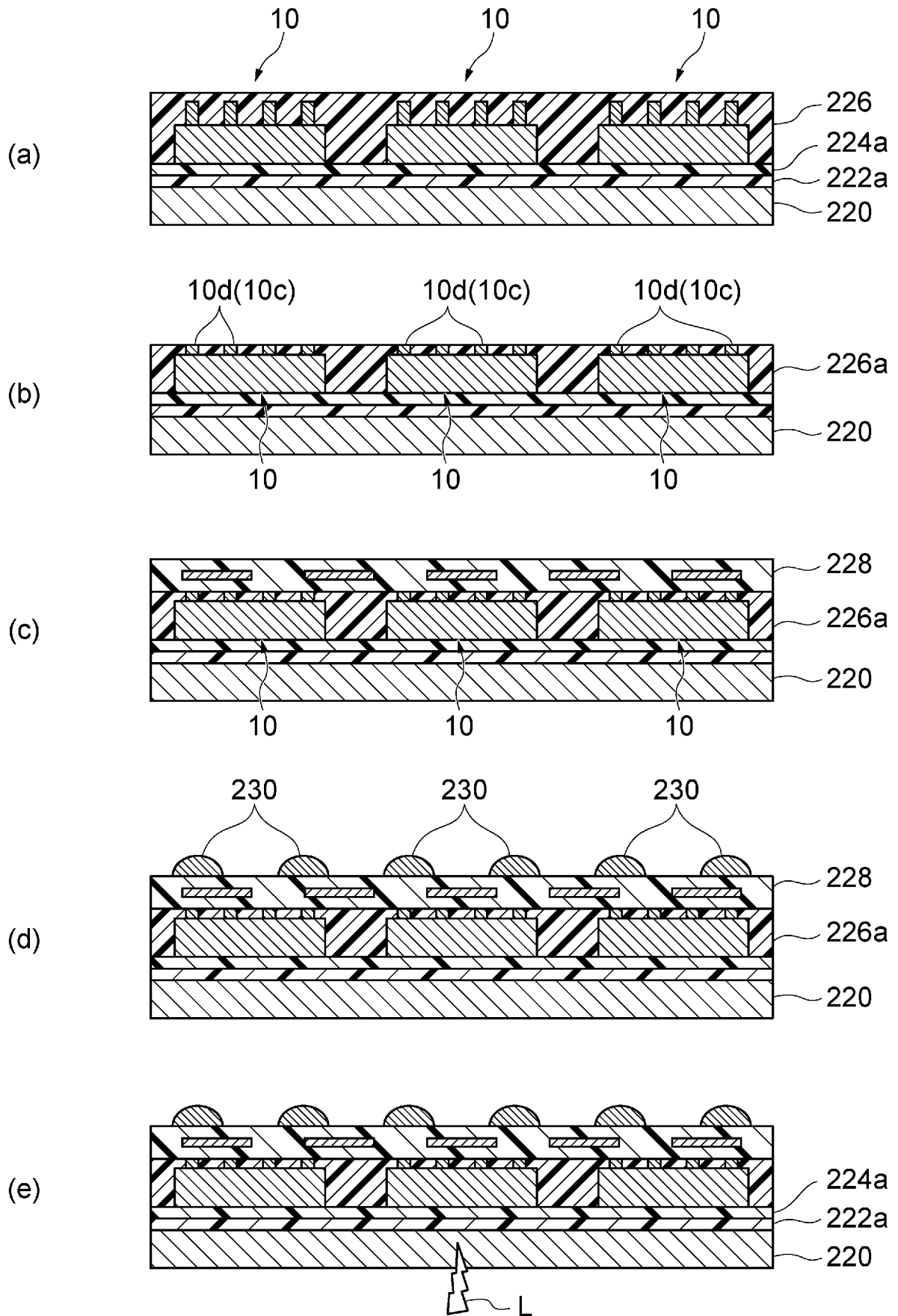
[図7]



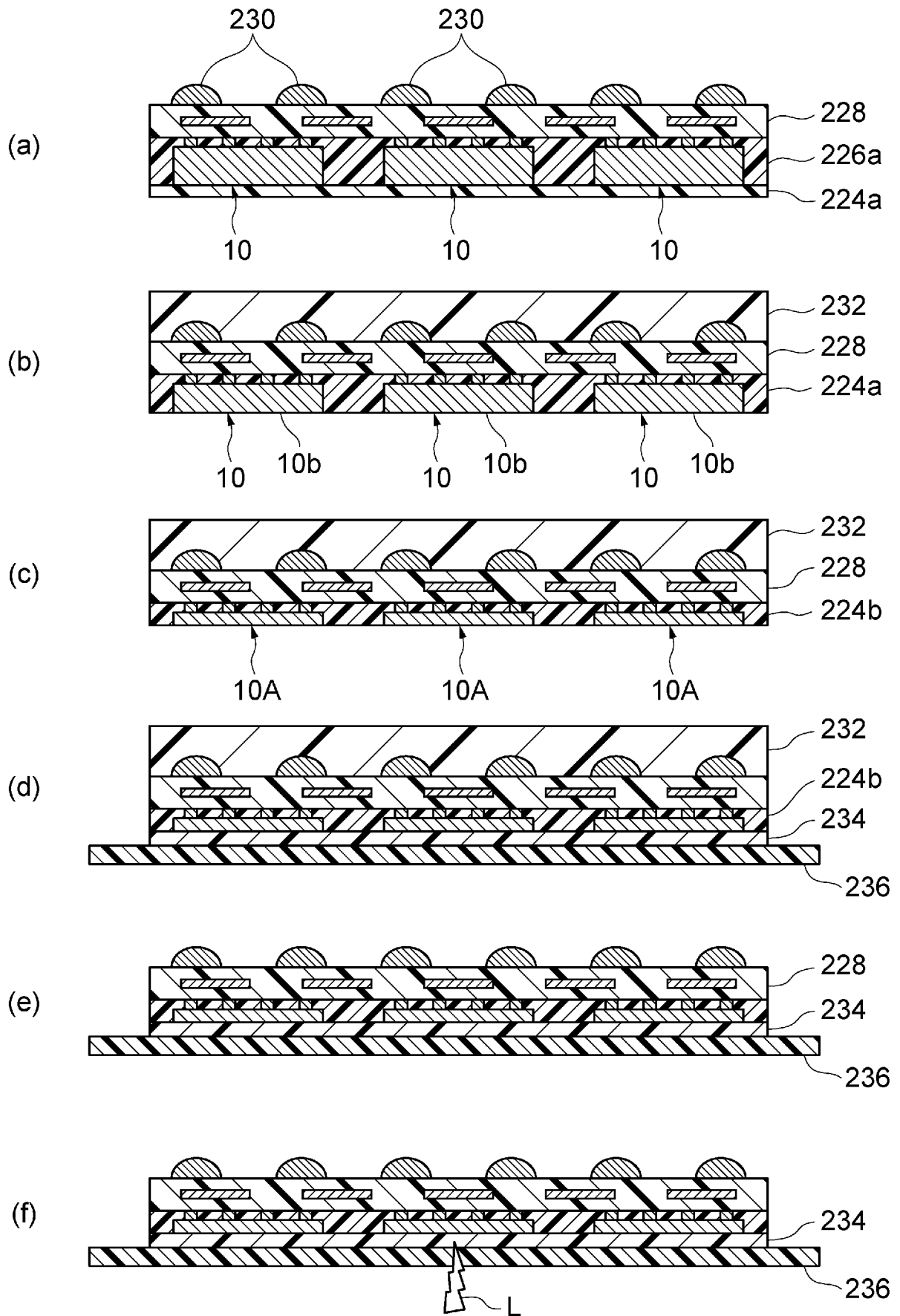
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/045335

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. H01L23/12 (2006.01) i FI: H01L23/12501P According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. H01L23/12 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2021 Registered utility model specifications of Japan 1996-2021 Published registered utility model applications of Japan 1994-2021 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2018-9138 A (HITACHI CHEMICAL COMPANY, LTD.) 18 January 2018 (2018-01-18), paragraphs [0005]-[0023], [0026]-[0152], fig. 1-6	1-4, 6-9, 11-13 5, 10, 11
X Y	JP 2019-129179 A (HITACHI CHEMICAL COMPANY, LTD.) 01 August 2019 (2019-08-01), paragraphs [0016]-[0066], fig. 2, 3	1, 4-8, 12, 13 5, 10, 11
Y	WO 2017/149810 A1 (MITSUI MINING AND SMELTING CO., LTD.) 08 September 2017 (2017-09-08), paragraph [0048]	10
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 17 February 2021		Date of mailing of the international search report 02 March 2021
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/045335

JP 2018-9138 A	18 January 2018	(Family: none)
JP 2019-129179 A	01 August 2019	(Family: none)
WO 2017/149810 A1	08 September 2017	US 2019/0013212 A1 paragraphs [0090], [0091] KR 10-2018-0095895 A CN 108701656 A

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/12(2006.01)i FI: H01L23/12 501P		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L23/12 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2018-9138 A（日立化成株式会社）18.01.2018（2018-01-18） 段落[0005]-[0023], [0026]-[0152], 図1-6	1-4, 6-9, 11-13
Y		5, 10, 11
X	JP 2019-129179 A（日立化成株式会社）01.08.2019（2019-08-01） 段落[0016]-[0066], 図2, 3	1, 4-8, 12, 13
Y		5, 10, 11
Y	WO 2017/149810 A1（三井金属鉱業株式会社）08.09.2017（2017-09-08） 段落[0048]	10
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 17.02.2021	国際調査報告の発送日 02.03.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 川原 光司 5F 5382 電話番号 03-3581-1101 内線 3516	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/045335

引用文献	公表日	パテントファミリー文献	公表日
JP 2018-9138 A	18.01.2018	(ファミリーなし)	
JP 2019-129179 A	01.08.2019	(ファミリーなし)	
WO 2017/149810 A1	08.09.2017	US 2019/0013212 A1 段落[0090], [0091] KR 10-2018-0095895 A CN 108701656 A	