

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
H01L 27/04

(45) 공고일자 2005년03월22일
(11) 등록번호 10-0477950
(24) 등록일자 2005년03월10일

(21) 출원번호	10-2003-7007165(분할)	(65) 공개번호	10-2003-0048485
(22) 출원일자	2003년05월28일	(43) 공개일자	2003년06월19일
(62) 원출원	특허10-2000-7006497	심사청구일자	2000년06월14일
번역문 제출일자	원출원일자 : 2000년06월14일 2003년05월28일	(87) 국제공개번호	WO 1999/31729
(86) 국제출원번호	PCT/US1998/022754	국제공개일자	1999년06월24일
국제출원일자	1998년10월27일		

(81) 지정국

국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바르바도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 가나, 감비아, 크로아티아, 헝가리, 인도네시아, 이스라엘, 아이슬란드, 일본, 케냐, 키르기즈스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 폴란드, 포르투갈, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 슬로베니아, 슬로바키아, 시에라리온, 타지키스탄, 투르크멘, 터키, 트리니다드토바고, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 세르비아 앤 몬테네그로, 짐바브웨,

AP ARIPO특허 : 가나, 감비아, 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 짐바브웨,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르기즈스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀란드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴,

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디부아르, 카메룬, 가봉, 기니, 기니 비사우, 말리, 모리타니, 니제르, 세네갈, 차드, 토고,

(30) 우선권주장 08/993,441 1997년12월18일 미국(US)

(73) 특허권자 인텔 코오퍼레이션
미합중국 캘리포니아 산타클라라 미션 칼리지 블러바드 2200

(72) 발명자 앨런마이클제이.
미국캘리포니아95672레스큐피니컴크린드라이브3161

(74) 대리인 특허법인 신성

심사관 : 안준형

(54) 정전기 방전 보호 구조를 가지는 감소된 캐패시턴스트랜지스터의 형성방법

요약

표준 공정들을 사용하여 제조되는 ESD 보호를 가지는 감소된 캐패시턴스 트랜지스터를 제공하기 위한 방법 및 장치가 개시된다. 그 트랜지스터는 기판(310), 기판에 형성된 소스(340) 및 기판에 형성된 웰 영역을 포함한다. 그 트랜지스터는 제1 말단 영역, 제2 말단 영역 및 제1 및 제2 말단 영역들 사이에 위치하는 저항 영역을 가지는 드레인 영역(320)을 더 포함한다. 드레인 영역은 웰 영역에 최소한 부분적으로 형성된다. 드레인 콘택은 드레인 영역의 제1 말단 영역 상에 형성된다. 게이트 구조(330)는 소스 영역 및 드레인 영역의 제2 말단 영역 사이에서 기판 상에 형성된다. 게이트 구조는 소스 영역을 드레인 영역에 접속하는 채널 영역을 정의한다.

대표도

도 3

색인어

감소된 캐패시턴스 트랜지스터, ESD 보호, 표준 공정, 소스, 드레인, 웰, 저항 영역, 정전기 방전

명세서

도면의 간단한 설명

도 1은 종래 기술에 따라 실시되는 ESD 보호를 가지는 트랜지스터의 한 예를 도시한 도면이다.

도 2는 종래 기술에 따라 실시되는, 그리고 비-표준 제조 공정을 사용하여 형성되는 ESD 보호를 가지는 감소된 캐패시턴스 트랜지스터를 묘사하는 도면이다.

도 3은 본 발명에 따라 실시되는, 그리고 표준 제조 공정을 사용하여 형성되는 ESD 보호를 가지는 감소된 캐패시턴스 트랜지스터를 도시하는 도면이다.

도 4는 본 발명에 따라 실시되는, 그리고 표준 제조 공정을 사용하는 ESD 보호를 가지는 감소된 캐패시턴스 트랜지스터를 형성하는 방법의 흐름도이다.

* 도면의 주요 부분에 대한 부호의 설명 *

300: 트랜지스터 310: 기판

315: 웰 영역 320: 드레인 영역

321: 제1 말단 영역 322: 제2 말단 영역

323: 저항 영역 325: 드레인 콘택

330: 게이트 콘택 335: 유전물질

337: 채널 영역 340: 소스 영역

345: 소스 콘택

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 트랜지스터의 분야에 관한 것이다. 특히, 본 발명은 정전기 방전 보호 구조를 가지는 트랜지스터에서 캐패시턴스를 줄이는 분야에 관한 것이다.

컴퓨터 시스템들의 성능을 향상시키기 위한 노력에서, 컴퓨터 시스템 구성요소(component)들 사이의 버스 인터페이스들은 보다 높은 스위칭 속도들로 밀려지고 있다. 버스 스위칭 속도들에서 한계적 요인은 버스에 접속되는 구성요소들의 단일 핀들의 캐패시턴스이다. 단일 핀들의 캐패시턴스는 적합한 단일 집적을 유지하는 동안 얻어질 수 있는 스위칭 주파수를 줄인다. 핀 캐패시턴스는 패키지 리드프레임 캐패시턴스, 본드패드 캐패시턴스, 정전기 방전(electro-static discharge; ESD) 보호 구조들, 및 출력 드라이버 (트랜지스터) 캐패시턴스와 같은 여러 요인들로 구성된다.

도 1은 ESD 보호를 가지는 트랜지스터의 한 예를 보여준다. 도 1의 트랜지스터(100)는 기판(110)에 형성된 소스 영역(140), 소스 콘택(145), 유전물질(135) 상에 형성된 게이트(130), 기판(110)에 형성된 드레인 영역(120) 및 드레인 콘택(125)을 포함한다. 드레인 영역(120)은 전류 혼잡을 방지하기 위하여 크게 만들어져 있다. ESD 사건 동안

의 전류 혼잡은 큰 전류가 반도체 물질의 작은 영역에 집중되게 하여 장치에 손상을 날게 할 수 있다. 드레인 영역의 크기를 증가시킴으로써, ESD 사건 동안의 전류는 작은 영역 상에 집중되지 않아서 장치에 손상을 입힐 가능성을 줄인다.

상기에서 설명한 바와 같은 드레인 영역의 증가된 크기는 아마도 최소 크기들에 대하여 2 또는 3배 정도로 출력 드레인 캐패시턴스를 증가시키는 단점을 가진다. 출력 드레인 캐패시턴스는 대개 기관(110) 및 드레인 영역(120)에 의하여 형성되는 p-n 접합에서 드레인 영역 넓이 및 공핍 영역 폭의 함수이다.

도 2는 ESD 보호 특성들을 유지하면서 출력 드레인 캐패시턴스를 줄이는데 사용되는 기술을 구현한 트랜지스터(200)를 묘사한다. 트랜지스터(200)는 기관(210)에 형성된 소스 영역(240), 소스 콘택(245), 유전물질(235) 상부에 형성된 게이트(230), 기관(210)에 형성된 제1의 드레인 영역(220), 기관(210)에 형성된 저항 영역(215), 기관(210)에 형성된 제2의 드레인 영역(227) 및 제2 드레인 영역(227) 상에 형성된 콘택(225)을 포함한다. 트랜지스터(200)에서, 저항 영역(215)은 ESD 보호를 제공한다. 저항 영역(215)은 제1 및 제2의 드레인 영역들(220 및 227)과 동일한 전도성 타입을 가지지만, 보다 가볍게 도핑되어 있다. 저항 영역(215)이 가볍게 도핑되어 있기 때문에, 기관(210) 및 저항 영역(215)에 의하여 형성되는 p-n 접합에서의 공핍 영역 폭은 도 1의 트랜지스터(100)에 의하여 달성되는 공핍 영역 폭보다 매우 크다. 공핍 영역 폭의 증가는 ESD 보호 특성들을 유지하면서 캐패시턴스의 감소를 낳는다.

상기에서 언급된 트랜지스터들(100 및 200)은 제조 공정 동안에 서로 다른 단계들을 요구한다. 트랜지스터(200)의 형성은 저항 영역(215)이 소스 영역(240) 및 드레인 영역들(220 및 227)의 형성 동안에 저항 영역(215) 상부에 형성되는 마스크로 형성되어야 한다는 것을 요구한다. 도 1에 묘사된 트랜지스터(100)의 것과 유사한 트랜지스터 구조들을 제조하는 많은 공정들은 전형적으로 소스 및 드레인 영역들의 형성 동안에 저항 영역을 마스크하는 것과 관련된 추가적 단계들에 기인하여 도 2에 나타난 구조를 형성할 능력을 쉽게 발휘하지 못한다. 결과적으로, 어떤 공정들은 도 2에 나타난 구조를 이용하여 캐패시턴스 감소의 이점을 이용할 수 있지만, 많은 공정들은 그렇지 않다. 이러한 이유들 때문에, 상당한 추가적 공정 없이 제조될 수 있는 ESD 보호를 가지는 감소된-캐패시턴스 트랜지스터가 요구된다.

발명이 이루고자 하는 기술적 과제

본 발명은 웰 영역 내에 최소한 부분적으로 드레인 영역을 형성함으로써, 기관 및 드레인 사이의 p-n 접합에 의하여 형성되는 공핍 영역의 폭을 증가시키고, 그에 따라 드레인 영역 및 기관 사이에서 캐패시턴스를 감소시키는 것을 목적으로 한다.

발명의 구성 및 작용

ESD 보호를 가지는 감소된-캐패시턴스 트랜지스터 및 그것을 형성하는 방법이 개시된다. 트랜지스터는 기관, 기관에 형성된 소스 영역 및 역시 기관에 형성된 웰 영역을 포함한다. 또한, 트랜지스터는 제1 말단 영역, 제2 말단 영역, 그리고 제1 및 제2 말단 영역들 사이에 위치하는 저항 영역을 가지는 드레인 영역을 포함한다. 드레인 영역은 웰 영역에 최소한 부분적으로 형성된다. 드레인 콘택은 드레인 영역의 제1 말단 영역 상에 형성된다. 게다가, 게이트 구조가 포함된다. 게이트 구조는 소스 영역 및 드레인 영역의 제2 말단 영역 사이의 기관 상에 형성된다. 게이트 구조는 소스 영역을 드레인 영역에 접속하는 채널 영역으로 정의한다.

표준 제조 공정들을 사용하여 형성되는 ESD 보호를 가지는 감소된-캐패시턴스 트랜지스터가 개시된다. 다음의 서술에서, 설명을 위하여, 특정 상세내용들이 본 발명의 완전한 이해를 제공하기 위하여 설명된다. 그러나, 이러한 특정 상세내용들이 본 발명을 실시하는데 요구되지 않는다는 것은 본 발명의 분야에서 전문 지식을 가진 자에게는 명백할 것이다. 다른 예들에서, 잘 알려진 방법들, 장치들 및 구조들은 본 발명을 애매하게 하는 것을 회피하기 위하여 특별히 상세하게 서술되지 않는다.

개요

본 발명은 ESD 보호 구조들로서 작용하는 큰 드레인 영역들을 가지는 트랜지스터들에서 캐패시턴스를 줄이는 문제를 해결한다. 일반적으로, 그리고 본 발명의 한 실시예에 따라, 트랜지스터는 기관, 기관에 형성되는 소스 영역, 기관에서 채널 영역을 정의하는 게이트 구조 및 역시 기관에 형성되는 웰 영역을 포함한다. 또한, 트랜지스터는 웰 영역에 최소한 부분적으로 형성되는 드레인 영역을 포함한다. 웰 영역은 소스 및 드레인 영역들과 동일한 반도체 타입을 가지지만, 소스 및 드레인 영역들보다 가볍게 도핑된다. 웰 영역 내에 최소한 부분적으로 드레인 영역을 형성함으로써, 기관 및 드레인 사이의 p-n 접합에 의하여 형성되는 공핍 영역의 폭은 증가되고, 그래서 드레인 영역 및 기관 사이에서 캐패시턴스를 감소시킨다.

본 발명의 실시예

도 3은 본 발명에 따라 실시되고 표준 제조 공정들을 사용하여 형성되는 ESD 보호를 가지는 감소된-캐패시턴스 트랜지스터(300)의 한 실시예를 도시한다. 트랜지스터(300)는 기관(310), 기관에 형성되는 소스 영역(340), 기관 상에 형성된 유전물질(335) 상에 형성되는, 게이트 콘택(330)을 포함하는 게이트 구조 및 제1 말단 영역(321), 제2 말단 영역(322) 및 제1 말단 영역(321)과 제2 말단 영역(322) 사이에 위치하는 저항 영역(323)을 포함하는 드레인 영역(320)을 포함한다. 게이트 콘택(330) 및 유전물질(335)은 기관(310)에서 채널 영역(337)을 정의한다.

이 예시적 트랜지스터에 대하여, 기관(310)은 p- 타입 반도체 물질로 형성되고, 반면에 소스 영역(340) 및 드레인 영역(320)은 n+ 타입 반도체 물질로 형성된다. p 타입 반도체 물질은 전형적으로 붕소와 같은 도펀트를 실리콘에 도입함으로써 형성된다. n 타입 반도체 물질은 전형적으로 비소와 같은 도펀트를 실리콘에 도입함으로써 형성된다.

다른 도펀트들도 가능하다. 확산 및 이온 주입은 도펀트들을 실리콘으로 도입하는 두 가지 인정된 방법들이다. 여기에서 사용되는 "p" 또는 "n" 다음의 "-" 기호는 "p" 또는 "n" 타입 반도체 물질이 가볍게 도핑된 것을 가리킨다. 여기에서 사용되는 "p" 또는 "n" 다음의 "+" 기호는 "p" 또는 "n" 타입 반도체 물질이 무겁게 도핑된 것을 가리킨다.

소스 콘택(345)는 소스 영역(340) 상에 형성되고 드레인 콘택(325)는 드레인 영역(320)의 제1 말단 영역(321) 상에 형성된다. 소스 콘택(345), 드레인 콘택(325) 및 게이트 콘택(330)은 비록 다른 전기 전도성 물질들이 사용될 수 있지만, 바람직하게는 폴리실리콘으로 형성된다. 유전물질(335)은 바람직하게 이산화실리콘이다. 다른 유전물질들도 역시 사용될 수 있다. 본 예시적 트랜지스터는 비록 넓은 범위의 다른 크기들이 가능하지만, 바람직하게 0.25 미크론(μ)의 게이트 길이를 가진다. 예를 들어, 본 발명은 0.1 μ 의 게이트 길이로 실시될 수 있다. 드레인 영역은 바람직하게 이온-주입을 사용하여 대략 0.3 μ 의 깊이로 형성된다. 그러나, 다른 깊이들이 가능하며 반도체 물질에 도펀트들을 도입하는 임의의 방법이 드레인 영역을 형성하는데 사용될 수 있다.

드레인 영역(320) 내의 저항 영역(323)은 ESD 보호 구조로서 작용한다. 향상된 ESD 보호는 저항 영역(323)의 포함에 의한 드레인 영역(320)의 크기를 증가시킴으로써 달성된다. 본 실시예에서, 저항 영역은 바람직하게 대략 5 μ 의 길이를 가진다. 넓은 범위의 다른 길이들도 가능하다. ESD 사건 동안에, 잠재적으로 큰 전류는 작은 영역 상에 집중되는 대신에 보다 큰 영역에 걸쳐서 분산된다. ESD 보호를 제공하는 이 기술은 상기 종래기술 부분에서 논의되어 있다. 그러한 ESD 구조를 가지는 종래의 트랜지스터들에서, 큰 드레인 영역 및 기판 사이의 캐패시턴스는 보다 작은 드레인 영역들을 가지는 트랜지스터들에 비교하여 클 것이다. 본 발명은 드레인 영역(320)의 최소한 한 부분 및 기판(310) 사이에 웰 영역(315)을 도입함으로써 이 캐패시턴스를 줄인다. 웰 영역(315)은 본 발명의 분야에서 잘 알려진 표준 제조 기술들을 사용하여 형성된다. 대부분의 반도체 제조 공정들은 웰들을 사용한다. 결과적으로, 웰 영역(315)은 통상적인 웰 제조 공정 동안에 형성될 수 있고, 상당한 추가적인 공정이 요구되지 않는다.

웰 영역(315)은 드레인 영역(320)의 형성 전에 형성된다. 이 실시예에서의 웰 영역(315)은 바람직하게 n- 타입 반도체 물질로 형성된다. 웰 영역(315)을 위한 n- 타입 반도체 물질은 비록 다른 도펀트들이 가능하지만, 바람직하게, 인과 같은 도펀트를 실리콘 기판에 확산시킴으로써 형성된다. 웰 영역(315)은 또한 이온 주입 또는 도펀트들을 반도체 물질에 도입하기 위한 임의의 다른 방법에 의하여 형성될 수 있다. 웰 영역(315)은 드레인 영역(320) 아래에 바람직하게 3 μ 의 깊이로 형성되고 드레인 콘택(325)아래에서부터 채널 영역(337)의 1 μ 내까지 연장되도록 형성된다. 본 발명은 넓은 범위의 웰 영역 깊이들을 사용하여 실시될 수 있다. 이 실시예에서의 웰 영역(315)은 바람직하게 채널 영역의 1 μ 내까지 연장되지만, 본 발명은 1 μ 까지 연장되지 않는 웰 영역(315)으로 실시될 수 있다. 트레이드오프는 기판(310)에 노출되는 드레인 영역(320)의 양이 클수록 캐패시턴스의 양이 크다는 것이다. 그래서, 웰 영역은 트랜지스터 성능 또는 제조능력에 불리한 영향이 없다면 채널 영역에 가능한 한 가깝게 연장되는 것이 바람직하다.

본 실시예의 트랜지스터(300)에 관한 상기의 논의에서, 기판(310)은 p 타입 반도체 물질로 형성되는 것으로 언급되고, 소스(340), 드레인(320) 및 웰(315) 영역들은 n 타입 반도체 물질로 형성되는 것으로 언급된다. 그러나, 본 발명은 또한 n 타입 기판 및 p 타입 소스, 드레인 및 웰 영역들로 실시될 수 있다.

도 4는 본 발명에 따라 실시되고 표준 제조 공정들을 사용하는 ESD 보호를 가지는 감소된-캐패시턴스 트랜지스터를 형성하는 예시적 방법의 흐름도이다. 단계 410에서, 기판이 제공된다. 기판은 도 3과 관련하여 상기에서 논의된 어떠한 성질들을 가질 수 있다. 단계 420에서, 웰 영역이 기판에 형성된다. 단계 420을 이어서, 게이트 구조가 기판 상에 형성된다. 일단 게이트 구조가 형성되면, 단계 440에서 소스 영역이 기판에 형성된다. 단계 450에서, 저항 영역을 포함하는 드레인 영역이 형성된다. 드레인 영역은 웰 영역에 최소한 부분적으로 형성된다. 단계들 410, 420, 430, 440 및 450에서 제공되거나 형성된 기판, 소스 영역, 드레인 영역 및 웰 영역의 성질들은 도 3과 관련하여 상기에서 논의된 이러한 구조들을 위한 성질들과 합치된다.

상기 명세서에서 본 발명은 특정의 예시적 실시예들을 참조하여 서술되었다. 그러나, 그것들에 대한 다양한 변형들 및 변경들이 첨부되는 특허청구범위에서 서술된 바와 같은 본 발명의 보다 넓은 정신 및 범위를 벗어나지 않고서만 들어질 수 있다는 것은 자명할 것이다. 따라서 명세서 및 도면들은 제한적 측면에서가 아니라 설명적 측면에서 고려되어야 한다.

발명의 효과

본 발명은 웰 영역 내에 최소한 부분적으로 드레인 영역을 형성함으로써, 기판 및 드레인 사이의 p-n 접합에 의하여 형성되는 공핍 영역의 폭을 증가시킬 수 있고, 결과적으로 드레인 영역 및 기판 사이에서 캐패시턴스를 감소시킬 수 있다.

(57) 청구의 범위

청구항 1.

ESD 보호구조를 가지는 감소된 캐패시턴스 트랜지스터를 형성하기 위한 방법에 있어서,

기판을 제공하는 단계;

상기 기판에 소스 영역을 형성하는 단계;

제1 말단 영역 및 제2 말단 영역을 포함하는 드레인 영역을 형성하는 단계;

여기서, 상기 드레인 영역을 형성하는 단계는 상기 제1 말단 영역과 상기 제2 말단 영역 사이에 저항 영역을 형성하는 단계를 포함하고, 상기 저항 영역은 상기 제1 및 제2 말단 영역과 동일한 물질로 형성되고;

상기 기판에서, 상기 드레인 영역의 제1 말단 영역 아래, 상기 드레인 영역의 저항 영역 아래, 그리고 적어도 부분적으로 상기 제2 말단 영역 아래에 웰 영역을 형성하는 단계;

상기 드레인 영역의 제1 말단 영역 상에 드레인 콘택을 형성하는 단계; 및

상기 소스 영역과 상기 드레인 영역의 제2 말단 영역 사이의 상기 기판 상에, 상기 소스 영역을 상기 드레인 영역에 접속시키는 채널 영역을 정의하는 게이트 구조를 형성하는 단계

를 포함하는 트랜지스터 형성 방법.

청구항 2.

제1항에 있어서,

웰 영역을 형성하는 상기 단계는 상기 드레인 영역의 상기 제1 말단 영역으로부터 상기 채널 영역의 1μ 내까지 연장되는 n- 타입 반도체 영역을 상기 기판에 형성하는 단계를 포함하는

트랜지스터 형성 방법.

청구항 3.

제2항에 있어서,

웰 영역을 형성하는 상기 단계는 상기 기판 내로 1μ 내지 4μ 의 범위의 깊이로 연장되는 n- 타입 반도체 영역을 형성하는 단계를 포함하는

트랜지스터 형성 방법.

청구항 4.

제3항에 있어서,

상기 드레인 영역의 상기 단계는 상기 웰 영역 내로 0.1μ 내지 0.4μ 의 범위의 깊이로 연장되는 n+ 타입 반도체 영역을 형성하는 단계를 포함하는

트랜지스터 형성 방법.

청구항 5.

제4항에 있어서,

저항 영역을 형성하는 상기 단계는 2μ 내지 7μ 의 범위의 길이를 가지는 n+ 타입 반도체 영역을 형성하는 단계를 포함하는

트랜지스터 형성 방법.

청구항 6.

제1항에 있어서,

웰 영역을 형성하는 상기 단계는 상기 드레인 영역의 상기 제1 말단 영역으로부터 상기 채널 영역의 1μ 내까지 연장되는 p- 타입 반도체 영역을 상기 기판에 형성하는 단계를 포함하는

트랜지스터 형성 방법.

청구항 7.

제6항에 있어서,

웰 영역을 형성하는 상기 단계는 상기 기판 내로 1 μ m 내지 4 μ m의 범위의 깊이로 연장되는 p- 타입 반도체 영역을 형성하는 단계를 포함하는

트랜지스터 형성 방법.

청구항 8.

제7항에 있어서,

상기 드레인의 상기 단계는 상기 웰 영역 내로 0.1 μ m 내지 0.4 μ m의 범위의 깊이로 연장되는 p+ 타입 반도체 영역을 형성하는 단계를 포함하는

트랜지스터 형성 방법.

청구항 9.

제8항에 있어서,

저항 영역을 형성하는 상기 단계는 2 μ m 내지 7 μ m의 범위의 길이를 가지는 p+ 타입 반도체 영역을 형성하는 단계를 포함하는

트랜지스터 형성 방법.

청구항 10.

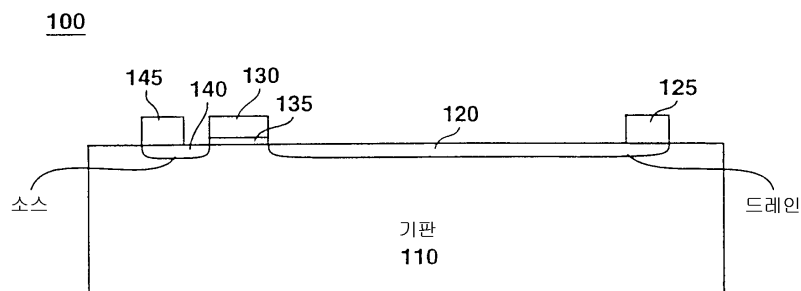
제1 전도성 타입의 트랜지스터들이 제2 전도성 타입의 웰들에 형성되는 반도체 집적회로의 제조 방법에 있어서,

최소한 부분적으로 제1 전도성 타입의 하나의 웰 내에 제1 전도성 타입의 하나의 트랜지스터를 위한 드레인 영역을 형성하는 단계

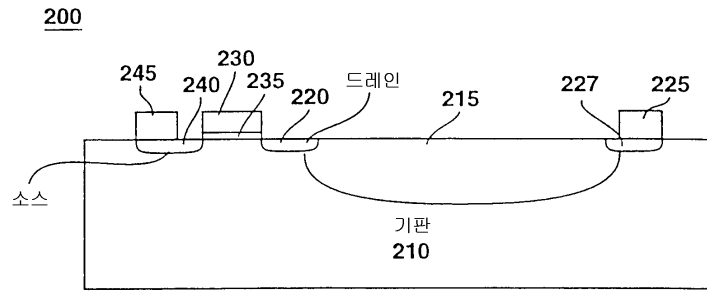
를 포함하는 반도체 집적회로 제조 방법.

도면

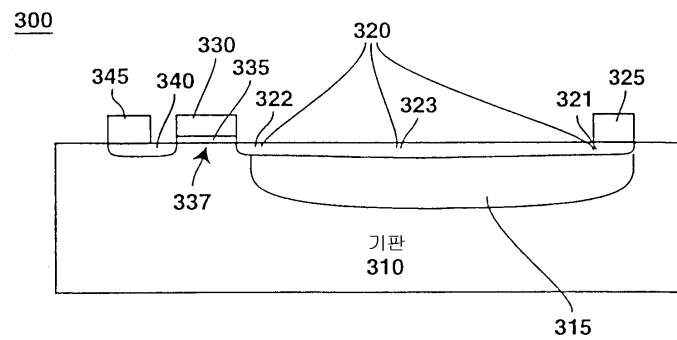
도면1



도면2



도면3



도면4

