

1. 一种集成电路, 包含:

一个第一电路;

5 一个连接于第一外部电源电压的第一导体;

一个连接于第二外部电源电压的第二导体;

一个工作输出第一内部电源电压的第一内部电源;

一个工作输出第二内部电源电压的第二内部电源;

一个连接在该第一导体与该第一电路之间的第一开关;

10 一个连接在该第二导体与该第一电路之间的第二开关;

一个连接在该第一内部电源与该第一电路之间的第三开关;

一个连接在该第二内部电源与该第一电路之间的第四开关;

15 一个连接于各开关的控制电路, 此控制电路用来响应该第一外部电源的电位选择性地仅接通该第一和第三开关之一, 以及响应该第二外部电源的电位选择性地仅接通该第二和第四开关之一。

2. 如权利要求 1 的集成电路, 其特征在于进一步包括:

20 一个第一电压检测电路, 它用于连接到该第一外部电源电压, 该第一电压检测电路工作输出一个第一信号, 该信号表示该第一外部电源电压是否超过一个第一阈值电压, 其中如果该第一信号表示该第一外部电源电压超过该第一阈值电压, 该控制电路接通该第一开关, 并且切断该第三开关; 以及

25 一个第二电压检测电路, 用于连接到该第二外部电源电压, 该第二电压检测电路工作输出一个第二信号, 该信号表示该第二外部电源电压是否超过一个第二阈值, 其中如果该第二信号表示该第二外部电源电压超过该第二阈值电压, 该控制电路接通该第二开关, 并且切断该第四开关。

3. 一种非易失性存储器器件, 包括:

一个存储器单元阵列;

30 一个连接于一个外部工作电源电压的一个第一导体;

- 一个连接于一个外部编程电源电压的一个第二导体；
一个工作地输出一个内部工作电源电压的一个第一内部电
源；
一个工作地输出一个内部编程电源电压的一个第一内部电
源；
5 一个连接在该第一导体与该存储器单元阵列之间的一个第一
开关；
一个连接在该第二导体与该存储器单元阵列之间的一个第二
开关；
10 一个连接在该第一内部电源与该存储器单元阵列之间的一个
第三开关；
一个连接在该第二内部电源与该存储器单元阵列之间的一个
第四开关；
一个连接各开关的控制电路，该控制电路响应该外部工作电
源电压的电位接通该第一和第三开关之一，以及响应该外部编程
15 电源电压的电位接通该第二和第四开关之一。
4. 如权利要求 3 的非易失性存储器器件，其特征在于进一步
包括：
一个第一电压检测电路，用于连接到该外部工作电源电压，
20 该第一电压检测电路工作输出一个第一信号，该信号表示该外部
工作电源电压是否超过一个第一阈值电压，其中如果该第一信号
表示该外部工作电源电压超过该第一阈值电压，该控制电路接通
该第一开关，并且切断该第三开关；以及
一个第二电压检测电路，用于连接到该外部编程电源电压，
25 该第二电压检测电路工作输出一个第二信号，该信号表示该外部
编程电源电压是否超过一个第二阈值，其中如果该第二信号表示
该外部编程电源电压超过该第二阈值电压，该控制电路接通该第
二开关，并且切断该第四开关。
5. 一种非易失性存储器器件，包括：
30 一个连接到一个外部工作电源电压的第一导体；

- 一个连接在该第一导体和一个存储器单元阵列之间的第一开关；
- 一个连接到一个外部编程电源电压的第二导体；
- 一个连接在该第二导体与该存储器单元阵列之间的第二开关；
- 5 一个以一个第一电位提供一个内部工作电源电压的第一内部电源；
- 一个连接在该第一内部电源和该存储器单元阵列之间的第三开关；
- 10 一个以一个第二电位提供一个内部编程电源电压的第二内部电源；
- 一个连接在该第二内部电源和该存储器单元阵列之间的第四开关；
- 一个连接到该第一导体的第一电压检测电路，该电路用于输出一个表示该外部工作电源电压是否在该第一电位的第一信号；
- 15 一个连接到该第二导体的第二电压检测电路，该电路用于输出一个表示该外部编程电源电压是否在该第二电位的第二信号；
- 以及
- 一个连接到该第一和第二电压检测电路以及各开关的控制电路，如果该外部工作电源电压处于第一电位，该控制电路用于控制该第一和第三开关，以将该第一导体连接到该存储器单元阵列，以及从该存储器单元阵列去除该第一内部电源的连接；如果该外部工作电源电压小于该第一电位，该控制电路控制该第一和第三开关，以从该存储器单元阵列去除该第一导体的连接，以及将该第一内部电源连接到该存储器单元阵列；如果该外部编程电源电压处于该第二电位，控制该第二和第四开关，以将该第二导体连接到该存储器单元阵列，以及从该存储器单元阵列去除该第二内部电源的连接；以及如果该外部编程电源电压小于该第二电位，控制该第二和第四开关，以从该存储器单元阵列去除该第二导体的连接，以及将该第二内部电源连接到该存储器单元阵列。
- 20
- 25
- 30

6. 一种集成电路, 包括:

一个存储器单元阵列;

一个连接到一个外部电源电压的导体;

5 一个电压斜波检测电路, 它连接到该第一导体, 用于输出一个指示该外部电源电压何时超过一个斜波电压的信号;

一个工作地输出一个内部电源电压的内部电源;

一个连接在该第一导体和该存储器单元阵列之间的第一开关;

10 一个连接在该第一内部电源和该存储器单元阵列之间的第二开关; 以及

一个连接各开关的控制电路, 该控制电路根据该外部工作电源电压的电位接通该第一和第二开关之一, 其中该控制电路使该第一开关首先将该第一内部电源连接到该存储器单元阵列, 直到该外部工作电源电压超过该斜波电压, 并且随后响应该外部电源电压的电位该控制电路选择性地使得该第二开关将该外部工作电源电压和该内部工作电源电压之一连接到该存储器单元阵列。

15

7. 根据权利要求 6 的集成电路, 其特征在于进一步包括:

一个连接到该外部电源电压的电压检测电路, 该电压检测电路工作输出一个指示该外部电源电压是否超过一个阈值电压的第一信号, 其中如果该第一信号指示该外部电源电压超过该阈值电压, 该控制电路接通该第一开关, 以及断开该第二开关。

20

快速存储器的电源

本发明一般涉及到集成电路的功率管理，更确切地说是非易失存储
5 器件的功率管理。

计算机系统的应用已如此广泛，以致于计算机系统所消耗的功率已
成为计算机系统设计者和消费者所关注的事情。为了降低计算机系统运
行所需功率的成本和能源消耗，一些制造厂家已在追求设计消耗较少功
10 率的“绿色个人计算机”的目标。采用可充电电池作为电源的移动或便
携式计算机的制造厂家也试图降低功率消耗以便移动计算机系统可不
充电地使用更长的时间。

为了降低功率消耗和延长电池寿命，许多用作计算机系统元件的集
成电路正被设计成运行于低电压电平。例如，用于便携式计算机中的电
路和元件被设计成只工作于诸如 5V 或 3.3V 的电压电平。这就降低了功
15 率消耗并使电路中可彼此更紧密地放置更多的元件。

不幸的是，降低计算机系统功率消耗的潮流可能与提供便携式计算
机系统的售后升级和增加器件的愿望发生抵触。可用来提高便携式计算
机系统的多功能性的一类器件是快速电可擦可编程只读存储器（“快速
EEPROM”）。快速 EEPROM 是非易失存储器件，可由用户编程和
20 擦除，而且快速 EEPROM 可用作例如 BIOS ROM 或用作插入式存储
卡的部件。快速 EEPROM 所要求的编程和擦除电压通常高于绿色个人
计算机和便携式计算机的降低了的电源所能直接提供的电压。

为使快速 EEPROM 能够用于降低了电压的计算机系统设计中，一个
解决方法是在快速 EEPROM 外部提供充电激励电路以便将计算机系
25 统的电源电平提高到快速 EEPROM 所要求的更高的电压电平。这一解
决方法的困难是分立的充电激励电路占用印刷电路板的空间，而这种空
间在便携式计算机系统中是非常宝贵的。

一个变通的解决方法是将快速 EEPROM 设计成包括充电激励电路
以便内部产生快速 EEPROM 所需的较高的电压电平。此法的一个困难
30 是快速 EEPROM 的内部充电激励占用半导体管心空间，这就可能需要
增加快速 EEPROM 的半导体管心的尺寸。另一困难是内部充电激励电
路有可能无法提供足够的电流来与外部充电激励同样快速地对存储单

元阵列进行编程和擦除，因而可能降低快速 EEPROM 的运行速度。

因此，本发明的目的是提供一种包括内部电源的快速 EEPROM。

本发明的另一目的是提供对加于集成电路的外部电源电压进行探测的电路。

5 本发明的另一目的是提供能够根据探测到的外部电压电平而选择内部电源或外部电源管脚的输出的电路。

10 利用一种包括一个连接于第一外部电源电压的第一导体和一个连接于第二外部电源电压的第二导体的快速 EEPROM，提供了本发明的这些和其它的目的。此快速 EEPROM 还包括一个连接于第一导体的用来根据第一外部电源电压而提供处于第一电压电平的第一内部电源电压的第一内部电源，以及一个连接于第二导体的用来根据第二外部电源电压而提供处于第二电压电平的

15 第二内部电源电压的第二内部电源。在各导体和存储单元阵列之间以及内部电源和存储单元阵列之间连接了多个开关。第一电压探测器电路连接于第一导体以便输出一个表明第一外部电源电压是否处于第一电压电平的第一信号，而第二电压探测器连接于第二导体以便输出一个表明第二外部电源电压是否处于第二电压电平的

20 第二信号。控制电路连接于第一和第二电压探测器电路以及开关。控制电路控制着各个开关，以便根据第一信号而有选择地将第一导体或第一内部电源连接于集成电路的其余电路。控制电路还控制各开关以便根据第二信号而有选择地将第二导体或第二内部电源连接于集成电路的其余电路。快速 EEPROM 制作在一个单一的半导体衬底上。

从下列附图和详细描述中，将明了本发明的其它目的、特点和优点。

25 本发明将用举例的方法来加以说明，而且不局限于附图，在这些附图中，相似的参考号表示相似的元件，其中：

图 1 示出了一种计算机系统，它包括一个或更多个带有新颖电路的元件。

图 2 示出了一种包括新颖电路的快速 EEPROM。

30 图 3A 和 3B 示出了根据不同实施例的快速 EEPROM 的智能电压电路。

图 4 示出了一种锁模 VCC 探测器。

图 5 示出了锁模 VCC 探测器的行为。

图 6 示出了一种连续模 VCC 探测器。

图 7 示出了连续模 VCC 探测器的行为。

图 8 示出了一种可工作于锁模和连续模二种模式的 VCC 探测器。

图 9 更详细地示出了 VCC 探测器的漏偏置控制电路。

5 图 10 示出了一种时钟电压探测器电路。

图 11 示出了一种 5/12V VPP 电平探测器电路。

图 12 示出了一个第二 5/12V VPP 电平探测器电路。

图 13A 和 13B 示出了根据不同实施例的内部电源。

图 14 示出了一种包括调节电路和充电激励器的内部电源。

10 图 15 更详细地示出了一个充电激励器。

图 16 示出了可提供给图 15 充电激励器的时钟信号。

图 17 示出了内部电源，其中三个充电激励电路共享同一个充电激励器。

15 图 18 示出了内部电源，其中四个充电激励电路共享同一个充电激励器。

图 19 示出了待用充电激励器的调节电路。

图 20 示出了脉冲发生器的输出以及根据脉冲发生器产生的脉冲而被启动的一个充电激励器的相应的电流消耗。

图 21 更详细地示出了脉冲发生器电路。

20 图 22 示出了一种采用亚阈值偏置的脉冲发生器电路的振荡器。

图 23A 和 23B 是流程图，示出了包括图 3A 所示智能电压电路的快速 EEPROM20 的工作方法。

图 24A 和 24B 是流程图，示出了包括图 3B 所示智能电压电路的快速 EEPROM20 的工作方法。

25 图 1 示出了一个通用计算机系统 10，它包括一个电源 11、一个中央处理器（CPU）12、一个主存储器 13、一个只读存储器 14、一个大容量存储器件 15、一个帧缓冲器 16、以及一个输入器件 17，所有这些都连接于总线 19。总线 19 包括数据线且用作计算机系统 10 各元件的主要互连，以便数据可在各元件之间传输。计算机系统 10 还包括
30 一个连接于帧缓冲器 16 的用来接收显示用图象数据的显示器件 18。只读存储器 14 可以是一个快速 EEPROM，而大容量存储器件可以是一个包括多个快速 EEPROM 的用来模仿硬磁盘驱动器的“固态磁盘驱动

器”。

此计算机系统 10 可以是一个便携式计算机、一个工作站、一个小型计算机、一个可编程数字助手 (PDA)、一个大型计算机或一个任何其它类型的计算机，且计算机系统 10 的功率要求被相应地确定。例如，若计算机系统 10 是一个工作站，则系统工作电压 VCC 可为 5.0V，其中若计算机系统 10 是一个用可充电电池工作的便携式计算机，则系统工作电压 VCC 可为 3.3V。计算机系统 10 也可能是一个根据功率是由可充电电池还是由 AC 适配器供给而提供不同的工作电压电平的便携式计算机系统。

因此，电源 11 包括一种用来将计算机系统 10 的工作电压 VCC 经由总线 19 的功率引线馈至计算机系统各元件的 VCC 电源输出。其中的计算机系统 10 是一个便携式计算机，电源 11 可以是一个可充电电池。电源 11 也可以包括一个用来将 12V 编程电压 VPP 馈至只读存储器 14 或大容量存储器件 15 的 VPP 电源输出。若电源 11 不包括分立的 VPP 电源输出，则包括在计算机系统 10 中的快速 EEPROM 的 VPP 输入端可连接起来接收 VCC 工作电压。

计算机系统 10 的快速 EEPROM 包括使快速 EEPROM 可工作于 VCC 等于 3.3V 或 5.0V 且 VPP 等于 5.0V 或 12.0V 情况下的电路。因此，每个快速 EEPROM 包括用来探测由电源 11 所馈送的电源电压的电路，其中每个快速 EEPROM 根据探测到的电压来配置自己的工作。不是计算机系统 10 的所有快速 EEPROM 都需要包括这种电路。

图 2 示出了一个包括用来探测系统电源电压的电路的快速 EEPROM。此快速 EEPROM 20 是一个集成电路，它可制作在一个单一的半导体衬底上，且一般包括一个含有多个快速存储单元 22 的存储单元阵列 21，其中每个快速存储单元是一个带有一个选择栅、一个浮栅、一个漏和一个源的浮栅晶体管器件。存储单元阵列 21 的快速存储单元 22 排列成行与列组成的矩阵，其中一个公共字线被连接于一行中各快速存储单元的选择栅，而一个公共位线被连接于一列中各快速存储单元的漏。

借助于将过量电荷置于浮栅，使快速存储单元 22 的阈值电压 V_t 升高而对快速存储单元 22 进行编程。快速存储单元 22 可被置于可由一位或更多位代表的二个或更多个模拟态。借助于将 12.0V 加于栅、6.0V

加于漏并将源接地，使电子被热电子注入而置于浮栅上，可实现编程。借助于从浮栅上清除过量的电荷，可擦除快速存储单元 22，而借助于将 12.0V 加至源、将栅接地并使漏浮置，使电子通过电子隧穿而从浮栅被清除，可实现擦除。有可能同时擦除几个快速存储单元，同时擦除几个快速存储单元的操作即所知的“块擦除”。

为了确定快速存储单元 22 是处于擦除态还是处于编程态，一个恒定电压被加于快速存储单元的选择栅以读取快速存储单元 22 的漏-源电流。借助于将 5.0V 加至栅、将源接地并将 1.0V 加于漏，可实现这一读取操作。为了在选定的快速存储单元组上执行读出、编程和擦除操作，快速 EEPROM20 包括字线开关和译码器 23、源开关和译码器 24 以及位线开关和译码器 25，所有这些都受控制器 26 控制以选择所需的快速存储单元并将适当的电压加于选定的快速存储单元。智能电压电路 27 连接于快速 EEPROM20 的 VCC 和 VPP 输入脚，并被用来根据探测到的快速 EEPROM20 的电源电平和工作模式而将所需电压馈至字线开关和译码器 23、源开关和译码器 24 以及位线开关和译码器 25。

智能电压电路 27 包括内部电源（示于图 3A 和 3B），若外部供电电平被确定为低于存储单元阵列 21 编程、擦除或读出所需的值，则可选择此内部电源来为快速 EEPROM 提供所需的电压。例如，若外部工作电源电压 VCC 被测得为 3.3V，则可启动内部电源来提供 5.0V 输出，但若外部工作电源电压 VCC 被测得为 5.0V，则不启动内部电源而将此外部工作电源电压 VCC 提供给存储单元阵列 21。同样，若外部编程电源电压 VPP 被测得为 5.0V，则在编程和擦除过程中可启动内部电源来提供 12.0V 输出，但若外部编程电源电压 VPP 被测得为 12.0V，则不启动内部电源，而将此外部编程电源电压 VPP 提供给存储单元阵列。

于是，此智能电压电路 27 就使同一种快速 EEPROM20 可用于工作于高压或低压下的二种计算机系统中。在印刷电路板空间非常宝贵的情况下，系统设计者就可利用快速 EEPROM20 的内部电源来提供编程和擦除所需的电压而无需外部充电激励电路。或者是，在存储器性能非常宝贵的情况下，系统设计者可利用电源或外部充电激励电路来提供编程和擦除电压。

此智能电压电路 27 在许多不同类型的集成电路更确切地说是在许多不同类型的存储器件中都可得到应用。例如，此处描述的智能电压电

路可用于动态随机存取存储器 (DRAM)、可擦可编程只读存储器 (EPROM) 以及电可擦可编程只读存储器 (E²PROM)。此智能电压电路 27 也可用来探测和选择多芯片模块的不同组件的电压。内部电源可能以一种模块的形式提供, 而电压探测和选择电路可能以第二模块的形式提供。如有需要, 电压探测和选择电路可用来探测外部电源电压并选择性地启动内部电压的恰当输出。

快速 EEPROM20 有三种工作模式, 包括一个激活模式、一个待用模式和一个深度掉电模式。待用和深度掉电二个模式都是功率降低了的模式。为了确定快速 EEPROM20 的工作模式, 控制器 26 接收控制信号 (芯片启动信号 \overline{CE} 、输出启动信号 \overline{OE} 、写入启动信号 \overline{WE} 以及掉电信号 \overline{PWD})。芯片启动信号 \overline{CE} 是功率控制并被用来选择快速 EEPROM20 的器件。输出启动信号 \overline{OE} 是快速 EEPROM20 的输出控制并且依赖于器件选择而用于来自快速 EEPROM20 输出脚的栅数据。为了在快速 EEPROM 的输出处获得数据, 控制信号 \overline{CE} 和 \overline{OE} 二者都必须处于逻辑低电平。当芯片启动信号 \overline{CE} 为激活低时, 写入启动信号 \overline{WE} 使得能写入到控制器 26。地址和数据被锁存在写入启动信号 \overline{WE} 的上升沿。

当控制信号 \overline{CE} 和 \overline{OE} 二者都处于逻辑低电平而 \overline{PWD} 处于逻辑高电平时, 快速 EEPROM20 处于激活工作模式。当芯片启动信号 \overline{CE} 和掉电信号 \overline{PWD} 二者都处于逻辑高时, 快速 EEPROM20 进入待用模式。当掉电信号 \overline{PWD} 处于逻辑低电平时, 掉电信号 \overline{PWD} 使快速 EEPROM20 进入深度掉电模式。

对于激活工作模式, 快速 EEPROM20 可从电源 11 取得足够的功率以执行读出、编程和擦除操作。对于待用工作模式, 快速 EEPROM20 被阻止在存储单元阵列 21 上执行任何操作, 且快速 EEPROM20 可能消耗的功率被降低。对于深度掉电工作模式, 所有存储单元阵列的工作都被中断, 因而快速 EEPROM20 可能消耗的功率小于待用模式的功率。例如, 在待用模式中, 快速 EEPROM20 可消耗 100 μ A 电流, 而在深度掉电模式中只消耗 2 μ A 电流。对于不包括内部电源的现有技术快速 EEPROM, 深度掉电模式使快速 EEPROM 的所有电路都中断。

当快速 EEPROM20 从待用模式或深度掉电模式转变到激活模式时, 快速存储单元阵列 21 作好准备以执行读出操作是可取的, 这意味

着字线开关 23 应被充电到 5.0V。若测得的外部电源电压 VCC 为 5.0V，则在待用和深度掉电模式过程中，通过采用简单的上拉器件（可以是一个晶体管或一个电阻器），字线开关可由外部电源电压 VCC 维持在 5.0V。若测得的外部电源电压 VCC 是 3.3V，则可用内部电源来将字线开关 23 充电到 5.0V。

当快速 EEPROM20 工作于激活模式时，若外部电源电压 VCC 等于 3.3V 且内部电源只被启动来充电字线开关 23，则当快速 EEPROM 从待用或深度掉电模式转变到激活模式以使字线开关 23 可充电到恰当电压时，快速 EEPROM20 的存取时间增加了。由于漏电造成字线开关 23 被放电，而且在足够长的时间后，字线开关 23 可放电到外部电源电压 VCC 的值。而且，其中的存储单元阵列 21 很大，字线开关 23 的电容增大，当快速 EEPROM 转变工作模式时，这可能在快速 EEPROM20 内部引起显著的瞬时电压和电流。对这些过渡过程必须加以考虑，它通常使存取时间进一步增加。因此，为了减小快速 EEPROM20 的存取时间以及缩短内部过渡过程，在待用和深度掉电模式中保持适当的内部电源处于工作状态可能是可取的；然而，智能电压电路的设计可能受到快速 EEPROM 功率耗散要求以及能够提供给智能电压电路的半导体管芯空间的制约。

图 3A 和 3B 示出了根据不同实施例的智能电压电路 27。图 3A 示出一例智能电压电路 27a，其中的字线开关 23 在快速 EEPROM20 工作于待用和深度掉电二种模式情况下，被内部电源维持在 5.0V。图 3A 的智能电压电路 27a 使存取时间大为减少，但可能需要更大的管芯空间。图 3B 示出一例智能电压电路 27b，其中的字线开关 23 在待用模式中由内部电源维持在 5.0V，但在深度掉电模式中被维持在外部电源电压 VCC。图 3B 的智能电压电路 27b 一般比图 3A 电路所需的管芯空间更小，但存取时间可能增加。

图 3A 示出的智能电压电路 27a 包括一个 VCC 斜波探测器 30、一个 3.3V/5V VCC 电平探测器 35（第一导体）、一个低 VCC 探测器 40、一个电流源 45、一个脉冲发生器 50、一个 5V/12V VPP 电平探测器 55（第二导体）、以及内部电源 60a。内部电源 60a 的工作决定于快速 EEPROM 的工作模式、外部工作电源电压 VCC 以及由 VCC 斜波探测器 30、3.3V/5V VCC 电平探测器 35 和 5V/12V VPP 电平探测

器 55 所探测到的外部编程电源电压

VPP。当快速 EEPROM20 处于激活模式工作时，若低 VCC 电平探测器 40 探测到一个低的外部电源电压 VCC 电平，则编程与擦除操作被禁止。当快速 EEPROM 工作于待用或深度掉电二种模式时，将电流源 45 和脉冲发生器 50 包括在内以有条件地且周期性地启动内部电源 60a 将字线开关 23 充电到 5.0V。字线开关 23 于是被维持在必需的电压电平，但内部电源只是周期性地被激活，以致快速 EEPROM20 的功率耗散可保持在为待用和深度掉电工作模式所确定的限度之内。下面更详细地描述此电路。

内部电源 60a 包括三个输出线。输出线 HH5PX 可连接到字线开关 23 用于读出操作。输出线 HHVPLL 可连接到位线开关 25 用于编程操作。输出线 HHVP12 可连接到字线开关 23 用于编程操作，并连接到源开关 24 用于擦除操作。

图 3B 示出了智能电压电路 27b，它通常比图 3A 电路要求较小半导体管芯空间。智能电压电路 27b 包括 VCC 斜波探测器 30、3.3V/5V VCC 电平探测器 35、低 VCC 探测器 40、5V/12V VPP 电平探测器 55 以及内部电源 60b，此电源包括一个待用 5V 内部电源(示于图 13B 中)，若外部电源电压 VCC 不是 5V 且若快速 EEPROM20 工作于待用模式，则用它来将字线开关 23 充电到 5.0V。此待用 5V 内部电源小于读出操作过程中所用的 5V 内部电源，致使功率耗散可保持在待用工作模式的限度之内。在深度掉电模式中，不管外部 VCC 是否等于 5.0V，字线开关 23 都被充电到外部电源电压 VCC。如所示，用作 VCC 斜波探测器 30 的相同电路可用作低 VCC 探测器 40，以进一步减小智能电压电路 27b 所需要的半导体管芯空间。

以下描述图 3A 所示智能电压电路 27a 的基本操作。VCC 斜波探测器 30 被用来启动内部电源 60a 并在功率首次加于快速 EEPROM20 时预置 3.3V/5V VCC 电平探测器 35、电流源 45 和脉冲发生器 50。VCC 斜波探测器 30 的准确运行依赖于功率首次施加时快速 EEPROM 的工作模式。

图 23A 示出了当快速 EEPROM20 工作于深度掉电或待用模式时，图 3A 所示智能电压电路 27a 的一种工作方法。在工序方框 2400 处，功率首先馈至快速 EEPROM20。在工序方框 2405 处，借助于启动内部电源 60a 使字线开关 23 充电、预置 3.3V/5V VCC 电平探测器 35 使指示

3.3V 外部 VCC 以及借助于预置电流源 45 和脉冲发生器 50，使 VCC 斜波探测器 30 响应功率接通。

VCC 斜波探测器 30 输出一个控制信号 HDRMVCD 到 3.3V/5V VCC 电平探测器 35、电流源 45、脉冲发生器 50 和内部电源 60a。当
5 工作电源 VCC 小于 VCC 斜波探测器 30 的断开点电压 V_{trip} 时，信号 HDRMVCD 从 0V 到其终点值上升时跟踪外部电源电压 VCC，并启动或关闭适当的电路。

在工序方框 2410 处，电源电压超过断开点电压 V_{trip} （可能是 2.7V 或 2.9V），且控制信号 HDRMVCD 降低。VCC 斜波探测器 30 被关断
10 以降低智能电压电路 27a 的功率耗散。响应于控制信号 HDRMVCD 的降低，3.3V/5V VCC 电平探测器 35 和内部电源 60a 被关断，而脉冲发生器 50 被启动。脉冲发生器 50 经由 HDOUT 信号线周期性地将一个逻辑高控制脉冲馈至内部电源 60a 和 3.3V/5V VCC 电平探测器 35。电流源 45 被包括在内以便将偏置电流 PBIAS 和 NBIAS 提供给脉冲发生器
15 50 的振荡器（如图 22 所示）。

在工序方框 2415 处，控制脉冲被内部电源 60a 及 3.3V/5V VCC 电平探测器 35 接收。内部电源 60a 在每个控制脉冲的持续时间内被启动，以致字线开关 23 的电压可保持在 5.0V。被连接起来接收外部电源 VCC 的 3.3V/5V VCC 电平探测器 35 也在控制脉冲的持续时间内被启动。根据
20 一个实施例，每 3 毫秒加一次 6 微秒脉冲。

3.3V/5V VCC 电平探测器 35 输出控制信号 ID5V 以显示探测到的外部电源电压 VCC。如上所述，控制信号 ID5V 在快速 EEPROM20 的加电过程中被预置成逻辑低电平，用来表明外部 VCC 不是 5V。若外部电源电压 VCC 在 3.3V/5V VCC 电平探测器 35 已启动时大于 3.3V/5V
25 VCC 电平探测器 35 的断开点电压 $V_{3/5}$ ，则 ID5V 信号被设置成逻辑高电平。

在工序方框 2420 处，若外部电源电压 VCC 被探测为不等于 5V，则内部电源 60a 被允许在工序方框 2425 处对字线开关 23 充电。若外部电源电压 VCC 等于 5V，则 3.3V/5V VCC 电平探测器 35 设定控制信号 ID5V 为逻辑高，这就使内部电源 60a 关断并在工序方框 2430 处启动
30 外部 VCC 对字线开关 23 充电。控制信号 ID5V 的高值被锁定。电流控制脉冲在工序方框 2435 处终止。对每一个从脉冲发生器 50 接收到的控

制脉冲，重复工序方框 2415 - 2435。若在前一个控制脉冲期间，外部 VCC 被探测为 5V，而当前控制脉冲期间，外部 VCC 被探测为 3.3V，则内部充电激励器在工序方框 2425 处被启动。每当以待用或深掉电模式对快速 EEPROM20 加电一次，就可重复 23A 所示的工序方框图。

5 图 23B 示出了快速 EEPROM20 工作于激活模时图 3A 所示智能电压电路 27a 的操作方法。在工序方框 2450 处，功率开始加至快速 EEPROM20。在工序方框 2455 处，其中外部 VCC 小于 VCC 斜波探测器 30 的断开点电压 V_{trip} ，内部电源 60a 被启动以对字线开关 23 充电，3.3V/5V VCC 电平探测器 35 被预置以显示 3.3V 外部 VCC，电流源 45
10 和脉冲发生器 50 被预置，且低 VCC 探测器 40 和 5V/12V VPP 电平探测器 55 被启动。

低 VCC 探测器 40 对 VCC 电源电压进行监测以探测工作电源电压 VCC 何时降低到低于低 VCC 探测器 40 的断开点电压 V_{lko} 。低 VCC 探测器 40 向控制机 26 提供控制信号 PDPWR2 和 PHLOWVCC。若 VCC
15 降低到低于断开点电压 V_{lko} ，则低 VCC 探测器 40 将控制信号 PHLOWVCC 设定为逻辑高电平，致使控制机 26 防止存储单元阵列 21 的编程和擦除操作。低 VCC 探测器 40 同时将控制信号 PDPWR2 设定为高电平，使控制机 26 复位。低 VCC 探测器 32 可根据授予 Marc Landgraf 等人的题为“非易失存储器的电源电压探测器及系统锁定电
20 路”并普通转让给加州 Santa Clara 英特尔公司的美国专利 5,301,161 来设计。或者如图 3B 所述，在快速 EEPROM20 加电后可将 VCC 斜波探测器 30 组建作为低 VCC 探测器工作。

5V/12V VPP 电平探测器 55 被连接到编程电源电压 VPP 以确定 VPP 是 5.0V 还是 12.0V。5V/12V VPP 电平探测器 55 向内部电源 60a
25 和控制机 26 输出一个控制信号 PD5VPP。控制信号 PD5VPP 开始为高，表示 5V VPP 电平。内部电源 60 在编程和擦除操作过程中用控制信号 PD5VPP 来选择外部 VPP 或内部电源二者之一。控制机 26 可用控制信号 PD5VPP 来选择适当的编程和擦除算法。5V/12V VPP 电平探测器 55 在待用和深度断电过程中可关断以进一步降低智能电压电路 27a 的功
30 耗。

再回到图 23B，在工序方框 2460 处，外部 VCC 超过断开点电压 V_{trip} 。所有的电路保持被启动，而脉冲发生器产生的脉冲被锁定。根

据快速 EEPROM20 处于激活模式时所要求的存取类型，图 23B 的其余工序方框可按不同于所示出的顺序出现。

5 在外部电压 VCC 超过 VCC 斜波探测器的断开点电压 V_{trip} 之后，3.3V/5V VCC 电平探测器 35 保持被启动。若 3.3V/5V VCC 电平探测器 35 在工序方框 2465 处继续显示外部 VCC 不等于 5V，则在工序方框 2470 处，内部电源 60a 被选择来将字线开关 23 充电到 5V。若在工序方框 2465 处 3.3V/5V VCC 电平探测器 35 显示外部 VCC 等于 5V，则在工序方框 2475 处，外部电源电压 VCC 被选择来将字线开关 23 充电到 5V。

10 在工序方框 2480 处，确定外电源电压 VPP 是否等于 12V。若外部 VPP 不是 12V，则在工序方框 2485 处，内部电源 60a 被选择来提供编程和擦除电压。若外部 VPP 是 12V，则在工序方框 2490 处，外部电源电压 VPP 被选择来提供编程和擦除操作的电压。此工序终止于工序方框 2495。在激活模式中对快速 EEPROM20 每加电一次，就可重复图
15 23B 的工序。

现参照图 24A - 24B 来描述图 3B 所示智能电压电路 27b 的操作。图 24A 示出了在 EEPROM20 被加电并工作于深度掉电模式时，智能电压电路 27b 的工作。在工序 2500 处，功率被馈送。在工序方框 2505 处，3.3V/5V VCC 电平探测器被预置到显示 3.3V 外部 VCC。在工序方框
20 2510 处，当外部 VCC 大于 VCC 斜波探测器 30 的断开点电压 V_{trip} 时，3.3V/5V VCC 电平探测器被关断。字线开关 23 被充电到外部 VCC 电平。工序终止于工序方框 2515。

图 24B 示出了当快速 EEPROM20 工作于待用模式时，图 3B 所示智能电压电路 27b 的操作方法。在工序方框 2520 处，功率先被馈至快速 EEPROM20。在工序方框 2525 处，借助于启动内部 5V 电源（示于图 13B）使字线开关 23 充电并预置 3.3V/5V VCC 电平探测器 35 到显示 3.3V 外部 VCC，VCC 斜波探测器 30 响应加电。

30 在工序方框 2530 处，电源电压超过断开点电压 V_{trip} 。内部 5V 电源被关断，而内部待用电源被启动。3.3V/5V VCC 电平探测器 35 保持被启动。在工序方框 2535 处，3.3V/5V VCC 电平探测器 35 继续监测外部 VCC。若外部 VCC 等于 5.0V，则 3.3V/5V VCC 电平探测器 35 设定控制信号 ID5V 为逻辑高，使内部待用电源开断，以致字线开关被外

部电源电压 VCC 充电。当在激活模式中加电时，智能电压电路 27b 的工作与图 23B 所示相似。

快速 EEPROM20 的智能电压电路 27 使同一个快速 EEPROM20 可用在计算机系统中提供不同的工作和编程电压。智能电压电路 27 用来探测和选择不同于上面所述的电源电压；但兼容性与多功能性的目标应该相对于低功率耗散的需要与提高存储单元阵列密度的愿望进行权衡。因此，智能电压电路 27 的每个元件应设计成消耗较低的功率并要求较小的管芯空间。下面更详细地讨论一下智能电压电路 27 的某些元件。

10 VCC 斜波探测器

以下更详细地讨论一下 VCC 斜波探测器 30。图 4 示出了一种锁模 VCC 斜波探测器 30，它能够处于“非断开态”（其中外部提供的工作电源电压 VCC 小于断开点电压 V_{trip} ）或“断开态”（其中外部电源电压 VCC 大于断开点电压 V_{trip} ）。图 4 所示的 VCC 斜波探测器 30 之所以称为“锁模” VCC 斜波探测器，是因为它一旦进入断开态就被关断。锁模 VCC 斜波探测器 30 处于断开态时几乎不消耗电流。对于快速 EEPROM20 的一个实施例，锁模 VCC 斜波探测器 30 被设计成只在快速 EEPROM20 的起始加电时工作。图 4 的 VCC 斜波探测器可用于图 3A 的智能电压电路 27a 中。

所示 VCC 斜波探测器 30 包括一个快速单元 65、一个其源极连接于快速单元 65 的漏的 n 沟场效应晶体管（FET）70、一个其漏极连接于 FET70 的漏而其源极连接于外部 VCC 的 P 沟道 FET75、以及一个其输入连接于由 FET70 漏与 FET75 漏所确定的节点 80 的输出电路 85。输出电路 85 可包括一个其输入连接于节点 80 而其输出连接于第二倒相器 87 的输入的第一倒相器 86，而第二倒相器 87 输出控制信号 HDRMVCD。倒相器 86 的输出可反馈到 FET75 的栅。倒相器 86 和 87 由输入电压供电，在本例中，此输入电压是外部电源电压 VCC。锁模 VCC 斜波探测器 30 还包括一个用来使节点 80 初始偏置的起动电路 90 和一个用来向 FET70 提供偏置电压 VDBIAS 的漏偏压控制电路 100。

快速单元 65 主要用作晶体管而不是存储元件。由于快速单元 65 的阈值电压可以改变，故锁模 VCC 斜波探测器 30 的断开点电压 V_{trip} 可借助于将快速单元编程到不同的 V_t 电平而加以改变。快速单元 65 也可

以是任何一种非易失存储单元，包括 EPROM 或 EEPROM 存储器。在标准 FET 可用来代替快速单元 65 的情况下，快速单元 65 由于可编程设计及工艺变化，因而是有优点的。

当计算机系统 10 被初次接通时，外部电源 VCC 开始从 0V 直线上升到最终的 VCC 值（3.3V 或 5.0V）。起始电路 90 被连接于 VCC 用来开始偏置节点 80，致使输出电路 85 随外部电源电压 VCC 直线上升。例如，起动电路 90 可构造成输出外部 VCC，直至 VCC 达到诸如 1.5V 的预定电压，使倒相器 86 的输出达到系统的地电位 VSS。然后关断起动电路 90，且借助于响应倒相器 86 的输出降到系统地电位 VSS 而被接通的 FET75，节点 80 继续向着外部电源电位 VCC 被上拉。输出电路 85 输出的控制信号 HDRMVCD 跟踪节点 80 处的电压。当 FET75 被接通时，锁模 VCC 斜波探测器 30 进入非断开态。

FET70 是一个偏置快速单元 65 漏极以防止快速单元 65 被意外地编程的器件。漏偏置控制电路 100 将偏压 VDBIAS 馈至 FET70 的栅以偏置 FET70；使快速单元 65 的漏不超过 1.5V。在另一种非易失存储单元被用来代替快速单元 65 的情况下，可不需要 FET70。

如所示，外部工作电源电压 VCC 被加于快速单元 65 的栅，它被编程到具有使锁模 VCC 斜波探测器电路 30 的断开点电压 V_{trip} 为所需值的阈值电压 V_t 。根据一个实施例，此断开点电压 V_{trip} 等于 2.9V。通常，快速单元的阈值电压 V_t 被编程为使节点 80 处的电压在外部电源电压超过断开点电压 V_{trip} 时被探测为逻辑低。由于快速单元 65 是可编程的，故锁模 VCC 斜波探测器 30 的器件中的工艺变化可借助于对快速单元 65 的 V_t 进行编程而被考虑。借助于如图 2 所示将恰当的电压加于快速单元可对快速单元 65 进行编程。

当快速单元 65 的栅-源电压 V_{gs} （它等于 $VCC - VSS$ ）超过快速单元 65 的阈值电压 V_t 时，快速单元 65 接通，使漏-源电流 I_{ds} 流过快速单元 65，将节点 80 下拉向系统的地电位 VSS。当节点 80 处的电压被拉至足够低时，倒相器 86 输出外部电源电压 VCC 的当时值，使 FET75 关断以致从 VCC 到地没有直流电流流动。控制信号 HDRMVCD 被设定为系统地电位 VSS。当 FET75 关断时，锁模 VCC 斜波探测器 30 进入断开态，而且直至外部 VCC 降至 0 或 VCC 斜波探测器 30 被外部逻辑复位，锁模 VCC 斜波探测器 30 才会返回到非断开态。

图 5 示出了描述图 4 所示 VCC 斜波探测器工作的波形。波形 91 示出了外部工作电源电压 VCC 的行为；波形 92 示出了节点 80 的电压；波形 93 示出了倒相器 86 和 87 之间的节点 88 的电压；而波形 94 示出了 VCC 斜波探测器 30 输出处的电压。如所示，直至 VCC 达到断开点电压 V_{trip} ，输出电路 85 的输出一直跟踪外部电源电压 VCC，在 VCC 达到断开点电压 V_{trip} 时，输出电路 85 的输出被下拉至系统的地电位 VSS。输出电路 85 也可以只包括倒相器 86，致使输出信号 HDRMVCD 由波形 93 示出。

图 4 所示的 VCC 斜波探测器可被改变成连续监测外部提供的工作电源电压 VCC 值的通用的电压探测器。以这种方式工作的 VCC 斜波探测器被称为“连续模”电压探测器。连续模电压探测器可响应输入电压而自由地在断开态和非断开态之间穿越。

图 6 示出了一种连续模电压探测器 96。同锁模 VCC 斜波探测器那样，连续模电压探测器 96 包括快速单元 65、FET70、FET75、输出电路 85 以及漏偏置控制电路 100。由于偏置信号 VCBIAS 由电流偏置电路 95 加至 P 沟 FET75 的栅，以致节点 80 经由 FET75 的漏-源电流被拉向电源电压 VCC，故不需要起动电路 45。为了降低连续模 VCC 斜波探测器消耗的电流，电流偏置电路 95 馈送的偏置信号 VCBIAS 将 FET75 偏置成一个弱上拉器件。偏置信号 VCBIAS 要使源自 FET75 的电流与外部工作电源电压 VCC 的值无关。

输出电路 85 馈送的控制信号 HDRMVCD 跟踪节点 80 的电压。当外部电源电压 VCC 小于快速单元 65 的阈值电压 V_t 时，节点 80 处的电压随外部电源电压 VCC 直线上升。当外部电源电压 VCC 超过快速单元 65 的阈值电压 V_t 时，快速单元 65 被接通，致使节点 80 处的电压被拉向地电位且输出电路 85 将控制信号 HDRMVCD 设定为逻辑低电平。如果外部电源电压 VCC 降低到低于快速单元 65 的阈值电压，则连续模 VCC 斜波探测器 30 重新进入非断开态，且 HDRMVCD 被设定为外部电源电压 VCC 的当前电平。连续模 VCC 斜波探测器因而可用作低 VCC 探测器。

图 7 示出了表示连续电压控制器行为的波形。波形 101 表示外部工作电压 VCC 的行为；波形 102 示出了响应电源电压 VCC 的节点 80 处的电压；波形 103 示出了节点 88 处的电压；而波形 104 示出了连续模

VCC 斜波探测器 30 输出的信号 HDRMVCD。波形 102 和 104 表示连续模电压探测器 96 在工作电源电压 VCC 降低到低于断开点电压 V_{trip} 时进行探测，以致电压探测器可用作低 VCC 探测器电路或用作 VCC 或 VPP 电平探测器电路。输出电路 85 也可只包括倒相器 86，以致输出信号 HDRMVCD 由波形 103 示出。

图 8 示出了可工作于锁模及连续模的可转换模电压探测器 109。根据一个实施例，可转换模电压探测器 109 在深度掉电模式中如同锁模 VCC 斜波探测器 30 那样在加电时工作。可转换模电压探测器 109 在连续模中当快速 EEPROM20 工作于待用和激活模式时，如低 VCC 探测器 40 那样在加电后工作。可转换模电压探测器 109 包括快速单元 65、FET70、FET75、输出电路 85、起动电路 90、电流偏置电路 95、漏偏置电路 100、P 沟 FET105 以及反馈控制电路 110。P 沟道 FET105 的漏连接于 FET75 的源，其源连接于工作电源电压 VCC，而其栅经由反馈控制电路 110 连接在带有输出电路 85 的反馈结构中。

当快速 EEPROM 初次被加电时，反馈控制电路 110 将倒相器 86（如图 6 所示）的输出连接到 FET105 的栅，而起动电路 90 对节点 80 进行偏置，使倒相器 86 的输出降低，使 FET105 接通。可转换模电压探测器 109 因此一开始工作于锁模。工作电源电压 VCC 一旦超过快速单元 65 的阈值电压 V_t ，VCC 斜波探测器 30 就处于断开态，一直保持到快速 EEPROM 进入待用或激活模。当快速 EEPROM20 进入待用或激活模时，反馈控制电路使输出电路 85 的输出从 FET105 的栅断开并将偏置电压馈至 FET105 的栅，致使 FET105 接通。VCC 斜波探测器 30 因此处于连续模并可构建成用作低 VCC 探测器 40。

如上所述，快速 EEPROM20 能够工作于待用和深度掉电模以及激活模。对于待用和深度掉电模，重要的是降低连续模和可转换模电压探测器的功率消耗，使快速 EEPROM20 的总功率耗散保持在规定的限度之内。降低待用模过程中的功率耗散的一种方法是将 FET75 偏置成具有高阻抗的弱上拉器件，使电流得以减小。对于深度掉电模，借助于关断 FET75，可将连续模电压探测器 96 的功率耗散降到零。可转换模电压探测器 109 在深度掉电模过程中可关断 FET75 和 FET105 二者以降低功耗。

图 9 更详细地示出了一个漏偏置控制电路。如所示，偏置电压

VDBIAS 来自工作电源电压 VCC 以控制快速单元 65 的漏处的漏电压 Vdrain。快速单元 65 的漏电压 Vdrain 可表为下式：

$$V_{\text{drain}} = V_{\text{DBIAS}} - V_{t70},$$

- 5 其中 V_{t70} 是 FET70 的阈值电压。偏置电压 VDBIAS 等于 VCC 减去与连接可能插入在工作电源电压 VCC 与漏偏置控制电路 100 的输出之间的 FET115 和 120 的二极管相关的任何二极管压降。

10 根据一个实施例，VDBIAS 的值被选为不管断开点电压 Vtrip 的值而使最大漏电压 Vdrain 小于 1.5V。一旦快速单元 65 接通（发生在外部电源电压 VCC 超过 VCC 斜波探测器 30 的断开点电压时），漏电压 Vdrain 就被拉至地电位。因此，当 VCC 等于断开点电压 Vtrip 时，就出现最大漏电压。随着断开点电压升高，更多的二极管连接的 FET 可如图 9 所示被串联连接以降低 VDBIAS 的值，致使漏电压 Vdrain 不超过预定的最大漏电压。

- 15 图 10 示出了一种连续模时钟电压探测器电路 121，其工作相似于图 4、6 和 8 所示的电压探测器电路。时钟电压探测器电路 121 可改变成工作于图 8 所示的连续模和锁模。时钟电压探测器电路 121 的设计反映了电源电压电平通常不那么迅速地改变的事实。因此，时钟电压探测器电路 121 被设计来在不同时间探测工作电源电压 VCC 和编程电源电
- 20 压 VPP 二者数值。时钟电压探测器电路 121 包括快速单元 125 和 130，其中一个由复用器 135 选择以响应可能由控制机 26 提供的控制信号 CTL 而确定时钟电压探测器电路 121 的断开点电压 Vtrip。快速单元 125 的阈值电压可编程为使快速单元 125 被选择时，时钟电压探测器电路 121 的工作有如 3V/5V VCC 电平探测器。同样，快速单元 130 的阈值电压
- 25 可编程为使快速单元 130 被选择时，时钟电压探测器电路 121 的工作有如 5V/12V VPP 电平探测器。可加入更多的快速单元，致使时钟电压探测器可也如同 VCC 斜波探测器电路和低 VCC 电平探测器电路那样工作。NAND 门 145 的电源可复用为 VCC 或 VPP。

- 30 开关电路 140 被连接于外部电源电压 VCC 和 VPP。开关电路 140 可包括一个阻性除法器电路（未示出）以便将外部编程电源电压 VPP 降低到一个低电平。控制信号 CTL 选取一个电源电压来提供给快速单元 125 和 130 的栅。时钟电压探测器电路 121 由 CLK 信号计时。对于

输出电路 85，时钟电压探测器 121 包括一个双输入 NAND 门 145，其一个输入连接于节点 80 而另一个输入连接于 CLK 信号。当 CLK 信号低时，NAND 门 145 的输出是逻辑高。当 CLK 信号升高时，NAND 门 145 的输出决定于节点 80 处的电压。若选取的电源电压高于选取的快速单元的阈值电压，则节点 80 处的电压被设定为系统的地电位 VSS，且 NAND 门 145 输出一个逻辑高电压。否则，节点 80 处的电压为高，使 NAND 门 145 输出一个逻辑低电压。一个或多个锁存器（未示出）可连接于时钟电压探测器电路的输出并由 CLK 和 CTL 电路控制，以在适当时间锁存时钟电压探测器电路 121 的输出。这里被锁存的值可被提供给控制机 26。

5V/12V VPP 探测器

5V/12V VPP 电平探测器 55 探测编程电源电压 VPP 是否等于 5V 或 12V。图 11 示出了根据一个实施例的 5V/12V VPP 电平探测器 55。5V/12V VPP 电平探测器 55 包括 P 沟 FET150 ~ 153 和 155、n 沟 FET170 和 175、电阻器 160 以及倒相器 165。FET150 的源连接于外部电源电压 VPP，而 FET150 的漏连接于 FET151 的源。FET151 的漏连接于 FET152 的源，FET152 的漏连接于 FET153 的源。FET153 的漏连接于系统的地电位 VSS。FET150 ~ 153 中每个的栅连接于它们的漏。

FET150 漏和 FET151 源之间节点处的电压连接于 FET155 的栅。FET155 的源连接于外部编程电源电压 VPP，而 FET155 的漏连接于节点 157。电阻器 160 连接在节点 157 和系统地电位 VSS 之间。倒相器 165 的输入连接于节点 157，用以探测节点 157 处的电压。倒相器 165 的低侧由系统地电位 VSS 供电而高侧由 n 沟 FET170 和 175 确定的节点 167 处的电压供电。

FET170 的栅和漏连接于编程电源电压 VPP，而 FET175 的栅和漏连接于外部工作电源电压 VCC。n 沟 FET175 示作“K 器件”，它有一个低的阈值电压并可工作于高电压。FET170 和 175 用来在工作电源电压 VCC 高于编程电源电压 VPP 的情况下更好地确保 5V/12V VPP 电平探测器 55 的正确工作。

现讨论功率首次馈至快速 EEPROM20 时（此时外部编程电源电压 VPP 等于零并开始向其最终值 5.0V 或 12V 直线上升）图 11 所示电路的

工作。一开始，节点 157 处的电压处于系统地电位 VSS，且倒相器 165 设定控制信号 PD5VPP 为逻辑高电平。当编程电源电压 VPP 升高时，FET155 的漏-源电流升高，且节点 157 开始向 VPP 的最终值被上拉。若外部 VPP 足够高，则 FET155 起克服下拉电阻器 160 的强上拉器件的作用。若探测到节点 157 处的电压处于逻辑高电平，则倒相器 165 设定控制信号 PD5VPP 为逻辑低电平，表明外部编程电源电压 VPP 为 12V。

在图 11 所示电路足以探测编程电源电压 VPP 的值的条件下，可得到一些改进。例如，若工作电源电压 VCC 高于编程电源电压 VPP，则图 11 所示电路引出一个恒定 DC 电流。而且，电阻器 160 占据相当大的半导体管芯空间，会影响存储单元阵列 21 的密度。

图 12 示出了根据第二实施例的 5V/12V VPP 电平探测器 55。为了减小 5V/12V VPP 电平探测器 55 所要求的半导体管芯空间，电阻器 160 已被代表 FET155 漏的有源负载的 n 沟晶体管 185 和 190 取代。图 12 的 5V/12V VPP 电平探测器被示为包括 P 沟 FET150 - 153、155、180、200 和 215；n 沟 FET185、190、195、205 和 210；以及倒相器 220 和 225。

FET150 - 153 如上面图 11 所述那样连接，而 FET155 的栅被连接来接收来自确定在 FET150 的漏与 FET151 的源之间的节点 156 的电压。FET155 的源连接于编程电源电压 VPP，而 FET155 的漏连接于 K 器件 FET185 的漏。FET185 用来使 FET190 隔离于节点 191 处可能上升的高电压，而当图 12 所示电压探测器电路被用来探测低电压时（若电路被用作 3.3V/5V VCC 电平探测器，这是可能发生的），可能不需要 FET185。FET185 的栅被连接来接收来自确定在 FET151 的漏和 FET152 的源之间的节点 157 的电压，而 FET185 的源连接于 FET190 的漏。FET190 的源连接于系统地电位 VSS，而其栅连接于确定在 FET152 的漏与 FET153 的源之间的节点 158。

节点 191 被确定在 FET155 的漏和 185 的漏之间。节点 191 处的电压驱动连接成倒相器的 P 沟 FET200 与 n 沟 FET205 的栅。FET200 的源连接于工作电源电压 VCC，而 FET200 的漏连接于 FET205 的漏。确定在 FET200 的漏和 FET205 的漏之间的节点 192 决定着由 5V/12V VPP 电平探测器 55 输出的控制信号 PD5VPP 的值。倒相器 220 的输入连接于节点 192，而其输出连接于倒相器 225 的输入，倒相器 225 输出

控制信号 PD5VPP。FET215 的栅连接于编程电源电压 VPP，其源连接于工作电源电压 VCC，而其漏连接于节点 192。FET195 的栅连接于节点 158，而其源连接于 FET210 的漏。FET210 的源连接于系统地电位 VSS，而其栅连接于编程电源电压 VPP。FET195 被选择成具有与 FET190 相同的特性。

FET150 - 153 可以是完全相同的器件，各具有 5 μ m 的沟道宽度和 20 μ m 的沟道长度。FET150 - 153 起分压器的作用并向 FET155 和 190 的栅提供电压，使 FET155 和 FET190 二者的栅 - 源电压 V_{GS} 的绝对值相等。例如，FET155 的栅电压等于 3/4VPP，使 V_{GS155} 等于 - 1/4VPP，而 FET190 的栅压等于 1/4VPP，使 V_{GS190} 等于 1/4VPP。FET190 和 195 也是完全相同的器件，具有 2 μ m 的沟道宽度和 30 μ m 的沟道长度。FET155 实际上可以是四个并联连接的完全相同的 FET，各具有 5 μ m 的沟道宽度和 20 μ m 的沟道长度。FET155 的实例阈值电压为 1.5V，FET185 为 0.2V，而 FET190 和 195 为 1.0V。

FET155 主要用作节点 191 的上拉器件，而 FET190 主要用作节点 191 的下拉器件。当节点 191 处的电压大约等于 VCC 的一半时，5V/12V VPP 电平探测器 55 的断开点电压 $V_{5/12}$ 出现。当节点 191 被充电到断开点电压 $V_{5/12}$ 时，FET155 和 190 二者都饱和，且 FET155 和 190 的栅 - 源电压和漏 - 源电流都大约相等。用下式可估计断开点电压 $V_{5/12}$ ：

$$V_{5/12} = c \left(\frac{\sqrt{\beta_{155}} V_{T155} - \sqrt{\beta_{190}} V_{T190}}{\sqrt{\beta_{155}} - \sqrt{\beta_{190}}} \right)$$

其中 C 是由加至 FET155 和 190 的公共栅 - 源电压决定的常数； V_{T155} 是 FET155 的阈值电压； V_{T190} 是 FET190 的阈值电压； β_{155} 是 FET155 的 β 值；而 β_{190} 是 FET190 的 β 值。对于图 12 所示电路， $c = 4$ 。

FET155 和 190 的 β 值可用下式表示：

$$\beta_{155} = K_{155} \frac{W_{155}}{l_{155}},$$

$$\beta_{190} = K_{190} \frac{W_{190}}{l_{190}},$$

其中 W_{155} 是 FET155 的沟道宽度， l_{155} 是 FET155 的沟道长度， W_{190} 是 FET190 的沟道宽度， l_{190} 是 FET190 的沟道长度。借助于改变

FET155 和 190 的阈值电压和 β 值以及改变加于 FET155 和 190 的栅-源电压, 可设定断开点电压 $V_{5/12}$ 。

多个图 12 所示的器件被用来防止出现电路的某些条件。例如, 节点 192 浮置于居间电压是不可取的, 因为倒相器 220 可能响应此居间电压而引出 DC 电流。于是提供了 FET215 和 180 来更好地确保节点 192 被设定于高或低逻辑电平。若 V_{PP} 小于 V_{CC} , FET215 就用其阈值电压将节点 192 设定于 V_{CC} 。当电源电压 V_{PP} 处于相当低的电压时, FET180 被用来将节点 156 设定于 V_{PP} 。这导致 FET190 和 195 的栅源电压被设定于 $1/3V_{PP}$, 致使 FET190 和 195 较早地接通。节点 191 因此被设定为系统地电位, 而节点 192 被设定为 V_{CC} 。FET180 于是防止出现 V_{CC} 与 V_{PP} 大致相等以致 FET215 不接通的情况。当 V_{PP} 上升时, FET180 基本上开路, 致使全部电流流过分压器电路且节点 156 被设定于 $3/4V_{PP}$ 。

在正常工作过程中, 编程电源电压 V_{PP} 一旦上升到足以使节点 158 处的电压超过 FET190 和 195 的阈值电压时, FET190 和 195 就被接通。如上所述, FET190 和 195 被匹配成具有相同的阈值电压。节点 193 不再浮置, 且 FET185 被接通。在第一次接通时, FET190 和 185 工作于线性区且呈现为 FET155 的一个低阻负载, 使节点 191 处的电压被下拉到系统地电位 V_{SS} 。随着 V_{PP} 继续上升, FET185 的栅-源电压上升, FET155 的漏-源电流上升, 而由 FET185 和 190 提供给 FET155 的源的等效电阻增加。

如果编程电源电压 V_{PP} 升高到 5.0V 以上, 则接近 $5V/12V$ V_{PP} 电平探测器 55 的断开点电压。当编程电源电压 V_{PP} 等于 $5V/12V$ V_{PP} 电平探测器 55 的断开点电压 $V_{5/12}$ 时, FET185 和 190 的等效电阻以及 FET155 的漏-源电流已被增大到使节点 191 开始被上升到编程电源电压 V_{PP} 。当节点 191 处的电压大于 FET205 的阈值电压时, 节点 192 处的电压下拉至系统地电位 V_{SS} , 使控制信号 $PD5V_{PP}$ 被设定于逻辑低电平。

FET185 和 190 的等效电阻非常大, 比通常用相同的半导体管芯空间所能获得的电阻大得多。由于 FET185 和 190 所提供的电阻比用在图 11 电路中的电阻器 160 的电阻大, 比之图 11 电路的电流消耗, 图 12 电路所需的电流量下降了。电路的增益提高了, 致使节点 192 处的电压能

够比图 11 所示电路更快得多地在 VSS 和 VPP 之间变动。

内部电源

图 13A 和 13B 示出了根据不同实施例的内部电源 60。示于图 13A 的内部电源 60a 可以是用于图 3A 所示智能电压电路 27a 的那些内部
5 电源。示于图 13B 的内部电源 60b 可以是用于图 3B 所示智能电压电路 27b 的那些内部电源。

如图 13A 所示，内部电源 60a 一般可包括一个 5V 内部电源 240、一个 9V 内部电源 245 和一个 12V 内部电源 250。若外部电源电压电平太低，可启动内部电源 240~250 来产生执行存储单元阵列运算所
10 要求的更高的电压。5V 内部电源 240 被示为连接起来通过 HDOUT 信号线接收来自脉冲发生器的控制脉冲，使字线开关 23 在快速 EEPROM20 工作于待用模或深度掉电模时被充电到正确的电压。

还包括多个开关 255~280，它们受控制逻辑 230 控制，以响应探测到的电压、快速 EEPROM20 的工作模式以及待要执行的特定操作
15 而选择电源电压或恰当内部电源的输出。在内部电源的每侧提供了一个开关，使当内部电源不被选择来向存储单元阵列 21 供能时，内部电源可隔离于其余电路。例如，当 VCC 等于 5V 时，开关 270（第一开关）断开而开关 255（第三开关）选择外部 VCC 电源脚。同样，当外部 VPP 等于 12V 时，开关 275 和 280（第二开关）断开，而开关
20 260 和 265（第四开关）选择外部 VPP 电源脚。图 13A 示出了外部 VCC 为 3.3V 而外部 VPP 为 5V 时的情况。以这种方式使用开关，降低了内部电源 60 所消耗的电流流量。

控制逻辑 230 接收用来探测工作电源电压 VCC 和编程电源电压 VPP 的数值的控制信号 ID5V 和 PD5VPP。控制逻辑 230 被连接来接收
25 用来探测快速 EEPROM20 的工作模式的控制信号 CE 和 PWD。控制逻辑 230 还被连接来接收脉冲发生器 50 输出的控制信号 HDOUT。当快速 EEPROM20 处于待用模或深度掉电模时，响应于脉冲发生器 50 输出的控制信号 HDOUT，5V 内部电源 240 被周期性地接通。

现参照图 13B，内部电源 60b 一般可包括一个待用 5V 内部电源
30 235、一个 5V 内部电源 240、一个 9V 内部电源 245 以及一个 12V 内部电源 250。还包括多个开关 255~285，它们受控制逻辑 230 控制，以响应探测到的电压、快速 EEPROM20 的工作模式以及待要执行的特

定操作而选择电源电压或恰当内部电源的输出。在外部 VCC 电源脚和待用内部电源 235 之间提供了一个开关 285 (第一开关)。

5 控制逻辑 230 接收用来探测工作电源电压 VCC 和编程电源电压 VPP 的数值的控制信号 ID5V 和 PD5VPP。控制逻辑 230 被连接来接收用来探测快速 EEPROM20 的工作模式的控制信号 CE 和 PWD。当快速 EEPROM 处于待用模时,若外部 VCC 为 3.3V,则待用 5V 内部电源 235 被启动来使字线开关充电到 5V。

10 在图 13A 和 13B 所示的内部电源 60a 和 60b 充足的情况下,四个分立的内部电源电路需要很大的半导体管芯空间。图 14 示出了一种通用内部电源电路 310,它包括调整电路 315 和一个自举充电泵 320。充电泵 320 通常是一个二极或三级电路,但也可包括为提供所需输出电压而要求的那么多级。

15 如图所示,调整电路 315 包括一个电压参考电路 316、一个分压电路 317 以及一个电压控制的振荡器 (“VCO”) 318。电压参考电路 316 连接于输入电压 V_{in} (它可以是工作电源电压 VCC 或编程电源电压 VPP)。电压参考 316 用输入电压 V_{in} 来产生馈至 VCO318 正端的参考电压 V_{ref} 。VCO318 的负端经由分压电路 317 连接于内部电源 310 的输出。VCO318 将参考电压 V_{ref} 同分压电路 317 的输出进行比较并将调整信号 REG 输出到充电泵 320。

20 图 15 更详细地示出了一个充电泵 320。充电泵 320 被示为一个三级充电泵,它包括一个连接来接收调整信号 REG 的振荡器 323、一个第一相位 (PH1) 时钟驱动电路 325、一个第二相位 (PH2) 时钟驱动电路 330 以及一个增压电路 332。PH1 和 PH2 时钟驱动电路被连接来响应调整信号 REG 而接收振荡器 323 输出的时钟信号,其中 PH1 和 PH2 时钟驱动电路将不同相位的时钟信号馈至增压电路 332。增压电路 332 通常包含为使输入电压增压至所需输出电压而必须的开关和电容器。电容器的充放电由 PH1 和 PH2 时钟驱动电路控制。在振荡器 323 和时钟驱动器 325 及 330 之间提供了一个 SBREG 信号输入,用来直接从图 19 所述的待用调整电路接收时钟信号。对于其它实施
25 例,每个调整电路可包括它们自己的被复用来控制增压电路 332 的
30 时钟驱动电路。

增压电路 332 包括许多级的串联连接在输入电源 V_{in} 与输出端

Vout 之间的 n 沟 FET340、360、380 和 395。FET340、360 和 380 被用来将电流从一级转换到下一级，故称为“转换 FET”。二级自举充电

泵 320 还包括 FET335、355 和 375，它们被用来控制转换 FET 的工作，故称为“控制 FET”。所有 FET 都可以是称为“S 型器件”的 n 沟 FET。S 型器件是一种阈值电压电平极低的 n 沟 FET。在美国专利 4,052,229、4,096,584、4,103,189 以及 5,057,715 中详细描述了 S 型器件的使用和制造。

时钟相位 PH1 经由电容器 345、370 和 385 被提供给三级自举充电泵 320。转换 FET340 和 380 以及控制 FET355 响应 PH1 时钟信号而通断。时钟相位 PH2 经由电容器 350、365 和 390 被提供给增压电路 332。转换 FET360 和控制 FET335 及 375 响应 PH2 时钟信号而通断。转换 FET395 的栅连接于其漏，致使它通常总是处于接通。

参照图 16，二个时钟相位 PH1 和 PH2 不重叠，且示出 PH2 时钟信号开始时处于高位。当 PH2 时钟信号为高时，转换 FET360 和控制 FET335 及 375 都被接通。一开始，转换 FET360 的漏和栅处于相同电压。由于 PH1 时钟信号为低位，将转换 FET360 的漏连于转换 FET360 的栅的控制 FET355 被关断，且电流流过转换 FET360。此电流将电荷从电容器 350 转移到电容器 370，降低了 FET360 的漏压，使转换 FET360 完全接通，增大了提供给下一级的电流。

由于转换 FET360 的漏和源处的电压相等，故控制 FET355 的栅电压被升高，使控制 FET355 几乎接通。当 PH2 时钟信号降低时，控制 FET355 接通，而转换 FET360 开始关断。同时，控制 FET335 和 375 被关断，致使 FET340 的栅隔离于 FET340 的漏，且 FET380 的栅隔离于 FET380 的漏。当 PH1 时钟信号升高时，控制 FET355 完全接通，使转换 FET360 的栅压和漏压相等。响应于 PH1 时钟信号上升到高位，转换 FET340 和 380 被接通。

转换 FET340 和 380 以相似于转换 FET360 的功能将电荷分别转移到电容器 350 和 390。于是，当 PH1 时钟信号升高时，转换 FET340 被接通，且由输入电源 V_{in} 提供的电流使电容器 350 充电。同样，转换 FET380 接通，且电容器 370 提供的电流使电容器 390 充电。电容器 350 倾向于被充电到输入电源电压 V_{in} 的二倍，其中电容器 370 倾向于被充电到输入电源电压 V_{in} 的三倍，而电容器 390 倾向于被充电到输入电源电压 V_{in} 的四倍。增压电容器电压由 PH1 和 PH2 时钟信号提供，用来使电容器进一步充电。例如，电容器 370 被电容器 350 充电到 V_{in} 的二

倍，并被 PH1 时钟脉冲充电到 V_{in} 的三倍。充电泵 320 的最大输出电压 V_{out} 于是大约等于输入电源电压 V_{in} 的四倍，小于输出 FET395 的阈值电压。借助于改变时钟信号的脉冲宽度可控制输出电压 V_{out} 。

5 增压电路 332 和振荡器 323 的电容器通常要求大量的半导体管芯面积，而图 13 的每个内部电源包括其本身的带有振荡器和增压电路的充电泵。由于充电泵电路通常可用于任何输入电源电压 V_{in} ，故基本上相同的电路可用于各个充电泵。因此，为了减小内部电源 60 所要求的半导体管芯空间，同一个充电泵可用于多个内部电源，其中适当地调整电路被复用以控制公共充电泵 320 的输出电压。

10 图 17 示出了内部电源 60，其中一个公共充电泵 320a 被待用 5V 内部电源、5V 内部电源和 9V 内部电源合用。12V 内部电源被示为包括一个分立的充电泵 320b。复用器 416 有一个连接于 5V 调整电路 405 的输出的第一输入和一个连接于 9V 调整电路 410 的输出的第二输入。复用器 416 的输出连接于充电泵 320a 的振荡器的输入。待用调整电路 400
15 和充电泵 320a 的时钟驱动器之间提供了一个分立的开关 418，以致当充电泵 320a 被用作待用 5V 内部电源 235 的部件时，充电泵 320b 的振荡器被旁路。

控制逻辑 230 被连接来控制复用器 416 和开关 418，且控制逻辑 230 确定待用调整电路 400、5V 调整电路 405 和 9V 调整电路中哪一个响
20 应快速 EEPROM20 的工作模式和存储单元阵列 21 上执行的当时操作而被连接于充电泵电路 320a。开关 255 - 285 如上所述地操作。开关 419 用来将 VCC 或 VPP 馈至充电泵 320a。充电泵 320b 由外部 VPP 馈电。

由于在编程过程中，不需要大的充电泵来馈送 12V，故内部电源 60 的尺寸可进一步减小。于是如图 18 所示，在编程操作中可使用小的 12V
25 编程充电泵 416，致使可共用一个单一充电泵电路 320 来产生 5V 读出电压、9V 编程电压和 12V 擦除电压。这就减小了内部电源电路的总尺寸。在编程充电泵 416 和 HHVP12 之间提供了一个额外开关 417。对于此实施例，复用器包括一个连接于 12V 调整电路 415 的输出的第三输入。

30 待用调整电路

图 19 示出了用来在待用和深度掉电模式中控制 5V 充电泵的待用调整电路 400。如上面图 3B 所述，若工作电源电压 VCC 为 3.3V 且快速

EEPROM20 处于待用工作模式，则待用 5V 内部电源被启动以维持字线开关的电压处于 5V。

待用调整电路 400 包括一个跨导运算放大器 420、比例电压发生器 430、一个电压参考 435 和一个电流控制的振荡器 425。运算放大器 420 输出一个正比于正负输入端处探测到的电压差的电流 I_{out} 。电流控制的振荡器响应此电流 I_{out} 而输出 SBREG 信号，而 SBREG 驱动充电泵 320 的时钟驱动器。

运算放大器 420 的正输入端连接于电压参考电路 435（可根据授予 Kerry Tedrow 等人的、且普通转让给加州 Santa Clara 的英特尔公司的题为“精密电压参考”的美国专利 5,339,272 来制造）的输出。运算放大器 420 的负输入端连接于比例电压发生器 430 的输出，430 的输入连接于耦合到字线开关 23 的充电泵 320 的输出。运算放大器 420 对其端点的电压进行比较，并根据此比较而输出电流 I_{out} ，而电流控制的振荡器 425 根据从运算放大器 420 接收到的电流 I_{out} 的量而改变 SBREG 的频率。

脉冲发生器

如上面图 3A 所述，当快速 EEPROM20 不处于激活模且外部 VCC 为 3.3V 时，智能电压电路 27a 的内部电源 60a 周期性地被启动来将字线开关 23 充电到 5V。图 20 示出了脉冲发生器 50 的输出对时间的函数关系。如上所述，5V 内部电源每隔 t_{total} 秒被启动一次，脉冲持续时间为 t_p 。在脉冲持续时间内，5V 内部电源消耗电流 I_{charge} ，脉冲持续时间之后则 I_{charge} 降至零。在任一给定脉冲所消耗的电流 I_{charge} 的量决定于使字线开关 23 充电回到 5V 所需的充电量。时间 t_{total} 根据字线开关 23 的 RC 时间常数、字线开关 23 上的最大允许电压降以及存储单元阵列 21 在最坏情况下的漏电流来选择。时间 t_p 根据字线开关 23 的 RC 时间常数和 5V 内部电源能够提供的电流量来选择。脉冲发生器被设计成每隔 t_{total} 秒馈送一个持续时间为 t_p 的脉冲。

由于脉冲发生器 50 被设计成工作于快速 EEPROM20 处于待用或深度掉电工作模式时，故脉冲发生器 50 应消耗尽可能少的电流，以便快速 EEPROM20 的功耗不超过待用模和深度掉电模的最大功耗。图 21 以方框图的形式示出了脉冲发生器 50。脉冲发生器 50 通常包括一个低频振荡器电路 450 和一个高频振荡器电路 455。低频振荡器电路 450 和

高频振荡器电路 455 都被连接来接收来自电流源电路 45 的偏置信号 PBIAS 和 NBIAS。对于一个实施例，PBIAS 和 NBIAS 各提供 40nA 的电流。

5 高频振荡器 455 被连接来接收低频振荡器电路 450 的输出信号。高频振荡器 455 也被反馈连接到其自身的输出，使低频振荡器 450 的每个周期内，高频振荡器 455 输出一个持续时间为高频振荡器 455 的半个周期的脉冲。例如，在低频振荡器 450 的周期为 3ms 且高频振荡器 455 的周期为 12 μ s 的情况下，高频振荡器 455 每 3ms 输出一个持续时间为 6 μ s 的脉冲。

10 图 22 更详细地示出了低频振荡器电路 450。低频振荡器电路 450 被示作一个环形振荡器电路，它包含连接在反馈结构中的奇数数目的倒相器 460 - 510。具体地说，倒相器 460 - 510 被串联连接，且倒相器 510 的输出被反馈作为倒相器 460 的输入。根据所需的振荡频率，倒相器可多可少。

15 低频振荡器电路 450 的输出是倒相器 485 的输出。每个倒相器的正端经由相应的一对 P 沟 FET515 和 520 连接于工作电源电压 VCC。各 FET515 的栅被连接来接收对 FET515 偏置成弱上拉器件的 PBIAS 信号。于是，倒相器的正端被缓慢地充电且需要很小的电流。FET520 起级联器件的作用，当 FET520 的栅压为逻辑高位时，它使倒相器的正端隔离于工作电源电压 VCC。各 FET520 与其它 FET520 无关地被控制。通常，FET520 的栅被从相应倒相器的输出往下串链而处于超过倒相器总数一半的那个倒相器的输出所控制。例如，连接于倒相器 460 的 FET520 的栅压受倒相器 490 的输出的控制，而连接于倒相器 465 和 FET520 的栅压受倒相器 495 的输出的控制。

25 倒相器 460 - 510 的负端同样地经由 n 沟 FET525 和 530 被连接于系统地电位 VSS。FET525 的栅都连接于 NBIAS 信号，使 FET525 用作弱下拉器件。各个 FET530 与其它 FET530 无关地被控制。通常，FET530 的栅被从相应倒相器的输出往下串链而处于超过倒相器总数一半的那个倒相器的输出所控制。例如，连接于倒相器 460 的 FET530 的栅压受倒相器 490 的输出的控制，而连接于倒相器 465 的 FET530 的栅压受倒相器 495 的输出的控制。

30 将振荡器的上拉器件和下拉器件（FET515 和 525）偏置到亚阈值

区的一个优点是振荡器的频率倾向于随温度提高。这应该是与偏置成工作于饱和区的上拉和下拉器件相反的，其中振荡器的频率倾向于随温度而下降。字线开关 23 的漏电流也倾向于随温度而增加，且振荡器的提高了的频率使字线开关 23 能够保持在大约为 5V。

- 5 连接于各倒相器端的级联器件 520 和 530 有助于确保在 VCC 与 VSS 之间不出现导电路径。在倒相器的 P 沟和 n 沟 FET（未示出）当倒相器从一种状态过渡到另一种状态时可能同时被短间接通的情况下，由于 VCC 或 VSS 从倒相器脱离连接，故级联器件 520 和 530 有效地消除了 VCC 与 VSS 之间的任何导电路径。在控制倒相器的输出从一种状态过渡到另一种状态时，级联器件 520 和 530 也可能被同时接通；
10 但 FET520 和 530 用作级联器件的倒相器处于稳态，致使 VCC 与 VSS 之间不出现导电路径。

环形振荡器的周期等于倒相器总数和倒相器传输延迟的乘积的二倍。对于一个实施例，低频振荡器 450 被选成周期为 3ms。

- 15 回到图 21，低频振荡器 450 的输出被用来启动高频振荡器 455。高频振荡器 455 可以是相似于图 22 所示的环形振荡器，其中的周期被确立为大大小于低频振荡器 455 的周期。例如，高频振荡器 455 的周期可以是 12 μ s。高频振荡器 455 在低频振荡器 450 的输出升高时被启动开始工作。高频振荡器 455 的输出被反馈到高频振荡器 455 的输入，致使当高频振荡器 455 的输出降低时，高频振荡器 455 可以被关断。以这种方式，每个大周期中产生一个持续时间为小周期振荡器周期的一半的单个脉冲。
20

- 在前面的说明中已参照具体的实施例描述了本发明。但显然，可对其作出各种修改和改变而不超过所附权利要求所述的本发明的更广的构思和范围。因此，本说明书和附图应认为是示例性而非限制性的。
25

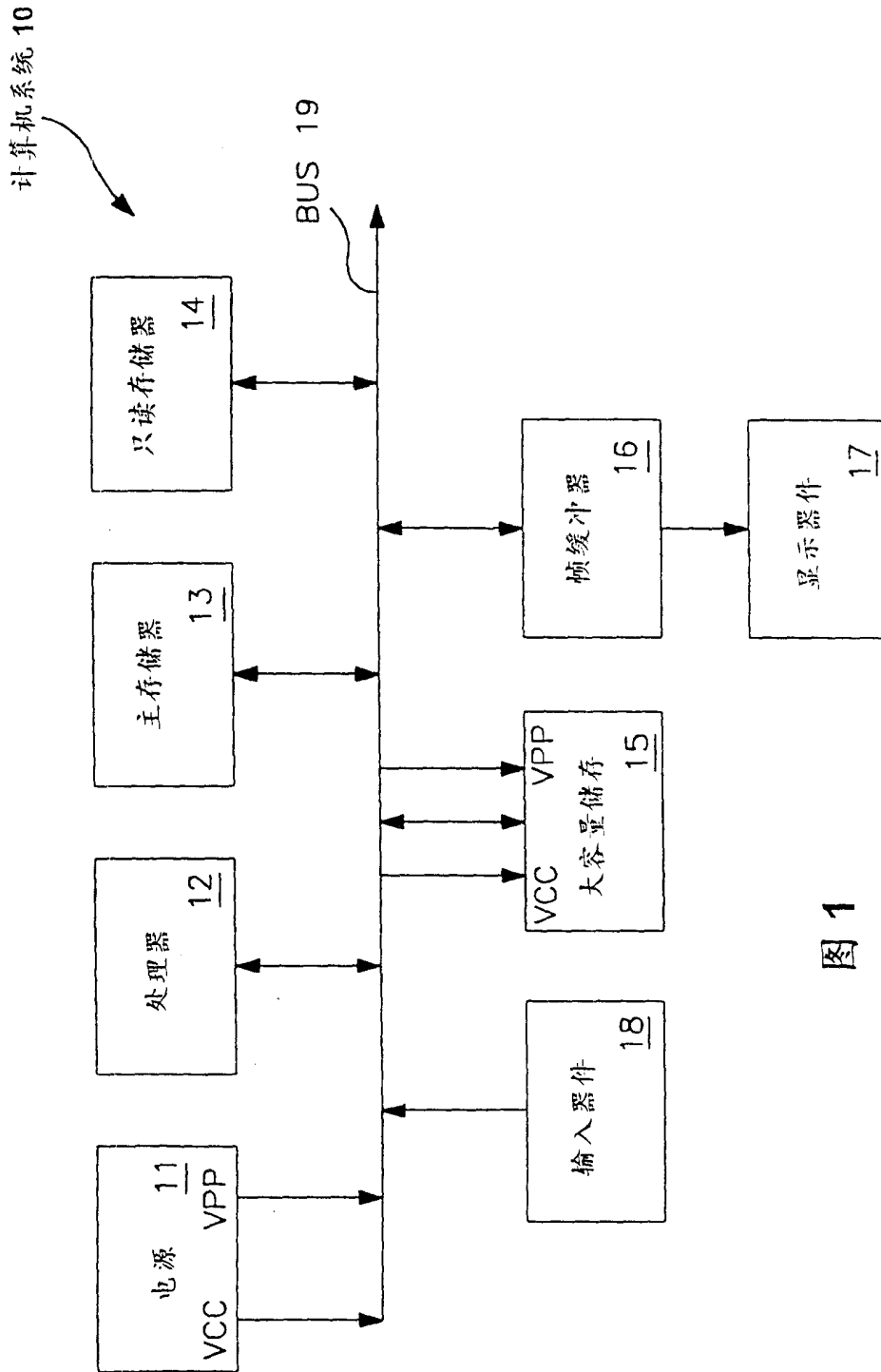


图 1

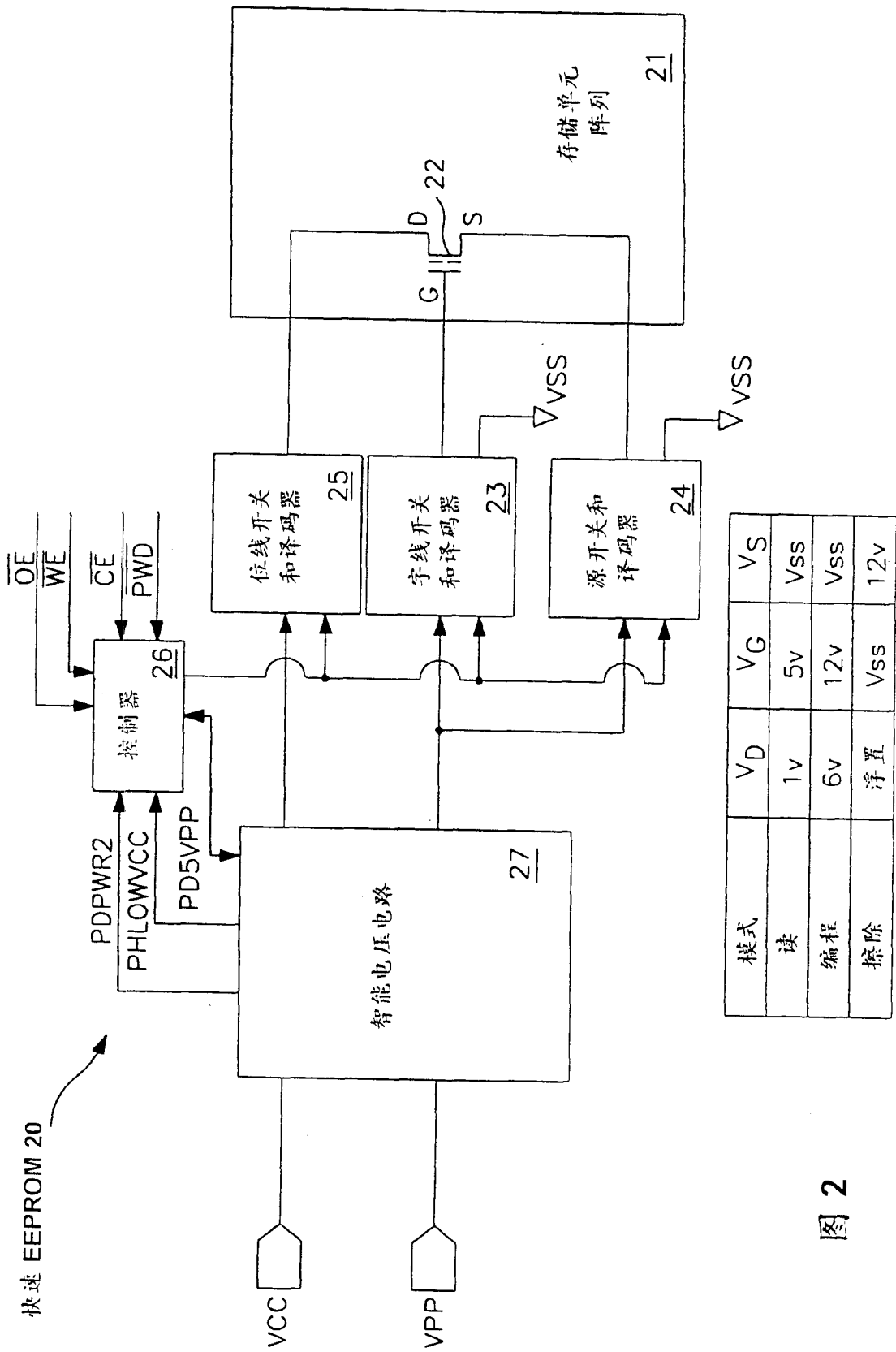


图 2

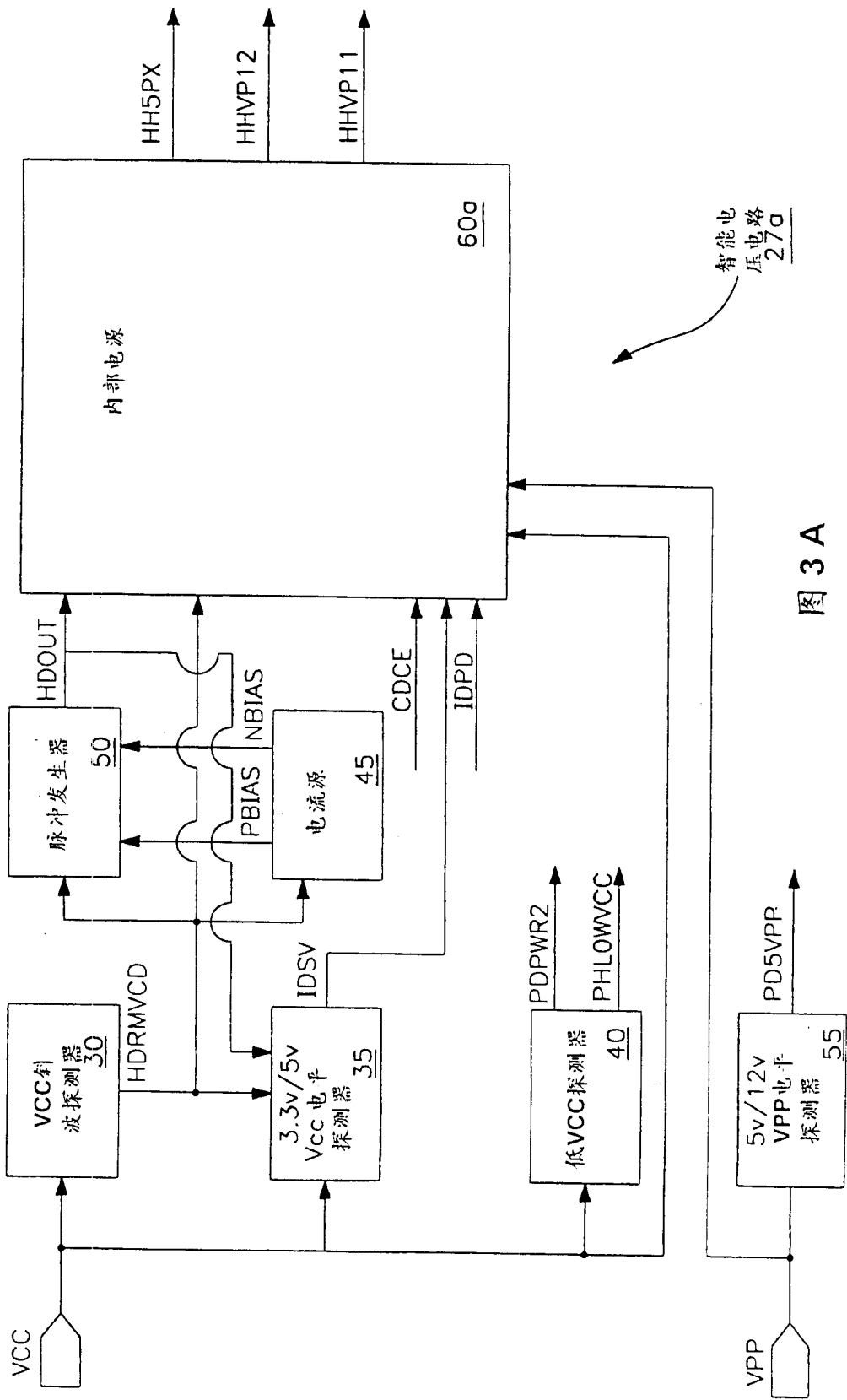


图 3 A

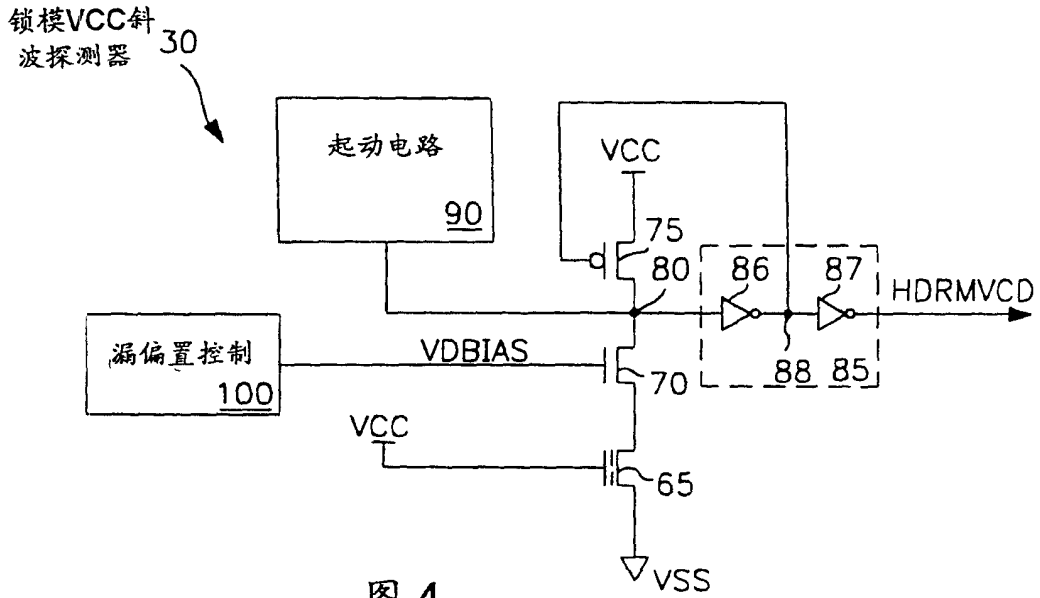


图 4

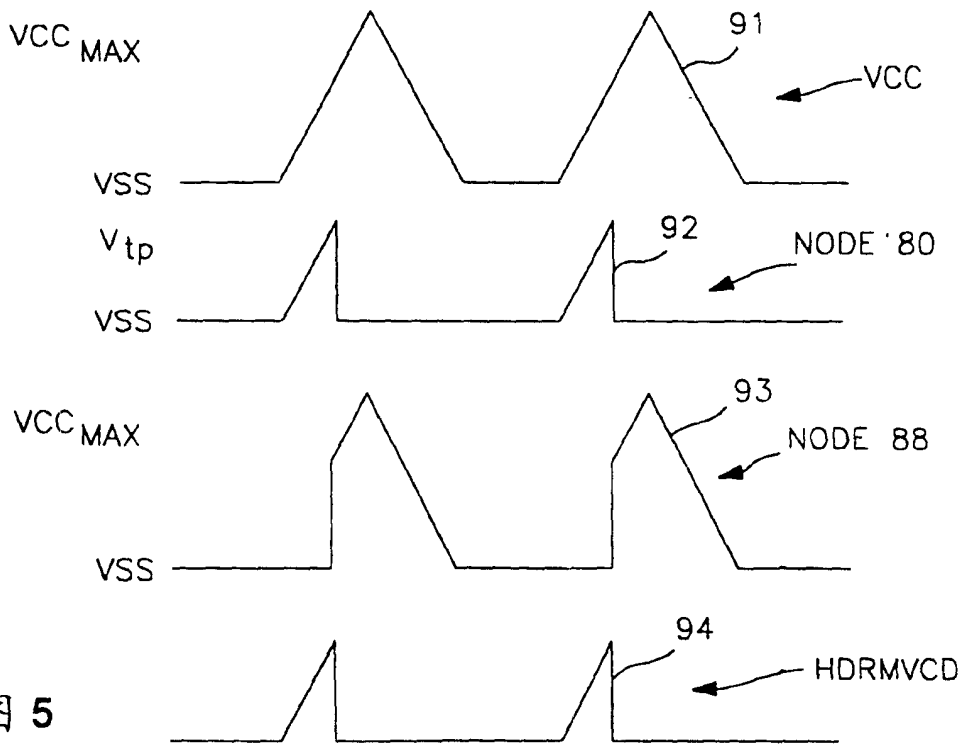


图 5

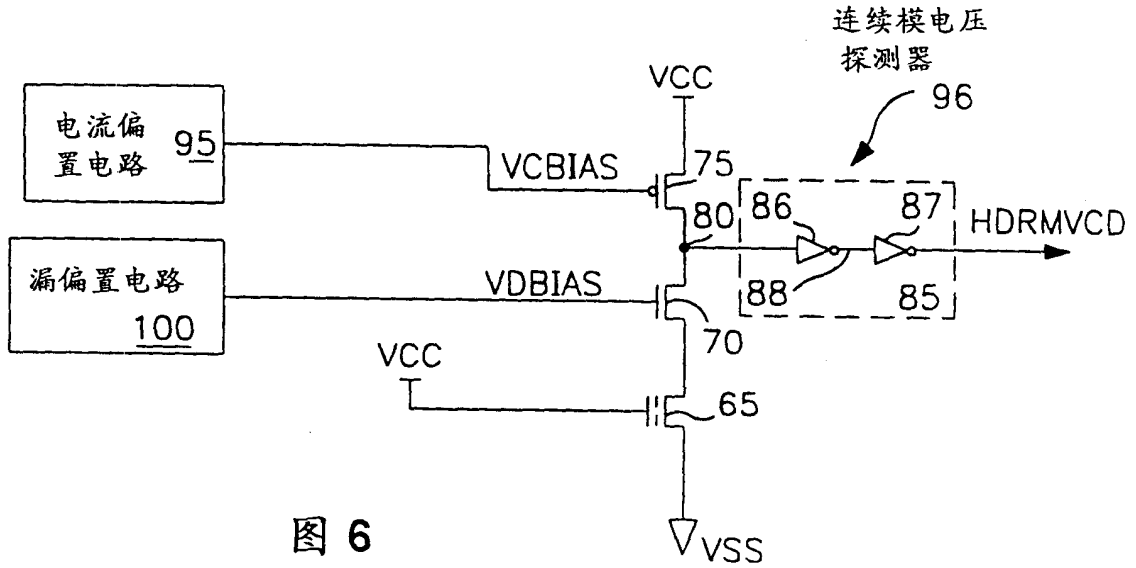


图 6

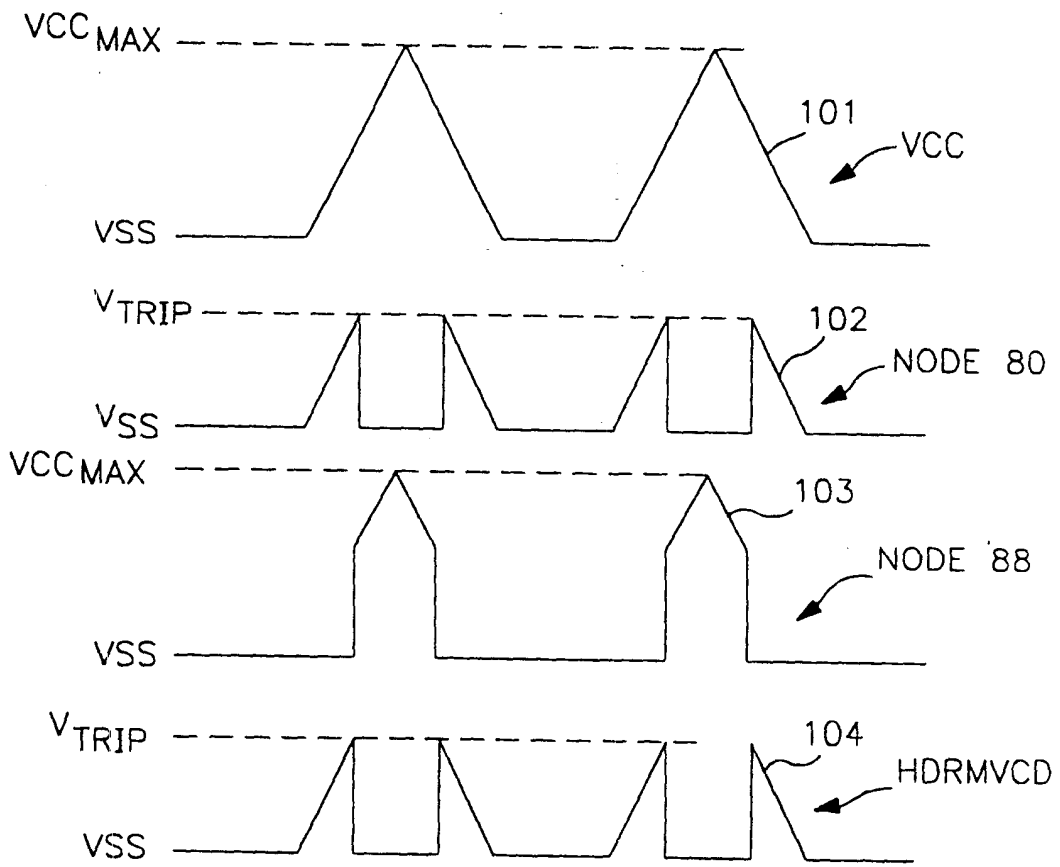


图 7

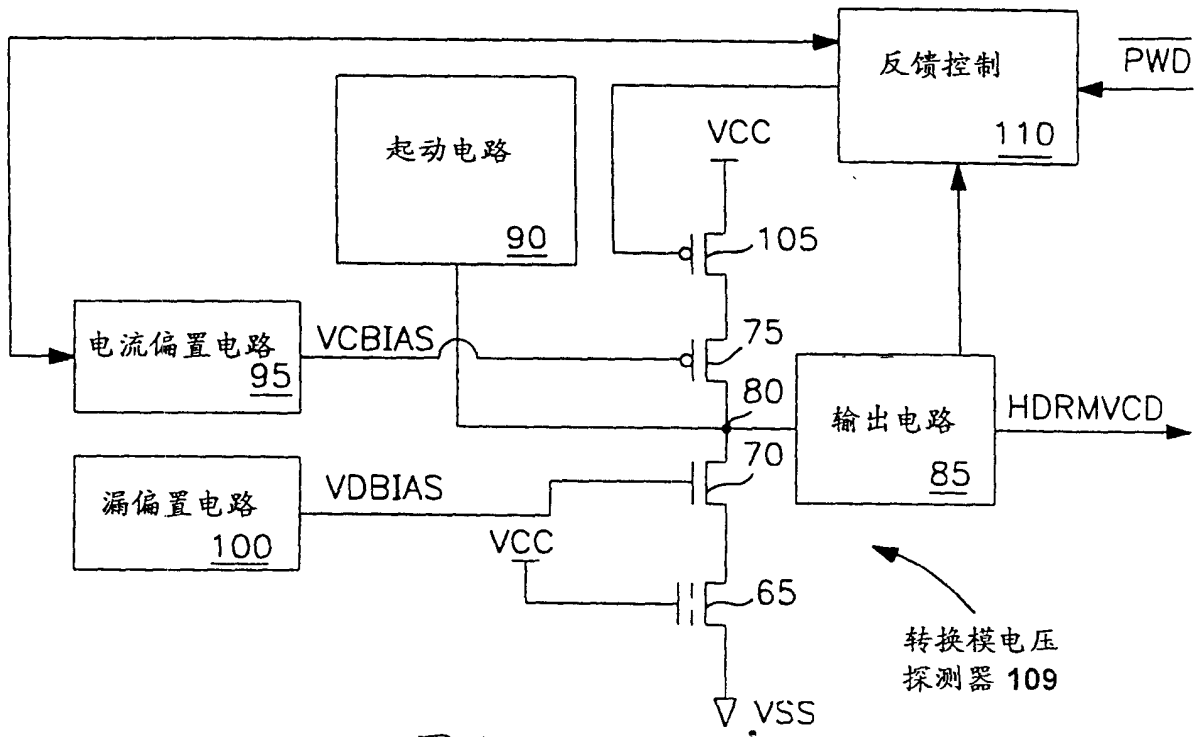


图 8

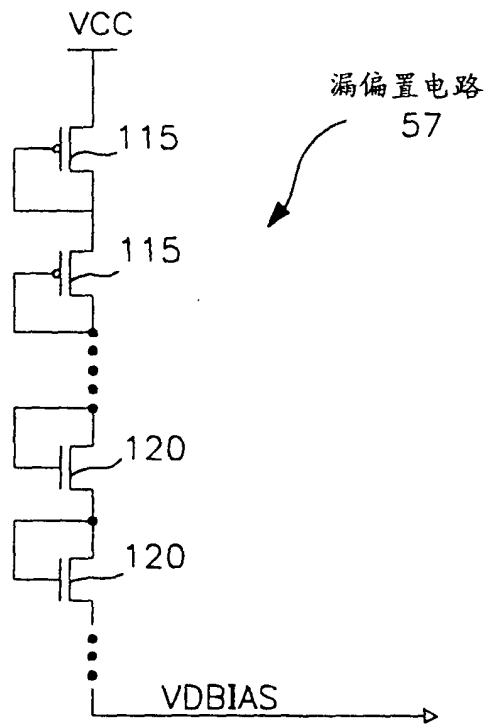


图 9

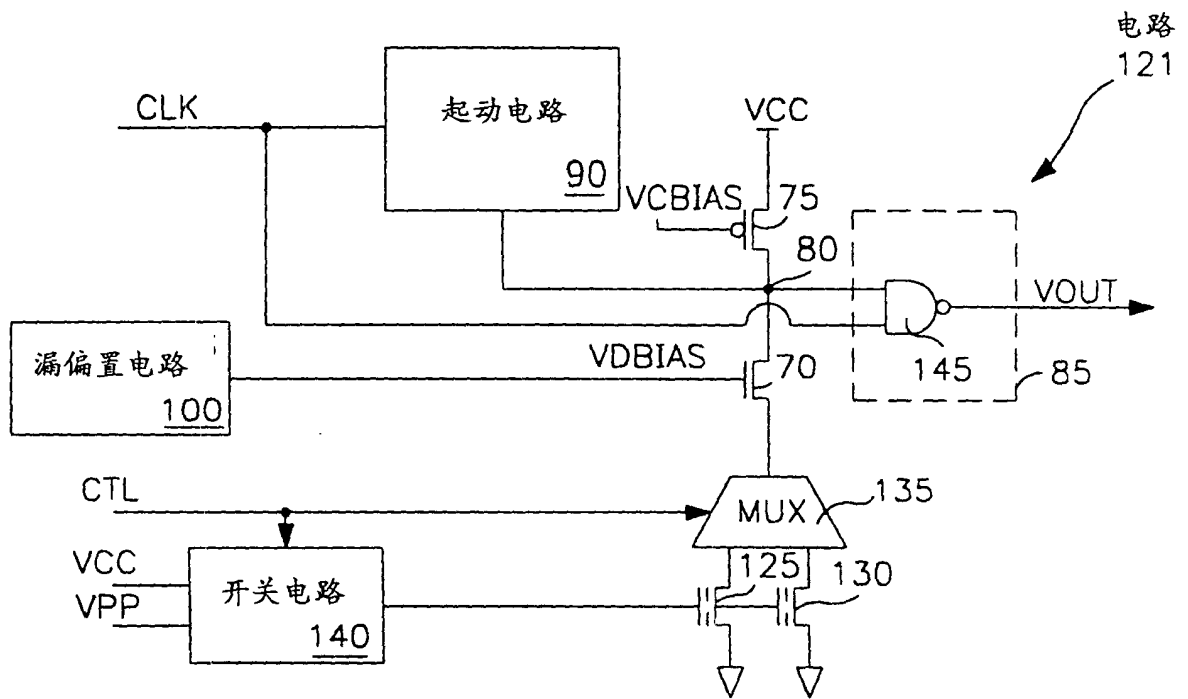


图 10

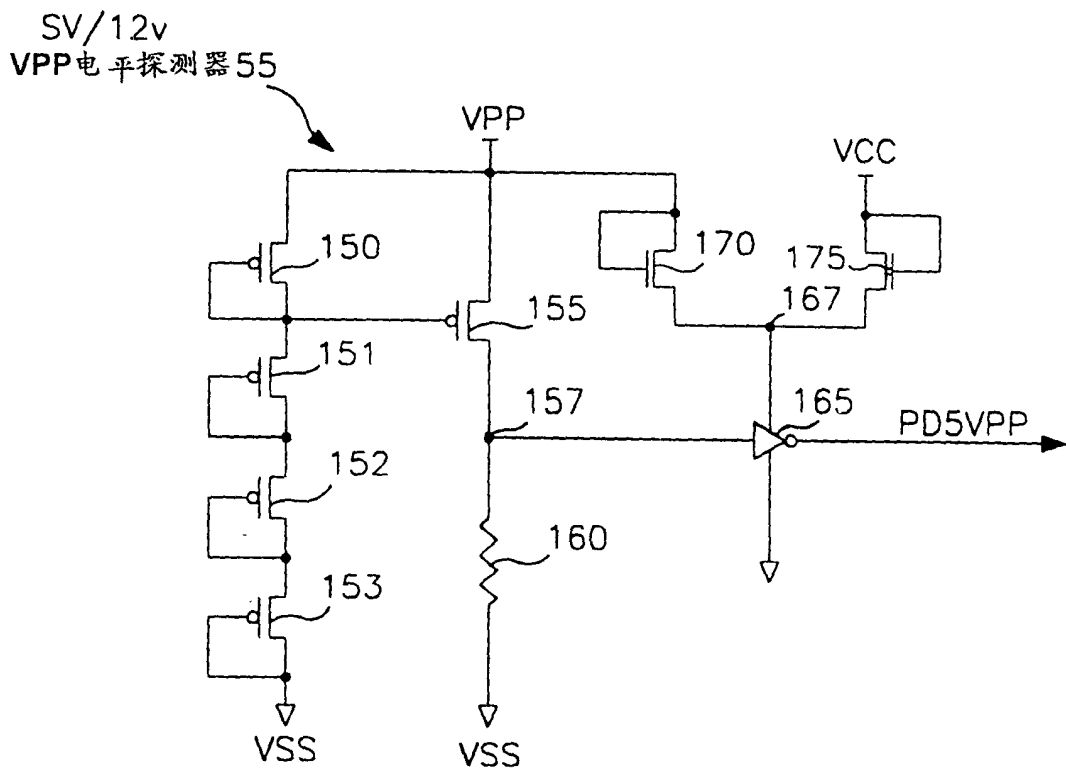


图 11

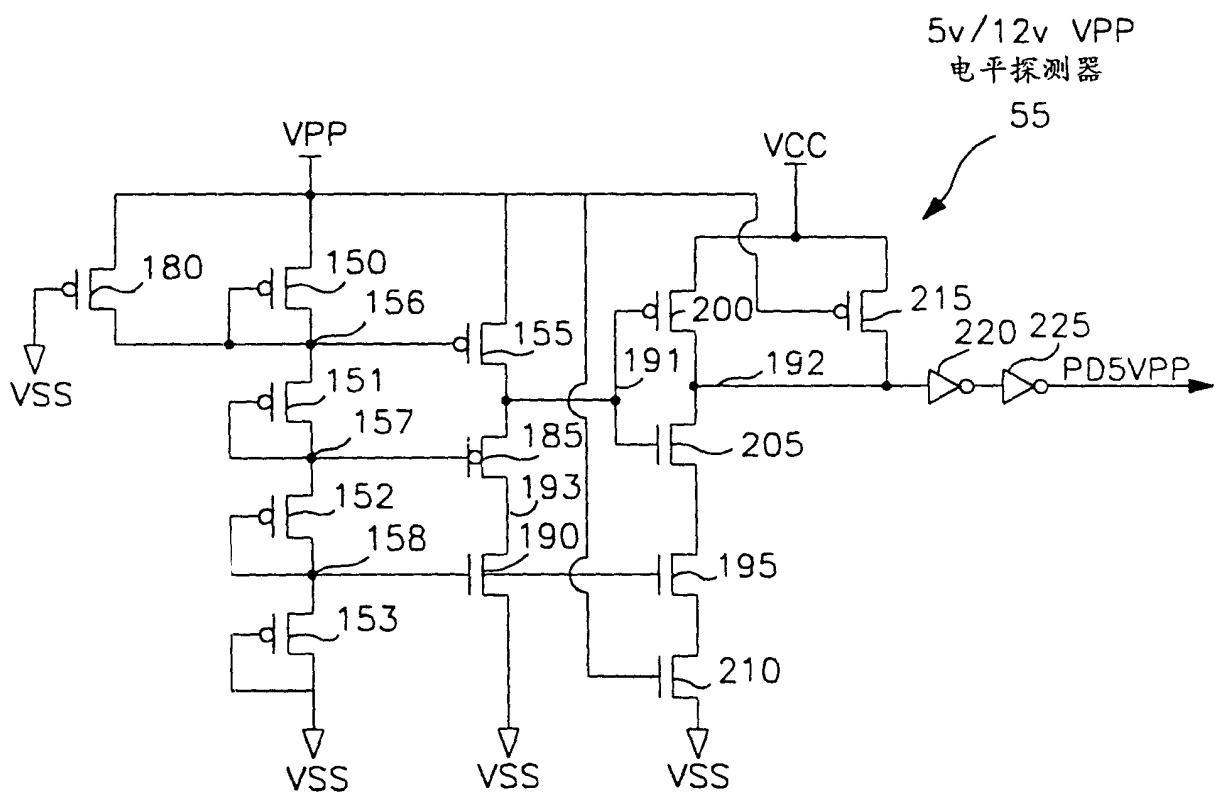


图 12

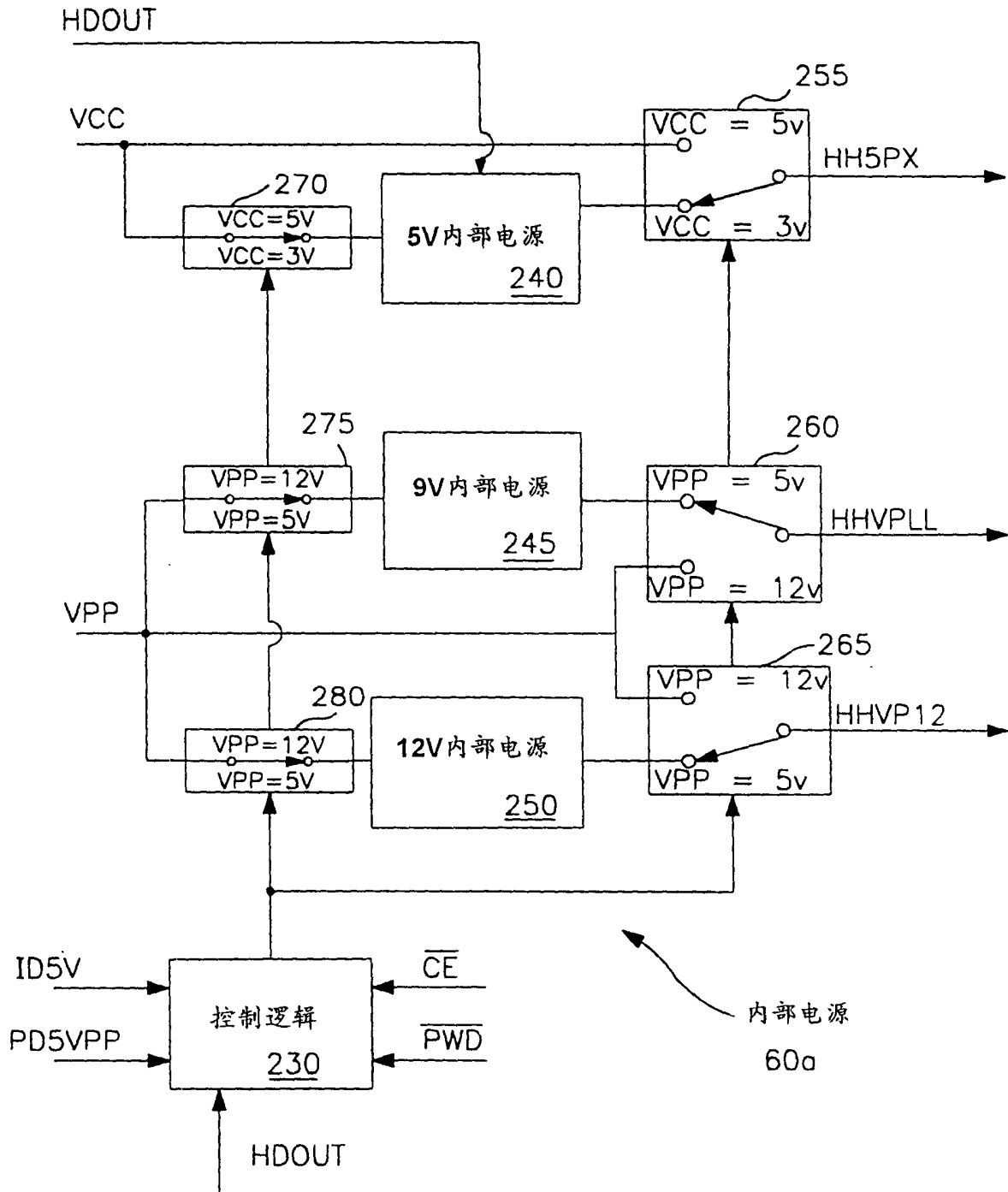


图 13 A

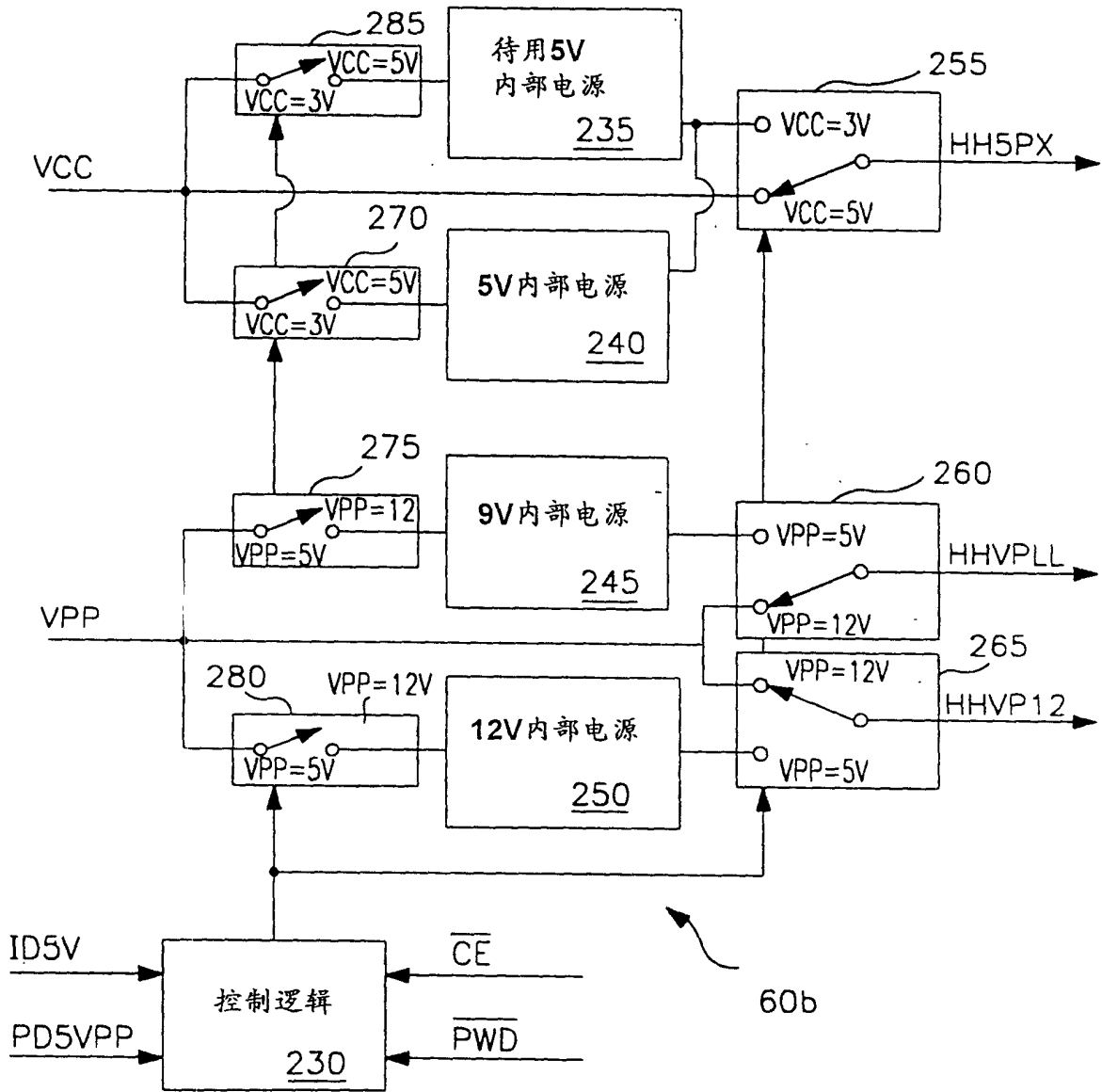


图 13 B

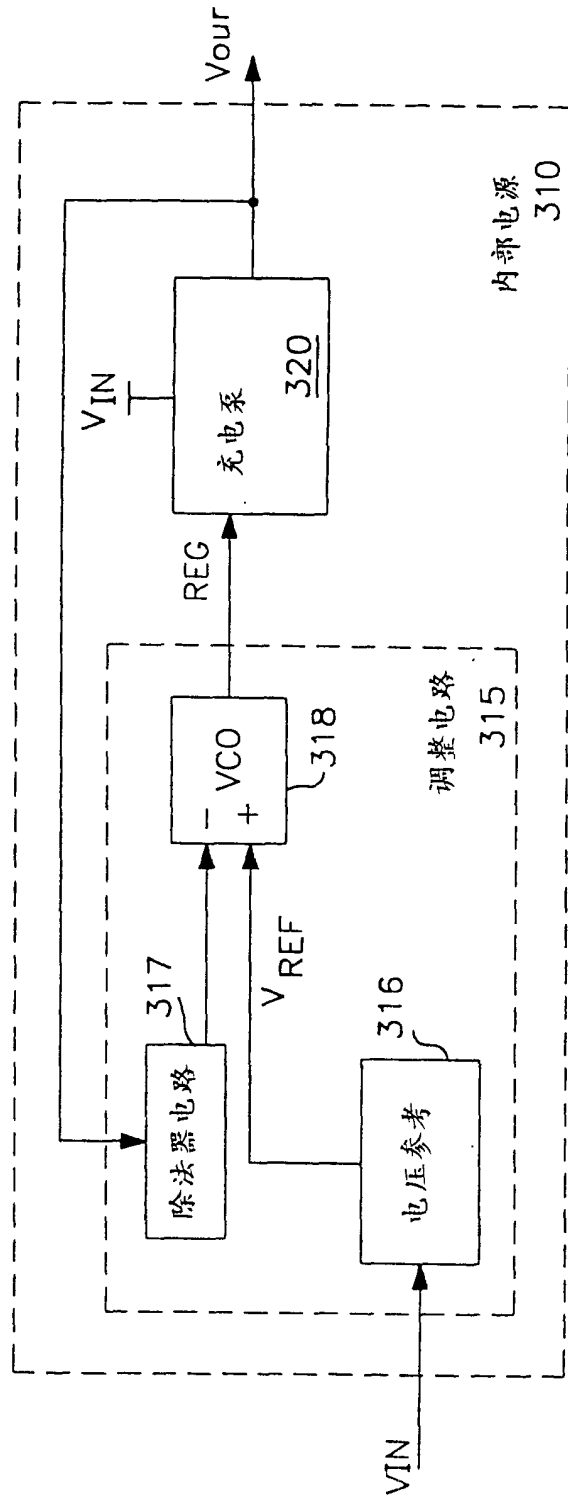


图 14

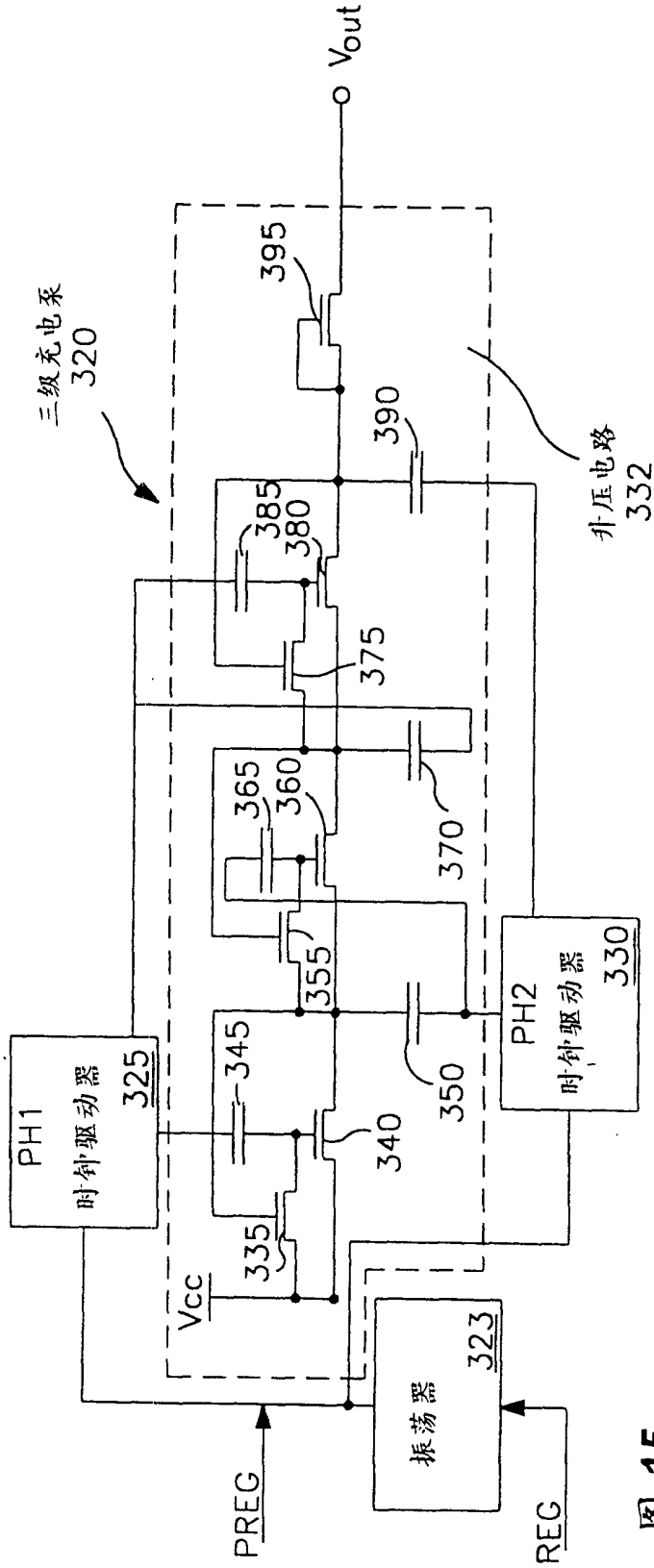


图 15

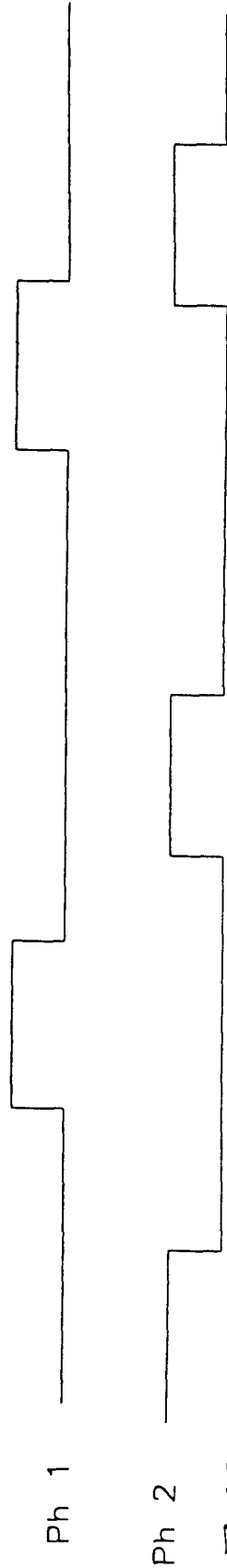


图 16

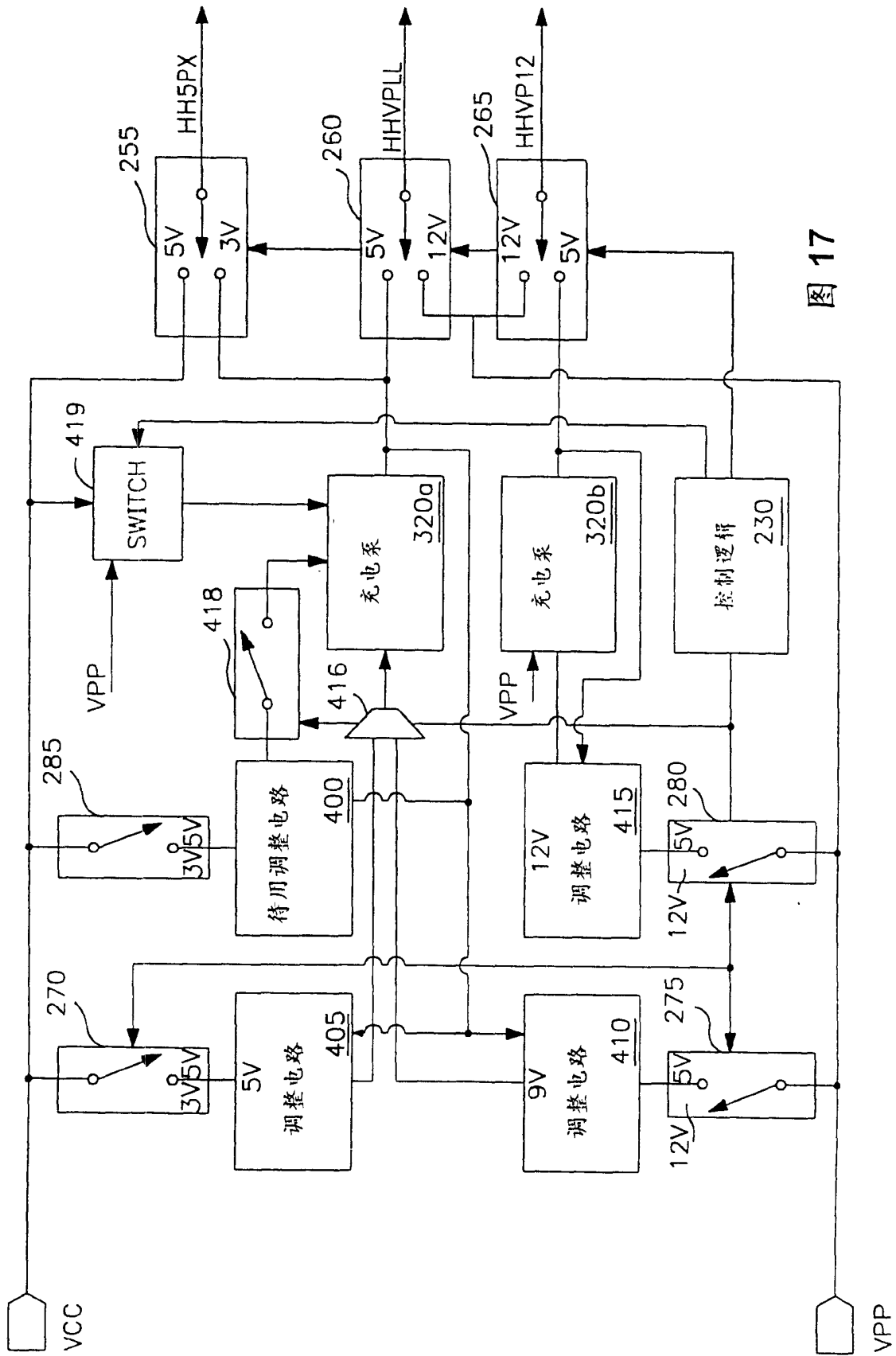


图 17

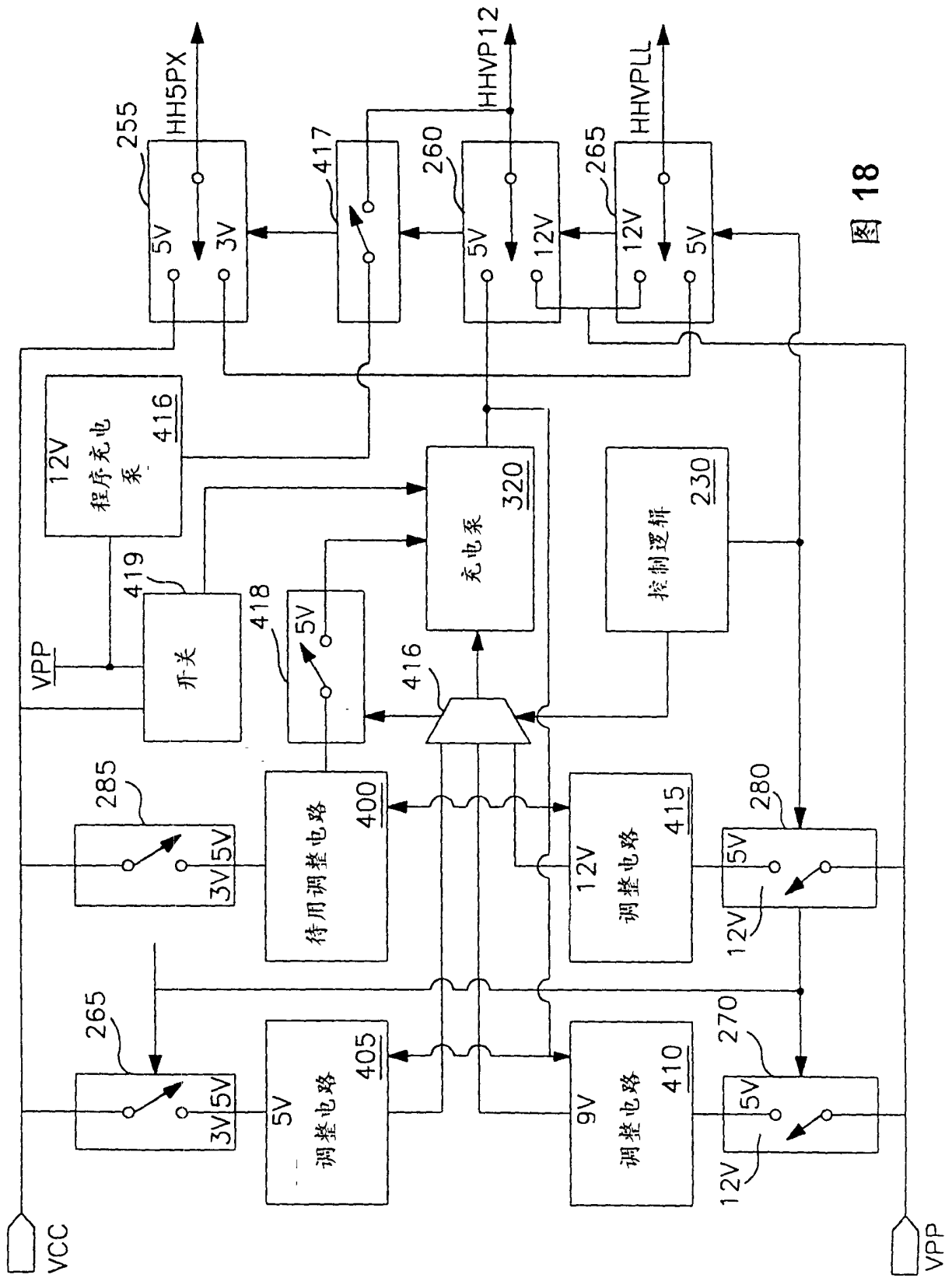


图 18

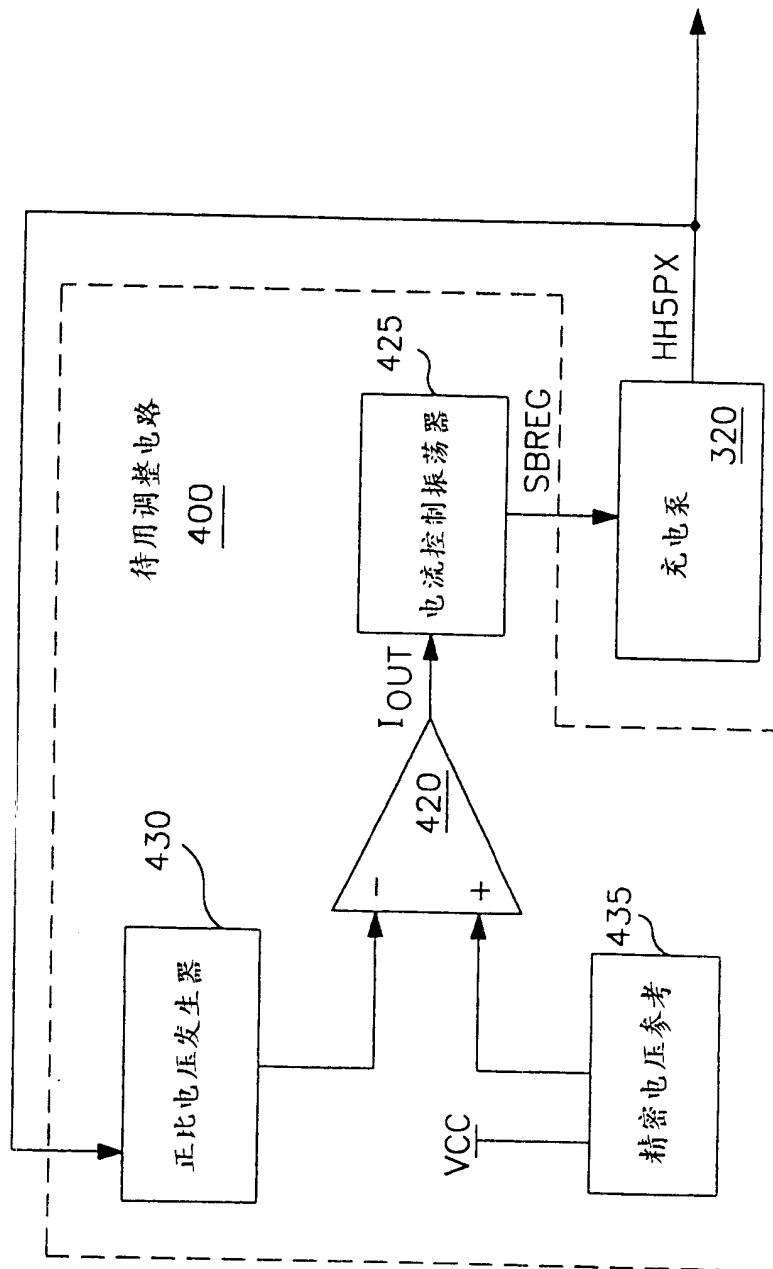


图 19

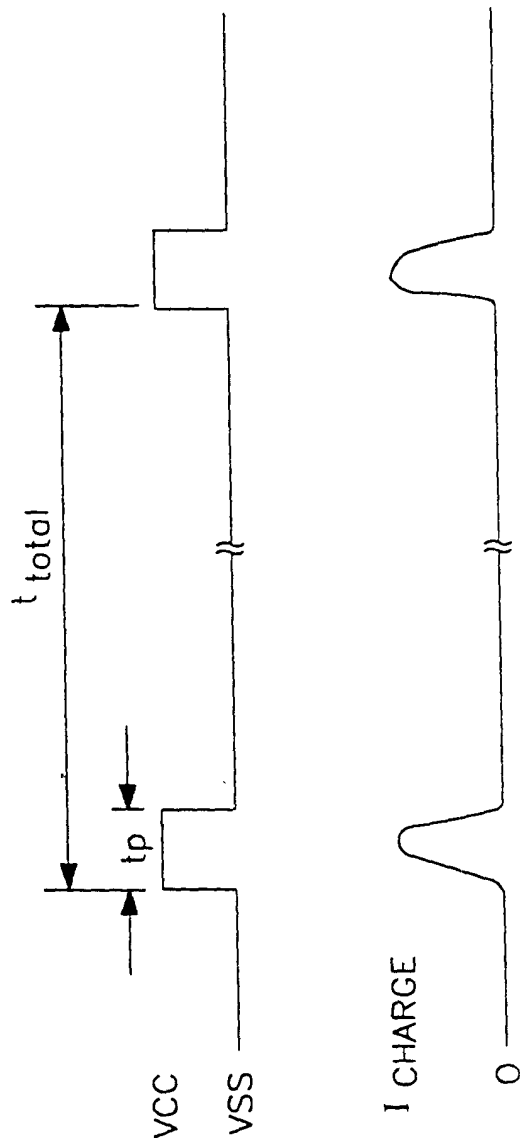


图 20

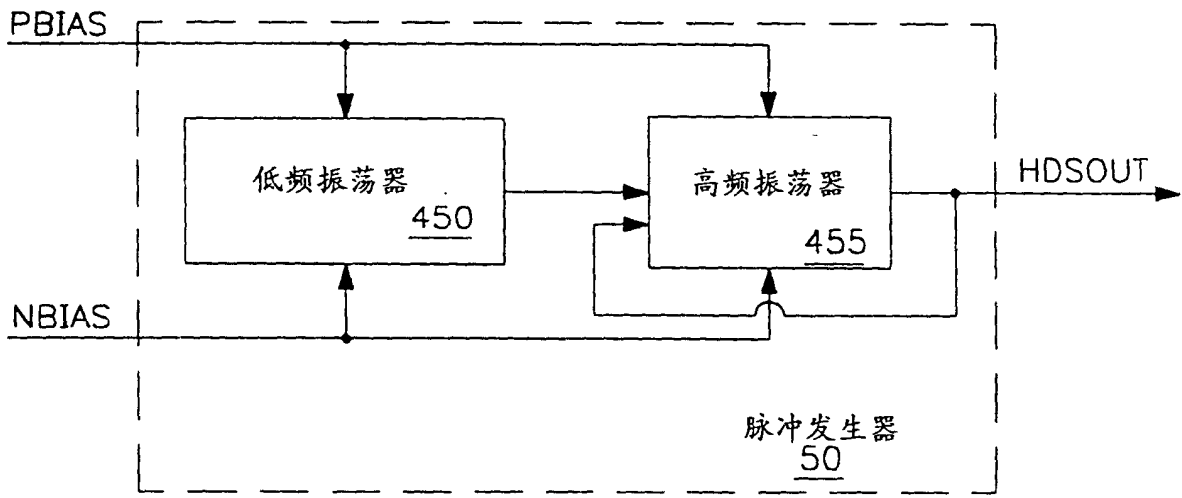


图 21

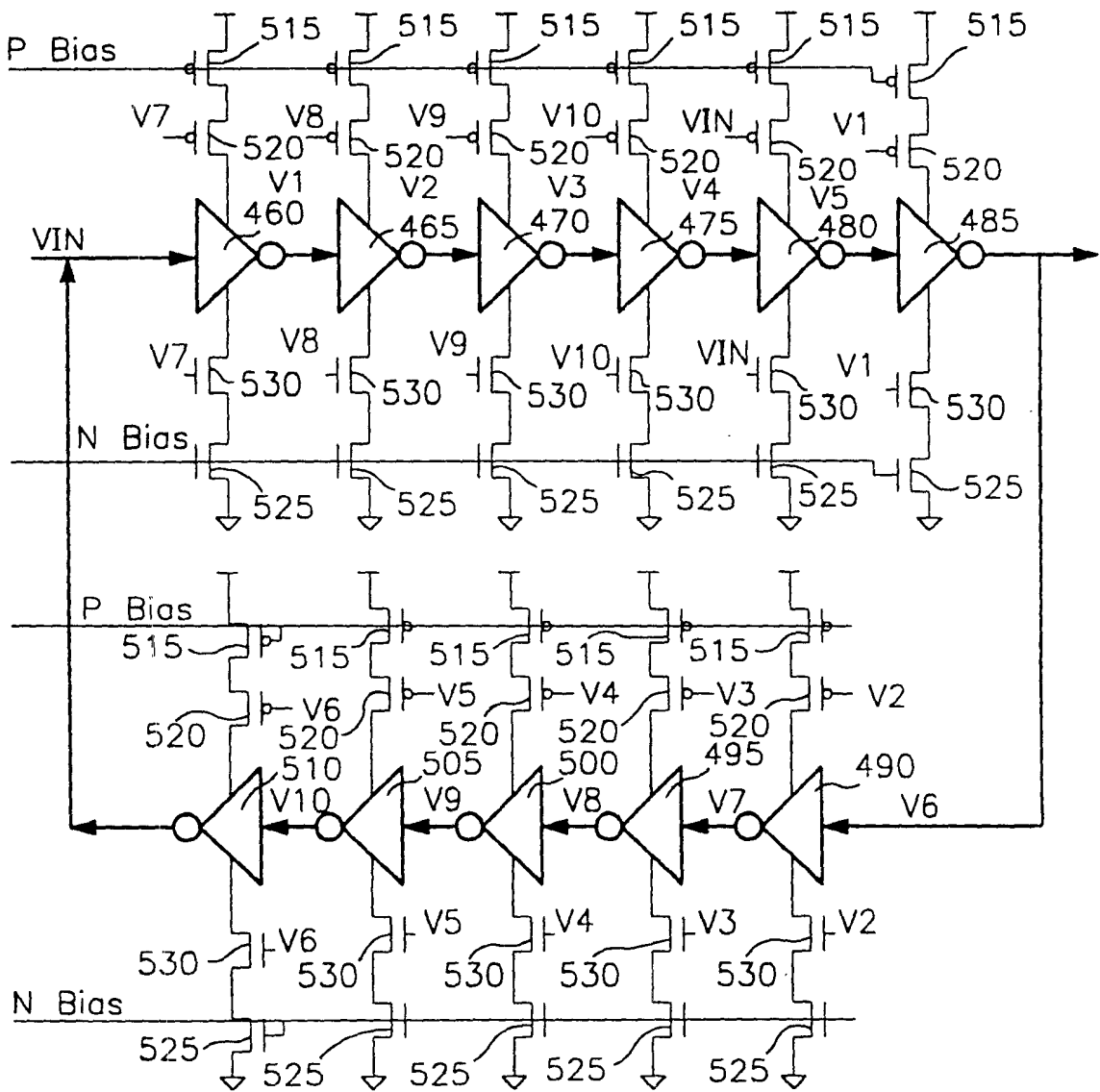


图 22

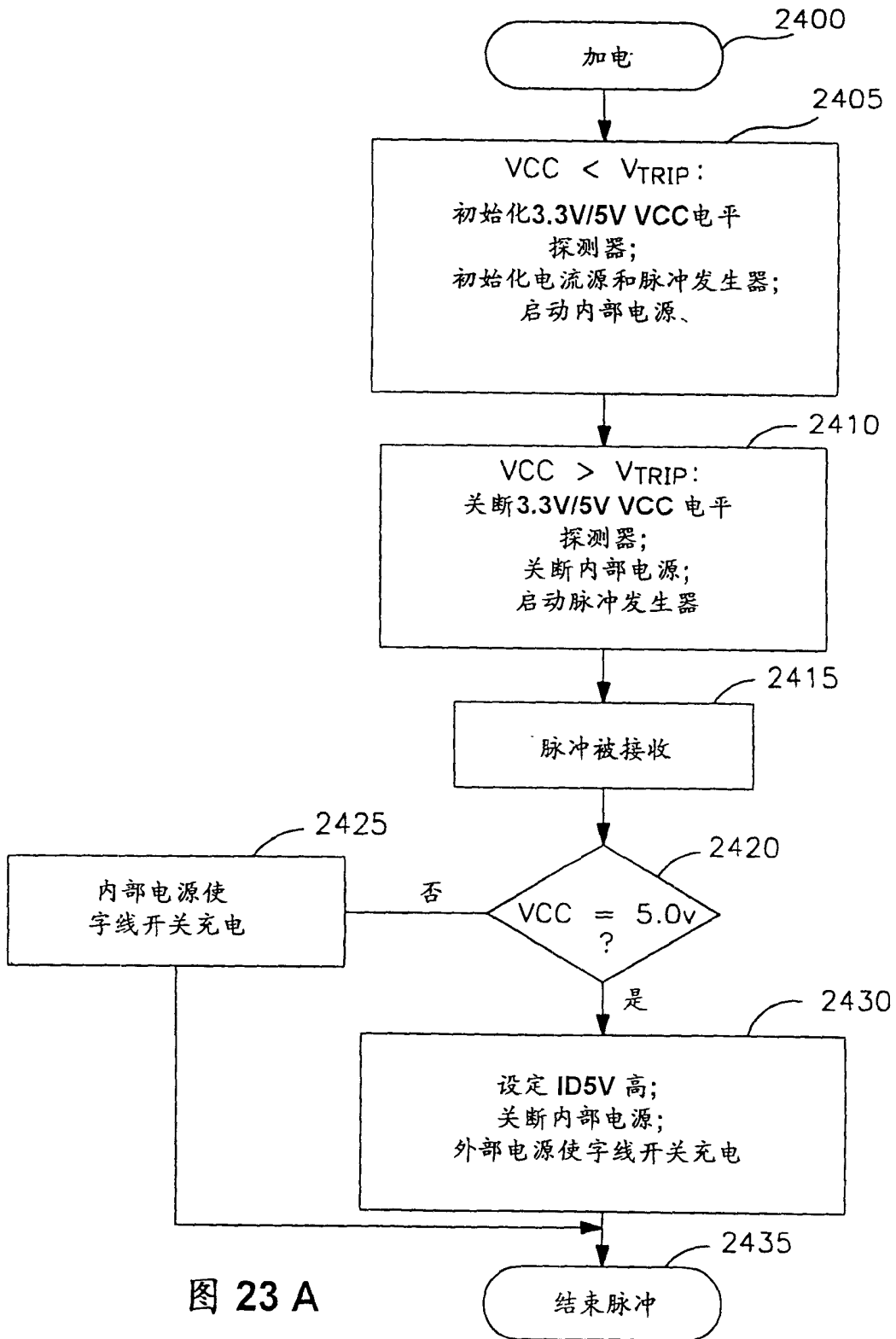


图 23 A

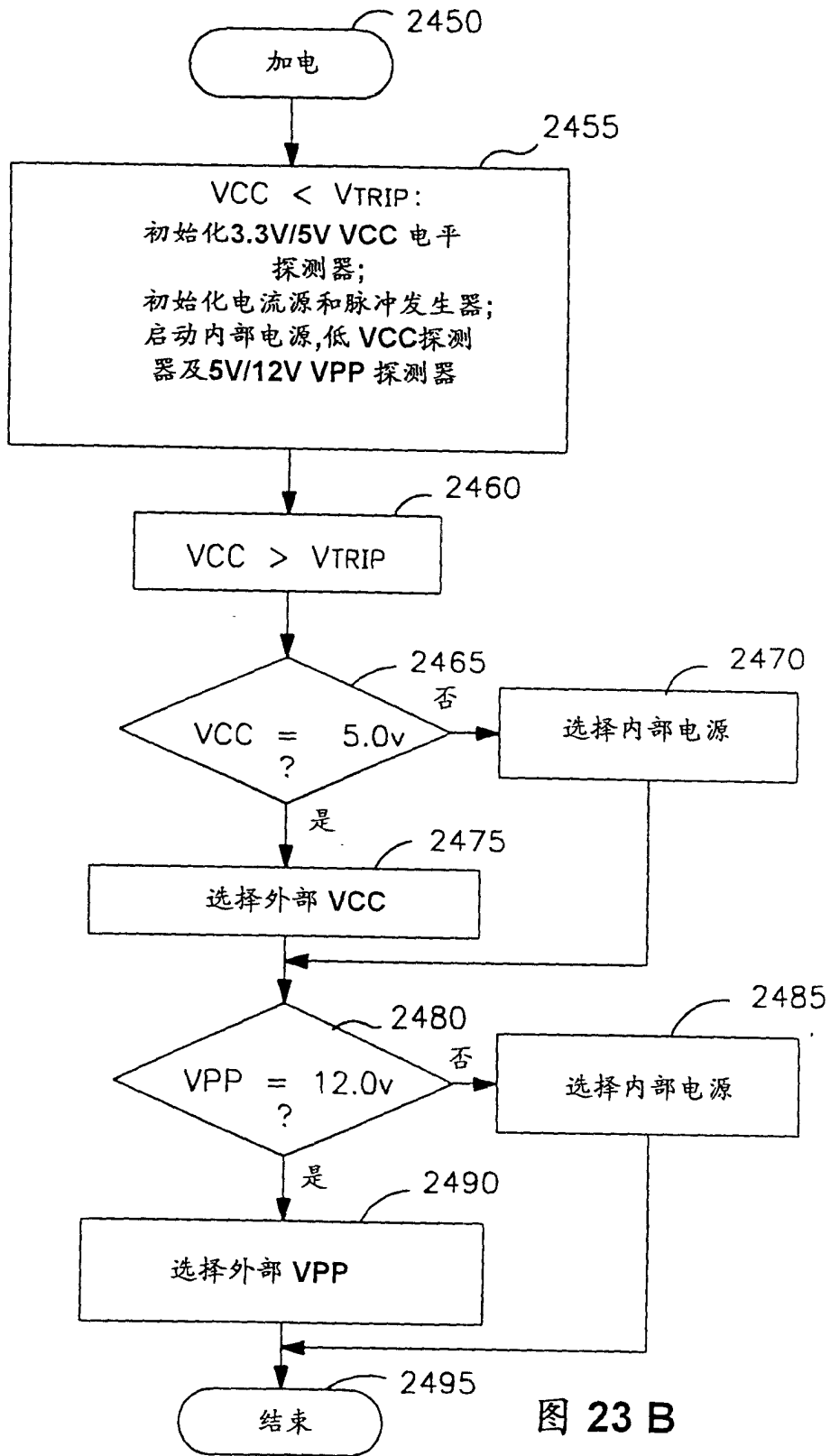


图 23 B

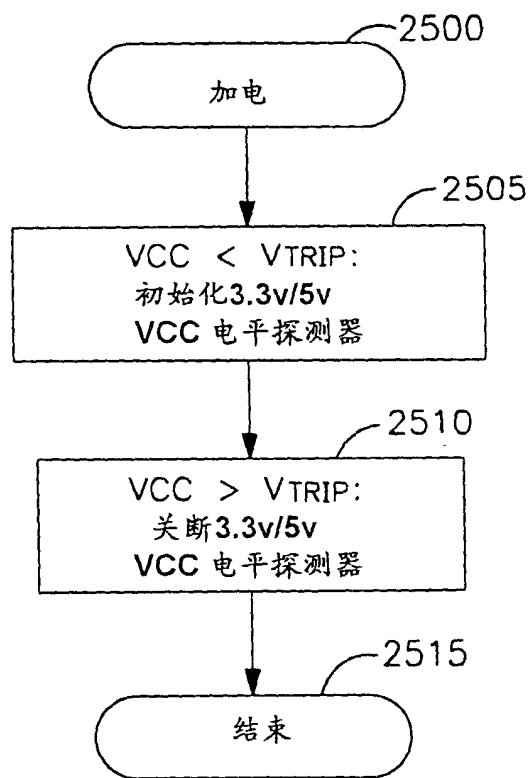


图 24 A

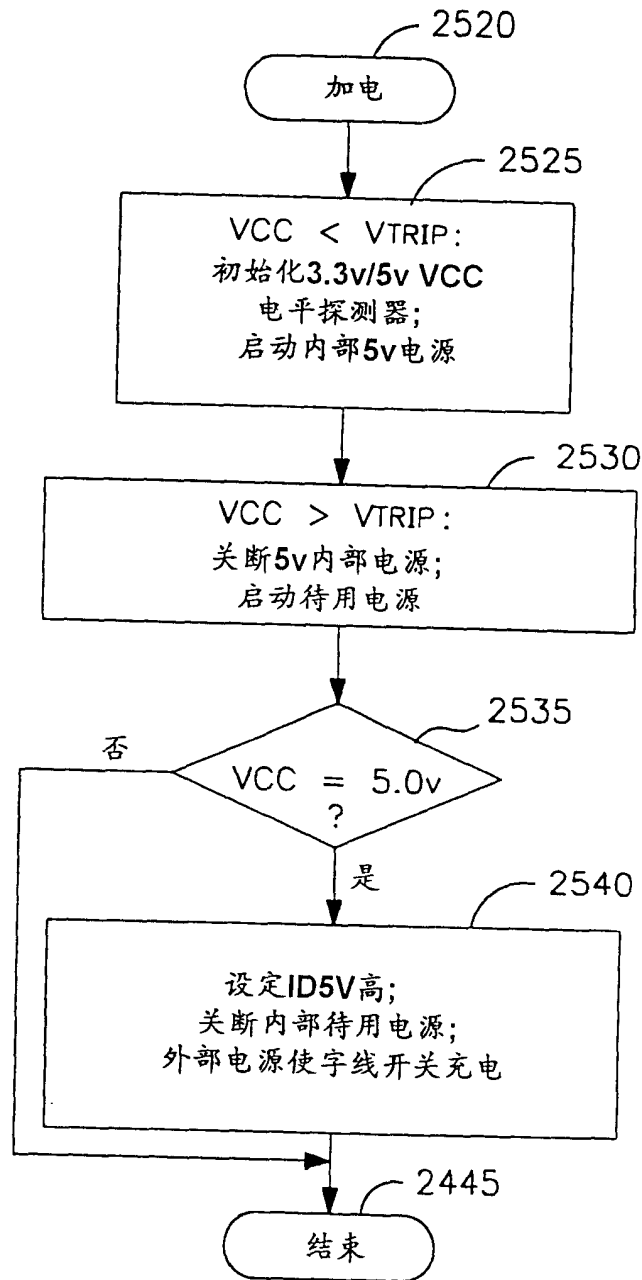


图 24 B