

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年1月15日(2009.1.15)

【公表番号】特表2006-517343(P2006-517343A)

【公表日】平成18年7月20日(2006.7.20)

【年通号数】公開・登録公報2006-028

【出願番号】特願2006-502832(P2006-502832)

【国際特許分類】

H 01 L 29/78 (2006.01)

H 01 L 21/336 (2006.01)

H 01 L 29/786 (2006.01)

【F I】

H 01 L 29/78 3 0 1 X

H 01 L 29/78 3 0 1 Y

H 01 L 29/78 3 0 1 N

H 01 L 29/78 3 0 1 B

H 01 L 29/78 6 1 9 A

H 01 L 29/78 6 2 6 Z

【手続補正書】

【提出日】平成20年11月19日(2008.11.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

金属酸化膜半導体電界効果トランジスタ(MOSFET)を形成するための方法であつて、上部にゲートが形成されている基板を提供するステップと、

前記基板の上部のシリコンの層の上部に位置する前記ゲートおよびゲート絶縁物の周囲にスペーサ層を堆積させ、スペーサを形成するステップと、

前記スペーサ、前記ゲート、および前記シリコンの層の上部にエッチ・ストップ層を堆積することと、前記シリコンの層内の引張歪みを増大させるステップと、

前記エッチ・ストップ層の上部に絶縁膜を堆積するステップとを有する方法。

【請求項2】

高イオン衝突を得るためバイアスRF電力を使用してライナを堆積するステップをさらに有する請求項1に記載の方法。

【請求項3】

前記シリコンの層の厚さは少なくとも200nmである請求項1に記載の方法。

【請求項4】

前記基板は、 $\times$ を0.1~0.4として、 $\text{Si}_{1-x}\text{Ge}_x$ の組成を有するシリコン・ゲルマニウム層を含む、請求項1に記載の方法。

【請求項5】

前記ゲートはポリシリコンを含む、請求項1記載の方法。

【請求項6】

前記シリコン領域は、選択的エピタキシャル成長によって前記シリコン層内のトレンチに形成される、請求項1記載の方法。

【請求項7】

前記基板は、さらに浅いトレンチ・アイソレーションを含む、請求項1記載の方法。

**【請求項8】**

深いソース領域およびドレイン領域のインプラントを更に行う、請求項1記載の方法。

**【請求項9】**

前記スペーサ層の堆積、エッチ・ストップ層の堆積及び絶縁膜の堆積のいずれにおいても、高圧縮技術が用いられる、請求項1記載の方法。

**【請求項10】**

前記基板を提供するステップは、

前記シリコンの層条に前記ゲート及びゲート絶縁物を形成するためにゲート導電層とゲート絶縁層とをパターニングするステップが含まれる、請求項1記載の方法。

**【請求項11】**

前記高圧縮技術は高イオン衝突を伴う請求項9記載の方法。

**【請求項12】**

前記基板を提供するステップには、

前記ゲートの周囲に薄いスペーサを形成するステップと、

深いソース拡張部及びドレイン拡張部のインプラントを行うステップと、を含み、前記スペーサは前記薄いスペーサの周囲に形成される、請求項10記載の方法。

**【請求項13】**

前記ソース拡張部及びドレイン拡張部のインプラントを行うステップに先立って、チャネル領域の両側にハロ領域をインプラントし、このハロ領域は、形成されるソース拡張部及びドレイン拡張部の端部を超えてチャネル領域にむかって延びてあり、前記ハロ領域の伝導性は、前記ソース拡張部及びドレイン拡張部のドーパントの伝導性タイプとは逆になっている、請求項12記載の方法。