公告本

297153

申請日期	85 年 1 月 22 日
案號	85100720
類別	H01L 23/02 Int. Cl[6]

（以上各欄由本局填註）

A4
C4

297153

發明 ~~新型~~ 專利說明書

一、發明 新型 名稱	中文	半導體裝置之製造方法
	英文	
二、發明 創作 人	姓名	(1) 砂田武
	國籍	(1) 日本
	住、居所	(1) 日本國山口縣下関市羽山町二四－－
三、申請人	姓名（名稱）	(1) 東芝股份有限公司 株式会社東芝
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代表人姓名	(1) 佐藤文夫

裝 訂 線

經濟部中央標準局員工消費合作社印製

297153

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有 □無主張優先權
日本	1995 年 1 月 19 日	P07-006342	☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

〔產業上之利用領域〕

本發明係爲有關半導體裝置之製造方法，特別是關於具有多層配線構造之半導體裝置的層間絕緣膜之形成方法。

〔先行技術〕

隨著增大半導體裝置的密集度，因而經多層的形成在基板上，即所謂演進爲多層配線化，具有此樣的多層配線構造之半導體裝置的製造過程成爲複雜化，多過程化。

特別是多層配線的形成過程占有半導體裝置的製造價格較大，爲了達到降低半導體裝置的成本而要求要提高多層配線過程的低減化。

針對過去的多層配線之形成過程，首先，堆積下層配線用的第1配線材料後，進行下層配線的圖案處理，在此下層配線上形成第1絕緣膜的同時在下層配線相互間埋入絕緣膜。在此時刻，依存前述下層配線的圖案等而在第1絕緣膜的表面存在段差，依此原樣，則會在之後的上層配線用之第2配線材料的堆積時及上層配線的圖案處理時導致不良影響，及導致由於上層配線的段截斷所造成的斷線，短路等的重大缺陷。

在該處，通常係在前述第1絕緣膜上堆積第2配線材料之前，以阻劑蝕刻使其作爲基礎的第1絕緣膜表面平坦化，再而緩和了段差後，在其表面形成第2絕緣膜。

但是，積層上述過的第1絕緣膜及第2絕緣膜之過去

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（２）

的層間絕緣膜之形成過程，經第１次的成膜→平坦化→第２的成膜，具有較多過程數，對於前述週的多層配線過程之低減化的要求造成較大的障礙。

另則，取代將上述過的第１絕緣膜之表面平坦化的方法，而在第１絕緣膜上形成作爲絕緣材料的Ｓｐｉｎ・ＯＮ・Ｇｌａｓｓ（ＳＯＧ）膜，因此緩和上層配線材料的基礎之段差的方法也被知悉。

但是，此方法，在形成（燒成）ＳＯＧ膜之際必須經過多數次的熱處理過程，爲了確保上層配線的信賴性而必須以阻劑蝕刻除去ＳＯＧ膜的不要部分，其結果造成過多過程數，對於前述過的多層配線過程的低減化之要求仍然無法完全的因應。

不過，最近，當形成層間絕緣膜之際，在低溫（例如約０℃程度）・眞空中使其反應SiH_4氣體與作爲氧化劑的H_2O_2（過氧化氫水），而在下層配線上形成自己流動型（回流）的SiO_2膜（以下稱爲回流SiO_2）的方法被注目著，作爲因應於前述過的多層配線過程之低減化的要求之技術的一種。

此方法，可以同時達成下層配線的配線相互間之絕緣膜的埋入及絕緣膜表面的平坦化，因以１次的成膜終了至平坦化的過程，所以可以實現多層配線過程的低減化。

不過，以上述過的回流SiO_2膜的形成方法所得到的回流SiO_2膜，從該反應形態就能明白，在回流SiO_2膜的成膜中產生水分（H_2O），因在回流

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（３）

ＳｉＯ₂膜中含有多量的水分，所以起因膜中水分恐會有破裂再生ＳｉＯ₂膜（以下，稱爲發生龜裂）。

實測關於上述回流ＳｉＯ₂膜的膜厚與龜裂發生的關係之結果，判明爲依存於作爲回流ＳｉＯ₂膜的基礎之下層配線的段差及回流ＳｉＯ₂膜表面的平坦化率。

此處，所謂回流ＳｉＯ₂膜表面的平坦化率，係如第５圖所示，將回流ＳｉＯ₂膜５３之基礎配線５２的高度設爲ａ，將回流ＳｉＯ₂膜５３之表面的最大高度位置與最小高度位置的段差設爲ｂ，則以１－（ｂ／ａ）表示之。

當回流ＳｉＯ₂膜的基礎配線的段差低於１．０μｍ的情況，將回流ＳｉＯ₂膜形成現在的標準膜厚（０．８μｍ）時，回流ＳｉＯ₂膜表面的平坦化率得有８０％以上，龜裂不會發生。

但是，如第２圖所示，回流ＳｉＯ₂膜２３之基礎配彈２２的段差在超過１．０μｍ的情況，將回流ＳｉＯ₂膜２３形成０．８μｍ時，回流ＳｉＯ₂膜２３的表面之平坦化率則成爲降下至６０％程度。

在該處，如第３圖所示，必須將回流ＳｉＯ₂膜３３的膜厚厚膜化，作爲使其照所須（基礎配線的段差超過與低於１．０μｍ的情況同等的８０％）的得出回流ＳｉＯ₂膜的表面平坦性。

但是，將回流ＳｉＯ₂膜３３超過一定程度的厚膜化，則在回流ＳｉＯ₂膜成膜後的別的絕緣膜之成膜溫度超

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（4）

過300℃的情況，因膜的收縮率變大，所以膜的應力變大，將半導體基板從成膜時的眞空室之眞空中取出至外部的大氣中時（例如在成膜時進行爲了除去附著於眞空室內壁的生成物之蝕刻處理之際從眞空室取出半導體基板時）因膜應力被解脫，所以在下層配線32的配線間部發生龜裂34。

在此處，針對回流SiO_2膜的基礎配線之段差爲超過1.0μm低於1.5μm的情況，實測回流SiO_2膜的膜厚與表面的平坦化率之關係的結果，表示在第4圖。

但是，如前述過在回流SiO_2膜發生龜裂，則由於被形成在層間絕緣膜上之上層配線的段截斷不僅造成斷線，短路，也導致層間絕緣膜之漏電流的增加，耐壓的降下。

〔發明所欲解決之課題〕

如上述過，在過去的多層配過程中的層間絕緣膜形成過程採用回流絕緣膜形成技術時所得到的回流SiO_2膜，係在作爲回流SiO_2膜的基礎之下層配線的段差較高時使其依所須的得有平坦性，將回流SiO_2膜的膜厚超過一定程度的厚膜化，則將半導體基板從成膜時的眞空室中取出至外部的大氣壓中時會發生龜線。

本發明的目的係爲解決上述的問題點，而在半導體裝置的多層配線過程中的層間絕緣膜形成過程採用回流絕緣

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（5）

膜形成技術之際，就是基礎的下層配線之段差較高的情況，也不須將回流SiO_2膜的膜厚必要以上的厚膜化而可以依所望的得有回流絕緣膜的平坦性，提高龜裂耐性，在層間絕緣膜形成後提供實現所被形成的上層配線的更微細化及高信賴化所得到的半導體裝置之製造方法。

〔用以解決課題之手段〕

本發明的半導體裝置之製造方法，其特徵爲具備：

在半導體基板上形成下層配線之過程，及在收容形成上述下層配線後的半導體基板之眞空室內導入SiH_4氣體及H_2O_2，以所定的眞空中在高於－10℃低於＋10℃的溫度範圍內相互的使其反應上述SiH_4氣體及H_2O_2，在上述半導體基板上形成具有回流形狀的回流SiO_2膜之回流膜形成過程，及持續於上述回流膜形成過程，在上述眞空室內經過上述回流SiO_2膜的全面而進行所定量的蝕刻處理之蝕刻處理過程。

然而，因應於所須，在上述蝕刻過程後以相同眞空室內在半導體基板上只以所須的膜厚形成CVD絕緣膜。

〔作用〕

在多層配線過程中的層間絕緣膜形成過程採用回流絕緣膜形成技術，在眞空室內形成回流SiO_2後，在相同眞空室內至形成未發生龜裂程度的膜厚爲止蝕刻回流SiO_2膜的全面。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（6）

由於此因，就是作爲回流SiO_2膜的基礎之下層配線的段差較高時，也將回流SiO_2膜的膜厚形成未發生龜裂程度的膜厚，因可以依所須的得到回流絕緣膜的平坦性，所以在回流SiO_2膜沒有發生龜裂，並且在層間絕緣膜形成後形成爲能實現所被形成的上層配線之更微細化及高信賴化。

〔實施例〕

以下，參照圖面詳細的說明本發明的一實施例。

第1圖（a）及（b）係表示在有關本發明的半導體裝置之製造方法的多層配線過程中之層間絕緣膜形成過程採用回流絕緣膜形成技術之一例。

首先，如第1圖（a）所示，例如在半導體基板（通常，矽質晶圓）10上的絕緣膜11上以濺射法堆積下層配線用的配線材料（例如鋁）後，用光學成圖技術及反應性離子蝕刻（RIE）技術進行第1配線材料的圖案處理形成下層配線12。

其次，在下層配線12的配線間埋入絕緣膜的同時由於在下層配線上堆積絕緣膜而形成層間絕緣膜。

針對上述層間絕緣膜的形成過程，首先，將下層配線形成後的半導體基板上10設定在半導體製造裝置的小室內之例如石英製的容器上，從SiH_4氣體供給源及H_2O_2供給源將SiH_4氣體及H_2O_2導入至小室內，以低於5Torr（=5×133.322pa）的眞空中

（請先閱讀背面之注意事項再填寫本頁）
訂
衣
經濟部中央標準局員工消費合作社印製

五、發明說明（７）

，在高於－１０℃低於＋１０℃的溫度範圍內（例如０℃）使其相互反應，在半導體基板１０上得到具有回流形狀的例如１．４μｍ的厚度之回流ＳｉＯ₂膜１３。

持續上述回流膜形成過程，在上述小室內，如第１圖（ｂ）所示，經過回流ＳｉＯ₂膜１３的全面在未露出前述下層配線１２的範圍內，將回流ＳｉＯ₂膜３４形成爲沒有發生龜裂程度的厚爲止進行所定量的蝕刻處理。上述蝕刻處理，由於從氟氯碳化物系氣體供給源及Ｏ₂供給源將ＣＦ₄氣體及Ｏ₂導入至前述５Ｔｏｒｒ以下的小室內，進而，從高周波電力供給源只以所定的電力量供給高於３００ＫＨｚ，低於１３．５６ＭＨｚ的範圍內之高周波信號而使其電漿放電的情況下，因而施行。

然而，如ｔ０表示在回流膜形成過程所被形成的回流ＳｉＯ₂膜１３之厚度，則由於蝕刻處理ｔ０（１－ｋ）（０＜ｋ＜１）量的膜厚，因而蝕刻處理後的回流ＳｉＯ₂膜１３ａ的膜厚形成爲ｔ０・ｋ。

其次，從小室內取出前述半導體基板，進行爲了除去在前述回流膜形成過程中附著於小室內壁的生成物之乾式蝕刻處理。此情況，理想的是以相同蝕刻處理條件實施上述蝕刻處理過程及前述回流ＳｉＯ₂膜的蝕刻處理過程。

其次，將上述小室內設定在高於３００℃，低於４００℃的溫度範圍內，從ＳｉＨ₄氣體供給源及Ｎ₂Ｏ供給源導入ＳｉＨ₄氣體及Ｎ₂Ｏ，在半導體基板上的全面形成高於０．３μｍ的厚度之電漿ＣＶＤ（氣相成長）

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（８）

ＳｉＯ₂膜（無圖示）。

在以此樣所被形成的層間絕緣膜施行爲了開口接觸孔或是針孔的蝕刻處理，堆積上層配線用的配線材料後，進行圖案處理而形成上層配線。

依據上述的實施例，在半導體基板的多層配線過程中的層間絕緣膜形成過程採用回流絕緣形成技術，以眞空室內在半導體基板１０上的下層配線上形成回流ＳｉＯ₂膜１３後，繼續在相同眞空室內將回流ＳｉＯ₂膜１３的全面至形成沒有發生龜裂程度的膜厚爲止作蝕刻處理。此後，施行爲了除去附著於小室內壁的生成部之蝕刻處理，進而在回流ＳｉＯ₂膜上只以所須的膜厚形成ＣＶＤ膜。

由於此因，作爲回流ＳｉＯ₂膜１３的基礎之下層配線１２的段差較高爲高於１．０μｍ低於１．５μｍ的情況，可以不須必要以上的厚膜化回流ＳｉＯ₂膜１３ａ的膜厚也可依所須的得有回流絕緣膜的平坦化。此情況，施行爲了除去附著於小室內壁的生成物之蝕刻處理之際，從小室內將半導體基板１０取出至外部的大氣壓中時，在層間絕緣膜確認了沒有發生龜裂。

因此，在層間絕緣膜形成後的上層配線材料之堆積時及上層配線的圖案處理時沒有導致不良影響，可以防止恐會造成由於上層配線的段截斷所導致斷線，短路，層間絕緣膜的漏電流之增加，耐壓的降下等的重大缺陷，並且可以實現上層配線的更微細化及高信賴化。

另外，由於以相同蝕刻處理條件實施回流ＳｉＯ₂膜

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明(9　)

１３的蝕刻處理，及在回流膜形成過程中，爲了除去附著於小室內壁的生成物之蝕刻處理，因在回流ＳｉＯ₂膜蝕刻處理時形成爲能兼負小室蝕刻處理的一部分，所以可以縮短回流ＳｉＯ₂膜蝕刻處理後的小室蝕刻處理之時刻，並且可以使其提高處理過程的通過量。

〔發明之效果〕

如上述過，依據本發明的半導體裝置之製造方法，在多層配線過程中的層間絕緣膜形成過程採用回流絕緣膜形成技術之際，作爲基礎的下層配線之段差較高的情況，也使其將回流ＳｉＯ₂膜的膜厚形成爲沒有發生龜裂的程度之膜厚，因可以依所須的得到回流絕緣膜的平坦性，所以可以在層間絕緣膜形成後實現所被形成的上層配線之更微細化與高信賴化。

〔圖面之簡單說明〕

第１圖係表示有關本發明的半導體裝置之製造方法在多層配線過程中的層間絕緣膜形成過程，採用回流絕緣膜形成技術之一例的斷面圖。

第２圖係爲在以過去的回流絕緣膜形成技術所得有的回流ＳｉＯ₂膜的下層配線之段差較大的情況，表示將回流ＳｉＯ₂膜表面的平坦化率降低之樣子的斷面圖。

第３圖係爲在以過去的回流絕緣膜形成技術所得有的回流ＳｉＯ₂膜的下層配線之段差較小的情況，表示由於

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(10)

將回流ＳｉＯ₂膜厚膜化而提高表面的平坦化之樣子及在回流ＳｉＯ₂膜的下層配線之層線間部發生龜裂之樣子的斷面圖。

第４圖係爲針對以過去的回流絕緣膜形成技術所得有的回流ＳｉＯ₂膜的基礎配線之段差爲高於１．０μｍ低於１．５μｍ的情況，表示實測回流ＳｉＯ₂膜的膜厚與表面的平坦化率之關係的結果之圖。

第５圖係表示爲了說明回流ＳｉＯ₂膜表面的平坦化率之斷面圖。

〔圖號說明〕

１０：半導體基板　　１１：絕緣膜

１２：下層配線

１３：成膜時的回流ＳｉＯ₂膜

１３ａ：蝕刻處理後的回流ＳｉＯ₂膜

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　　）

半導體裝置之製造方法

本發明係採用再生絕緣膜形成技術，在半導體基板上所得到的再生絕緣膜的基礎之段差較高時，也能確保回流絕緣膜之平坦性，且在層間絕緣膜形成後實行所被形成的上層配線之更微細化及高信賴化。

至於其構成：在半導體基板10上形成下層配線12後，在收容該半導體基板10的眞空室內導入SiH_4氣體及H_2O_2，以所決定的眞空中在－10℃～＋10℃的溫度範圍內使其相互的反應，其特徵爲具備：在半導體基板上形成具有回流形狀的回流SiO_2膜13之回流膜形成過程，及繼而在眞空室內包括回流SiO_2膜的全面進行所定量的蝕刻之蝕刻過程。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1．一種半導體裝置之製造方法，其特徵爲具備：

在半導體上形成下層配線之過程，及在收容形成上述下層配線後的半導體基板之眞空室內導入SiH_4氣體及H_2O_2，並且在所定的眞空中以高於－10℃低於＋10℃的溫度範圍內使其相互的反應上述SiH_4氣體及H_2O_2，而在上述半導體基板上形成具有回流形狀的回流SiO_2膜之回流膜形成過程，及持續於上述回流膜形成過程，在上述眞空室內經過上述回流SiO_2膜的全面施行所定量的蝕刻處理之回流SiO_2膜蝕刻處理過程。

2．如申請專利範圍第1項的半導體裝置之製造方法，其中前述回流SiO_2膜蝕刻過程，係爲在前述眞空室內的低於665Pa的眞空中導入氟利昂系氣體及氧氣，由於供給高於300KHz，低於13.56MHz的範圍內之高周波電力而使其電漿放電所以施行蝕刻處理。

3．如申請專利範圍第1項的半導體裝置之製造方法，其中前述回流SiO_2膜蝕刻處理過程，係爲在未露出前述下層配線的範圍內將前述回流SiO_2膜至形成爲沒有發生龜裂的程度之膜厚爲止施行蝕刻處理。

4．如申請專利範圍第2項的半導體裝置之製造方法，其中前述回流SiO_2膜蝕刻處理過程，係爲在未露出前述下層配線的範圍內將前述回流SiO_2膜至形成爲沒有發生龜裂的程度之膜厚爲止施行蝕刻處理。

5．如申請專利範圍第1，2，3或4項的任何項的半導體裝置之製造方法，其中更具備在前述回流SiO_2

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

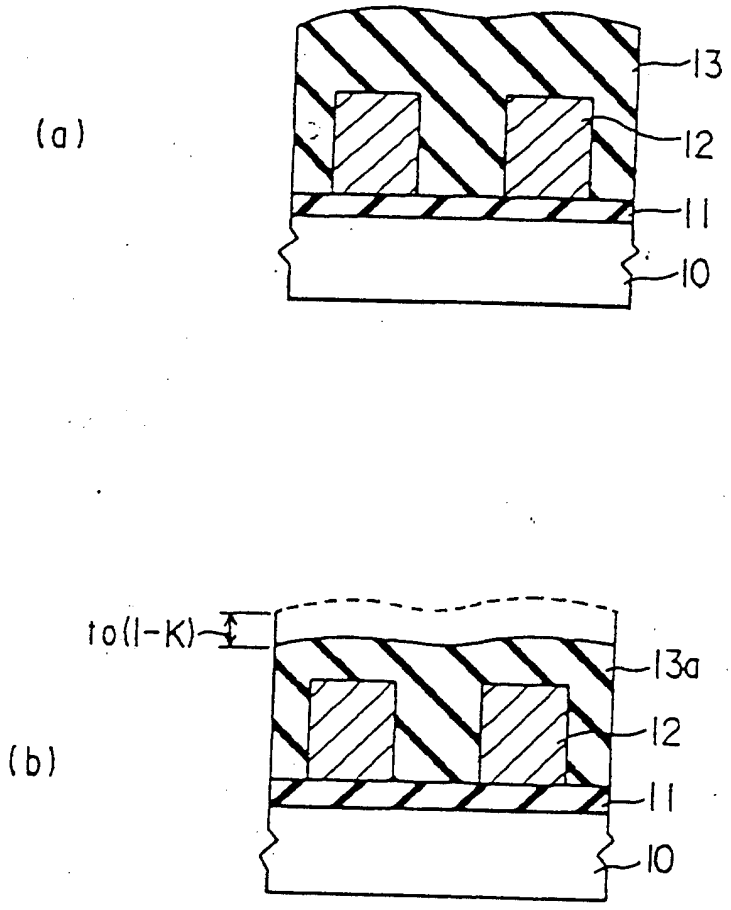
膜蝕刻處理過程後從前述眞空室內取出前述半導體基板，且施行在前述回流膜形成過程中爲了除去附著於前述眞空室的內壁的生成物之眞空室蝕刻處理過程，及再以前述眞空室內在前述半導體基板上形成ＣＶＤ絕緣膜之過程，並且將上述眞空室蝕刻處理過程的蝕刻處理條件與前述回流SiO_2膜蝕刻過程的蝕刻條件成爲相同。

（請先閱讀背面之注意事項再填寫本頁）
訂
衣

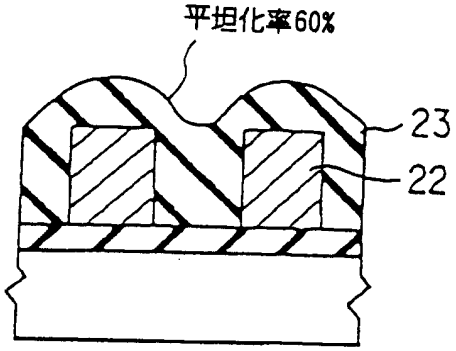
經濟部中央標準局員工消費合作社印製

85100720

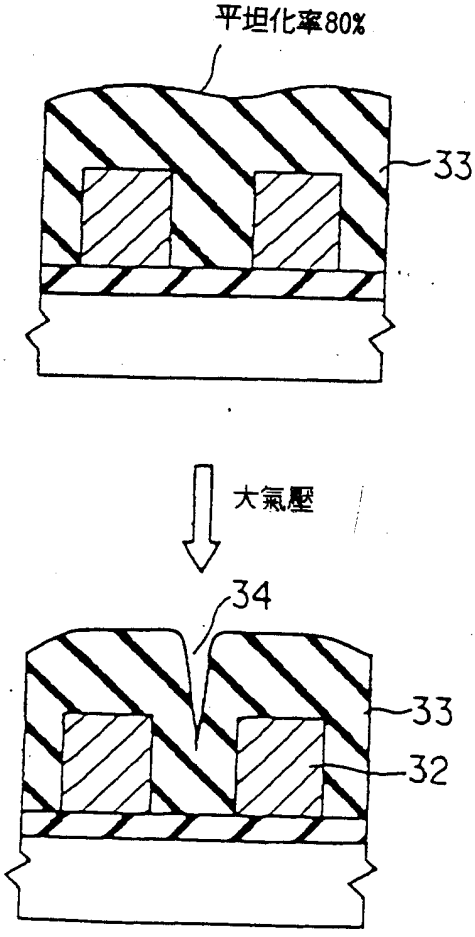
724660



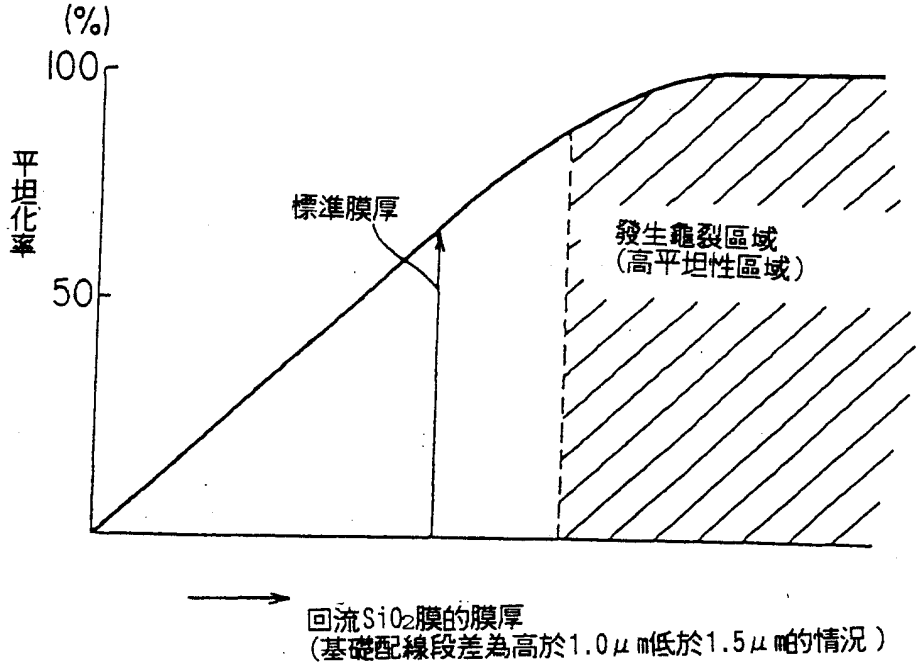
第 1 圖



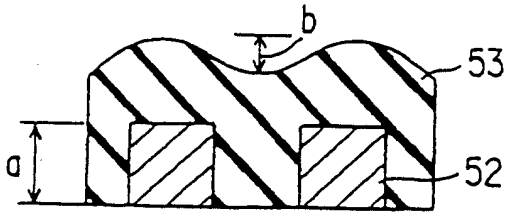
第 2 圖



第 3 圖



第 4 圖



平坦化率 (%) $= (1-\frac{b}{a}) \times 100$

第 5 圖