

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4826873号
(P4826873)

(45) 発行日 平成23年11月30日(2011.11.30)

(24) 登録日 平成23年9月22日(2011.9.22)

(51) Int.Cl.	F 1
GO6F 12/06 (2006.01)	GO6F 12/06 522D
GO6F 9/34 (2006.01)	GO6F 9/34 350B
GO6F 9/38 (2006.01)	GO6F 9/38 310A
GO6F 12/02 (2006.01)	GO6F 12/02 570A
GO6F 12/08 (2006.01)	GO6F 12/08 511C

請求項の数 10 (全 9 頁)

(21) 出願番号	特願2004-188272 (P2004-188272)
(22) 出願日	平成16年6月25日 (2004.6.25)
(65) 公開番号	特開2005-25740 (P2005-25740A)
(43) 公開日	平成17年1月27日 (2005.1.27)
審査請求日	平成19年3月28日 (2007.3.28)
(31) 優先権主張番号	2003-044292
(32) 優先日	平成15年7月1日 (2003.7.1)
(33) 優先権主張国	韓国 (KR)

(73) 特許権者	390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国京畿道水原市靈通区梅灘洞416 416, Maetan-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do, Republic of Korea
(74) 代理人	110000051 特許業務法人共生国際特許事務所
(72) 発明者	季會鎮 大韓民国京畿道城南市盆唐区書▲ひゅん▼ 洞示範団地ウースンアパート222棟14 07号

最終頁に続く

(54) 【発明の名称】 ホットルーチンメモリを有するマイクロプロセッサシステム

(57) 【特許請求の範囲】

【請求項 1】

キャッシュベースのマイクロプロセッサシステムにおいて、
プロセッサと、
前記プロセッサに連結され、前記プロセッサにより実行されるアプリケーションプログラムに必要なデータを格納する記憶装置と、
前記プロセッサによって以前に使用されたデータを一時的に格納するキャッシュメモリと、

前記記憶装置に格納されたデータのうちの前記アプリケーションプログラムによってホットルーチンとして示されたデータ部分を格納するホットルーチンメモリと、

前記キャッシュメモリと前記ホットルーチンメモリに連結され、前記プロセッサからのアドレス情報に従って前記記憶装置に格納されたデータを前記キャッシュメモリまたは前記ホットルーチンメモリに格納するか、前記キャッシュメモリまたは前記ホットルーチンメモリに格納されたデータを前記プロセッサに伝達するメモリ制御器と、を含み、

前記プロセッサは、前記アプリケーションプログラムが実行される場合において、前記記憶装置に格納されたデータのうちの前記ホットルーチンとして示されたデータ部分を前記ホットルーチンメモリに格納するように前記メモリ制御器を制御し、

前記メモリ制御器は、

前記プロセッサからのアドレス情報を受け取って、前記キャッシュメモリまたは前記ホットルーチンメモリにデータを書き込むか、前記キャッシュメモリまたは前記ホットル

10

20

チソメモリからデータを読み出すデータ／アドレス制御部と、

前記データ／アドレス制御部により制御されて、前記キャッシュメモリまたは前記ホットルーチンメモリからのデータを前記プロセッサに伝達するマルチプレクサ回路と、を含み、

前記データ／アドレス制御部は、前記ホットルーチンメモリに格納されたデータについて、前記記憶装置と前記ホットルーチンメモリとの間のアドレス変換情報を格納するホットルーチンアドレス変換テーブルを含むことを特徴とするマイクロプロセッサシステム。

【請求項 2】

前記メモリ制御器は前記プロセッサによって要求されたデータが前記ホットルーチンメモリに格納されているか否かを検索し、前記要求されたデータが前記ホットルーチンメモリに格納されていれば、前記要求されたデータが前記プロセッサに出力されるように制御することを特徴とする請求項 1 に記載のマイクロプロセッサシステム。 10

【請求項 3】

前記制御器は前記要求されたデータが前記ホットルーチンメモリに格納されていなければ、前記キャッシュメモリを検索し、前記要求されたデータが前記キャッシュメモリに格納されていれば、前記要求されたデータを前記プロセッサに出力するように前記キャッシュメモリを制御することを特徴とする請求項 2 に記載のマイクロプロセッサシステム。

【請求項 4】

前記メモリ制御器は前記ホットルーチンメモリでのホットルーチンアドレスと前記記憶装置でのホットルーチンアドレスとの間の変換情報をを利用して前記要求されたデータが前記ホットルーチンメモリに格納されているか否かを判断することを特徴とする請求項 2 に記載のマイクロプロセッサシステム。 20

【請求項 5】

前記ホットルーチンアドレス変換テーブルには、前記ホットルーチンについての前記記憶装置の開始アドレスと前記ホットルーチンメモリでの開始アドレスおよび終了アドレスが含まれることを特徴とする請求項 1 に記載のマイクロプロセッサシステム。

【請求項 6】

前記ホットルーチンメモリに格納されるデータは、前記アプリケーションプログラムの実施時において、接続頻度が高く、速い応答速度を必要とするデータであることを特徴とする請求項 1 に記載のマイクロプロセッサシステム。 30

【請求項 7】

前記ホットルーチンメモリに格納されるデータは、プログラマにより前記アプリケーションプログラムの作成時に、事前に定義されることを特徴とする請求項 1 に記載のマイクロプロセッサシステム。

【請求項 8】

前記ホットルーチンメモリに格納されるデータは、前記アプリケーションプログラムの変更時にも、前記ホットルーチンメモリにそのまま格納され続けることを特徴とする請求項 1 に記載のマイクロプロセッサシステム。

【請求項 9】

前記プロセッサは、前記アプリケーションプログラムの実行時に、前記ホットルーチンメモリを先に検索することを特徴とする請求項 1 に記載のマイクロプロセッサシステム。 40

【請求項 10】

前記データ／アドレス制御部には前記記憶装置のデータのうちホットルーチンで定義された領域の開始アドレスと終了アドレスが格納されていることを特徴とする請求項 1 に記載のマイクロプロセッサシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マイクロプロセッサシステムに関するものであって、さらに具体的には、プロセッサにより実行されるアプリケーションプログラム（Application Pr 50

ogram)において、使用頻度が高い関数の実行に必要なデータを別途の記憶装置に格納することによって、システムの動作速度を向上させるマイクロプロセッサシステムに関するものである。

【背景技術】

【0002】

一般的なマイクロプロセッサシステムにおいて、動作速度の低下は、プロセッサがアプリケーションプログラムの実行に必要なデータが格納されている記憶装置 (Storage Device) に接続してデータを読み出し、または書き込む過程で主に発生する。これは、プロセッサに比べてハードディスク (Hard Disk) やDRAMで構成される記憶装置のデータ処理速度が相対的に遅いためである。これを解決するために、大部分のマイクロプロセッサシステムでは、SRAMのように相対的に速度が速いメモリ素子で実現される別途のキャッシュメモリを使用する。キャッシュメモリには、プロセッサにより最も最近に使用されたデータや命令語が一時的に格納、またはプロセッサにより予測されたデータと命令語が格納される。これを通じてプロセッサがプログラムの実行時に、記憶装置に毎度接続しなければならない時間を短縮することによって、システムの動作速度を向上させることができる。最近では、マイクロプロセッサシステムの性能をより向上させるために、多量のキャッシュメモリをプロセッサとともに一つのチップに集積している。

【0003】

図1は、キャッシュメモリを使用する従来のマイクロプロセッサシステムのブロック図である。図1に示したように、従来のマイクロプロセッサシステムは、プロセッサ100、キャッシュメモリ102、キャッシュ制御器104、記憶装置108、及びバス106で構成される。プロセッサ100は、全体のマイクロプロセッサシステムを制御し、バス106を通じて記憶装置108及びキャッシュメモリ102からデータを読み出し、または記憶装置108及びキャッシュメモリ102にデータを格納する。キャッシュメモリ102は、プロセッサ100により最近実行された命令語及びデータを一時に記憶し、プロセッサ100からの要求に従って、その記憶しているデータを出力する。キャッシュ制御器104は、プロセッサ100からのアドレス情報を利用してキャッシュメモリ102にデータを格納、またはキャッシュメモリ102を検索して該当データを出力するようにキャッシュメモリ102の動作を制御する。記憶装置108は、ハードディスクや大容量のDRAMで構成され、プロセッサ100により実行されるアプリケーションプログラムに必要なデータを記憶する。

【0004】

このような従来のマイクロプロセッサシステムは、プロセッサ100がアプリケーションプログラムを実行するために記憶装置に接続してデータを読み出し、または書き込む際に、キャッシュ制御器104がプロセッサ100により使用された命令語とデータをキャッシュメモリ102に一時的に記憶させる。そして、以後のプロセッサ100によるアプリケーションプログラムの実行時に、プロセッサ100は、キャッシュ制御器104を通じて現在のプログラムの実行に必要なデータがキャッシュメモリ102にあるか否かを先に検索する。もし、必要なデータがキャッシュメモリ102に存在すれば、キャッシュ制御器104は、キャッシュメモリ102に記憶されているデータをプロセッサ100に伝達する。しかし、プロセッサが必要とするデータがキャッシュメモリ102に存在しなければ、プロセッサ100は、記憶装置108に接続して必要なデータを読み出し、実行されたデータは、キャッシュ制御器104を通じてキャッシュメモリ102に格納される。

【0005】

このような従来のキャッシュベースのマイクロプロセッサシステムでは、実行中のアプリケーションプログラムの交替 (context switch) が発生する場合に、以前に実行されたアプリケーションプログラムで使用したキャッシュエントリ (Cache Entry) を削除し、次のアプリケーションプログラムが使用することができるよう、キャッシュエントリを空ける。これをキャッシュメモリのフラッシュアンドファイル (

10

20

30

40

50

`flush & fill`動作という。ところで、このようなフラッシュアンドファイル動作は、キャッシュメモリ102に比べて相対的に動作速度が遅い記憶装置108に対してなされるので、システムの動作速度が低下することになる。また、現在実行しようとするアプリケーションプログラムに必要なデータがキャッシュメモリ102に残っているか否かに従って全体のシステムの動作速度が不規則になる。

【特許文献1】韓国公開特許2001-0066564号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の目的は、プロセッサによるアプリケーションプログラムの実行に必要な命令語やデータのうち使用頻度が高く、速い応答速度を必要とする部分に対して別途のメモリを使用して動作速度を向上させることができるマイクロプロセッサシステム及びその使用方法を提供することにある。

10

【課題を解決するための手段】

【0008】

本発明の他の実施の形態によるマイクロプロセッサシステムは、プロセッサと、プロセッサに連結され、プロセッサにより実行されるアプリケーションプログラムに必要なデータを格納する記憶装置と、アプリケーションプログラム実行時に、プロセッサにより以前に使用されたデータを一時的に格納するキャッシュメモリと、アプリケーションプログラム実行時に、記憶装置に格納されたデータのうちのアプリケーションプログラムによってホットルーチンとして示されたデータ部分を格納するホットルーチンメモリと、キャッシュメモリとホットルーチンメモリに連結され、プロセッサからの制御信号に従って記憶装置に格納されたデータをキャッシュメモリまたはホットルーチンメモリに格納するか、キャッシュメモリまたはホットルーチンメモリに格納されたデータをプロセッサに伝達するメモリ制御器で構成される。

20

【発明の効果】

【0010】

本発明のマイクロプロセッサシステムは、別途のホットルーチンメモリを使用して、プロセッサにより実行されるアプリケーションプログラムの変更時においても、システムの動作速度を向上させることができ、またシステムの安定した動作を維持することができる。

30

【発明を実施するための最良の形態】

【0011】

以下、添付の図面を参照して本発明の望ましい実施形態のマイクロプロセッサシステムの構成及び動作を詳細に説明する。

【0012】

図2は、ホットルーチンメモリを有する本発明のマイクロプロセッサシステムの実施の形態を示すブロック図である。図2に示したように、本発明の望ましい実施形態のマイクロプロセッサシステムは、プロセッサ200、記憶装置202、メモリ制御器210、キャッシュメモリ206及びホットルーチンメモリ208で構成される。そして、各々の装置はバス204を通じて連結される。

40

【0013】

プロセッサ200は、記憶装置202から必要なデータを読み出してアプリケーションプログラムを実行する。例えば、最初のアプリケーションプログラムの作成時に、使用頻度が高く、速い応答時間を必要とする部分を予めホットルーチンとして定義することができる。プロセッサ200によりホットルーチンが含まれるアプリケーションプログラムが実行される場合において、プロセッサ200は、まず最初に、記憶装置202からホットルーチンに該当するデータを読み出し、読み出したデータをメモリ制御器210のデータ/アドレス制御器212を通じてホットルーチンメモリ208に格納する。そして、プロセッサ200は、ホットルーチンの実際の位置に対するアドレス情報とホットルーチンメ

50

モリ 208 のアドレス情報をデータ / アドレス制御部 212 に含まれたホットルーチンアドレス変換テーブル (Hot Routine Address Translation Table) 213 に格納する。例えば、図 3 のように、ホットルーチンを含んでいるアプリケーションプログラムがプロセッサ 200 により実行される場合、プロセッサ 200 は、アプリケーションプログラムのうち、ホットルーチンで定義された領域の開始アドレスと終了アドレスを利用して、メモリ制御器 210 のデータ / アドレス制御部 212 を通じてホットルーチンに該当するデータをホットルーチンメモリ 208 に格納する。

【0014】

図 3 を参照してより詳細に説明すると、プログラム B がプロセッサ 200 によりローディングされると、プロセッサ 200 は、プログラム B でホットルーチンとして定義された領域 (HR2) 302 をデータ / アドレス制御部 212 を通じてホットルーチンメモリ 208 に格納し、ホットルーチンデータ HR2 の実際の位置とホットルーチンメモリ 208 上での位置をマッピングするためのアドレス情報をデータ / アドレス制御部 212 のホットルーチンアドレス変換テーブル 231 に記録する。そして、以後のプログラム A がローディングされると、プロセッサ 200 は、既にホットルーチンメモリ 208 に記憶されているプログラム B のホットルーチンデータ HR2 をそのまま維持し、先のような過程を経て、プログラム A のホットルーチンデータ HR1 をホットルーチンメモリ 208 に追加して格納する。あわせて、プログラム A のホットルーチンデータ HR1 についての実際の位置とホットルーチンメモリ 208 上での位置をマッピングするためのアドレス情報をデータ / アドレス制御部 212 のホットルーチンアドレス変換テーブル 213 に格納する。

【0015】

図 4 は、図 3 のようなアプリケーションプログラムが実行される場合に、各アプリケーションプログラムのホットルーチンが格納されたホットルーチンメモリを示す。図 5 は、図 3 及び図 4 のように、ホットルーチンがホットルーチンメモリに格納される場合におけるホットルーチンアドレス変換テーブルを示す。図 5 に示したように、ホットルーチンアドレス変換テーブル 213 には、ホットルーチンデータの実際の位置に対する開始アドレスとホットルーチンメモリ 208 上での開始アドレス及び終了アドレスが格納される。以後、プログラム A が実行されると、データ / アドレス制御部 212 は、現在プロセッサ 200 から入力されているアドレス情報をホットルーチンアドレス変換テーブル 213 で検索してプロセッサ 200 がホットルーチン領域に接続するか否かを判断する。プロセッサ 200 から入力されているアドレス情報がホットルーチンアドレス変換テーブル 213 に格納されたアドレス情報とマッチングする場合は、データ / アドレス制御部 212 は、ホットルーチンメモリ 202 の該当アドレスに格納されたデータがプロセッサ 200 に伝達されるようにマルチプレクサ 214 を制御する。そして、プロセッサ 200 から入力されているアドレス情報がホットルーチンアドレス変換テーブル 213 においてマッチングしない場合は、データ / アドレス制御部 212 は、キャッシュメモリ 206 を検索して該当データがキャッシュメモリ 206 に存在すれば、キャッシュメモリ 206 に格納されているデータがプロセッサ 200 に伝達されるようにマルチプレクサ 214 を制御する。プロセッサ 200 から入力されているアドレス情報にマッチングするデータがホットルーチンメモリ 208 とキャッシュメモリ 206 のいずれにも存在しなければ、プロセッサ 200 は、記憶装置 202 からデータを読み出してアプリケーションプログラムを実行し、実行されたデータをデータ / アドレス制御部 212 を通じてキャッシュメモリ 206 に一時的に格納する。

【0016】

図 6 は、本発明の望ましい実施形態においてホットルーチンを定義し、格納する過程を示す順序図である。

【0017】

図 6 を参照してホットルーチンを定義し、格納する過程を説明すると、先ず、プログラムは、アプリケーションプログラムを作成する際に、プログラムで使用頻度が高く、速い応答速度を必要とするデータ領域をホットルーチンとして定義 (段階 S602) する。そ

10

20

30

40

50

して、アプリケーションプログラムの実行時に、プロセッサ200は、先ずプログラマによりホットルーチンとして定義された領域のデータを記憶装置202から読み出してデータ／アドレス制御部212を通じてホットルーチンメモリ208に格納（段階S604）する。また、ホットルーチンについてのプログラム上での実際の位置とホットルーチンメモリ208での位置についてのアドレス情報をホットルーチンアドレス変換テーブル213に格納（段階S606）する。

【0018】

図7は、図6のような過程を通じてホットルーチンメモリにホットルーチンに該当するデータが格納された以後に、本発明の一実施形態のマイクロプロセッサシステムでアプリケーションプログラムが実行される過程を示す順序図である。図7を参照すると、プロセッサ200によるアプリケーションプログラムの実行中に、データ／アドレス制御部212は、プロセッサ200から入力されるアドレス情報をホットルーチンアドレス変換テーブル213で検索（段階S702）する。そして、プロセッサ200がアプリケーションプログラムの実行中にホットルーチン領域に接続すれば、データ／アドレス制御部212は、ホットルーチンメモリ208に格納されたホットルーチンに該当する領域のデータをマルチプレクサ214を通じてプロセッサ200に伝達（段階S704）する。一方、プロセッサ200から入力されるアドレス情報がホットルーチンに該当しなければ、データ／アドレス制御部212は、キャッシュメモリ206を検索（段階S706）して、該当データがキャッシュメモリ206内に存在するか否かを判断（段階S708）し、該当データがキャッシュメモリ206内に存在すれば、マルチプレクサ214を通じてキャッシュメモリ206のデータをプロセッサ200に伝達（段階S710）する。そして、プロセッサ200から入力されるアドレスがホットルーチンメモリ208とキャッシュメモリ206のいずれにも対応しなければ、プロセッサ200は、記憶装置200に接続して該当データを読み出し（段階S712）、使用したデータをキャッシュメモリ206に一時的に格納（段階S714）する。

【0019】

以上、本発明によるマイクロプロセッサシステムの構成及び使用方法を実施の形態を通じて詳細に説明したが、これは例示的な説明に過ぎず、当技術分野での通常の専門家であれば、本発明の技術的思想を逸脱しない範囲内で多様な応用及び変更が可能であることが分かるであろう。

【図面の簡単な説明】

【0020】

【図1】キャッシュメモリを含む従来のマイクロプロセッサシステムのブロック図である。

【図2】ホットルーチンメモリを有する本発明のマイクロプロセッサシステムの実施の形態を示すブロック図である。

【図3】ホットルーチンを含むアプリケーションプログラムを示す図である。

【図4】図3のアプリケーションプログラムに含まれるホットルーチンがホットルーチンメモリに格納される領域を示す図面である。

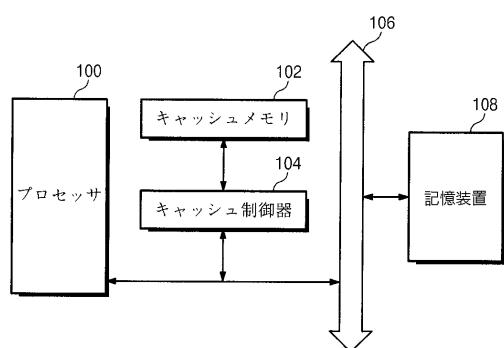
【図5】図3及び図4のように格納されたホットルーチンに対するホットルーチンアドレス変換テーブルの実施の形態を示す図面である。

【図6】図2乃至図5に示したマイクロプロセッサシステムを使用する方法を示す順序図である。

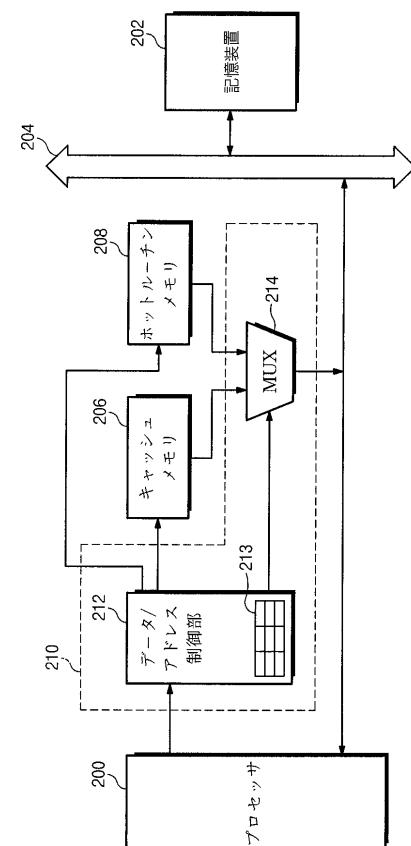
【図7】図6のような過程を通じてホットルーチンメモリにホットルーチンに該当するデータが格納された以後にマイクロプロセッサシステムでアプリケーションプログラムが実行される過程を示す順序図である。

【図1】

図1

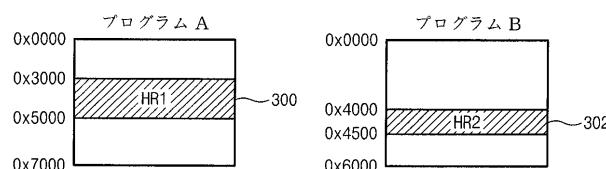


【図2】



【図3】

図3



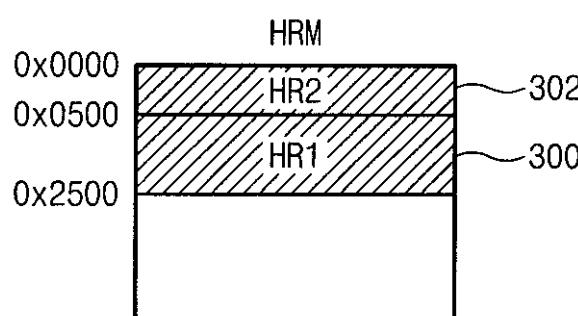
【図4】

図4

【図5】

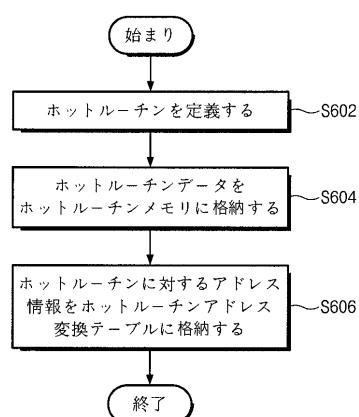
図5

PID	アドレス (プログラム)	終了アドレス (HRM)	開始アドレス (HRM)
B	0x4000	0x04fc	0x0000
A	0x3000	0x24fc	0x0500



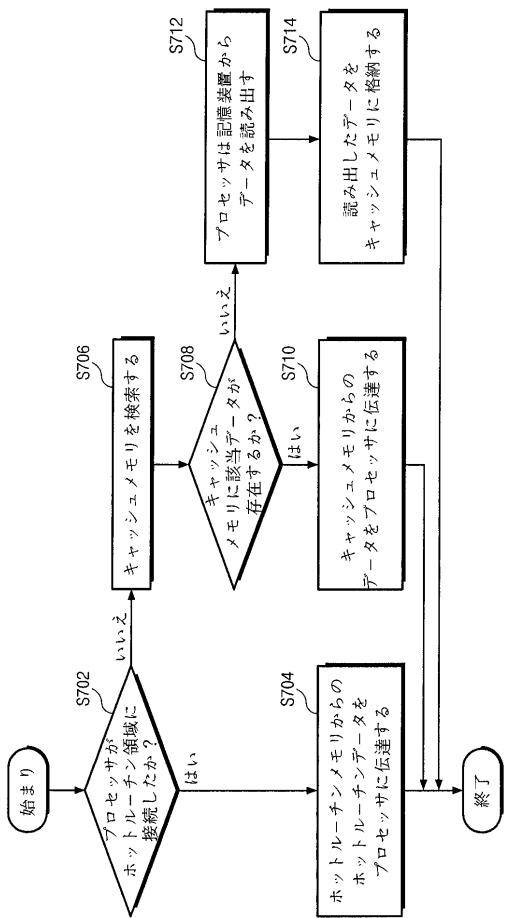
【図6】

図6



【図7】

図7



フロントページの続き

審査官 堀江 義隆

(56)参考文献 特開平11-194973(JP, A)
特開2000-029783(JP, A)

(58)調査した分野(Int.Cl., DB名)

G 06 F 12 / 06

G 06 F 12 / 02

G 06 F 12 / 08