(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 101720505 A
(43)申请公布日 2010.06.02

(21)申请号 200880022756.9

(22)申请日 2008.06.26

(30)优先权数据
11/771,565 2007.06.29 US

(85)PCT申请进入国家阶段日
2009.12.29

(86)PCT申请的申请数据
PCT/US2008/007975 2008.06.26

(87)PCT申请的公布数据
WO2009/005695 EN 2009.01.08

(71)申请人 先进微装置公司
地址 美国加利福尼亚州

(72)发明人 A·萨勒曼 S·比比

(74)专利代理机构 北京戈程知识产权代理有限公司 11314
代理人 程伟 王锦阳

(51)Int.Cl.
H01L 27/02(2006.01)

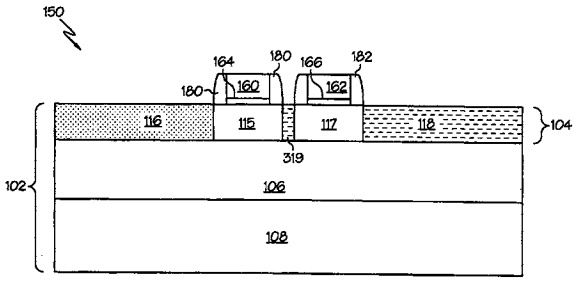
权利要求书 3 页 说明书 12 页 附图 17 页

(54)发明名称

静电释放保护器件及制造包含静电释放保护器件的半导体器件的方法

(57)摘要

本发明提供一种制作半导体器件(150)的方法。第一栅极电极(160)跟第二栅极电极(162)系形成在硅衬底(104)的第一部分(114)上。第一导电率类型离子系注入该硅衬底(104)的第二部分(116)中,以定义该硅衬底(104)内的第一导电率类型二极管区域(116),然后第二导电率类型离子系注入该硅衬底(104)的第三部分(118)中,以定义出该硅衬底(104)内的第二导电率类型二极管区域(118)。在注入该第一导电率类型离子与该第二导电率类型离子之其中之一的步骤中,离子也被注入至少一部分(119)的该第一部分(114)中,以定义出该硅衬底(104)的该第一部分(114)内的分隔区域(119)。该分隔区域(119)将该第一部分(114)分成第一阱器件区域(115)以及第二阱器件区域(117),并且在该第一阱器件区域(115)跟该第二阱器件区域(117)之间串联形成。



CN 101720505 A

1. 一种制作半导体器件 (150) 的方法，该方法包括下列步骤：

提供硅衬底 (104)；

在该硅衬底 (104) 的第一部分 (114) 上，形成第一栅极电极 (160) 以及第二栅极电极 (162)；

注入第一导电率类型离子到该硅衬底 (104) 的第二部分 (116) 中，以在该硅衬底 (104) 内定义出第一导电率类型二极管区域 (116)；

注入第二导电率类型离子到该硅衬底 (104) 的第三部分 (118) 中，以在该硅衬底 (104) 内定义出第二导电率类型二极管区域 (118)；以及

在注入该第一导电率类型离子和注入该第二导电率类型离子的其中之一的步骤期间，将离子注入该第一部分 (114) 的至少一部分 (119) 中，以在该第一部分 (114) 内定义出分隔区域 (119)，其中，该分隔区域 (119) 将该第一部分 (114) 分成第一阱器件区域 (115) 以及第二阱器件区域 (117)，其中，该分隔区域 (119) 在该第一阱器件区域 (115) 以及该第二阱器件区域 (117) 之间串联形成。

2. 如权利要求 1 所述的方法，其中，注入离子进入到该第一部分 (114) 的至少一部分 (119) 的步骤发生在注入该第一导电率类型离子到该第二部分 (116) 的步骤的期间，以及，其中，注入该第一导电率类型离子到该第二部分 (116) 的步骤，进一步包括：

注入第一导电率类型离子到该硅衬底 (104) 的第一部分 (114) 以及第二部分 (116) 中的至少一部分 (119) 中，以在该第一部分内定义出第一导电率类型分隔区域 (119)，以及在该硅衬底 (104) 内定义出第一导电率类型二极管区域 (116)，其中，该第一导电率类型分隔区域 (119) 将该第一部分 (114) 分为第一阱器件区域 (115) 以及第二阱器件区域 (117)。

3. 如权利要求 2 所述的方法，其中，该第一阱器件区域 (115) 是以与该第一导电率类型二极管区域 (116) 及该第一导电率类型分隔区域 (119) 串联而形成，以及，其中，该第二阱器件区域 (117) 是以与该第一导电率类型分隔区域 (119) 及该第二导电率类型二极管区域 (118) 串联而形成。

4. 如权利要求 2 所述的方法，其中，该硅衬底 (104) 包括 P 型硅材料，其中，该第一导电率类型是 P^+，其中该第一阱器件区域 (115) 是第一 P 阱器件区域 (115)，以及，其中，该第二阱器件 (117) 是第二 P 阱器件区域 (117)，其中该第二导电率类型是 N^+。

5. 如权利要求 2 所述的方法，其中，该硅衬底 (104) 包括 N 型硅材料，其中，该第一导电率类型是 P^+，其中该第一阱器件区域 (115) 是第一 N 阱器件区域 (115)，其中，第二阱器件区域 (117) 是第二 N 阱器件区域 (117)，以及，其中，该第二导电率类型是 N^+。

6. 如权利要求 1 所述的方法，其中，注入离子到该第一部分 (114) 的至少一部分 (119) 的步骤发生在将该第二导电率类型离子注入到该第三部分 (118) 的步骤期间，以及，其中，注入该第二导电率类型离子到该第三部分 (118) 的步骤进一步包括：

注入该第二导电率类型离子到该硅衬底 (104) 的第一部分 (114) 和第三部分 (318) 中的至少一部分 (319) 中，以在该第一部分 (114) 内定义出第二导电率类型分隔区域 (319)，以及在该硅衬底 (104) 内定义出第二导电率类型二极管区域 (318)，其中，该分隔区域 (319) 将该第一部分 (114) 分隔成第一阱器件区域 (115)，以及第二阱器件区域 (117)。

7. 如权利要求 6 所述的方法，其中，该第一阱器件区域 (115) 与该第一导电率类型二极管 (116) 及该第二导电率类型分隔区域 (319) 串联而形成，以及，其中，该第二阱器件区域

(117) 与该第二导电率类型分隔区域 (319) 及该第二导电率类型二极管区域 (318) 串联而形成。

8. 如权利要求 6 所述的方法，其中，该硅衬底 (104) 包括 P 型硅材料，其中，该第一导电率类型是 P^+，其中，该第一阱器件区域 (115) 是第一 P 阱器件区域 (115)，其中，该第二阱器件区域 (117) 是第二 P 阱器件区域 (117)，其中，该第二导电率类型是 N^+。

9. 如权利要求 6 所述的方法，其中，该硅衬底 (104) 包括 N 型硅材料，其中，该第一导电率类型是 P^+，其中，该第一阱器件区域 (115) 是第一 N 阱器件区域 (115)，其中，该第二阱器件区域 (117) 是第二 N 阱器件区域 (117)，其中该第二导电率类型是 N^+。

10. 一种器件 (200/400)，包括 ：

硅衬底 (104)，包括 ：

第一导电率类型二极管区域 (116)，设置在该硅衬底 (104) 内 ；

第一阱器件区域 (115)，设置在该硅衬底 (104) 内与该第一导电率类型二极管区域 (116) 串联 ；

分隔区域 (119)，设置在该硅衬底 (104) 内与该第一阱器件区域 (115) 串联 ；

第二阱器件区域 (117)，设置在该硅衬底内与该分隔区域 (119) 串联 ；

第二导电率类型二极管区域 (118)，设置在该硅衬底 (104) 内，其中，该第二导电率类型二极管区域 (118) 设置在该硅衬底 (104) 内与该第二阱器件区域 (117) 串联 ；以及

第一栅极电极 (160)，设置在该硅衬底 (104) 的该第一阱器件区域 (115) 之上 ；以及

第二栅极电极 (162)，设置在该硅衬底 (104) 的该第二阱器件 (117) 之上。

11. 如权利要求 10 所述的器件，其中，该第一导电率类型是 P^+，其中，该第一阱器件区域 (115) 是第一 P 阱器件区域 (115)，其中，该第二阱器件区域 (117) 是第二 P 阱器件区域 (117)，其中，该第二导电率类型是 N^+，以及，其中，该分隔区域 (119) 是 P^+ 型分隔区域 (119)。

12. 如权利要求 10 所述的器件，其中，该第一导电率类型是 P^+，其中，该第一阱器件区域 (115) 是第一 N 阱器件区域 (115)，其中，该第二阱器件区域 (117) 是第二 N 阱器件区域 (117)，其中，第二导电率类型是 N^+，以及，其中，该分隔区域 (119) 是 N^+ 型分隔区域 (119)。

13. 如权利要求 10 所述的器件，其中，该第一导电率类型是 P^+，其中该第一阱器件 (115) 是第一 P 阱器件区域 (115)，其中，该第二阱器件 (117) 是第二 P 阱器件区域 (117)，其中，该第二导电率类型是 N^+，以及，其中该分隔区域 (119) 是 N^+ 型分隔区域 (119)。

14. 如权利要求 10 所述的器件，其中，该第一导电率类型是 P^+，其中，该第一阱器件区域 (115) 是第一 N 阱器件区域 (115)，其中，该第二阱器件区域 (117) 是第二 N 阱器件区域 (117)，其中，该第二导电率类型是 N^+，以及，其中，该分隔区域 (119) 是 P^+ 型分隔区域 (119)。

15. 如权利要求 10 所述的器件，进一步包括 ：

被保护而免于静电释放事件的电路。

16. 如权利要求 15 所述的器件，进一步包括 ：

电路 (170)，耦合到该第一栅极电极 (160) 和该第二栅极电极 (162)，其中，该电路 (170) 设计成 ：在正常操作期间施加第一偏压电压到该第一栅极电极 (160) 与该第二栅极电极 (162) ；以及响应于静电释放事件，停止施加该第一偏压电压到该第一栅极电极 (160)

与该第二栅极电极 (162)。

17. 如权利要求 15 所述的器件，其中，该静电释放保护电路进一步包括：

电路 (170)，耦合到该第一栅极电极 (160) 和该第二栅极电极 (162)，其中，该电路 (170) 设计成：响应于静电释放事件，施加第一偏压电压到该第一栅极电极 (160) 与该第二栅极电极 (162)。

18. 一种操作器件 (200) 的方法，该器件包括被保护而免于静电释放事件的电路 (200)、偏压电路 (270) 以及包括硅衬底 (104) 的静电释放保护器件 (250)，该硅衬底包括：第一导电率类型二极管区域 (116)，设置在该硅衬底 (104) 内；第一阱器件区域 (115)，设置在该硅衬底 (104) 内与该第一导电率类型二极管区域 (116) 串联；分隔区域 (119)，设置在该硅衬底 (104) 内与该第一阱器件区域 (115) 串联；第二阱器件区域 (117)，设置在该硅衬底内与该分隔区域 (119) 串联；第二导电率类型二极管区域 (118)，设置在该硅衬底 (104) 内，其中，该第二导电率类型二极管区域 (118) 设置在该硅衬底 (104) 内与该第二阱器件区域 (117) 串联；第一栅极电极 (260)，设置在该硅衬底 (104) 的该第一阱器件区域 (115) 之上；以及第二栅极电极 (262)，设置在该硅衬底 (104) 的该第二阱器件区域 (117) 之上，该方法包括：

在正常操作期间，经由该偏压电路 (270)，施加第一偏压电压到该第一栅极电极 (160) 与该第二栅极电极 (162)，以配置该硅衬底 (104) 成为一对顺向偏压二极管；以及

响应于该静电释放事件，去除施加在该第一栅极电极 (260) 和该第二栅极电极 (262) 的该第一偏压电压，而配置该硅衬底 (104) 成为单一顺向偏压二极管。

19. 一种操作器件 (400) 的方法，该器件包括被保护而免于静电释放事件的电路 (400)、偏压电路 (470) 以及包括硅衬底 (104) 的静电释放保护器件 (450)，该硅衬底包括：第一导电率类型二极管区域 (116)，设置于该硅衬底 (104) 内；第一阱器件区域 (115)，设置于该硅衬底 (104) 内与该第一导电率类型二极管区域 (116) 串联；分隔区域 (119)，设置于该硅衬底 (104) 内与该第一阱器件区域 (115) 串联；第二阱器件区域 (117)，设置于该硅衬底内与该分隔区域 (119) 串联；第二导电率类型二极管区域 (118)，设置在该硅衬底 (104) 内，其中，该第二导电率类型二极管区域 (118) 设置在该硅衬底 (104) 内与该第二阱器件区域 (117) 串联；第一栅极电极 (460)，设置在该硅衬底 (104) 的该第一阱器件区域 (115) 之上；以及第二栅极电极 (462)，设置在该硅衬底 (104) 的该第二阱器件区域 (117) 之上，该方法包括：

响应于该静电释放事件，经由该偏压电路 (470)，施加第一偏压电压到该第一栅极电极 (460) 与该第二栅极电极 (462)，以配置该硅衬底 (104) 成为顺向偏压二极管。

静电释放保护器件及制造包含静电释放保护器件的半导体器件的方法

技术领域

[0001] 本发明大致上系关于保护电路使其免于静电释放事件造成的影响、静电释放保护器件以及制造包含静电释放保护器件的半导体器件之方法。

背景技术

[0002] 当半导体技术超越130nm跟90nm技术而朝向65nm、45nm、32nm、以及甚至更微小的程度迈进时，输入/输出(I/O)垫以及其局部线夹(localclamps)和供应线夹(supply clamps)之静电释放(ESD)的保护变得更有挑战性。这对于绝缘体上硅(silicon-on-insulator，SOI)技术尤其真实，此技术被期待是较块状(bulk)技术为较佳者。

[0003] ESD事件系关于在短时间之内电流的电性释放现象，在此期间大量的电流被供应到半导体结构内。在ESD事件期间，ESD保护器件保护半导体结构。理想的ESD保护器件在常态电路的操作期间的操作类似开路电路，但是在ESD放电期间则像是短路电路，分流ESD所引起的电流远离受到保护的半导体结构。然而这种理想的行为在实际的实作中是不可能的，只有ESD保护器件极为接近这种行为。

[0004] 现今的ESD保护器件呈现出大量的缺点，举例而言，有些ESD保护电路是无法被接受的，因为他们遭受到高漏电流以及高电容负载。

[0005] 因此，期望提供一种呈现出低漏电流以及低电容负载的ESD保护器件。也期望提供一种能缩减该器件尺寸的ESD保护器件。除此之外，期望提供一种方法使用改善的ESD保护器件以保护半导体结构免于ESD事件的影响。也期望提供一种方法用以制作ESD保护器件，以减低或消除与传统场效二极管(Field Effect Diode；FED)制作方法有关之严格的制作限制。再者，本发明之其它期望之特征与特性，从接下来的本发明之实施方式跟附加的申请专利范围，并配合本发明的随附图式与先前技术，将会变得显而易见。

发明内容

[0006] 根据本发明例示性的实施例，系提供了一种器件。该器件包括：硅衬底、第一栅极电极以及第二栅极电极。第一导电率类型二极管区域(conductivity-type diode region)设置在该硅衬底内。第一阱器件区域(well region)设置在该硅衬底内并与该第一导电率类型二极管区域串联。分隔区域设置在该硅衬底内，并与该第一阱器件区域串联。第二阱器件区域设置在该硅衬底内，并与该分隔区域串联。第二导电率类型二极管区域设置在该硅衬底内。该第二导电率类型二极管区域设置在该硅衬底内，并与该第二阱器件区域串联。该第一栅极电极设置在该硅衬底的该第一阱器件区域之上，而且该第二栅极电极设置在该硅衬底的该第二阱器件区域之上。

[0007] 根据本发明另一例示性实施例，提供一种半导体器件的制作方法，依据本方法，第一栅极电极以及第二栅极电极系形成在硅衬底的第一部分之上，而第一导电率类型离子系

注入该硅衬底的第二部分，以在该硅衬底内定义出第一导电率类型二极管区域。第二导电率类型离子系注入该硅衬底的第三部分，以在该硅衬底内定义出第二导电率类型二极管区域。在注入第一导电率类型离子跟第二导电率类型离子的其中之一步骤中，离子也被注入该第一部分的至少一部分以定义出该第一部分内的分隔区域。该分隔区域将该第一部分分为第一阱器件区域以及第二阱器件区域。该分隔区域系于该第一阱器件区域与该第二阱器件区域之间串联形成。

附图说明

[0008] 以下将配合随附图式叙述本发明，其中相同的组件符号表示相似组件，而其中：

[0009] 图 1 至图 9 系根据本发明之各种例示性实施例，以剖面图说明 ESD 保护器件以及其制作方法步骤；

[0010] 图 10 系输入 / 输出 (I/O) 电路的电路示意图，藉以实作图 9 中的 ESD 保护器件；

[0011] 图 1 至图 3 以及图 11 至图 16 系根据本发明之其它例示性实施例，以剖面图说明 ESD 保护器件以及其制作的方法步骤；以及

[0012] 图 17 系输入 / 输出 (I/O) 电路的电路示意图，藉以实作图 16 的 ESD 保护器件。

具体实施方式

[0013] 下列的实施方式在本质上仅作为例示之用，而并不是为了限制本发明或本发明之应用及用途。该术语“例示 (exemplary)”在这里意指“作为范例、实例或图例”。在此描述作为“例示”之任何实施例并非必然被视为相对于其它实施例之较佳或有利者。以下描述之所有实作 (implementation) 为例示实作以提供熟悉该项技术领域者能够据以制造或使用该发明，并且不意欲限制由本发明之申请范围所定义的本发明之范畴。此外，并不打算受到先前的技术领域、先前技术、发明内容或接下来的实施方式中所呈现的任何明确的或隐含的理论所限制。

[0014] 图 1 至图 9 系根据本发明之各种例示实施例以剖面图说明 ESD 保护器件 150 及其制作之方法步骤。

[0015] 如图 1 所示，根据本发明之实施例的制造过程，一开始先提供半导体结构 102，而在其上跟其中会制作出场效二极管 (Field EffectDiode)。如图 1 之实施例所示，半导体结构 102 可以是块状半导体材质或是绝缘体上覆半导体 (semiconductor-on-insulator, SOI) 结构 102。在图 1 中的 SOI 结构 102，包括了至少一层半导体材料薄层 104，该半导体材料薄层 104 设置在埋设氧化物绝缘层 (buried oxide insulatinglayer)106 上或之上，依序被运送晶片 (carrier wafer) 或衬底 (substrate)108 所支撑，使得埋设氧化物绝缘层 106 设置在运送晶片 108 与半导体层 104 之间。半导体层 104 能够是薄硅层、锗层、砷化镓层，或是其它的半导体材料。在一个实施例中，半导体材料层 104 包括在埋设氧化物绝缘层 106 上的薄单晶硅层 (thin monocrystalline layer of silicon)。薄硅层可以是相当纯的硅材料，或是掺杂杂质掺杂物元素，例如：硼、磷、以及砷，的硅层。在一个实施例中，埋设氧化物绝缘层 106 能够是，举例而言，二氧化硅层，其厚度较佳是约在 50 至 200 奈米之间。薄硅层较佳具有至少大约每平方 1 至 35(ohms) 奥姆的电阻率。

[0016] 在一个实施例中，半导体层 104 的区域 (region)114 能够视需要地轻浓度掺杂 P

型导电性决定杂质(conductivity determining impurities),例如硼。在本发明之例示性的实施例中,P 阱器件区域 (P-well deviceregions)115,117 系以适当的掺杂物掺杂成约 1×10^{16} 到约 $5\times10^{18}cm^{-3}$ 的浓度。如以下所述,区域 114 最后被用以形成 P 阱域 115、117,而 P 阱域 115、117 的掺杂情形会决定流过 ESD 保护器件 150 之半导体材质层 104 的无寄生漏电流 (non-parasitic leakage current) 的阻抗以及导电率。

[0017] 如图 2 所示,栅极绝缘材料层 164、166 系形成位于半导体层 104 之上,而且栅极电极 160、162 系形成位于栅极绝缘材料 164、166 之上。栅极绝缘材料 164、166 能够是热成长 (thermally grown) 氧化硅,或者是,沉积的绝缘体 (诸如 :氧化硅、氮化硅,或是具有相较于高介电常数 (κ) 之二氧化硅的高介电常数 (κ) 绝缘体材料)。“高 -κ 介电系数”材料的例子可包含 :铪 (hafnium ;Hf)、硅酸锆 (zirconium silicates ;ZrSi)、及其氧化物,包含但不限于 :铪氧化物 (HfO_2)、硅酸铪 ($HfSiO_2$)、等等。所沉积的绝缘体可藉由例如 :化学气相沉积 (CVD)、低压化学气相沉积 (LPCVD)、电浆增强型化学气相沉积 (PECVD)、原子层沉积 (ALD) 等方式来沉积。虽然实际厚度能依据实作之电路来决定,但该栅极绝缘体层 164、166 较佳地具有厚度大约为 1 至 10nm。栅极电极 160、162 系藉由沉积、图案化 (patterning)、及蚀刻金属层或多晶硅 (polycrystallinesilicon) 层 (未掺杂之多晶硅层为较佳) 所形成。该多晶硅可以例如藉由在 CVD 的反应中 (诸如 :低压化学气相沉积 (LPCVD)),硅烷 (SiH_4) 的减少而被沉积。

[0018] 在栅极电极 160、162 形成之后,侧壁间隔物 (sidewall spacer)180、182 系形成在栅极电极 160、162 的侧壁上,如图 3 所示。侧壁间隔物 180、182 藉由沉积绝缘材料 (诸如 :氧化硅及 / 或氮化硅) 并接着非等向性蚀刻 (例如反应式离子蚀刻 (reactive ion etching, RIE)) 该绝缘层而形成。氧化硅及氮化硅可在例如 :三氟甲烷 (CHF_3)、四氟化碳 (CF_4)、或是六氟化硫 (SF_6) 等化学作用中被蚀刻。部分或区域的半导体层 104 系被栅极结构 160、164、180 以及 162、166、182 所覆盖,使得这些区域将保持为 P 型半导体材料 114。

[0019] 如图 4 所示,屏蔽材料层 (例如光阻剂层) 可以被敷设并图案化 (patterned) 以暴露出部分的半导体层 104,并且覆盖半导体层 104 的其它部分。在这个实施例中,图案化后之屏蔽材料层 130 位于第二栅极结构 162、166、182 以及衬底的第一部分之上,此部分最后被用于产生 N^+- 型阴极区域 118。

[0020] 使用此图案化后之屏蔽材料层 130 作为离子注入屏蔽,半导体层 104 之暴露部分,如箭头所示,系以 P- 型导电率决定杂质进行杂质掺杂而产生高浓度掺杂 P^+- 型阳极区域 116 跟高浓度掺杂 P^+- 型分隔区域 119,如图 5 所示。高浓度掺杂 P^+- 型分隔区域 119 系形成在 P 阱器件区域 114 的一部分中,位于栅极电极 160、162 之间。在一个实施例中,P^+- 型分隔区域 119 延伸通过 P 阱器件区域 114 直到埋设氧化物层 106。藉由产生出高浓度掺杂 P^+- 型分隔区域 119,P 阱域器件 114 被分成第一 P 阱器件区域 115 以及第二 P 阱器件区域 117。杂质掺杂可以藉由注入掺杂物离子 (如硼) 以及 (可视需要地) 接着热退火而发生。P^+- 型区域是掺杂浓度高于 P 阱器件区域 115、117 的区域。在本发明之例示的实施例中,P^+- 型阳极区域以及 P^+- 型分隔区域 119 系以适合的掺杂物掺杂成约为 10^{20} 至约 $10^{21}cm^{-3}$ 的浓度。

[0021] 高掺杂浓度 P^+- 型分隔区域 119 作用为障壁 (barrier) 使用,将 P 型器件区域 115 与 P 型器件区域 117 分隔开来,并帮助防止偏压电压 (biasvoltage)(系施加于栅极电极

160、162 的偏压）影响位于其它栅极电极 160、162 之下的区域。这样的配置允许施加于栅极电极 160、162 的偏压电压去控制器件区域 115、117 的相关导电率，而不会显著地影响高掺杂浓度 P^+- 型分隔区域 119 的导电率。P^+- 型分隔区域 119 的掺杂浓度越高，则当偏压电压施加于栅极电极 160、162 时，P^+- 型分隔区域 119 要反转 (invert) 的抵抗性就越大。（亦即，要反转高掺杂浓度 P^+- 型分隔区域 119 会变得困难）。

[0022] 虽然没有显示出来，但在注入 P 型导电率决定杂质后，图案化后之屏蔽材料 130 会被去除。如图 6 所示，屏蔽材料 140 的另一层（举例而言，能够是光阻剂层）被敷设而且图案化以暴露部分的半导体层 104，以及覆盖半导体层 104 的其它部分。在这个实施例中，图案化后之屏蔽材料层 140 位于第一栅极结构 160、164、180、第二栅极结构 162、166、182 的至少一部分、阳极区域 116 以及分隔区域 119 之上，使得阳极区域 116 以及分隔区域 119 的掺杂在接下来的注入步骤中，没有改变。

[0023] 如图 7 所示，使用这个图案化后之屏蔽材料层 140 作为离子注入屏蔽层，半导体层 104 能够，如箭头所示，以 N 型导电率决定杂质进行杂质掺杂去产生 N^+ 型的阴极区域 118。杂质掺杂能够藉由注入掺杂物离子（例如：磷、砷）以及（可视需要地）后续的热退火而发生。N^+ 型区域的掺杂浓度比 P 阱器件区域 115、117 来的高。在本发明的例示性实施例中，N^+ 型的阴极区域可以适当的掺杂物掺杂成约 10^{20} 到约 $10^{21}cm^{-3}$ 的浓度。

[0024] 如图 8 所示，在注入 N 型导电率决定杂质后，图案化后之屏蔽材料 140 被去除。在图 8 中最后所产生的结构 150 接着（可视需要地）被退火，例如使用快速热退火 (Rapid Thermal Annealing，RTA) 制程，以造成在高掺杂浓度 P^+ 型阳极区域 116、高掺杂浓度 P^+ 型分隔区域 119 以及 N^+ 型阴极区域 118 中掺杂物的向外侧向扩散，如图 9 所示。

[0025] 在图 9 中的制程阶段，半导体衬底 104 包括 P^+ 型阳极区域 116、N^+ 型阴极区域 118、以及被高掺杂浓度 P^+- 型分隔区域 119 彼此分隔的一对场效二极管 (field effect diodes，FED)。半导体层 104 的 P^+ 型阳极区域 116 被第一 P 阱器件区域 115、高掺杂浓度 P^+ 型分隔区域 119、以及第二 P 阱器件区域 117 从 N^+ 型阴极区域 118 分隔开来。每一个 FED 包括形成于 P 阱器件区域 115、117 之上的栅极电极结构，其中每一个栅极电极结构包括栅极绝缘体层 164、166、位于栅极绝缘层 164、166 之上的栅极电极 160、162、以及邻接栅极电极 160、162 的第一侧壁跟第二侧壁的间隔物 180、182。

[0026] 虽然未图标，器件 150 可以藉由下列步骤完成，举例而言，在 P^+ 型阳极区域 116、栅极电极 160、162、N^+ 型阴极区域 118 上形成金属硅化物接触件 (contact)；沉积层间介电层 (interlayer dielectric layers)；平坦化层间介电层；以及蚀刻接触导孔 (contact vias) 或是开口 (opening) 贯穿介电层，到达位于 P^+ 型阳极区域 116、栅极电极 160、162、以及 N^+ 型阴极区域 118 上的金属硅化物接触件。然后能够藉由在接触开口中形成的接触插塞 (contact plug) 以及互连金属沉积和图案化而制成对于 P^+ 型阳极区域 116、栅极电极 160、162、以及 N^+ 型阴极区域 118 的电性接触件。在图 9 中，接触插塞系以组件符号 192、194 至 196 来代表。接触插塞 195、196 最后能够连接到偏压电路 170，此电路能够在不同模式的操作期间控制器件 150 的操作（亦即，ESD 操作对上 non-ESD 操作）。

[0027] 偏压电路 170 操作以控制施加于栅极电极 160、162 的偏压电压。偏压电路 170 施加于栅极电极 160、162 的偏压电压会依照电路的操作状态而决定，此电路是 ESD 保护器件 150 所保护而免于 ESD 事件的电路。依照栅极电极 160、162 的偏压情形，ESD 保护器件 150

的半导体层 104 会呈现出不同的 PN 接面 (P-N junction) 设置。ESD 保护器件 150 是常态开启 (normally-on) 之增强场效二极管，意即在一般操作期间，ESD 保护器件 150 是操作在偏压状态，而在 ESD 事件发生期间，停止偏压情形以保护核心电路（未图标）来预防 ESD 事件。表 1 概括了在不同的操作模式期间，ESD 保护器件 150 的操作情形。

[0028]

	衬底区域					
	116	115	119	117	118	结果
操作模式						
ESD	P^+	P	P^+	P	N^+	二极管
正常模式	P^+	N (逆向)	P^+	N (逆向)	N^+	串联二极管

[0029] 表 1

[0030] 在没有 ESD 事件时之正常电路操作或是“non-ESD 操作”期间，偏压电路 170 会将高正向偏压施加到栅极电极 160、162 二者上，这起初会造成在此栅极电极 160、162 之下的 P 阱器件区域 115、117 的空乏 (depletion)，而随着高偏压电压增加，最终会反转 P 阱器件区域 115、117 的表面导电率，以致于 P 阱器件区域 115、117 会表现的像是 N 型材料。这导致串联的 P+N P+N N+ 剖面结构横越半导体层 104 内部。一个 PN 接面形成在 P^+ 型阳极区域 116 和器件区域 115 之间，另一个 PN 接面则形成在器件区域 115 和高掺杂浓度 P^+ 型分隔区域 119 之间，同时另外一个 PN 接面系形成在器件区域 117 和高掺杂浓度 P^+ 型分隔区域 119 之间。ESD 保护器件 150 系经过配置，使得 P^+ 型阳极区域 116 相对于 N^+ 型阴极区域 118 为正向偏压。因此，半导体层 104 基本上被配置得像是顺向偏压二极管 (forward-biased diode)124 串联另一个顺向偏压二极管 126，而半导体层 104 的操作像是 PNPN(SCR) 结构，在此结构中，其导通 (turn-on) 电压是依照中央逆向偏压 (central reversebias)PN 接面的能阶障壁高度而决定，此 PN 接面形成于器件区域 115 以及高掺杂浓度 P^+ 型分隔区域 119 之间。因为 ESD 保护器件 150 的操作在正常操作期间像是两个二极管串联（或是当成 PNPN SCR 结构），故 ESD 保护器件 150 有相当高的阻抗而抵抗无寄生漏电流通过 ESD 保护器件 150 的半导体材质层 104。ESD 保护器件 150 只有在施加于二极管 124、126 的电压大于 1.4 伏特的情形下，才会开始导电（二极管 124 以及 126 各分配 0.7 伏特）。

[0031] 因为 ESD 保护器件 150 有串联的两个 PN 接面，所以由于两个二极管的总电容小于各别二极管的电容，ESD 保护器件 150 的总电容会减小。因为射频输入 / 输出电路 (RF I/O circuit) 对 ESD 的负载电容敏感，故在一般正常操作下，串联二极管的低电容允许 ESD 保护器件 150 在高速、或是射频输入 / 输出 (I/O) 垫以及低漏电 / 低功率垫中使用。在正常操作期间，ESD 保护器件 150 相当高的阻抗使得 ESD 保护器件 150 像是关于所保护之核心

电路的开路电路而有效地工作。

[0032] 相比之下，当 ESD 事件发生的时候，偏压电路 170 停止施加高偏压电压，使得栅极电极 160、162 变成其无偏压 (unbiased) 或是“电性浮动 (electrically floating)”状态。这会引起在栅极电极 160、162 之下之阱器件区域 115、117 的表面回到或是反转成 P 型，而导致串联的 P+P P+P N+ 剖面结构横越半导体层 104（亦即，半导体层 104 在 N^+ 型阴极区域 118 之间和 P 阱器件区域 117 之间的接面处，具有一个 PN 接面位于 P^+ 型阳极区域 116 跟 N^+ 型阴极区域 118 之间）。所以，在 ESD 事件发生期间，ESD 保护器件 150 行为像是单一的顺向偏压二极管，而且 ESD 保护器件 150 的开启电压 (on-voltage) 被降低到约 0.7 伏特。相应地，在 ESD 事件发生期间，ESD 保护器件 150 有相当低的阻抗，并且允许横越 ESD 保护器件 150 的半导体层 104 之电流传导。如下面将要描述者，ESD 保护器件 150 会像是短路电路般有效地运作，以将 ESD 事件所产生的电流短路接地，从而保护核心电路。

[0033] 如图 9 所示之器件 150，能够以另外的互补式导电率类型之实施例来制作，其中至少有一部分的初始衬底是以 N 型导电率决定杂质（例如磷或砷）进行轻浓度掺杂，所以是 N 型衬底 104。在这个实施例中，阱器件区域 115、117 是 N 阱器件区域 115、117，而且分隔区域 119 是以 N 型杂质掺杂，以形成高掺杂浓度 N^+ 型分隔区域 119。ESD 保护器件 150 系经过配置，使得 P^+ 型阳极区域 116 相对于 N^+ 型阴极区域 118 是正向偏压的。表 2 说明的是，当衬底 104 是 N 型衬底 104、区域 115、117 是 N 型材料且分隔区域 119 是 N^+ 型材料时，FED150 在常态开启 (normally-on) 下之操作情况。

[0034]

	衬底区域					
	116	115	119	117	118	结果
操作模式						
ESD	P^+	N	N^+	N	N^+	二极管
正常	P^+	P (反转)	N^+	P (反转)	N^+	串联二极管

[0035] 表 2

[0036] 在正常电路操作期间，偏压电路 170 将高负偏压电压施加到栅极电极 160、162，对于位于栅极电极 160、162 之下的 N 阱器件区域 115、117，此电压最初会引起空乏，而随着高偏压电压的增加，最终会反转 N 阱器件区域 115、117 的表面导电率，使得 N 阱器件区域 115、117 会表现得像是 P 型材料。这会导致串联 P+P N+P N+ 剖面横越半导体层 104。一个 PN 接面系形成在器件区域 115 和高浓度掺杂 N^+ 型分隔区域 119 之间，另一个 PN 接面系形成在高浓度掺杂 N^+ 型分隔区域 119 和器件区域 117 之间，而另一个 PN 接面系形成在器件区域 117 和阴极区域 118 之间。因此，在正常操作期间，半导体层 104 系配置成像是串联的两个顺向偏压 (forward-biased) 二极管，而且 ESD 保护器件 150 有相当高的阻抗，使 ESD 保护器件 150 更能抵抗电流传导通过 ESD 保护器件 150 的半导体衬底 104。因此，ESD 保护器件 150

像是关于所保护的核心电路的开路电路而有效地工作。

[0037] 相比之下，当 ESD 事件发生时，偏压电路 170 停止施加高偏压电压，导致栅极电极 160、162 变成其无偏压或“电性浮动”状态。这会导致在栅极电极 160、162 下的阱器件区域 115、117 回到或是反转到 N 型，而导致在半导体衬底 104 内横越之串联 P+N N+N N+ 剖面（亦即，半导体层 104 具有一个 PN 接面位于 P+ 型阳极区域 116 跟 N 阱器件区域 115 之间）。因此，在 ESD 事件发生期间，ESD 保护器件 150 的行为会像是单一顺向偏压的二极管，而且 ESD 保护器件 150 的开启电压被降低至约 0.7 伏特。相对应地，在 ESD 事件发生期间，ESD 保护器件 150 有相当低的阻抗以允许电流传导流过 ESD 保护器件 150 的半导体层 104。因此，ESD 保护器件 150 可以有效地当成短路电路操作，使得 ESD 事件所产生的电流短路接地，藉以保护核心电路。

[0038] 以下将针对图 10 说明 ESD 保护器件 150 作为局部定位电路 (localclamping circuit) 使用的情况。

[0039] 图 10 是输入 / 输出 (input/output，I/O) 电路 200 的电路示意图，其用来实施 ESD 保护器件 250。ESD 保护器件 250 与图 9 的 ESD 保护器件 150 相同。I/O 电路 200 包括 I/O 垫 252、ESD 二极管 240、ESD 保护器件 250、偏压电路 270、正供电导轨 (VDD)280、负供电导轨 (VSS)290、被保护免于 ESD 事件的电路 275、以及供应线夹 (supply clamp)281。

[0040] 在这实施例中，ESD 保护器件 250 系实作为局部定位电路，以提供 ESD 电流的局部定位而降低 I/O 垫 252 上的电压。局部定位意指 ESD 电流在 I/O 垫 252 处被分流至地面。换句话说，以导轨为基础之定位 (rail-based clampimg) 是不需要的，而且没有必要通过 ESD 电流穿过供电导轨 (supply rail)280、290 到供应线夹 281 然后回到地面。在这个例子中，ESD 保护器件 250 能够提供适当的保护，而不用增加 I/O 垫 252 的定位电压，以及，因此相较于标准 ESD 保护器件，其能够以较小的面积来实施。为了进一步说明，在 ESD 事件期间，ESD 在 I/O 垫 252 与地面之间的电压系藉由 ESD 事件之路径中的组件电阻来决定。由于局部定位，ESD 的电压只由 ESD 保护器件 250 的电阻来决定，而该电阻与 ESD 保护器件 250 的宽度成比例。相较之下，在以导轨为基础之定位方式中，ESD 的电压系由总和电压降决定，此总和电压降是因跨越二极管和供应导轨 280、供应导轨 280 到供应线夹 281 的电阻、供应线夹 281 到地面的电阻所造成的。为了使两种方式在 I/O 垫 252 的电压都相同，以导轨为基础的方式中，ESD 保护器件必须比在局部定位方式中的为宽，以补偿路径中多出来的电阻。

[0041] 如以上所述，根据电路是否正常操作或是否有 ESD 事件发生，ESD 保护器件 250 会表现出不同的行为。当电路是正常操作时，偏压电路 270（在本实施例中是一个 PMOSFET）施加高偏压电压到 ESD 保护器件 250 的栅极 260、262。因此，在正常操作期间，ESD 保护器件 250 的操作像是两个二极管的串联组合，拥有相当高的阻抗，以及抵抗传导流过 ESD 保护器件 250 的半导体材料层 104 之电流。所以 ESD 保护器件 250 在正常电路操作期间并不开始传导（亦即，表现出开路电路的样子）。在正 ESD 事件 (positive ESD event) 期间，大电压被施加到 I/O 垫 252，而引起大电流流动。大电压导致 ESD 保护器件 250 在其无偏压状态下操作，在此状态下，ESD 保护器件 250 的栅极 260、262 都不是偏压（亦即，ESD 保护器件 250 的栅极 260、262 实质上是浮动 (floating) 或是接地）。相应地，如上所述，ESD 保护器件 250 的操作像是单一顺向偏压二极管，具有相当低的阻抗，使其相当容易引起电流的传导，此电流会流过 ESD 保护器件 250 中的半导体材料层 104。因 ESD 事件所引起的电流从二极

管之阳极 292 流经二极管之阴极 294 再流到地面。

[0042] ESD 二极管 240 能够在相反极性情况 (opposite polarity situation)(亦即,负 ESD 事件 (negative ESD event)) 期间用来提供 ESD 保护,其中在 I/O 垫 252 上的电压被拉到低于接地情形,从而顺向偏压了 ESD 二极管 240。在此情形下,ESD 保护器件 250 是被逆向偏压的,而且毫无作用。

[0043] 虽然没有显示出来,ESD 保护器件 250 也能够在供应线夹 281 内实施,以提供高电压。因为在 ESD 操作期间,ESD 保护器件 250 当成单一顺向偏压二极管操作,使用在供应线夹 281 中的 ESD 保护器件 250,允许删减掉至少一个在供应线夹 281 中的二极管,因此减少了供应线夹 281 百分之 25 到百分之 50 的面积。此外,因为能够使用较少二极管数量来实作供应线夹 281,故在 ESD 操作期间,相较于传统的供应线夹,横越过供应线夹 281 的电压降会较低或降低。

[0044] 图 1 至图 3 以及图 11 至图 16 系根据本发明其它例示性实施例以剖面图说明 ESD 保护器件 350 以及制作之方法步骤。

[0045] 图 1 至图 3 系如上述,且为了简洁之故,此处不再重复述之。如图 11 所示,屏蔽材料层 330(举例而言,可以是光阻剂层) 被敷设以及图案化以暴露出部分的半导体层 104,而覆盖半导体层 104 的其它部分。在此实施例中,图案化后之屏蔽材质层 330 位于至少一部分的第一栅极结构 160、164、180、第二栅极结构 162、166、182、以及第一部分的衬底之上,此部分衬底最终被用于产生 N^+ 型阴极区域 318。

[0046] 使用此图案化后之屏蔽材料层 330 当成离子注入屏蔽,半导体层 104 的暴露部分能够以 P- 型导电率决定杂质做杂质掺杂,以产生出高掺杂浓度 P^+ 型阳极区域 316,如图 12 所示。在本发明之例示性实施例中,杂质掺杂能够如以上所述图 5 相关之方式来发生。

[0047] 在注入 P 型导电率决定杂质后,图案化后之屏蔽材料 330 被去除,而另外一屏蔽材料层 340(举例而言,可以是光阻剂层) 被敷设并图案化以暴露出部分的半导体层 104,而且覆盖半导体层 104 的其它部分,如图 13 所示。在此实施例中,图案化后之屏蔽材料层 340 位于至少一部分的第一栅极结构 160、164、180、以及高掺杂浓度 P^+ 型阳极区域 316 之上,使得高掺杂浓度 P^+ 型阳极区域 316 之掺杂不会在接下来的注入步骤中改变。

[0048] 使用此图案化后之屏蔽材料层 340 当做离子注入屏蔽,半导体层 104 的暴露部分系以 N 型电导率决定杂质进行掺杂,以产生高掺杂浓度 N^+ 型阴极区域 318 以及高掺杂浓度 N^+ 型分隔区域 319,如图 14 所示。在本发明之例示性实施例中,杂质掺杂能够如上述相关于图 7 的注入方式来发生。高掺杂浓度 N^+ 型分隔区域 319 系形成于 P 阱器件区域 114 的一部分中,此部分位于栅极电极 160、162 之间。藉由产生高掺杂浓度 N^+ 型分隔区域 319,P 阱器件区域 114 被分成第一 P 阱器件区域 115 以及第二 P 阱器件区域 117。在一个实施例中,N^+ 型分隔区域 319 延伸通过 P 阱器件区域 114 到达埋设氧化物层 106。高掺杂浓度 N^+ 型分隔区域 319 作用为障壁,将 P 阱器件区域 115 与 P 阱器件区域 117 分隔开来,帮助避免偏压电压 (此电压是施加到栅极电极 160、162) 影响到栅极电极 160、162 下方的区域。这种配置允许施加于栅极电极 160、162 的偏压电压去控制 P 阱器件区域 115 跟 P 阱器件区域 117 的相对导电率,而不会显著地影响高掺杂浓度 N^+ 型分隔区域 319 的导电率。分隔区域 319 的掺杂浓度越高,当偏压电压被施加到栅极电极 160、162 上时,其对反转 (inversion) 的抵抗就越大 (亦即,就是反转高掺杂浓度 N^+ 型分隔区域 319 越困难)。

[0049] 如图 15 所示，在注入 N 型导电率决定杂质之后，图案化后之屏蔽材料 340 被去除。在图 14 中产生的结构 350，接着能（视情况需要地）被退火（例如快速热退火 (RTA) 制程）用以导致在高掺杂浓度 P^+ 型阳极区域 316、高掺杂浓度 N^+ 型分隔区域 319、以及 N^+ 型阴极区域 318 中掺杂物的向外侧向扩散，如图 16 所示。

[0050] 在图 16 所示的处理阶段，ESD 保护器件 350 的剖面结构与图 9 中的 ESD 保护器件相同，除了分隔区域 319 的掺杂材料不同之外，而因此 ESD 保护器件 350 作为“常态关闭 (normally-off)”增强场效二极管 (FED) 操作。

[0051] 半导体衬底 104 包括 :P^+ 型阳极区域 316 以及 N^+ 型阴极区域 318。半导体层 104 的 P^+ 型阳极区域 316 被第一 P 阱器件区域 115、高掺杂浓度 N^+ 型分隔区域 319、以及第二 P 阱器件区域 117，从 N^+ 型阴极区域 318 分隔开来。栅极电极结构系形成于 P 阱器件区域 115、117 之上，其中每一个栅极电极结构包括栅极绝缘体层 164、166、位于栅极绝缘体层 164、166 之上的栅极电极 160、162、以及紧邻栅极电极 160、162 的第一跟第二侧壁的间隔物 (spacer)180、182。

[0052] 虽然未显示出来，但是器件 350 能够如以上关于图 9 的叙述方式完成。在图 16 中，接触插塞以组件符号 192、194 至 196 来表示。接触插塞 195、196 最后能够连接到偏压电路 170，偏压电路 170 用以在不同的操作模式期间控制器件 350 之操作（亦即，ESD 操作对上 non-ESD 操作）。

[0053] 操作偏压电路 170 以控制施加于栅极电极 160、162 的偏压电压。偏压电路 170 施加于栅极电极 160、162 的偏压电压，会依 ESD 保护器件 350 所保护、免于 ESD 事件之电路的操作状态而决定。视栅极电极 160、162 的偏压情形，ESD 保护器件 350 的半导体层 104 会表现出不同的 PN 接面设置。ESD 保护器件 350 是常态关闭 (normally-off) 增强场效二极管 (FED)，意指在正常操作期间，ESD 保护器件 350 是一般的、没有偏压的状态，而在 ESD 事件期间，ESD 保护器件 350 的偏压会保护核心电路（未图标）来预防 ESD 事件。表 3 概括了当分隔区域 319 是 N^+ 型材料时，在其不同的操作模式下，ESD 保护器件 350（或是“常态关闭加强 FED”）的操作情形。

[0054]

	衬底区域					
	316	115	319	117	318	结果
操作模式						
ESD	P^+	N (反转)	N^+	N (反转)	N^+	二极管
正常	P^+	P	N^+	P	N^+	串联二极管

[0055] 表 3

[0056] 在正常电路操作期间或是“non-ESD 操作”期间，偏压电路 170 并没有施加偏压电

压，使得栅极电极 160、162 变成是无偏压或是“电性浮动”状态。这会导致在栅极电极 160、162 下的阱器件区域 115、117 维持 P 型，而导致串联的 P+P N+P N+ 的剖面结构横越半导体层 104。一个 PN 接面系形成在器件区域 115 和高掺杂浓度 N^+ 型分隔区域 319 之间，另外一个 PN 接面系形成在器件区域 117 跟高掺杂浓度 P^+ 型分隔区域 319 之间，而另一个 PN 接面形成在器件区域 117 跟高掺杂浓度 N^+ 型阴极区域 318 之间。ESD 保护器件 150 系经过配置，使得 P^+ 型阳极区域 316 相对于 N^+ 型阴极区域 318 为正向偏压。因此，在正常操作期间，半导体层 104 配置成像是顺向偏压二极管 124 串联另一个顺向偏压二极管 126，而且半导体层 104 的操作像是 PNPN(SCR) 结构，其导通电压 (turn-on voltage) 视中央逆向偏压 (central reverse bias)PN 接面的能障高度 (energy barrier height) 而定，该中央逆向偏压 PN 接面系形成于器件区域 115 跟高掺杂浓度 P^+ 型分隔区域 119 之间。因为 ESD 保护器件 150 在正常操作期间的操作像是串联的两个二极管（或者，像是 PNPN SCR 结构），故 ESD 保护器件 350 有相当高的阻抗，而且抵抗电流传导流过 ESD 保护器件 350 的半导体材料层 104。如上所述，ESD 保护器件 350 能够被用在高速或 RF I/O 垫，以及低漏电 / 低功率垫。ESD 保护器件 350 像是关于所保护的核心电路的开路电路而有效地工作。

[0057] 相较之下，当 ESD 事件发生时，偏压电路 170 施加高正偏压电压到栅极电极 160、162，此偏压电压最初会导致在栅极电极 160、162 之下的 P 阱器件区域 115、117 空乏产生，以及随着偏压电压增加，最终反转 P 阱器件区域 115、117 的表面导电率，让 P 阱器件区域 115、117 表现得像 N 型材料。这会导致串联的 P+N N+N N+ 剖面结构横越半导体层 104，使得半导体层 104 有一个 PN 接面位于 N 阱器件区域 115 跟 P^+ 型阳极区域 316 之间。因此，在 ESD 事件期间，ESD 保护器件 350 表现得像是单一顺向偏压二极管，而且其开启电压 (on-voltage) 降低到约 0.7 伏特。相应地，在 ESD 事件期间，相当容易引起电流导通流过 ESD 保护器件 350 的半导体材料层 104，而因此 ESD 保护器件 350 有效地操作为短路电路，可以将 ESD 事件造成的电流短路到地面，因此藉以保护核心电路。

[0058] 在图 15 中所示的器件 350 能够以另外的互补式导电率类型实施例来制作，其中起初的衬底是以 N 型导电率决定杂质作轻浓度掺杂，所以是 N 型衬底 104。在这实施例中，阱器件区域 115、117 是 N 阱器件区域 115、117，而且分隔区域 319 是以 P 型杂质掺杂以形成高掺杂浓度 P^+ 型分隔区域 319。ESD 保护器件 350 系经过配置，使得 P^+ 型阳极区域 316 相对于 N^+ 型阴极区域 318 是正向偏压。表 4 说明了当衬底 104 是 N 型衬底 104、区域 115、117 是 N 型材廖以及分隔区域 319 是高掺杂浓度 P^+ 型材料时，常态关闭之 FED350 的操作情形。

[0059]

衬 底区 域

[0060]

	316	115	319	117	318	结果
操作模式						
ESD	P^+	P (反转)	P^+	P (反转)	N^+	二极管
正常	P^+	N	P^+	N	N^+	串联二极管

[0061] 表 4

[0062] 在正常电路操作期间或是没有 ESD 事件发生时的“non-ESD 操作”期间，偏压电路 170 没有施加偏压电压，以致于栅极电极 160、162 处在无偏压或是“电性浮动”状态。这会导致在栅极电极 160、162 下的阱器件区域 115、117 保持 N 型，导致串联的 P+N P+N N+ 剖面横越半导体层 104。一个 PN 接面系形成在 P^+ 型阳极区域 316 和 N 型器件区域 115 之间，另一个 PN 接面形成在 N 型器件区域 115 和高掺杂浓度 P^+ 型分隔区域 319 之间，而另外有一 PN 接面形成在器件区域 117 跟高掺杂浓度 P^+ 型分隔区域 319 之间。因此，半导体层 104 系配置得像是顺向偏压二极管 324 与另外一个顺向偏压二极管 326 串联起来。因为 ESD 保护器件 350 的阻抗是相当的高，所以 ESD 保护器件 350 抵抗了电流传导流过 ESD 保护器件 350 的半导体材料层 104。因此，ESD 保护器件 350 会像是关于所保护的核心电路的开路电路而有效地工作。

[0063] 相比之下，当 ESD 事件发生时，偏压电路 170 施加高负偏压电压到栅极电极 160、162，此偏压最初会引起在栅极电极 160、162 下的 N 阱器件区域 115、117 之空乏，而随着高偏压电压的增加，最终会反转 N 阱器件区域 115、117 的表面导电率，以致于 N 阱器件区域 115、117 表现得像 P 型材料。这会导致串联的 P+P P+P N+ 横剖面横跨半导体层 104，而使得半导体层 104 有一个 PN 接面在 P 阱器件区域 117 和 N^+ 型阴极区域 318 之间。因此，在 ESD 事件期间，ESD 保护器件 350 表现得像单一顺向偏压二极管，而且 ESD 保护器件 350 的开启电压 (on-voltage) 被降至约 0.7 伏特。相应地，在 ESD 事件期间，ESD 保护器件 350 有相当低的阻抗，并且允许电流传导流过 ESD 保护器件 350 的半导体材料层 104，此即意指，ESD 保护器件 350 有效地作用为短路电路，将 ESD 事件所引起的电流短路到地面，藉以保护核心电路。

[0064] ESD 保护器件 350 被使用成局部定位电路的一个实作将在下面针对图 17 加以讨论。

[0065] 图 17 系输入 / 输出 (I/O) 电路 400 的电路示意图，此电路 400 用以实施 ESD 保护器件 450。ESD 保护器件 450 与图 16 中的 ESD 保护器件 350 相同。如上述，I/O 电路 400 包括了 I/O 垫 452、ESD 二极管 440、ESD 保护器件 450、偏压电路 470、正供电导轨 (VDD)480，负供电导轨 (VSS)490、被保护免于 ESD 事件的电路 475、以及供应夹线 (supplyclamp)481。在此实施例中，ESD 保护器件 450 系相对于 I/O 垫 452 实作为局部定位电路，如上所描述。

[0066] 当电路在正常操作下，偏压电路 470(在此实施例中是一个反相器 (inverter)) 并

未施加任何电压到ESD保护器件450的栅极460、462，因此使得ESD保护器件450以无偏压状态操作。因此，在正常操作期间，ESD保护器件450的操作像是串联的两个二极管。串联的二极管有相当高的阻抗，而且抵抗电流传导流过ESD保护器件450。在正ESD事件期间，大电压被施加到I/O垫452，导致大电流流向ESD保护器件450。在正ESD事件期间，施加到I/O垫452的大ESD电压导致偏压电路470去施加高偏压电压到ESD保护器件450的栅极460、462（亦即，施加到I/O垫452的大电压控制了到栅极460、462的电压）。因此，ESD保护器件450操作起来像是单一顺向偏压二极管，而电流从阳极492流经阴极494再流到地面。因为ESD保护器件450操作起来像是单一顺向偏压二极管，所以在ESD事件期间，ESD保护器件450能较容易传导电流（亦即，有效地表现如同短路电路）。ESD二极管440被用在相反极性情况下(opposite polarity situation)（亦即，负ESD事件），I/O垫452的电压被拉低到低于接地的情形下，此电压会对ESD二极管440顺向偏压。在这个情形下，ESD保护器件450是逆向偏压，而且没有作用。如上面所述，ESD保护器件450也能够在供应夹线481内实施，以提供高电压。

[0067] 因此，已经揭露一些ESD保护器件450（或是“增强FED”），这些ESD保护器件450可以与不同的I/O电路实施。在此所揭露的不同实施例的ESD保护器件能够与不同的制程整合技术实施，并且也可兼容于标准SOI制作技术，使得不需要特殊的屏蔽或注入。ESD保护器件能够提供ESD保护给以SOI技术制作的I/O电路，此I/O电路需要高速以及低漏电流。在正常操作期间，由于存在有PNPN结构，在此揭露的ESD保护器件表现出低负载的电容以及低漏电。换句话说，因为两个二极管以串联方式使用，所以串联组合的电容会比单一保护二极管来的低。较低电容允许ESD保护器件被用于与高速（例如射频(radio-frequency)）I/O垫及/或低漏电/低功率I/O垫结合使用。ESD保护器件也提供通常相较于传统的二极管基础之ESD保护器件较高的电流载体能力。ESD保护器件也使得控制ESD保护器件之阻抗变得较容易，而不必妥协其ESD操作。

[0068] 以SOI技术使用之传统的ESD保护器件，包括SOI二极管、NMOS晶体管、以及硅控整流器(Silicon Controlled rectifiers,SCR)结构。SOI二极管以及SCR结构能够处理大电流但是他们的开启电压不能被控制。NMOS晶体管能够经由栅极偏压来提供可控制的开启电压，但是不能处理大电流。上述的ESD保护器件能够处理大电流，同时拥有栅极可控制阻抗，而这将使得ESD保护器件在大范围的正常操作电压情形下适合于局部定位。

[0069] 虽然已经在本发明的前述实施方式中提出至少一个例示性的实施例，但应该体认到有大量的变化存在着。应该体认到，例示性实施例只是例子，并不欲以任何方式来限制本发明的范围、应用或是配置。当然，前述的实施方式将提供在本发明领域中具通常知识者一个方便的指南，用以实施本发明例示性实施例，应瞭解到，在例示性实施例中所描述之组件的功能与排列组成，可以有多种的变化，将涵盖在本发明所附申请专利范围内和等效内容。

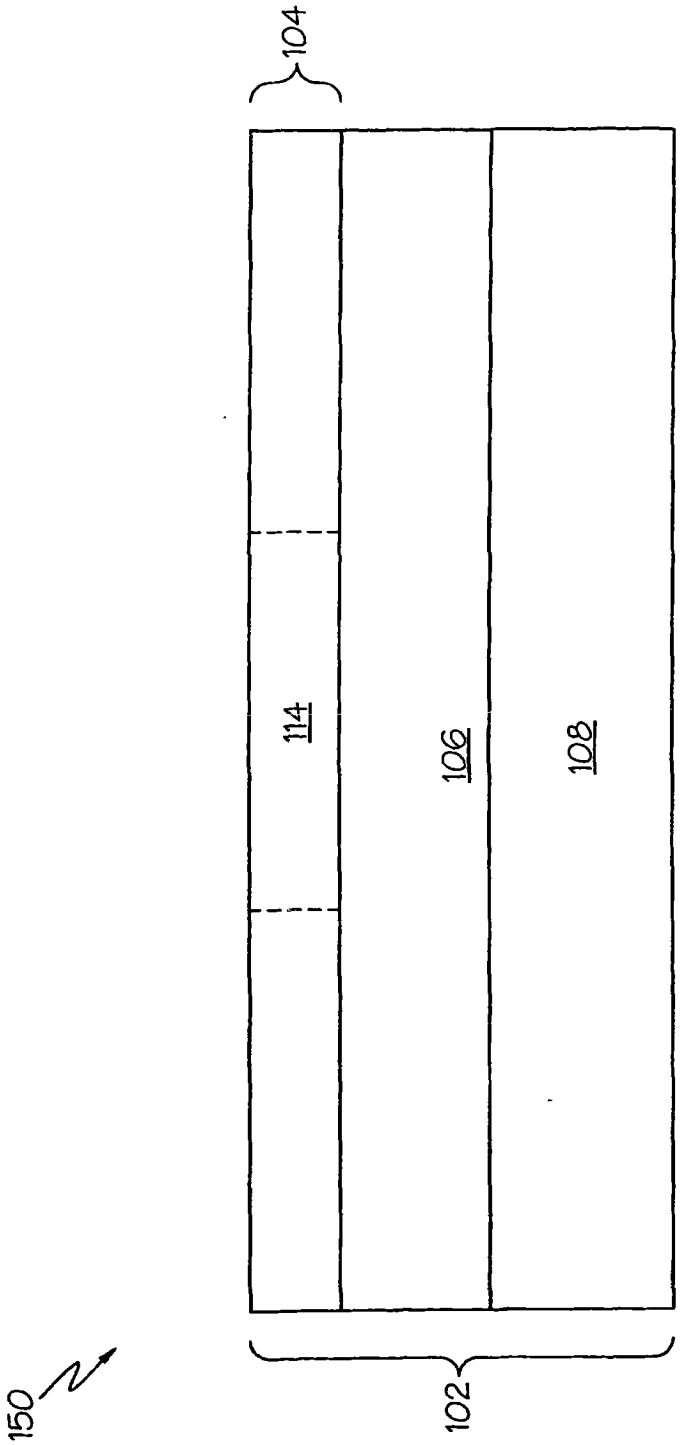


图 1

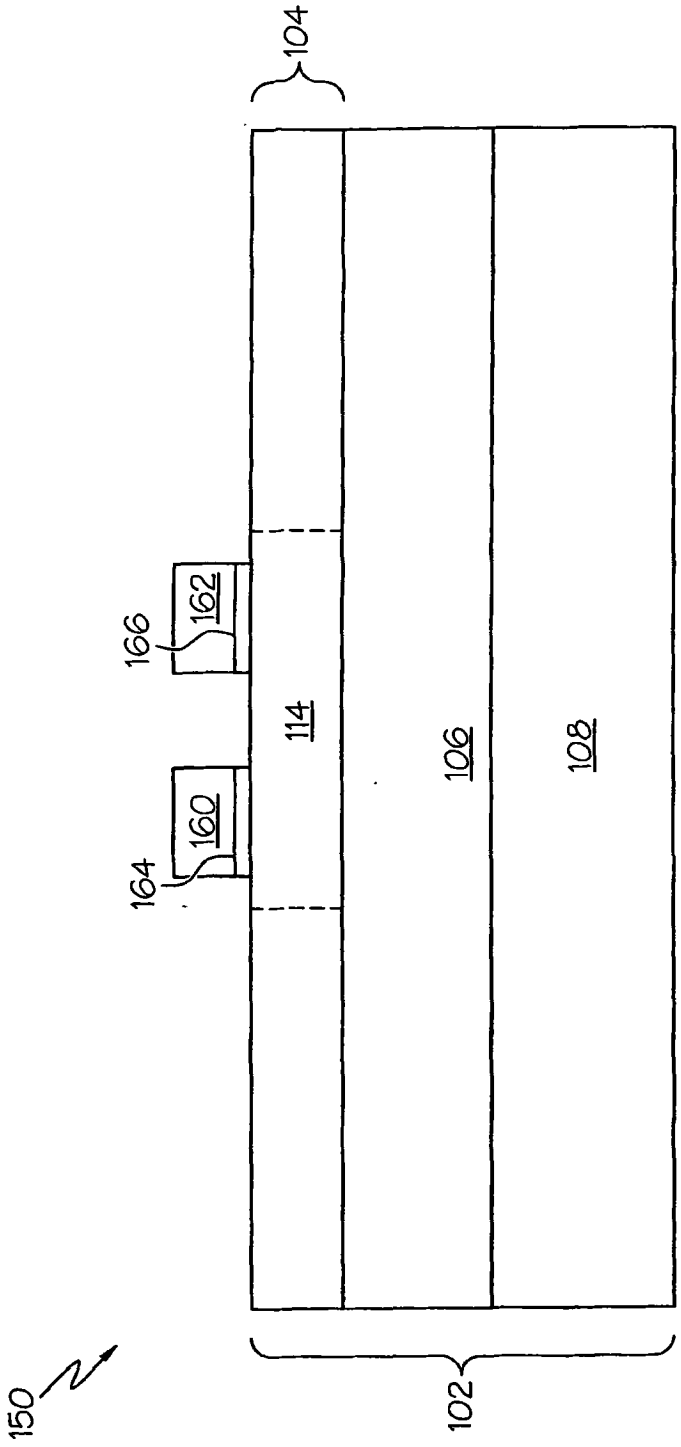


图 2

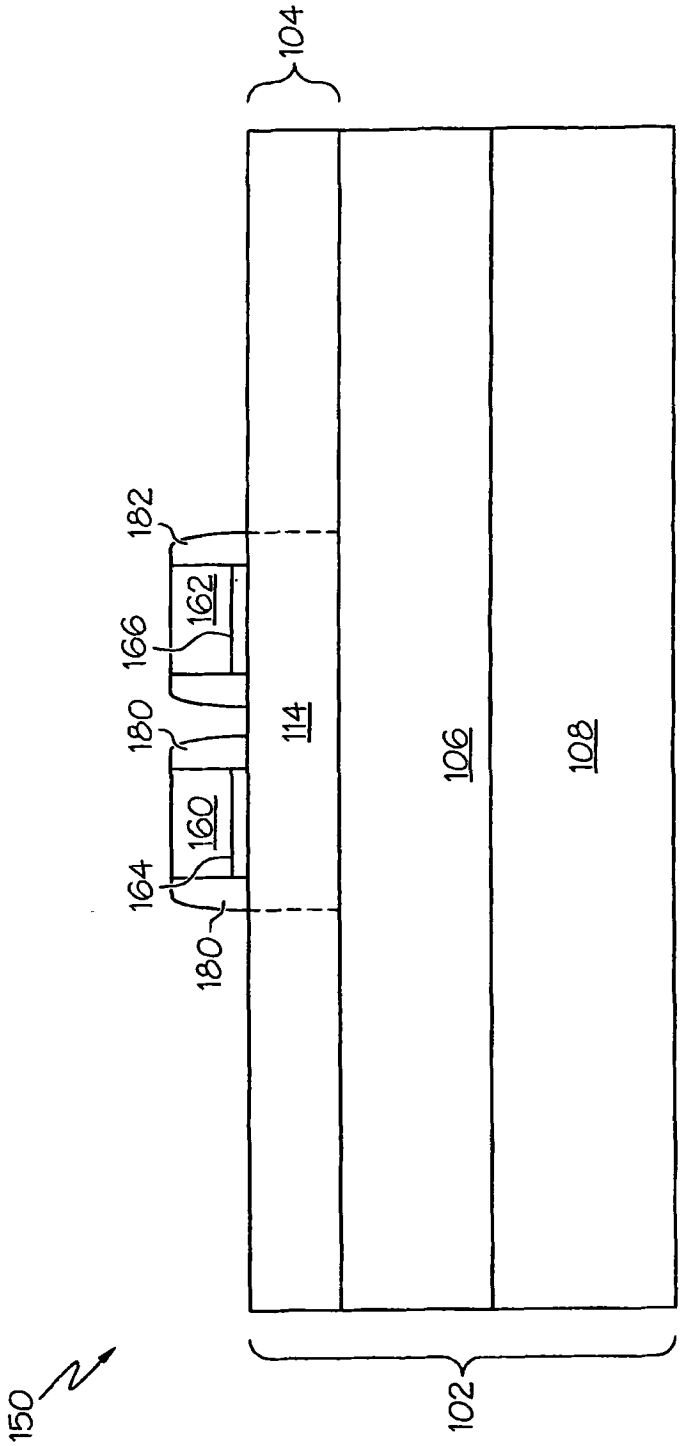


图 3

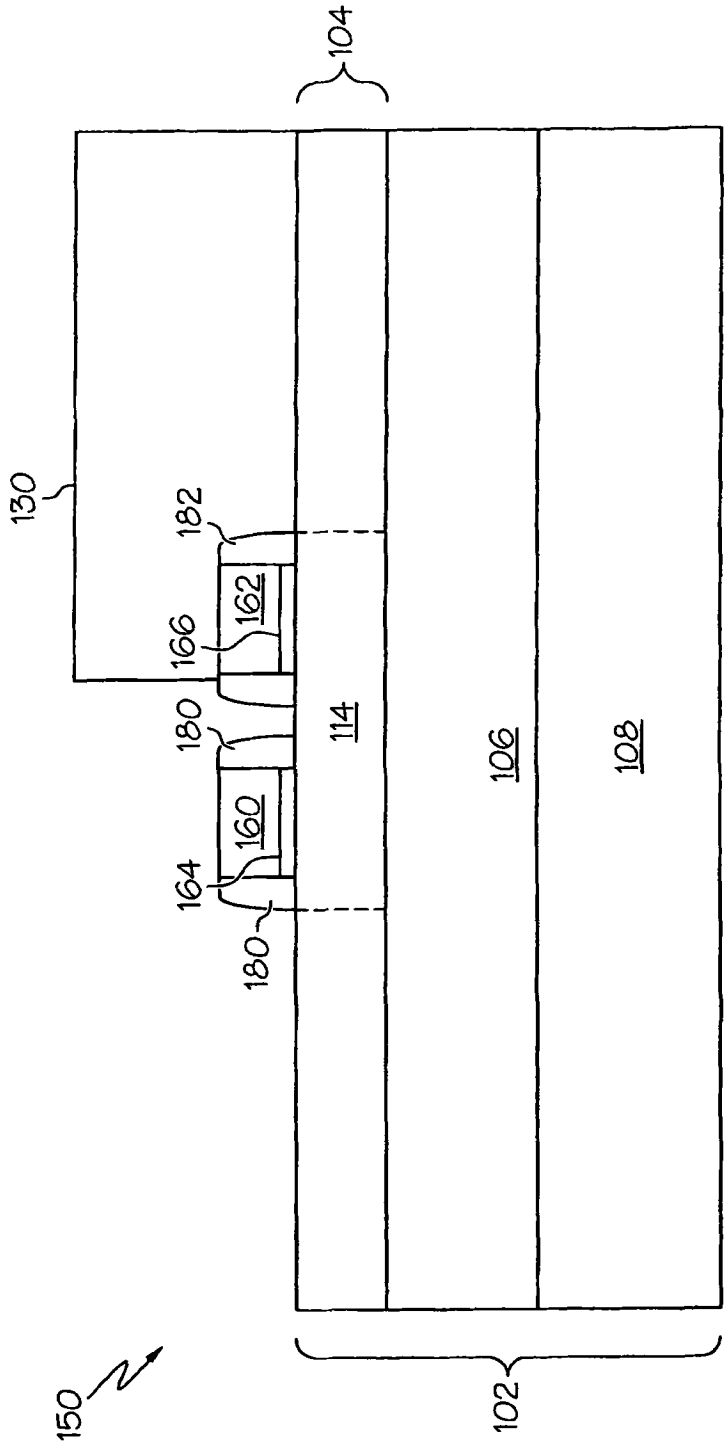


图 4

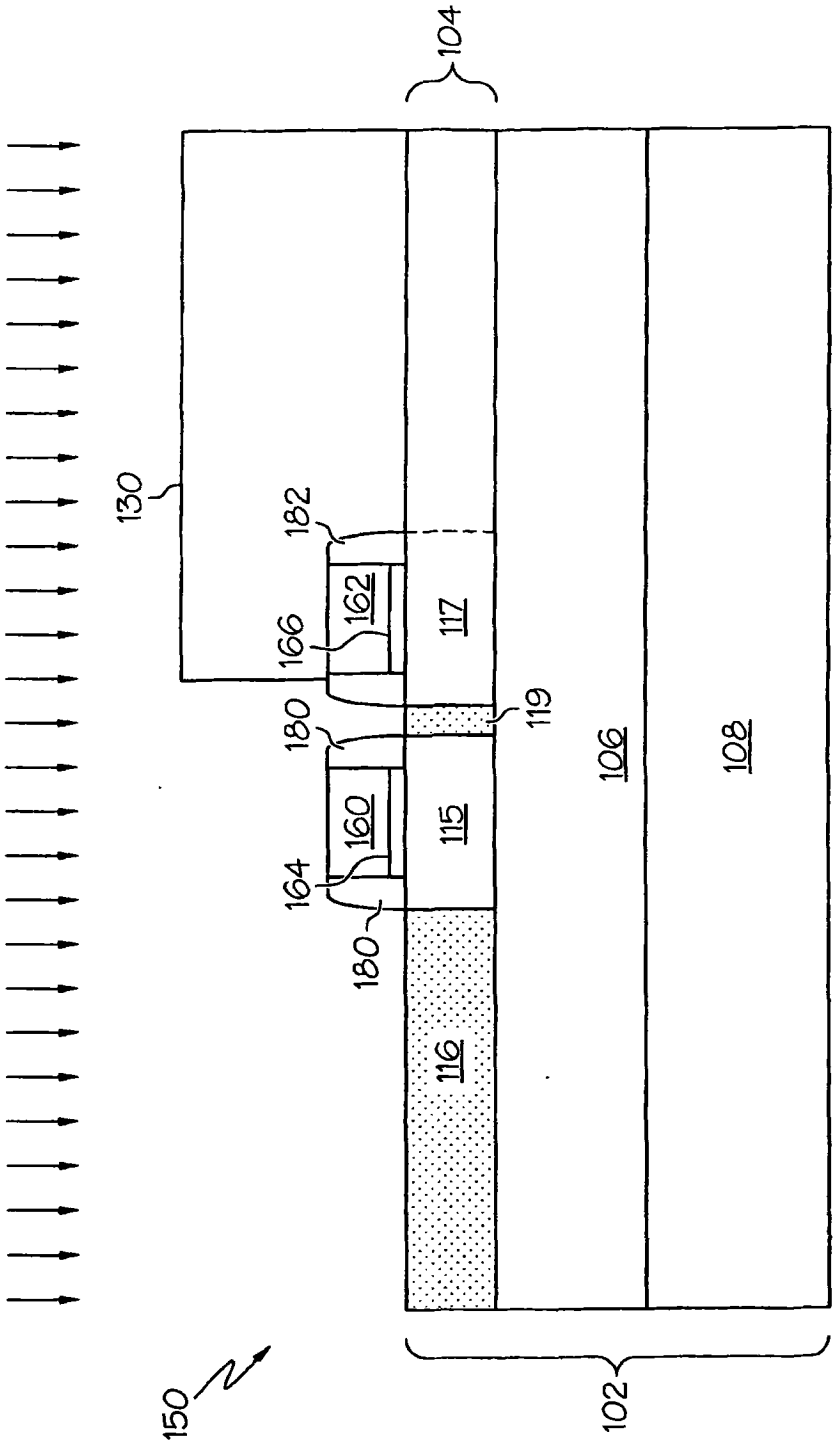

104
130
182
162
166
117
119
180
106
108
160
115
164
180
116
150
102

图 5

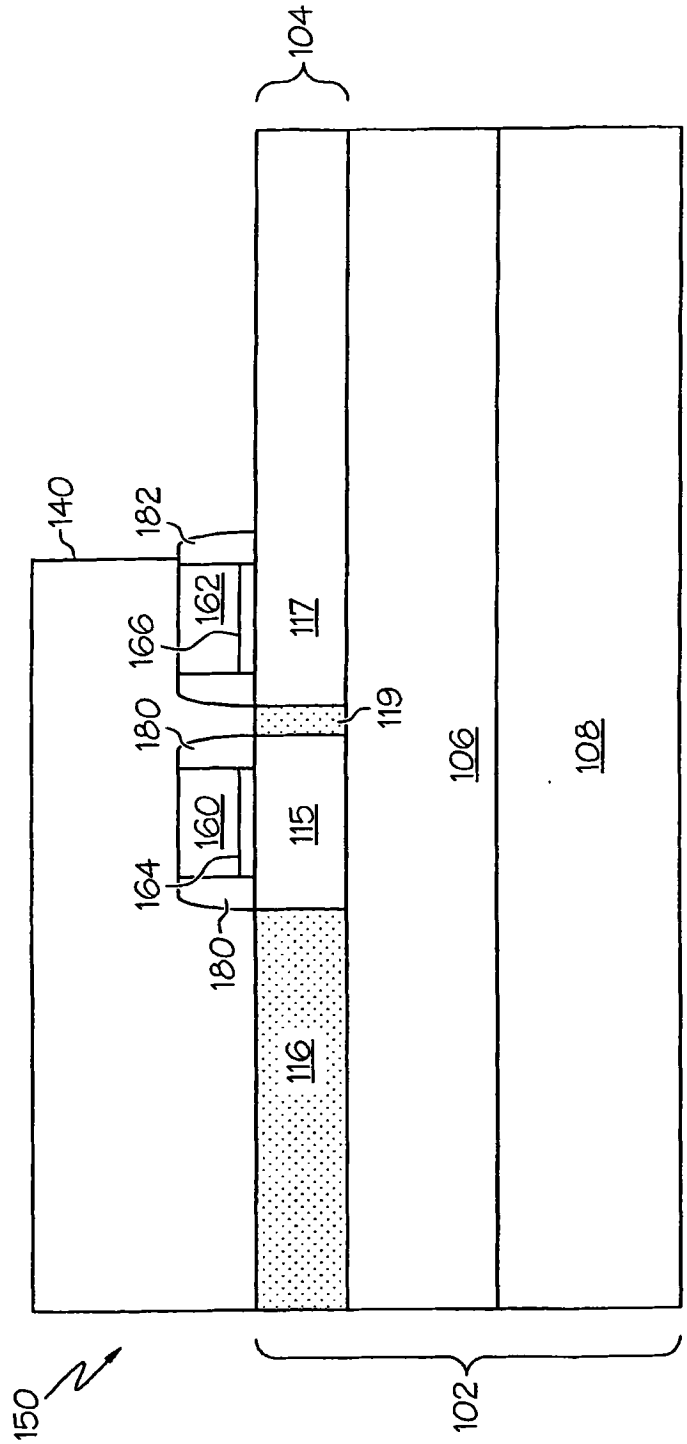

104
140
182
162
166
117
180
119
106
108
160
115
164
180
116
150
102

图 6

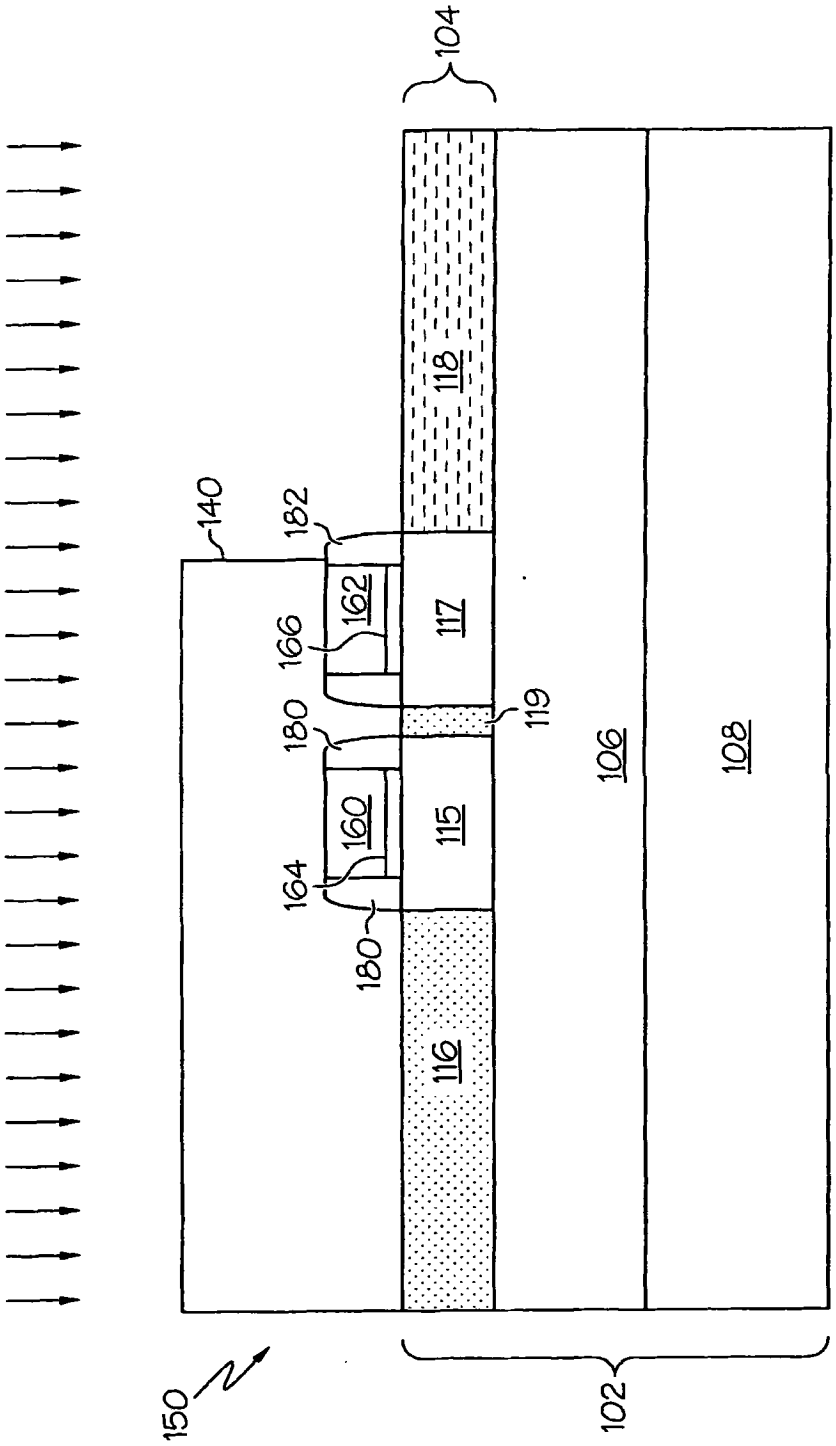

104
118
140
182
162
166
117
180
119
160
115
164
180
106
108
116
150
102

图 7

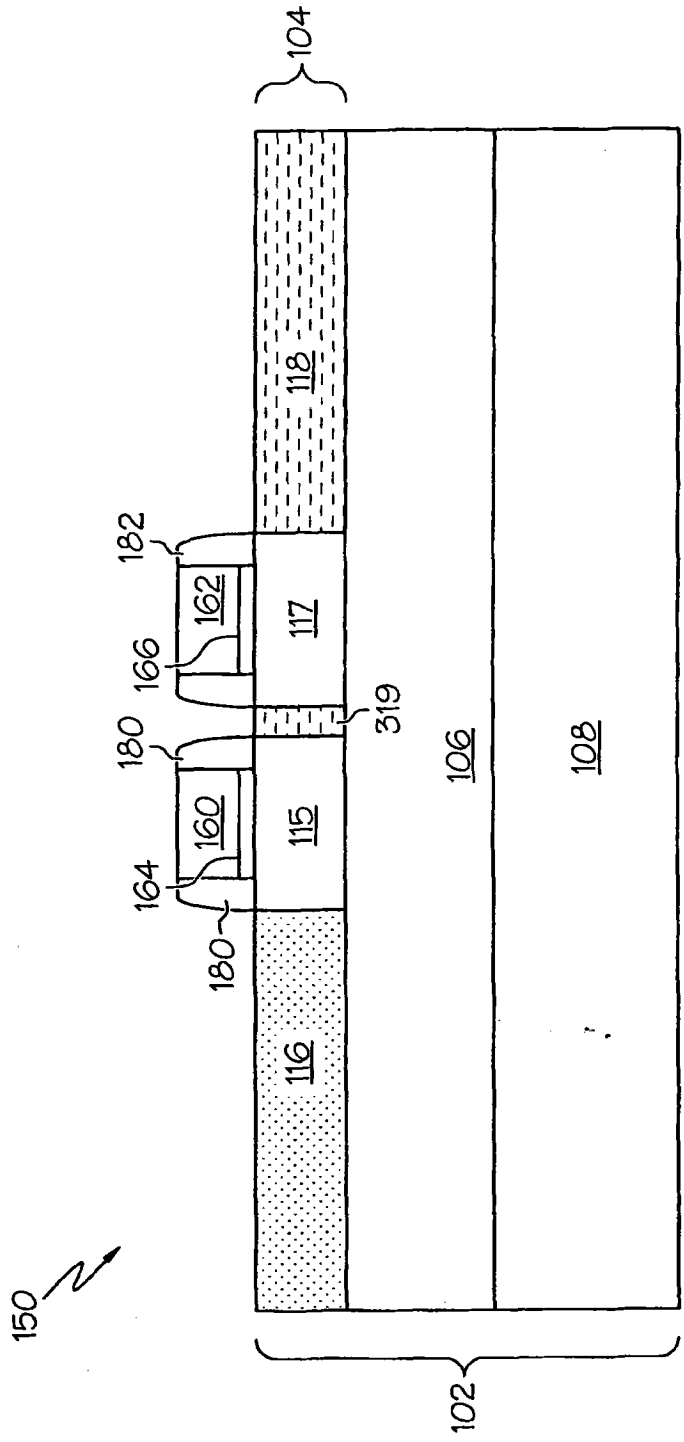

104
118
182
162
117
166
319
180
160
115
106
108
164
180
116
150
102

图 8

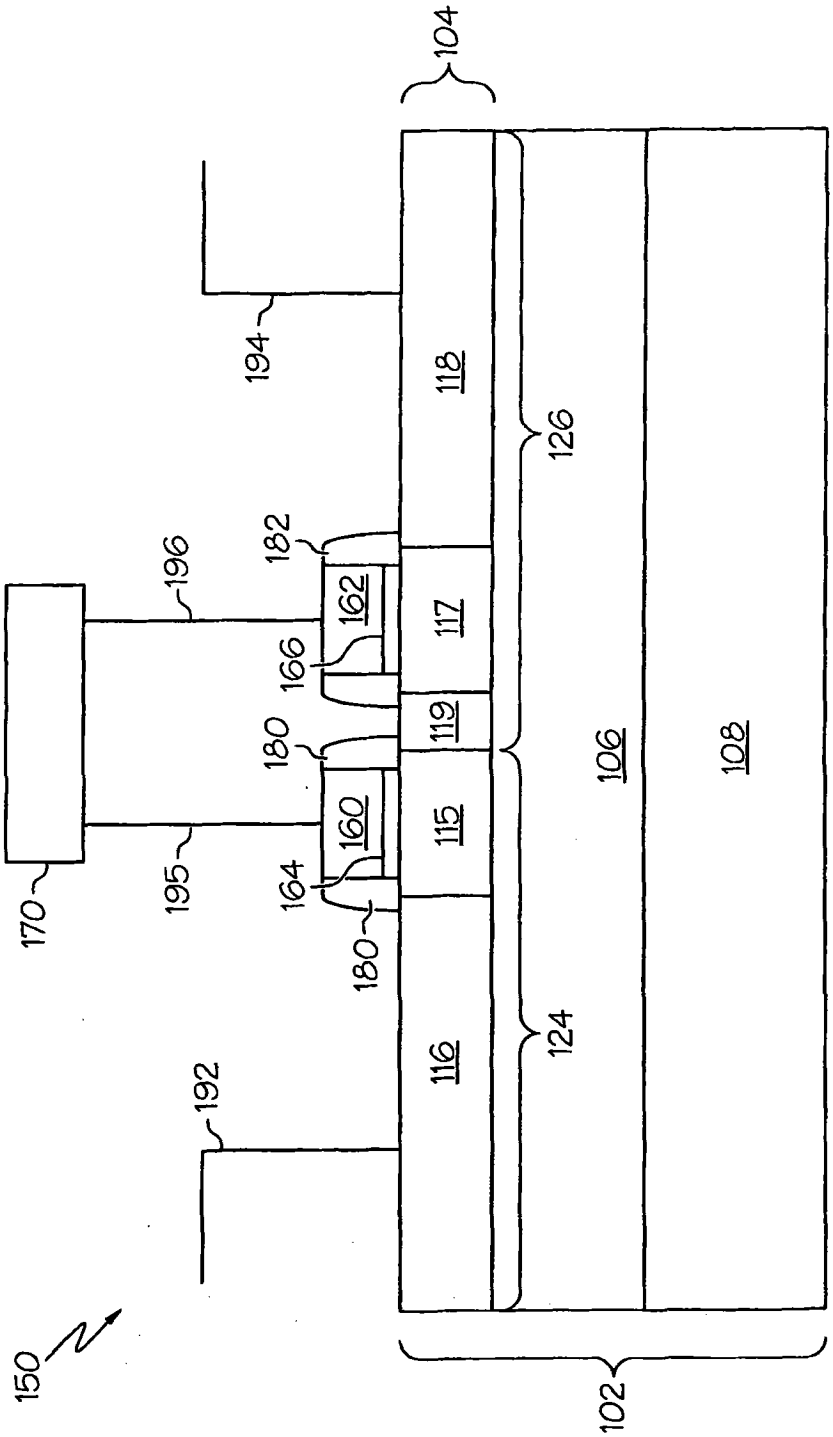

104
194
118
126
196
182
162
117
166
119
180
160
115
106
108
170
195
164
180
116
124
192
150
102

图 9

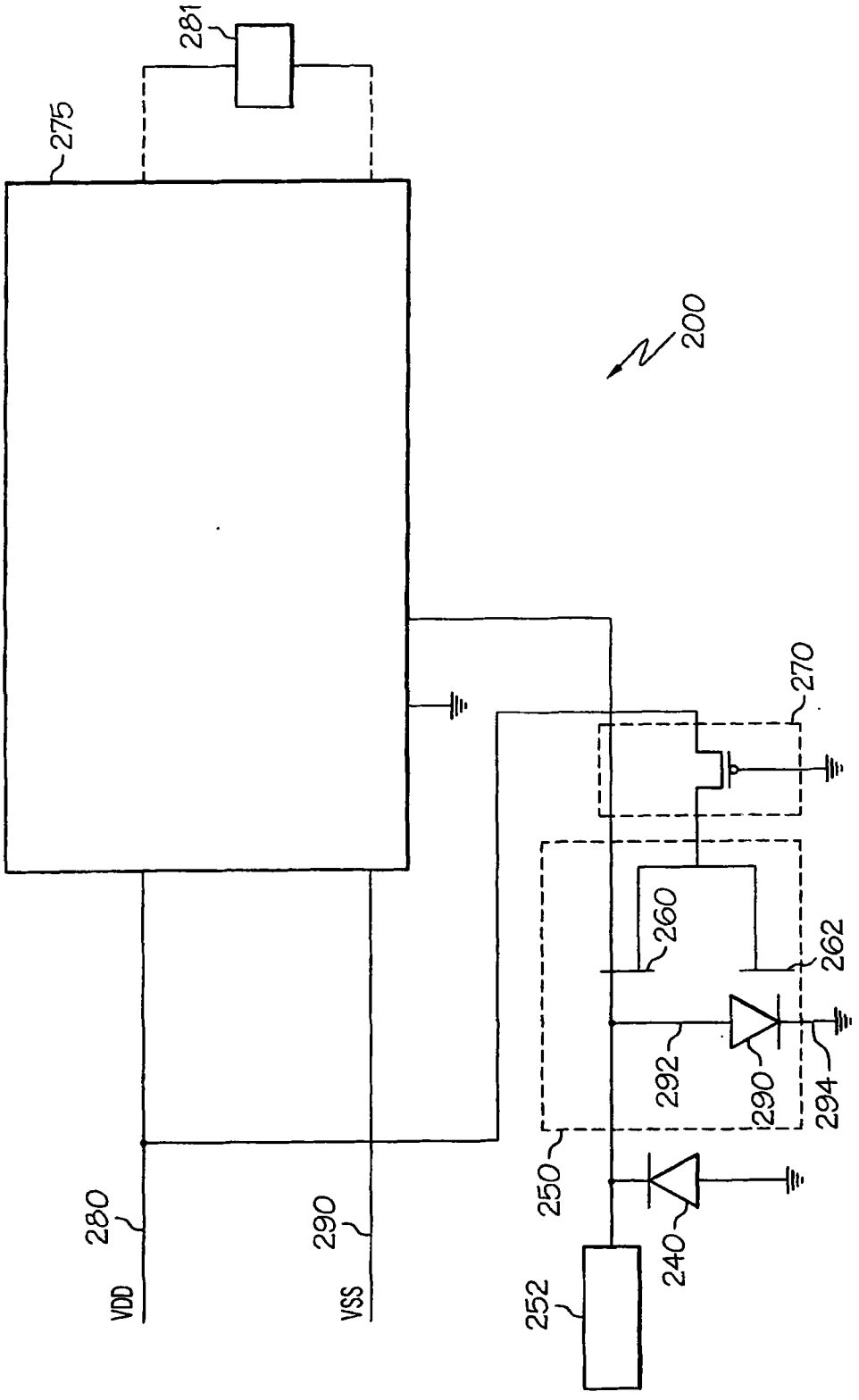


图 10

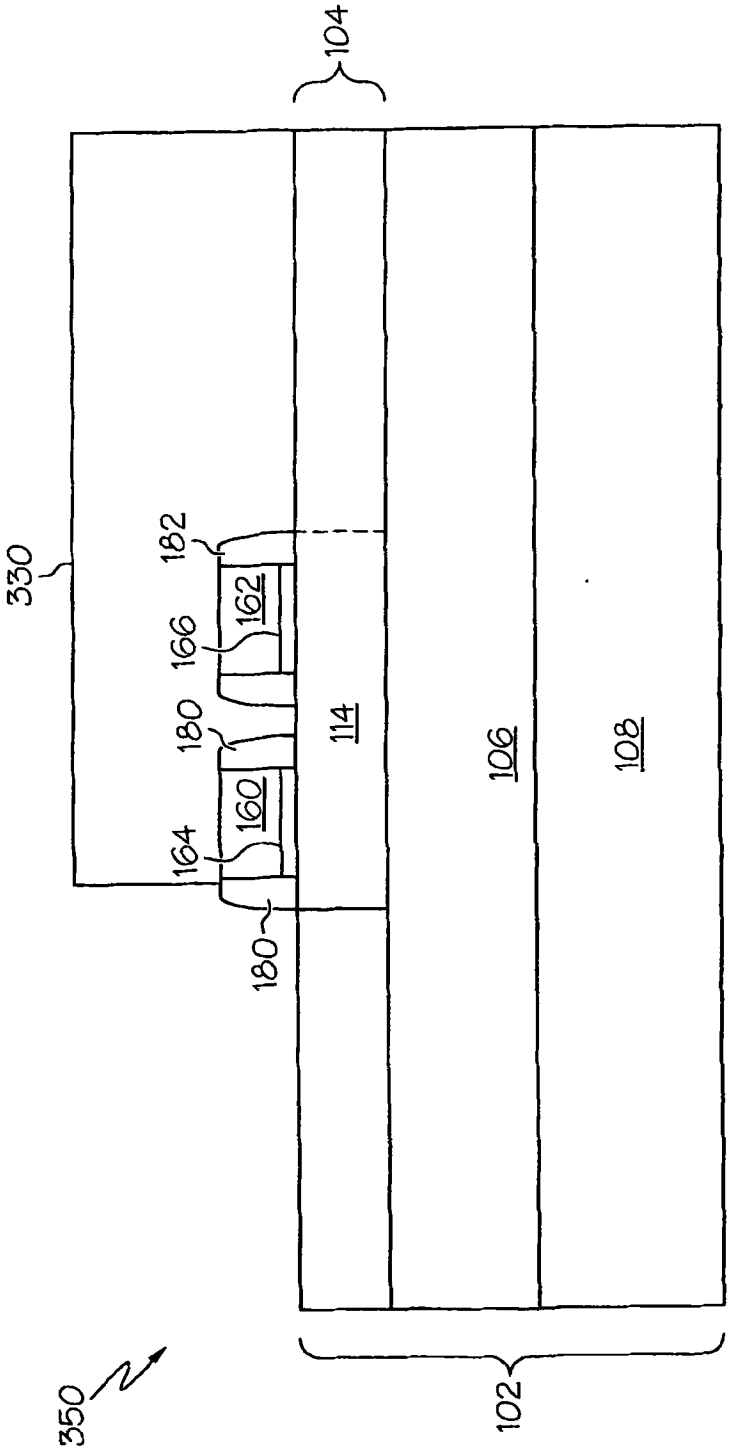


图 11

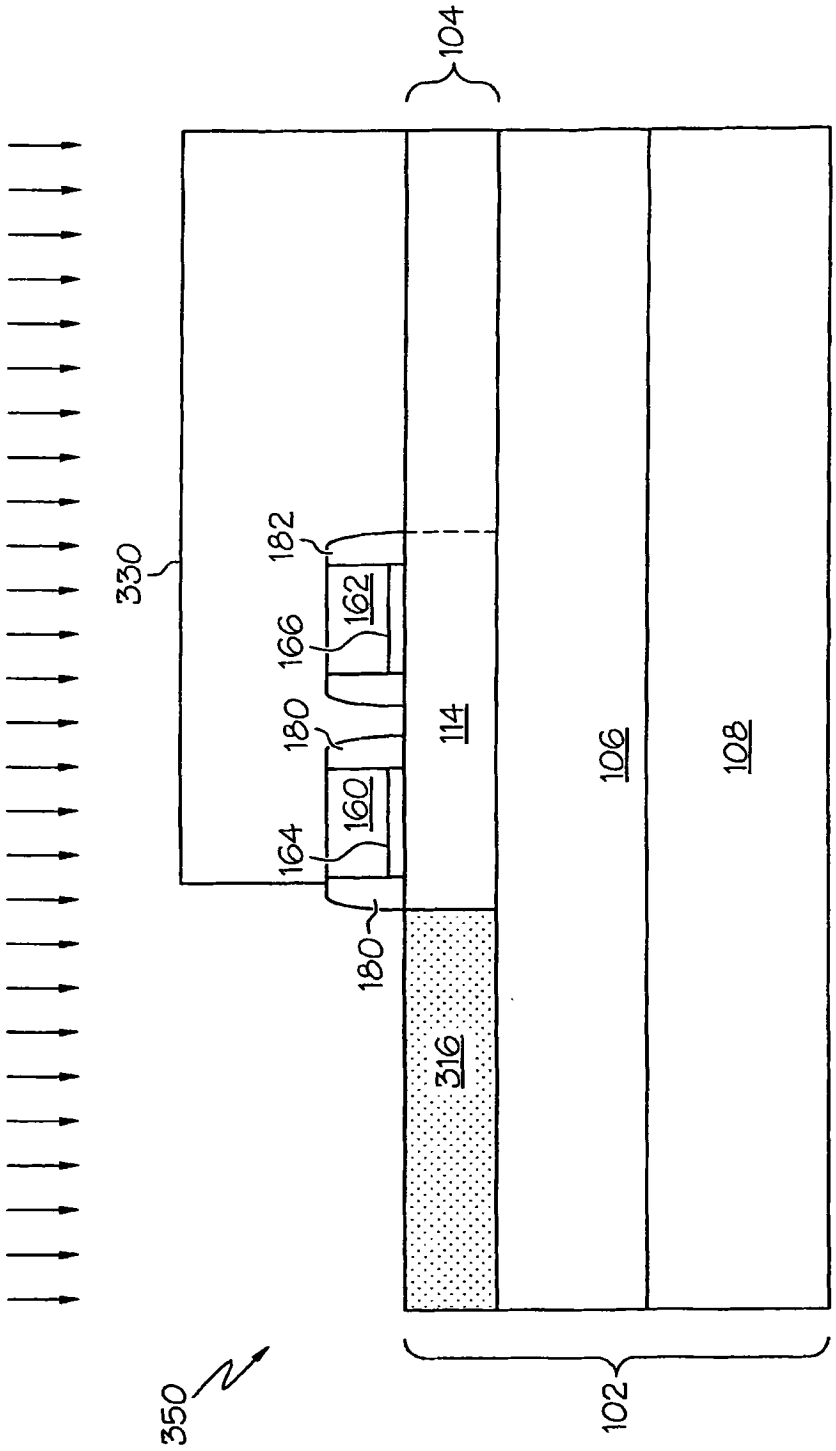


图 12

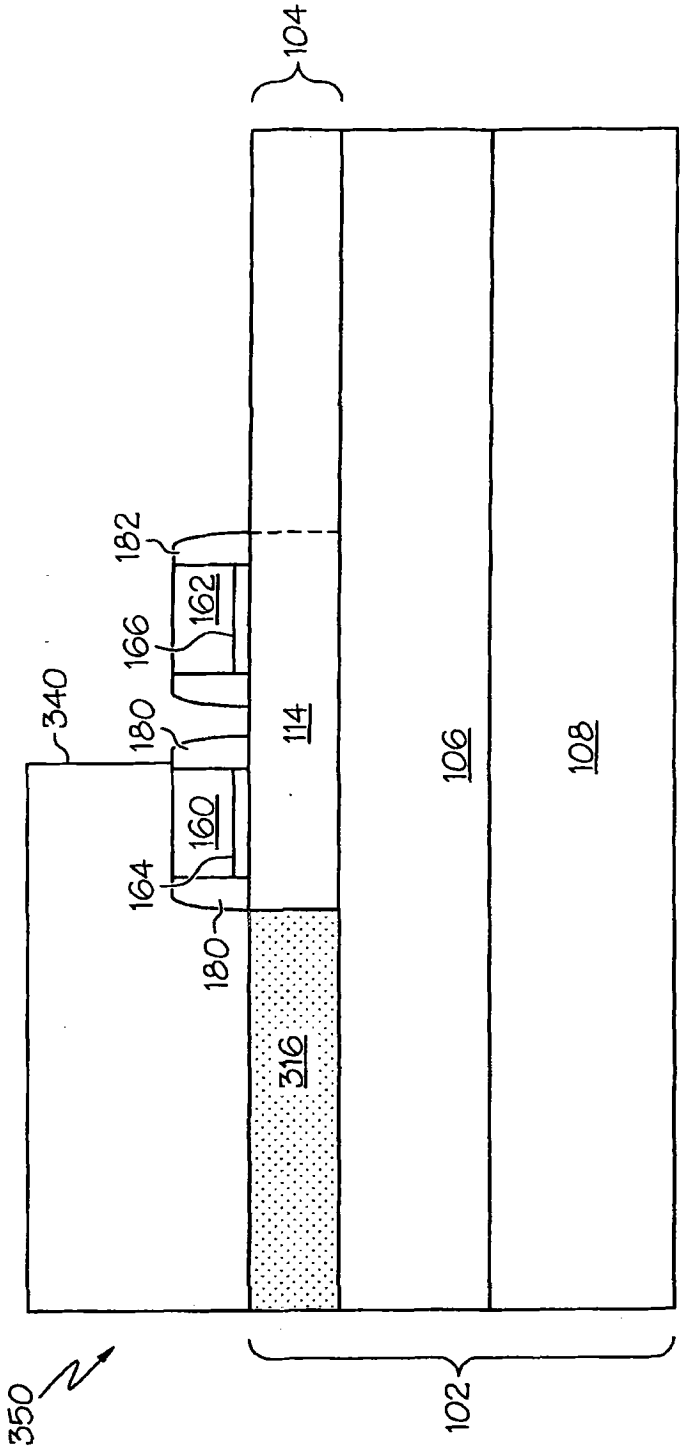


图 13

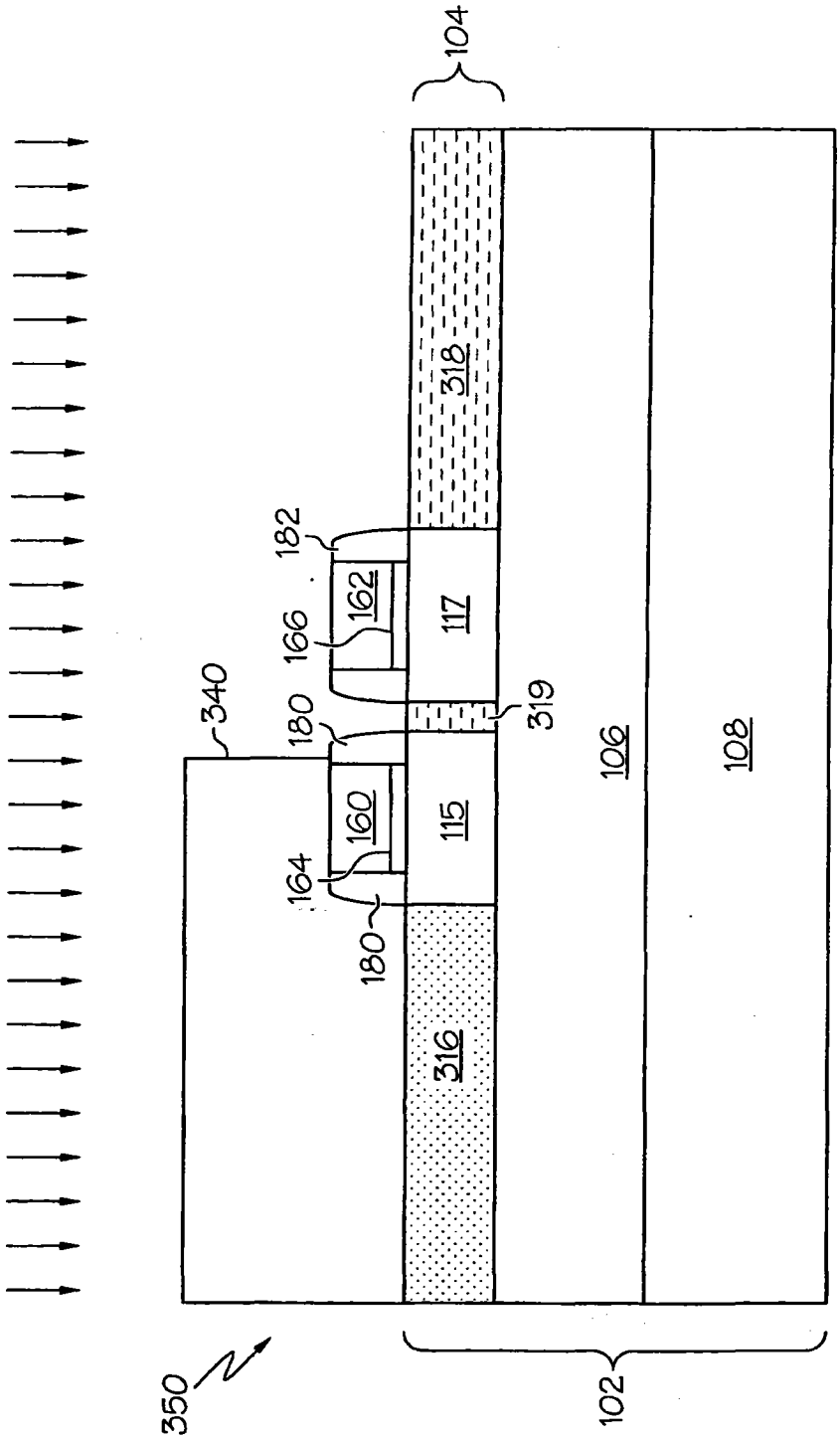

104
318
182
162
166
117
340
180
319
106
108
160
115
164
180
316
350
102

图 14

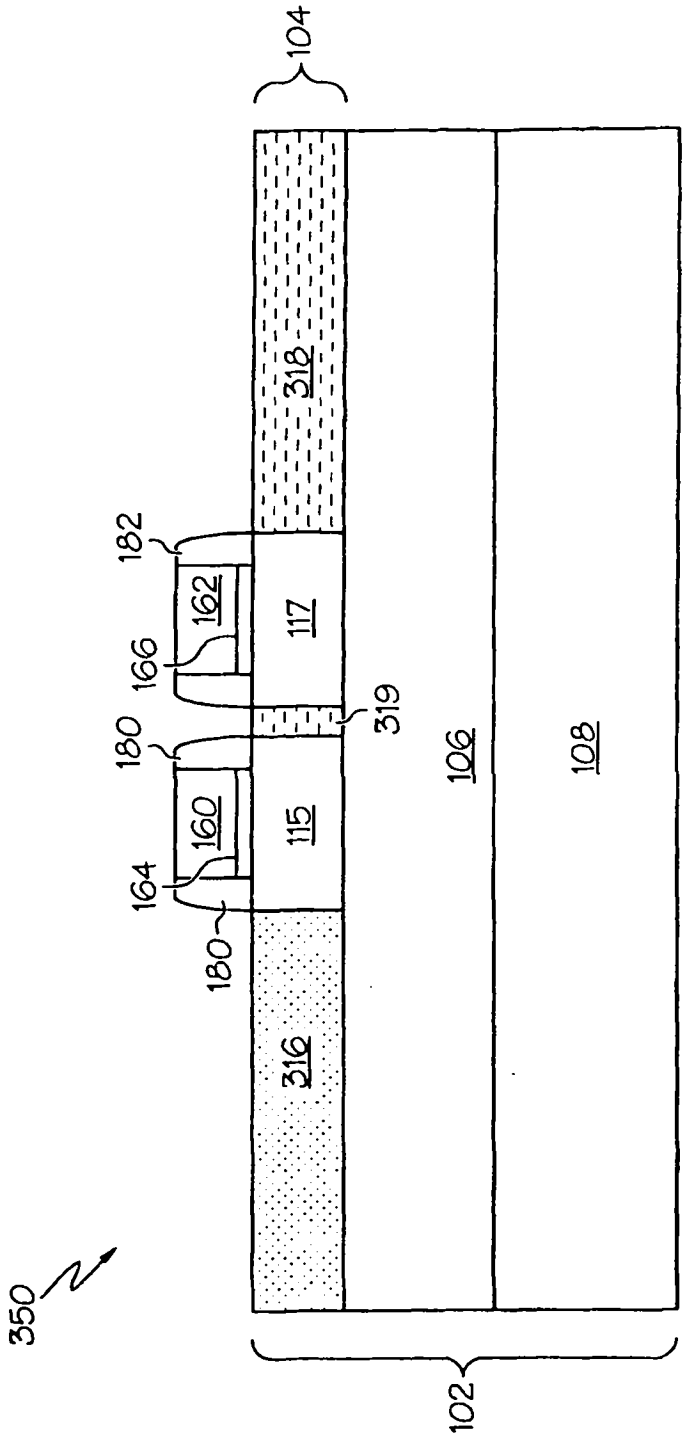

104
318
182
162
117
166
319
180
160
115
164
180
316
106
108
350
102

图 15

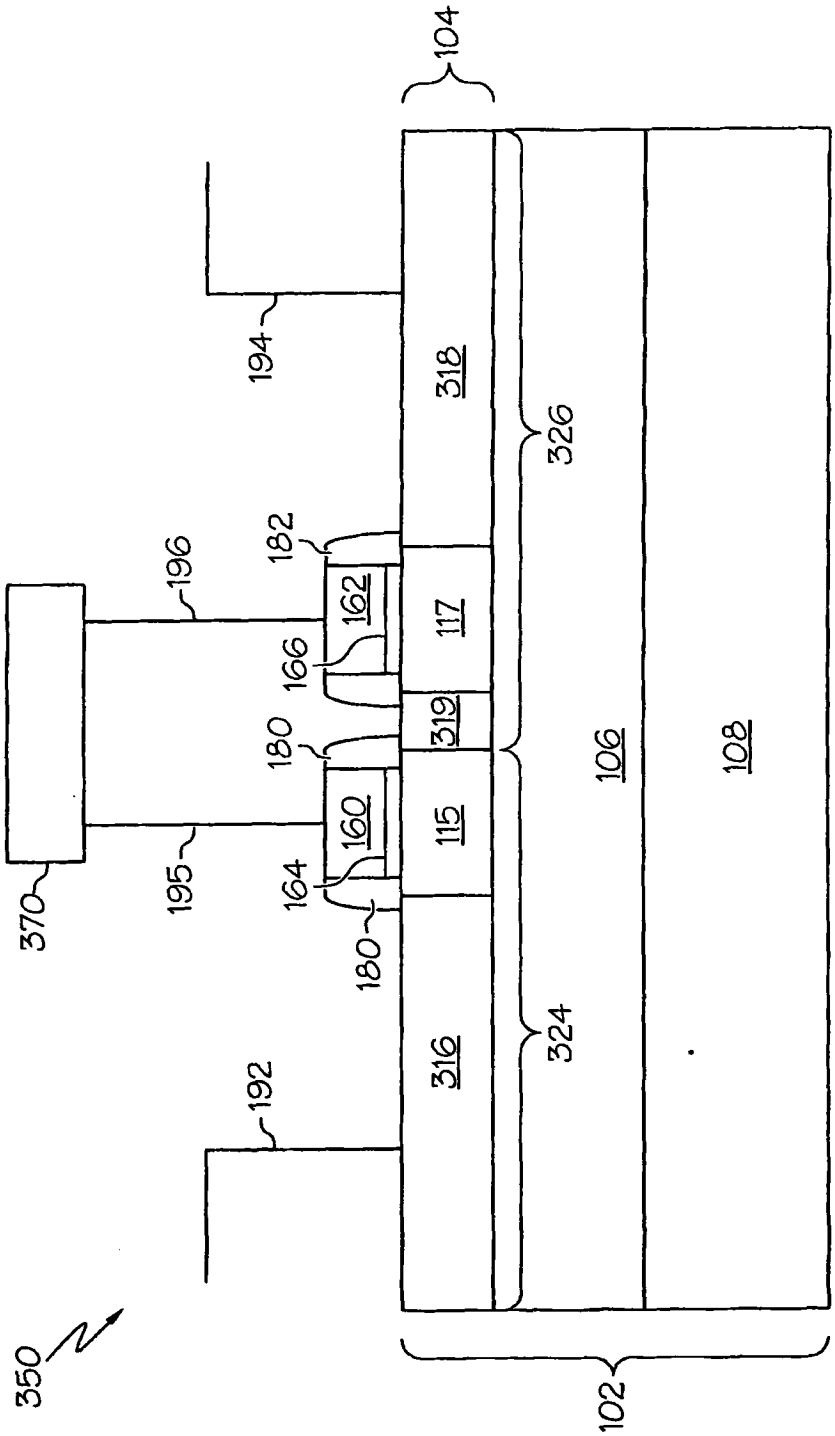

104
194
318
326
196
182
162
117
166
319
180
160
115
106
108
195
164
370
180
316
324
192
350
102

图 16

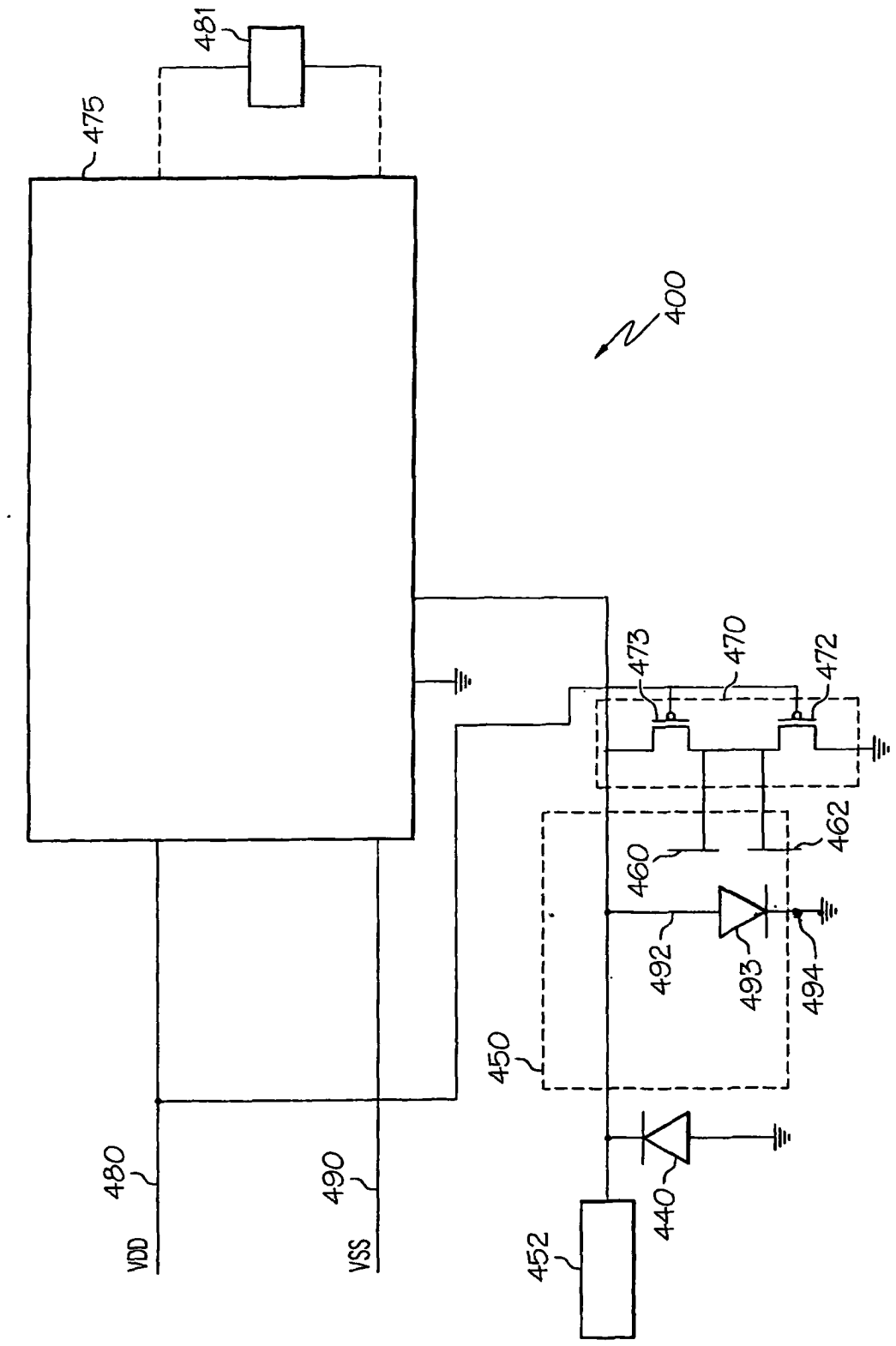

481
475
400
473
470
472
462
460
492
493
494
450
480
VDD
490
VSS
440
452

图 17