



(12) 发明专利

(10) 授权公告号 CN 114116552 B

(45) 授权公告日 2024. 02. 06

(21) 申请号 202111218188.3

(22) 申请日 2021.10.20

(65) 同一申请的已公布的文献号
申请公布号 CN 114116552 A

(43) 申请公布日 2022.03.01

(73) 专利权人 中国航空工业集团公司洛阳电光
设备研究所

地址 471099 河南省洛阳市凯旋西路25号

(72) 发明人 赵胜斌 赵汉杰 刘祥 沈腾
王亮 王嘉仪 纪姝君

(74) 专利代理机构 西安凯多思知识产权代理事
务所(普通合伙) 61290

专利代理师 云燕春

(51) Int. Cl.

G06F 13/16 (2006.01)

G06F 13/42 (2006.01)

G06F 13/40 (2006.01)

(56) 对比文件

CN 110175095 A, 2019.08.27

CN 112349336 A, 2021.02.09

KR 20120133464 A, 2012.12.11

CN 105119907 A, 2015.12.02

CN 106066837 A, 2016.11.02

CN 106066839 A, 2016.11.02

CN 107124412 A, 2017.09.01

CN 110908942 A, 2020.03.24

US 2003093598 A1, 2003.05.15

US 2006129722 A1, 2006.06.15

邝俊澎;杨志军;孙晗;熊少旺;吴建成;李俊
颖;贾静.基于BISS协议绝对式光栅尺数据采集
系统设计.仪表技术与传感器.2020,(第07期),
56-60.

冯传均;何泱;戴文峰.基于FPGA的多通道多
量程数据采集系统设计.微型机与应用.2017,
(第15期),127-128.

审查员 郭晓冰

权利要求书2页 说明书5页 附图2页

(54) 发明名称

一种多路Biss-C数据到通用串口的数据采
集传输装置

(57) 摘要

本发明一种多路Biss-C数据到通用串口的
数据采集传输装置,属于位置传感器与微处理
器的通讯领域;包括FPGA主芯片、差分单端互
转电路芯片、串口电平转换芯片;硬件通过配
置N个差分单端互转电路芯片与FPGA主芯片
相连,用于产生BissC的采样时钟和读取数据,
FPGA主芯片与串口电平转换芯片相连,用于
输出汇总的角度信息;FPGA主芯片内部配置
N个并行Biss-C数据采集模块并通过UART模
块把采集到的数据打包发出去,实现多路
BissC数据的同时采集,选择不同的串口电
平转换芯片能够实现多种串口通信协议的
数据发送。使多路Biss-C数据获取,然后
将多路数据一并通过通用串口传输出去,从
而减轻了控制系统Biss-C数据采集传输装
置的冗余。



CN 114116552 B

1. 一种多路Biss-C数据到通用串口的数据采集传输装置,其特征在于:包括FPGA主芯片、差分单端互转电路芯片、串口电平转换芯片;硬件通过配置N个差分单端互转电路芯片与FPGA主芯片相连,用于产生BissC的采样时钟和读取数据,FPGA主芯片与串口电平转换芯片相连,用于输出汇总的角度信息;

所述FPGA主芯片内部配置N个并行Biss-C数据采集模块并通过UART模块把采集到的数据打包发出去,实现多路BissC数据的同时采集,选择不同的串口电平转换芯片能够实现多种串口通信协议的数据发送;

所述FPGA主芯片包括锁相环模块(210)、读取时钟及采集时钟产生模块(220)、逻辑控制模块(230)、Biss-C数据采集模块;内部流程为:所述锁相环模块(210)产生3路时钟分别用于串口数据发送、逻辑控制和数据采集;读取时钟及采集时钟产生模块(220)产生一路MA时钟和一路延时的MA时钟MA_delayed,MA时钟用于输出给编码器,MA_delayed时钟用于FPGA内部采集SLO数据;逻辑控制模块(230)负责整个系统的时间调度,其产生的MA_Control信号为1时发送MA时钟,MA_Control信号为0时停止发送MA时钟;所述Biss-C数据采集模块在采集时钟MA_delayed作用下采集SLO数据,在全部数据采集完毕后tx_en信号产生串口数据发送使能信号,并且所有Biss-C数据采集模块的输出采集完成data_ready置1时,才开始1帧串口数据的发送;

所述FPGA主芯片还包括与非门模块(240)、(241)、(242)和(243)、逻辑与模块(260)、串口数据发送模块(270);所述锁相环模块(210)的输出20M时钟分别与逻辑控制模块(230)和串口数据发送模块(270)相连,输出10M时钟与读取时钟及采集时钟产生模块(220)相连;所述Biss-C数据采集模块的数量为两个,分别为Biss-C数据采集模块(250)和(251);所述读取时钟及采集时钟产生模块(220)产生两路500KHz的时钟和两路有延时的500KHz的时钟,分别接入与非门模块(240)、(241)、(242)和(243);所述逻辑控制模块(230)的输出端MA_Control1与与非门模块(240)、(241)的输入端相连,逻辑控制模块(230)的输出端MA_Control2与与非门模块(242)和(243)的输入端相连;与非门模块(240)、(242)的输出端是第一路Biss-C的数据采集时钟,与非门模块(241)、(243)的输出端是第二路Biss-C的数据读取时钟,其分别与Biss-C数据采集模块(250)、(251)相连,Biss-C数据采集模块(250)、(251)的Posi_out输出端分别与串口数据发送模块(270)的datain1和datain2相连,逻辑控制模块(230)的输出端tx_en与Biss-C数据采集模块(250)、(251)的data_ready一同接入逻辑与模块(260),逻辑与模块(260)的输出端与串口数据发送模块(270)的tx_en输入端相连。

2. 根据权利要求1所述多路Biss-C数据到通用串口的数据采集传输装置,其特征在于:所述读取时钟及采集时钟产生模块(220)产生读取时钟MA和SLO的采集时钟,时钟频率为250KHz~10MHz。

3. 根据权利要求2所述多路Biss-C数据到通用串口的数据采集传输装置,其特征在于:所述Biss-C数据采集模块的流程依次为Biss-C数据的采集、Error校验、Warn校验以及CRC校验。

4. 根据权利要求3所述多路Biss-C数据到通用串口的数据采集传输装置,其特征在于:所述Biss-C数据采集模块流程如下:接收到采样时钟后,data_ready置0,如果SLO信号为高电平,则SLO_ready信号置1,如果SLO信号不是高电平,则继续采样;然后如果SLO信号变为

低电平,则SL0_ack信号置1,如果SL0信号不是低电平,则继续采样;然后如果SL0信号为高电平,则SL0_start信号置1,如果SL0信号不是高电平,则继续采样;然后如果SL0信号为低电平,则SL0_zero信号置1,如果SL0信号不是低电平,则继续采样;然后如果SL0_zero信号为1,则记录位置数据、错误位、警告位和CRC校验位,然后判断是否有错误、警告、CRC校验是否正确,如果无错误、无警告、CRC校验无误,则输出位置数据,并且data_ready信号置1。

5.根据权利要求4所述多路Biss-C数据到通用串口的数据采集传输装置,其特征在于:多路同时采集的Biss-C数据采集完成时,每路采集模块的data_ready信号都为高电平,并且逻辑控制模块(230)的输出端tx_en信号也是高电平时产生串口发送使能信号。

6.根据权利要求1所述多路Biss-C数据到通用串口的数据采集传输装置,其特征在于:所述串口数据发送模块(270)利用锁相环模块(210)产生的时钟信号进行相应的分频,进而产生相应的波特率时钟,按照帧头+数据+校验的格式,在tx_en信号的控制下串行发送出去,完成一帧数据的发送。

一种多路Biss-C数据到通用串口的数据采集传输装置

技术领域

[0001] 本发明属于位置传感器与微处理器的通讯领域,具体涉及一种多路Biss-C数据到通用串口的数据采集传输装置。

背景技术

[0002] BISS(Bidirectional Synchronous Serial)协议最早是由德国IC-Haus公司提出的新型可自由使用的开放式同步串行通信协议,目前应用最广泛的是Biss-C协议。目前Biss-C协议在各种绝对式编码器中很常见,Biss-C设备数据的采集有以下几种方式:1采用专用Biss协议芯片,通过此协议芯片转化为串口或并口数据,这种方式每增加一个Biss-C协议设备就要增加芯片或更改电路,系统过于冗余,通用性不强;2购买Biss-C的收费IP核,但采集到数据后续处理还比较麻烦,实用性不强;3用单片机的I/O口来模拟时序采集数据,这样就会占用大量的CPU资源,而且不能并行采集多路数据,实时性较差。无论哪种方式都不是很方便。

[0003] 在设计一个工业控制系统解决方案时,我们总是希望用最少的芯片电路来实现尽可能多的功能。以一个电机伺服控制系统为例,一般需要采集两路、4路或是更多路Biss-C协议位置传感器的数据,这几路数据的采集是并行,然后把采集到的几路数据一并通过通用串口(UART)发送给微处理器,这样使用起来最方便,既保证了采集数据的实时性又兼顾了数据传输的便利性,因为通用串口(UART)是最简单、最适用的通讯接口,几乎所有的微处理器都包含此接口,本发明基于此,提出一种多路Biss-C数据到通用串口的数据采集传输装置,解决现有方案中通用性、实用性不强的问题。

发明内容

[0004] 要解决的技术问题:

[0005] 为了避免现有技术的不足之处,本发明提出一种通用的、实用性强的Biss-C数据采集装置,使多路Biss-C数据方便地获取,然后将多路数据一并通过通用串口传输出去,从而减轻了控制系统Biss-C数据采集传输装置的冗余,以最简单的电路设计完成了多个数据采集板卡的工作,而且接口是使用起来非常方便灵活的通用串口(UART)。

[0006] 本发明的技术方案是:一种多路Biss-C数据到通用串口的数据采集传输装置,其特征在于:包括FPGA主芯片、差分单端互转电路芯片、串口电平转换芯片;硬件通过配置N个差分单端互转电路芯片与FPGA主芯片相连,用于产生BissC的采样时钟和读取数据,FPGA主芯片与串口电平转换芯片相连,用于输出汇总的角度信息;

[0007] 所述FPGA主芯片内部配置N个并行Biss-C数据采集模块并通过UART模块把采集到的数据打包发出去,实现多路BissC数据的同时采集,选择不同的串口电平转换芯片能够实现多种串口通信协议的数据发送。

[0008] 本发明的进一步技术方案是:所述FPGA主芯片包括锁相环模块210、读取时钟及采集时钟产生模块220、逻辑控制模块230、Biss-C数据采集模块;内部流程为:所述锁相环模

块210产生3路时钟分别用于串口数据发送、逻辑控制和数据采集;读取时钟及采集时钟产生模块220产生一路MA时钟和一路延时的MA时钟MA_delayed,MA时钟用于输出给编码器,MA_delayed时钟用于FPGA内部采集SLO数据;逻辑控制模块230负责整个系统的时间调度,其产生的MA_Control1信号为1时发送MA时钟,MA_Control1信号为0时停止发送MA时钟;所述Biss-C数据采集模块在采集时钟MA_delayed作用下采集SLO数据,在全部数据采集完毕后tx_en信号产生串口数据发送使能信号,并且所有Biss-C数据采集模块的输出采集完成data_ready置1时,才开始1帧串口数据的发送。

[0009] 本发明的进一步技术方案是:所述FPGA主芯片还包括与非门模块240、241、242和243、逻辑与模块260、串口数据发送模块270;所述锁相环模块210的输出20M时钟分别与逻辑控制模块230和串口数据发送模块270相连,输出10M时钟与读取时钟及采集时钟产生模块220相连;所述Biss-C数据采集模块的数量为两个,分别为Biss-C数据采集模块250和251;

[0010] 所述读取时钟及采集时钟产生模块220产生两路500KHz的时钟和两路有延时的500KHz的时钟,分别接入与非门模块240、241、242和243;所述逻辑控制模块230的输出端MA_Control1与与非门模块240、241的输入端相连,逻辑控制模块230的输出端MA_Control2与与非门模块242和243的输入端相连;与非门模块240、242的输出端是第一路Biss-C的数据采集时钟,与非门模块241、243的输出端是第二路Biss-C的数据读取时钟,其分别与Biss-C数据采集模块250、251相连,Biss-C数据采集模块250、251的Posi_out输出端分别与串口数据发送模块270的datain1和datain2相连,逻辑控制模块230的输出端tx_en与Biss-C数据采集模块250、251的data_ready一同接入逻辑与模块260,逻辑与模块260的输出端与串口数据发送模块270的tx_en输入端相连。

[0011] 本发明的进一步技术方案是:所述读取时钟及采集时钟产生模块220产生读取时钟MA和SLO的采集时钟,时钟频率为250KHz~10MHz。

[0012] 本发明的进一步技术方案是:所述Biss-C数据采集模块的流程依次为Biss-C数据的采集、Error校验、Warn校验以及CRC校验。

[0013] 本发明的进一步技术方案是:所述Biss-C数据采集模块流程如下:接收到采样时钟后,data_ready置0,如果SLO信号为高电平,则SLO_ready信号置1,如果SLO信号不是高电平,则继续采样;然后如果SLO信号变为低电平,则SLO_ack信号置1,如果SLO信号不是低电平,则继续采样;然后如果SLO信号为高电平,则SLO_start信号置1,如果SLO信号不是高电平,则继续采样;然后如果SLO信号为低电平,则SLO_zero信号置1,如果SLO信号不是低电平,则继续采样;然后如果SLO_zero信号为1,则记录位置数据、错误位、警告位和CRC校验位,然后判断是否有错误、警告、CRC校验是否正确,如果无错误、无警告、CRC校验无误,则输出位置数据,并且data_ready信号置1。

[0014] 本发明的进一步技术方案是:当多路同时采集的Biss-C数据采集完成时,每路采集模块的data_ready信号都为高电平,并且逻辑控制模块230的输出端tx_en信号也是高电平时产生串口发送使能信号。

[0015] 本发明的进一步技术方案是:所述串口数据发送模块270利用锁相环模块210产生的时钟信号进行相应的分频,进而产生相应的波特率时钟,按照帧头+数据+校验的格式,在tx_en信号的控制下串行发送出去,完成一帧数据的发送。

[0016] 有益效果

[0017] 本发明的有益效果在于:本发明设计了一个基于FPGA的多路Biss-C数据采集传输装置,理论上支持采集Biss-C接口数据的数量没有限制,主要硬件包括FPGA主芯片、差分单端互转电路芯片(有几路Biss-C接口就配置几路)、串口电平转换芯片,可作为标准模块直接应用到控制系统解决方案中。

[0018] 本发明结构简单,仅需要一个FPGA最小系统和几个差分单端互转电路芯片及串口电平转换芯片就能实现同时采集多路Biss-C数据,实时性强,并且传输方式是最常用的串口,配置不同的串口电平转换芯片可实现如RS232、RS485、RS422等多种通信协议,通用性强,增加一路Biss-C数据采集仅需增加一个差分单端互转电路芯片,内部采集逻辑相应复制添加即可,可扩展性强,有效解决了以往Biss-C数据采集的电路专一,扩展困难、通信不便的问题。

[0019] 所述FPGA主芯片包括PLL锁相环模块,读取时钟及采集时钟产生模块,逻辑控制模块,与非门模块,Biss-C数据采集模块,逻辑与模块,串口数据发送模块,其中,Biss-C数据采集模块是本发明的核心算法所在模块,主要完成Biss-C数据的采集、Error校验、Warn校验以及CRC校验,内部数据处理流程图参见图3。按照本发明所限定的连接方式,实现多路Biss-C数据获取,然后将多路数据一并通过通用串口传输出去。

附图说明

[0020] 图1为本发明实施例所述的一种多路Biss-C数据到通用串口的数据采集传输装置的组成示意图;

[0021] 图2为发明实例所述发明实例中的FPGA内部的采集、调度、控制、发送示意图;

[0022] 图3为Biss-C数据采集模块的流程图;

[0023] 附图标记说明:110.差分单端互转电路,120.FPGA最小系统,130.串口电平转换芯片电路,210.PLL锁相环模块,220.读取时钟及采集时钟产生模块,230.逻辑控制模块,240、241、242、243.与非门模块,250、251.Biss-C数据采集模块,260.逻辑与模块,270.串口数据发送模块。

具体实施方式

[0024] 下面通过参考附图描述的实施例是示例性的,旨在用于解释本发明,而不能理解为对本发明的限制。

[0025] 下面将结合本发明实施例中的附图,以采集两路26位Biss-C绝对式编码器为例详细描述本发明中的技术方案,显然,所描述的实施例仅仅是本发明的一个实施例,并不是全部实施例。基于本发明的实施例,本领域的普通技术人员可以在没有任何创造性劳动的前提下获得其它实施例,都属于本发明的保护范围。

[0026] 本具体实施方式提供了一种多路Biss-C数据到通用串口的数据采集传输装置,如图1所示,包括:差分单端互转电路110,FPGA最小系统120,串口电平转换芯片电路130,所述差分单端互转电路110的差分端与编码器的差分数据和差分时钟线相连,差分单端互转电路的单端接口与FPGA最小系统120相连,串口电平转换芯片电路130的输入端与FPGA最小系统120相连。

[0027] 具体地,以采集两路26位Biss-C数据为例,本具体实施方式还提供了一种两路Biss-C数据到通用串口的数据采集传输示例,其FPGA内部的采集、调度、控制、发送示意图如图2所示,包括PLL锁相环模块210,读取时钟及采集时钟产生模块220,逻辑控制模块230,与非门模块240、241、242、243,Biss-C数据采集模块250、251,逻辑与模块260,串口数据发送模块270。其中,PLL锁相环模块210的输出20M时钟分别与逻辑控制模块230和串口数据发送模块270相连,输出10M时钟与读取时钟及采集时钟产生模块220相连,读取时钟及采集时钟产生模块220分别产生两路500KHz的时钟和两路有延时的500KHz的时钟分别接入与非门模块240、241、242和243,逻辑控制模块230的输出端MA_Control1与与非门模块240和241的输入端相连,逻辑控制模块230的输出端MA_Control2与与非门模块242和243的输入端相连,与非门模块240、242的输出端是第一路Biss-C的数据采集时钟,与非门模块241、243的输出端是第二路Biss-C的数据读取时钟,其分别与Biss-C数据采集模块250、251相连,Biss-C数据采集模块250、251的Posi_out输出端分别与串口数据发送模块270的datain1和datain2相连,逻辑控制模块230的输出端tx_en与Biss-C数据采集模块250、251的data_ready一同接入逻辑与模块260,逻辑与模块260的输出端与串口数据发送模块270的tx_en输入端相连。

[0028] 进一步地,读取时钟及采集时钟产生模块220产生读取时钟MA和SLO的采集时钟,时钟频率由采集的传感器的特性而定,一般为250KHz~10MHz,两个时钟之间有延时,延时时间由电缆引起的延时、读数头检测数据延时等综合确定。逻辑控制模块230负责整个系统的时间调度,其产生的MA_Control信号为1时发送MA时钟,MA_Control信号为0时停止发送MA时钟,在全部数据采集完毕后tx_en信号产生串口数据发送使能信号,并且所有Biss-C数据采集模块的输出采集完成data_ready置1时,才开始1帧数据的发送。

[0029] Biss-C数据采集模块是本发明的核心算法所在模块,主要完成Biss-C数据的采集、Error校验、Warn校验以及CRC校验,内部数据处理流程图参见图3。

[0030] 优选地,所述Biss-C数据采集模块接收SLO信号是根据MA信号时序来判断SLO信号状态,在MA信号上升沿处判断SLO信号的高低电平,第一个MA时钟上升沿,如果SLO高电平,表明读数头已经准备就绪,即SLO信号ready,将要进入Ack数据采集时间;之后读数头检测光栅编码,SLO持续拉低,保持在Ack位上,即SLO信号Ack,当在某个MA上升沿处接收到的SLO信号又产生高电平时,表明读数头检测编码结束,发出高电平Start位和Zero位后,开始传送26位位置信息、Error位、Warn位和CRC校验位,然后进行校验,确定数据无误后,发出数据采集完成标志data_ready。

[0031] 当两路同时采集的Biss-C数据采集完成时,data_ready1和data_ready2信号都为高电平,逻辑控制模块230的输出端tx_en信号与data_ready1和data_ready2信号进行逻辑与产生串口发送使能信号,传送到串口数据发送模块270。

[0032] 最后数据进入串口数据发送模块,利用锁相环模块产生的时钟信号进行相应的分频进而产生相应的波特率时钟,例如115200,将两路26位Biss-C数据按照两个帧头字节0X9A、0X6C、8字节数据、1个和校验字节共11个字节的格式,在tx_en信号的控制下串行发送出去,完成一帧数据的发送。

[0033] 以上所述,仅为本发明较佳的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明实施例揭露的技术范围内,可轻易想到的变化或

替换,例如改变Biss-C数据的采集数量,发送帧长度,发送波特率、帧头及校验方式以及选用特定的串口电平转换芯片等,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应该以权利要求的保护范围为准。

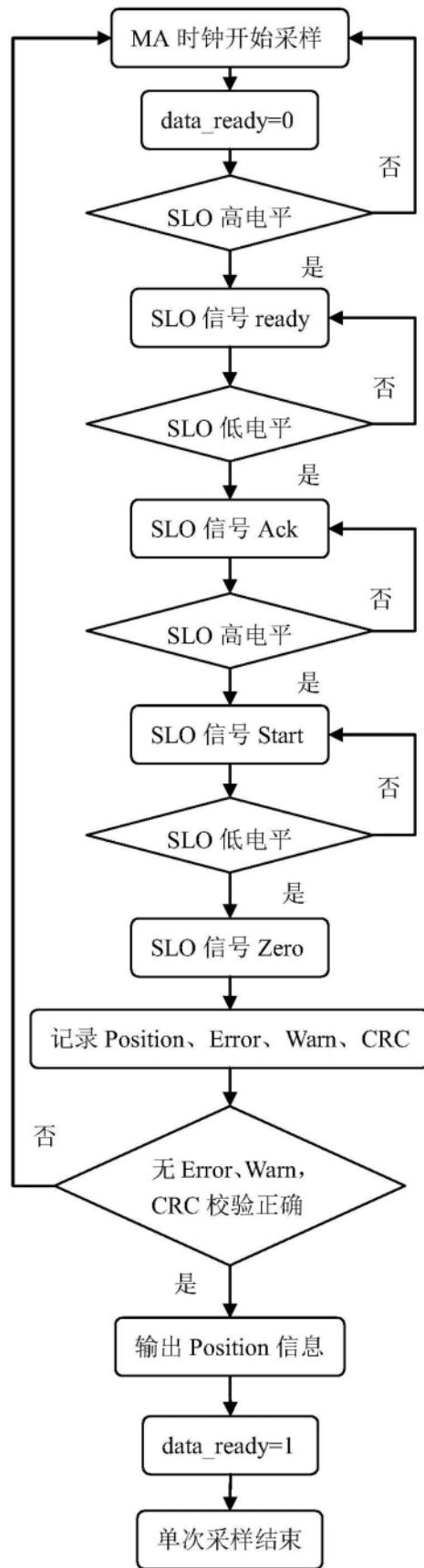


图3