

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 81 03541

(54) Circuit pour relever le fonctionnement correct de l'unité de contrôle des lignes d'un central de commutation téléphonique à division de temps.

(51) Classification internationale (Int. Cl.³). H 04 Q 1/20; H 04 M 3/26.

(22) Date de dépôt..... 23 février 1981.

(33) (32) (31) Priorité revendiquée : *Italie, 29 février 1980, n° 20252 A/80.*

(41) Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 36 du 4-9-1981.

(71) Déposant : Société dite : ITALTEL SOCIETA' ITALIANA TELECOMUNICAZIONI SPA, résidant en Italie.

(72) Invention de : Angelo Ascagni et Sergio Belletti.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Office Blétry,
2, bd de Strasbourg, 75010 Paris.

La présente invention est relative à un circuit apte à relever le fonctionnement correct de l'unité d'interface, qui sera appelé par la suite unité de contrôle des lignes, d'un central téléphonique de commutation de type électronique et opérant suivant le principe de la division de temps.

Dans un tel central téléphonique, on peut mettre en évidence trois unités fonctionnelles, à savoir l'unité logique de commande, le réseau de connexion et l'unité d'interface.

L'unité logique de commande, constituée généralement par au moins un ordinateur, assure la gestion du central et des services qu'elle offre aux usagers et à l'entreprise qui gère le service téléphonique.

Le réseau de connexion, auquel aboutissent les usagers, réalise matériellement la connexion entre les couples d'usagers dans chacun des intervalles de temps ou phases attribués à chaque couple.

L'unité d'interface est munie de son propre réseau logique et traduit les instructions reçues par l'unité de commande en des signaux de pilotage pour le réseau de connexion (par exemple en mémorisant et en émettant à chaque cycle de machine, dans une phase bien définie, les commandes de fermeture des interrupteurs nécessaires pour connecter entre eux les usagers auxquels cette phase a été attribuée) respectivement élabore les informations (par exemple la présence de courant sur la boucle d'un usager) reçues dans chaque phase par le réseau de connexion pour produire des messages (par exemple engagement, sélection, etc.) qu'elle en-

voie à l'unité logique de commande.

La présente invention est relative en particulier à une unité de contrôle des lignes dont les éléments de base, comme dans plusieurs autres machines à division de temps, sont une mémoire cyclique, ayant un nombre de cellules égal au nombre de phases, et un réseau séquentiel qui, dans chaque phase, sur la base de l'état atteint dans le cycle de machine précédent (état mémorisé dans la phase de la mémoire correspondante) et des ordres éventuels provenant de l'unité de commande et/ou des informations reçues par le réseau de connexion peut évoluer vers un autre état, émettant, si cela est nécessaire, un message pour l'unité de commande ou des signaux de pilotage pour le réseau de connexion. L'état du réseau séquentiel est transcrit dans la cellule de la mémoire associée à cette phase.

L'unité de contrôle de lignes comprend aussi naturellement des circuits d'entrée et de sortie vers l'unité de commande et vers le réseau de connexion, ainsi que les circuits de codage, de décodage et de transcodage nécessaires pour faire en sorte que chaque donnée (instruction, information, etc.) présente toujours le format requis par l'organe (mémoire, réseau séquentiel, réseau de connexion, unité de commande, etc.) auquel elle est destinée.

La présente invention est relative à un circuit qui permet de vérifier le fonctionnement correct de l'unité de contrôle de lignes en contraignant de l'extérieur, à travers l'unité de commande ou manuellement, le réseau séquentiel à présenter dans une phase un état préétabli, en appliquant aux entrées de l'unité de contrôle de lignes les signaux opportuns, et en vérifiant après un cycle de ligne si le réseau séquentiel a évolué correctement, modifiant son état et produisant des réponses éventuelles suivant la séquence prévue par le projet.

Bien qu'il soit possible d'opérer manuellement, pour l'essai et pour le diagnostic de l'unité de contrôle de lignes, il est particulièrement utile de recourir à un ordinateur électronique disposant de programmes d'essai, qui lui permettent de réaliser automatiquement les séquences d'essais requises, et de program-

mes de diagnostics, qui sont généralement requis par le programme d'essai lorsque la réponse de l'unité de contrôle de lignes n'est pas correcte, et qui permettent de mettre en évidence le circuit ou le composant défectueux.

5 Dans un central téléphonique en exercice, les programmes d'essai et/ou de diagnostic sont utilement introduits dans le logiciel de l'unité de commande et ils peuvent être requis soit automatiquement (par exemple à intervalles réguliers dans les heures de moindre trafic) soit sur demande de l'opérateur.

10 Comme on y a fait allusion précédemment, le schéma simplifié d'une unité de contrôle des lignes à laquelle l'invention est relative comprend des circuits d'entrée auxquels parviennent des données de l'unité de commande et du réseau de connexion; une mémoire cyclique dans chaque phase de laquelle sont enregistrées
15 des données provenant des registres d'entrée et relatives à la connexion à laquelle cette phase a été attribuée, et l'état qui a été atteint dans cette phase par un réseau séquentiel dans le cycle de machine précédent; le réseau séquentiel qui, sur la base des informations (données et état précédent) reçues par la mémoire mo-
20 difie (si cela est nécessaire) son propre état en mettant à jour le contenu de la mémoire dans la phase correspondante; des circuits de sortie auxquels sont transférées une phase après l'autre, les informations contenues dans la mémoire pour l'envoi à l'unité de commande ou au réseau de connexion.

25 Le circuit suivant l'invention comprend un premier et un deuxième registre d'essai dans lesquels sont introduits sur ordre d'un dispositif d'essai extérieur à l'unité de contrôle de lignes, respectivement des données et un état du réseau séquentiel; des moyens d'échange, rendus aptes par un circuit de comparaison et
30 par le dispositif d'essai et aptes à connecter les entrées d'écriture de la mémoire auxdits premier et deuxième registres d'essai, empêchant le passage des données présentes dans les circuits d'entrée; le circuit de comparaison, en réponse à l'identité entre une phase d'essai produite par ledit dispositif d'essai et celle
35 qui est balayée par un compteur de phases faisant partie des dis-

positifs de synchronisation du central téléphonique, produit un signal de commande qui a une durée égale à une phase et qui est apte à piloter lesdits moyens d'échange.

L'invention sera mieux comprise à la lecture de la description suivante donnée en référence aux dessins annexés dans
5 lesquels:

la figure 1 représente schématiquement un central de commutation téléphonique à division de temps.

La figure 2 représente schématiquement une unité de contrôle des lignes (UCL) comprenant l'invention.
10

Dans le schéma de la figure 1, on a désigné par C l'unité logique de commande, par R le réseau de connexion et par UCL l'unité de contrôle des lignes. Dans le cadre de l'unité de contrôle des lignes UCL on a mis en évidence les circuits d'entrée et de
15 sortie LR₁ et LD₁ d'une part et R₃ et R₄ d'autre part, qui permettent à l'unité de contrôle des lignes de converser respectivement avec le réseau de connexion R, et avec l'unité de contrôle C. Dans une forme préférée de réalisation, les circuits LR₁ et LD₁ sont constitués par des ensembles "driver-receiver" (circuits
20 d'attaque et de réception), tandis que les circuits R₃ et R₄ sont constitués par des registres de capacité appropriée.

Une unité de contrôle des lignes UCL comprenant l'invention sera maintenant décrite en faisant référence à un schéma simplifié illustré dans la figure 2 où :

- 25 - LR₁ et R₃ sont, respectivement, les circuits d'entrée connectés au réseau de connexion R et à l'unité de commande C;
- LD₁ et R₄ sont, respectivement, les circuits de sortie connectés au réseau de connexion R et à l'unité de commande C;
- M est une mémoire cyclique ayant un nombre de phases
30 égal à celui des conversations contemporaines admises par le central, et qui mémorise dans chaque phase les données provenant des circuits d'entrée et l'état pris par un réseau séquentiel RL; le contenu de la mémoire M dans chaque phase est transmis, non seulement au réseau séquentiel RL, mais aussi aux circuits de sortie
35 LD₁ et R₄;

- RL est un réseau logique de type séquentiel opérant par division de temps, qui reçoit de la mémoire M, dans chaque phase, l'état atteint dans le cycle de machine précédent et les données provenant des circuits d'entrée, ces données décidant si et dans lequel des états possibles le réseau doit évoluer: l'état pris par le réseau séquentiel RL est transmis à la mémoire M, en mettant à jour son contenu;

- T désigne l'ensemble des circuits de synchronisation et comprend, entre autres, un compteur cyclique (compteur de phase) qui représente la phase de la mémoire M et dont l'état est symboliquement indiqué par le signal F:

Le circuit suivant l'invention comprend :

- un dispositif d'essai P, manuel ou automatique, extérieur à l'unité de contrôle de lignes UCL : il produit des informations codées indiquant respectivement un état SP du réseau séquentiel RL, des données DP fournies au réseau séquentiel RL dans cet état, la phase FP de la mémoire M dans laquelle on veut que ces informations soient écrites, un signal de commande Z et un signal d'essai PR; le dispositif d'essai P reçoit en outre du circuit de sortie R_4 les résultats de l'essai, en particulier l'état atteint par le réseau séquentiel RL en réponse aux signaux (état et données) appliqués, pour les visualiser et/ou les analyser dans le cadre de procédures d'essai et/ou de diagnostic;

- un registre d'essai RP, dans lequel le dispositif d'essai P écrit un état SP du réseau séquentiel RL;

- un registre d'entrée d'essai RIP, placé en parallèle avec les circuits d'entrée LR_1 et R_3 , dans lequel le dispositif d'essai P écrit les données DP à fournir au réseau séquentiel RL;

- un dispositif de comparaison CF, qui compare la phase FP indiquée par le dispositif d'essai P avec l'état du compteur de phase, schématisée dans la figure par le signal F; le dispositif de comparaison CF produit un signal de commande A, ayant une durée égale à une phase, lorsqu'il relève l'identité entre les phases F et FP;

- des moyens d'échange S, qui en présence du signal de commande A et du signal PR produit par le dispositif d'essai P, connectent aux entrées d'écriture de la mémoire M les registres d'essai RP et RIP.

5 Le circuit suivant l'invention est utile et avantageux tant pour le constructeur du central téléphonique, auquel il permet une utilisation optimale de machines pour l'essai automatique, que pour l'organisme qui gère le service téléphonique, auquel il accorde une grande liberté de choix sur les temps, les modalités
10 et le niveau (contrôle de l'efficacité uniquement, diagnostic de perturbations au niveau de l'ensemble des circuits ou plaque ou composant, etc.) des essais effectués sur l'unité de contrôle des lignes UCL pour en relever le fonctionnement correct.

L'unité de contrôle de lignes UCL est exclue du service
15 sur commande manuelle ou au moyen d'un message envoyé (automatiquement ou sur demande de l'opérateur) par l'unité de commande C; la mise en marche de la procédure d'essai comporte, entre autres, l'émission, par le dispositif d'essai P, du signal PR qui rend aptes les moyens d'échange S et la connexion des moyens d'essai P
20 au circuit de sortie R_4 et qui empêche l'élaboration ultérieure, par le réseau séquentiel RL, des données contenues dans la mémoire M.

Quand le circuit de comparaison CF émet le signal de commande A, le contenu des registres d'essai RP, RIP est écrit dans
25 la mémoire M à travers les moyens d'échange S. Le dispositif d'essai P enlève, pendant un cycle de ligne, le signal d'essai PR, rendant possible l'élaboration par le réseau logique RL et, par conséquent, l'évolution de l'état du réseau lui-même.

Ensuite, le dispositif d'essai P produit un signal de
30 commande Z qui, avec le signal d'essai PR et avec le signal de commande A produit par le circuit de comparaison CF, permet le transfert dans le circuit de sortie R_4 des données présentes à la sortie de la mémoire M.

- REVENDICATIONS -

1.- Circuit pour relever le fonctionnement correct de l'unité de contrôle des lignes (UCL) d'un central de commutation téléphonique à division de temps, cette unité de contrôle des lignes comprenant des circuits d'entrées (R_3 et LR_1) connectés respectivement à une unité logique de commande (C) et à un réseau de connexion (R), une mémoire cyclique (M) pilotée par un compteur de phase faisant partie des circuits de synchronisation (T) du central téléphonique, des données provenant des circuits d'entrée (R_3 et LR_1) et l'état pris dans cette phase par un réseau séquentiel (RL) dans le cycle de machine précédent étant enregistrés dans chaque phase de ladite mémoire (M), ledit réseau séquentiel (RL) se positionnant dans l'état enregistré dans chaque phase par la mémoire, évoluant en réponse aux données associées à cet état et envoyant à la mémoire l'état atteint pour l'enregistrement dans ladite phase, et des circuits de sortie (LR_1 et R_4) reliant la sortie de la mémoire (M) respectivement au réseau de connexion (R) et à l'unité logique de commande (C), caractérisé en ce qu'il comprend un premier et un deuxième registre d'essai (RIP, TP) aptes à mémoriser, sur commande de moyens d'essai (P) extérieurs à l'unité de contrôle des lignes (UCL), respectivement des données (DP) et un état (SP) du réseau séquentiel (RL), un circuit de comparaison (CF) qui, en réponse à la coïncidence entre une phase (FP) préétablie au moyen desdits moyens d'essai (P) et la phase (F) balayée par ledit compteur de phase, produit un premier signal de commande (A), des moyens d'échange (S) qui, en réponse audit premier signal de commande (A) et à un signal d'essai (PR) produit par lesdits moyens

d'essai (P), connectent lesdits registres d'essai (RP, RIP) aux entrées d'écriture de la mémoire (M) et permettent le transfert de leur contenu dans une phase de ladite mémoire (M), et en ce que le circuit de sortie (R_4) est connecté aux moyens d'essai (P) en réponse à la présence dudit signal d'essai (PR) et est rendu apte à l'écriture en réponse audit signal de commande (A), audit signal d'essai (PR) et à un deuxième signal de commande (Z) produit par lesdits moyens d'essai (P).

2.- Circuit suivant la revendication 1, caractérisé en ce que ledit signal d'essai (PR) empêche l'élaboration ultérieure, par le réseau séquentiel (RL), des données contenues dans la mémoire cyclique (M), et en ce que, en réponse audit premier signal de commande (A), le dispositif d'essai (P) suspend l'émission du signal d'essai pendant un temps égal à un cycle de ligne.

3.- Circuit suivant la revendication 2, caractérisé en ce que lesdits moyens d'essai (P) comprennent un ordinateur qui, contrôlé par des programmes d'essai et/ou de diagnostic, produit les messages (SP, DP) à introduire dans les registres d'essai (RP, RIP), communique au dispositif de comparaison (CF) la phase d'essai (FP), interprète les messages contenus dans le circuit de sortie (R_4) et envoie des messages qui, lorsqu'ils sont décodés, constituent ledit deuxième signal de commande (Z) et ledit signal d'essai (PR).

4.- Circuit suivant la revendication 2, caractérisé en ce que lesdits moyens d'essai (P) comprennent des moyens aptes à introduire manuellement le contenu des registres d'essai (RP, RIP) et la phase d'essai (FP), des moyens aptes à visualiser le contenu du circuit de sortie (R_4), ainsi que des moyens aptes à produire ledit deuxième signal de commande (Z) et ledit signal d'essai (PR).

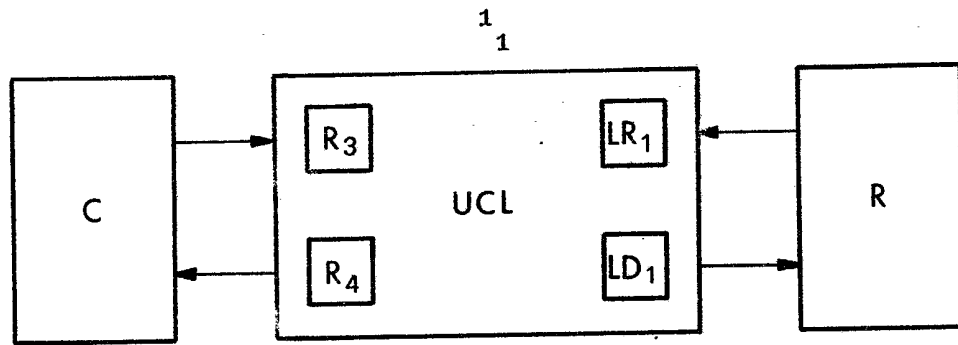


fig 1

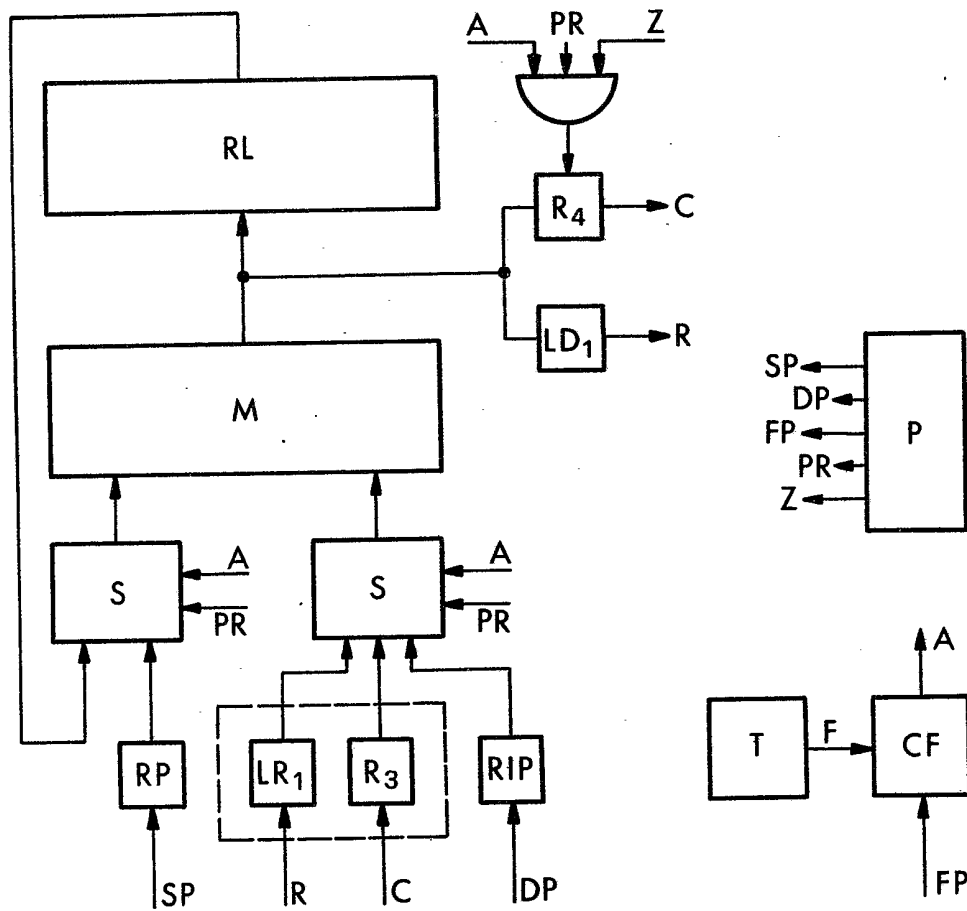


fig.2