(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
H01L 27/092 (2006.01)

(11) 공개번호 10-2007-0050603
(43) 공개일자 2007년05월16일

(21) 출원번호 10-2005-0107998
(22) 출원일자 2005년11월11일
심사청구일자 2005년11월11일

(71) 출원인 경상대학교산학협력단
경상남도 진주시 가좌동 900

(72) 발명자 정인영
경기도 수원시 권선구 권선동 상록아파트 342동 902호

(74) 대리인 이세진
이범일

전체 청구항 수 : 총 10 항

(54) 반도체 웰전압을 조절하기 위한 장치 및 방법

(57) 요약

본 발명은 웰전압을 조절하여 공정변동이나 전압변화가 있더라도, 반도체 전류의 크기를 원하는 레벨로 유지하여 요구되는 성능을 만족시키기 위한 반도체 웰전압 조절장치 및 방법을 제공하기 위한 것이다.

이를 위해 본 발명은, 반도체 칩이 심한 공정변동으로 인해 요구되는 성능을 만족시키지 못하면, 웰전압 정보 저장장치의 정보에 따라 바디-소스간 순방향 웰전압 발생장치에 의해 P웰 또는 N웰에 공급하는 반도체 웰전압을 조절함으로써 웰전압을 순방향으로 높여가면서 반도체 칩 테스트를 행하여 만족할 수 있는 최소한의 웰전압을 찾고, 이 후 그 반도체 칩 및 그와 동일한 성능을 가질 것으로 확신되는 칩들의 웰전압이 상시 그 값을 가질 수 있도록 퓨즈컷팅 등을 통해서 칩에 정보를 저장하는 것을 특징으로 한다.

또한, 반도체 칩 성능이 요구되는 사양에 못 미칠 경우에는 상기 웰전압 정보 저장장치에 따라 바디-소스간 순방향 웰전압 발생장치를 통해 순방향의 웰전압을 발생시키고, 성능이 필요 이상으로 좋은 경우에는 전력소모를 줄이도록 상기 웰전압 정보 저장장치에 따라 바디-소스간 역방향 웰전압 발생장치를 통해 역방향의 웰전압을 발생시키는 것을 특징으로 한다.

대표도

도 1

특허청구의 범위

청구항 1.

반도체의 P웰과 N웰에 가하는 웰 바이어스 전압을 가변적으로 조절하여 반도체 전류의 크기를 원하는 레벨로 유지하기 위한 반도체 웰전압 조절장치에 있어서,

웰전압 정보 저장장치의 정보에 따라 P웰에 공급하는 반도체 웰전압을 조절하기 위해 P웰전압을 발생시키기 위한 P웰의 바디-소스간 순방향 웰전압 발생장치를 구비하여 구성된 것을 특징으로 하는 반도체 웰전압 조절장치.

청구항 2.

반도체의 P웰과 N웰에 가하는 웰 바이어스 전압을 가변적으로 조절하여 반도체 전류의 크기를 원하는 레벨로 유지하기 위한 반도체 웰전압 조절장치에 있어서,

웰전압 정보 저장장치의 정보에 따라 N웰에 공급하는 반도체 웰전압을 조절하기 위해 N웰전압을 발생시키기 위한 N웰의 바디-소스간 순방향 웰전압 발생장치를 구비하여 구성된 것을 특징으로 하는 반도체 웰전압 조절장치.

청구항 3.

반도체의 P웰과 N웰에 가하는 웰 바이어스 전압을 가변적으로 조절하여 반도체 전류의 크기를 원하는 레벨로 유지하기 위한 반도체 웰전압 조절장치에 있어서,

공유된 웰전압 정보 저장장치의 정보에 따라 각각의 P웰 또는 N웰에 공급하는 반도체 웰전압을 각각 조절하기 위해 각각의 P웰전압 및 N웰전압을 발생시키기 위한 P웰의 바디-소스간 순방향 웰전압 발생장치 및 N웰의 바디-소스간 순방향 웰전압 발생장치를 구비하여 구성된 것을 특징으로 하는 반도체 웰전압 조절장치.

청구항 4.

반도체의 N웰과 P웰에 가하는 웰 바이어스 전압을 가변적으로 조절하여 반도체 전류의 크기를 원하는 레벨로 유지하기 위한 반도체 웰전압 조절장치에 있어서,

공유된 웰전압 정보 저장장치의 정보에 따라 P웰 또는 N웰에 공급하는 반도체 웰전압을 조절하기 위해 순방향의 웰전압을 발생시키기 위한 바디-소스간 순방향 웰전압 발생장치와,

상기 공유된 웰전압 정보 저장장치의 정보에 따라 P웰 또는 N웰에 공급하는 반도체 웰전압을 조절하기 위해 역방향의 웰전압을 발생시키기 위한 바디-소스간 역방향 웰전압 발생장치 및,

상기 공유된 웰전압 정보 저장장치를 통해 상기 바디-소스간 순방향 및 역방향 웰전압 발생장치에 의해 발생된 웰전압이 공급되는 P웰 또는 N웰을 선택하기 위한 P웰 또는 N웰 선택부를 구비하여 구성된 것을 특징으로 하는 반도체 웰전압 조절장치.

청구항 5.

반도체의 N웰과 P웰에 가하는 웰 바이어스 전압을 가변적으로 조절하여 반도체 전류의 크기를 원하는 레벨로 유지하기 위한 반도체 웰전압 조절장치에 있어서,

웰전압 정보 저장장치 1개만으로 P웰전압 발생장치와 N웰전압 발생장치로부터 P웰과 N웰에 공급되는 웰전압을 조절하기 위해 NMOS와 PMOS의 전류를 비교하여 그 결과값을 출력하는 N/PMOS 발란스 회로를 구비하여 구성된 것을 특징으로 하는 반도체 웰전압 조절장치.

청구항 6.

반도체의 성능을 모니터링 하면서 지속적으로 요구되는 성능에 맞춰 주도록 웰 바이어스 전압을 조절하기 위한 반도체 웰 전압 조절장치에 있어서,

필요에 따라 순방향 전압만을 발생시키거나, 또는 순방향/역방향 전압 모두를 발생시키는 N웰 및 P웰전압 발생장치의 웰 전압에 의한 N/PMOS의 전류크기를 모니터링 하여 적절한 제어신호를 출력하여 상기 웰전압을 상승시키거나 하강시키기 위한 모니터링 회로인 N/PMOS 전류측정기를 구비하여 구성된 것을 특징으로 하는 반도체 웰전압 조절장치.

청구항 7.

제6항에 있어서, 상기 모니터링 회로인 N/PMOS 전류측정기는 NMOS와 PMOS에 흐르는 전류가 각각 기준으로 설정된 어떤 전류값 이하라면 기본적으로 N웰 및 P웰의 전압을 상승시키도록 제어신호를 발생하고, 반대로 그 이상이라면 전압을 하강시키기 위한 제어신호를 출력하는 것을 특징으로 하는 반도체 웰전압 조절장치.

청구항 8.

제1항 내지 제3항에 기재된 반도체 웰전압 조절장치를 이용하여 반도체의 N웰과 P웰에 가하는 웰 바이어스 전압을 가변적으로 조절하여 반도체 전류의 크기를 원하는 레벨로 유지하기 위한 반도체 웰전압 조절방법에 있어서,

반도체 칩이 심한 공정변동 등으로 인해 요구되는 성능을 만족시키지 못하면, 웰전압 정보 저장장치의 정보에 따라 바디-소스간 순방향 웰전압 발생장치에 의해 P웰 또는 N웰에 공급하는 반도체 웰전압을 조절함으로써 웰전압을 순방향으로 높여가면서 반도체 칩 테스트를 행하여 만족할 수 있는 최소한의 웰전압을 찾고, 이 후 그 반도체 칩 및 그와 동일한 성능을 가질 것으로 확신되는 칩들의 웰전압이 상시 그 값을 가질 수 있도록 퓨즈컷팅 등을 통해서 칩에 정보를 저장하는 것을 특징으로 하는 반도체 웰전압 조절방법.

청구항 9.

제4항 및 제5항에 기재된 반도체 웰전압 조절장치를 이용하여 반도체의 N웰과 P웰에 가하는 웰 바이어스 전압을 가변적으로 조절하여 반도체 전류의 크기를 원하는 레벨로 유지하기 위한 반도체 웰전압 조절방법에 있어서,

반도체 칩 성능이 요구되는 사양에 못 미칠 경우에는 상기 웰전압 정보 저장장치에 따라 바디-소스간 순방향 웰전압 발생장치를 통해 순방향의 웰전압을 발생시키고, 성능이 필요 이상으로 좋은 경우에는 전력소모를 줄이도록 상기 웰전압 정보 저장장치에 따라 바디-소스간 역방향 웰전압 발생장치를 통해 역방향의 웰전압을 발생시키는 것을 특징으로 하는 반도체 웰전압 조절방법.

청구항 10.

제6항에 기재된 모니터링 회로를 갖춘 반도체 웰전압 조절장치를 이용하여 반도체의 N웰과 P웰에 가하는 웰 바이어스 전압을 가변적으로 조절하여 반도체 전류의 크기를 원하는 레벨로 유지하기 위한 반도체 웰전압 조절방법에 있어서,

상기 모니터링 회로의 출력결과에 따라 바디-소스간 순방향 또는 역방향 웰전압 발생장치를 작동시켜 실시간으로 P웰 및 N웰전압을 각각 조절하여 독립적으로 낮추거나 높이던지, 아니면 그대로 유지시킴으로써 NMOS 및 PMOS의 전류의 비율을 일정하게 유지시키면서 회로의 성능을 요구되는 목표치에 맞추는 것을 특징으로 하는 반도체 웰전압 조절방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 웰전압을 조절하기 위한 장치 및 방법에 관한 것으로, 특히 웰전압(예컨대, 바디전압)을 조절하여 공정변동이나 전압변화가 있더라도, 반도체 전류의 크기를 원하는 레벨로 유지하여 요구되는 성능을 만족시키기 위한 반도체 웰전압 조절장치 및 방법에 관한 것이다.

통상, 가장 보편적인 VLSI 공정인 CMOS에서 N웰(N-well) 또는 P웰(P-well)의 전압은 각각 회로에서 발생하는 가장 높은 전압(Vdd)과 가장 낮은 전압(Vss)을 가하게 된다.

이는 래치-업(latch-up)을 방지하는데 가장 큰 이유가 있으며, MOS의 바디와 소스 접합에 순방향전압이 걸리지 않게 유지하는데도 그 목적이 있다.

이렇게 MOSFET의 소스와 바디가 동일한 전압값을 가질 때, MOSFET의 문턱전압을 기본 문턱전압이라 하며, 만약 NMOSFET를 기준으로 바디전압이 소스전압보다 낮아질 경우 문턱전압은 기본 문턱전압보다 높아지게 되며, 반대의 경우에는 기본 문턱전압보다 낮아지게 된다.

일반적으로 반도체 칩을 사용하는 시스템의 경우, 반도체 칩이 반드시 가져야 하는 최소 사양이 있다. 예컨대, DDR 800과 같은 DRAM의 경우, 매 800MHz 클럭 사이클마다 요구하는 데이터를 전송할 수 있어야 한다.

대부분의 경우, 특히 디지털 칩의 성능은 회로의 지연시간에 의해서 결정되며, 회로의 지연시간은 MOSFET 트랜지스터의 전류크기와 직접 관계가 있다.

상기 트랜지스터의 전류크기는 반도체 제조과정에서의 변동 때문에, 애초에 예상했던 값과는 보통 달라지게 되며, 이를 공정변동이라 한다.

상기와 같은 공정변동에 의해서 전류가 시뮬레이션에서 사용된 값과 달라지게 되면 회로의 지연속도가 달라지게 되고, 그 경우에 사양을 만족시키지 못할 수도 있다.

또한, 트랜지스터의 전류크기 및 회로의 지연시간은 공정요인 외에도 공급전압과 온도에 따라서도 크게 달라지게 되므로, 일반적으로 회로 설계시에는 공정, 전압, 온도(PVT) 등과 같은 3가지 변동요인의 가장 나쁜 조압을 기준으로 마진을 가질 수 있도록 여유를 갖고 설계해야 하며, 이것은 일반적인 조건의 PVT에서의 불필요하게 많은 마진을 갖게끔 하는 결과를 가져온다.

마진을 크게 하려면, 칩 면적, 소모전력 등에서의 손실을 감수해야 하므로, 지연시간 마진을 무한정 갖도록 설계할 수는 없으며, 따라서 제조된 칩은 공정변동이 심할 경우, 가장 나쁜 조합의 PVT에서는 요구된 사양을 만족시키지 못하는 경우가 종종 있는 것이 현실이다.

또한, 공정의 변동은 많은 경우에 NMOS 그룹과 PMOS 그룹 사이에 상이하게 나타나는 일이 적지 않은데, 이것은 NMOS와 PMOS의 전류크기의 비율이 예상치와 잘 맞아야 좋은 특성을 나타내는 회로에 있어서는 성능을 저하시키는 주요한 요인이 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 점을 감안하여 발명된 것으로, 반도체의 N웰과 P웰에 가하는 웰 바이어스 전압을 가변적으로 조절함으로써 공정변동이나 전압변화가 있더라도, 반도체 전류의 크기를 원하는 레벨로 유지하여 요구되는 반도체 회로의 성능을 만족시킴과 더불어 소모전력을 감소시키기 위한 반도체 웰전압 조절장치 및 방법을 제공하는 것을 목적으로 한다.

즉, 반도체의 제조과정 상의 변동 및 산포, 동작전압의 변동 등에 의해서 회로의 최소 성능의 사양을 만족시키지 못할 경우에는 웰전압을 상승시켜 성능을 개선하고, 반대로 너무 불필요하게 성능이 좋은 경우에는 웰전압을 하강시켜 전력소모를 감소시킬 수 있는 반도체 웰전압 조절장치 및 방법을 제공하는 것을 목적으로 한다.

또한, NMOS와 PMOS의 전류의 크기나 컨덕턴스 등이 잘 일치해야 하는 회로, 예컨대 칩 인터페이스의 ODT(On-Die-Termination) 등의 회로에 사용되어 NMOS와 PMOS의 전류크기의 발란스를 맞출 수 있는 반도체 웰전압 조절장치 및 방법을 제공하는 것을 목적으로 한다.

더욱이, 전류 모니터링 회로를 갖추고, 그 결과를 받아 웰전압을 조절함으로써 전압이나 온도의 변동이 있더라도 회로의 지연시간을 비교적 일정하게 유지시켜 줄 수 있는 반도체 웰전압 조절장치 및 방법을 제공하는 것을 목적으로 한다.

발명의 구성

상기한 바와 같은 목적을 달성하기 위한 본 발명의 제1특징에 따른 반도체 웰전압 조절장치는 웰전압 정보 저장장치의 정보에 따라 P웰에 공급하는 반도체 웰전압을 조절하기 위해 P웰전압을 발생시키기 위한 P웰의 바디-소스간 순방향 웰전압 발생장치를 구비하여 구성된다.

또한, 본 발명의 제2특징에 따른 반도체 웰전압 조절장치는 웰전압 정보 저장장치의 정보에 따라 N웰에 공급하는 반도체 웰전압을 조절하기 위해 N웰전압을 발생시키기 위한 N웰의 바디-소스간 순방향 웰전압 발생장치를 구비하여 구성된다.

또한, 본 발명의 제3특징에 따른 반도체 웰전압 조절장치는 공유된 웰전압 정보 저장장치의 정보에 따라 각각의 P웰 또는 N웰에 공급하는 반도체 웰전압을 각각 조절하기 위해 각각의 P웰전압 및 N웰전압을 발생시키기 위한 P웰의 바디-소스간 순방향 웰전압 발생장치 및 N웰의 바디-소스간 순방향 웰전압 발생장치를 구비하여 구성된다.

또한, 본 발명의 제4특징에 따른 반도체 웰전압 조절장치는 공유된 웰전압 정보 저장장치의 정보에 따라 P웰 또는 N웰에 공급하는 반도체 웰전압을 조절하기 위해 순방향의 웰전압을 발생시키기 위한 바디-소스간 순방향 웰전압 발생장치와, 상기 공유된 웰전압 정보 저장장치의 정보에 따라 P웰 또는 N웰에 공급하는 반도체 웰전압을 조절하기 위해 역방향의 웰전압을 발생시키기 위한 바디-소스간 역방향 웰전압 발생장치 및, 상기 공유된 웰전압 정보 저장장치를 통해 상기 바디-소스간 순방향 및 역방향 웰전압 발생장치에 의해 발생된 웰전압이 공급되는 P웰 또는 N웰을 선택하기 위한 P웰 또는 N웰 선택부를 구비하여 구성된다.

또한, 본 발명의 제5특징에 따른 반도체 웰전압 조절장치는 웰전압 정보 저장장치 1개만으로 P웰전압 발생장치와 N웰전압 발생장치로부터 P웰과 N웰에 공급되는 웰전압을 조절하기 위해 NMOS와 PMOS의 전류를 비교하여 그 결과값을 출력하는 N/PMOS 발란스 회로를 구비하여 구성된다.

또한, 본 발명의 제6특징에 따른 반도체 웰전압 조절장치는 필요에 따라 순방향 전압만을 발생시키거나, 또는 순방향/역방향 전압 모두를 발생시키는 N웰 및 P웰전압 발생장치의 웰전압에 의한 N/PMOS의 전류크기를 모니터링 하여 적절한 제어신호를 출력하여 상기 웰전압을 상승시키거나 하강시키기 위한 N/PMOS 전류측정기를 구비하여 구성된다.

또한, 본 발명의 제7특징에 따른 모니터링 회로인 N/PMOS 전류측정기는 NMOS와 PMOS에 흐르는 전류가 각각 기준으로 설정된 소정 전류값 이하라면 기본적으로 N웰 및 P웰의 전압을 상승시키도록 제어신호를 발생하고, 반대로 그 이상이라면 전압을 하강시키기 위한 제어신호를 출력하도록 이루어진다.

또한, 본 발명의 제8특징에 따른 반도체 웰전압 조절방법은 반도체 칩이 심한 공정변동 등으로 인해 요구되는 성능을 만족시키지 못하면, 웰전압 정보 저장장치의 정보에 따라 바디-소스간 순방향 웰전압 발생장치에 의해 P웰 또는 N웰에 공급하는 반도체 웰전압을 조절함으로써 웰전압을 순방향으로 높여가면서 반도체 칩 테스트를 행하여 만족할 수 있는 최소한의 웰전압을 찾고, 이 후 그 반도체 칩 및 그와 동일한 성능을 가질 것으로 확신되는 칩들의 웰전압이 상시 그 값을 가질 수 있도록 퓨즈컷팅 등을 통해서 칩에 정보를 저장하도록 이루어진다.

또한, 본 발명의 제9특징에 따른 반도체 웰전압 조절방법은 반도체 칩 성능이 요구되는 사양에 못 미칠 경우에는 상기 웰전압 정보 저장장치에 따라 바디-소스간 순방향 웰전압 발생장치를 통해 순방향의 웰전압을 발생시키고, 성능이 필요 이상으로 좋은 경우에는 전력소모를 줄이도록 상기 웰전압 정보 저장장치에 따라 바디-소스간 역방향 웰전압 발생장치를 통해 역방향의 웰전압을 발생시키도록 이루어진다.

마지막으로, 본 발명의 제10특징에 따른 반도체 웰전압 조절방법은 상기 제6특징에 따른 모니터링 회로의 출력결과에 따라 바디-소스간 순방향 또는 역방향 웰전압 발생장치를 작동시켜 실시간으로 P웰 및 N웰전압을 각각 조절하여 독립적으로 낮추거나 높이던지, 아니면 그대로 유지시킴으로써 NMOS 및 PMOS의 전류의 비율을 일정하게 유지시키면서 회로의 성능을 요구되는 목표치에 맞추도록 이루어진다.

따라서, 상기와 같이 이루어진 본 발명에 의하면, 반도체의 제조과정 상의 변동 및 산포, 동작전압의 변동 등에 의해서 회로의 최소 성능의 사양을 만족시키지 못할 경우에는 웰전압을 상승시켜 성능을 개선하고, 반대로 너무 불필요하게 성능이 좋은 경우에는 웰전압을 하강시켜 전력소모를 감소시킬 수 있다.

또한, 반도체의 공정변동 뿐만 아니라 전압, 온도에 따른 변동도 모두 모니터링 하여 보정할 수 있다.

(실시예)

본 발명은 반도체의 N웰과 P웰에 가하는 웰 바이어스 전압을 가변적으로 조절하여 반도체 전류의 크기를 원하는 레벨로 유지함으로써 요구되는 반도체 회로의 성능을 만족시킴과 더불어 소모전력을 감소시킬 수 있는 반도체 웰전압 조절장치 및 방법을 제공하도록 실시된다.

P웰의 경우, 바이어스 전압을 Vss를 가하지 않고 약간 상승된 전압을 가할 경우, 그 P웰을 바디(body) 단자로 공유하는 NMOS들의 문턱전압이 낮아져 전류가 증가하며 회로의 지연시간이 단축된다.

또한, P웰의 전압을 Vss보다 더 낮은 전압으로 걸어줄 경우에는 전류가 줄고 회로의 속도가 감소하지만, 게이트와 소스/드레인 등의 커패시턴스가 줄어들어 소모전력이 줄어드는 효과가 있다.

이에 본 발명에서는 수동적이고, 자동적인 다양한 조절방식을 통해 웰전압을 성능에 맞게 조절할 수 있는 반도체 웰전압 조절장치 및 방법을 제공하도록 실시한다.

이하, 본 발명의 실시예를 도면을 참조하면서 상세히 설명한다.

도 1은 본 발명에 따른 가장 단순한 반도체 웰전압 발생장치(예컨대, 바디-소스간 순방향 웰전압 발생장치)를 통해 P웰 또는 N웰에 공급하는 반도체 웰전압을 조절함으로써 반도체 칩 성능을 만족시키기 위한 반도체 웰전압 조절장치 및 방법을 설명하기 위한 것이다.

즉, 반도체 칩이 제조되었을 경우, 심한 공정변동으로 인해 요구되는 성능을 만족시키지 못할 경우에, 우선 웰전압을 순방향으로 높여가도록 레지스터-퓨즈 쌍을 갖춘 정보 저장장치의 레지스터값을 바꾸어 가면서 반도체 칩 테스트를 행함으로써 만족할 수 있는 최소한의 레지스터값을 찾는다. 이 후, 그 반도체 칩 및 그와 동일한 성능을 가질 것으로 확신되는 칩들의 웰전압이 상시 그 값을 가질 수 있도록 고정된 정보를 상시 유지하는 퓨즈컷팅 등을 통해서 칩에 정보를 저장하는 방식이다.

도 2는 도 1에 도시된 바디-소스간 순방향 웰전압 발생장치(2)를 통해 반도체 웰전압을 조절하기 위해 N웰에 웰전압을 공급하는 과정을 설명하기 위한 예시도이다.

도 2에 도시된 바와 같이, 바디-소스간 순방향 웰전압 발생장치(2)의 Vss와 연결된 4개의 저항(R0~R3)은 통상 binary weighing의 저항값을 갖게 한다. 따라서, b0~b3까지의 이진비트의 조합이 커짐에 따라 N웰의 출력값은 Vdd에서 점차 내려가게 된다.

본 실시예에 따른 동작과정을 구체적으로 설명하면 다음과 같다.

즉, 반도체 칩이 제조되어 성능을 테스트할 경우, 우선 도 2에 도시된 웰전압 정보 저장장치(1: 예컨대, 퓨즈, ROM 등)의 레지스터(3: Registers)에 "0000"값을 갖는 기본상태(즉, N웰전압이 Vdd가 되는)로 칩을 동작시켜 성능 Fail이 발생되면, 레지스터 값을 하나씩 올려(즉, N웰전압이 조금씩 하강하고, 바디-소스간에 순방향 전압이 상승하는) 가면서 성능이 규격을 만족할 때까지 테스트를 진행하도록 실시한다.

만약, 웰전압 정보 저장장치(1)의 레지스터(3)에 "0101"값일 때 비로소 규격을 만족하는 성능을 가지게 되었다면, 웰전압 정보 저장장치(1)의 퓨즈박스(4: Fuse Box)에 퓨즈 셋팅(fuse setting)을 통해 "0101"의 정보를 기록하여 칩을 출하하게 된다.

한편, 웰전압 정보 저장장치(1)의 퓨즈박스(4)는 칩 제품에 따라서 비휘발성 메모리로 대체할 수도 있다.

또한, 바디-소스간 순방향 웰전압 발생장치(2)의 구성회로는 도 2와 같이 N웰에 전압을 공급하는 형태 외에 다양한 형태로 실시할 수 있다.

즉, P웰에 전압을 공급하는 경우는 도 2와 반대가 될 것이다(도시 및 상세한 설명은 생략).

도 3은 본 발명에 따른 P웰의 바디-소스간 순방향 웰전압 발생장치(6)와 N웰의 바디-소스간 순방향 웰전압 발생장치(7)를 통해 N웰과 P웰의 전압을 모두 조절하기 위한 반도체 웰전압 조절장치 및 방법을 설명하기 위한 것이다.

즉, N웰전압과 P웰전압을 모두 조절하고자 할 경우에는, 도 3에 도시한 바와 같이 웰전압 정보 저장장치(1)를 공유하고, P웰의 바디-소스간 순방향 웰전압 발생장치(6)와 N웰의 바디-소스간 순방향 웰전압 발생장치(7)를 각각 사용하여 실시하면 된다.

이 경우에는, 반도체 칩 테스트시에 Fail이 발생될 경우, 웰전압 정보 저장장치(5)의 웰전압 정보를 증가시키면 N웰과 P웰 모두 순방향 전압이 증대됨에 따라 P/NMOS의 전류가 동시에 증가하게 된다.

도 4는 본 발명에 따른 바디-소스간 순방향 웰전압 발생장치(12)와 바디-소스간 역방향 웰전압 발생장치(13)를 통해 N웰 또는 P웰의 전압을 조절하기 위한 반도체 웰전압 조절장치 및 방법을 설명하기 위한 것이다.

도 4는 도 1과 유사하지만 바디-소스간에 순방향 웰전압 뿐만 아니라 필요에 따라 역방향 웰전압을 발생시킬 수 있다는 점에서 다르다.

즉, 성능이 요구되는 사양에 못 미칠 경우에는 웰전압 정보 저장장치(1)에 따라 바디-소스간 순방향 웰전압 발생장치(12)를 통해 순방향의 웰전압을 발생시키고, 성능이 필요 이상으로 좋은 경우에는 전력소모를 줄이도록 웰전압 정보 저장장치(1)에 따라 바디-소스간 역방향 웰전압 발생장치(13)를 통해 역방향의 웰전압을 발생시킨다.

한편, 순방향의 전압과 역방향의 전압은 발생시키는 메커니즘이 다르기 때문에, 두 장치를 분리하는 것이 효과적이다.

본 실시예에 따른 동작과정을 구체적으로 설명하면 다음과 같다.

즉, 도 2와 마찬가지로 웰전압 정보 저장장치(1)에 레지스터 값을 기본값, 예컨대 "1000"을 갖고 칩의 성능을 테스트할 경우(이 때, N웰전압은 Vdd로 가정), 첫번째로 "1000"으로 충분한 성능을 발휘한다면 값을 줄여 가면서(즉, N웰의 전압을 역방향으로 증가시켜 가면서) 성능의 Fail이 일어나지 않는 최소의 값을 찾아 내어 퓨즈 등에 기록한다.

두번째로, "1000"으로 충분한 성능을 발휘하지 못한다면 값을 증가시켜 가면서(즉, N웰의 전압을 순방향으로 증가시켜 가면서) 성능이 규격을 만족시키는 최초의 값을 찾아내어 퓨즈 등으로 기록한다.

이 경우, 예를 들어 웰전압 정보가 "1000" 이상일 경우는 도 4의 바디-소스간 순방향 웰전압 발생장치(12)만을 작동시켜 그 출력값을 N웰의 전압으로 취하고, 반대로 "1000" 이하일 경우는 도 4의 바디-소스간 역방향 웰전압 발생장치(13)을 작동시켜 그 출력값을 N웰의 전압으로 취한다.

한편, 도 4의 바디-소스간 순방향 웰전압 발생장치(12)는 도 2의 바디-소스간 순방향 웰전압 발생장치(2)와 동일한 장치이며, 도 4의 바디-소스간 역방향 웰전압 발생장치(13)는 전하펌프회로와 그 콘트롤회로에 해당한다.

상기 바디-소스간 역방향 웰전압 발생장치(13)는 웰전압 정보 저장장치(1)에서 제공되는 입력비트에 따라 전하펌프된 목표출력값이 제어되는 기능을 갖고 있어야 한다(전하펌프의 구성은 매우 다양하므로, "A Fast Pump-Down VBB Generator for Sub-1.5-VDRAMs," IEEE Journal of Solid-State Circuits, 2001, 7월호 참조).

한편, 회로 설계시에 예상했던 NMOS, PMOS 트랜지스터의 성능비는 일정하게 유지되는 것이 좋다. 즉, NMOS가 1um 너비에 400uA가 흐르고, PMOS가 2.5um 너비에 400uA가 흐른다고 가정하여 설계되었다면, 칩이 제조되어 적절한 웰전압을 가한 후에 NMOS와 PMOS의 전류비는 상기와 같은 값이 흐르는 것이 바람직하다.

따라서, 웰전압 정보 저장장치(1)는, 예컨대 NMOS가 1um당 400uA가 흐르도록 하는 P웰의 전압 정보만을 기록하고, N웰의 경우는 PMOS의 2.5um당 전류가 NMOS의 1um 전류와 같아지도록 하는 것이다.

이를 위해 상기에서 예를 든 바에 따르면, NMOS 1um과 PMOS 2.5um의 전류를 비교하여 그 결과값을 출력하는 "발란서(balancer)"회로가 필요하다.

도 5는 N/PMOS 발란스 회로(23)를 통해 웰전압 정보 저장장치(1) 1개만으로 N웰과 P웰의 전압을 모두 예상치에 맞도록 조절하기 위한 반도체 웰전압 조절장치 및 방법을 설명하기 위한 것이다.

즉, 도 5는 그 일예로서 웰전압 정보 저장장치(1)의 정보가 P웰에 전달되고, N웰의 전압은 N/PMOS 발란스 회로(23)에 의해서 조절되는 것을 나타낸다. 물론, 그 반대의 경우도 가능하다.

도 5의 웰전압 발생장치는 도 4의 웰전압 발생부(15)에 대응되는 장치이다.

한편, 도 5에 나타낸 점선표시는 N/PMOS 발란스 회로(23)의 NMOS에 조정된 P웰전압이 반영되어 영향을 끼치며, 역시 N웰전압도 N/PMOS 발란스회로로 피드백되는 것을 의미한다.

도 6은 도 5의 N/PMOS 발란스 회로(23)를 상세히 도시한 회로도이다.

상기 도 6에 도시된 N/PMOS 발란스 회로(23)를 구성함에 있어서, 트랜지스터(26~29)까지의 전류거울은 낮은 문턱전압의 트랜지스터를 사용하는 것이 트랜지스터(25, 30)의 포화전류를 관찰하는데 있어서 적당하다.

상기 발생된 P웰전압과 N웰전압은 도 6에서 트랜지스터(25, 30)의 바디 단자와의 접속을 통해 N/PMOS 발란스 회로(23)의 출력에 영향을 끼치게 되며, 이를 나타낸 것이 도 5에서의 점선표시 경로이다.

PMOS 전류가 NMOS에 비해 클 경우, 출력은 논리적 1을 발생하고, 그 반대일 경우 출력값은 0이 된다. 따라서, 이러한 출력값에 따라 도 5의 N웰전압 발생장치(24)는 N웰전압을 낮추거나 높여가며, 궁극적으로 NMOS와 PMOS의 전류가 균형을 이루는 N웰전압값을 찾아가게 되는 것이다.

즉, N웰전압 발생장치(24)는 P웰전압 발생장치(22)와 같이 주로 고정된 이진비트의 입력을 받는 것이 아니라, 시간적으로 변하는 플래그(flag)신호를 받아서 N웰전압의 증감을 조절한다는 측면에서 제어방식이 다른 장치이어야 하며, 도 7에서 N웰전압 발생장치(24)를 가져야 하는 기능을 나타냈다.

상기 N웰전압 발생장치(24)는 다양하게 구성될 수 있으며, 쉽게 생각하기로는 N웰전압 하강을 위해 필요한 OP앰프 회로와 전압 상승을 위해서 전하펌프회로를 모두 갖춘 형태가 바람직하다.

이상 기술한 바와 같이 상기 실시예들은 모두 칩 테스트 결과에 의해서 사양을 만족시키는 최소의 웰전압을 갖도록 칩에 퓨즈 등으로 정보를 고정시키는 것에 관한 것이다.

즉, 칩이 제작된 후, 사양에 규정된 최악의 전압, 온도 조건에서도 요구되는 성능을 가질 수 있는 최소의 웰전압을 퓨즈 등으로 고정시키는 것으로, 이러한 장치는 시제품 개발시 개발기간을 단축시킬 수 있고, 또 제품 양산시에 수율을 증대시킬 수 있다.

도 8은 PVT에 따른 N/PMOS 전류측정기(31: 모니터링 회로)에 따라 웰전압을 모니터링 하여 웰전압을 조절하기 위한 반도체 웰전압 조절장치 및 방법을 설명하기 위한 것이다.

즉, 도 8은 상기 실시예와는 달리 실시간으로 계속 트랜지스터의 성능을 모니터링 하면서 지속적으로 요구되는 성능에 맞춰 주도록 웰전압을 조절하기 위한 반도체 웰전압 조절장치 및 방법에 관한 것이다.

따라서, 본 실시예에 의하면, 공정변동 뿐만 아니라 전압, 온도에 따른 변동도 모두 모니터링 하여 보정할 수 있다.

또한, 경우에 따라서는 퓨즈 등의 웰전압 정보 저장장치가 필요치 않을 수도 있다.

본 실시예에 따른 동작과정을 구체적으로 설명하면 다음과 같다.

예컨대, NMOS가 1um당 400uA가 흐르도록 예상이 되었다면, 우선 이를 검출하는 회로인 모니터링 회로를 제작한다.

상기 모니터링 회로인 도 8의 PVT에 따른 N/PMOS 전류측정기(31)는, 전류가 400uA 이하라면 기본적으로 P웰의 전압을 상승시키도록 제어신호를 발생하고, 반대로 그 이상이라면 전압을 하강시키기 위한 제어신호를 출력한다.

여기서, 도 8에 도시된 N웰전압 발생장치(32)는 도 5의 N웰전압 발생장치(24)에 대응하는 것으로, 입력제어신호의 값에 따라 출력전압을 상승시키거나 하강시키는 기능을 한다.

상기 N웰전압 발생장치(32)는 필요에 따라 순방향 전압만을 발생시키거나, 또는 순방향/역방향 전압 모두를 발생시키는 장치로 이루어질 수 있다.

또한, 도 8에 도시된 P웰전압 발생장치(33)는 N웰전압 발생장치(32)와 그 기능이 같다.

한편, 도 8에 나타낸 점선은 도 5에서와 마찬가지로 발생된 웰전압이 모니터링 회로(31)의 NMOS와 PMOS에 영향을 끼치는 피드백방향을 의미한다.

도 9는 도 8의 PVT에 따른 N/PMOS 전류측정기(31)인 모니터링 회로의 일예를 상세히 도시한 회로이다.

도 9에서 rno단자는 Vdd/(k+ 2)라는 전압을 가지게 되는데, nto단자는 이 rno단자와 비교가 되어 N웰전압 발생장치(32)의 입력값을 만들어 낸다.

즉, nto단자 전압이 rno단자보다 낮다는 것은 트랜지스터(40)의 전류가 목표치보다 적게 흐른다는 의미이므로, nwup가 0이 되고, 이것은 N웰전압 발생장치(32)의 입력으로 들어가 N웰전압 발생장치(32)가 N웰전압을 낮추도록 제어한다.

상기 N웰전압이 낮추어지면서 트랜지스터(40)의 전류는 증대될 것이고, nto단자 전압이 상승하여 rno단자와 같아지는 점에서 피드백이 멈출 것이다.

상기 nto단자 전압이 rno단자 전압보다 높은 경우에는, 그 반대로 동작하여 역시 nto단자와 rno단자 전압이 같아지는 N웰전압을 찾게 될 것이다.

이 경우, 도 9의 트랜지스터(40)에 흐르는 전류는 Vdd/(k+ 2)R이라는 값으로 스스로 맞춰질 것이다.

이상 기술한 바와 같이 본 발명을 상기와 같은 실시예로 설명했지만, 상기 실시예로 한정하는 것은 아니고, 본 발명의 목적 및 배경을 이탈하지 않는 범위 내에서 다양하게 변형하여 실시할 수 있는 것은 물론이다.

발명의 효과

상술한 바와 같이 본 발명에 의하면, CMOS의 N웰과 P웰에 가하는 웰 바이어스 전압을 가변적으로 조절함으로써 공정변동이나 전압변화가 있더라도, N/PMOS의 전류의 비율을 일정하게 유지하면서 MOSFET 전류의 크기를 원하는 레벨로 유지하여 요구되는 반도체 회로의 성능을 만족시킴과 더불어 소모전력을 감소시킬 수 있다.

도면의 간단한 설명

도 1은, 본 발명에 따른 바디-소스간 순방향 웰전압 발생장치를 통해 P웰 또는 N웰에 공급하는 반도체 웰전압을 조절하기 위한 반도체 웰전압 조절장치를 도시한 도면,

도 2는, 도 1의 반도체 웰전압 조절장치를 보다 상세히 도시한 도면,

도 3은, 본 발명에 따른 P웰 및 N웰의 바디-소스간 순방향 웰전압 발생장치를 통해 N웰과 P웰의 전압을 모두 조절하기 위한 반도체 웰전압 조절장치를 도시한 도면,

도 4는, 본 발명에 따른 바디-소스간 순방향/역방향 웰전압 발생장치를 통해 N웰 또는 P웰의 전압을 조절하기 위한 반도체 웰전압 조절장치를 도시한 도면,

도 5는, N/PMOS 발란스 회로를 통해 N웰과 P웰의 전압을 조절하기 위한 반도체 웰전압 조절장치를 도시한 도면,

도 6은, 도 5의 N/PMOS 발란스 회로를 상세히 도시한 도면,

도 7은, 입력에 따른 N웰전압 발생장치의 N웰전압 증감의 조절을 설명하기 위한 도면,

도 8은, PVT에 따른 N/PMOS 전류측정기에 따라 웰전압을 모니터링 하여 웰전압을 조절하기 위한 반도체 웰전압 조절장치를 도시한 도면,

도 9는, 도 8의 PVT에 따른 N/PMOS 전류측정기인 모니터링 회로의 일예를 상세히 도시한 도면이다.

<도면의 주요부분에 대한 부호의 설명>

1 --- 웰전압 정보 저장장치(Fuse, ROM 등),

2 --- 바디-소스간 순방향 웰전압 발생장치,

3 --- 레지스터,

4 --- 퓨즈 박스,

6 --- P웰의 바디-소스간 순방향 웰전압 발생장치,

7 --- N웰의 바디-소스간 순방향 웰전압 발생장치,

12 --- 바디-소스간 순방향 웰전압 발생장치,

13 --- 바디-소스간 역방향 웰전압 발생장치,

14 --- P웰 또는 N웰 선택부,

15 --- 웰전압 발생부,

22 --- P웰전압 발생장치,

23 --- N/PMOS 발란스 회로,

24 --- N웰전압 발생장치,

25~30,34,40 --- 트랜지스터,

31 --- PVT에 따른 N/PMOS 전류측정기(모니터링 회로),

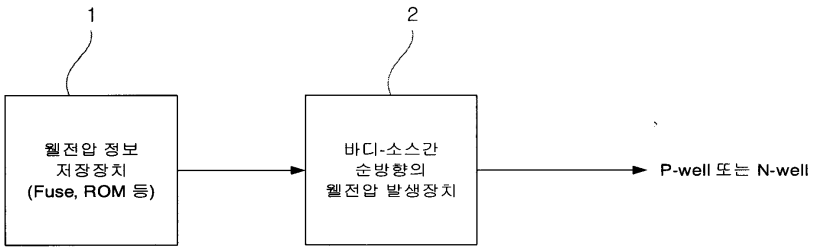
32 --- N웰전압 발생장치,

33 --- P웰전압 발생장치,

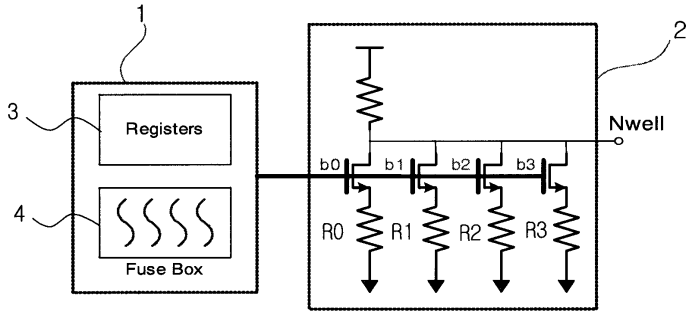
35~39 --- 저항.

도면

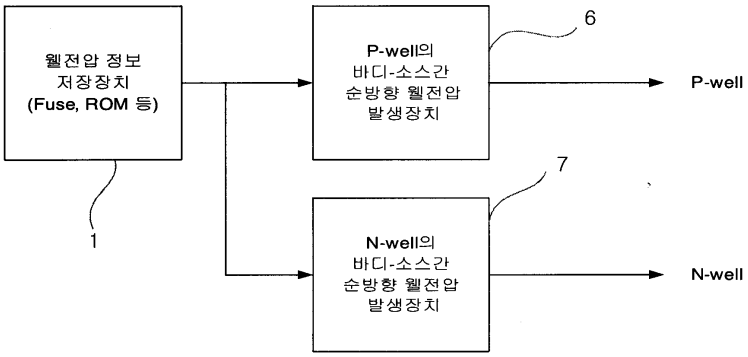
도면1



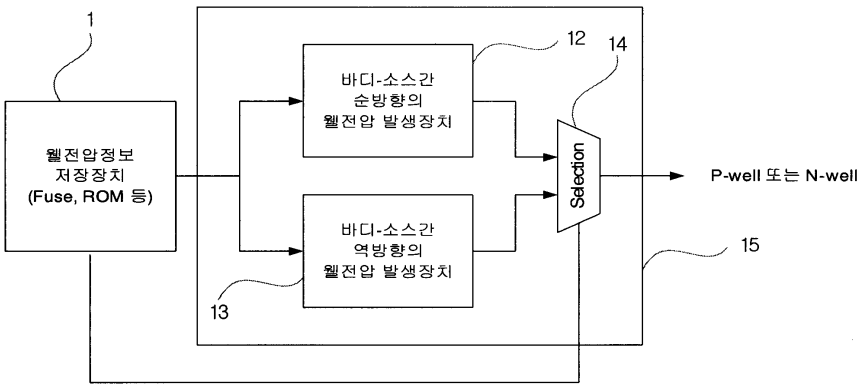
도면2



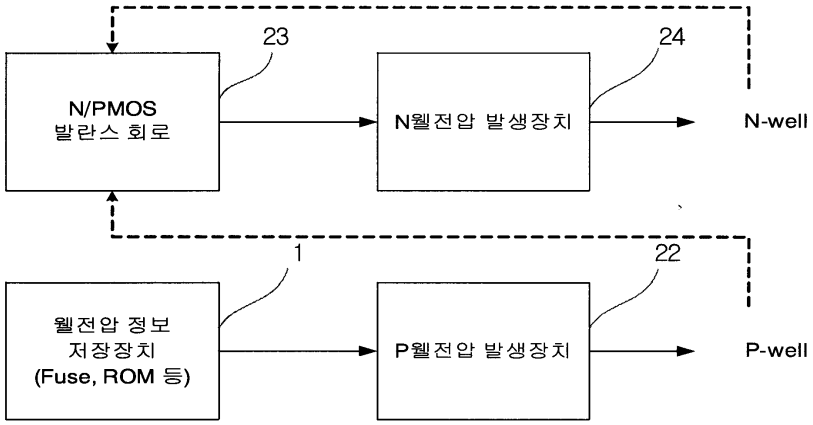
도면3



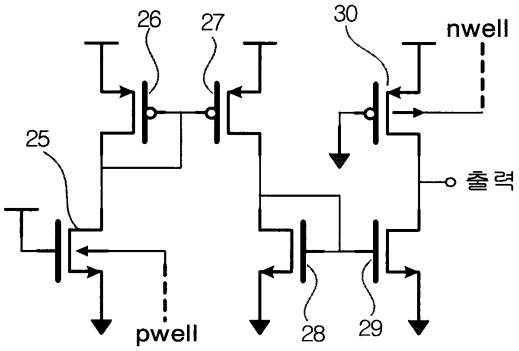
도면4



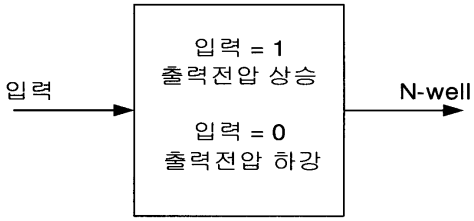
도면5



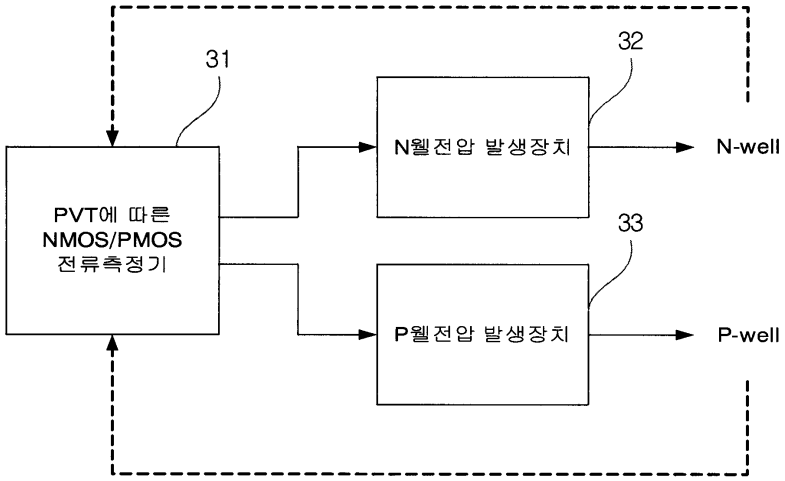
도면6



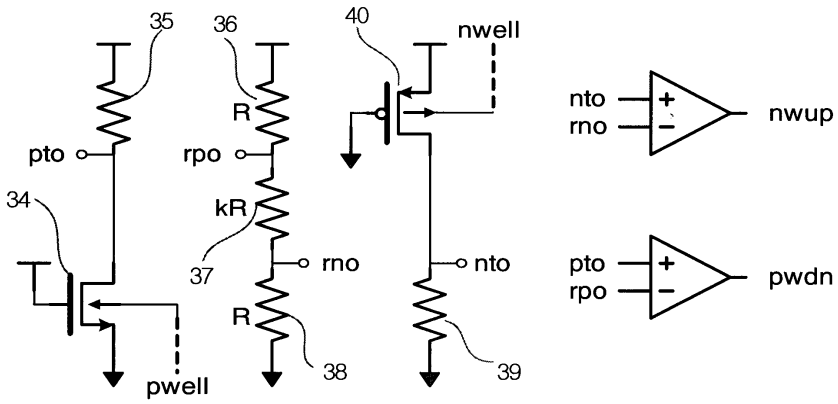
도면7



도면8


31
32
33
PVT에 따른
NMOS/PMOS
전류측정기
N웰전압 발생장치
P웰전압 발생장치
N-well
P-well

도면9


35
36
40
nwell
R
pto
rpo
kR
34
37
rno
nto
R
38
39
pwell
nto
rno
nwup
pto
rpo
pwdn