



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년02월01일
 (11) 등록번호 10-1701669
 (24) 등록일자 2017년01월24일

(51) 국제특허분류(Int. Cl.)
H04N 5/268 (2006.01) *G06F 3/14* (2006.01)
G09G 5/12 (2006.01) *H04N 1/32* (2006.01)
 (52) CPC특허분류
H04N 5/268 (2013.01)
G06F 3/14 (2013.01)
 (21) 출원번호 10-2015-7033133
 (22) 출원일자(국제) 2013년10월14일
 심사청구일자 2015년11월19일
 (85) 번역문제출일자 2015년11월19일
 (65) 공개번호 10-2015-0143851
 (43) 공개일자 2015년12월23일
 (86) 국제출원번호 PCT/IB2013/002285
 (87) 국제공개번호 WO 2015/056036
 국제공개일자 2015년04월23일
 (56) 선행기술조사문헌
 W01999052246 A1*
 US20090244393 A1*
 KR1020040094606 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 아셀산 엘렉트로닉 사나이 베 티카렛 아노님 시르 케티
 터키 앙카라 예니마할레 마쿤코이 넘버 16 카테 296. 메흐메트 아키프 에르소이 마할레시
 (72) 발명자
 오즈사락, 이즈메일
 터키 앙카라 엠지이오 그루부 캔크#알# 유루 7 케 이엠 아큐르트
 (74) 대리인
 특허법인 무한

전체 청구항 수 : 총 11 항

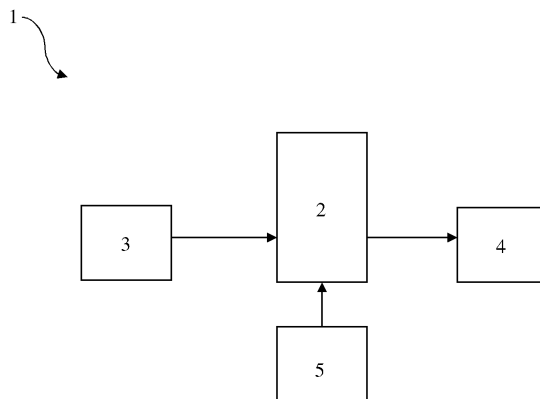
심사관 : 진민숙

(54) 발명의 명칭 **FPGA의 적응형 소프트 비디오 스위치**

(57) 요약

본 발명은 FPGA에서 비디오를 스위치하는 시스템 및 방법에 연관된다. 본 발명의 목표는 클락 스위치 요건을 제거하는 것이다. 본 발명의 다른 목표는 입력 및 출력 비디오의 수를 조정하기 위해 유연성을 제공하는 것이다. 본 발명의 다른 목표는 프레임 버퍼(외부 메모리) 제공의 필요성을 제거하는 것이다. 본 발명의 또 다른 목표는 프레임 레이턴시를 추가하지 않고 더 적은 라인 레이턴시를 추가하는 것이다. 본 발명의 또 다른 목표는 다른 입력과 출력 사이에서 스위치할 수 있는 사용자 제어를 제공하는 것이다.

대표도 - 도1



(52) CPC특허분류

G09G 5/12 (2013.01)

H04N 1/32502 (2013.01)

명세서

청구범위

청구항 1

비디오 스위치 시스템을 위한 인벤티브 시스템에 있어서,

상기 비디오 스위치 시스템을 제어하고, 상기 비디오 스위치 시스템의 다른 모든 부분을 서로 연결하는 적어도 하나의 메인 제어 인터페이스;

들어오는 비디오 라인을 캡처하여 상기 메인 제어 인터페이스로 송신하는 적어도 두 개의 비디오 입력 인터페이스;

상기 메인 제어 인터페이스로부터 스위치되는 비디오를 획득하고, 상기 스위치되는 비디오를 출력으로 송신하는 적어도 하나의 비디오 출력 인터페이스; 및

사용자 선택 및 제어를 캡처하고, 명령을 상기 메인 제어 인터페이스로 송신하는 적어도 하나의 사용자 인터페이스

를 필수적으로 포함하고,

상기 메인 제어 인터페이스는 상기 비디오 입력 인터페이스로부터 오는 비디오를 판독하고 들어오는 비디오의 픽셀 클락과 상기 메인 제어 인터페이스의 로컬 클락을 비교하고 스위칭 공식을 이용하여 비디오를 스위치하는 것을 특징으로 하는 시스템.

청구항 2

비디오 스위치 방법을 위한 인벤티브 방법에 있어서,

비디오 입력 인터페이스에 의해 비디오를 획득하는 단계;

상기 비디오 입력 인터페이스에 의해 픽셀 클락과 함께 비디오를 메인 제어 인터페이스로 송신하는 단계;

상기 비디오 입력 인터페이스로부터 오는 비디오를 판독하고 메인 제어 인터페이스에 의해 들어오는 비디오의 픽셀 클락과 메인 제어 인터페이스의 로컬 클락을 비교하는 단계;

메인 제어 인터페이스에 의해 스위칭 공식을 이용하여 비디오를 스위치하는 단계;

사용자 인터페이스로부터 사용자에게 의해 선택되는 데이터 어드레스를 획득하고, 상기 비디오의 제어 데이터를 숨기도록 상기 어드레스를 상기 비디오로 할당하는 단계;

메인 제어 인터페이스에 의해 픽셀 데이터에 관해 비디오를 비디오 출력 인터페이스로 송신하는 단계;

비디오 출력 인터페이스에 의해 레지스터에 저장되는 정보에 따라 동기화 신호를 생성하는 단계; 및

비디오 출력 인터페이스에 의해 비디오를 상기 출력으로 송신하는 단계

를 필수적으로 포함하는 방법.

청구항 3

제1항에 있어서,

동기화 신호 vsync, hsync 및 데이터 유효성을 캡처하는 비디오 입력 인터페이스를 특징으로 하는 시스템.

청구항 4

제1항에 있어서,

공식 $\frac{X}{\text{PIXEL CLK}} = \frac{X - \text{WAIT}}{\text{LOCAL CLK}}$ 을 이용하여 상기 비디오를 스위치하는 메인 제어 인터페이스를 특징으로 하는 시스템.

청구항 5

제1항에 있어서,
vsync 출력, hsync 출력, 데이터 유효성 출력 및 픽셀 데이터 출력 신호를 생성하는 비디오 출력 인터페이스를 특징으로 하는 시스템.

청구항 6

제1항에 있어서,
FPGA를 위한 적응형 소프트 비디오 스위치에 이용되는 메인 제어 인터페이스를 특징으로 하는 시스템.

청구항 7

제1항에 있어서,
클락 스위치 대신 비디오를 스위치하도록 오직 라인 FIFO를 이용하는 메인 제어 인터페이스를 특징으로 하는 시스템.

청구항 8

제1항에 있어서,
프레임 레이턴시 대신 라인 레이턴시 이하를 추가하는 메인 제어 인터페이스를 특징으로 하는 시스템.

청구항 9

제1항에 있어서,
비디오 입력 및 비디오 출력의 개수의 변경을 조정 가능한 구조인 메인 제어 인터페이스를 특징으로 하는 시스템.

청구항 10

제1항에 있어서,
다른 비디오 해상도를 위한 조정 가능한 구조인 메인 제어 인터페이스를 특징으로 하는 시스템.

청구항 11

제1항에 있어서,
비디오 스위치 동작 및 출력 비디오 특성 조절에 이용되는 사용자 인터페이스를 특징으로 하는 시스템.

발명의 설명

기술 분야

본 발명은 FPGA의 비디오를 스위치하는 시스템 및 방법에 연관된다.

배경 기술

유럽 특허 EP1956832는 적어도 두 개의 비디오 소스 중 각각의 하나로부터 적어도 두 명의 사용자가 비디오 데이터를 볼 수 있도록 허용하는 비디오 스위치를 제시한다. 비디오 스위치는 적어도 두 개의 비디오 소스 중 하나를 선택하는 스위치 및 스위치와 연결되는 적어도 하나의 샘플러를 포함한다. 샘플러는 적어도 두 개의 비디오 소스로부터 비디오 데이터를 샘플링한다. 비디오 스위치는 스위치를 제어하는 컨트롤러 및 적어도 두 개의 비디오 소스 중 하나를 선택하고 비디오 데이터의 프레임을 샘플링하는 샘플러를 더 포함한다. 출력은 비디오 데이터를 적어도 두 사용자에게 전송하도록 제공된다. 출력은 적어도 두 명의 최대 동시 사용자를 지원하고, 비디오 스위치의 샘플러의 수는 최대 동시 사용자의 수보다 적고, 본 발명에 따른 비디오는 비디오 데이터를 캡처하는 샘플러가 적어도 두 명의 동시 사용자 사이에서 공유되도록 허용한다. 이는 비디오 스위치를 구현하기 위해 요구되는 하드웨어의 복잡성 및 비용 사이즈를 감소시킨다. 본 발명의 일실시예에서, 샘플러는 프로그램 가능한 위상 잠금 루프(Phase Locked Loop)를 포함할 수 있고, 위상 고정 루프는 패스트 잠금 모드를 선택적으로 가질 수 있다. 그러나 이러한 시스템은 비디오 프레임 버퍼를 요구하고, 비디오 프레임 버퍼링은 외부 메모리의 이용을 요구한다. 추가로 비디오 프레임 버퍼링은 비디오 레이턴시를 추가한다.

미국 특허 제US20050046748호는 다중의 입력 사이에서 스위칭하는 비디오를 실행하는 시스템 및 방법을 제시하고 출력이 제시된다. 일실시예에서, 시스템은 적어도 하나의 사용자 인터페이스, 복수의 비디오 입력 및 복수의 비디오 출력에 연결되는 비디오 박스를 포함한다. 비디오 박스는 적어도 하나의 사용자 인터페이스 및 복수의 비디오 입력 및 복수의 비디오 출력에 연결되는 비디오 스위치를 포함한다. 사용자 인터페이스의 활성화는 생성되는 비디오 제어 신호로 보내지는 비디오 제어 신호를 생성한다. 비디오 컨트롤러는 수신되는 비디오 제어 신호에 기반하여 비디오 스위칭 신호를 생성한다. 비디오 스위치는 생성되는 비디오 제어 신호에 기반하여 복수의 비디오 입력 중 적어도 하나를 복수의 비디오 출력 중 적어도 하나로 연결시킨다. 그러나 이러한 시스템에서 FIFO는 비디오 스위칭을 위해 이용되지 않고, 실제로 FIFO는 비디오 스위칭 명령을 숨기기 위해 이용된다. 또한 이러한 시스템은 비디오 스위칭을 위한 FPGA를 이용하지 않고, 아날로그 장치(Analog Device)에 의해 생성되는 특별한 마이크로칩을 이용하고, 이러한 시스템에서 비디오 시스템 프로세스는 소프트웨어가 아닌 하드웨어에서 수행된다.

중국 특허 제CN202276408호는 관리 가능한 비디오 매트릭스 스위칭 기기를 개시하고, W77E58 단일 칩 마이크로 컴퓨터 모듈, AD8115 비디오 매트릭스 스위칭 모듈, AD8054 비디오 드라이빙 모듈, FPGA(Field Programmable Gate Array) 비디오 검출 모듈 및 다른 기능의 모듈을 포함한다. 관리 가능한 비디오 매트릭스 스위칭 기기는 관리 가능한 비디오 매트릭스 스위칭 기기에 의해, 관련된 중요한 부분을 중요한 기기의 동작 조건 또는 중요한 장소와 연관되는 상황을 적절하고 효율적으로 모니터링하도록 하기 위해, 요구되는 바와 같이 여덟 경로의 모니터링되는 비디오 입력 및 열여섯 개의 모니터링되는 비디오 출력의 매트릭스 스위칭을 수행하고, 스위칭되는 비디오 입력 및 비디오 출력을 요구되는 부분으로 전송하기 위해 이용되는 디스플레이 콘솔에서 터치하고, 기기에 관한 상태 모니터링 및 상태 관리를 기기 관리 소프트웨어를 통해 수행하고, 네트워크 원격 제어 채널 스위칭을 수신할 지 여부와 이와 유사한 것이 충족될 수 있는 지를 선택할 수 있는 장점을 가진다. 그러나, 입력 비디오의 여덟 경로는 직접 출력을 통해 물리적으로 검출될 수 있다. 따라서, 관리 가능한 비디오 매트릭스 스위칭 기기는 제한된 쉘(ship) 공간 및 테스트 기기 하에서 디스플레이 콘솔의 분해(dismantling) 없이 고장을 결정하는 역할을 수행할 수 있다. 그러나 이러한 시스템은 비디오 스위칭을 위한 FPGA를 이용하지 않고, 아날로그 장치에 의해 생성되는 특별한 마이크로 칩을 이용한다.

다른 비디오 포맷은 다른 픽셀 클락을 가진다. 따라서, 이러한 비디오 사이를 스위칭하기 위해서는 클락 스위치를 이용하여야 한다. 그러나, 클락 스위치에 대한 두 가지 문제가 있다. 하나는 클락 스위치 입력의 수가 제한되는 것이고, 그 결과 많은 비디오 입력을 이러한 스위치에 연결하는 것이 불가능하다. 다른 하나는 클락 스위치의 이용이 FPGA (Field Programmable Gate Array) 이용과 강하게 연관되는 점이다. 고밀도의 FPGA에서, 클락 스위치가 불가능할 수 있다.

발명의 내용

해결하려는 과제

본 발명의 목적은 클락 스위치 요건을 제거하는 것이다.
 본 발명의 다른 목적은 입력 및 출력 비디오 수를 조정하도록 유연성을 제공하는 것이다.
 본 발명의 다른 목적은 프레임 버퍼(외부 메모리)의 필요성을 제거하는 것이다.
 본 발명의 다른 목적은 프레임 레이턴시를 추가하지 않고, 라인 레이턴시보다 적게 추가하는 것이다.
 본 발명의 다른 목적은 다른 입력 출력 사이에서 스위치하도록 사용자 제어를 제공하는 것이다.

과제의 해결 수단

비디오 스위치 시스템(1)을 위한 인벤티브 시스템은 상기 비디오 스위치 시스템(1)을 제어하고, 상기 비디오 스위치 시스템(1)의 다른 모든 부분을 서로 연결하는 적어도 하나의 메인 제어 인터페이스(2); 상기 들어오는 비디오 라인을 캡처하고, 상기 들어오는 비디오 라인을 상기 메인 제어 인터페이스(2)로 송신하는 적어도 두 개의 비디오 입력 인터페이스(3); 상기 메인 제어 인터페이스(2)로부터 상기 스위치되는 비디오를 획득하고, 상기 스위치되는 비디오를 상기 출력으로 송신하는 적어도 하나의 비디오 출력 인터페이스(4); 및 상기 사용자 선택 및 제어를 캡처하고, 상기 명령을 상기 메인 제어 인터페이스(2)로 송신하는 적어도 하나의 사용자 인터페이스(5)를 필수적으로 포함한다.

비디오 스위치 방법(100)을 위한 인벤티브 방법은 상기 비디오 입력 인터페이스(3)에 의해 비디오를 획득하는 단계(101); 상기 비디오 입력 인터페이스(3)에 의해 픽셀 클락과 함께 비디오를 상기 메인 제어 인터페이스(2)로 송신하는 단계(102); 상기 비디오 입력 인터페이스(3)로부터 오는 비디오를 판독하고 메인 제어 인터페이스(2)에 의해 상기 들어오는 비디오의 클락과 메인 제어 인터페이스의 로컬 클락을 비교하는 단계(103); 메인 제어 인터페이스(2)에 의해 상기 스위칭 공식을 이용하여 비디오를 스위치하는 단계(104); 상기 사용자 인터페이스(5)로부터 사용자에게 의해 선택되는 데이터 어드레스를 획득하고, 상기 비디오의 제어 데이터를 숨기도록 상기 어드레스를 상기 비디오로 할당하는 단계(105); 메인 제어 인터페이스(2)에 의해 상기 픽셀 데이터에 관해 비디오 출력 인터페이스(4)로 송신하는 단계(106); 비디오 출력 인터페이스에 의해 레지스터에 저장되는 상기 정보에 따라 상기 동기화 신호를 생성하는 단계(107); 및 비디오 출력 인터페이스(4)에 의해 비디오를 상기 출력으로 송신하는 단계(108)를 필수적으로 포함한다.

도면의 간단한 설명

본 발명의 목표를 충족하는 시스템 및 방법은 첨부되는 도면에서 설명된다.

도 1은 비디오 스위치를 위한 시스템이다.
 도 2는 비디오 스위치를 위한 방법이다.

발명을 실시하기 위한 구체적인 내용

비디오 스위치 시스템(1)을 위한 인벤티브 시스템은 상기 비디오 스위치 시스템(1)을 제어하고, 상기 비디오 스위치 시스템(1)의 다른 모든 부분을 서로 연결하는 적어도 하나의 메인 제어 인터페이스(2), 상기 들어오는 비디오 라인을 캡처하고, 상기 들어오는 비디오 라인을 상기 메인 제어 인터페이스(2)로 송신하는 적어도 두 개의 비디오 입력 인터페이스(3), 상기 메인 제어 인터페이스(2)로부터 상기 스위치되는 비디오를 획득하고, 상기 스위치되는 비디오를 상기 출력으로 송신하는 적어도 하나의 비디오 출력 인터페이스(4), 및 상기 사용자 선택 및 제어를 캡처하고, 상기 명령을 상기 메인 제어 인터페이스(2)로 송신하는 적어도 하나의 사용자 인터페이스(5)를 포함한다.

선호되는 실시예에서, 단계(101)의 "상기 비디오 입력 인터페이스(3)에 의해 비디오를 획득하는 단계"에서, 비디오 입력 인터페이스(3)는 라인 FIFO를 포함한다. 비디오 동기화 신호 vsync, hsync 및 데이터 유효성은 비디오 입력 인터페이스(3)에 의해 캡처된다. 들어오는 픽셀 데이터는 비디오 입력 인터페이스(3)에 의한 데이터 유효성 신호 및 픽셀 클락을 이용함으로써 FIFO로 기록된다.

선호되는 실시예에서, 단계(102)의 "상기 비디오 입력 인터페이스(3)에 의해 픽셀 클락을 이용하여 비디오를 상기 메인 제어 인터페이스(2)로 송신하는 단계"의, 특정 수의 픽셀 데이터가 FIFO로 기록되고 비디오가 메인 제

어 인터페이스(2)로 송신된 후, 특정 수의 픽셀 데이터가 FIFO로 기록되는 경우, 단계(103)의 "상기 비디오 입력 인터페이스(3)로부터 오는 비디오를 판독하고 메인 제어 인터페이스(2)에 의해 메인 제어 인터페이스(2)의 로컬 클락과 상기 들어오는 비디오의 클락을 비교하는 단계"에서 메인 제어 인터페이스(2)는 시작하고, 단계(104)의 "메인 제어 인터페이스(2)에 의해 스위칭 공식을 이용하여 비디오를 스위칭하는 단계"에서, 상기 메인 제어 인터페이스(2)는 동작의 스위칭을 하고, "대기"를 요구받은 비디오의 특정 수는 공식:

$$\frac{X}{\text{PIXEL CLK}} = \frac{X - \text{WAIT}}{\text{LOCAL CLK}}$$

를 이용하여 계산될 수 있다. 성공적으로 라인 지속(duration)을 이용하고 판독 동작을 완료하기 위해서, 비디오가 들어오는 동안, 로컬 클락은 픽셀 클락보다 동일하거나 높아야한다. 단계(105)의 "사용자에 의해 상기 사용자 인터페이스(5)로부터 선택되는 데이터 어드레스를 획득하고 상기 어드레스를 상기 비디오 제어 데이터를 숨기도록 상기 비디오로 할당하는 단계" 후에, 사용자 인터페이스(5)는 상기 비디오 플로우 제어를 수행하고 사용자 인터페이스(5)는 사익 데이터를 보관하도록 어드레스 공간(레지스터)을 포함한다. WR_EN 신호는 데이터를 어드레스로 기록하기 위해 이용된다. 데이터는 비디오 입력 및 출력을 위해 필요한 정보를 포함하고, 이러한 어드레스는 메인 제어 인터페이스(2)에 의해 사용자 인터페이스로부터 획득된다.

선호되는 실시예에서, 단계(106)의 "메인 제어 인터페이스(2)에 의해 상기 픽셀 데이터에 관해 비디오 출력 인터페이스(4)로 비디오를 송신하는 단계"에서 메인 제어 인터페이스(2)는 상기 로컬 클락 주파수를 이용하여 비디오를 상기 비디오 출력 인터페이스(4)로 송신한다.

선호되는 실시예에서, 단계(107)의 "비디오 출력 인터페이스에 의해 레지스터에 저장되는 상기 정보에 따라 상기 동기화 신호를 생성하는 단계"에서, 비디오 출력 인터페이스(4)는 레지스터에 저장되는 정보에 따라 상기 필요한 동기화 신호를 생성한다. 메인 정보는 레지스터에 저장된다.

모든 비디오는 스위치되는 비디오 입력의 수, 및 출력 동기화 신호의 극성을 출력한다.

모든 비디오는 픽셀 클락 주파수, 동기화 신호의 극성, 및 연속하여(on a row) 위치하는 픽셀 수가 입력된다.

또한, 비디오 출력 인터페이스(4)는 vsync 출력, hsync 출력, 데이터 유효성 출력 및 픽셀 데이터 출력 신호를 생성한다. 입력 동기화 신호는 로컬 클락에 의해 버퍼링되고, 출력 동기화 신호는 입력 동기화 신호 상태에 따라 생성된다. 다음으로, 비디오 출력 인터페이스는 선택된 비디오를 출력으로 송신한다.

부호의 설명

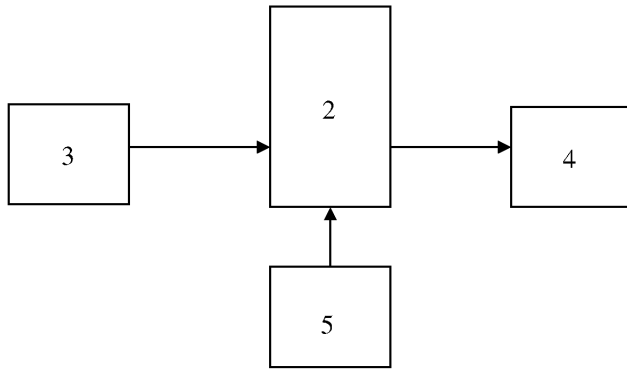

도면에 도시되는 요소는 다음과 같이 부호화된다.

1. 비디오 스위치 시스템
2. 메인 제어 인터페이스
3. 비디오 입력 인터페이스
4. 비디오 출력 인터페이스
5. 사용자 인터페이스

도면

도면1

1



도면2

100

