(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3596188号

(P3596188)

(45)発行日　平成16年12月2日(2004.12.2)　(24)登録日　平成16年9月17日(2004.9.17)

(51)Int.Cl.[7]	F I
H01L 21/336	H01L 29/78 627B
H01L 29/786	H01L 29/78 617S
	H01L 29/78 627F
	H01L 29/78 627G
	H01L 29/78 627E

請求項の数 40　(全 48 頁)

(21)出願番号　特願平8-252088
(22)出願日　平成8年9月24日(1996.9.24)
(65)公開番号　特開平10-116989
(43)公開日　平成10年5月6日(1998.5.6)
審査請求日　平成14年12月20日(2002.12.20)
(31)優先権主張番号　特願平7-244931
(32)優先日　平成7年9月22日(1995.9.22)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願平8-220193
(32)優先日　平成8年8月21日(1996.8.21)
(33)優先権主張国　日本国(JP)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107261
弁理士　須澤　修
(72)発明者　宮坂　光敏
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　棚田　一也

最終頁に続く

(54)【発明の名称】薄膜トランジスタの製造方法

(57)【特許請求の範囲】

【請求項１】

外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、

該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、

該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターニングする第三工程と、

該第三工程終了後に前記基板に水素化処理を施し、しかる後に前記第一ゲート絶縁膜表面に第二ゲート絶縁膜を形成する第四工程とを少なくとも含む事を特徴とする薄膜トランジスタの製造方法。

【請求項２】

請求項１に於いて、前記第一工程で行う結晶化はレーザー照射に依る結晶化で有る事を特徴とする薄膜トランジスタの製造方法。

【請求項３】

請求項１に於いて、前記第一工程で行う結晶化は溶融結晶化で有る事を特徴とする薄膜トランジスタの製造方法。

【請求項４】

請求項２又は３に於いて、前記第一工程で行う結晶化を水素含有雰囲気下で行う事を特徴とする薄膜トランジスタの製造方法。

【請求項５】
請求項２又は３に於いて、前記第一工程で行う結晶化をアルゴンガス含有還元性雰囲気下で行う事を特徴とする薄膜トランジスタの製造方法。
【請求項６】
請求項１乃至５のいずれかの項に於いて、前記第二工程を水素含有雰囲気下で行う事を特徴とする薄膜トランジスタ製造方法。
【請求項７】
請求項１乃至５のいずれかの項に於いて、前記第二工程を酸素含有雰囲気下で行う事を特徴とする薄膜トランジスタ製造方法。
【請求項８】
請求項１乃至５のいずれかの項に於いて、前記第二工程を水蒸気含有酸化性雰囲気下で行う事を特徴とする薄膜トランジスタ製造方法。
【請求項９】
外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記基板に水素化処理を施し、該水素化処理を施した後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、
該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、
該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターニングする第三工程と、
該第三工程終了後に前記基板に水素化処理を施し、しかる後に前記第一ゲート絶縁膜表面に第二ゲート絶縁膜を形成する第四工程とを少なくとも含む事を特徴とする薄膜トランジスタの製造方法。
【請求項１０】
請求項９に於いて、前記第一工程で行う結晶化はレーザー照射に依る結晶化で有る事を特徴とする薄膜トランジスタの製造方法。
【請求項１１】
請求項９に於いて、前記第一工程で行う結晶化は溶融結晶化で有る事を特徴とする薄膜トランジスタの製造方法。
【請求項１２】
請求項１０又は１１に於いて、前記第一工程で行う結晶化を水素含有雰囲気下で行う事を特徴とする薄膜トランジスタの製造方法。
【請求項１３】
請求項１０又は１１に於いて、前記第一工程で行う結晶化をアルゴンガス含有還元性雰囲気下で行う事を特徴とする薄膜トランジスタの製造方法。
【請求項１４】
請求項９乃至１３のいずれかの項に於いて、前記第二工程を水素含有雰囲気下で行う事を特徴とする薄膜トランジスタ製造方法。
【請求項１５】
請求項９乃至１３のいずれかの項に於いて、前記第二工程を酸素含有雰囲気下で行う事を特徴とする薄膜トランジスタ製造方法。
【請求項１６】
請求項９乃至１３のいずれかの項に於いて、前記第二工程を水蒸気含有酸化性雰囲気下で行う事を特徴とする薄膜トランジスタ製造方法。
【請求項１７】
外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記基板に水素化処理と酸化処理とを施し、該水素化処理と該酸化処理とを施した後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、

該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、
該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターニングする第三工程と、
該第三工程終了後に前記基板に水素化処理を施し、しかる後に前記第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する第四工程とを少なくとも含む事を特徴とする薄膜トランジスタの製造方法。
【請求項１８】
請求項１７に於いて、前記第一工程で行う結晶化はレーザー照射に依る結晶化で有る事を特徴とする薄膜トランジスタの製造方法。
【請求項１９】
請求項１７に於いて、前記第一工程で行う結晶化は溶融結晶化で有る事を特徴とする薄膜トランジスタの製造方法。
【請求項２０】
請求項１８又は１９に於いて、前記第一工程で行う結晶化を水素含有雰囲気下で行う事を特徴とする薄膜トランジスタの製造方法。
【請求項２１】
請求項１８又は１９に於いて、前記第一工程で行う結晶化をアルゴンガス含有還元性雰囲気下で行う事を特徴とする薄膜トランジスタの製造方法。
【請求項２２】
請求項１７乃至２１のいずれかの項に於いて、前記第二工程を水素含有雰囲気下で行う事を特徴とする薄膜トランジスタ製造方法。
【請求項２３】
請求項１７乃至２１のいずれかの項に於いて、前記第二工程を酸素含有雰囲気下で行う事を特徴とする薄膜トランジスタ製造方法。
【請求項２４】
請求項１７乃至２１のいずれかの項に於いて、前記第二工程を水蒸気含有酸化性雰囲気下で行う事を特徴とする薄膜トランジスタ製造方法。
【請求項２５】
外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、
該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、
該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターニングする第三工程と、
該第三工程終了後に該第一ゲート絶縁膜の表面を清浄化する第四工程と、
該第四工程終了後に直ちに前記基板に水素化処理を施し、しかる後に前記第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する第五工程とを少なくとも含む事を特徴とする薄膜トランジスタの製造方法。
【請求項２６】
請求項２５に於いて、前記第四工程は前記第一ゲート絶縁膜表面をエッチングする処理を含む事を特徴とする薄膜トランジスタの製造方法。
【請求項２７】
請求項２５又は２６に於いて、前記第一工程で行う結晶化はレーザー照射に依る結晶化で有る事を特徴とする薄膜トランジスタの製造方法。
【請求項２８】
請求項２５又は２６に於いて、前記第一工程で行う結晶化は溶融結晶化で有る事を特徴とする薄膜トランジスタの製造方法。
【請求項２９】
請求項２７又は２８に於いて、前記第一工程で行う結晶化を水素含有雰囲気下で行う事を特徴とする薄膜トランジスタの製造方法。

【請求項３０】
請求項２７又は２８に於いて、前記第一工程で行う結晶化をアルゴンガス含有還元性雰囲気下で行う事を特徴とする薄膜トランジスタの製造方法。
【請求項３１】
請求項２５乃至３０のいずれかの項に於いて、前記第二工程を水素含有雰囲気下で行う事を特徴とする薄膜トランジスタ製造方法。
【請求項３２】
請求項２５乃至３０のいずれかの項に於いて、前記第二工程を酸素含有雰囲気下で行う事を特徴とする薄膜トランジスタ製造方法。
【請求項３３】
請求項２５乃至３０のいずれかの項に於いて、前記第二工程を水蒸気含有酸化性雰囲気下で行う事を特徴とする薄膜トランジスタ製造方法。
【請求項３４】
請求項１乃至３３のいずれかの項に於いて、前記第２ゲート絶縁膜形成以降の全工程を３５０℃以下の温度条件で行う事を特徴とする薄膜トランジスタの製造方法。
【請求項３５】
外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記基板に水素化処理及び酸化処理のうちの少なくとも一方の処理を施し、該処理を施した後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、
該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターニングする第二工程と、
該第二工程終了後に前記第一ゲート絶縁膜の表面を清浄化する第三工程と、
該第三工程終了後に前記第一ゲート絶縁膜の表面に第二ゲート絶縁膜を形成する第四工程とを少なくとも含む事を特徴とする薄膜トランジスタの製造方法。
【請求項３６】
請求項３５に於いて、前記第二工程は前記第一ゲート絶縁膜表面をエッチングする処理を含む事を特徴とする薄膜トランジスタの製造方法。
【請求項３７】
請求項３５又は３６に於いて、前記第一工程で行う結晶化はレーザー照射に依る結晶化で有る事を特徴とする薄膜トランジスタの製造方法。
【請求項３８】
請求項３５又は３６に於いて、前記第一工程で行う結晶化は溶融結晶化で有る事を特徴とする薄膜トランジスタの製造方法。
【請求項３９】
請求項３７又は３８に於いて、前記第一工程で行う結晶化を水素含有雰囲気下で行う事を特徴とする薄膜トランジスタの製造方法。
【請求項４０】
請求項３７又は３８に於いて、前記第一工程で行う結晶化をアルゴンガス含有還元性雰囲気下で行う事を特徴とする薄膜トランジスタの製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は薄膜トランジスタ（以下ＴＦＴと云う。）の製造方法に関する物で有る。更に詳しくは本発明は薄膜トランジスタを構成する各薄膜の最適化技術に関する物で有る。
【０００２】
【従来の技術】
液晶ディスプレイのアクティブ素子等として用いられる薄膜トランジスタ（ＴＦＴ）としては、チャネル領域の表面側にゲート絶縁膜及びゲート電極が形成されて居るトップゲー

ト構造の物が用いられる事が多い。斯様な構造のＴＦＴの製造方法では図２５（Ａ）に示す様に基板１０Ａを準備した後、図２５（Ｂ）に示す様に基板１０Ａの表面に下地保護膜１１Ａを形成し、続いて基板１０Ａの全面に真性のアモルファスシリコン膜からなる半導体膜１２Ａを形成する。次に図２５（Ｃ）に示す様にレーザーアニールに依って半導体膜１２Ａを結晶化する。次に図２６（Ａ）に示す様に所定のマスクパターンのレジストマスク２２Ａを形成し、半導体膜１２Ａをフォトリソグラフィ技術を用いてパターニングする。次に図２６（Ｂ）に示す様にＣＶＤ法に依り半導体膜１２Ａの表面にシリコン酸化膜からなるゲート絶縁膜１３Ａを形成する。次に図２６（Ｃ）に示す様に基板１０Ａの全面にタンタル薄膜等の導電膜２１Ａをスパッタ法等に依り形成した後、図２６（Ｄ）に示す様にフォトリソグラフィ技術を用いて導電膜２１Ａをパターニングし、ゲート電極１５Ａを形成する。次にゲート電極１５Ａをマスクとして半導体膜１２Ａに不純物イオンを導入する。その結果、半導体膜１２Ａにはゲート電極１５Ａに対して自己整合的にソース・ドレイン領域１６Ａが形成され、不純物イオンが導入されなかった部分はチャネル領域１７Ａと成る。次に図２６（Ｅ）に示す様にシリコン酸化膜からなる層間絶縁膜１８Ａを形成し、しかる後にコンタクトホール１９Ａを介してソース・ドレイン領域１６Ａに導電接続するソース・ドレイン電極２０Ａを形成する。この様にして基板１０Ａの表面にＴＦＴ３０Ａを形成する。斯様な製造方法では、従来一つの工程が終了する度に基板１０Ａは大気中に置かれる。

【０００３】

【発明が解決しようとする課題】

しかしながら従来の製造方法の様に半導体膜１２Ａのアニール処理を行った後に基板１０Ａを大気中に置くと、結晶化した半導体膜１２Ａの表面がガス種との反応に依って酸化されたり、レジスト等の炭化水素その他の汚染物質に依って汚染されて仕舞う。この様にして酸化や汚染を受けた半導体膜１０Ａの表面にゲート絶縁膜１３Ａを形成すると、チャネル領域１７Ａ／ゲート絶縁膜１３Ａの界面状態が悪く、ＴＦＴ３０Ａのオン電流や閾値電圧等と云った電気的特性が低下すると云う問題点が有る。又レーザー照射等の結晶化の前に基板１０Ａを大気中に置いた事に起因して半導体膜１０Ａの表面に自然酸化膜が形成されて仕舞うと、結晶化時に酸素原子が半導体膜１０Ａ中に取り込まれ、半導体膜１０Ａの電気伝導度が大きくばらついたり、ＴＦＴ３０Ａのオン電流特性等と云った電気的特性が低下すると云う問題点が有る。

【０００４】

斯様な問題点を解消する方法として、半導体膜を大気に晒す事なくＴＦＴを製造する方法が特開平７－９９３２１号公報に開示されて居る。この公報に於いて第２実施例として開示されて居る方法では、図２７（Ａ）に示す様に基板１０Ｂを準備した後、その表面にリンドープの半導体膜を形成する。それを図２７（Ｂ）に示す様にパタニーングし、島状の半導体膜２５Ｂを形成する。次に基板１０ＢをＴＦＴ製造装置に入れて、図２７（Ｃ）に示す様にＣＶＤ法に依り真空中でアモルファスシリコンからなる半導体膜１２Ｂを形成する。次に図２７（Ｄ）に示す様に真空中で基板１０Ｂにレーザーアニールを行う。その結果チャネル１７Ｂと成るべき部分を除いて半導体膜１２Ｂにリンがドープされ、ソース・ドレイン領域１６Ｂが形成される。次に図２７（Ｅ）に示す様に真空中で基板１０ＢにＣＶＤ法に依りシリコン酸化膜からなるゲート絶縁膜１３Ｂを形成し、しかる後に基板１０ＢをＴＦＴ製造装置から取り出す。この時半導体膜１２Ｂの表面は既にゲート絶縁膜１３Ｂで覆われて居る。

【０００５】

それ以降図２７（Ｆ）に示す様にゲート絶縁膜１３Ｂ及び半導体膜１２Ｂをフォトリグラフィ技術に依りパターニングした後、図２８（Ａ）に示す様にコンタクトホール１９Ｂを形成する。そしてその表面全体にアルミニウム等の導電膜２１Ｂを形成した後、図２８（Ｂ）に示す様に再びフォトリソグラフィ技術に依ってパターニングし、ゲート電極１５Ｂを形成する。次に図２８（Ｃ）に示す様に層間絶縁膜１８Ｂを形成した後、図２８（Ｄ）に示す様にコンタクトホール２６Ｂを形成する。しかる後にその表面全体にアルミニウム

等の導電膜を形成した後、図２８（Ｅ）に示す様に導電膜をフォトリソグラフィ技術に依ってパターニングし、ソース・ドレイン電極２０Ｂを形成する。

【０００６】

しかしながらこの方法では図２７（Ｆ）に示す様に半導体膜１２Ｂとゲート絶縁膜１３Ｂを同時にパターニングしたままで有る。その結果、図２８（Ａ）や図２８（Ｂ）に示す様に次工程で基板１０Ｂの表面全体に形成した導電膜２１Ｂをパターニングしてゲート電極１５Ｂを形成する時、パターニング後にソース・ドレイン領域１６Ｂの側面部に導電膜２１Ｂが残留する事と成る。これに依りソース・ドレイン間やソース・ゲート間、ドレイン・ゲート間の短絡が頻発する様に成る。更には同じ基板１０Ｂ上の他のＴＦＴとショートして仕舞うと云う問題点が有る。即ち従来の製造方法ではＴＦＴの歩留りが著しく低いと云う問題点が有る。

【０００７】

然もこの従来技術では、図２７（Ｄ）に示す工程に於いて半導体膜２５Ｂ上に形成されたシリコン酸化物やレジスト等に依る汚染物がレーザー溶融時に半導体膜中（主として、ソース・ドレイン領域中）に取り込まれて仕舞う。これらの不純物は半導体膜中での欠陥と化し、オフリーク電流を増大させたり、閾値電圧を変動させる原因と成る。更に半導体膜１２Ｂが形成される前の基板１０Ｂの表面はソース・ドレイン形成用のフォトリソグラフィ工程に依り汚染されて居る。これらの汚染物は結晶化の際にチャネル領域１７Ｂに混入し、半導体膜の膜質を低下させる。即ちこの従来技術ではオン電流は基板表面からの汚染に依り制限されると共に、オフ電流はソース・ドレイン領域の酸素（シリコン酸化物）と汚染に依り大きく成る為、オン－オフ電流比の大きな品質の高い薄膜半導体装置を作り得ないので有る。

【０００８】

更にこの従来技術ではＣＶＤ法に依り形成したゲート絶縁膜１３Ｂをその儘用いて居る為、ゲート絶縁膜の膜質が悪くてゲート・ソース間の耐電圧が低い等の課題が認められる。この様にＴＦＴの電気特性が優れなかったり、同時に歩留りや信頼性が低いと云う問題点が有る。加えてＣＶＤ法に依り形成した半導体膜１２Ｂに対して、図２７（Ｄ）に示す様にレーザーアニールを行うだけで有る為、半導体膜中に大きなストレスが残留し、その結果トランジスタ特性が低下して居るとの問題点が有る。

【０００９】

以上の問題点に鑑みて、本発明の課題は基板の状態から半導体膜の表面をゲート絶縁膜で覆う迄の一切の工程を基板を大気に晒す事なく行い、且つ半導体膜表面のレジストに依る汚染を防止する事に依って清浄な半導体膜／ゲート絶縁膜界面を形成すると共に、半導体膜の高品質化、又は半導体膜及びゲート絶縁膜双方の高品質化を図る事に依り歩留り及び信頼性の高いＴＦＴの製造方法を提供する事に有る。

【００１０】

【課題を解決するための手段】

ＴＦＴの製造方法には数分間以上に渡り基板全体が同時に達する工程最高温度が６００℃程度以下で有る低温プロセスと、数分間以上に渡って基板全体が同時に達する工程最高温度が８００℃程度以上の高温プロセスとの二者に主として分類される。低温プロセスではゲート絶縁膜はＣＶＤ法やＰＶＤ法などで形成されるのに対し、高温プロセスでは熱酸化法や高温酸化法（ＨＴＯ法）などで形成され、更に必要に応じて７００℃程度から１２００℃程度の温度で数分から数時間の熱処理が施される。本発明の第１乃至第４形態と第７及び第８形態は低温プロセスと高温プロセスの両者に適応可能で有るが、清浄な半導体膜／ゲート絶縁膜界面（ＭＯＳ界面）を低温で形成する意味で主として低温プロセスに関する。本発明の第５形態と第６形態は高温プロセスに関する。

【００１１】

［第１形態］

本発明の第１形態に係るＴＦＴの製造方法では、外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結

晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターニングする第三工程と、該第三工程終了後に前記基板に水素化処理を施し、しかる後に前記第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する第四工程とを少なくとも含む事を特徴とする。

【００１２】

本発明では第一工程に於いて、半導体膜を形成してから第一ゲート絶縁膜を形成する迄は基板を大気に晒されないので、結晶化した半導体膜の表面には空気や塵との反応に依る汚れた自然酸化膜の形成がない。同時に半導体膜をパターニングする前に第一ゲート絶縁膜を形成して置くので、レジストマスクは第一ゲート絶縁膜の表面に形成され、半導体膜の表面には形成されない。この為チャネル領域／ゲート絶縁膜の界面はフォトレジスト等の炭化水素化物その他の物質による汚染が全く無く、窮めて清浄で良好なＭＯＳ界面を得る事と成る。これが故、ＴＦＴのオン電流や閾値電圧等と云った電気的特性が向上するので有る。

【００１３】

第二工程では第一ゲート絶縁膜及び結晶化された半導体膜に熱処理を施す。この熱処理を行う前の半導体膜では各半導体原子が正規の格子点から僅かにずれて居たり、結晶化に伴う応力が強く残留して居る。斯様な微小なずれや残留応力は第二工程の熱処理で補正される。即ち第一工程で行ったレーザー照射や溶融結晶化、急速熱処理等の結晶化の際に生じた半導体膜の内部応力（ストレス）を第二工程にて開放すると同時に更に結晶化を進め、結晶の完全性をより高めるので有る。併せて結晶粒と結晶粒との間に僅かに存在する非結晶部分を結晶化したり、或いは不規則粒界を各種の対応粒界へと改善する。対応粒界とは粒界が二次元の周期性を有し、ダングリング・ボンドが再構成されて居る為、バンドギャップ中に深い準位を有して居ない。それ故電子やホールの対応粒界での散乱確率が大幅に減少して電気的に良質な界面が形成されるので有る。又微小結晶は再結晶化して大きな結晶に成長し、結晶粒界をより一層低減させる。この様に第二工程の熱処理に依りストレス開放や粒界の結晶化や対応粒界化、或いは更成る再結晶化が進み、非常に良質な半導体膜が得られるので有る。

【００１４】

加えて第二工程で行う熱処理に依り第一ゲート絶縁膜も高品質化する。即ちＣＶＤ法等で形成された低密度で不安定な第一ゲート絶縁膜は第二工程の熱処理に依り緻密化し、且つ熱処理後のシリコン等の半導体原子と酸素原子との結合状態を安定で強固な物とする。図２９に示す様にＣＶＤ法やＰＶＤ法等の低温で形成された酸化膜に於けるシリコン原子等と酸素原子との間の弱くて不安定な化学結合は第二工程の熱処理に依って強くて安定な化学結合に改善されるので有る。又熱処理前後の酸化膜のフラットバンドを図３０に示す様に第一ゲート絶縁膜の禁制帯（バンドギャップ）中の電子やホールに対するトラップ準位を低減する。斯様な第一ゲート絶縁膜の高品質化に依り絶縁膜への電子やホールの注入が激減し、ＴＦＴの使用途中に於ける劣化が減る等、ＴＦＴの信頼性が著しく向上する。又半導体膜のドレイン端での電子やホールの絶縁膜への注入が起こりにくい分、ＴＦＴの劣化がないので、短チャネル化が可能で有る。更に絶縁耐圧も向上してＴＦＴの安定性がより一層増す訳で有る。

【００１５】

ここで行う熱処理としては炉内での熱処理でも良いが、急速加熱処理（ＲＴＡ）とすれば更に好ましい。炉内での熱処理は４００℃～６００℃程度の温度で１時間程度から１０時間程度の時間を費やすのに対し、ＲＴＡでは７００℃程度から１０００℃程度の温度にて０．１秒程度から１分程度未満の時間で熱処理を達成する。この様にＲＴＡでは炉内の熱処理に比べてより高温と成る為、上記熱処理の効果は更に向上する。又スループット（基板一枚に対する処理時間）も窮めて良好で有る。

【００１６】

ＲＴＡでは光エネルギーをまず半導体膜が吸収し、半導体膜の温度が上昇する。次いで第一ゲート絶縁膜が下層に位置する半導体膜からの熱を受けて温度上昇し、半導体膜と第一ゲート絶縁膜の熱処理が完了する。通常透明基板の温度上昇は小さい為、もしも半導体膜の加工が行われて居れば半導体膜が密に残って居る部分のみが集中して加熱され、基板全体の均一な熱処理が行い得ない。しかるに本願発明では第二工程の熱処理を半導体膜やゲート絶縁膜のパターニング前に行うが故、両者に対する熱処理を基板全体に渡り均一に達成し得るので有る。

【００１７】

第四工程では第一ゲート絶縁膜に水素化処理を行い、しかる後に第二ゲート絶縁膜を形成する。半導体膜や第一ゲート絶縁膜は第二工程の熱処理で加熱された際に薄膜内やＭＯＳ界面に内包する水素を放出して仕舞い劣化して居る事が有る。しかしながら斯様な劣化は第四工程の水素化処理に依って修復されるので有る。然も第一ゲート絶縁膜及び半導体膜をパターニングした後に第二ゲート絶縁膜を形成して半導体膜の側面を覆うので、ゲート電極と半導体膜間やソース領域とドレイン領域間、或いは素子間等のショートが発生しない。それ故本発明に依れば歩留り及び信頼性が高い。

【００１８】

本発明に於いて第一工程で行う結晶化は例えばレーザー照射等に依る溶融結晶化、又は急速加熱処理と云った結晶化で有る。斯様な結晶化処理は水素含有雰囲気下やアルゴンガス含有還元性雰囲気下で行う事が好ましい。半導体膜の結晶化に際しては、言う迄もなく半導体原子間結合の切断と再結合が生じる。また再結合した後も必ず不対電子対（ダングリング・ボンド）が発生する。半導体原子間の結合が切れて居る状態や不対電子対は化学的に非常に活性で有る。従って斯様な時に酸素や水、或いは一酸化炭素や二酸化炭素、塵、埃等が半導体膜に接すると、これらの物質は不純物として半導体膜に取り込まれて仕舞う。純水素雰囲気下やヘリウム、窒素、アルゴン等の不活性気体中に水素を含有する雰囲気下で結晶化を行うと、化学的に活性な電子対は水素に依り終端化され、前述の半導体膜内への不純物混入は避けられ、高純度・高品質の結晶化半導体膜が得られるので有る。

【００１９】

レーザー照射等に依る溶融結晶化を行う場合に於ける雰囲気は、アルゴン気体中に水素やモノシラン（SiH_4　）等の還元性気体を含む状態が好ましい。溶融結晶化では半導体原子は容易に飛散したり、或いは結晶化された半導体膜表面が粗れたりする。こうした現象はアルゴンなどの比較的原子量の大きい物質中で溶融結晶化させると最小限に止められる。これは原子量が大きい物質が溶融して居る半導体膜表面を押さえつける役割を担って居るからで有る。更にアルゴン中に希釈された水素やシラン等の還元性気体は結晶化過程の化学活性種を終端化して高純度の結晶化膜をもたらす。

【００２０】

本発明では前記第二工程を水素含有雰囲気下や酸素含有雰囲気下、又は水蒸気含有酸化性雰囲気下で行う事が好ましい。水素ガス雰囲気中での加熱処理を施せば半導体膜中や第一ゲート絶縁膜中、或いはＭＯＳ界面に存在するダングリング・ボンドを終端化する事が出来る。酸素ガス雰囲気中で熱処理を施せば第一ゲート絶縁膜に含まれる未結合のシリコン原子等を酸素と結合させ、絶縁膜の改質を行う事が出来る。水蒸気含有酸化性雰囲気下で熱処理を施すと、酸素中での熱処理と同様に酸化膜の酸化度を高める（SiO_x　のｘの値を２に近づける）と同時に、Ｓｉ－Ｏ－Ｓｉの化学結合の改善や絶縁膜中のトラップ準位の低減をより効果的に行い、第一ゲート絶縁膜の品質は更に良好な物と成る。

【００２１】

［第２形態］

本発明の第２形態に係るＴＦＴの製造方法では、上記の本発明の第１形態に係るＴＦＴの製造方法の第一工程に於いて半導体膜の結晶化を行った後、第一ゲート絶縁膜を形成する前に半導体膜に対して水素化処理を行う事に特徴を有する。即ち本発明の第２形態に係るＴＦＴの製造方法では、外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を

行った後に前記基板を外気に触れさせる事なく前記基板に水素化処理を施し、該水素化処理を施した後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターニングする第三工程と、該第三工程終了後に前記基板に水素化処理を施し、しかる後に前記第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する第四工程とを少なくとも含む事を特徴とする。

【００２２】

この様に結晶化直後に水素化処理を行うと半導体膜の化学的に活性な表面や粒界を水素で終端化し安定化する事が出来る。本願発明では結晶化の後に基板を大気に晒す事なく水素化処理を行うので、半導体膜の表面に自然酸化膜が形成されていない。従って水素化処理を行う時には自然酸化膜の影響を受けず、均一に水素化処理がなされるので有る。従来半導体膜の水素化処理に数時間にも及ぶ長時間が費やされるのは絶縁膜中で水素の拡散が遅いが故で有る。しかるに本願発明では半導体膜を直接水素化出来るので、その処理時間も半導体膜の膜厚や結晶化度に応じて１０秒程度から５分程度へと短縮されるので有る。こうして極短時間の水素化処理にも拘らず、半導体膜の電気伝導度は著しく安定し、その結果ＴＦＴのオン電流やオフ電流等と云った電気的特性が向上するので有る。

【００２３】

本発明でも第一工程で行う結晶化は例えばレーザー照射等に依る溶融結晶化や急速加熱処理と云った固相での結晶化で有る。斯様な結晶化処理を水素含有雰囲気下やアルゴンガス含有還元性雰囲気下で行う事が好ましいのは先に説明した通りで有る。

【００２４】

本発明でも前記第二工程を水素含有雰囲気下や酸素含有雰囲気下、又は水蒸気含有酸化性雰囲気下で行う事が好ましい。この点に関しても先に説明した通りで有る。

【００２５】

［第３形態］

本発明の第３形態に係るＴＦＴの製造方法では、上記の本発明の第２形態に係るＴＦＴの製造方法の第一工程に於いて水素化処理に加えて酸素化処理も行う事に特徴を有する。即ち本発明の第３形態に係るＴＦＴの製造方法では、外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記基板に水素化処理と酸化処理とをこの順番で連続して施し、該水素化処理と該酸化処理とを施した後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターニングする第三工程と、該第三工程終了後に前記基板に水素化処理を施し、しかる後に前記第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する第四工程とを少なくとも含む事を特徴とする。

【００２６】

結晶化半導体膜中の不対結合対は水素で終端化される物と水素では終端化され得ない物との二種類が存在する。水素で終端化され得ぬ不対電子対は本願発明では酸素に依り終端化され、サブスレッシュホールド特性（トランジスタのオン・オフ特性）が急峻な良好な半導体装置が得られるので有る。この現象は取り分けＭＯＳ界面で効果的に働く。効果的な酸化処理が施されれば半導体表面に２０オングストローム程度から３００オングストローム程度の薄くて高品質な酸化膜が容易に形成され、清浄なＭＯＳ界面が得られる。活性表面が出た半導体膜は酸素との反応も早く、酸化処理時間は１０秒程度から５分程度と短時間で行い得る。酸化処理は酸素プラズマ照射、水プラズマ照射、水含有酸素プラズマ照射、過酸化水素（H_2O_2）プラズマ照射、過酸化水素含有酸素プラズマ照射、オゾン（O_3）照射等で行われる。

【００２７】

本発明でも第一工程で行う結晶化は例えばレーザー照射等に依る溶融結晶化や急速加熱処理と云った固相結晶化で有る。斯様な結晶化処理を水素含有雰囲気下やアルゴンガス含有還元性雰囲気下で行う事が好ましいのは先に説明した通りで有る。

【００２８】

本発明でも前記第二工程を水素含有雰囲気下や酸素含有雰囲気下、又は水蒸気含有酸化性雰囲気下で行う事が好ましい。この点に関しても先に説明した通りで有る。

【００２９】

［第４形態］

本発明の第４形態に係るＴＦＴの製造方法では、半導体膜をパターニングした時に用いたレジストマスクに依って汚染された第一ゲート絶縁膜表面を清浄化する事に特徴を有する。即ち本発明の第４形態に係るＴＦＴの製造方法では、外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターニングする第三工程と、該第三工程終了後に該第一ゲート絶縁膜の表面を清浄化する第四工程と、該第四工程終了後に直ちに前記基板に水素化処理を施し、しかる後に前記第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する第五工程とを少なくとも含む事を特徴とする。

【００３０】

この様に構成すると半導体膜と第一ゲート絶縁膜をパターニングする時に用いたレジストマスクが第一ゲート絶縁膜表面を汚染するものの、その汚染部を第二ゲート絶縁膜を形成する前に清浄化するので、ゲート絶縁膜の汚染が最小限に止められる。これに依りゲート絶縁膜中の固定電荷が減少し、トランジスタの閾値電圧がロット間を通じて安定と化す。更にトランジスタの長時間の連続使用に対しても特性変化が小さくなり、トランジスタの信頼性が著しく改善される。加えてゲート絶縁膜の絶縁耐圧も大きくなるので、信頼性が増すと共にゲート絶縁膜の薄膜化が可能と成る。本発明の第１形態の第二工程の節では本願発明に依りＴＦＴの短チャネル化が可能で有る事を説明した。これとゲート絶縁膜の薄膜化を合わせると、ＬＳＩテクノロジーと同様なスケーリング則をＴＦＴ素子に適用出来る様に成る。本願発明にＬＤＤ構造を適用するとチャネル長が０．５μｍ程度から１μｍ程度、ゲート絶縁膜が１００オングストローム程度から３００オングストローム程度のサブミクロンＴＦＴが実現される。

【００３１】

本発明では前記第四工程に於いて第一ゲート絶縁膜の表面を清浄化する処理は例えば第一ゲート絶縁膜表面をフッ化水素酸（ＨＦ）を含む水溶液等のウエット・エッチング処理や水素、CHF_3 、NF_3 、SF_6 等のプラズマを用いてエッチングするドライ・エッチング処理等を含む。

【００３２】

この様に構成するとレジストマスクに依って汚染された第一ゲート絶縁膜の表面層のみを除去し、残った清浄な第一ゲート絶縁膜が半導体膜を保護して居るので、半導体膜はこの間も大気には晒されない。こうしてＭＯＳ界面は清浄に保たれ、高品質な第一ゲート絶縁膜上に第二ゲート絶縁膜が形成されるので、ＴＦＴの電気的特性が安定する。

【００３３】

本発明でも第一工程で行う結晶化は例えばレーザー照射等に依る溶融結晶化や急速加熱処理と云った結晶化で有る。斯様な結晶化処理を水素含有雰囲気下やアルゴンガス含有還元性雰囲気下で行う事が好ましいのは先に説明した通りで有る。

【００３４】

本発明でも前記第二工程を水素含有雰囲気下や酸素含有雰囲気下、又は水蒸気含有酸化性雰囲気下で行う事が好ましい。この点に関しても先に説明した通りで有る。

【００３５】

本発明の第１乃至第４形態に係る製造方法では第２ゲート絶縁膜を形成した以降の全工程を３５０℃程度以下の温度条件で行う事が好ましい。こうすると第二ゲート絶縁膜形成直前に水素化された半導体膜や第一ゲート絶縁膜、並びに第二ゲート絶縁膜は高温に晒されないので、これら膜内や界面に内包する水素は放出されず、水素放出に伴うＴＦＴ素子の劣化を防止出来るので有る。

【００３６】

［第５形態］

本発明の第５形態に係るＴＦＴの製造方法は高温プロセスを用いる事に特徴を有する。即ち本発明の第５形態に係るＴＦＴの製造方法では、外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターニングする第二工程と、該第二工程終了後に前記基板を酸化性雰囲気下で熱処理を行い、前記半導体膜表面に第二ゲート絶縁膜としての酸化膜を形成する第三工程とを少なくとも含む事を特徴とする。

【００３７】

本発明でも第一工程に於いて半導体膜を形成した後、第一ゲート絶縁膜を形成する迄は基板を大気に晒さないので、結晶化された半導体膜の表面には空気や埃との反応に依る汚れた自然酸化膜の形成がない。同時に半導体膜をパターニングする前に第一ゲート絶縁膜を形成して置くので、レジストマスクは第一ゲート絶縁膜の表面に形成され、半導体膜の表面には形成されない。この為第三工程で半導体膜表面に酸化膜を形成した後のゲート絶縁膜中には炭化物等の不純物は全く存在せず、高純度のゲート絶縁膜が形成される。こうしてＴＦＴのオン電流や閾値電圧等と云った電気的特性が向上する。

【００３８】

本発明では第三工程に於いて、半導体膜表面に第二ゲート絶縁膜としての酸化膜を形成する際に９００℃程度から１２００℃程度の熱処理を行う為、第一工程で結晶化された半導体膜からストレスが開放される等の半導体膜の改質が進められる。これは本発明の第１形態の第二工程で説明したストレス開放や粒界の結晶化、対応粒界化、再結晶化が進む事を意味して居る。第５形態ではより高温で長時間で有る事から、その効果も遥かに大きい。本発明の第５形態では第一工程で得られた高品質半導体膜の膜質を第三工程で更に著しく向上させる為、窮めて良質の半導体膜を得る事が出来る。併せて第一ゲート絶縁膜が緻密化する等、第一ゲート絶縁膜の膜質が向上するので、それを用いて製造したＴＦＴは信頼性が高い。この辺の事情は本発明の第１形態の第二工程の節で説明したのと同様で有る。又本発明では第一ゲート絶縁膜及び半導体膜をパターニングした後に熱酸化法に依り第二ゲート絶縁膜を形成して半導体膜の側面を完全に覆うので、先に説明した各種のショートが発生しない。それ故本発明に依れば歩留り及び信頼性が高い。

【００３９】

本発明でも第一工程で行う結晶化は例えばレーザー照射等に依る溶融結晶化や急速加熱処理と云った結晶化で有る。斯様な結晶化処理を水素含有雰囲気下やアルゴンガス含有還元性雰囲気下で行う事が好ましいのも先に説明した通りで有る。

【００４０】

［第６形態］

本発明の第６形態に係るＴＦＴの製造方法では上記の本発明の第５形態に係るＴＦＴの製造方法の第一工程に続いて、第二の工程にて半導体膜及び第一ゲート絶縁膜に対して熱処理を行う事に特徴を有する。即ち本発明の第６形態に係るＴＦＴの製造方法では、外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターニングする第三工程と、該第三工

程終了後に前記基板を酸化性雰囲気下で熱処理を行い、前記半導体膜表面に第二ゲート絶縁膜としての酸化膜を形成する第四工程とを少なくとも含む事を特徴とする。

【００４１】

本発明では第二工程に於いて第一ゲート絶縁膜及び半導体膜に熱処理を行う為、本発明の第１形態に於いて行う第二工程と同様に半導体膜の改質が進む。更に第一ゲート絶縁膜も加熱されて緻密化するので、それを用いて製造したＴＦＴは信頼性が高い。この様に膜質の改善された半導体膜とゲート絶縁膜に対して第四工程で熱酸化を施すので、これらの膜は更に高品質化する。第二工程で行う熱処理としては炉内での熱処理でも良いが、急速加熱処理を行うと高温になるので上記熱処理の効果が一層高く、スループットがよい等の効果を得る事が出来る。この場合も急速加熱処理をパターニング前に行うので、基板全面に於ける熱吸収度合いが均一と化す。

【００４２】

本発明でも第一工程で行う結晶化は例えばレーザー照射等に依る溶融結晶化や急速加熱処理と云った結晶化で有る。斯様な結晶化処理を水素含有雰囲気下やアルゴンガス含有還元性雰囲気下で行う事が好ましいのも先に説明した通りで有る。

【００４３】

本発明でも前記第二工程を水素含有雰囲気下や酸素含有雰囲気下、又は水蒸気含有酸化性雰囲気下で行う事が好ましい。この点に関しても先に説明した通りで有る。

【００４４】

［第７形態］

上記の各発明は第一ゲート絶縁膜を形成した後でこのゲート絶縁膜と半導体膜に熱処理を施した。これに対し本発明の第７と第８形態に係る発明の様に半導体膜を形成してから第一ゲート絶縁膜を形成する迄は基板を大気に晒さず、且つ半導体膜に対して水素化処理又は酸化処理を行う様に構成しても、高品質の半導体装置を製造する事が出来る。それ故歩留り及び信頼性の高いＴＦＴを製造出来る。

【００４５】

本発明の第７形態に係るＴＦＴの製造方法では、外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記基板に水素化処理及び酸化処理のうちの少なくとも一方の処理を施し、該処理を施した後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターニングする第二工程と、該第二工程終了後に前記第一ゲート絶縁膜の表面に第二ゲート絶縁膜を形成する第三工程とを少なくとも含む事を特徴とする。

【００４６】

本発明では結晶化を行った後の半導体膜表面は大気に晒されて居ないので、自然酸化膜は形成されて居ない。従ってその後の水素化処理や酸化処理を行う時に自然酸化膜の影響を受けず、水素化処理や酸化処理を短時間で均一且つ効果的に行い得る。斯くして半導体膜の電気伝導度が安定し、ＴＦＴのオン電流などと云った電気的特性が向上するので有る。又半導体膜をパターニングする前に第一ゲート絶縁膜を形成して置くので、レジストマスクは第一ゲート絶縁膜の表面に形成され、半導体膜の表面には形成されない。それ故半導体膜表面はレジストで汚染されず、チャネル領域／ゲート絶縁膜の界面状態が良好で有る。更に第一ゲート絶縁膜及び半導体膜をパターニングした後は、第二ゲート絶縁膜を形成して半導体膜の側面を覆う為、前述の各種ショートが発生しないと云う利点も有る。

【００４７】

本発明でも第一工程で行う結晶化は例えばレーザー照射等に依る溶融結晶化や急速加熱処理と云った固相結晶化で有る。斯様な結晶化処理を水素含有雰囲気下やアルゴンガス含有還元性雰囲気下で行う事が好ましいのも先に説明した通りで有る。

【００４８】

［第８形態］

本発明の第８形態に係るＴＦＴの製造方法では、外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記基板に水素化処理及び酸化処理のうちの少なくとも一方の処理を施し、該処理を施した後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターニングする第二工程と、該第二工程終了後に前記第一ゲート絶縁膜の表面を清浄化する第三工程と、該第三工程終了後に前記第一ゲート絶縁膜の表面に第二ゲート絶縁膜を形成する第四工程とを少なくとも含む事を特徴とする。

【００４９】

本発明では半導体膜をパターニングした時にレジストマスクに依って汚染された第一ゲート絶縁膜を清浄化するのでＴＦＴの電気的特性が安定する。この際に第一ゲート絶縁膜の表面層のみを除去してその清浄化を図ると半導体膜は大気に晒されない。それ故半導体膜表面の汚れた酸化等を一層確実に防止出来るので、ＴＦＴの電気的特性が更に安定する。

【００５０】

本発明では前記第三工程に於いて、第一ゲート絶縁膜の表面を清浄化する処理は例えば第一ゲート絶縁膜表面をフッ化水素酸（ＨＦ）を含む水溶液等のウエット・エッチング処理や水素、CHF_3 、NF_3 、SF_6 等のプラズマを用いてエッチングするドライ・エッチング処理等を含む。

【００５１】

本発明でも第一工程で行う結晶化は例えばレーザー照射等に依る溶融結晶化や急速加熱処理と云った固相結晶化で有る。斯様な結晶化処理を水素含有雰囲気下やアルゴンガス含有還元性雰囲気下で行う事が好ましいのも先に説明した通りで有る。

【００５２】

【発明の実施の形態】

以下に説明する本発明の実施の形態のうち第１乃至第４形態と第６及び第７形態は主として低温プロセスに依ってＴＦＴを製造する物で有り、第５及び第６形態は一部の工程に高温プロセスを用いる物で有る。ここで云う低温プロセスとは工程の最高温度（基板全体が同時に上がる最高温度）が６００℃程度未満で有る事を意味する。これに対して高温プロセスとは工程の最高温度（基板全体が同時に上がる最高温度）が８００℃程度以上になる事を意味し、シリコンの熱酸化等と云った７００℃～１２００℃の高温工程を伴う物で有る。

【００５３】

［実施形態１の概要］

本発明の第１形態を適用したＴＦＴの製造方法は主として低温プロセスにて作成されるＴＦＴに適用される。これを図１を参照して説明する。図１から分かる様にまず第一工程ＳＴ１Ａでは外気と隔離した状態で基板上に非晶質や多結晶或いはこれらが混合した混晶質の半導体膜を形成する（半導体膜形成処理ＳＴ１２）。本発明のいずれの形態に於いても適用される半導体膜の種類としては、シリコン（Ｓｉ）やゲルマニウム（Ｇｅ）などの単体の半導体膜の他にシリコン・ゲルマニウム（Si_xGe_{1-x} ：０＜ｘ＜１）やシリコン・カーバイド（Si_xC_{1-x} ：０＜ｘ＜１）やゲルマニウム・カーバイド（Ge_xC_{1-x} ：０＜ｘ＜１）等の四族元素複合体の半導体膜やガリウム・砒素（ＧａＡｓ）、インジウム・アンチモン（ＩｎＳｂ）などの三族元素と五族元素の複合体化合物半導体膜、又はカドミウム・セレン（ＣｄＳｅ）等の二族元素と六族元素の複合体化合物半導体膜が有る。或いはシリコン・ゲルマニウム・ガリウム・砒素（$Si_xGe_yGa_zAs_z$ ：ｘ＋ｙ＋ｚ＝１）と云った更なる複合体化合物半導体膜やこれらの半導体膜にリン（Ｐ）、砒素（Ａｓ）、アンチモン（Ｓｂ）等のドナー元素を添加したＮ型半導体膜、或いはホウ素（Ｂ）、アルミニウム（Ａｌ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）等のアクセプター元素を添加したＰ型半導体膜にも本発明を適用可能で有る。

【００５４】

斯様な半導体膜を形成するにはＡＰＣＶＤ法やＬＰＣＶＤ法、ＰＥＣＶＤ法等と云ったＣＶＤ法やスパッタ法や蒸着法等と云ったＰＶＤ法を用いる事が出来る。いずれの成膜法でも外気と隔離し、且つ非酸化性の雰囲気中で成膜を行う。ＬＰＣＶＤ法やＰＥＣＶＤ法、スパッタ法、蒸着法などは減圧下（真空雰囲気下）で行い、ＡＰＣＶＤ法等は大気圧下又は加圧下にて行う。本発明で半導体膜をＣＶＤ法で堆積する場合、堆積される半導体膜の構成元素を含有する化学物質を原料気体として半導体膜を堆積する。例えば半導体膜がシリコン（Ｓｉ）で有る場合には原料気体としてはモノシラン（SiH_4）やジシラン（Si_2H_6）、トリシラン（Si_3H_8）、ジクロールシラン（SiH_2Cl_2）などのシランを用居る。本明細書ではジシランやトリシランを高次シラン（Si_nH_{2n+2}：ｎは２以上の整数）と称する。ゲルマニウムが半導体膜で有る場合にはゲルマン（GeH_4）等を用いるし、リン（Ｐ）やボロン（Ｂ）を半導体膜に添加する場合にはフォスフィン（PH_3）やジボラン（B_2H_6）なども共に用いられる。原料気体としては前述の各種半導体膜を構成する元素を含有する化学物質が用いられるが、必ず原料気体の一部が半導体膜に残留するが故、構成元素の水素化物がより好ましい。例えばジクロールシラン（SiH_2Cl_2）から成膜されるシリコン膜には量の大小はともかく必ず塩素（Ｃｌ）が残留する。このシリコン膜を薄膜半導体装置の能動層に用いた場合、残留塩素がトランジスタ特性の劣化要因と成る。従ってジクロールシランよりは構成元素の水素化物で有るモノシランの方が好ましい。原料気体及び必要に応じて添加される追加気体の純度は高ければ高い程好ましいが、高純度気体を得る技術的な困難さの増大と価格上昇を考慮すると、純度は９９．９９９９％以上で有る事が好ましい。通常半導体膜成膜装置は背景真空度が10^{-6}Ｔｏｒｒ程度で有り、成膜圧力が０．１Ｔｏｒｒから数Ｔｏｒｒで有る。それ故背景真空から成膜過程への不純物混入の割合は10^{-5}から10^{-6}程度と成る。成膜に用いる原料気体や追加気体の純度はそれらの気体を利用する成膜装置の背景真空度に対する成膜圧力の比と同等であれば十分で有る。従って本発明にで成膜装置に流す気体の純度は９９．９９９％以上（不純物の割合が1×10^{-5}以下）が好ましく、９９．９９９９％（不純物の割合が1×10^{-6}以下）であれば原料としての使用に全く支障はなく、背景真空度と成膜圧力の比の十倍の純度（この例では純度が９９．９９９９９％で、不純物の割合が1×10^{-7}以下）となれば気体から不純物の混入は全く考慮する必要はなく理想的で有る。

【００５５】

次に基板を外気に触れさせる事なく半導体膜形成から連続して非酸化性雰囲気中にて半導体膜の結晶化を行う（結晶化処理ＳＴ１３）。本発明のいずれの形態に於いても結晶化処理は半導体膜にレーザー光等の光学エネルギーや電磁波エネルギー、加速した粒子等を短時間供給して結晶化を進める。最初に堆積した半導体膜が非晶質で有ったり、非晶質と微結晶が混在する混晶質で有れば、この工程は結晶化と呼ばれる。一方最初に堆積した半導体膜が多結晶で有れば、この工程は再結晶化と呼ばれる。本明細書では特に断らない限り、両者をまとめて単に結晶化処理と称する。レーザー光等のエネルギー強度が高ければ結晶化の際に半導体膜は一度溶融し、冷却固化過程を経て結晶化する。これを本願では溶融結晶化と称する。これに対して半導体膜の結晶化を溶融せずに固相にて進める方法を固相成長法（ＳＰＣ法）とか固相結晶化と称する。固相成長法は５５０℃程度から６５０℃程度の温度で数時間から数十時間をかけて結晶化を進める炉での熱処理法（Ｆｕｒｎａｃｅ－ＳＰＣ法）と、一秒未満から一分程度の短時間で７００℃程度から１０００℃程度の高温で結晶化を進める急速熱処理法（ＲＴＡ法）、及びレーザー光等のエネルギー強度が低い時に生じる極短時間固相成長法（ＶＳＴ－ＳＰＣ法）の三者に主として分類される。本願発明はこれらいずれの結晶化方法をも適用可能で有るが、大型基板を高い生産性で製造すると云う観点からすれば溶融結晶化法やＲＴＡ法、ＶＳＴ－ＳＰＣ法が特に適して居る。これらの結晶化方法では照射時間が非常に短時間で有り、且つ照射領域も基板全体に対して局所的で有る為、半導体膜の結晶化に際して基板全体が同時に高温に熱せられる事がなく、故に基板の熱に依る変形や割れ等も生じないからで有る。半導体膜に光エネルギーを供給する形態としてはレーザー光を照射するレーザーアニールやランプ光を照射す

るランプアニールが有る。又加速した粒子を半導体膜に供給する形態としてはイオン・ボンバードメント法が有る。この方法は基板温度を３００℃程度から６００℃程度として、１０ｋｅＶ程度から１００ｋｅＶ程度に加速したSiH_4^+や２０ｋｅＶ程度から２００ｋｅＶ程度に加速したGeH_4^+等を半導体膜に注入する。イオンの加速エネルギーを半導体原子に供給して結晶化を進める方法で有る。

【００５６】

これらいずれかの結晶化処理を行った後に基板を外気に触れさせる事なく更に連続して結晶性半導体膜上に第一ゲート絶縁膜を形成する（第一ゲート絶縁膜形成処理ＳＴ１６）。第一ゲート絶縁膜を形成する際にもＡＰＣＶＤ法やＬＰＣＶＤ法、ＰＥＣＶＤ法などと云ったＣＶＤ法、或いはスパッタ法や蒸着法などと云ったＰＶＤ法を用いる事が出来る。いずれの成膜法でも半導体膜形成から外気と隔離した儘成膜する。第一ゲート絶縁膜をシリコン酸化膜とする場合、ＡＰＣＶＤ法であればアルゴンガスや窒素ガスで希釈したモノシランやジシランと、酸素や笑気ガス等を用いる。ＬＰＣＶＤ法であればモノシランやジシランと、笑気ガス等を用いる。ＰＥＣＶＤ法であればモノシランやジシラン或いはＴＥＯＳと、酸素や笑気ガス等を用いる。又スパッタ法であれば例えば水素等を含有するアルゴンガス雰囲気下にてスパッタを行う。

【００５７】

次に第二工程ＳＴ２Ａでは第一ゲート絶縁膜及び半導体膜に急速加熱処理や炉内での熱処理を施す。

【００５８】

次に第三工程ＳＴ３Ａとして第一ゲート絶縁膜上に所望のレジストパターンを形成して、第一ゲート絶縁膜及び半導体膜をパターニングする。

【００５９】

その後第四工程ＳＴ４Ａにて多結晶半導体膜と第一ゲート絶縁膜が形成された基板に水素化処理ＳＴ４１を施す。この水素化処理はＡＰＣＶＤ装置で大気圧水素含有雰囲気下に於ける熱処理、ＬＰＣＶＤ法に於いて水素ガス雰囲気中で１Ｔｏｒｒ程度から１００Ｔｏｒｒ程度の減圧下での水素熱処理や水素プラズマ照射、ＰＥＣＶＤ装置での水素プラズマの照射、スパッタ装置に於いてアルゴンガス－水素ガス雰囲気中でのアルゴン－水素プラズマ照射などに依り行う。しかる後に第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を外気と隔離した状態で連続して形成する（第二ゲート絶縁膜形成処理ＳＴ４２）。従ってこの成膜は水素化処理ＳＴ４１を行ったＡＰＣＶＤ装置やＬＰＣＶＤ装置、ＰＥＣＶＤ装置、スパッタ装置内でその儘シリコン酸化膜を形成するので有る。

【００６０】

本発明に於いて第一工程ＳＴ１Ａで行う結晶化は例えばレーザー照射等に依る溶融結晶化ＳＴ１３１、或いは急速加熱処理や弱レーザー照射等の固相結晶化ＳＴ１３２で有る。斯様な結晶化処理ＳＴ１３は水素含有雰囲気下やアルゴンガス含有還元性雰囲気下で行う事が好ましい。

【００６１】

本発明では第二工程ＳＴ２Ａを水素含有雰囲気下や酸素含有雰囲気下、又は水蒸気含有酸化性雰囲気下で行う事が好ましい。

【００６２】

［実施形態２の概要］

本発明の第２形態を適用したＴＦＴの製造方法も主として低温プロセスにて作成されるＴＦＴに適用される。これを図２を参照して説明する。

【００６３】

図２から分かる様に本発明では第１形態に係るＴＦＴの製造方法と同様、第一工程ＳＴ１Ｂでは基板を大気に晒す事なく半導体膜形成処理ＳＴ１２と結晶化処理ＳＴ１３及び第一ゲート絶縁膜形成処理ＳＴ１６を連続して行う。この第一工程ＳＴ１Ｂに於いて、本発明では半導体膜の結晶化処理ＳＴ１３を行った後で第一ゲート絶縁膜形成処理ＳＴ１６を行う前に半導体膜に対して水素化処理ＳＴ１４を行う事に特徴を有する。ここで行う水素化

処理ＳＴ１４としては先に説明した実施の形態１の水素化処理ＳＴ４１（第四工程ＳＴ４Ａ）と同様、ＡＰＣＶＤ装置に於いて大気圧下３％程度の水素含有のアルゴンガス雰囲気中での水素熱処理や、ＬＰＣＶＤ法に於いて水素ガス雰囲気中で１Ｔｏｒｒ程度から１００Ｔｏｒｒ程度の減圧下での水素熱処理や水素プラズマ照射、ＰＥＣＶＤ装置での水素プラズマの照射、スパッタ装置に於いてアルゴン－水素プラズマの照射などに依り行う。又その後に続いて行う第一ゲート絶縁膜形成処理ＳＴ１６は水素化処理ＳＴ１４を行ったＡＰＣＶＤ装置やＬＰＣＶＤ装置、ＰＥＣＶＤ装置、スパッタ装置内でその儘シリコン酸化膜を形成する。斯様な水素化処理ＳＴ１４を行うと半導体膜の活性表面を水素で終端化し安定化する事が出来る。然も結晶化処理ＳＴ１３の後に、基板を大気に晒す事なく水素化処理ＳＴ１４を連続して行うので、半導体膜の表面には自然酸化膜が形成されて居ない。それ故水素化処理ＳＴ１４を行う時に自然酸化膜の影響を受けず、極短時間で均一且つ効果的に行い得るので有る。こうして半導体膜の電気伝導度が安定し、ＴＦＴのオン電流特性等と云った電気的特性が向上する訳で有る。

【００６４】

それ以降は第１形態に係るＴＦＴの製造方法と同様で有る。第二工程ＳＴ２Ｂでは第一ゲート絶縁膜及び半導体膜に急速加熱処理等の熱処理を施す。次に第三工程ＳＴ３Ｂでは第一ゲート絶縁膜及び半導体膜をパターニングする。次に第四工程ＳＴ４Ｂでは基板に水素化処理ＳＴ４１を施し、しかる後に外気に晒す事無く連続して第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する（第二ゲート絶縁膜形成処理ＳＴ４２）。

【００６５】

［実施形態３の概要］

本発明の第３形態に係るＴＦＴの製造方法も主として低温プロセスにて作成されるＴＦＴに適用される。これを図３を参照して説明する。

【００６６】

図３から分かる様に本発明では本発明の第１形態に係るＴＦＴの製造方法と同様、第一工程ＳＴ１Ｃでは基板を大気に晒す事なく半導体膜形成処理ＳＴ１２と結晶化処理ＳＴ１３及び第一ゲート絶縁膜形成処理ＳＴ１６を連続して行う。この第一工程ＳＴ１Ｃに於いて、本発明では半導体膜の結晶化処理ＳＴ１３を行った後で第一ゲート絶縁膜形成処理ＳＴ１６を行う前に半導体膜に対して水素化処理ＳＴ１４を行うと共に、半導体膜に対して酸化処理ＳＴ１５を行う。この酸化処理ＳＴ１５を真空条件下で行う場合には酸素や水蒸気、酸素と水蒸気の混合気体、笑気ガス等を用いたプラズマを利用する事が出来る。酸化処理ＳＴ１５を大気圧下で行う場合には酸素雰囲気中や水蒸気雰囲気中、酸素－水蒸気雰囲気中、笑気ガス雰囲気中での熱処理を利用する事が出来、或いはオゾンを利用する事も可能で有る。斯様な酸化処理ＳＴ１５を行うと半導体膜の活性表面と酸素との反応に依り高品質の酸化膜が容易に形成されるので、清浄なＭＯＳ界面を有するゲート絶縁膜を極めて簡単に形成出来る。

【００６７】

それ以降は本発明の第１形態に係るＴＦＴの製造方法と同様、第二工程ＳＴ２Ｃでは第一ゲート絶縁膜及び半導体膜に急速加熱処理等の熱処理を施す。次に第三工程ＳＴ３Ｃでは第一ゲート絶縁膜及び半導体膜をパターニングする。次に第四工程ＳＴ４Ｃでは基板に水素化処理ＳＴ４１を施し、しかる後に外気に晒す事無く連続して第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する（第二ゲート絶縁膜形成処理ＳＴ４２）。

【００６８】

斯様な形態のＴＦＴの製造方法を第１実施例として後述する。

【００６９】

［実施形態４の概要］

本発明の第４形態に係るＴＦＴの製造方法も主として低温プロセスにて作成されるＴＦＴに適用される。これを図４を参照して説明する。

【００７０】

図４から分かる様に本発明では本発明の第１形態に係るＴＦＴの製造方法と同様、第一工

程ＳＴ１Ｄに於いて基板を大気に晒す事なく半導体膜形成処理ＳＴ１２と結晶化処理ＳＴ１３及び第一ゲート絶縁膜形成処理ＳＴ１６を行う。次に第二工程ＳＴ２Ｄに於いて第一ゲート絶縁膜及び半導体膜に急速加熱処理等の熱処理を施す。次に第三工程ＳＴ３Ｄに於いて第一ゲート絶縁膜及び半導体膜をパターニングする。次に本発明では半導体膜をパターニングした時に、それに用いたレジストマスクに依って汚染された第一ゲート絶縁膜の表面をエッチング等の処理に依って清浄化する（第四工程ＳＴ４Ｄ）。この清浄化にはフッ化水素系水溶液を用いたウェット・エッチング、或いは水素、四フッ化炭素、三フッ化窒素、六フッ化硫黄（SF_6）等を用いたドライ・エッチングを利用する事が出来る。ドライ・エッチングはこの工程とそれに続いて行う第五工程ＳＴ５Ｄの水素化処理ＳＴ４１とを基板を大気に触れさす事なく連続して行うのに特に適して居る。

【００７１】

この様にして汚染された第一ゲート絶縁膜を清浄化するとＴＦＴの電気的特性が安定する。然もレジストマスクに依って汚染された第一ゲート絶縁膜の表面層のみを除去するので半導体膜はこの間も大気に晒されない。従って半導体膜表面の汚れた酸化等を確実に防止出来、ＴＦＴの電気的特性が安定する。

【００７２】

それ以降は本発明の第１形態に係るＴＦＴの製造方法と同様、第五工程ＳＴ５Ｄでは基板に水素化処理ＳＴ４１を施し、しかる後に第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する（第二ゲート絶縁膜形成処理ＳＴ４２）。前述の如く第一ゲート絶縁膜清浄化処理ＳＴ４Ｄから第二ゲート絶縁膜形成処理ＳＴ４２迄を外気に晒す事無く連続して行うのが最も好ましい。

【００７３】

斯様な形態のＴＦＴの製造方法を第２実施例として後述する。

【００７４】

［実施形態５の概要］

本発明の第５形態に係るＴＦＴの製造方法は一部の工程に高温プロセスを用いる事に特徴を有する。これを図５を参照して説明する。

【００７５】

図５から分かる様に本発明でも第１形態に係るＴＦＴの製造方法と同様、第一工程ＳＴ１Ｅに於いて基板を大気に晒す事なく半導体膜形成処理ＳＴ１２と結晶化処理ＳＴ１３及び第一ゲート絶縁膜形成処理ＳＴ１６を連続して行う。

【００７６】

次に本発明では第二工程ＳＴ２Ｅとして第一ゲート絶縁膜及び半導体膜をパターニングする。

【００７７】

次に本発明では第三工程ＳＴ３Ｅとして基板を酸化性雰囲気下で熱処理を行い、半導体膜表面に第二ゲート絶縁膜として酸化膜を形成する。この酸化膜の形成にあたっては例えば先に説明した第１形態に於ける第一ゲート絶縁膜形成処理ＳＴ１６と同様にＡＰＣＶＤ法やＬＰＣＶＤ法、ＰＥＣＶＤ法などと云ったＣＶＤ法、或いはスパッタ法や蒸着法などと云ったＰＶＤ法を行い、その後に酸素雰囲気中や窒素雰囲気中などで８００℃程度から１２００℃程度の条件で熱処理を行っても良い。或いは酸素雰囲気中や水蒸気雰囲気中、酸素－水素混合雰囲気中にて８００℃程度から１２００℃程度の条件下で行う熱酸化法で有っても良い。更にはモノシランや酸素等を用いて７００℃程度から１０００℃程度の条件下でＣＶＤを行う高温酸化膜法（ＨＴＯ法）なども有る。

【００７８】

［実施形態６の概要］

本発明の第６形態に係るＴＦＴの製造方法でも本発明の第５形態に係るＴＦＴの製造方法と同様、一部の工程に高温プロセスを用居る。これを図６を参照して説明する。

【００７９】

図６から分かる様に本発明でも第一工程ＳＴ１Ｆに於いて基板を大気に晒す事なく半導体

膜形成処理ＳＴ１２と結晶化処理ＳＴ１３及び第一ゲート絶縁膜形成処理ＳＴ１６を行う。

【００８０】

次に本発明では第二工程ＳＴ２Ｆとして第一ゲート絶縁膜及び半導体膜に急速加熱処理等の熱処理を施す。

【００８１】

それ以降は本発明の第５形態に係るＴＦＴの製造方法と同様で有る。第三工程ＳＴ３Ｆでは第一ゲート絶縁膜及び半導体膜をパターニングする。次に第四工程ＳＴ４Ｆでは基板を酸化性雰囲気下で熱処理を行い、半導体膜表面に第二ゲート絶縁膜としての酸化膜を形成する。

【００８２】

本発明でも第二工程ＳＴ２Ｆを水素含有雰囲気下や酸素含有雰囲気下、又は水蒸気含有酸化性雰囲気下で行う事が好ましい。

【００８３】

斯様な形態のＴＦＴの製造方法を第３実施例として後述する。

【００８４】

［実施形態７の概要］

本発明の第７形態に係るＴＦＴの製造方法は主として低温プロセスにて作成されるＴＦＴに適用される。これを図７を参照して説明する。

【００８５】

図７から分かる様に本発明では本発明の第１乃至６の形態に係るＴＦＴの製造方法と同様、第一工程ＳＴ１Ｇでは基板を大気に晒す事なく半導体膜形成処理ＳＴ１２と結晶化処理ＳＴ１３及び第一ゲート絶縁膜形成処理ＳＴ１６を連続して行う。この第一工程ＳＴ１Ｇに於いて本発明では、半導体膜の結晶化処理ＳＴ１３を行った後で第一ゲート絶縁膜形成処理ＳＴ１６を行う前に半導体膜に対して水素化処理ＳＴ１４又は酸化処理ＳＴ１５の少なくとも一方の処理を行う。理想的には半導体膜形成処理直前の下地保護膜形成処理から第一ゲート絶縁膜形成処理迄を外気と隔絶した状態で連続処理するのが好ましい。

【００８６】

それ以降は第二工程ＳＴ２Ｇで第一ゲート絶縁膜及び半導体膜をパターニングする。次に第三工程ＳＴ３Ｇでは第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する（第二ゲート絶縁膜形成処理ＳＴ４２）。

【００８７】

斯様な形態のＴＦＴの製造方法を第４実施例として後述する。

【００８８】

［実施形態８の概要］

本発明の第８形態に係るＴＦＴの製造方法も主として低温プロセスにて作成されるＴＦＴに適用される。これを図８を参照して説明する。

【００８９】

図８から分かる様に本発明では第７形態に係るＴＦＴの製造方法と同様、第一工程ＳＴ１Ｈでは基板を大気に晒す事なく半導体膜形成処理ＳＴ１２と結晶化処理ＳＴ１３及び第一ゲート絶縁膜形成処理ＳＴ１６を連続して行う。又第一工程ＳＴ１Ｈでは半導体膜の結晶化処理ＳＴ１３を行った後で第一ゲート絶縁膜形成処理ＳＴ１６を行う前に半導体膜に対して水素化処理ＳＴ１４又は酸化処理ＳＴ１５の少なくとも一方の処理を行う。

【００９０】

次に第一ゲート絶縁膜及び半導体膜をパターニングする第二工程２Ｈを行う。第二工程２Ｈ終了後に第一ゲート絶縁膜の表面を清浄化する第三工程３Ｈを行う。しかる後に第四工程４Ｈでは第一ゲート絶縁膜の表面に第二ゲート絶縁膜を形成する（第二ゲート絶縁膜形成処理ＳＴ４２）。第三工程３Ｈでは半導体膜をパターニングした時に用いたレジストマスクで汚染された第一ゲート絶縁膜の全体又はその表面をエッチング等の処理に依って除去して清浄な物とする。この清浄化にはフッ化水素系水溶液を用いたウェット・エッチン

グ、或いは水素や四フッ化炭素、三フッ化窒素、六フッ化硫黄等を用いたドライ・エッチングを利用する事が出来る事は実施の形態４と同様で有る。ドライ・エッチングを用いた場合、第一ゲート絶縁膜清浄化処理ＳＴ３Ｈと第二ゲート絶縁膜形成処理ＳＴ４Ｈは外気に晒す事無く連続で行うのが好ましい。

【００９１】

斯様な形態のＴＦＴの製造方法を第５実施例として後述する。

【００９２】

［ＴＦＴ製造装置の概略構成］

各実施例を説明する前に図９乃至図１１を参照して、各実施例に用いる事の出来るマルチチャンバー型のＴＦＴ製造装置の概略構成を説明して置く。図９はマルチチャンバー型のＴＦＴ製造装置の基本的な構成を示す概略構成図、図１０はこのＴＦＴ製造装置を真空系装置として構成した場合の基本的な構成を示す概略構成図、図１１はＴＦＴ製造装置を大気圧系装置として構成した場合の基本的な構成を示す概略構成図で有る。

【００９３】

図９に於いて、ＴＦＴ製造装置１００にはＣＶＤ法やＰＶＤ法に依る半導体膜の形成及び水素化処理を行うための還元性処理室１２０（ＣＶＤ装置）と、レーザーアニールやＲＴＡ、イオン・ボンバードメント法に依る結晶化を行う為の結晶化室１３０と、ＣＶＤ法やＰＶＤ法に依るシリコン酸化膜の形成及び酸化処理を行うための酸化性処理室１４０（ＣＶＤ装置）と、これらの処理室に対してシャッターＳＨ３、ＳＨ４、ＳＨ５を介して接続する搬送室１５０とが構成されて居る。搬送室１５０には各処理室への基板の搬出入を行うための搬送ロボット１６０が配置されて居る。搬送室１５０にはシャッターＳＨ２を介してロードロック室１７０が接続し、このロードロック室１７０にはシャッターＳＨ１に依って開閉される基板搬出入口が構成されて居る。マルチチャンバー型のＴＦＴ製造装置を真空系装置として構成する場合、各処理室等にはドライポンプやターボ分子ポンプ等を備える真空排気装置（図示せず）や所定のガス供給装置が其々接続され、各処理室等では大気から隔離した状態で基板を扱う事が可能で有る。その一例を図１０に示す。ロードロック室１７０は１気圧から10^{-5}Ｔｏｒｒ程度と成る様に構成される。還元性処理室１２０は背景真空度が10^{-6}Ｔｏｒｒ程度以下と成る様に構成され、且つアルゴンやヘリウム、水素、モノシラン、ジシラン、トリシランなどを導入出来る様に構成される。ここではＰＥＣＶＤ法やＬＰＣＶＤ法、スパッター法に依る半導体膜の形成や水素化処理を行う事が可能で有る。結晶化室１３０は背景真空度が10^{-6}Ｔｏｒｒ程度以下と成る様に構成され、且つアルゴンや水素などを導入出来る様に構成される。ここではレーザーアニールやＲＴＡ、イオン・ボンバードメント法に依る結晶化を行う事が可能で有る。酸化性処理室１４０は背景真空度が10^{-6}Ｔｏｒｒ程度以下と成る様に構成され、且つアルゴンやヘリウム、水素、モノシラン、ジシラン、トリシラン、ＴＥＯＳ、笑気ガス、酸素などを導入出来る様に構成される。ここではＰＥＣＶＤ法やＬＰＣＶＤ法、スパッター法に依るシリコン酸化膜の形成や酸化処理を行う事が可能で有る。搬送室１５０は10^{-6}Ｔｏｒｒ程度以下の背景真空度になる様に構成され、且つアルゴンや窒素などの不活性なガスを導入してその真空度が10^{-5}Ｔｏｒｒ程度と成る。

【００９４】

マルチチャンバー型のＴＦＴ製造装置を大気圧系装置として構成する場合には、各処理室等には各種のガス供給装置が其々接続され、各処理室等では大気から隔離した状態で基板を扱う。図１１に示す様にロードロック室１７０は窒素ガス等の不活性気体が導入される様に構成される。還元性処理室１２０はトリシランや水素、アルゴンなど還元性気体と不活性気体を導入出来る様に構成される。ここではＡＰＣＶＤ法に依る半導体膜の形成や水素化処理を行う事が可能で有る。結晶化室１３０は１０％程度未満濃度の水素を含有するアルゴンを導入出来る様に構成され、１気圧程度から１０気圧程度の圧力下でレーザーアニールやＲＴＡ法に依る結晶化を行う事が可能で有る。酸化性処理室１４０はモノシランやＴＥＯＳ、笑気ガス、酸素、オゾンなどを導入出来る様に構成されて居る。ここではＡＰＣＶＤ法に依るシリコン酸化膜の形成や酸化処理を行う事が可能で有る。搬送室１５０

はアルゴンなどの不活性気体を導入出来る様に構成される。
【００９５】
図１２（Ａ）は図９乃至図１１に示したＴＦＴ製造装置に於いて酸化性処理室や還元性処理室をプラズマＣＶＤ用に構成した場合の反応室周辺の概略平面図と、そのＡ－Ａ′線に於ける断面図（図１２（Ｂ））で有る。本例のプラズマＣＶＤ装置２００は容量結合型で有り、プラズマは高周波電源を用いて平行平板電極間に発生させる様になって居る。反応室２０１は反応容器２０２に依って外気から隔絶され、成膜中には約５ｍＴｏｒｒから約５Ｔｏｒｒ迄の減圧状態とされる。反応容器２０２の内部には下部平板電極２０３と上部平板電極２０４が互いに平行に配置されており、これらの２枚の電極が平行平板電極を構成して居る。下部平板電極２０３と上部平板電極２０４とからなる平行平板電極の間が反応室２０１で有る。本例では４１０ｍｍ×５１０ｍｍの平行平板電極を用い、電極間距離は可変で有る。反応室２０１の容積も電極間距離の変更にともなって２０９１ｃｍ^3　から１０４５５ｃｍ^3　迄の範囲で可変と成る。電極間距離の変更は下部平板電極２０３の位置を上下させる事に依り行う事が出来、任意の距離に設定出来る。電極間距離をある値に設定した時の平行平板電極の面内に於ける電極間距離の偏差は僅か０．１ｍｍで有る。従って電極間に生じる電界強度の偏差は平行平板電極の面内に於いて１．０％以下で有り、プラズマは反応室２０１に於いて均質に発生する。下部平板電極２０３の上には薄膜を堆積すべきガラス等の大型の基板１０が置かれ、基板１０の縁辺部２ｍｍがシャドーフレーム２０６に依り押さえつけられる。尚図１２（Ａ）では装置の構成を分かり易くする様にシャドーフレーム２０６を省略して有る。下部平板電極２０３の内部には基板１０を加熱するヒーター２０７が設けられており、下部平板電極２０３の温度は２５℃から４００℃迄の間で任意に設定出来る。電極の温度を有る値に設定した時、周辺５ｍｍを除く下部平板電極２０３の面内に於ける温度分布は設定温度に対して±１．０℃以内で有る。こうして基板１０の大きさを４００ｍｍ×５００ｍｍに設定しても、基板１０の面内に於ける温度偏差を２．０℃以下に保つ事が出来る。シャドーフレーム２０６は例えば基板１０として汎用のガラス基板（例えば、コーニングジャパン株式会社製＃７０５９、日本電気硝子株式会社製ＯＡ－２、又はＮＨテクノグラス株式会社製ＮＡ３５等）を用いた時、基板１０がヒーター２０７からの熱に依って凹形に変形するのを防ぐと共に、基板のエッジ部や裏面に不要な薄膜が形成されない様に基板１０を押さえて居る。原料と成る気体と必要に応じて追加の気体とからなる反応ガスは配管２０８を通して上部平板電極２０４の内部に導入され、更に上部平板電極２０４の内部に設けられたガス拡散板２０９の間をすり抜けて上部平板電極２０４の全面から略均一な圧力で反応室２０１の流れ出る。成膜中で有れば反応ガスの一部は上部平板電極２０４から出た所で電離し、平行平板電極間にプラズマを発生させる。反応ガスの一部乃至全部は成膜に関与する。これに対し成膜に関与しなかった残留反応ガスと成膜の化学反応の結果として生じた生成ガスは反応容器２０２の周辺上部に設けられた排気穴２１０から排気ガスとして排出される。排気穴２１０のコンダクタンスは平行平板電極間のコンダクタンスの１００倍以上で有る事が好ましい。更に平行平板電極間のコンダクタンスはガス拡散板２０９のコンダクタンスよりも十分に大きく、矢張りその値はガス拡散板２０９のコンダクタンスの１００倍以上で有る事が好ましい。この様に構成する事に依り４１０ｍｍ×５１０ｍｍの大型の上部平板電極２０４の全面より略均一な圧力で反応ガスが反応室２０１に導入され、同時に排気ガスが反応室２０１から全ての方向に均等な流量で排出される。各種の反応ガスの流量は配管２０８に導入される前にマス・フロー・コントローラー（図示せず）に依り所定の値に調整される。又反応室２０１の内部の圧力は排気穴の出口に設けられたコンダクタンス・バルブ２１１に依り所定の値に調整される。コンダクタンス・バルブ２１１の排気側にはターボ分子ポンプ等の真空排気装置（図示せず。）が設けられて居る。本例ではオイル・フリーの磁気浮上型ターボ分子ポンプが真空排気装置の一部として用いられ、反応室内の背景真空度を１０$^{-7}$ Ｔｏｒｒ台として居る。図１２の（Ａ）と（Ｂ）にはガスの流れを矢印で示して有る。反応容器２０２及び下部平板電極２０３は接地電位に有り、これらと上部平板電極２０４とは絶縁リング２１２に依り電気的な絶縁状態が保たれる。プラズマ発生時には発振源

２１３（電源）から出力されたＲＦ波が増幅器２１４にて増幅された後、マッチング回路２１５を介して上部平板電極２０４に印加される。本例で用いたプラズマＣＶＤ装置１２０は上述の如く、電極間距離及びガス流に極めて精巧な制御を実現した事に依り４００ｍｍ×５００ｍｍの大型の基板にも対応出来る薄膜形成装置として構成されて居る。これらの基本的な設計思想され踏襲すれば更に大型の基板にも容易に対応出来、５５０ｍｍ×６５０ｍｍ程度の大型基板にも十分に対応し得る装置を構成出来る。本例ではＲＦ電源を用いて居るが、マイクロ波やＶＨＦ波を発する電源を用いてもよい。又ＲＦ電源では工業用ＲＦ周波数（１３．５６ＭＨｚ）の整数倍で有る２７．１２ＭＨｚや４０．６ＭＨｚ、５４．２４ＭＨｚ、６７．８ＭＨｚ等いずれの周波数に設定してもよい。斯様な周波数の変更は発振源２１３や増幅器２１４及びマッチング回路２１５を交換する事に依り容易に行う事が出来る。　尚電磁波プラズマでは周波数を上げるとプラズマ中の電子温度が上がり、ラジカルの発生が容易に成る。反応ガスとしてはシリコン膜を堆積する場合にはモノシランやジシランが用いられる。シリコン窒化膜を堆積する場合にはこれらのシランにアンモニア（NH_3　）や窒素を添加する。又酸化膜を堆積する場合にはこれらのシランに笑気ガス（N_2　Ｏ）や酸素（O_2　）を添加する。この他に、ＴＥＯＳ（Ｓｉ－（Ｏ－CH_2　－（CH_3　）$_4$　））等の有機シラン系物質と酸素等で酸化膜を形成してもよい。希釈ガスとしてはヘリウム（Ｈｅ）やアルゴン（Ａｒ）、ネオン（Ｎｅ）等の希ガスの他、水素（H_2　）や窒素（N_2　）等が用いられる。

【００９６】

図１３は図９乃至図１１に示したＴＦＴ製造装置の結晶化室１３０をレーザーアニール用、或いはＲＴＡ用に構成した場合の処理室周辺の概略断面図で有る。図１３に示す様に結晶化室１３０はハウジング１３１の上部に石英窓１３２が配置され、この石英窓１３２を介してＲＴＡ用のランプＬやレーザー光からの高エネルギーの光をホルダー１３３上の基板１０に照射する事が可能と成る。ホルダー１３３内にはヒーターが設けられて居り、基板を２５℃程度から４００℃程度に加熱出来る。このホルダーは前後に移動可能で有る為、ランプＬからの光は基板１０の全面に照射される様になって居る。結晶化室１３０には導入管１３４を介してアルゴンや水素等のガスの導入が可能で有り、これらのガス雰囲気中でのアニール処理が行われる。尚ランプＬには反射鏡や集光レンズ系等が構成されて居るが、これらの要素部品はその図示を省略して有る。

【００９７】

［第１実施例］

図１４等を用いて本発明の一例を説明する。ここに掲げるＴＦＴの製造方法は図３に示した工程を有する製造方法で有り、それ故図１及び図２の製造方法をも内包して居る。尚図１４（Ｂ）に示す工程から図１４（Ｅ）に示す工程迄は図９乃至図１１に示したＴＦＴ製造装置１００内で行う。

【００９８】

本例ではまず図１４（Ａ）に示す様に超音波洗浄等に依り清浄化したガラス製等の基板１０を準備し、この基板１０をＴＦＴ製造装置１００のロードロック室１７０を介して搬送室１５０に入れ、10^{-7} Ｔｏｒｒから10^{-1} Ｔｏｒｒ程度の減圧下とした後、基板１０を搬送室１５０から酸化性処理室１４０（プラズマＣＶＤ装置）に搬入する。

【００９９】

（第一工程ＳＴ１Ｃ）

次に図１４（Ｂ）に示す様に減圧状態とされた酸化性処理室１４０内部に於いて、基板温度が約１５０℃から約４５０℃の温度条件下で、基板１０の全面に厚さが２００ｎｍ程度のシリコン酸化膜からなる下地保護膜１１をプラズマＣＶＤ法に依り形成する（下地保護膜形成処理）。この時の原料ガスとしては例えばモノシランと笑気ガス（N_2O）との混合ガスやＴＥＯＳと酸素等を用いる。窒化硅素膜を下地保護膜とする時には、シランとアンモニアを用いても良い。尚下地保護膜１２としてはシリコン窒化膜等の絶縁膜やそれらの多層膜を用いる事も出来る。

【０１００】

続いて基板１０を大気に晒す事なく酸化性処理室１４０から搬送室１５０を介して還元性処理室１２０に搬入する。この還元性処理室１２０内ではアルゴンガスを含む減圧下に於いて基板温度が約１５０℃から約４５０℃の温度条件下で基板１０の全面に厚さが６０ｎｍ程度のアモルファスシリコン膜からなる半導体膜１２をプラズマＣＶＤ法に依り形成する（半導体膜形成処理ＳＴ１２）。この時の原料ガスとしては例えばジシランやモノシランを用いる事が出来る。

【０１０１】

次に基板１０を還元性処理室１２０から搬送室１５０を介して結晶化室１３０に搬入する。この間基板１０は還元性処理室１２０から搬送室１５０及び結晶化室１３０の内部迄、減圧下又は非酸化性雰囲気中に保持されて居り、大気には晒されない。結晶化室１３０では図１４（Ｃ）に示す様にランプＬから照射される高エネルギー光（レーザー光やＲＴＡ光）に依って半導体膜１２の少なくとも表面層を、真空中（減圧下）、又は水素ガス含有雰囲気や一１気圧程度以上のフォーミングガス雰囲気（１０％程度の水素ガス含有のアルゴンガスからなる還元性雰囲気）等と云った非酸化性雰囲気中に於いて溶融結晶化する（結晶化処理ＳＴ１３／急速加熱処理に依る固相結晶化ＳＴ１３２）。この時基板１０の表面や半導体膜１２の表面はレジスト等で汚染されておらず、然も酸化膜も形成されていない。この為結晶化後の半導体膜１２は結晶化での不純物混入がなく、極めて高純度で有り、併せて結晶粒も不純物が無い為大きく成長して居る。又ランプＬから照射される高エネルギー光は半導体膜１２の表面に対して一定の幅で照射されるが、基板１０の移動にともなって照射領域は相対的に移動する。ランプＬからの光に依って基板１０の各部分は10^{-9}秒程度から長くとも秒オーダーで急速加熱される。こうして半導体膜１２は溶融結晶化又は固相結晶化して結晶性の半導体膜と成る。但し基板１０は全体として同時に大きな熱ストレスを受けないので、歪み等は発生しない。

【０１０２】

次に基板１０を結晶化室１３０から搬送室１５０を介して還元性処理室１２０に搬入する。この間基板１０は結晶化室１３０から搬送室１５０及び還元性処理室１２０の内部迄減圧下又は非酸化性雰囲気中に保持された儘で大気に晒されない。還元性処理室１２０では図１４（Ｄ）に示す様に基板１０を減圧下に保持した儘水素プラズマを照射して、溶融結晶化した半導体膜１２に存在する欠陥を低減する。即ち半導体膜１２中に成在するシリコン膜の不対結合を終端化する（水素化処理ＳＴ１４）。

【０１０３】

続いて基板１０を大気に晒す事なく、還元性処理室１２０から搬送室１５０を介して酸化性処理室１４０に搬入する。酸化性処理室１４０では水素プラズマ照射した後に引き続いて基板１０に酸素プラズマを照射し、酸化処理ＳＴ１５を行う。通常秒オーダー以下の短時間で結晶化を真空乃至非酸化性雰囲気下で行うと結晶化膜の表面は非常に活性で有り、空気に触れると空中のゴミ等に依り簡単に汚染されて仕舞うが、本例では斯様な活性表面を水素で終端化し安定として居る。また高純度の酸素プラズマを照射すれば、活性表面との反応に依り高品質のプラズマ酸化膜が容易に形成され、清浄なＭＯＳ界面を有するゲート絶縁膜を極めて簡単に形成出来る。酸素プラズマを作る酸素ガスの純度は９９．９９９９％程度以上が好ましく、プラズマ処理時の圧力に対して10^{-6}Ｔｏｒｒ程度以上の背景真空度が求められる。例えば酸素プラズマ処理を１Ｔｏｒｒで行う場合には背景真空度は10^{-6}Ｔｏｒｒ程度より高真空で有る事が求められる。

【０１０４】

次に図１４（Ｅ）に示す様に基板１０を減圧下に保持したまま、基板温度が約１５０℃から約４５０℃の温度条件下で、基板１０の全面に厚さ１０ｎｍ～５０ｎｍのシリコン酸化膜からなる第一ゲート絶縁膜１３をプラズマＣＶＤ法に依り形成する（第一ゲート絶縁膜形成処理ＳＴ１６）。この時の原料ガスとしては例えばモノシランと笑気ガスとの混合ガスや、ＴＥＯＳと酸素との混合ガスを用いる。

【０１０５】

（第二工程ＳＴ２Ｃ）

次に基板１０を酸化性処理室１４０から搬送室１５０を介して結晶化室１３０に搬入する。結晶化室１３０では図１４（Ｆ）に示す様に半導体膜１２及び第一ゲート絶縁膜１３に対して急速加熱処理を行う。この急速加熱処理では半導体膜からのストレス解放や更なる結晶化が進む。急速加熱処理では基板１０の一部が秒オーダで熱せられるだけで有る為、基板１０に歪み等が発生しない。この時第一ゲート絶縁膜１３は、下層に位置する半導体膜１２から熱を受けて高温になり、緻密化する等の絶縁膜質の改善が進む。然も急速加熱処理をパターニング前に行う為、基板１０の全面に於いて熱吸収度合いが均一で有る。斯様な急速加熱処理は結晶化室１３０を例えば窒素ガス雰囲気として行う事が出来る。その一方、急速加熱処理を水素ガス含有雰囲気中で行うと、第一ゲート絶縁膜１３を構成するシリコン膜に存在するダングリングボンド（Ｓｉ－Ｏ－＊）が、例えばＳｉ－Ｏ－Ｈ等と云った状態に水素化し、固定電荷を低減出来る。又急速加熱処理を酸素ガス含有雰囲気中で行うと、第一ゲート絶縁膜１３に含まれる未結合のシリコン原子（Ｓｉ－＊）をＳｉ－Ｏ－Ｓｉ等と云った状態に結合させ、絶縁膜の改質を行う事が出来る。更に急速加熱処理を水蒸気含有酸化性雰囲気中で行うと、第一ゲート絶縁膜１３を更に厚く成長させる事も可能で有る上、図２９と図３０で説明した膜質改善がより完璧に行われる。更にこれら雰囲気中を順次繰り返して複数回の急速加熱処理を行ってもよい。

【０１０６】

第二工程の急速加熱処理は基板１０を第一ゲート絶縁膜形成処理ＳＴ１６迄を行った後、ＴＦＴ製造装置１００から搬出して図１５（Ａ）に示す急速加熱処理装置を用いて行ってもよい。この急速加熱処理装置１では基板１０の搬送方向（矢印Ｘの方向）の上流側から下流側に向かって、第１予熱ゾーン２、第２予熱ゾーン３、第３予熱ゾーン４、アニールゾーン４、及びクーリングゾーン６が設けられて居る。又第１乃至第３予熱ゾーン２～４にはヒータが配置されて居る。アニールゾーン５には、そこに搬送されてくる基板１１にエネルギー光を照射するためのアークランプ５Ａ、５Ｂと、その反射板５Ｃ、５Ｄが配置されて居る。ここで図１５（Ｂ）に示す様に基板１０に対するエネルギー光の照射領域は幅が一定で有る為、基板１０の搬送速度に応じて基板１０に対する急速加熱時間を定める。急速加熱処理の温度プロファイルは図１５（Ｃ）に示す様にアニールゾーン５に於いて急速に温度上昇し、アニールゾーンの出口付近で温度ピークＰに達する。通常はアニールゾーン５の出口付近に於ける最高温度をアニール温度として管理する事に成る。

【０１０７】

（第三工程ＳＴ３Ｃ）

次に図１６（Ａ）に示す様に第一ゲート絶縁膜１３の表面に所定のマスクパターンのレジストマスク２２を形成し、図１６（Ｂ）に示す様に第一ゲート絶縁膜１３と半導体膜１２をフォトリソグラフィ技術を用いてパターニングする。

【０１０８】

（第四工程ＳＴ４Ｃ）

次に半導体膜１２や第一ゲート絶縁膜１３に対してプラズマＣＶＤ装置を用いて水素プラズマを照射しするなどして、水素化処理ＳＴ４１を行う。水素プラズマを照射するのは半導体膜１２や第一ゲート絶縁膜１３が第二工程ＳＴ２Ｃ（急速加熱処理）に於いて加熱された際に皮膜内に内包する水素を放出し、劣化して居る事が有るからで有る。斯様な水素化処理は通常のゲート絶縁膜の厚さであれば２時間～５時間を要するが、本例では厚さが１０ｎｍ～５０ｎｍと薄いので、３０秒程度から２０分程度でよい。

【０１０９】

続いて図１６（Ｃ）に示す様に基板温度が約１５０℃から約４５０℃の温度条件下で、基板１０の全面にシリコン酸化膜からなる第二ゲート絶縁膜１４をプラズマＣＶＤ法に依り形成する（第二ゲート絶縁膜形成処理ＳＴ４２）。水素化処理と第２絶縁膜形成処理は基板を外気に晒さず連続して行うのが好ましい。その結果、半導体膜１２はその表面側及び側面部が第二ゲート絶縁膜１４に依って覆われ、エッジ部分での絶縁性を確保出来る。第二ゲート絶縁膜１４はＴＥＯＳ等を用いてステップカバレージの優れた膜とする事が好ましい。勿論この時の原料ガスとしてモノシランと笑気ガスとの混合ガスを用いても良い。

尚水素プラズマの照射と第二ゲート絶縁膜１４の形成とは連続して行のが好ましいが、別々の装置で非連続としても良い。

【０１１０】

（第四工程以降の工程）

以降に行う工程はすべて３５０℃以下の温度条件下で行う。まず図１６（Ｄ）に示す様に基板１０の全面にタンタル薄膜等の導電膜２１をスパッタ法等に依り形成する。尚タンタル薄膜（導電膜２１）はＣＶＤ法等に依っても形成出来る。次に図１６（Ｅ）に示す様に導電膜２１をフォトリソグラフィ技術を用いてパターニングし、第二ゲート絶縁膜１４の表面にゲート電極１５を形成する。次にゲート電極１５をマスクとして半導体膜１２に対して例えばリンイオン（不純物イオン）を導入する。その結果、半導体膜１２にはゲート電極１５に対して自己整合的にソース・ドレイン領域１６が形成され、不純物イオンが導入されなかった部分はチャネル領域１７と成る。斯様な不純物の導入には例えばバケット型質量非分離型のイオン注入装置（イオンドーピング装置）を用いる事が出来、原料ガスとしては濃度が５％程度になる様に水素ガスで希釈したホスフィン（PH_3　）を用い事が出来る。尚Ｐチャネル型のＴＦＴを形成する場合には原料ガスとして水素ガスで濃度が５％程度と成る様に希釈したジボラン（B_2　H_6　）を用いればよい。

【０１１１】

次に図１６（Ｆ）に示す様にシリコン酸化膜からなる層間絶縁膜１８をプラズマＣＶＤ法等に依り形成する。この時の原料ガスも例えばＴＥＯＳと酸素ガスとの混合ガスを用いる事が出来る。次に酸素雰囲気下で３００℃、１時間程度の熱処理を行ない、注入したリンイオンの活性化と層間絶縁膜１８の改質とを行なう。次にコンタクトホール１９を形成し、しかる後にこのコンタクトホール１９を介してソース・ドレイン領域１６に導電接続するソース・ドレイン電極２０を形成する。この様にして基板１０の表面にＴＦＴ３０を形成する。

【０１１２】

尚本例及び以下に説明するいずれの実施例に於いても、ＴＦＴ３０を液晶表示パネルのアクティブマトリクスに於けるスイッチング素子として形成する場合には、ゲート電極１５は走査線の一部として形成し、ソース・ドレイン電極２０のうちの一方はデータ線として形成する。又ソース・ドレイン電極２０のうちの他方は画素電極の一部として、又はそれと導電接続する電極として構成する。又本例及び、以下に説明するいずれの実施例もあくまで一例で有り、ソース・ドレイン領域１６の内ゲート電極１５の端部に対峙する領域に低濃度領域やオフセット領域を設けてもよい。

【０１１３】

（第１実施例の主な効果）

この様に本例のＴＦＴの製造方法では第一工程ＳＴ１Ｃに於いて、下地保護膜１１を形成してから第一ゲート絶縁膜１３を形成する迄は基板１０を大気に晒さないので、半導体膜１２の表面は下地保護膜１１表面の汚染を被る事もない。又半導体膜１２の表面は汚れた酸化や汚染を受けない。更に第三工程ＳＴ３Ｃで半導体膜１２をパターニングする前に第一工程ＳＴ１Ｃで第一ゲート絶縁膜１３を形成して置くので、半導体膜１２の表面はレジストで汚染されない。従ってチャネル領域１７／ゲート絶縁膜１３の界面状態が良好で有る。更に又結晶化処理ＳＴ１３に続いて水素化処理ＳＴ１４及び酸化処理ＳＴ１５を行う為、チャネル領域１７／ゲート絶縁膜１３の界面状態が良好で有ると共に、自然酸化膜の影響を受けずに水素化処理ＳＴ１４を行える。この為短時間の水素プラズマ処理で大きな効果を均一に得る事が出来、半導体膜１０の電気伝導度が安定する。それ故ＴＦＴのオン電流や閾値電圧等と云った電気的特性が向上する。

【０１１４】

又第二工程ＳＴ２Ｃでは第一ゲート絶縁膜１３及び半導体膜１２に急速加熱処理を行う為、良質の半導体膜１２を得る事が出来ると共に第一ゲート絶縁膜１３も緻密化するので、それを用いて製造したＴＦＴ３０は信頼性が高い。然も急速加熱処理をパターニング前に行う為、基板１０の全面を均一に処理出来る。

【０１１５】
更に第四工程ＳＴ４Ｃでは第一ゲート絶縁膜１３に水素化処理ＳＴ４１を行う為、第二工程ＳＴ２Ｃでの急速加熱処理で加熱されたときの劣化を修復する事が出来る。又半導体膜１２をパターニングする前に第一ゲート絶縁膜１３を形成する為、それらのパターニングを行った後には半導体膜１２の側面部に第一ゲート絶縁膜１３が残らないが、ゲート電極１５と成る導電膜２１を形成する前に第四工程ＳＴ４Ｃに於いてステップカバレージの良い第二ゲート絶縁膜１４を形成して半導体膜１２の側面部を第二ゲート絶縁膜１４で覆う。それ故同じ基板１０上の他のＴＦＴとショートすると云う事はなく、歩留り及び信頼性が高い。
【０１１６】
更に又第四工程ＳＴ４Ｃ以降はすべて３５０℃の温度条件下で行う為、第二ゲート絶縁膜１４に内包される水素が放出される事がない。第二ゲート絶縁膜１４を形成した以降に高温での処理を行うと、改めて第二ゲート絶縁膜１４に長時間の水素化処理を行う必要が有る。然るに本例では第二ゲート絶縁膜１４は高温に晒されないので、水素が安定した状態で結合したまま残り、最終的な水素化処理を行う必要もない。
【０１１７】
尚本例では第一ゲート絶縁膜１３を形成した後にＴＦＴ製造装置１００から基板１０を取り出し、最良の結果が得られた。しかしながら図１４（Ｄ）に示した水素化処理ＳＴ１４や酸化処理ＳＴ１５を済ました後で、半導体表面が安定化させられた後で有れば、基板１０を外に取り出して半導体膜のパターニングを行い、その後は従来と同じ工程にてＴＦＴを作成する事も可能で有る。斯様な工程を採用した場合、ＭＯＳ界面やゲート絶縁膜はは本願発明よりは劣るものの、同じ工程数でありながら、従来のＴＦＴに比較して遥かに優れた特性を有するＴＦＴを製造する事が出来る。
【０１１８】
［第２実施例］
本例で行う各工程の内第１実施例と共通する工程については同じ符合を付してそれらの詳細な説明を省略する。尚本例は図４を参照して説明した製造方法に対応する。
【０１１９】
（第一工程ＳＴ１Ｄ）
本例では図１７（Ａ）に示す様に超音波洗浄等に依り清浄化したガラス製等の基板１０を準備する。この基板１０を減圧状態とされた酸化性処理室１４０内に設置し、図１７（Ｂ）に示す様に基板温度が約１５０℃から約４５０℃の温度条件下で基板１０の全面に厚さが２００ｎｍ程度のシリコン酸化膜からなる下地保護膜１１をプラズマＣＶＤ法に依り形成する（下地保護膜形成処理）。
【０１２０】
続いて基板１０を大気に晒す事なく還元性処理室１２０に移し、基板１０をアルゴンガスを含む減圧下に於いて基板温度が約１５０℃から約４５０℃の温度条件下で、基板１０の全面に厚さが６０ｎｍのアモルファスシリコン膜からなる半導体膜１２をプラズマＣＶＤ法に依り形成する（半導体膜形成処理ＳＴ１２）。
【０１２１】
次に基板１０を大気に晒す事なく結晶化室１３０に移す。結晶化室１３０では図１７（Ｃ）に示す様にランプＬから照射される高エネルギー光（ＲＴＡ光）に依って、半導体膜１２の少なくとも表面層を真空中（減圧下）又は水素ガス含有雰囲気や１気圧以上のフォーミングガス雰囲気（１０％程度未満の水素ガス含有還元性雰囲気）等と云った非酸化性雰囲気中に於いて結晶化する（結晶化処理ＳＴ１３／急速加熱処理に依る固相結晶化ＳＴ１３２）。ここで急速加熱処理に依る固相結晶化ＳＴ１３２に代えて真空中又は水素ガス含有雰囲気や１気圧以上のフォーミングガス雰囲気等と云った非酸化性雰囲気中でのレーザー照射等に依る溶融結晶化ＳＴ１３１に依り半導体膜１２を結晶化してもよい。
【０１２２】
次に基板１０を大気に晒す事なく酸化性処理室１４０に移す。酸化性処理室１４０では図

１７（Ｄ）に示す様に基板１０を減圧下に設置して基板温度が約１５０℃から約４５０℃の温度条件下で基板１０の全面に厚さ１０ｎｍ～５０ｎｍのシリコン酸化膜からなる第一ゲート絶縁膜１３をプラズマＣＶＤ法に依り形成する（第一ゲート絶縁膜形成処理ＳＴ１６）。この第一ゲート絶縁膜形成処理の直前に水素プラズマ照射等に依る水素化処理と酸素プラズマ照射等に依る酸化処理を連続で施せば、尚更トランジスタ特性が向上して好ましいのは実施例１と同様で有る。

【０１２３】

（第二工程ＳＴ２Ｄ）

次に図１７（Ｅ）に示す様に半導体膜１２及び第一ゲート絶縁膜１３に対して急速加熱処理を行う。この急速加熱処理では半導体膜１２の結晶化が部分的では有るが一層進展する。急速加熱処理では基板１０の一部が秒オーダ程度以下の短時間で処理される為、基板１０に歪み等が発生しない。この時第一ゲート絶縁膜１３は下層に位置する半導体膜１２から熱を受けて高温になり、緻密化する等の膜質改善が進む。然も急速加熱処理をパターニング前に行う為、急速加熱処理を均一に行う事が出来る。斯様な急速加熱処理は結晶化室１３０を水素ガス含有雰囲気、酸素ガス含有雰囲気、又は水蒸気含有酸化性雰囲気として行う。又これらを順次繰り返した雰囲気中で急速加熱処理を行ってもよい。

【０１２４】

（第三工程ＳＴ３Ｄ）

次に図１８（Ａ）に示す様に第一ゲート絶縁膜１３の表面に所定のマスクパターンのレジストマスク２２を形成し、図１８（Ｂ）に示す様に第一ゲート絶縁膜１３及び半導体膜１２をフォトリソグラフィ技術を用いてパターニングする。

【０１２５】

（第四工程ＳＴ４Ｄ）

次に図１８（Ｃ）に示す様に第一ゲート絶縁膜１３の表面を減圧下でのドライエッチングに依り除去し、第一ゲート絶縁膜１３表面を清浄化する。この工程では第一ゲート絶縁膜１３に対するエッチングをウェットエッチングで行っても良い。ここでは第一ゲート絶縁膜１３の表面のみをエッチングするので、エッチング工程にて半導体膜１２が汚染される事がない。ドライエッチングを行う際は前述のエッチングガス（CF_4，NH_3，SF_6等）を用いても良いが、これらのエッチングガス成分（Ｃ，Ｎ，Ｓ，Ｆ等）がゲート絶縁膜中に混入して絶縁膜質を低下させる原因と成る。それ故ドライエッチングは１０ｍＴｏｒｒ程度以下の真空中で高純度の水素や酸素に依り行うのが好ましい。こうするとゲート絶縁膜を高純度とする事が出来、絶縁膜中の固定電化の低減や絶縁耐圧の向上が容易に達せられる。

【０１２６】

（第五工程ＳＴ５Ｄ）

第四工程ＳＴ４Ｄに続いて直ちに第一ゲート絶縁膜１３に対して水素プラズマを照射し、第一ゲート絶縁膜１３に水素化処理ＳＴ４１を行う。続いて図１８（Ｄ）に示す様に基板温度が約１５０℃から約４５０℃の温度条件下で、基板１０の全面にシリコン窒化膜等からなる第二ゲート絶縁膜１４をプラズマＣＶＤ法に依り形成する（第二ゲート絶縁膜形成処理ＳＴ４２）。その結果半導体膜１２はその表面側及び側面部が第二ゲート絶縁膜１４に依って覆われる事と成り、エッジ部分での絶縁性を確保出来る。第二ゲート絶縁膜１４を窒化膜とすると、絶縁膜全体の誘電率が大きくなるので、高いオン電流が得られる。又第二ゲート絶縁膜にＴＥＯＳ等を用いた酸化膜を用いるとステップカバレージが優れ、電気的短絡に対する歩留りが向上する。第一ゲート絶縁膜清浄化処理をドライエッチングで行う場合、この第四工程から第二ゲート絶縁膜形成処理迄を外気に晒す事無く連続で行うのが好ましい。第一ゲート絶縁膜清浄化処理が終了した後に基板を外気に晒すとそれだけで第一ゲート絶縁膜表面が汚染されて仕舞うからで有る。

【０１２７】

（第五工程以降の工程）

これ以降の工程は図１８（Ｅ）～（Ｇ）に示す様に第１実施例と同様で有る為、それらの

説明を省略する。
【０１２８】
（第２実施例の主な効果）
この様に本例のＴＦＴの製造方法では、第一工程ＳＴ１Ｄに於いて下地保護膜１１を形成してから第一ゲート絶縁膜１３を形成する迄は基板１０を大気に晒さないので、半導体膜１２は下地保護膜１１表面の汚染を被る事もない。又半導体膜１２の表面は酸化や汚染を受けない。更に第三工程ＳＴ３Ｄで半導体膜１２をパターニングする前に第一工程ＳＴ１Ｄで第一ゲート絶縁膜１３を形成して置くので、半導体膜１２の表面はレジストで汚染されない。従ってチャネル領域１７／ゲート絶縁膜１３の界面状態が良好で有る等、第１実施例と略同様な効果を奏する。
【０１２９】
また図１８（Ａ）に示す様に半導体膜１２をフォトリソグラフィ技術を用いてパターニングする時に用いたレジストマスク２２に依って第一ゲート絶縁膜１３の表面が汚染されるが、第四工程ＳＴ４Ｄでは図１８（Ｃ）に示す様に第一ゲート絶縁膜１３の表面を真空中で除去し清浄化するので、ＴＦＴの電気的特性が安定する。然も第一ゲート絶縁膜１３の表面を清浄化するのに第一ゲート絶縁膜１３表面のみをエッチングして居る為、半導体膜１２はこの間も大気に晒されない。従って半導体膜１２表面の汚染を確実に防止出来、ＴＦＴの電気的特性が安定する。
【０１３０】
［第３実施例］
第１、２実施例では一貫して低温プロセスを用いる事を前提としていたが、本例では第二ゲート絶縁膜１４を形成するのに熱酸化法（高温プロセス）を用いる点で第１、２実施例と相違する。しかしながら本例の製造方法は基本的な工程が部分的に第２実施例と共通するので、共通する工程については図１７を参照して説明する。尚本例は図６を参照して説明した製造方法に対応する。
【０１３１】
（第一工程ＳＴ１Ｆ）
本例でも図１７（Ａ）に示す様にガラス製等の基板１０を減圧状態とされた酸化性処理室１４０内に設置する。次に図１７（Ｂ）に示す様に基板温度が約１５０℃から約４５０℃の温度条件下でシリコン酸化膜からなる下地保護膜１１をプラズマＣＶＤ法に依り形成する（下地保護膜形成処理）。
【０１３２】
続いて基板１０を大気に晒す事なく還元性処理室１２０に移し、アルゴンガスとシランを含む減圧下に設置して、基板温度が約１５０℃から約４５０℃の温度条件下でアモルファスシリコン膜等から成る半導体膜１２をプラズマＣＶＤ法に依り形成する（半導体膜形成処理ＳＴ１２）。次に基板１０を大気に晒す事なく結晶化室１３０に移し、図１７（Ｃ）に示す様にランプＬから照射される高エネルギー光やレーザー光に依って、半導体膜１２の少なくとも表面層を真空中（減圧下）や水素ガス含有雰囲気下、１気圧程度以上のフォーミングガス雰囲気等と云った非酸化性雰囲気中に於いて結晶化する（結晶化処理ＳＴ１３／レーザー照射等の溶融結晶化ＳＴ１３１、又は急速加熱処理等に依る固相結晶化ＳＴ１３２）。次に基板１０を大気に晒す事なく酸化性処理室１４０に移し、図１７（Ｄ）に示す様に基板１０を減圧下に保持したまま、シリコン酸化膜からなる第一ゲート絶縁膜１３をプラズマＣＶＤ法に依り形成する（第一ゲート絶縁膜形成処理ＳＴ１６）。この第一ゲート絶縁膜形成処理前に水素化処理と酸化処理を連続して施すのが好ましいのは先と同様で有る。
【０１３３】
（第二工程ＳＴ２Ｆ）
次に図１７（Ｅ）に示す様に半導体膜１２及び第一ゲート絶縁膜１３に対して急速加熱処理を行う。この工程は第一工程と連続（基板を外気に晒さない）で有っても、非連続で（基板を一度外気に晒す）で有っても構わない。連続で有れば外気からの汚染を最小限に止

められる。一方非連続で有れば第二工程で汎用熱処理装置を使用出来、価格の低減化に役立つ。

【０１３４】

（第三工程ＳＴ３Ｆ）

次に図１９（Ａ）に示す様に第一ゲート絶縁膜１３の表面に所定のマスクパターンのレジストマスク２２を形成し、図１９（Ｂ）に示す様に第一ゲート絶縁膜１３と共に半導体膜１２をフォトリソグラフィ技術を用いてパターニングする。

【０１３５】

（第四工程ＳＴ４Ｆ）

次に図１９（Ｃ）に示す様に酸化性雰囲気内での熱酸化法に依り半導体膜１２の表面（第一ゲート絶縁膜１３と半導体膜１２の間）及び側面部にシリコン酸化膜からなる第二ゲート絶縁膜１４を形成する。その結果半導体膜１２はその表面側及び側面部が第二ゲート絶縁膜１４に依って覆われ、エッジ部分での絶縁性を確保出来る。第二ゲート絶縁膜形成直前には第三工程で汚染された第一ゲート絶縁膜表面をフッ化水素酸水溶液等の溶液でエッチングし、清浄化しておくのが好ましい。

【０１３６】

（第四工程以降の工程）

それ以降の工程は図１９（Ｄ）～（Ｆ）に示す様に第１実施例と同様で有る為、それらの説明を省略する。

【０１３７】

（第３実施例の主な効果）

斯様な高温プロセスを利用した製造方法も第１、２実施例と同様に第一工程ＳＴ１Ｆでは下地保護膜１１を形成してから第一ゲート絶縁膜１３を形成する迄は基板１０を大気に晒さない。その結果半導体膜１２の表面や下地保護膜側表面は汚染を被る事もない。第二絶縁膜形成工程では酸素等の酸化物はゲート絶縁膜中を拡散して行き、半導体膜表面で酸化物を形成する。従って半導体膜１２と第一ゲート絶縁膜１３の界面が汚染されて居ると、熱酸化後は第二ゲート絶縁膜１４と第一ゲート絶縁膜１３の界面が汚染される事と成り、その結果低品質なゲート絶縁膜と化して仕舞う。これに対して本願発明では半導体膜１２と第一ゲート絶縁膜１３の界面が清浄で有るが故、熱酸化後も高品質なゲート絶縁膜が得られる。

【０１３８】

又通常ゲート絶縁膜の形成には長時間を費やすのに対し、本例では第一ゲート絶縁膜をＣＶＤ法等で形成する為、ゲート絶縁膜の形成時間を短縮する事が可能に成る。これは特に高温プロセスの低温化（例えば工程最高温度を１０００℃程度未満とする）に際して有効と成る。又従来は高温プロセスの低温化を図ると、半導体品質が悪化し、ＴＦＴ特性は優れぬ物で有った。然るに本願発明では半導体膜は第一工程にて高品質化されて居るので、工程最高温度を１０００℃程度未満と低温化しても優れた電気特性を有するＴＦＴを作成出来るので有る。こうした意味では本願発明は取り分け工程最高温度が１０００℃程度未満の高温プロセスに最適と云える。

【０１３９】

更に第四工程ＳＴ４Ｆでは半導体膜表面に第二ゲート絶縁膜１４としての酸化膜を形成する際に熱処理を行う為、半導体膜１２からストレスが開放される。それ故良質の半導体膜１２を得る事が出来る。この時第一ゲート絶縁膜１３も加熱され、緻密化等の高品質化が進むのでそれを用いて製造したＴＦＴは信頼性が高い。然も第一ゲート絶縁膜１３及び半導体膜１２をパターニングした後に第二ゲート絶縁膜を形成して半導体膜の側面を覆うので、ショートが発生しない。それ故本例に依れば歩留り及び信頼性が高い。

【０１４０】

［その他のＴＦＴ製造装置の例］

（別のマルチチャンバー型のＴＦＴ製造装置での製造）

上記の各いずれの実施例も図９乃至図１１に示したＴＦＴ製造装置を利用する形態で説明

したが、図２０に示すＴＦＴ製造装置（真空系装置）を用いてもよい。
【０１４１】
図２０は本発明の実施に用いる事の出来るＴＦＴ製造装置の概略構成図で有る。この図から分かる様に、ＴＦＴ製造装置１００Ａには搬送ロボットＴＦＲが配置された搬送室ＣＣが構成され、その周りには第１ロードロック室ＬＬ１と予備加熱室ＰＨＲ、ＣＶＤ法やＰＶＤ法に依り半導体膜の形成を行うための半導体成膜室ＣＨＭ１と、レーザーアニールやＲＴＡ、イオン・ボンバードメント法等に依る結晶化を行うための結晶化室ＣＲＹＳと、シリコン酸化膜（第一ゲート絶縁膜）の形成や水素化処理及び酸化処理を行う為の処理室ＣＨＭ２と、第２ロードロック室ＬＬ２とがこの順に構成されて居る。これらの処理室等と搬送室ＣＣとは其々シャッターＳ３、Ｓ４、Ｓ５、Ｓ６、Ｓ７、Ｓ８を介して接続して居る。第１ロードロック室ＬＬ１及び第２ロードロック室ＬＬ２にはシャッターＳ１、Ｓ２に依って開閉される基板搬入口及び基板搬出口が其々構成されて居る。
【０１４２】
この様に構成したＴＦＴ製造装置１００Ａに於いて第１実施例の図１４（Ｂ）～図１４（Ｅ）に示した工程を行う場合を説明する。
【０１４３】
まず２０枚の基板ｓｕｂ１～ｓｕｂ２０（基板１０）を第１ロードロック室ＬＬ１に搬入する。次に搬送ロボットＴＦＲは２０枚の基板ｓｕｂ１～ｓｕｂ２０を４２５℃程度に設定された予備加熱室ＰＨＲに搬入する。基板ｓｕｂ１～ｓｕｂ２０の其々が予備加熱室ＰＨＲに２０分間以上収容されていた事を確認してから、搬送ロボットＴＦＲは２０枚の基板ｓｕｂ１～ｓｕｂ２０のうちから１枚目の基板ｓｕｂ１を予備加熱室ＰＨＲから半導体成膜室ＣＨＭ１に搬入する。
【０１４４】
半導体成膜室ＣＨＭ１は基板の表面に下地保護膜及びアモルファスシリコン膜（半導体膜）を形成するためのＰＥＣＶＤ装置として構成され、サセプタ温度は４００℃程度に設定されて居る。この半導体成膜室ＣＨＭ１に搬入された基板ｓｕｂ１を成膜を開始する迄、成膜の安定化を図る事を目的に以下に示す条件
笑気ガス流量　＝　７０００　ＳＣＣＭ
モノシランガス流量　＝　２５０　ＳＣＣＭ
圧力　＝　１．５　Ｔｏｒｒ
基板間隔　＝　２４　ｍｍ
ＲＦ電力　＝　０　Ｗ（プラズマを形成しない。）
時間　＝　３０　秒
に置く。次に半導体成膜室ＣＨＭ１内で基板ｓｕｂ１の表面にシリコン酸化膜からなる下地保護膜１１を形成する（図１４（Ｂ）参照）。この成膜工程は以下の条件
笑気ガス流量　＝　７０００　ＳＣＣＭ
モノシランガス流量　＝　２５０　ＳＣＣＭ
圧力　＝　１．５　Ｔｏｒｒ
基板間隔　＝　２４　ｍｍ
ＲＦ電力　＝　９００　Ｗ
時間　＝　６０　秒
で行う。その結果基板ｓｕｂ１の表面には厚さが２４００オングストロームのシリコン酸化膜からなる下地保護膜１１が形成される。次に半導体成膜室ＣＨＭ１での成膜条件を切り換える為に半導体成膜室ＣＨＭ１内で基板ｓｕｂ１は以下の条件
アルゴンガス流量　＝　６５００　ＳＣＣＭ
モノシランガス流量　＝　７５　ＳＣＣＭ
圧力　＝　２．２５　Ｔｏｒｒ
基板間隔　＝　２４　ｍｍ
ＲＦ電力　＝　０　Ｗ（プラズマを形成しない。）
時間　＝　３０　秒

に置く。次に半導体成膜室ＣＨＭ１で基板ｓｕｂ１の表面にはアモルファスシリコン膜からなる半導体膜１２を形成する（図１４（Ｂ）参照）。この成膜工程は以下の条件
アルゴンガス流量　＝　６５００　ＳＣＣＭ
モノシランガス流量　＝　７５　ＳＣＣＭ
圧力　＝　２．２５　Ｔｏｒｒ
基板間隔　＝　２４　ｍｍ
ＲＦ電力　＝　６００　Ｗ（０．２８７　Ｗ／ｃｍ^2　）
時間　＝　２８０　秒
で行う。

【０１４５】

次に搬送ロボットＴＦＲは１枚目の基板ｓｕｂ１を半導体成膜室ＣＨＭ１から結晶化室ＣＲＹＳに搬入すると共に、２枚目の基板ｓｕｂ２を予備加熱室ＰＨＲから半導体成膜室ＣＨＭ１に搬入する。

【０１４６】

結晶化室ＣＲＹＳに搬送された１枚目の基板ｓｕｂ１に以下の条件
サセプタ温度　＝　４００　℃
水素ガス流量　＝　１００　ＳＣＣＭ
圧力　＝　３．０　Ｔｏｒｒ
レーザー　＝　ＫｒＦ（２４８ｎｍ）ラインビーム
レーザービーム半値幅　＝　１００　μｍ
レーザーのピークエネルギー密度　＝　２２０　ｍＪ・ｃｍ$^{-2}$
レーザー照射条件　＝　９５％重ね（５μｍ／ショット）
発振周波数　＝２００Ｈｚ
時間　＝４００秒
でレーザー照射を行い、半導体膜１２の結晶化を行う（図１４（Ｃ）参照）。この間半導体成膜室ＣＨＭ１に搬送された２枚目の基板ｓｕｂ２は前述の条件でシリコン酸化膜（下地保護膜１１）及びアモルファスシリコン膜（半導体膜１２）が形成される。

【０１４７】

次に搬送ロボットＴＦＲは１枚目の基板ｓｕｂ１を結晶化室ＣＲＹＳから処理室ＣＨＭ２に入送すると共に、２枚目の基板ｓｕｂ１を半導体成膜室ＣＨＭ１から結晶化室ＣＲＹＳに搬入する。また搬送ロボットＴＦＲは３枚目の基板ｓｕｂ３を予備加熱室ＰＨＲから半導体成膜室ＣＨＭ１に搬入する。

【０１４８】

処理室ＣＨＭ２に搬送された１枚目の基板ｓｕｂ１を以下の条件
サセプタ温度　＝　４００　℃
水素ガス流量　＝　１４００　ＳＣＣＭ
圧力　＝　１９０　ｍＴｏｒｒ
基板間隔　＝　１２　ｍｍ
ＲＦ電力　＝　１００　Ｗ（０．０４７８　Ｗ／ｃｍ^2　）
時間　＝　１８０　秒
で水素化処理する（図１４（Ｄ）参照）。次に処理室ＣＨＭ２での処理条件を切り換える為に処理室室ＣＨＭ２内で基板ｓｕｂ１を以下の条件
酸素ガス流量　＝　３０００　ＳＣＣＭ
圧力　＝　１　Ｔｏｒｒ
基板間隔　＝　１２ｍｍ
ＲＦ電力　＝　０　Ｗ（プラズマを形成しない。）
時間　＝　３０秒
に置く。次に処理室ＣＨＭ２内で１枚目の基板ｓｕｂ１を以下の条件
サセプタ温度　＝　４００　℃
酸素ガス流量　＝　３０００　ＳＣＣＭ

圧力　＝　１　Ｔｏｒｒ
基板間隔　＝　１２　ｍｍ
ＲＦ電力　＝　９００　Ｗ（０．４３０　Ｗ／ｃｍ^2　）
時間　＝　３０秒
で酸化処理する（図１４（Ｄ）参照）。次に処理室ＣＨＭ２での処理条件を切り換える為に処理室ＣＨＭ２内を以下の条件
ＴＥＯＳ流量　＝　６０　ＳＣＣＭ
酸素ガス流量　＝　１５００　ＳＣＣＭ
圧力　＝　６５０　ｍＴｏｒｒ
基板間隔　＝　１２ｍｍ
ＲＦ電力　＝　０　Ｗ（プラズマを形成しない。）
時間　＝　３０秒
とする。次に処理室ＣＨＭ２で基板ｓｕｂ１の表面にシリコン酸化膜からなる第一ゲート絶縁膜１３を形成する（図１４（Ｅ）参照）。この工程は以下の条件
ＴＥＯＳ流量　＝　６０　ＳＣＣＭ
酸素ガス流量　＝　１５００　ＳＣＣＭ
圧力　＝　６５０　ｍＴｏｒｒ
基板間隔　＝　１２　ｍｍ
ＲＦ電力　＝　９００　Ｗ（０．４３０　Ｗ／ｃｍ^2　）
時間　＝　１２０　秒
で行う。この様にして処理室ＣＨＭ２内では基板ｓｕｂ１に形成した半導体膜１２に対する水素化処理及び酸化処理と第一ゲート絶縁膜１３の成膜とを行う。この間の所要時間は３９０秒間で有る。この間半導体成膜室ＣＨＭ１に搬送された３枚目の基板ｓｕｂ３は前述の条件でシリコン酸化膜（下地保護膜１１）及びアモルファスシリコン膜（半導体膜１２）が形成される。又結晶化室ＣＲＹＳに搬送された２枚目の基板ｓｕｂ２の半導体膜１２は前述の条件でレーザー照射に依る結晶化が施される。

【０１４９】

以後これを繰り返して各基板ｓｕｂ１～２０に対する処理を順次行うと共に、第２ロードロック室ＬＬ２に搬送されてきた基板を順次装置外に搬出し、以降の処理を行う。

【０１５０】

（更に別のＴＦＴ製造装置での製造）
図２１は本発明の実施に用いる事の出来るＴＦＴ製造装置（大気圧系装置）の概略構成図で有る。この図から分かる様に、ＴＦＴ製造装置１００Ｂには基板の搬送方向の上流側から下流側に向かって第１ロードロック室ＬＬ１Ｂ、第１処理室ＣＨＭ１Ｂ、第２処理室ＣＨＭ２Ｂ、第３処理室ＣＨＭ３Ｂ、第２ロードロック室ＬＬ２Ｂがこの順に構成され、これらの処理室等の間にはシャッタＳ２Ｂ、Ｓ３Ｂ、Ｓ４Ｂ、Ｓ５Ｂが設けられて居る。第１処理室ＣＨＭ１Ｂと第２処理室ＣＨＭ２Ｂ及び第３処理室ＣＨＭ３Ｂにはローラコンベアを用いた基板搬送装置ＣＯＮが設けられて居る。各処理室等には排気管ｅｘ１～ｅｘ５が接続し、ここからの排気量を各圧力調整装置ＰＣ１～ＰＣ５で調整する事に依って処理室等の内圧を調整出来る様になって居る。又各処理室等の内圧は第１乃至第５圧力計ＰＧ１～ＰＧ５に依って其々監視出来る様になって居る。

【０１５１】

第１ロードロック室ＬＬ１Ｂには基板の搬入口にシャッタＳ１Ｂが配置され、第１ガス導入管ＧＩ１が接続されて居る。

【０１５２】

第１処理室ＣＨＭ１Ｂは長さが１８０ｃｍ程度の予備加熱ゾーンＺ２１、成膜ゾーンＺ２２、後加熱ゾーンＺ２３、及び結晶化ゾーンＺ２４が構成され、各ゾーンにはヒータが配置されて居る。第１処理室ＣＨＭ１Ｂの内予備加熱ゾーンＺ２１及び成膜ゾーンＺ２２に相当する位置には第２ガス導入管ＧＩ２及び第３ガス導入管ＧＩ３が其々接続し、第３ガス導入管ＧＩ３には第１成膜ヘッドＣＨ１が接続して居る。後加熱ゾーンＺ２４に対して

はレーザー発振器ＬＡ１と光学系ＬＡ２、レーザー光路ＬＡ３、及びレーザー光導入口ＬＡ４が構成され、そこを通過する基板に対してレーザー照射を行える様になって居る。

【０１５３】

第２処理室ＣＨＭ２Ｂには水素化ゾーンＺ３１が構成され、この水素化ゾーンＺ３１の終段側は、そこを通過する基板にＲＴＡ用のランプ光を光導入口Ｚ４４を介して照射する様になって居る。第２処理室ＣＨＭ２Ｂの内水素化ゾーンＺ３１の前段側に相当する位置には第４ガス導入管ＧＩ４が接続して居る。

【０１５４】

第３処理室ＣＨＭ３Ｂには酸化ゾーンＺ４１及び酸化膜形成ゾーンＺ４２が構成されて居る。第４処理室ＣＨＭ４Ｂの内酸化ゾーンＺ４１に相当する位置にはオゾン発生器ＧＦが連結された第５ガス導入管ＧＩ５が接続し、この第５ガス導入管ＧＩ５には第２成膜ヘッドＣＨ２が接続して居る。又酸化膜形成ゾーンＺ４２に相当する位置にはオゾン発生器ＧＦ及び原料ガス供給器ＧＧが連結された第６ガス導入管ＧＩ６が接続し、この第６ガス導入管ＧＩ６には第３成膜ヘッドＣＨ３が接続して居る。

【０１５５】

第２ロードロック室ＬＬ２Ｂには基板の搬出口にシャッタＳ６Ｂが配置され、第７ガス導入管ＧＩ７が接続されて居る。

【０１５６】

この様に構成したＴＦＴ製造装置１００Ｂを用いて第１実施例の図１４（Ｂ）～図１４（Ｅ）に示した工程（下地保護膜の形成工程を除く。）を行う場合を説明する。

【０１５７】

まずシャッタＳ１Ｂを開き、２０枚の基板ｓｕｂ１～ｓｕｂ２０（基板１０）を第１ロードロック室ＬＬ１Ｂに搬入する。次にシャッタＳ１Ｂを閉じ、ガス導入管ＧＩ１からアルゴン／水素（水素＝３％程度）混合気体を第１ロードロック室ＬＬ１Ｂに導入する。圧力調整装置ＰＣ１に依り第１ロードロック室ＬＬ１Ｂ内の圧力を１ａｔｍ程度から５ａｔｍ程度の諸望の圧力とする。第１ロードロック室ＬＬ１Ｂ内に於ける酸素の分圧が０．５Ｔｏｒｒ程度未満となったら、第１乃至第３処理室ＣＨＭ１Ｂ～ＣＨＭ３Ｂの処理圧力が１ａｔｍ程度から５ａｔｍ程度と成る様に圧力調整装置ＰＣ１に依り調整し、その後シャッタＳ２Ｂを開けて１枚目の基板ｓｕｂ１を第１処理室ＣＨＭ１Ｂに搬入する。

【０１５８】

第１処理室ＣＨＭ１Ｂではヒータに依り基板ｓｕｂ１を４００℃程度に加熱する。基板ｓｕｂ１は基板搬送装置ＣＯＮに依り１ｃｍ／秒程度の速度で搬送する。予備加熱ゾーンＺ２１の長さは基板ｓｕｂ１が３分間程度以上加熱される様に１８０ｃｍ程度以上で有る。基板ｓｕｂ１が第１成膜ヘッドＣＨ１の下方位置（成膜ゾーンＺ２２）に搬送されて来たら、第３ガス導入管ＧＩ３からトリシランを５００ＳＣＣＭ程度導入して第１成膜ヘッドＣＨ１のスリット（図２０（Ｂ）、（Ｃ）参照。）から基板ｓｕｂ１に向けて供給し、以下の反応式

$$Si_3H_8 \rightarrow 3Si + 4H_2$$

で表される熱分解反応を利用してアモルファスシリコン膜からなる半導体膜１２を形成する（図１４（Ｂ）参照）。この時第２ガス導入管ＧＩ２からはアルゴン／モノシラン（モノシラン＝０．１％程度）を導入する。第２ガス導入管ＧＩ２はシャッタＳ２Ｂの側に設けて有るので、成膜ヘッドＣＨ１で発生した水素や未反応のトリシラン等の全てのガスは、第１処理室ＣＨＭ１Ｂ内を基板搬送方向に於ける上流側から下流側に流れる。この時成膜ヘッドＣＨ１と基板ｓｕｂ１の間隔は１ｍｍ程度～５ｍｍ程度に保たれて居り、スリット幅は０．５ｍｍ程度～２ｍｍ程度で有る。半導体膜１２が形成された基板ｓｕｂ１はその後加熱ゾーンＺ２３に搬送され、そこで１分程度の加熱処理を受けた後、結晶化ゾーンＺ２４に搬送される。結晶化ゾーンＺ２４では基板ｓｕｂ１は４００℃程度に加熱された状態でレーザー照射される（図１４（Ｃ）参照）。この際にはアルゴン／モノシラン、トリシラン、水素等は第１処理室ＣＨＭ１Ｂ内を基板搬送方向に於ける上流側から下流側に流れるので、この時の結晶化はアルゴン含有還元性雰囲気下で行われる。

【０１５９】
結晶化が終了した後シャッタＳ３Ｂを開け、基板ｓｕｂ１を第２処理室ＣＨＭ２Ｂに搬送する。第２処理室ＣＨＭ２Ｂは第４ガス導入管ＧＩ４から水素／アルゴン混合気体が導入され、水素雰囲気（全圧は１ａｔｍ程度から５ａｔｍ程度で、水素の分圧は０．０３ａｔｍ程度から３ａｔｍ程度）になって居ると共に、ヒータに依り３５０℃程度に加熱されて居る。第２処理室ＣＨＭ２Ｂでは基板ｓｕｂ１上に形成された半導体膜１２はＲＴＡ用のランプ光を１秒程度受け、基板表面の最高温度は６００℃程度から９００℃程度へと上昇する。ここでは半導体膜の熱処理を兼用した水素化処理が行われる（図１４（Ｄ）参照。）。
【０１６０】
水素化処理が終了した後でシャッタＳ４Ｂを開ける前には、第２処理室ＣＨＭ２Ｂ及び第３処理室ＣＨＭ３Ｂの少なくとも一方は不活性雰囲気として置く。理想的には第２処理室ＣＨＭ２Ｂの水素分圧を０．１ａｔｍ未満、第３処理室ＣＨＭ３Ｂの酸素分圧を０．１ａｔｍ未満とした後、シャッタＳ４Ｂを開けて基板ｓｕｂ１を第３処理室ＣＨＭ３Ｂに搬送する。
【０１６１】
第３処理室ＣＨＭ３Ｂの酸化ゾーンＺ４１では第２成膜ヘッドＣＨ２からオゾンを１％程度～１０％程度以上含有した酸素を流し、基板ｓｕｂ１の表面に形成した半導体膜１２の酸化を進める（酸化処理／図１４（Ｄ）参照）。続いて第３処理室ＣＨＭ３Ｂの酸化膜形成ゾーンＺ４２では第３成膜ヘッドＣＨ３からＴＥＯＳ、オゾン及び酸素の混合気体（全圧が１ａｔｍ程度から５ａｔｍ程度、ＴＥＯＳ流量＝１００ＳＣＣＭ、オゾン５％含有の酸素流量＝５ＳＬＭ）を流して第一ゲート絶縁膜１３を形成する（図１４（Ｅ）参照）。
【０１６２】
第一ゲート絶縁膜１３を形成した後は基板ｓｕｂ１を第２ロードロック室ＬＬ２Ｂに搬送する。以上の工程は２枚目以降の基板ｓｕｂ２～ｓｕｂ２０についても同様に行われるがいずれのタイミングに於いても、隣合うシャッタが同時に開かぬ様に制御されながら各基板の処理が進められる。２０枚の基板ｓｕｂ１～ｓｕｂ２０の全てが第２ロードロック室ＬＬ２Ｂに搬送された時にシャッタＳ５Ｂが閉じたのを確認してからシャッタＳ６Ｂを開き、第２ロードロック室ＬＬ２Ｂから基板ｓｕｂ１～ｓｕｂ２０を搬出する。
【０１６３】
［第４実施例］
上記の各実施例は第一ゲート絶縁膜１３を形成した後、このゲート絶縁膜１３及び半導体膜１２に熱処理を行ったが、以下の実施例が示す様に半導体膜１２を形成してから第一ゲート絶縁膜１３を形成する迄は基板１０を大気に晒さず、且つ半導体膜１２に対して水素化処理又は酸化処理を行う様に構成しても、高品質の半導体膜１２を形成する事が出来るので、歩留り及び信頼性の高いＴＦＴを製造出来る。
【０１６４】
（ＴＦＴ製造装置の概略構成）
図２２を参照して本例のＴＦＴの製造方法に用いるマルチチャンバー型のＴＦＴ製造装置の概略構成を説明する。
【０１６５】
図２２にて本例のＴＦＴ製造装置４００はプラズマＣＶＤ法に依る成膜を行うと共に水素プラズマ処理や酸素プラズマ処理を行うためのプラズマＣＶＤ装置４２０と、急速熱処理（ＲＴＡ）やレーザー照射を行うためのアニール室４３０と、これらの間を接続する搬送室４４０とが設けられて居る。搬送室４４０はプラズマＣＶＤ装置４２０とアニール室４３０との間で基板を搬送するロボットアーム（図示を省略して、その搬送方向を矢印Ａ４１、Ａ４２、Ｂ４１、Ｂ４２で示す。）が配置されて居る。プラズマＣＶＤ装置４２０とアニール室４３０及び搬送室４４０に対してはドライポンプやターボ分子ポンプなどを備える真空排気系４５０、４６０、４７０が其々設置され、減圧下や非酸化性雰囲気下、還元性ガス雰囲気下、又は不活性ガス雰囲気下にて基板を扱う事が可能になって居る。プラ

ズマＣＶＤ装置４２０と搬送室４４０との間やアニール室４３０と搬送室４４０との間は矢印Ａ４１、Ａ４２、Ｂ４１、Ｂ４２で示す搬出入動作に連動して開閉されるシャッターＳ４１、Ｓ４２で仕切られて居る。又搬送室４４０と室外との間も矢印Ｃ４１、Ｃ４２で示す基板の搬出入動作に連動して開閉されるシャッターＳ４３で仕切られて居る。プラズマＣＶＤ装置やアニール室については図１２及び図１３を参照して説明した物を其々用いる事が出来る。

【０１６６】

（ＴＦＴの製造方法）

次に図２２及び図２３を参照して本例のＴＦＴの製造方法を説明する。尚図２３は本例のＴＦＴの製造方法を示す工程断面図で有り、これらの工程の内で図２３（Ｂ）に示す工程から図２３（Ｅ）に示す工程迄は図２２に示すＴＦＴ製造装置１００内で行う。尚本例は図７を参照して説明した製造方法に対応する。

【０１６７】

図２３（Ａ）に示す様に、まず超音波洗浄などに依り清浄化したガラス製等の基板１０を準備し、この基板１０をＴＦＴ製造装置４００の搬送室４４０に入れ、10^{-7} Ｔｏｒｒから10^{-1} Ｔｏｒｒ程度の減圧下とした後、基板１０を大気に晒す事なく搬送室４４０からプラズマＣＶＤ装置４２０の反応室４０１に搬入する。

【０１６８】

図２３（Ｂ）に示す様に減圧状態とされたプラズマＣＶＤ装置４２０の反応室４０１内部に基板を設置した後、プラズマＣＶＤ法に依り基板温度が約１５０℃から約４５０℃の温度条件下で、基板１０の全面にシリコン酸化膜や窒化シリコン膜からなる下地保護膜１１を形成する（下地保護膜形成処理）。尚下地保護膜１２としてはシリコン窒化膜やシリコン酸化膜等の単層の絶縁膜の他、それらの多層膜を用いる事も出来る。

【０１６９】

（第一工程ＳＴ１Ｇ）

続いて基板１０を大気に晒す事なく、プラズマＣＶＤ装置４２０の反応室２０１内部にて、基板１０を減圧下に保持したままプラズマＣＶＤ法に依り基板温度が約１５０℃から約４５０℃の温度条件下で基板１０の全面にアモルファスシリコン膜等から成る半導体膜１２を形成する（半導体膜形成処理ＳＴ１２）。この時の原料ガスとしては例えばジシランやモノシランを用いる。

【０１７０】

次に基板１０をプラズマＣＶＤ装置４２０の反応室４０１から搬送室４４０に搬出した後、基板１０を搬送室４４０からアニール室４３０に搬入する。この間プラズマＣＶＤ装置４２０の反応室４０１も搬送室４４０もアニール室４３０の内部も減圧下又は非酸化性雰囲気中に保持され居り、基板は大気に晒されない。アニール室４３０では図２４（Ｃ）に示す様に光源から照射される高エネルギー光（ＲＴＡ光やレーザー光）に依って、半導体膜１２の少なくとも表面層を減圧下又は非酸化性ガス中（水素ガス雰囲気下又はアルゴンガス含有還元性雰囲気下）に於いて結晶化処理ＳＴ１３を行う（溶融結晶化ＳＴ１３１や固相結晶化ＳＴ１３２）。この時基板１０の表面や半導体膜１２の表面はレジスト等で汚染されておらず、然も半導体膜表面に酸化膜も形成されていないので、結晶化後の半導体膜１２に結晶化工程での不純物混入がなく極めて高純度となる。又半導体膜中に不純物がない為、余分な結晶核が発生せず、至って結晶粒が大きく成長し得る。

【０１７１】

次に基板１０をアニール室４３０から搬送室４４０に搬出した後、基板１０を搬送室４４０からプラズマＣＶＤ装置４２０の反応室４０１に搬入する。この間もプラズマＣＶＤ装置４２０内は総て減圧下又は非酸化性雰囲気中に保持されて居り、基板は大気に晒されない。プラズマＣＶＤ装置４２０の反応室４０１では、図２３（Ｄ）に示す様に基板１０を減圧下に保持したまま水素プラズマを照射して、結晶化した半導体膜１２に存在する欠陥を低減する。即ち半導体膜１２中に成在するシリコン膜の不整結合を終端化する（水素化処理ＳＴ１４）。このプラズマ処理、酸素プラズマ処理（酸化処理ＳＴ１５）で有っても

構わない。その場合半導体膜中の欠陥は酸素で終端化される事と成る。又このプラズマ処理に引き続いて酸化膜が形成されるので酸素プラズマに依る半導体膜表面酸化は良好なＭＯＳ界面を形成する上で好ましい。理想的には水素プラズマを照射した後に真空を破らず酸素プラズマを照射し、更に真空を破らず第１ゲート絶縁膜形成を総て連続で行うのが好ましい。通常秒オーダー以下の短時間で結晶化を真空乃至非酸化性雰囲気下で行うと、結晶化膜の表面は非常に活性た成って居る。この状態で空気に触れると空中のゴミ等に依り半導体表面は簡単に汚染されて仕舞う。本願発明では斯様な活性表面を水素や酸素で終端化し安定として居る。水素プラズマや酸素プラズマを作る水素ガスや酸素ガスの純度は、９９．９９９９％程度以上が好ましく、プラズマ処理時の圧力に対して10^{-6}程度高い背景真空度が求められる。例えば酸素プラズマ処理を１Ｔｏｒｒで行う場合には背景真空度は10^{-6}Ｔｏｒｒ程度より高真空で有る事が求められる。続いて基板１０を大気に晒す事なく連続して、プラズマＣＶＤ法に依り基板温度が約１５０℃から約４５０℃の温度条件下で、基板１０の全面にシリコン酸化膜からなる第一ゲート絶縁膜１３を形成する（第一ゲート絶縁膜形成処理ＳＴ１６）。この時の原料ガスとしては例えばモノシランと笑気ガスとの混合ガスやＴＥＯＳと酸素との混合ガスを用いる。

【０１７２】

その後基板１０をプラズマＣＶＤ装置４２０の反応室４０１から搬送室４４０に搬出した後、基板１０を搬送室４４０から装置外に取り出す。

【０１７３】

（第二工程ＳＴ２Ｇ）

これ以降の工程は第１実施例（図１６）と同様で有る為、同じく図１６を参照して簡単に説明する。まず図１６（Ａ）に示す様に所定のマスクパターンのレジストマスク２２を形成し、図１６（Ｂ）に示す様に第一ゲート絶縁膜１３と共に半導体膜１２をフォトリソグラフィ技術を用いてパターニングする。

【０１７４】

（第三工程ＳＴ３Ｇ）

次に図１６（Ｃ）に示す様にプラズマＣＶＤ法に依り基板温度が約１５０℃から約４５０℃の温度条件下で、基板１０の全面にシリコン酸化膜や窒化シリコン膜から成る第二ゲート絶縁膜１４を形成する。その結果半導体膜１２はその表面側及び側面部が第二ゲート絶縁膜１４に依って覆われる（第二ゲート絶縁膜工程）。第二ゲート絶縁膜１４はＴＥＯＳ等を用いてステップカバレージの優れた膜とする事が好ましい。勿論この時の原料ガスとしてモノシランと笑気ガスとの混合ガスを用いも良い。又絶縁膜の誘電率を大きくしてオン電流を大きくする様に窒化膜を用いても良い。

【０１７５】

（第三工程以降の工程）

それ以降の工程は第１実施例と同様で有る為、それらの説明を省略する。

【０１７６】

（第４実施例の効果）

斯様な製造方法では、第一ゲート絶縁膜１３を形成する迄は基板１０を大気に晒さない。従ってアニール処理を行った後の結晶化半導体膜１２の表面はガス種との反応に依って酸化される事がなく、又炭化水素その他の汚染物質に依って汚染される事もない。更に下地保護膜形成から半導体膜も外気と隔絶した状態で連続して行うので、半導体膜が下地保護膜表面からの汚染を被る事もない。こうして高品質の半導体膜が容易に得られる。加えてチャネル領域１７とゲート絶縁膜１３の界面状態が良い為、ＴＦＴ３０のオン電流や閾値電圧等と云った電気的特性が向上する。又結晶化処理後水素化処理ＳＴ１４（水素プラズマ処理）や酸化処理ＳＴ１５（酸素プラズマ処理）の前に半導体膜１０の表面が大気に晒されないので、大気に依るＭＯＳ界面の汚染も生じない。更に水素化処理ＳＴ１４や酸化処理ＳＴ１５では自然酸化膜の影響を受けない為、短時間の処理で大きな効果を均一に得る事が出来、半導体膜１０の電気伝導度が安定するので、矢張りＴＦＴ３０のオン電流などと云った電気的特性が向上する。特に酸化処理ＳＴ１５では安定した清浄なＭＯＳ界面

が容易に形成される。
【０１７７】
本例では半導体膜１２をパターニングする前に第一ゲート絶縁膜１３を形成するが故、それらのパターニングを行った後には半導体膜１２の側面部に第一ゲート絶縁膜１３は残らない。しかしながらゲート電極１５と成る導電膜２１を形成する前に、ステップカバレージの良い第二ゲート絶縁膜１４を形成する事に依り、半導体膜１２の側面部を第二ゲート絶縁膜１４で覆って居る。それ故ショートによる不良品数を激減させる事と成る。
【０１７８】
又半導体膜１２をパターニングする前に第一ゲート絶縁膜１３を形成して置くので、レジストマスク２２は第一ゲート絶縁膜１３の表面に形成され、半導体膜１２の表面には形成されない。それ故半導体膜１２の表面はレジストで汚染されず、チャネル領域１７とゲート絶縁膜１３との間のＭＯＳ界面状態が際立って良好で有る。
【０１７９】
尚本願発明では第一ゲート絶縁膜１３を形成した後に、ＴＦＴ製造装置４００から基板１０を取り出し、最良の結果が得られた。しかしながら図２３（Ｄ）に示した様に、結晶化処理ＳＴ１３の終了後に半導体膜１２の表面を水素プラズマや酸素プラズマの照射で安定化した後で有れば、基板を外に取り出す事も有る。即ち図２３（Ｄ）のプラズマ処理終了後、従来と同じ工程にてＴＦＴを作成する事も可能で有る。斯様な工程を採用した場合、ＭＯＳ界面は本願発明よりは劣る物の、従来のＴＦＴに比較して同じ工程で遥かに優れた特性を有するＴＦＴを作成する事が出来る。
【０１８０】
［第５実施例］
次に図２４を参照して、本例のＴＦＴの製造方法を説明する。尚本例のＴＦＴの製造方法は図２４に示す工程に先立って、第４実施例と同様図２３（Ａ）に示す工程から図２３（Ｅ）に示す工程を行う。本例でも図２３（Ｂ）に示す工程から図２３（Ｅ）に示す工程は図２２に示すＴＦＴ製造装置４００内で連続処理する。そこで本例のＴＦＴの製造方法の製造方法の内図２３（Ａ）に示す工程から図２３（Ｄ）に示す工程は説明を省略し、図２３（Ｅ）に示す工程から説明する。尚本例は図８を参照して説明した製造方法に対応する。
【０１８１】
（第一工程ＳＴ１Ｈ）
図２３（Ａ）に示す基板１０をＴＦＴ製造装置４００に入れた後、図２３（Ｅ）に示す第一ゲート絶縁膜形成迄の工程は第４実施例の第一工程と全く同じで有る。
【０１８２】
（第二工程ＳＴ２Ｈ）
次に図２４（Ａ）に示す様に所定のマスクパターンのレジストマスク２２を形成し、図２４（Ｂ）に示す様に第一ゲート絶縁膜１３と共に半導体膜１２をフォトリソグラフィ技術を用いてパターニングする（パターニング工程）。
【０１８３】
（第三工程ＳＴ３Ｈ）
次に図２４（Ｃ）に示す様に第一ゲート絶縁膜１３を減圧下でのドライエッチングに依り除去する（第一ゲート絶縁膜清浄化処理）。この工程はフッ化水素酸水溶液等を用いたウエット処理で有っても良い。
【０１８４】
（第四工程ＳＴ４Ｈ）
次に図２４（Ｄ）に示す様にプラズマＣＶＤ法等に依り基板温度が約１５０℃から約４５０℃の温度条件下で、基板１０の全面にシリコン酸化膜や窒化シリコン膜からなる第二ゲート絶縁膜１４を形成する。その結果半導体膜１２はその表面及び側面部が第二ゲート絶縁膜１４に依って覆われる（第二ゲート絶縁膜形成工程）。この工程も第４実施例の第２ゲート絶縁膜形成処理と同様である。第三工程をドライ工程で行う場合は第四工程と連続

して行い、エッチングガスとしては水素や酸素を用いるのが好ましいのは先の実施例と同様で有る。

【０１８５】

（第四工程以降の工程）

それ以降の工程は第１実施例と同様で有る為、それらの説明を省略する。

【０１８６】

（第５実施例の効果）

斯様な製造方法では第４実施例の総ての効果を有するのに加えて、次の効果を有する。図２４（Ｂ）に示す様に半導体膜１２をフォトリソグラフィ技術を用いてパターニングする時に第一ゲート絶縁膜１３の表面がレジストマスク２２に依って汚染されるが、汚染された第一ゲート絶縁膜１３は全部又は大部分が除去される。ドライ工程では特に、その後大気に触れる事なく連続して清浄な第二ゲート絶縁膜１４を堆積するので、ＴＦＴの電気的特性が安定する。然も第一ゲート絶縁膜を除去した分だけ第二ゲート絶縁膜１４を厚く出来るので、半導体膜１２の側面部の被覆はより完全な物と成る。

【０１８７】

尚第５実施例ではレジストマスク２２に依って汚染された第一ゲート絶縁膜１３を略完全に除去したが、実際にはその表面だけがレジストで汚染されるので、第一ゲート絶縁膜１３の表面だけを除去してもよい。この場合には半導体膜１２の表面が全く露出しないので、第一ゲート絶縁膜１３のエッチングを仮令ウェットエッチングに依り行っても、エッチング液に依って半導体膜１２が汚染される事はない。

【０１８８】

［第４実施例と第５実施例に関連する他の実施例］

ここ迄下地保護膜１１及び真性のアモルファスシリコン膜からなる半導体膜１２の形成にはプラズマＣＶＤ法を用いて説明して来たが、それに代えてスパッタ法を用いてもよい。更に水素化処理ＳＴ１４などはマイクロ波に依る励起と電磁石の共鳴現象とを利用したＥＣＲ－ＣＶＤ装置を用いてもよい。

【０１８９】

半導体膜１２の不対結合を終端化すると云う観点からすれば、水素化処理ＳＴ１４（水素プラズマ処理）に代えて酸化処理ＳＴ１５（酸素プラズマ処理）だけを行ってもよい。又水素化処理ＳＴ１４と酸化処理ＳＴ１５の双方を行う場合に、シリコン原子を出来るだけ酸化すると云う観点からすれば、酸化処理ＳＴ１５の後に水素化処理ＳＴ１４を行った方がよい。

【０１９０】

ＴＦＴ製造装置としてはＣＶＤ室が１つで有る装置でなくても、図９、１０、１１、２０、２１等に示す様に、使用する目的別に其々別個のＣＶＤ室を有する装置であってもよい。又ＣＶＤ室とアニール室とが直接連結された構造の装置であってもよい。

【０１９１】

第一ゲート絶縁膜１３と第二ゲート絶縁膜１４とについては双方をシリコン酸化膜とする事に依って空間電荷の影響を抑える事が出来るが、第一ゲート絶縁膜１３をシリコン酸化膜とし第二ゲート絶縁膜１４酸化アルミニウムや酸化タンタルの様に異なった絶縁膜としても良いい。

【０１９２】

【発明の効果】

以上説明した様に本発明に係るＴＦＴの製造方法では、下地保護膜から半導体膜の形成、及び第一ゲート絶縁膜形成迄は基板を大気に晒さない。その後第一ゲート絶縁膜と半導体膜をパターニングした後に第二ゲート絶縁膜を形成する事に特徴を有する。従って本発明に依れば、アニール処理を行った後に結晶化した半導体膜の表面は酸化や汚染を受ける事がない。この為チャネル領域／ゲート絶縁膜の界面状態が良いので、ＴＦＴのオン電流や閾値電圧等と云った電気的特性が向上する。又半導体膜をパターニングする前に第一ゲート絶縁膜を形成して置くので、レジストマスクは半導体膜の表面には形成されない。それ

故半導体膜はレジストで汚染されず、又下地保護膜表面等からの汚染もなく、高純度で高品質の結晶性半導体膜が得られる。更に第一ゲート絶縁膜及び半導体膜をパターニングした後は第二ゲート絶縁膜を形成し、半導体膜の側面を覆うためショートが発生しない。それ故本発明に依れば歩留りや信頼性が向上する。

【０１９３】

第一ゲート絶縁膜及び半導体膜に急速加熱処理を行う場合には半導体膜の結晶化率が高まる等、良質の半導体膜を得る事が出来る。又第一ゲート絶縁膜も均一に緻密化する。従って第一ゲート絶縁膜として良質の物を得る事が出来るので、それを用いて製造したＴＦＴは更に信頼性が高い。

【０１９４】

第一ゲート絶縁膜に水素化処理を行い、しかる後に第二ゲート絶縁膜を形成する場合には、第一ゲート絶縁膜は先の急速加熱処理で加熱されたときに水素を放出し劣化したとしてもこの水素化処理に依って劣化を修復出来る。

【０１９５】

第二ゲート絶縁膜としての酸化膜を形成する際に熱処理を行う場合には半導体膜からストレスが開放される。それ故良質の半導体膜を得る事が出来る。この時第一ゲート絶縁膜も加熱され緻密化するので、それを用いて製造したＴＦＴは信頼性が高い。

【図面の簡単な説明】

【図１】本発明の第１形態に係るＴＦＴ製造方法を示す工程図で有る。

【図２】本発明の第２形態に係るＴＦＴ製造方法を示す工程図で有る。

【図３】本発明の第３形態に係る別のＴＦＴ製造方法を示す工程図で有る。

【図４】本発明の第４形態に係るＴＦＴ製造方法を示す工程図で有る。

【図５】本発明の第５形態に係るＴＦＴ製造方法を示す工程図で有る。

【図６】本発明の第６形態に係る別のＴＦＴ製造方法を示す工程図で有る。

【図７】本発明の第７形態に係るＴＦＴ製造方法を示す工程図で有る。

【図８】本発明の第８形態に係る別のＴＦＴ製造方法を示す工程図で有る。

【図９】ＴＦＴの製造装置の一例を模式的に示す概略構成図で有る。

【図１０】ＴＦＴの製造装置を真空系装置として構成した場合の一例を模式的に示す概略構成図で有る。

【図１１】ＴＦＴの製造装置を大気圧系装置として構成した場合の一例を模式的に示す概略構成図で有る。

【図１２】図９に示すＴＦＴの製造装置に於けるプラズマＣＶＤ室の構成図で有る。

【図１３】図９に示すＴＦＴの製造装置に於ける結晶化室の構成図で有る。

【図１４】本発明の第１実施例に係るＴＦＴ製造方法の一部を示す工程断面図で有る。

【図１５】急速加熱処理工程で用いる別の急速加熱処理装置の説明図で有る。

【図１６】本発明の第１実施例のＴＦＴ製造方法に於いて、図１４に示す工程に続いて行う工程を示す工程断面図で有る。

【図１７】本発明の第２実施例に係るＴＦＴ製造方法の一部を示す工程断面図で有る。

【図１８】本発明の第２実施例のＴＦＴ製造方法に於いて、図１７に示す工程に続いて行う工程を示す工程断面図で有る。

【図１９】本発明の第３実施例に係るＴＦＴ製造方法の一部を示す工程断面図で有る。

【図２０】図９に示す装置とは別のＴＦＴの製造装置の一例を模式的に示す概略構成図で有る。

【図２１】図９に示す装置とは更に別のＴＦＴの製造装置の一例を模式的に示す概略構成図で有る。

【図２２】更に別のＴＦＴの製造装置の一例を模式的に示す概略構成図で有る。

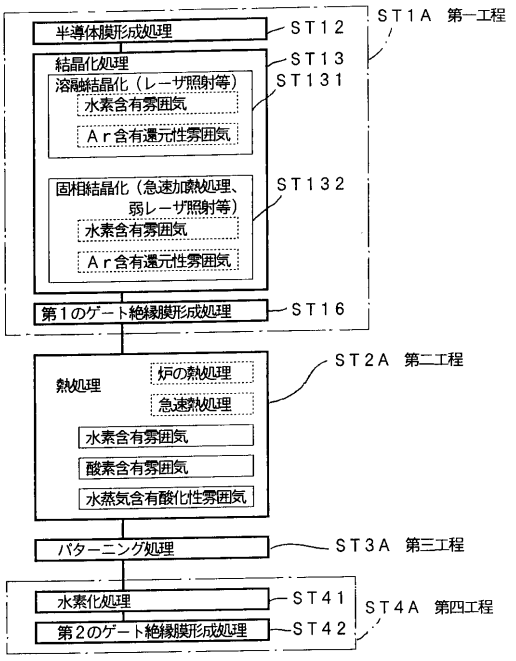
【図２３】本発明の第４実施例及び第５実施例に係るＴＦＴ製造方法の一部を示す工程断面図で有る。

【図２４】本発明の第５実施例のＴＦＴ製造方法に於いて、図２３に示す工程に続いて行う工程を示す工程断面図で有る。

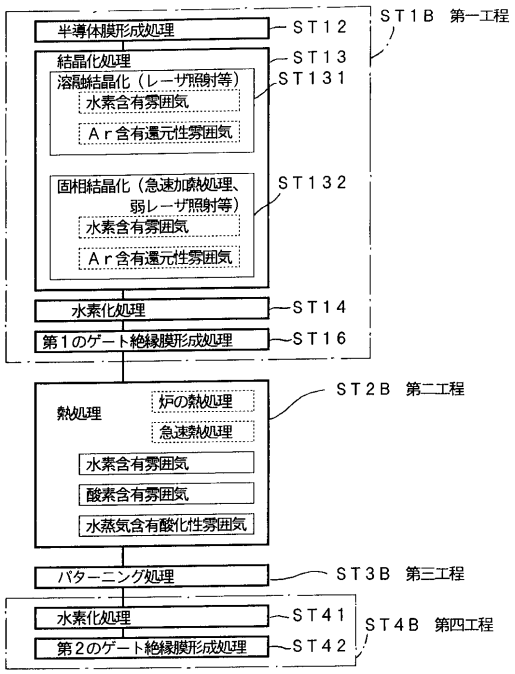
【図２５】従来のＴＦＴ製造方法の一部を示す工程断面図で有る。
【図２６】従来のＴＦＴ製造方法に於いて、図２５に示す工程に続いて行う工程を示す工程断面図で有る。
【図２７】別の従来のＴＦＴ製造方法の一部を示す工程断面図で有る。
【図２８】別の従来のＴＦＴ製造方法に於いて、図２７に示す工程に続いて行う工程を示す工程断面図で有る。
【図２９】本発明に於いて第一ゲート絶縁膜への熱処理前後のシリコン原子と酸素原子との結合の状態を示す説明図で有る。
【図３０】本発明に於いて第一ゲート絶縁膜への熱処理前後のフラットバンドを示す説明図で有る。

【符号の説明】
１０・・・基板
１１・・・下地保護膜
１２・・・半導体膜
１３・・・第一ゲート絶縁膜
１４・・・第二ゲート絶縁膜
１５・・・ゲート電極
１６・・・ソース・ドレイン領域
１７・・・チャネル領域
１８・・・層間絶縁膜
１９・・・コンタクトホール
２０・・・ソース・ドレイン電極
２１・・・導電膜
２２・・・レジストマスク
３０・・・ＴＦＴ
１００、１００Ａ、１００Ｂ、４００・・・ＴＦＴ製造装置

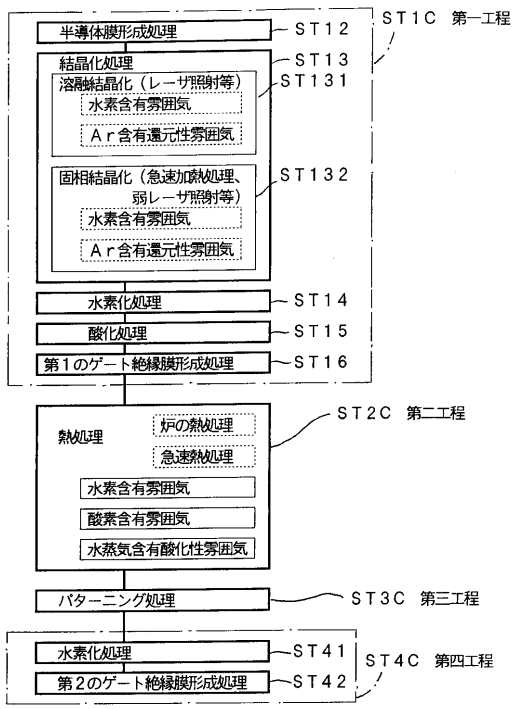
【図１】


半導体膜形成処理
ST12
ST1A 第一工程
結晶化処理
ST13
溶融結晶化（レーザ照射等）
ST131
水素含有雰囲気
Ａｒ含有還元性雰囲気
固相結晶化（急速加熱処理、弱レーザ照射等）
ST132
水素含有雰囲気
Ａｒ含有還元性雰囲気
第１のゲート絶縁膜形成処理
ST16
熱処理
炉の熱処理
急速熱処理
ST2A 第二工程
水素含有雰囲気
酸素含有雰囲気
水蒸気含有酸化性雰囲気
パターニング処理
ST3A 第三工程
水素化処理
ST41
第２のゲート絶縁膜形成処理
ST42
ST4A 第四工程

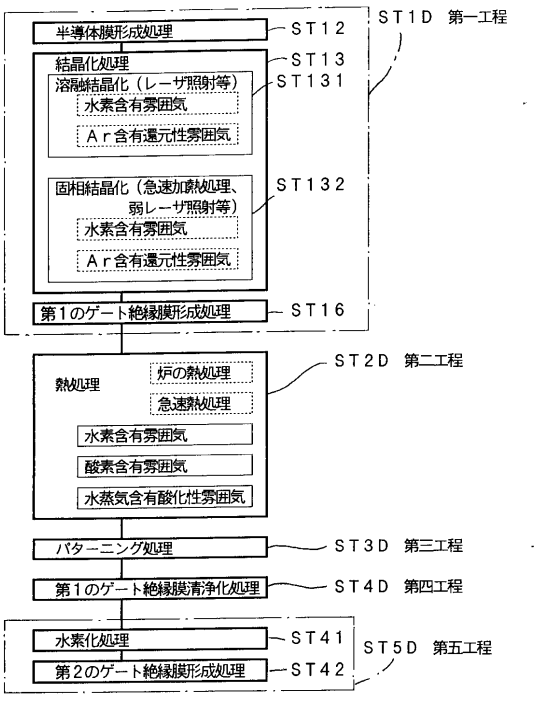
【図２】


半導体膜形成処理
ST12
ST1B 第一工程
結晶化処理
ST13
溶融結晶化（レーザ照射等）
ST131
水素含有雰囲気
Ａｒ含有還元性雰囲気
固相結晶化（急速加熱処理、弱レーザ照射等）
ST132
水素含有雰囲気
Ａｒ含有還元性雰囲気
水素化処理
ST14
第１のゲート絶縁膜形成処理
ST16
熱処理
炉の熱処理
急速熱処理
ST2B 第二工程
水素含有雰囲気
酸素含有雰囲気
水蒸気含有酸化性雰囲気
パターニング処理
ST3B 第三工程
水素化処理
ST41
第２のゲート絶縁膜形成処理
ST42
ST4B 第四工程

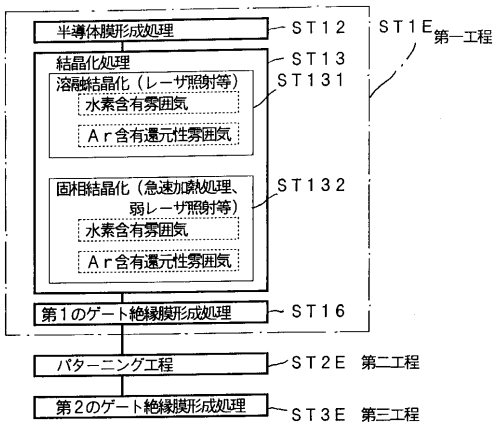
【図３】


半導体膜形成処理
ST12
ST1C 第一工程
結晶化処理
ST13
溶融結晶化（レーザ照射等）
ST131
水素含有雰囲気
Ａｒ含有還元性雰囲気
固相結晶化（急速加熱処理、弱レーザ照射等）
ST132
水素含有雰囲気
Ａｒ含有還元性雰囲気
水素化処理
ST14
酸化処理
ST15
第１のゲート絶縁膜形成処理
ST16
熱処理
炉の熱処理
急速熱処理
ST2C 第二工程
水素含有雰囲気
酸素含有雰囲気
水蒸気含有酸化性雰囲気
パターニング処理
ST3C 第三工程
水素化処理
ST41
第２のゲート絶縁膜形成処理
ST42
ST4C 第四工程

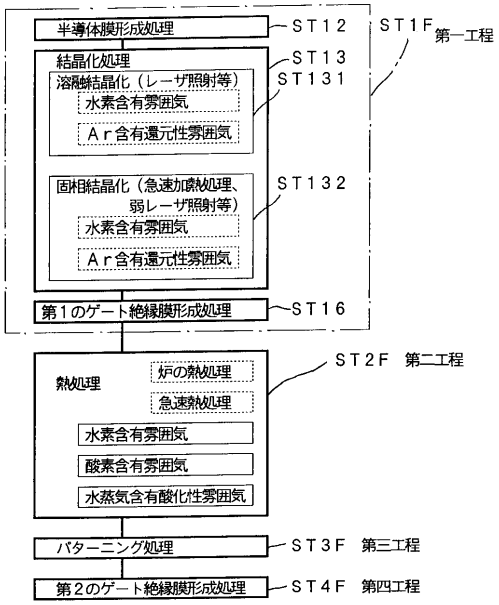
【図４】


半導体膜形成処理
ST12
ST1D 第一工程
結晶化処理
ST13
溶融結晶化（レーザ照射等）
ST131
水素含有雰囲気
Ａｒ含有還元性雰囲気
固相結晶化（急速加熱処理、弱レーザ照射等）
ST132
水素含有雰囲気
Ａｒ含有還元性雰囲気
第１のゲート絶縁膜形成処理
ST16
熱処理
炉の熱処理
急速熱処理
ST2D 第二工程
水素含有雰囲気
酸素含有雰囲気
水蒸気含有酸化性雰囲気
パターニング処理
ST3D 第三工程
第１のゲート絶縁膜清浄化処理
ST4D 第四工程
水素化処理
ST41
第２のゲート絶縁膜形成処理
ST42
ST5D 第五工程

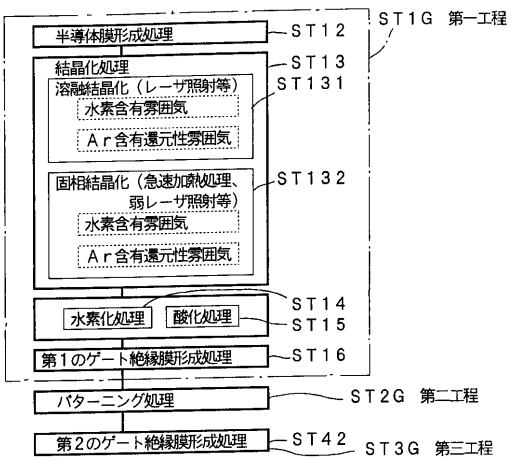
【図５】


半導体膜形成処理
ST12
ST1E 第一工程
結晶化処理
ST13
溶融結晶化（レーザ照射等）
ST131
水素含有雰囲気
Ａｒ含有還元性雰囲気
固相結晶化（急速加熱処理、弱レーザ照射等）
ST132
水素含有雰囲気
Ａｒ含有還元性雰囲気
第１のゲート絶縁膜形成処理
ST16
パターニング工程
ST2E 第二工程
第２のゲート絶縁膜形成処理
ST3E 第三工程

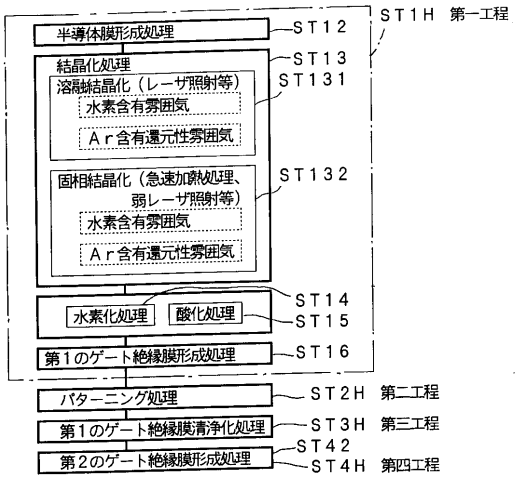
【図６】


半導体膜形成処理
ST12
ST1F 第一工程
結晶化処理
ST13
溶融結晶化（レーザ照射等）
ST131
水素含有雰囲気
Ａｒ含有還元性雰囲気
固相結晶化（急速加熱処理、弱レーザ照射等）
ST132
水素含有雰囲気
Ａｒ含有還元性雰囲気
第１のゲート絶縁膜形成処理
ST16
熱処理
炉の熱処理
急速熱処理
水素含有雰囲気
酸素含有雰囲気
水蒸気含有酸化性雰囲気
ST2F 第二工程
パターニング処理
ST3F 第三工程
第２のゲート絶縁膜形成処理
ST4F 第四工程

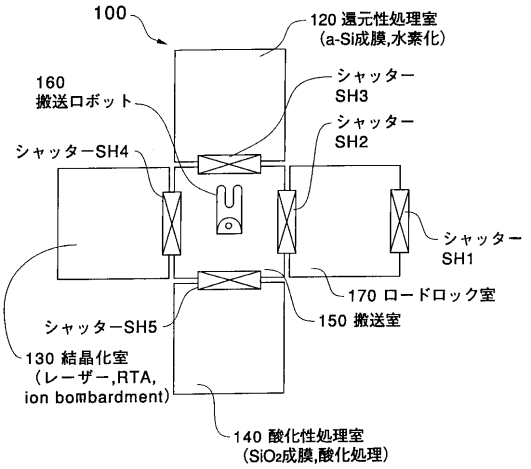
【図７】


半導体膜形成処理
ST12
ST1G 第一工程
結晶化処理
ST13
溶融結晶化（レーザ照射等）
ST131
水素含有雰囲気
Ａｒ含有還元性雰囲気
固相結晶化（急速加熱処理、弱レーザ照射等）
ST132
水素含有雰囲気
Ａｒ含有還元性雰囲気
水素化処理
酸化処理
ST14
ST15
第１のゲート絶縁膜形成処理
ST16
パターニング処理
ST2G 第二工程
第２のゲート絶縁膜形成処理
ST42
ST3G 第三工程

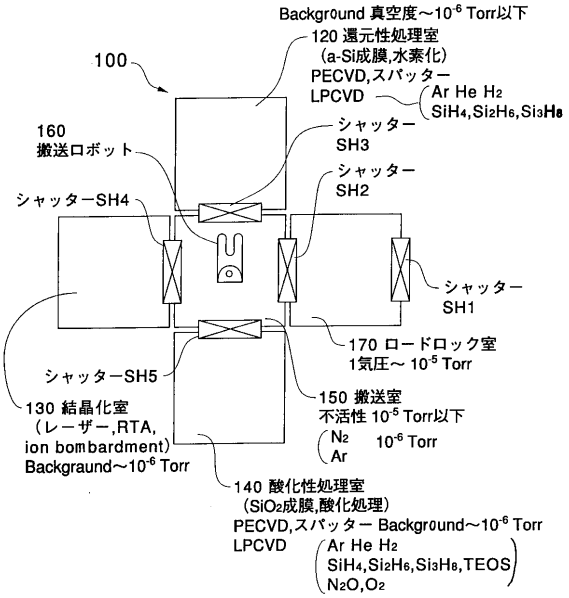
【図８】


半導体膜形成処理
ST12
ST1H 第一工程
結晶化処理
ST13
溶融結晶化（レーザ照射等）
ST131
水素含有雰囲気
Ａｒ含有還元性雰囲気
固相結晶化（急速加熱処理、弱レーザ照射等）
ST132
水素含有雰囲気
Ａｒ含有還元性雰囲気
水素化処理
酸化処理
ST14
ST15
第１のゲート絶縁膜形成処理
ST16
パターニング処理
ST2H 第二工程
第１のゲート絶縁膜清浄化処理
ST3H 第三工程
ST42
第２のゲート絶縁膜形成処理
ST4H 第四工程

【図９】

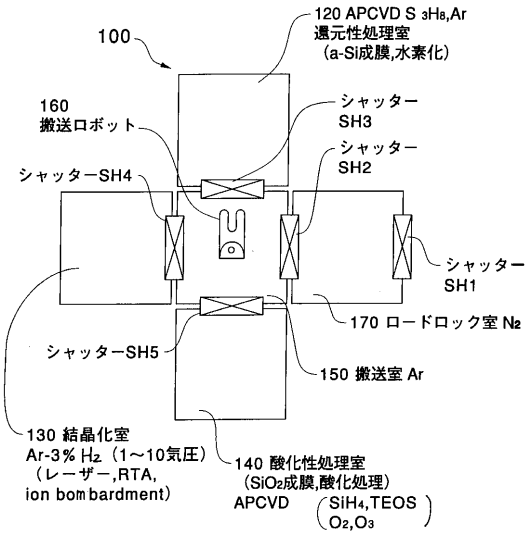


【図１０】



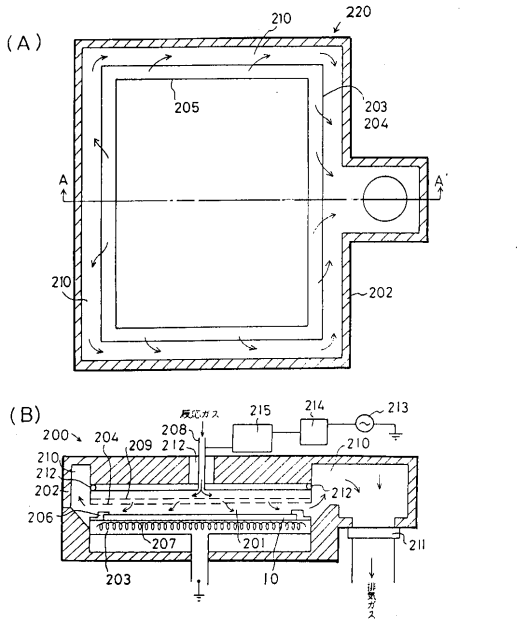
〈真空系装置〉

【図１１】

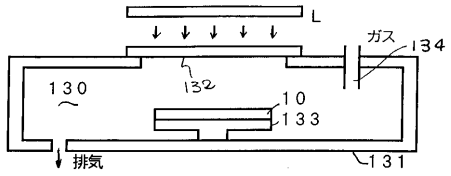


〈大気圧系装置〉

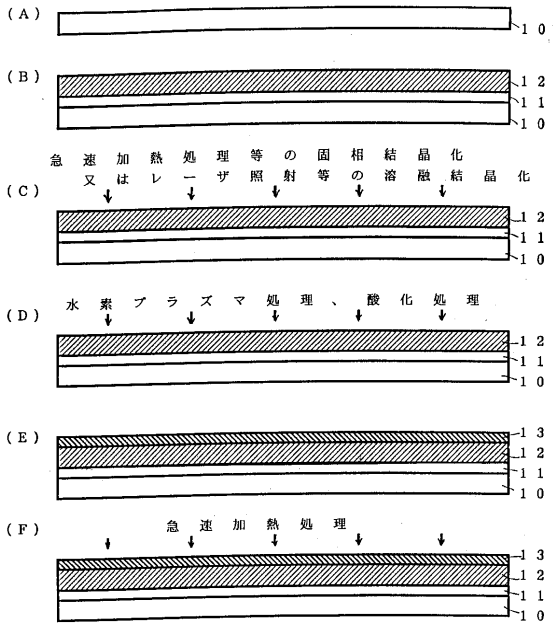
【図１２】



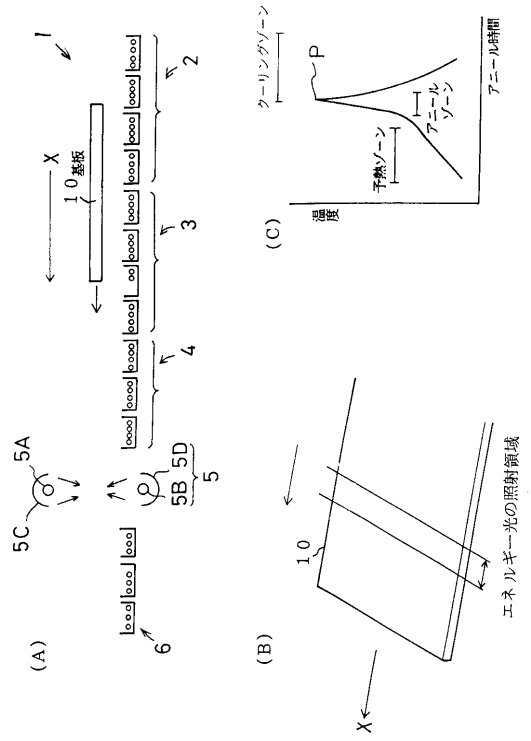
【図１３】



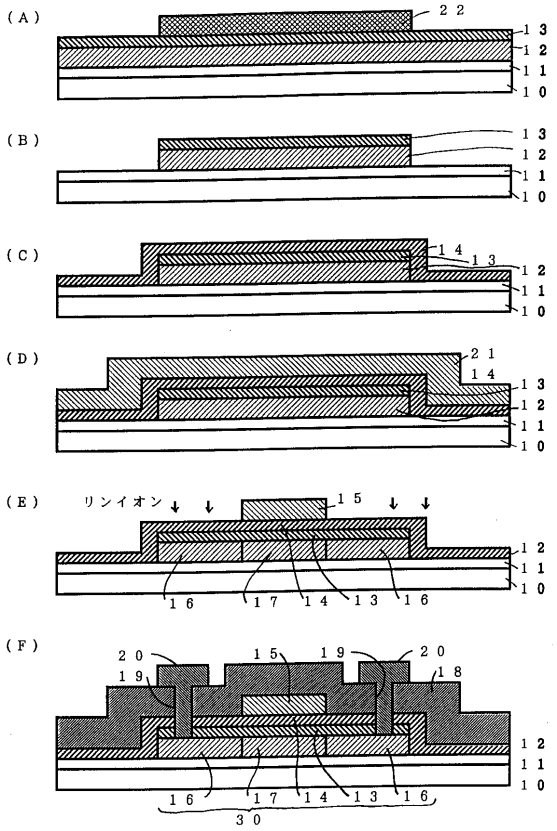
【図１４】



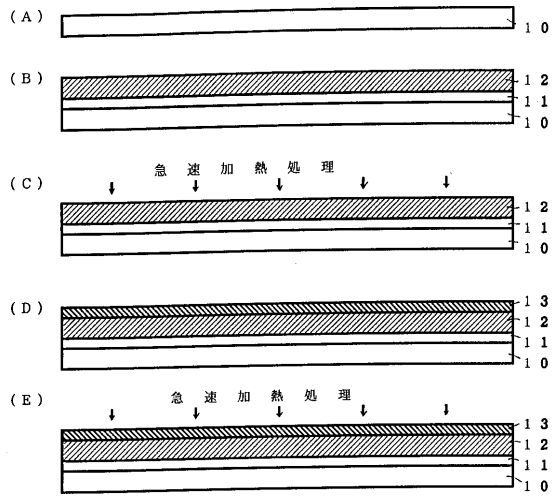
【図１５】



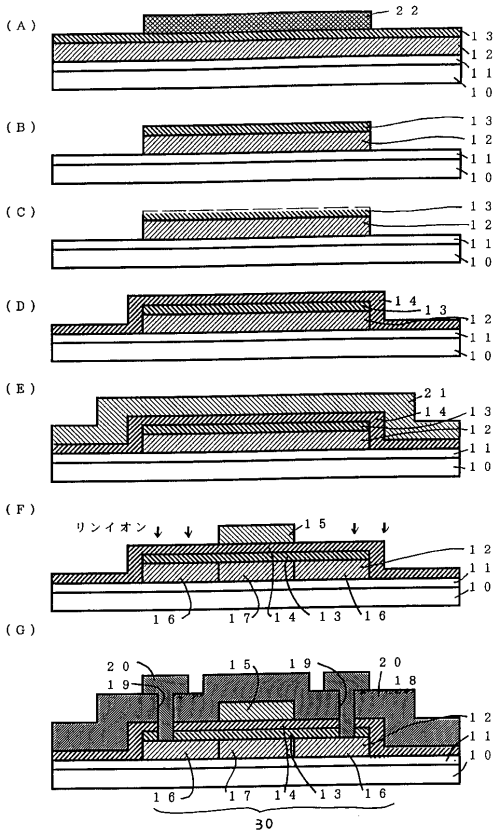
【図１６】



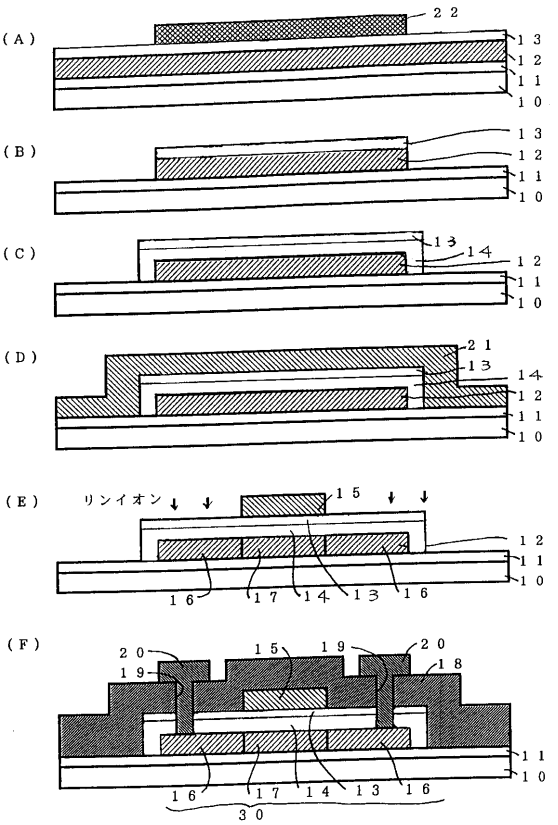
【図１７】



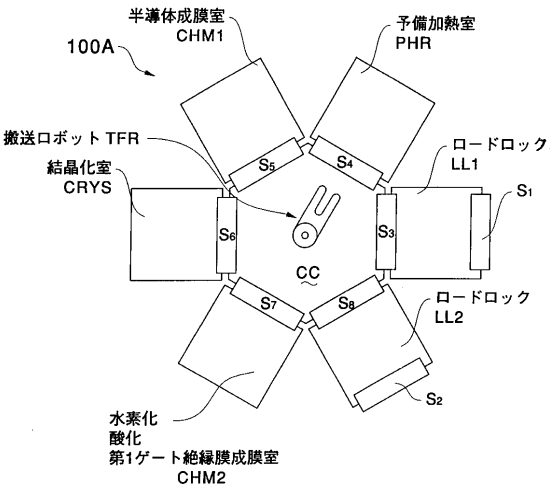
【図１８】



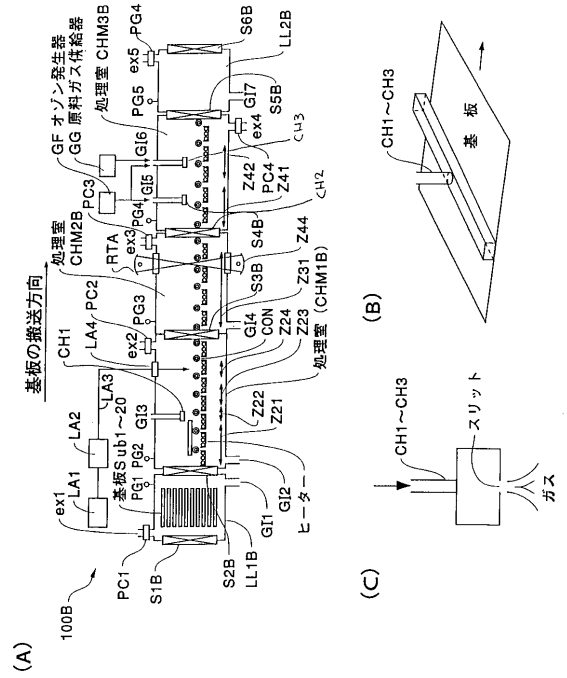
【図１９】



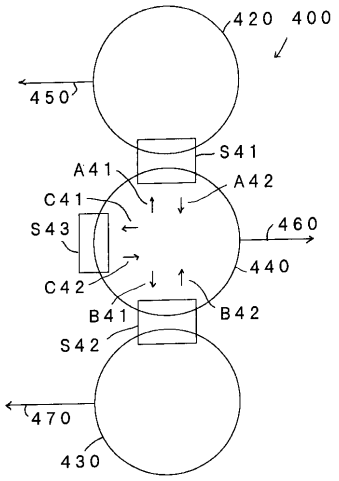
【図２０】



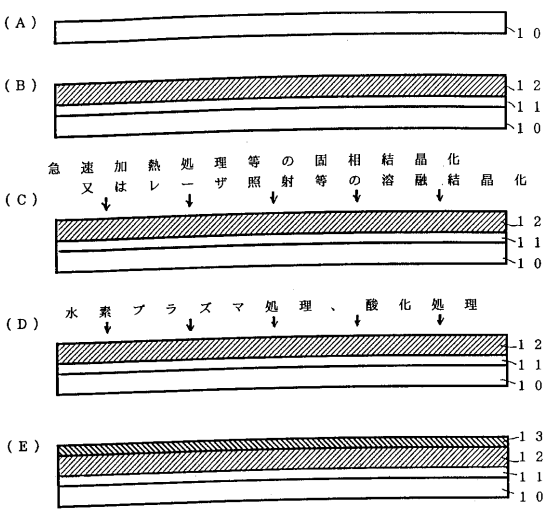
【図２１】



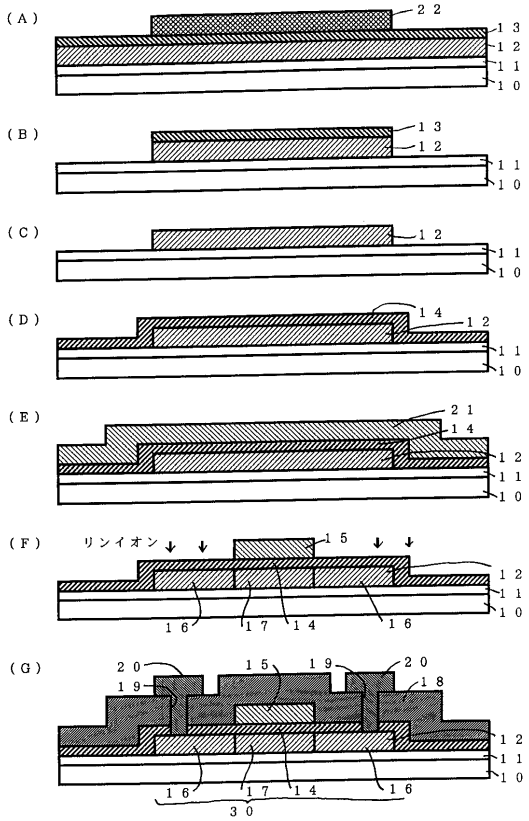
【図２２】



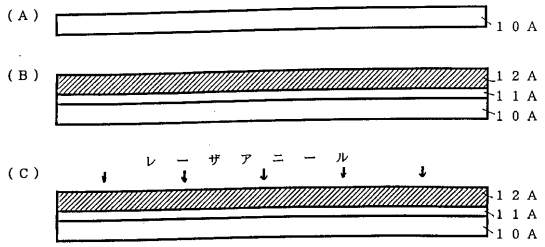
【図２３】



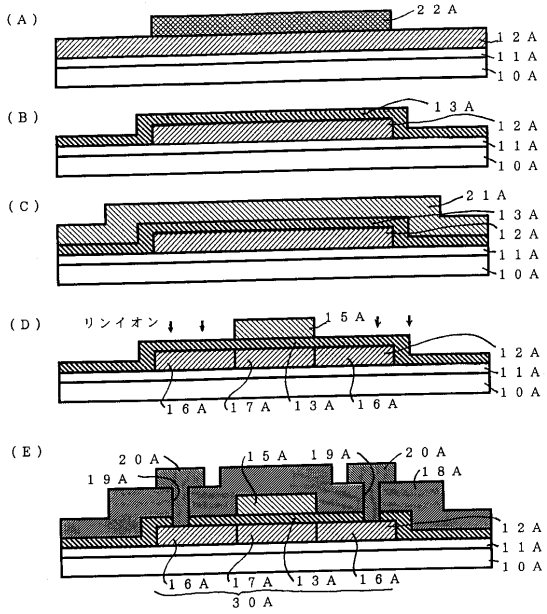
【図２４】



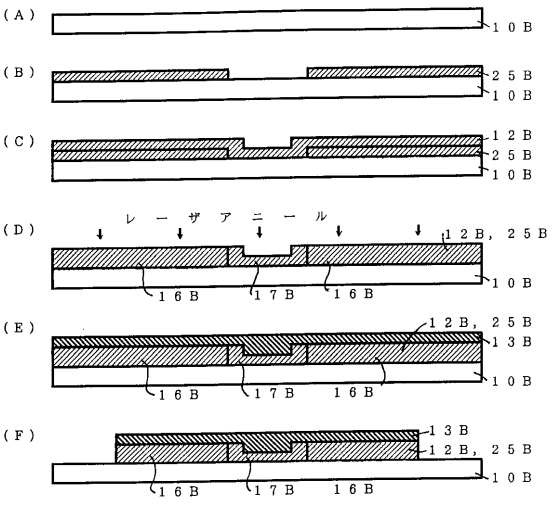
【図２５】



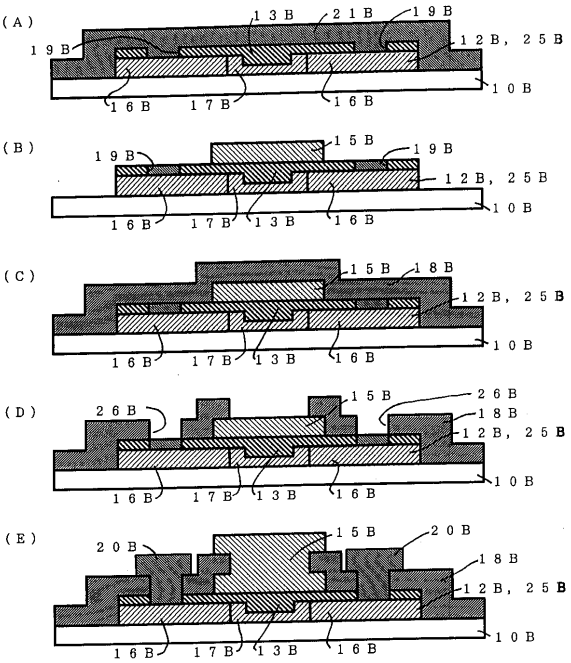
【図２６】



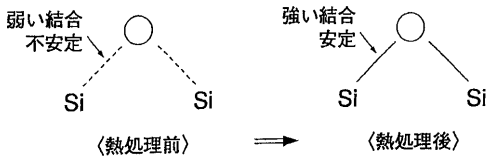
【図２７】



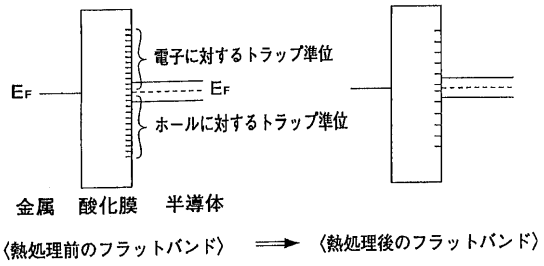
【図２８】



【図２９】


弱い結合
不安定
Si
Si
〈熱処理前〉
強い結合
安定
Si
Si
〈熱処理後〉

【図３０】


電子に対するトラップ準位
EF
EF
ホールに対するトラップ準位
金属
酸化膜
半導体
〈熱処理前のフラットバンド〉
〈熱処理後のフラットバンド〉

フロントページの続き

(56)参考文献 特開平０３－２８９１４０（ＪＰ，Ａ）
特開平０７－０９９３２１（ＪＰ，Ａ）
特開平０４－００７８４３（ＪＰ，Ａ）
特開平０６－２６０６４４（ＪＰ，Ａ）
特開平０１－１００９７０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/336
H01L 29/786