

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02018/190071

発行日 令和2年2月20日 (2020.2.20)

(43) 国際公開日 平成30年10月18日 (2018.10.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8239 (2006.01)	HO 1 L 27/105 4 4 8	4 M 1 1 9
HO 1 L 27/105 (2006.01)	HO 1 L 27/105 4 4 9	5 F 0 8 3
HO 1 L 27/11507 (2017.01)	HO 1 L 27/11507	
HO 1 L 27/11514 (2017.01)	HO 1 L 27/11514	
	HO 1 L 27/105 4 4 7	
	審査請求 未請求 予備審査請求 未請求 (全 21 頁)	

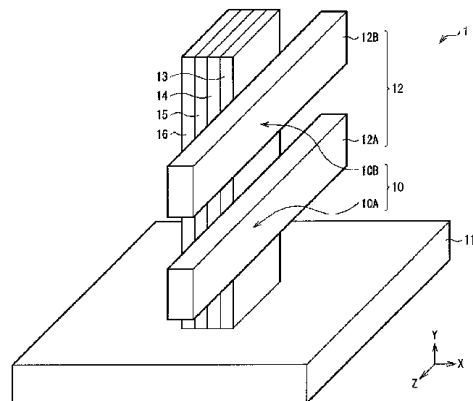
出願番号 特願2019-512395 (P2019-512395)	(71) 出願人 316005926 ソニーセミコンダクタソリューションズ株式会社 神奈川県厚木市旭町四丁目14番1号
(21) 国際出願番号 PCT/JP2018/010255	(74) 代理人 110001357 特許業務法人つばさ国際特許事務所
(22) 国際出願日 平成30年3月15日 (2018.3.15)	(72) 発明者 野々口 誠二 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
(31) 優先権主張番号 特願2017-78256 (P2017-78256)	(72) 発明者 荒谷 勝久 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
(32) 優先日 平成29年4月11日 (2017.4.11)	
(33) 優先権主張国・地域又は機関 日本国 (JP)	

最終頁に続く

(54) 【発明の名称】 記憶装置

(57) 【要約】

本開示の一実施形態の記憶装置は、一方向に延伸する複数の第1の配線層と、他の方向に延伸する複数の第2の配線層と、複数の第1の配線層と複数の第2の配線層との対向領域にそれぞれ設けられた複数のメモリセルとを備え、複数のメモリセルはそれぞれ、選択素子層と、記憶素子層と、選択素子層と記憶素子層との間に設けられた中間電極層とを有し、選択素子層、記憶素子層および中間電極層のうち少なくとも1つは、一方向または他の方向に延伸して隣り合う複数のメモリセル間における共通層となっており、中間電極層は、非線形抵抗材料を含んで形成されている。



**【特許請求の範囲】****【請求項 1】**

一の方向に延伸する複数の第 1 の配線層と、他の方向に延伸する複数の第 2 の配線層と、前記複数の第 1 の配線層と前記複数の第 2 の配線層との対向領域にそれぞれ設けられた複数のメモリセルとを備え、

前記複数のメモリセルはそれぞれ、選択素子層と、記憶素子層と、前記選択素子層と前記記憶素子層との間に設けられた中間電極層とを有し、

前記選択素子層、前記記憶素子層および前記中間電極層のうちの少なくとも 1 つは、前記一方向または前記他の方向に延伸して隣り合う前記複数のメモリセル間における共通層となっており、

前記中間電極層は、非線形抵抗材料を含んで形成されている記憶装置。

**【請求項 2】**

前記中間電極層が前記共通層として形成されている、請求項 1 に記載の記憶装置。

**【請求項 3】**

前記選択素子層が前記共通層として形成されている、請求項 1 に記載の記憶装置。

**【請求項 4】**

前記記憶素子層が前記共通層として形成されている、請求項 1 に記載の記憶装置。

**【請求項 5】**

前記中間電極層および前記選択素子層は、それぞれ、前記一方向または前記他の方向に延伸している、請求項 1 に記載の記憶装置。

**【請求項 6】**

前記中間電極層および前記記憶素子層は、それぞれ、前記一方向または前記他の方向に延伸している、請求項 1 に記載の記憶装置。

**【請求項 7】**

前記選択素子層および前記記憶素子層は、それぞれ、前記一方向または前記他の方向に延伸している、請求項 1 に記載の記憶装置。

**【請求項 8】**

前記選択素子層、前記記憶素子層および前記中間電極層は、それぞれ、前記一方向または前記他の方向に延伸している、請求項 1 に記載の記憶装置。

**【請求項 9】**

前記選択素子層、前記記憶素子層および前記中間電極層のうちの少なくとも 2 つが同一方向に延伸している、請求項 1 に記載の記憶装置。

**【請求項 10】**

前記選択素子層、前記記憶素子層および前記中間電極層は同一方向に延伸している、請求項 1 に記載の記憶装置。

**【請求項 11】**

前記複数の第 1 の配線層、前記複数の第 2 の配線層および前記複数のメモリセルは基板上に配設され、

前記複数の第 1 の配線層および前記複数の第 2 の配線層は、前記基板に対して略水平方向に延伸している、請求項 1 に記載の記憶装置。

**【請求項 12】**

前記複数の第 1 の配線層、前記複数の第 2 の配線層および前記複数のメモリセルは基板上に配設され、

前記複数の第 1 の配線層および前記複数の第 2 の配線層の一方は、前記基板に対して略垂直方向に延伸している、請求項 1 に記載の記憶装置。

**【請求項 13】**

前記中間電極層の前記対向領域における膜厚方向の電気抵抗は、隣り合う前記複数の第 1 の配線層の間の非対向領域における電気抵抗よりも低い、請求項 1 に記載の記憶装置。

10

20

30

40

50

**【請求項 1 4】**

前記選択素子層の膜厚は、隣り合う前記複数の第 1 の配線層の間の距離よりも小さい、請求項 1 に記載の記憶装置。

**【請求項 1 5】**

前記中間電極層は、前記選択素子層および前記記憶素子層を構成する主成分元素以外の元素を含んで構成されている、請求項 1 に記載の記憶装置。

**【請求項 1 6】**

前記選択素子層は、印加電圧の増加とともに抵抗が大幅に低下し、印加電圧が低い場合に高抵抗状態を呈する、請求項 1 に記載の記憶装置。

**【請求項 1 7】**

前記記憶素子層は、相変化型メモリ素子、強誘電体メモリ素子、遷移金属酸化物または、カルコゲナイドを含む抵抗変化メモリ素子および磁気抵抗変化型メモリ素子のいずれかである、請求項 1 に記載の記憶装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本開示は、例えば、中間電極を間に選択素子および記憶素子が積層されたメモリセルを交差する配線の間備えた記憶装置に関する。

**【背景技術】****【0002】**

近年、メモリやストレージの大容量化および高速化が求められている。これに対して、不揮発性メモリの主流となっているフラッシュメモリでは、原理的な微細化の限界が近づいている。このため、磁気メモリや相変化メモリ、抵抗変化型メモリ等の新規メモリの開発が進められている。その中でも、相変化メモリおよび抵抗変化型メモリにおいて、選択素子と組み合わせたクロスポイント型メモリが提案されている。

**【0003】**

クロスポイント型メモリは、交差する配線間の交点（クロスポイント）に、メモリ素子と選択素子とが直列に接続されたメモリセルが配置された構造となっている。具体的には、クロスポイント型メモリでは、互いに直交する 2 種類の配線層がそれぞれ複数配置され、その交点にメモリセルがそれぞれ形成されている。即ち、1 つの配線層には複数のメモリセルが設けられており、換言すると、複数のメモリセルが 1 本の配線層を共有する構造となっている。

**【0004】**

このようなクロスポイント型メモリとしては、例えば特許文献 1 において、記憶素子材料とセル選択材料とを連続して成膜し、それらが複数の階層に渡って共有された 3 次元メモリアレイアーキテクチャが開示されている。特許文献 2 では、抵抗可変膜、導電層、整流絶縁膜を設け、1 つの垂直電極に対して隣接する水平電極との間において導電層が分断することでメモリセルの選択特性を確保した抵抗変化型メモリセルアレイが開示されている。

**【先行技術文献】****【特許文献】****【0005】**

【特許文献 1】特表 2015 - 534720 号公報

【特許文献 2】特許第 5558090 号公報

**【発明の概要】****【0006】**

ところで、クロスポイント型メモリでは、上述したように、複数のメモリセルが 1 本の配線層を共有する構造となっているため、選択したメモリセル以外のメモリセルにも電圧が印加され、誤作動する虞がある。このため、クロスポイント型の記憶装置では、高い選択特性が求められている。

10

20

30

40

50

## 【 0 0 0 7 】

選択特性を向上させることが可能な記憶装置を提供することが望ましい。

## 【 0 0 0 8 】

本開示の一実施形態の記憶装置は、一方向に延伸する複数の第1の配線層と、他の方向に延伸する複数の第2の配線層と、複数の第1の配線層と複数の第2の配線層との対向領域にそれぞれ設けられた複数のメモリセルとを備えたものであり、複数のメモリセルはそれぞれ、選択素子層と、記憶素子層と、選択素子層と記憶素子層との間に設けられた中間電極層とを有し、選択素子層、記憶素子層および中間電極層のうちの少なくとも1つは、一方向または他の方向に延伸して隣り合う複数のメモリセル間における共通層となっており、中間電極層は、非線形抵抗材料を含んで形成されている。

10

## 【 0 0 0 9 】

本開示の一実施形態の記憶装置では、一方向に延伸する複数の第1の配線層と、他の方向に延伸する複数の第2の配線層との対向領域に、選択素子層と記憶素子層との間に中間電極層を有するメモリセルを設けるようにした。この記憶装置では、選択素子層、記憶素子層および中間電極層のうちの少なくとも1つは、一方向または他の方向に延伸し、隣り合うメモリセル間における共通層となっており、中間電極層は、非線形抵抗材料を用いて形成されている。これにより、隣接するメモリセル間における電氣的短絡の発生を低減することが可能となる。

## 【 0 0 1 0 】

本開示の一実施形態の記憶装置によれば、交差する複数の第1の配線層と複数の第2の配線層との対向領域に設けられたメモリセルを構成する中間電極層を、非線形抵抗材料を用いて形成するようにしたので、隣接するメモリセル間における電氣的短絡の発生が低減される。よって、選択特性を向上させることが可能となる。

20

## 【 0 0 1 1 】

なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果であってもよい。

## 【 図面の簡単な説明 】

## 【 0 0 1 2 】

【 図 1 】 本開示の第1の実施の形態に係る記憶装置の構成の一例を表す模式図である。

【 図 2 】 図1に示した記憶装置を構成する中間電極層を説明する特性図である。

30

【 図 3 】 本開示の第1の実施の形態に係る記憶装置の構成の他の例を表す模式図である。

【 図 4 】 本開示の第1の実施の形態に係る記憶装置の構成の他の例を表す模式図である。

【 図 5 】 本開示の第1の実施の形態に係る記憶装置の構成の他の例を表す模式図である。

【 図 6 】 図1に示した記憶装置の等価回路図である。

【 図 7 】 図1に示した記憶装置を構成する中間電極層の非線形特性図である。

【 図 8 】 本開示の第2の実施の形態に係る記憶装置の構成を表す模式図である。

【 図 9 】 本開示の第3の実施の形態に係る記憶装置の構成を表す模式図である。

【 図 10 】 図9に示した記憶装置の等価回路図である。

【 図 11 】 本開示の変形例1に係る記憶装置の構成を表す模式図である。

【 図 12 】 本開示の変形例2に係る記憶装置の構成を表す模式図である。

40

【 図 13 】 本開示の変形例3に係る記憶装置の構成を表す模式図である。

## 【 発明を実施するための形態 】

## 【 0 0 1 3 】

以下、本開示における実施の形態について、図面を参照して詳細に説明する。以下の説明は本開示の一具体例であって、本開示は以下の態様に限定されるものではない。また、本開示は、各図に示す各構成要素の配置や寸法、寸法比等についても、それらに限定されるものではない。なお、説明する順序は、下記の通りである。

1. 第1の実施の形態（非線形抵抗材料を用いて中間電極層を形成し、選択素子層、中間電極層および記憶素子層を同一方向に延伸する連続膜として形成した例）

## 1 - 1 . 記憶装置の構成

50

## 1 - 2 . 記憶装置の動作

## 1 - 3 . 作用・効果

2 . 第 2 の実施の形態 ( 中間電極層の膜厚方向の電気抵抗がメモリセル間の電気抵抗よりも低い構造の例 )

3 . 第 3 の実施の形態 ( 選択素子層の膜厚がメモリセル間の距離よりも小さい例 )

4 . 変形例 ( その他の記憶装置の構造の例 )

## 【 0 0 1 4 】

< 1 . 第 1 の実施の形態 >

( 1 - 1 . 記憶装置の構成 )

図 1 は、本開示の第 1 の実施の形態に係る記憶装置 ( メモリセルアレイ 1 ) の構成を模式的に表したものである。このメモリセルアレイ 1 は、例えば図 1 1 に示した、所謂クロスポイント型の記憶装置 ( メモリセルアレイ 6 ) の構成の一部であり、一の方向 ( 例えば Z 軸方向 ) に延伸する複数の第 1 の配線層 ( 配線層 1 2 ( 1 2 A , 1 2 B ) ) と、他の方向 ( 例えば Y 方向 ) に延伸する第 2 の配線層 ( 配線層 1 6 ) とが対向領域 ( 即ち、配線層 1 2 と配線層 1 6 との交点 ) にそれぞれメモリセル 1 0 ( 1 0 A , 1 0 B ) が設けられたものである。本実施の形態では、メモリセル 1 0 は、例えば配線層 1 2 側から選択素子層 1 3、中間電極層 1 4 および記憶素子層 1 5 がこの順に積層されており、これら各層 1 3 , 1 4 , 1 5 が配線層 1 6 と同一方向に延伸した構成を有する。

10

## 【 0 0 1 5 】

配線層 1 2 ( 1 2 A , 1 2 B ) は、例えば基板 1 1 の平面 ( X Z 平面 ) 方向に対して略水平方向 ( 例えば、Z 軸方向 ) に延伸するものであり、例えば図 6 においてワード線 ( W L 1 , W L 2 ) として用いられるものである。配線層 1 6 は、例えば基板 1 1 の平面 ( X Z 平面 ) 方向に対して略垂直方向 ( 例えば、Y 軸方向 ) に延伸するものであり、例えば図 6 においてピラー線 ( P L 1 ) として用いられるものである。配線層 1 2 および配線層 1 6 は、半導体プロセスに用いられる配線材料、例えば、タンゲステン ( W ) , 窒化タンゲステン ( W N ) , 銅 ( C u ) , アルミニウム ( A l ) , モリブデン ( M o ) , タantal ( T a ) およびシリサイド等により構成されている。配線層 1 2 , 1 6 が選択素子層 1 3 または記憶素子層 1 5 との電界においてイオン伝導が生じる可能性のある材料 ( 例えば C u ) により構成されている場合には、C u よりなる配線層 1 2 , 1 6 の表面を、W , W N , 窒化チタン ( T i N ) , T a N 等のイオン伝導や熱拡散しにくい材料で被覆するようにしてもよい。なお、基板 1 1 には、C M O S 回路や外部回路と連結するための回路 ( いずれも図示せず ) 等が設けられており、配線層 1 2 , 1 6 は、これらに接続されていてもよい。

20

30

## 【 0 0 1 6 】

選択素子層 1 3 は、印加電圧の増加とともに抵抗が大幅に低下し、印加電圧が低い場合に高抵抗状態を呈するものである。換言すると、選択素子層 1 3 は、印加電圧が低い場合には電気抵抗が高く、印加電圧が高い場合には電気抵抗が大幅に低下し、大電流 ( 例えば数桁倍の電流 ) が流れる非線形の電気抵抗特性を有するものである。選択素子層 1 3 は、例えば、M S M ( Metal-Semiconductor-Metal ) ダイオード、M I M ( Metal-Insulator-Metal ) ダイオード、バリスタ、オポニック閾値スイッチを用いた構成としてもよく、複数の層から構成されていてもよい。また、選択素子層 1 3 は、記憶素子層 1 5 の動作方法によっては、単方向ダイオードまたは双方向ダイオードを用いてもよい。なお、選択素子層 1 3 は、例えば電圧印加によるイオンの移動によって形成される導電パスが印加電圧消去後にも維持される等のメモリ動作をしないものとする。

40

## 【 0 0 1 7 】

中間電極層 1 4 は、非線形特性を有するものであり、例えば、図 2 に示したように、電圧 ( V ) の増加に対して電流 ( I ) が指数関数的に増大する関係にある材料 ( 非線形抵抗材料 ) によって形成されていることが好ましい。これにより、メモリセル 1 0 の選択特性が向上する。また、中間電極層 1 4 の電気抵抗によりメモリセル 1 0 の動作時に発生する瞬時電流を低減し、記憶素子層 1 5 への過度な電流を抑制することができる。更に、中間

50

電極層 14 は、選択素子層 13 および記憶素子層 15 を構成する材料の相互拡散を抑制するためのものである。中間電極層 14 を構成する材料としては、例えば、窒素を含有する半導体材料を用いることが望ましい。具体的には、SiN、AlN、SiAlN、SiTiN、SiTaN、SiHfN、AlTiN、AlTaN、AlHfN 等が挙げられる。これら窒化物半導体材料の窒素含有量を調整することにより、所望の特性を得ることができる。この他、中間電極層 14 は、ゲルマニウム (Ge)、酸素 (O)、カルコゲナイド元素 (例えば、硫黄 (S)、セレン (Se)、テルル (Te)) 等を含有していてもよい。なお、中間電極層 14 は、選択素子層 13 および記憶素子層 15 と反応しやすい元素を含まないことが好ましい。例えば、選択素子層 13 および記憶素子層 15 を構成する主成分元素以外の元素を含んで構成されていることが好ましい。これにより、選択素子層 13 と記憶素子層 15 との間における上記元素の相互拡散が抑制される。

10

## 【0018】

記憶素子層 15 は、電氣的信号によって抵抗値が可逆的に変化するものであり、その変化した状態を保持することが可能な不揮発性を有する抵抗変化型のメモリ素子である。抵抗変化の原理は、相変化、分極、磁化方向および導電パス (フィラメント) の形成等、特に限定されるものではない。即ち、記憶素子層 15 は、例えば、PCM (相変化型メモリ素子)、FeRAM (強誘電体メモリ素子)、MRAM (磁気抵抗変化型メモリ素子) および遷移金属酸化物または、カルコゲナイドを含む抵抗変化メモリ素子のいずれを用いても構わない。

20

## 【0019】

なお、図 1 では、選択素子層 13、中間電極層 14、記憶素子層 15 および配線層 16 が基板 11 に対して垂直方向に延伸している例を示したがこれに限らない。例えば、図 3 に示したように、選択素子層 13、中間電極層 14、記憶素子層 15 および配線層 16 が基板 11 に対して略水平方向 (例えば、X 軸方向) に延伸していてもよい。また、選択素子層 13 と記憶素子層 15 との位置を入れ替えてもよい。即ち、配線層 12 側から、記憶素子層 15、中間電極層 14 および選択素子層 13 の順に積層された構成としてもよい。更に、図示していないが、配線層 12 および配線層 16 の上面あるいは、配線層 12、16、選択素子層 13、中間電極層 14 および記憶素子層 15 の各層の間には、他の層を形成しても構わない。他の層としては、例えば、密着性、平坦性および熱伝導性の改善あるいは、各層間における材料拡散の防止等を意図する層が形成される。

30

## 【0020】

また、図 1 では、選択素子層 13、中間電極層 14 および記憶素子層 15 の全てが配線層 16 と同一方向に延伸している例を示したがこれに限らない。例えば、図 4 に示したように、選択素子層 13 が、メモリセル 10A、10B ごとに個別に形成されていても構わない。あるいは、図 5 に示したように、選択素子層 13 は共通層として形成され、中間電極層 14 および記憶素子層 15 がメモリセル 10A、10B ごとに個別に形成されていても構わない。メモリセル 10 を構成する選択素子層 13、中間電極層 14 および記憶素子層 15 のうちの少なくとも 1 層を共通層として形成することで、メモリセルを構成する各層をメモリセルごとに個別に形成する場合と比較して、製造工程を簡易にすることが可能となる。

40

## 【0021】

## (1-2. 記憶装置の動作)

以下に、メモリセルアレイ 1 の動作について説明すると共に、本実施の形態の中間電極層 14 による効果について説明する。図 6 は、メモリセルアレイ 1 の等価回路図を簡易的に表したものである。図 6 では、配線層 12A と配線層 16 の交点における選択素子層 13 の抵抗を  $R_{s1}$ 、中間電極層 14 の抵抗を  $R_1$ 、記憶素子層 15 の抵抗を  $R_{m1}$  とし、配線層 12B と配線層 16 の交点における選択素子層 13 の抵抗を  $R_{s2}$ 、中間電極層 14 の抵抗を  $R_2$ 、記憶素子層 15 の抵抗を  $R_{m2}$  として表している。また、配線層 12A をワード線  $WL_1$ 、配線層 12B をワード線  $WL_2$ 、配線層 16 をピラー線  $PL_1$  とし、 $R_{s1}$  と  $R_1$  との接点を  $N_1$ 、 $R_{s2}$  と  $R_2$  との接点を  $N_2$  とする。また、メモリセル 1

50

0 A を cell 1、メモリセル 10 B を cell 2 とする。

【0022】

メモリセル 10 A ( cell 1 ) に書き込む場合を例に説明する。初期状態では、 $R_{m1}$  および  $R_{m2}$  は、共に高抵抗状態 ( $R_{m1H}$ 、 $R_{m2H}$ ) にある。 $R_{m1}$  の書き込み閾値電圧  $V_{th}$  を、例えば 3 V とする。メモリセル 10 A ( cell 1 ) への書き込み時には、ワード線  $W_{L1}$  には書き込み電圧  $V_{set1}$  が印加され、ピラー線  $P_{L1}$  はグランドに接続される。ワード線  $W_{L2}$  には  $V_{set1} / 2$  の電圧が印加される。上記の電圧設定では、 $R_{s2}$  はオン状態へは遷移せず高抵抗状態 ( オフ状態 ) のままであり、 $R_{s1}$  のみオン状態となって低抵抗状態へと遷移する。

【0023】

選択素子層 13 として、例えば、オポニック閾値スイッチを用いた場合を考える。 $R_{s1}$  がオン状態となった場合、 $R_{s1}$  の両端には所謂 Holding Voltage  $V_{hold}$  が発生する。このため、 $R_1$  および  $R_{m1H}$  に印加される電圧は、 $V_1 = V_{set1} - V_{hold}$  となる。このとき、 $R_1 < R_{m1H}$  と設定されていることにより、 $V_1$  は、ほぼ  $R_{m1H}$  に印加され、 $R_{m1H}$  の書き込み閾値電圧  $V_{th}$  よりも高くなる。低抵抗に遷移した後の  $R_{m1}$  の抵抗値を  $R_{m1} = R_{M1L}$  とすると、 $V_1 = (R_1 + R_{M1L}) \times I_1$  により定められる書き込み電流  $I_1$  が  $R_{m1}$  を流れることになる。

【0024】

記憶素子層 15 として、RRAM または PCM を用いた場合には、一般的に、 $R_{M1L} \times I_1$  は、凡そ、一定値の  $V_{cell1}$  となる。従って、 $I_1 = (V_1 - V_{cell1}) / R_1$  とする。ここで、 $R_{m1}$  として十分な長期保存信頼性を確保するためには、 $I_1$  が大きいことが望ましく、 $R_1$  は低いほど有利となる。例えば、 $V_1 = 5 V$ 、 $V_{cell1} = 1 V$  とした場合、信頼性を確保するためには、例えば電流  $I_1$  を  $40 \mu A$  とすると、 $R_1$  には 4 V の電圧が印加されることになり、 $R_1 < 100 k$  が目安となる。

【0025】

ところで、メモリセル 10 A に書き込みするときには、メモリセル 10 B に書き込みされてはいけない。図 6 において、メモリセル 10 A ( cell 1 ) とメモリセル 10 B ( cell 2 ) との間で異なる点は  $R_{12}$  である。 $R_{12}$  を十分高抵抗とすることによって、 $R_{m2}$  に印可される電圧は書き込み閾値電圧  $V_{th}$  より低くなるように設定される。高抵抗状態にある  $R_{m2}$  を  $R_{m2} = R_{m2H}$  とすると、 $R_2 \ll R_{m2H}$  なので、 $R_{m2}$  に印加される電圧  $V_{R_{m2H}}$  は、 $V_{R_{m2H}} = V_1 \times R_{m2H} / (R_{12} + R_{m2H})$  となる。一般的に RRAM および PCM における高抵抗状態の抵抗値は 1 M 以上である。 $V_{R_{m2H}}$  が高くないためには、 $R_{12}$  は 1 M と同程度が望ましい。仮に、 $R_{m2} = R_{12} = 1 M$  とした場合、 $R_{12}$  と  $R_{m2}$  には、 $V_1 / 2$  の電圧が印加されることになる。例えば、 $V_1 = 5 V$  の場合、 $V_1 / 2 = 2.5 V$  となり、メモリセル 10 B には書き込みされない。従って、中間電極層 14 の電気抵抗  $R_1$  は、例えば印加電圧が 4 V のときには 100 k 以下であることが好ましく、例えば印加電圧 2.5 V のときには 1 M k 以上であることが好ましい。即ち、電圧 - 電流特性が非線形性を有すること求められる。

【0026】

図 7 は、本実施の形態の中間電極層 14 を備えたメモリセルアレイ 1 における非線形特性を表したものである。図 7 では、印加電圧の増加とともに、抵抗値が減少しており、非線形特性となっている。なお、この結果は、中間電極層 14 を膜厚 10 nm の Si リッチの SiN 膜として形成した場合のものである。

【0027】

( 1 - 3 . 作用・効果 )

前述したように、メモリやストレージの大容量化および高速化を実現する手段として、メモリ素子と選択素子とを組み合わせたクロスポイント型メモリが提案されている。クロスポイント型メモリは、一方向および他の方向に延伸する複数の配線層をそれぞれ有し、それらが互いに交差する配線間に、メモリ素子と選択素子とが直列に接続されたメモリセルが配置された構成を有する。このため、1 つの配線層は複数のメモリセルによって共

10

20

30

40

50

有されている。

【0028】

クロスポイント型メモリのさらなる大容量化を実現する方法としては、例えば、平面に形成されたクロスポイント型メモリを積層していくことが考えられるが、クロスポイント型メモリの積層は製造コストの観点から限界があると言われている。そのため、将来的には、交差する2種類の配線層の一方を平面に対して垂直方向に延伸させ、メモリセルを垂直方向に形成する3次元立体構造を有するメモリの開発が有力視されている。

【0029】

この3次元立体構造を有するメモリでは、例えば、基板に対して水平方向に延伸する複数の配線層が垂直方向に積層され、その配線間を、例えば基板に対して垂直方向に貫通する開孔が形成され、その開孔内にメモリセル構造体が設けられた構造が考えられている。メモリセル構造体では、開孔の側壁にメモリセルを構成する各層が順に成膜され、同心状の積層構造を形成している。このようなメモリセル構造体では、各層の膜厚は薄いことが好ましい。前述した3次元メモリアレイキテクチャでは、メモリセル構造体を構成する記憶素子材料およびセル選択材料は連続で成膜され、メモリセル構造体は複数の階層に渡って共有されるようになっている。

10

【0030】

しかしながら、クロスポイント型メモリは、上述したように、複数のメモリセルが1つの配線層を共有しているため、1つのメモリセルを選択して動作させる際に、選択したメモリセル（選択セル）以外の、配線層を共有しているその他のメモリセル（非選択セル）にも電圧が印加され、誤動作する虞がある。

20

【0031】

また、メモリセルの特性を確保するためには、選択素子とメモリ素子との相互干渉による劣化を防ぐことが重要であり、その方法としては、選択素子とメモリ素子との間に、中間電極層を設けることが考えられている。前述した抵抗変化型メモリセルアレイでは、抵抗可変膜（メモリ素子）、導電層（中間電極層）、整流絶縁膜（選択素子）を設けることで、選択素子とメモリ素子との相互干渉を押さえ、メモリセルの特性の確保しつつ、劣化を抑制している。しかしながら、一般的な中間電極層では、隣り合うメモリセル間における電氣的な短絡不良の発生が懸念される。隣り合うメモリセル間における電氣的な短絡不良の発生は、非選択セルの誤動作に繋がる。以上のことから、クロスポイント型メモリでは、選択特性を向上させることが求められている。

30

【0032】

これに対して、本実施の形態のメモリセル10では、例えば配線層12側から選択素子層13、中間電極層14および記憶素子層15がこの順に積層されており、これら各層13、14、15が配線層16と同一方向に延伸した構成を有する。即ち、これら各層13、14、15はY軸方向に延伸する連続膜として形成されており、Y軸方向に並ぶメモリセル10Aおよびメモリセル10Bにおける共通層としてなっている。本実施の形態では、非線形抵抗材料を用いて中間電極層14を形成するようにした。これにより、隣接するメモリセル10Aとメモリセル10Bとの間における電氣的短絡の発生を低減することが可能となる。

40

【0033】

以上のことから、本実施の形態のメモリセルアレイ1では、互いに交差する配線層12と配線層16との交点に設けられるメモリセル10を、中間電極層14を間に選択素子層13と記憶素子層15とが積層された構成とし、この中間電極層14を、非線形抵抗材料を用いて形成するようにした。これにより、隣接するメモリセル10Aおよびメモリセル10B間における電氣的短絡の発生が低減される。よって、選択特性を向上させることが可能となる。

【0034】

ところで、選択素子と記憶素子との間に設けられた中間電極層による隣接セルへの電氣的な短絡不良を防ぐ方法としては、中間電極層をセルごとに分断する、あるいは、酸化等

50

により、中間電極層に高抵抗な領域を部分的に形成して隣接セル間を絶縁状態にする等が考えられる。しかしながら、その分製造工程が増えるという問題がある。

【0035】

これに対して、本実施の形態では、選択素子層13、中間電極層14および記憶素子層15を配線層16と共に、Y軸方向に延伸する連続膜として形成するようにしたので、メモリセルを構成する各層をメモリセルごとに個別に形成する場合と比較して、メモリセルアレイ1の製造工程を簡略化することが可能となる。即ち、本実施の形態のように、配線層12と配線層16との対向領域に形成されるメモリセル10を、非線形抵抗材料を含む中間電極層14を間に選択素子層13と記憶素子層15とが積層された構成とし、さらに、選択素子層13、中間電極層14および記憶素子層15が、例えば配線層16と同一方向に延伸する連続膜として形成することで、製造工程の容易性と、高い選択性とを両立することが可能となる。

10

【0036】

次に、第2および第3の実施の形態ならびに変形例について説明する。以下では、上記第1の実施の形態と同様の構成要素については同一の符号を付し、適宜その説明を省略する。

【0037】

< 2 . 第2の実施の形態 >

図8は、本開示の第2の実施の形態に係る記憶装置(メモリセルアレイ4)の構成を模式的に表したものである。このメモリセルアレイ4は、上記第1の実施の形態におけるメモリセルアレイ1等と同様に、例えば、図11に示した、所謂クロスポイント型の記憶装置(メモリセルアレイ6)の構成の一部であり、一方向(例えばZ軸方向)に延伸する複数の第1の配線層(配線層12(12A, 12B))と、他の方向(例えばY方向)に延伸する第2の配線層(配線層16)とが交差する対向領域にそれぞれメモリセル40(40A, 40B)が設けられたものである。本実施の形態では、配線層12Aと配線層16との対向領域に設けられたメモリセル40における中間電極層44の膜厚方向(X軸方向)の電気抵抗(例えば、メモリセル40Aにおける電気抵抗R1)が、隣接する非対向領域(例えば、メモリセル40Aとメモリセル40Bとの間)における中間電極層44の電気抵抗R12よりも低い構成を有する。

20

【0038】

中間電極層44は、上記中間電極層24と同様に、非線形特性を有するものであると共に、選択素子層13および記憶素子層15を構成する材料の相互拡散を抑制するためのものである。中間電極層44を構成する材料としては、非線形抵抗材料を用いることが好ましく、例えば、窒素を含有する半導体材料を用いることが望ましい。具体的には、SiN、AlN、SiAlN、SiTiN、SiTaN、SiHfN、AlTiN、AlTaN、AlHfN等が挙げられる。これら窒化物半導体材料の窒素含有量を調整することにより、所望の特性を得ることができる。この他、中間電極層44は、ゲルマニウム(Ge)、酸素(O)、カルコゲナイド元素(例えば、硫黄(S)、セレン(Se)、テルル(Te))等を含有していてもよい。なお、中間電極層44は、選択素子層13および記憶素子層15と反応しやすい元素を含まないことが好ましく、これにより、相互拡散を抑制することができる。

30

40

【0039】

メモリセル40Aにおける中間電極層44の膜厚方向の電気抵抗R1を低く、隣接するメモリセル40Aとメモリセル40Bとの間の中間電極層44の電気抵抗R12を高くする方法としては、中間電極層44の膜厚t1を、隣り合うメモリセル40Aとメモリセル40B間の距離L1よりも小さくすることが好ましい。これにより、中間電極層44の電気抵抗R1を相対的に低くすることができる。換言すると、配線層12Aと配線層12Bとの距離を大きくすることにより、中間電極層44の電気抵抗R12を高くすることができる。この場合、メモリセルアレイにおける面積効率は犠牲となるが、安定性は向上する。あるいは、中間電極層44の一部を意図的に酸化または、損傷を与えることにより、中

50

間電極層 4 4 の抵抗を高くすることができる。この他、例えば中間電極層 4 4 を積層構造とし、材料抵抗に異方性を持たせることで、電気抵抗  $R_1$  を相対的に低くすることができる。

#### 【0040】

上記第 1 の実施の形態と同様に、メモリセルアレイにおいて隣接するメモリセルへの誤書き込みを抑制する構成としては、中間電極層 4 4 の電気抵抗が、膜厚方向（X 軸方向）の電気抵抗  $R_1$  がより低く、延伸方向（Y 軸方向）の電気抵抗  $R_{12}$  がより高いことが好ましい。本実施の形態では、例えばメモリセル 4 0 A における中間電極層 4 4 の膜厚方向の電気抵抗  $R_1$  を低く、隣接するメモリセル 4 0 A とメモリセル 4 0 B との間の中間電極層 4 4 の電気抵抗  $R_{12}$  を高くするようにしたので、誤書き込みの発生を抑制し、選択特性をさらに向上させることが可能となる。

10

#### 【0041】

< 3 . 第 3 の実施の形態 >

図 9 は、本開示の第 3 の実施の形態に係る記憶装置（メモリセルアレイ 5）の構成を模式的に表したものである。このメモリセルアレイ 5 は、上記第 1 の実施の形態におけるメモリセルアレイ 1 等と同様に、例えば、図 1 1 に示した、所謂クロスポイント型の記憶装置（メモリセルアレイ 6）の構成の一部であり、一方向（例えば Z 軸方向）に延伸する複数の第 1 の配線層（配線層 1 2（1 2 A, 1 2 B））と、他の方向（例えば Y 方向）に延伸する第 2 の配線層（配線層 1 6）とが交差する対向領域にそれぞれメモリセル 5 0（5 0 A, 5 0 B）が設けられたものである。本実施の形態では、配線層 1 2 A と配線層 1 6 との対向領域に設けられたメモリセル 5 0（例えば、メモリセル 5 0 A）における選択素子層 5 3 の膜厚方向（X 軸方向）の電気抵抗  $R_{s1}$  が、隣接する非対向領域（例えば、メモリセル 5 0 A とメモリセル 5 0 B との間）における選択素子層 5 3 の電気抵抗  $R_{s12}$  よりも低い構成を有する。

20

#### 【0042】

選択素子層 5 3 は、印加電圧の増加とともに抵抗が大幅に低下し、印加電圧が低い場合に高抵抗状態を呈するものである。選択素子層 5 3 は、例えば、MSM ダイオード、MI M ダイオード、パリスタ、オポニック閾値スイッチを用いて構成されていてもよく、複数の層から構成されていてもよい。また、選択素子層 5 3 は、記憶素子層 1 5 の動作方法によっては、単方向ダイオードまたは双方向ダイオードを用いてもよい。なお、選択素子層 5 3 は、例えば電圧印加によるイオンの移動によって形成される導電バスが印加電圧消去後にも維持される等のメモリ動作をしないものとする。

30

#### 【0043】

上記第 1 の実施の形態等では、メモリセルアレイにおいて隣接するメモリセルへの誤書き込みを抑制する構成として、延伸方向の中間電極層 1 4 の電気抵抗  $R_{12}$  が膜厚方向の電気抵抗  $R_1$  よりも高いとすることが好ましいとしたが、延伸方向の電気抵抗という観点では、選択素子層 1 3 においても同様のことが言える。

#### 【0044】

図 1 0 は、本実施の形態のメモリセルアレイ 5 の等価回路を表したものである。選択素子層 5 3 の延伸方向（Y 軸方向）の電気抵抗  $R_{s12}$  が極端に低い場合、選択素子層 5 3 は選択素子として機能せずに誤動作の原因となる。よって、選択素子層 5 3 の積層方向（X 軸方向）の膜厚  $t_2$  は、隣接する隣り合うメモリセル 5 0 A とメモリセル 5 0 B 間の距離  $L_2$  よりも小さくすることが好ましい。これにより、選択素子層 5 3 の電気抵抗  $R_{s1}$  を相対的に低くすることができる。換言すると、配線層 1 2 A と配線層 1 2 B との距離を大きくすることにより、選択素子層 5 3 の電気抵抗  $R_{s12}$  を高くすることができる。

40

#### 【0045】

以上のように、本実施の形態では、例えばメモリセル 5 0 A における選択素子層 5 3 の膜厚方向の電気抵抗  $R_1$  を低く、隣接するメモリセル 5 0 A とメモリセル 5 0 B との間を選択素子層 5 3 の電気抵抗  $R_{12}$  を高くするようにしたので、誤書き込みの発生を抑制し、選択特性をさらに向上させることが可能となる。

50

## 【 0 0 4 6 】

なお、本実施の形態では、選択素子層 5 3 は隣り合うメモリセル 5 0 A およびメモリセル 5 0 B との間で連続する連続膜として形成されている必要があるが、中間電極層 1 4 および記憶素子層 1 5 はメモリセル 5 0 A およびメモリセル 5 0 B ごとに、個別に形成されていても構わない。その場合には、中間電極層 1 4 は、必ずしも非線形特性を有していなくてもよい。但し、非線形特性を有する材料を用いて中間電極層 1 4 を形成することにより、上述したように、メモリセル 5 0 A の選択特性が向上すると共に、中間電極層 1 4 の電気抵抗によりメモリセル 5 0 A の動作時に発生する瞬時電流が低減され、記憶素子層 1 5 への過度な電流が抑制される。

## 【 0 0 4 7 】

< 4 . 変形例 >

## ( 変形例 1 )

図 1 1 は、本開示の変形例 1 に係る記憶装置 (メモリセルアレイ 6) の構成の一例を模式的に表したものである。このメモリセルアレイ 6 は、例えば、図 3 に示したメモリセルアレイ 1 を拡張したものであり、複数の配線層 6 2 (6 2 A, 6 2 B, 6 2 C, 6 2 D) および複数の配線層 6 6 (6 6 A, 6 6 B, 6 6 C, 6 6 D) を有し、各配線層 6 6 A, 6 6 B, 6 6 C, 6 6 D に沿って、選択素子層 6 3、中間電極層 6 4 および記憶素子層 6 5 が連続膜として形成されたものである。このメモリセルアレイ 6 では、選択素子層 6 3、中間電極層 6 4 および記憶素子層 6 5 は、各配線層 6 2 A, 6 2 B, 6 2 C, 6 2 D によって共有されている。即ち、メモリセルアレイ 6 は、例えば Z 軸方向に延伸する複数の配線層 6 2 (6 2 A, 6 2 B, 6 2 C, 6 2 D) と、例えば Z 軸方向に延伸する複数の配線層 6 6 (6 6 A, 6 6 B, 6 6 C, 6 6 D) とが互いに対向する位置 (クロスポイント) にそれぞれメモリセル 1 0 を有するクロスポイント型のメモリセルアレイであり、本開示の記憶装置の一具体例に相当するものである。

## 【 0 0 4 8 】

## ( 変形例 2 )

図 1 2 は、本開示の変形例 2 に係る記憶装置 (メモリセルアレイ 7) の構成を模式的に表したものである。このメモリセルアレイ 7 は、例えば、Z 軸方向に延伸する複数の配線層 7 2 (配線層 7 2 A 1 と配線層 7 2 A 2、配線層 7 2 B 1 と配線層 7 2 B 2) および Y 軸方向に延伸する複数の配線層 7 6 (配線層 7 6 A 1 と配線層 7 6 A 2、配線層 7 6 B 1 と配線層 7 6 B 2) が、それぞれ X 軸方向に積層された 3 次元構造を有するものである。このメモリセルアレイ 7 では、配線層 7 6 の両側に、記憶素子層 7 5、中間電極層 7 4 および選択素子層 7 3 がこの順に積層された構成となっている。

## 【 0 0 4 9 】

## ( 変形例 3 )

図 1 3 は、本開示の変形例 3 に係る記憶装置 (メモリセルアレイ 8) の構成を模式的に表したものである。このメモリセルアレイ 8 は、例えば、上記変形例 2 におけるメモリセルアレイ 7 と同様に、Z 軸方向に延伸する複数の配線層 8 2 (配線層 8 2 A 1 と配線層 8 2 A 2、配線層 8 2 B 1 と配線層 8 2 B 2) および Y 軸方向に延伸する複数の配線層 8 6 (配線層 8 6 A 1 と配線層 8 6 A 2、配線層 8 6 B 1 と配線層 8 6 B 2) が、それぞれ X 軸方向に積層された 3 次元構造を有するものである。このメモリセルアレイ 8 では、配線層 8 6 の側面全体が記憶素子層 8 5、中間電極層 8 4 および選択素子層 8 3 の順に覆われた構成となっている。即ち、配線層 8 6 を中心に、中間電極層 8 4 および選択素子層 8 3 がこの順に同心状に積層された構成を有する。

## 【 0 0 5 0 】

以上のように、変形例 2, 3 に示したメモリセルアレイ 7, 8 は、複数のメモリセルを平面 (2 次元, 例えば、YZ 平面方向) に配置し、さらに X 軸方向に積層させた 3 次元構造としたものであり、このように 3 次元構造とすることで、より高密度且つ大容量な記憶装置を提供することができる。

## 【 0 0 5 1 】

10

20

30

40

50

以上、第1～第3の実施の形態およびその変形例（変形例1～3）を挙げて本開示を説明したが、本開示内容は上記実施の形態等に限定されるものではなく、種々変形が可能である。例えば、図示していないが、例えば、図1の配線層12A，12Bの間の空隙や図12における各配線層12，16の間の空隙には、絶縁膜が形成されていてもよい。

【0052】

また、本変形例2，3では、例えば配線層12，16の断面形状を矩形形状で示したがこれに限定されるものではない。例えば、Y軸方向に延伸する配線層86の断面形状は、円形状、楕円形状等の他の形状で形成されていてもよい。また、本開示の記憶装置は、上記第1～第3の実施の形態および変形例1～3を各々組み合わせた構造としてもよい。

【0053】

なお、本明細書中に記載された効果は、あくまで例示であり、本開示の効果は、本明細書中に記載された効果に限定されるものではない。また、本開示内容が、本明細書中に記載された効果以外の効果を持っていてもよい。

【0054】

また、例えば、本開示は以下のような構成を取ることができる。

(1)

一方向に延伸する複数の第1の配線層と、他の方向に延伸する複数の第2の配線層と、前記複数の第1の配線層と前記複数の第2の配線層との対向領域にそれぞれ設けられた複数のメモリセルとを備え、

前記複数のメモリセルはそれぞれ、選択素子層と、記憶素子層と、前記選択素子層と前記記憶素子層との間に設けられた中間電極層とを有し、

前記選択素子層、前記記憶素子層および前記中間電極層のうちの少なくとも1つは、前記一方向または前記他の方向に延伸して隣り合う前記複数のメモリセル間における共通層となっており、

前記中間電極層は、非線形抵抗材料を含んで形成されている記憶装置。

(2)

前記中間電極層が前記共通層として形成されている、前記(1)に記載の記憶装置。

(3)

前記選択素子層が前記共通層として形成されている、前記(1)に記載の記憶装置。

(4)

前記記憶素子層が前記共通層として形成されている、前記(1)に記載の記憶装置。

(5)

前記中間電極層および前記選択素子層は、それぞれ、前記一方向または前記他の方向に延伸している、前記(1)に記載の記憶装置。

(6)

前記中間電極層および前記記憶素子層は、それぞれ、前記一方向または前記他の方向に延伸している、前記(1)に記載の記憶装置。

(7)

前記選択素子層および前記記憶素子層は、それぞれ、前記一方向または前記他の方向に延伸している、前記(1)に記載の記憶装置。

(8)

前記選択素子層、前記記憶素子層および前記中間電極層は、それぞれ、前記一方向または前記他の方向に延伸している、前記(1)に記載の記憶装置。

(9)

前記選択素子層、前記記憶素子層および前記中間電極層のうちの少なくとも2つが同一方向に延伸している、前記(1)乃至(7)のうちのいずれかに記載の記憶装置。

(10)

前記選択素子層、前記記憶素子層および前記中間電極層は同一方向に延伸している、前

10

20

30

40

50

記(1)乃至(8)のうちのいずれかに記載の記憶装置。

(11)

前記複数の第1の配線層、前記複数の第2の配線層および前記複数のメモリセルは基板上に配設され、

前記複数の第1の配線層および前記複数の第2の配線層は、前記基板に対して略水平方向に延伸している、前記(1)乃至(10)のうちのいずれかに記載の記憶装置。

(12)

前記複数の第1の配線層、前記複数の第2の配線層および前記複数のメモリセルは基板上に配設され、

前記複数の第1の配線層および前記複数の第2の配線層の一方は、前記基板に対して略垂直方向に延伸している、前記(1)乃至(10)のうちのいずれかに記載の記憶装置。

10

(13)

前記中間電極層の前記対向領域における膜厚方向の電気抵抗は、隣り合う前記複数の第1の配線層の間の非対向領域における電気抵抗よりも低い、前記(1)乃至(12)のうちのいずれかに記載の記憶装置。

(14)

前記選択素子層の膜厚は、隣り合う前記複数の第1の配線層の間の距離よりも小さい、前記(1)乃至(13)のうちのいずれかに記載の記憶装置。

(15)

前記中間電極層は、前記選択素子層および前記記憶素子層を構成する主成分元素以外の元素を含んで構成されている、前記(1)乃至(14)のうちのいずれかに記載の記憶装置。

20

(16)

前記選択素子層は、印加電圧の増加とともに抵抗が大幅に低下し、印加電圧が低い場合に高抵抗状態を呈する、前記(1)乃至(15)のうちのいずれかに記載の記憶装置。

(17)

前記記憶素子層は、相変化型メモリ素子、強誘電体メモリ素子、遷移金属酸化物または、カルコゲナイドを含む抵抗変化メモリ素子および磁気抵抗変化型メモリ素子のいずれかである、前記(1)乃至(16)のうちのいずれかに記載の記憶装置。

【0055】

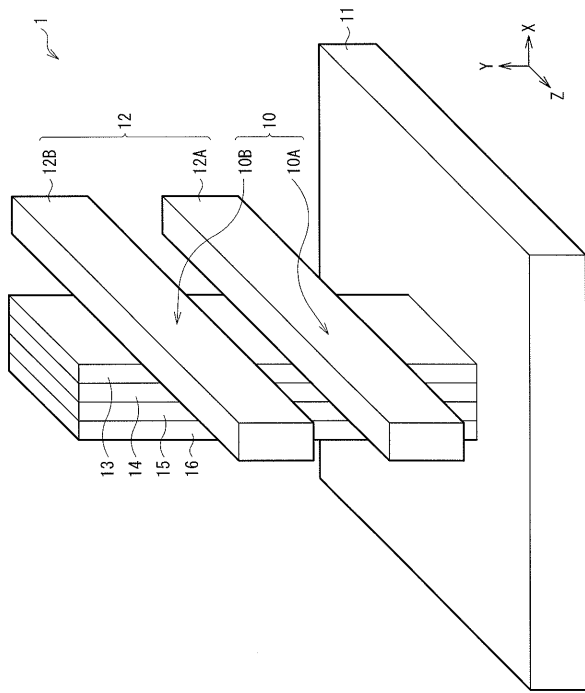
本出願は、日本国特許庁において2017年4月11日に提出された日本特許出願番号2017-078256号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

30

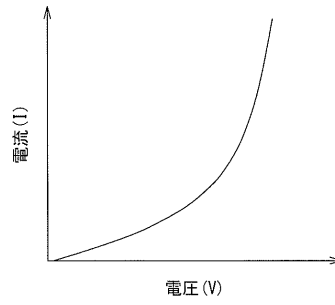
【0056】

当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

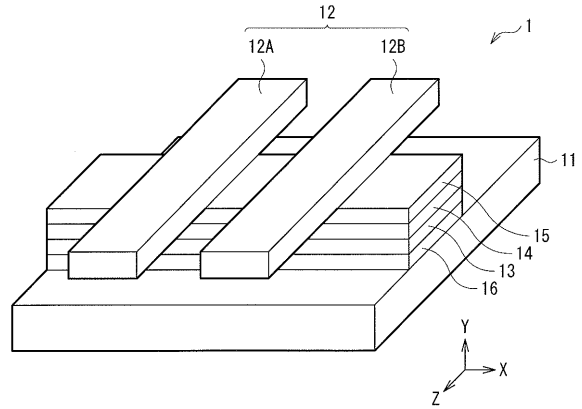
【 図 1 】



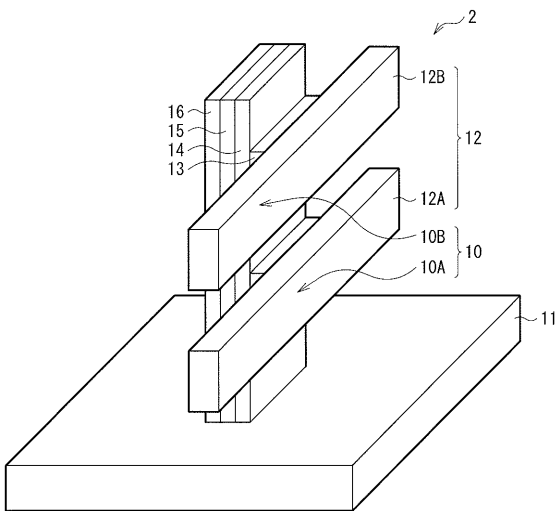
【 図 2 】



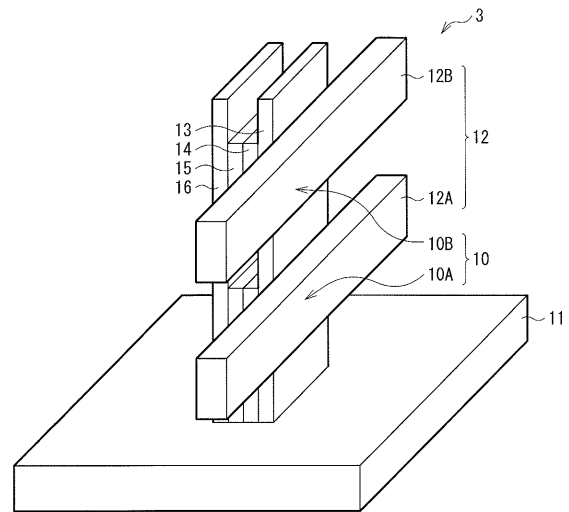
【 図 3 】



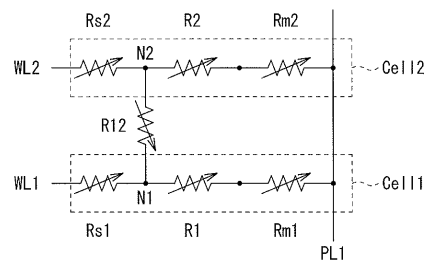
【 図 4 】



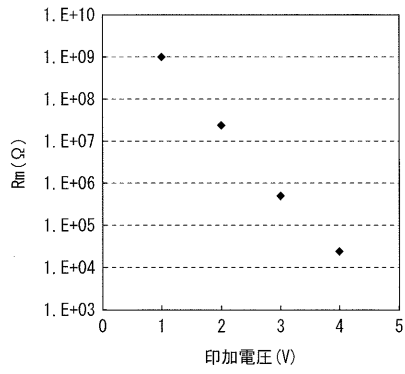
【 図 5 】



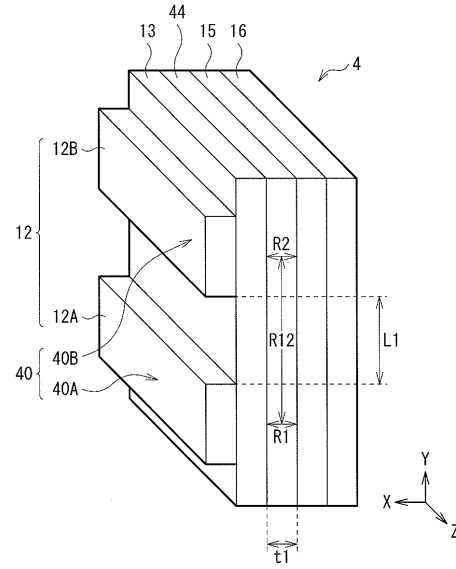
【 図 6 】



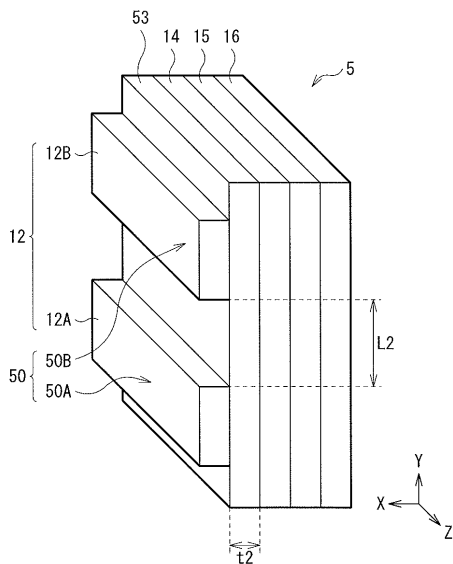
【 図 7 】



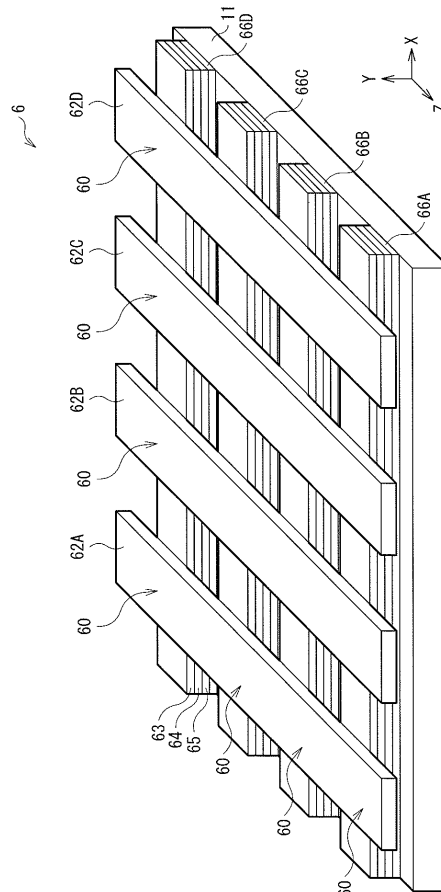
【 図 8 】



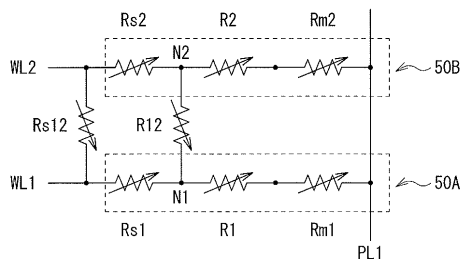
【 図 9 】



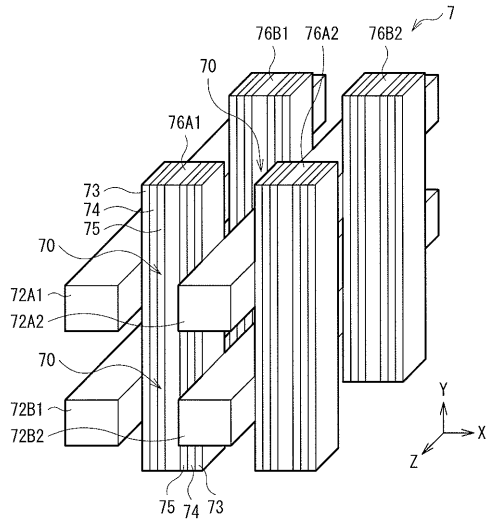
【 図 1 1 】



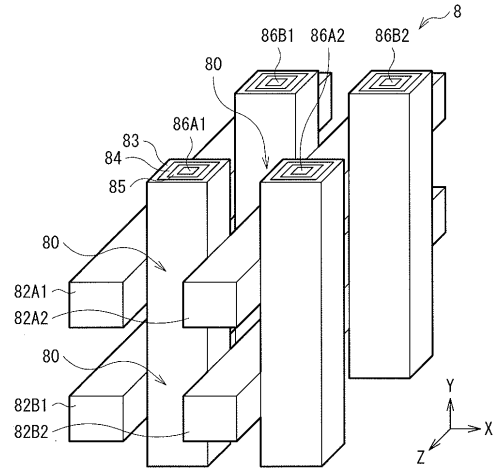
【 図 1 0 】



【 図 1 2 】



【 図 1 3 】



## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2018/010255
<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
Int.Cl. H01L21/8239 (2006.01) i, H01L27/105 (2006.01) i, H01L27/11507 (2017.01) i, H01L27/11514 (2017.01) i, H01L45/00 (2006.01) i, H01L49/00 (2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl. H01L21/8239, H01L27/105, H01L27/11507, H01L27/11514, H01L45/00, H01L49/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Published examined utility model applications of Japan		1922-1996
Published unexamined utility model applications of Japan		1971-2018
Registered utility model specifications of Japan		1996-2018
Published registered utility model applications of Japan		1994-2018
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5558090 B2 (TOSHIBA CORP.) 23 July 2014, paragraphs [0012]-[0015], [0019], [0031], [0034], fig. 1 & US 2011/0140068 A1, paragraphs [0034]- [0037], [0042], [0054], [0057], fig. 1	1-10, 12, 14-17
A		11, 13
Y	WO 2016/129306 A1 (SONY CORP.) 18 August 2016, paragraphs [0008], [0020], [0023], [0028], [0031], [0039], [0041], [0042], [0045], fig. 8F (Family: none)	1-12, 14-17
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 08 May 2018 (08.05.2018)		Date of mailing of the international search report 15 May 2018 (15.05.2018)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer  Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/010255

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2014/103577 A1 (SONY CORP.) 03 July 2014, paragraphs [0014], [0017], [0020], [0097], [0106], [0108], [0124], fig. 1, 3, 49, 50 & US 2015/0325628 A1, paragraphs [0084], [0087], [0090], [0167], [0176], [0178], [0194], fig. 1, 3, 49, 50 & CN 104871313 A	1, 4, 11, 12
A	WO 2012/001960 A1 (PANASONIC CORP.) 05 January 2012, entire text, all drawings & US 2012/0104351 A1, entire text, all drawings & CN 102473707 A	1-17
A	WO 2012/169198 A1 (PANASONIC CORP.) 13 December 2012, entire text, all drawings & US 2013/0128654 A1, entire text, all drawings	1-17

国際調査報告		国際出願番号 PCT/J P 2 0 1 8 / 0 1 0 2 5 5	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L21/8239(2006.01)i, H01L27/105(2006.01)i, H01L27/11507(2017.01)i, H01L27/11514(2017.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L21/8239, H01L27/105, H01L27/11507, H01L27/11514, H01L45/00, H01L49/00			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2018年 日本国実用新案登録公報 1996-2018年 日本国登録実用新案公報 1994-2018年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y	JP 5558090 B2 (株式会社東芝) 2014.07.23, 段落[0012] - [0015], [0019], [0031], [0034], 図1 & US 2011/0140068 A1, 段落[0034] - [0037], [0042], [0054], [0057], 図1	1-10, 12, 14-17	
A		11, 13	
Y	WO 2016/129306 A1 (ソニー株式会社) 2016.08.18, 段落[0008], [0020], [0023], [0028], [0031], [0039], [0041], [0042], [0045], 図8F (ファミリーなし)	1-12, 14-17	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの		「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」 口頭による開示、使用、展示等に言及する文献		「&」 同一パテントファミリー文献	
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日 08.05.2018		国際調査報告の発送日 15.05.2018	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 宮本 博司	5 F 6 3 1 3
		電話番号 03-3581-1101 内線 3516	

国際調査報告		国際出願番号 PCT/JP2018/010255
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2014/103577 A1 (ソニー株式会社) 2014.07.03, 段落[0014], [0017], [0020], [0097], [0106], [0108], [0124], 図 1, 3, 49, 50 & US 2015/0325628 A1, 段落[0084], [0087], [0090], [0167], [0176], [0178], [0194], 図 1, 3, 49, 50 & CN 104871313 A	1, 4, 11, 12
A	WO 2012/001960 A1 (パナソニック株式会社) 2012.01.05, 全文, 全図 & US 2012/0104351 A1, 全文, 全図 & CN 102473707 A	1-17
A	WO 2012/169198 A1 (パナソニック株式会社) 2012.12.13, 全文, 全図 & US 2013/0128654 A1, 全文, 全図	1-17

## フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(特許庁注：以下のものは登録商標)

1 . R R A M

(72)発明者 大場 和博

神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内

Fターム(参考) 4M119 AA05 DD42

5F083 FR01 FZ10 GA01 GA11 GA25 JA35 JA36 JA37 JA39 JA40

JA60 KA01

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。