



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년08월28일
 (11) 등록번호 10-1548241
 (24) 등록일자 2015년08월24일

(51) 국제특허분류(Int. Cl.)

H01L 21/20 (2006.01)

(21) 출원번호 10-2013-0169387

(22) 출원일자 2013년12월31일

심사청구일자 2013년12월31일

(65) 공개번호 10-2015-0079272

(43) 공개일자 2015년07월08일

(56) 선행기술조사문헌

KR1020090107489 A*

KR100655082 B1

KR1019970003795 A

KR1020120071802 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

(재)한국나노기술원

경기도 수원시 영통구 광교로 109, 한국나노기술원 연구벤처동 제1호(이의동)

(72) 발명자

김동현

경기 수원시 영통구 효원로 363, 117동 1301호 (매탄동, 매탄위브하늘채아파트)

고유민

경기 수원시 영통구 삼성로267번길 36, 305호 (원천동)

(뒷면에 계속)

(74) 대리인

이준성

전체 청구항 수 : 총 12 항

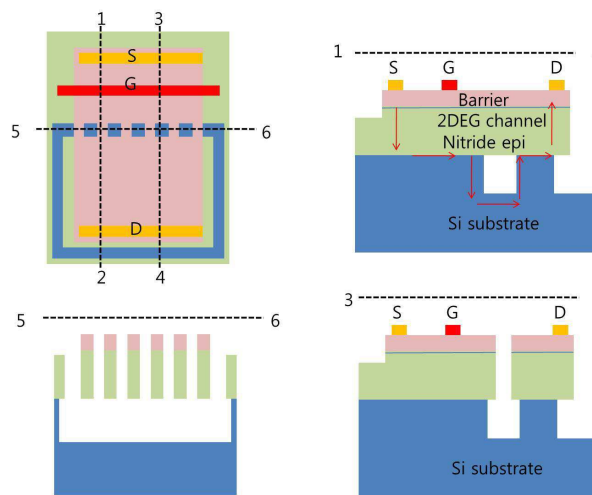
심사관 : 김종희

(54) 발명의 명칭 트렌치 구조를 가진 반도체 소자의 제조방법 및 그에 의한 반도체 소자

(57) 요약

본 발명은 반도체 소자에 관한 것으로서, 기판 상에 화합물 반도체층이 형성되는 반도체 소자의 제조방법에 있어서, 상기 반도체 소자에 트렌치 구조를 형성하기 위해 패터닝된 마스크를 준비하는 제1단계와, 상기 화합물 반도체층을 상기 패터닝된 마스크를 이용하여 기판과 화합물 반도체층의 계면까지 에칭하여 상기 기판의 표면이 노출되도록 하는 제2단계와, 상기 노출된 기판을 기판 영역에서 측면 식각을 이용하여 상기 기판과 화합물 반도체층의 계면에서 일정 깊이로 식각된 "ㅁ" 형상의 트렌치 구조를 형성하는 제3단계를 포함하여 이루어지는 것을 특징으로 하는 트렌치 구조를 가진 반도체 소자의 제조방법 및 그에 의한 반도체 소자를 기술적 요지로 한다. 이에 의해 기판에 트렌치 구조를 형성하여 기판과 화합물 반도체층의 계면에서 일정 깊이까지 기판 영역이 제거된 트렌치 구조에 의해 기생 경로를 분리시킴으로 반도체 소자의 항복 전압을 개선하는 이점이 있다.

대표도 - 도1



(72) 발명자

성호근

경기 수원시 영통구 봉영로1517번길 30, 615동
1001호 (영통동, 신나무실6단지아파트)

윤홍민

서울 강남구 개포로 516, 609동 402호 (개포동, 개
포동주공아파트)

김창환

경기 부천시 원미구 소향로 124, 806동 1102호 (중
동, 중동신도시포도마을)

박덕수

경기도 화성시 동탄숲속로 19, 893동 1004호

이 발명을 지원한 국가연구개발사업

과제고유번호 2012M3A7B5049571

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 원천기술개발사업

연구과제명 화합물반도체 기반의 나노융합소자 공정기술 개발

기 여 율 1/1

주관기관 한국나노기술원

연구기간 2012.09.01 ~ 2014.08.31

특허청구의 범위

청구항 1

기판 상에 화합물 반도체층이 형성되는 반도체 소자의 제조방법에 있어서,

상기 반도체 소자에 트렌치 구조를 형성하기 위해 패터닝된 마스크를 준비하는 제1단계;

상기 화합물 반도체층을 상기 패터닝된 마스크를 이용하여 기판과 화합물 반도체층의 계면까지 에칭하여 상기 기판의 표면이 노출되도록 하는 제2단계;

상기 노출된 기판을 기판 영역에서 측면 식각을 이용하여 상기 기판과 화합물 반도체층의 계면에서 일정 깊이로 식각된 "뾰" 형상의 트렌치 구조를 형성하는 제3단계;를 포함하여 이루어져,

상기 반도체 소자가 FET인 경우에는, 상기 "뾰" 형상의 트렌치에 의해 드레인(drain) 영역과 소스(source) 영역이 분리되는 구조를 형성하고,

상기 반도체 소자가 다이오드인 경우에는, 상기 "뾰" 형상의 트렌치에 의해 애노드(anode) 영역과 캐소드(cathode) 영역이 분리되는 구조를 형성하는 것을 특징으로 하는 트렌치 구조를 가진 반도체 소자의 제조방법.

청구항 2

제 1항에 있어서, 상기 제3단계는,

상기 기판의 수직 방향과 수평 방향에 대한 식각이 동시 또는 순차적으로 이루어지는 것을 특징으로 하는 트렌치 구조를 가진 반도체 소자의 제조방법.

청구항 3

제 1항에 있어서, 상기 "뾰" 형상의 트렌치 구조는,

상기 기판과 화합물 반도체층의 계면에서 기판 영역으로 식각되는 깊이는 0.5 μm ~50 μm 인 것을 특징으로 하는 트렌치 구조를 가진 반도체 소자의 제조방법.

청구항 4

제 1항에 있어서, 상기 제3단계 이후에,

상기 트렌치 구조는 절연체에 의해 전체적 또는 부분적으로 충전되는 공정이 더 이루어지는 것을 특징으로 하는 트렌치 구조를 가진 반도체 소자의 제조방법.

청구항 5

제 4항에 있어서, 상기 절연체 충전 공정은 평탄화 공정이 더 추가되는 것을 특징으로 하는 트렌치 구조를 가진 반도체 소자의 제조방법.

청구항 6

제 1항에 있어서, 상기 기판은 Si 기판인 것을 특징으로 하는 트렌치 구조를 가진 반도체 소자의 제조방법.

청구항 7

제 1항에 있어서, 상기 화합물 반도체층은,

질화물 반도체로 이루어진 것을 특징으로 하는 트렌치 구조를 가진 반도체 소자의 제조방법.

청구항 8

기판 상에 화합물 반도체층이 형성되며, 그 상층에 전극이 형성된 반도체 소자에 있어서,

기판과 화합물 반도체층의 계면에서 기판 영역으로 일정 깊이 식각된 "뾰" 형상의 트렌치 구조가 형성되며,

상기 반도체 소자가 FET인 경우에는, 상기 "뺨" 형상의 트랜치에 의해 드레인(drain) 영역과 소스(source) 영역이 분리되게 형성되고,

상기 반도체 소자가 다이오드인 경우에는, 상기 "뺨" 형상의 트랜치에 의해 애노드(anode) 영역과 캐소드(cathode) 영역이 분리되게 형성되는 것을 특징으로 하는 트랜치 구조를 가진 반도체 소자.

청구항 9

제 8항에 있어서, 상기 "뺨" 형상의 트랜치 구조는,

기판과 화합물 반도체층의 계면에서 식각되는 깊이는 0.5~50 μ m인 것을 특징으로 하는 트랜치 구조를 가진 반도체 소자.

청구항 10

제 8항에 있어서, 상기 트랜치 구조는,

절연체에 의해 전체적 또는 부분적으로 충전되는 것을 특징으로 하는 기판의 트랜치 구조를 가진 반도체 소자.

청구항 11

제 8항에 있어서, 상기 기판은 Si 기판인 것을 특징으로 하는 트랜치 구조를 가진 반도체 소자.

청구항 12

제 8항에 있어서, 상기 화합물 반도체층은,

질화물 반도체로 이루어진 것을 특징으로 하는 트랜치 구조를 가진 반도체 소자.

명세서

기술분야

[0001] 본 발명은 반도체 소자에 관한 것으로서, 특히 기판 영역에서 측면 식각을 이용하여 "뺨" 형상(Inverted T shape)의 트랜치 구조를 형성하여, 기판과 화합물 반도체층의 계면에서 일정 깊이까지 기판 영역이 제거된 트랜치 구조에 의해 기생 경로를 분리시킴으로 화합물 반도체 소자의 항복 전압을 개선하기 위한 트랜치 구조를 가진 반도체 소자의 제조방법 및 그에 의한 반도체 소자에 관한 것이다.

배경 기술

- [0002] 질화물 화합물 반도체는 전력 소자, RF 소자 및 광소자 응용에 유망한 특성을 보이고 있다.
- [0003] 질화물 화합물 반도체를 이용한 소자의 경우 질화물 화합물 단결정 기판 기술의 미성숙으로 인하여 이종기판에 성장되고 있으며 사파이어, SiC, Si 기판 등이 이용되고 있다.
- [0004] 특히, Si 기판은 대면적화, 공정 용이성, 가격 경쟁력, 사파이어 대비 우수한 열전도성으로 Si 기판 기반의 질화물 화합물 반도체 소자의 전력 소자, RF 소자 및 광소자 응용이 기대되고 있다.
- [0005] 전력 소자의 응용을 위해 통상적으로 Si 기판 기반 질화물 반도체 소자는 수평(planar or lateral) 구조의 FETs(Field Effect Transistors), Diodes로 구현된다.
- [0006] 이러한 전력 소자의 특성 개선 및 응용 범위의 확대를 위해서 높은 항복 전압(Breakdown Voltage / Blocking Voltage)이 필요하나, Si 기판 기반의 질화물 반도체 소자의 경우 Si 기판의 영향으로 항복 전압의 제한이 발생하고 있다. Si 기판의 영향에 의한 항복 전압 제한의 원인으로 화합물 반도체 소자층과 Si 계면에서의 기생 경로(parasitic path) 형성이 지적되고 있다.
- [0007] 질화물 반도체층의 두께를 증가시키는 경우 Si 기판 영향의 감소로 항복 전압이 증가하는 경향을 보이고 있으나 질화물 반도체층의 두께 증가는 비용 상승과 stress control의 어려움이 있다.
- [0008] US Pat. No. 7,247,889에서 Si(111) 기판에서 질화물 성장시 고온의 공정 온도에서 Al, Ga의 확산으로 질화물 반도체와 Si 계면에서 ~3 μ m 깊이로 고전도 기생 경로(high conducting parasitic channel)가 형성되며, 상기

기술에서는 Si 기판의 질화(nitridation)를 통해 Al, Ga의 확산을 억제하는 방법을 기술하였으나, 캐리어 농도(carrier concentration)가 $10^{16}/\text{cm}^3$ 수준에 2 μm 깊이의 기생 경로가 형성됨을 여전히 보이고 있다.

- [0009] 또한, Si 기판의 질화를 통해 실리콘 질화물을 형성하는 방법은 이후 질화물 반도체 성장 시 균일한 조건을 확보하는데 어려움이 있다. 또한 상기 기술의 경우 RF 적용(application)을 위해 고 저항(high resistive) 기판을 사용하고 있는데, 통상적으로 고 저항 Si 기판은 불순물의 억제를 위해 FZ 성장(growth) 방식으로 구현되며, 이는 통상적인 Si 기판을 구현하는 Cz 방식과 비교하여 대구경화, 가격 측면에서 제한이 있다.
- [0010] US 20120326215 A1에서 상기 문제의 해결을 위해 기판의 배면(backside)에서 Si 기판을 식각하여 드레인(drain) 영역을 독립화(isolation)시키는 트렌치(trench)를 형성하여, 기존의 Si 기판을 식각하지 않은 경우보다 항복 전압의 증가를 보였으며 화합물 반도체층의 두께를 증가시키지 않더라도 항복 전압이 개선됨을 보였다.
- [0011] 그러나, 이는 배면 공정의 어려움에 따른 수율 문제와 역학적/열적 안정성(mechanical/thermal stability)의 문제를 가지고 있다.
- [0012] 그리고, US 8373204 B2에서는 SOI(Silicon on Insulator) 기판에서 질화물 반도체층을 형성한 후 질화물 반도체층에서 절연층까지 트렌치(trench)를 형성한 후 다시 질화물 반도체층을 재성장시켜서 소스(source)와 드레인(drain) 영역이 트렌치에 의해 분리되어 항복 전압을 향상시킬 수 있는 내용을 공개하고 있다.
- [0013] 그러나, 이는 통상적인 Si 기판이 아닌 SOI 기판을 사용하고 다시 재성장시키는 공정을 거쳐야 하는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0014] 상기 문제점을 해결하기 위해 본 발명은, 기판 영역에서 측면 식각을 이용하여 "凸" 형상(Inverted T shape)의 트렌치 구조를 형성하여, 기판과 화합물 반도체층의 계면에서 일정 깊이까지 기판 영역이 제거된 트렌치 구조에 의해 기생 경로를 분리시킴으로 화합물 반도체 소자의 항복 전압을 개선하기 위한 트렌치 구조를 가진 반도체 소자의 제조방법 및 그에 의한 반도체 소자의 제공을 그 목적으로 한다.

과제의 해결 수단

- [0015] 상기 목적을 달성하기 위해 본 발명은, 기판 상에 화합물 반도체층이 형성되는 반도체 소자의 제조방법에 있어서, 상기 반도체 소자에 트렌치 구조를 형성하기 위해 패터닝된 마스크를 준비하는 제1단계와, 상기 화합물 반도체층을 상기 패터닝된 마스크를 이용하여 기판과 화합물 반도체층의 계면까지 에칭하여 상기 기판의 표면이 노출되도록 하는 제2단계와, 상기 노출된 기판을 기판 영역에서 측면 식각을 이용하여 상기 기판과 화합물 반도체층의 계면에서 일정 깊이로 식각된 "凸" 형상의 트렌치 구조를 형성하는 제3단계를 포함하여 이루어지는 것을 특징으로 하는 트렌치 구조를 가진 반도체 소자의 제조방법 및 그에 의한 반도체 소자를 기술적 요지로 한다.
- [0016] 또한, 상기 제3단계는, 상기 기판의 수직 방향과 수평 방향에 대한 식각이 동시 또는 순차적으로 이루어지는 것이 바람직하다.
- [0017] 또한, 상기 "凸" 형상의 트렌치 구조는, 상기 기판과 화합물 반도체층의 계면에서 기판 영역으로 식각되는 깊이는 0.5 μm ~50 μm 인 것이 바람직하다.
- [0018] 또한, 상기 제3단계 이후에, 상기 트렌치 구조는 절연체에 의해 전체적 또는 부분적으로 충전되는 공정이 더 이루어지며, 상기 절연체 충전 공정은 평탄화 공정이 더 추가되는 것이 바람직하다.
- [0019] 또한, 상기 기판은 Si 기판을 사용하며, 상기 화합물 반도체층은, 질화물 반도체로 이루어진 것이 바람직하다.

발명의 효과

- [0020] 본 발명은 반도체 소자에 있어서, 화합물 반도체층과 기판 계면에서의 기생 경로(parasitic path) 형성으로 항복 전압이 제한되는 점을 해결하기 위해, 통상적인 반도체 공정 및 기판 공정에 사용되는 프론트(front) 공정에서 측면 식각을 이용한 "凸" 형상(Inverted T shape)의 트렌치 구조를 형성하여 기판과 화합물 반도체층의 계면에서 일정 깊이까지 기판 영역이 제거된 트렌치 구조에 의해 기생 경로를 분리시킴으로 반도체 소자의 항복 전압을 개선하는 효과가 있다.

[0021] 또한, 본 발명은, 기판의 패터닝과 재성장 등이 필요하지 않기에 통상적인 에피 구조에 적용이 가능하며, 통상적인 반도체 소자(질화물 반도체층) 공정 및 Si 공정에 사용되는 프런트(front) 공정에서 트렌치를 형성함으로써 공정이 용이하며 기존 질화물 반도체 소자 공정 적용에 용이한 효과가 있다.

[0022] 또한, 본 발명은, 프런트에서 트렌치를 형성하면서 측면 식각을 이용하여 기판과 화합물 반도체층의 계면에서 일정 깊이까지만 기판 영역이 제거되는 방식으로 기생 경로를 분리시킴으로써, 배면 공정에 의한 트렌치(backside trench)와 비교하여 공정 시간 단축과 공정의 용이함에 따른 공정 비용을 절감시키며, 기판 영역의 일부만 제거되는 트렌치를 형성함으로써 역학적 안정성(mechanical stability)과 열적 안정성(thermal stability)의 개선도 기대된다.

도면의 간단한 설명

[0023] 도 1 ~ 도 6 - 본 발명의 실시예 1에 따른 모식도.

도 7, 도 8 - 본 발명의 실시예 2에 따른 모식도.

발명을 실시하기 위한 구체적인 내용

[0024] 본 발명은 기판 상에 화합물 반도체층이 형성된 반도체 소자에 있어서, 프런트(front) 공정에 의해 기판과 화합물 반도체층의 계면에서 일정 깊이까지 기판 영역이 제거된 트렌치 구조를 형성하여 기판 계면에서의 기생 경로(parasitic path)를 분리시킴으로써 반도체 소자의 항복 전압을 개선하고자 하는 것이다.

[0025] 이하에서는 첨부된 도면을 참조하여 본 발명에 대해 설명하고자 한다.

[0026] 본 발명에 따른 트렌치 구조를 가진 반도체 소자는, 기판 상에 화합물 반도체층이 형성되는 반도체 소자의 제조 방법에 있어서, 상기 반도체 소자에 트렌치 구조를 형성하기 위해 패터닝된 마스크를 준비하는 제1단계와, 상기 화합물 반도체층을 상기 패터닝된 마스크를 이용하여 기판과 화합물 반도체층의 계면까지 에칭하여 상기 기판의 표면이 노출되도록 하는 제2단계와, 상기 노출된 기판을 기판 영역에서 측면 식각을 이용하여 상기 기판과 화합물 반도체층의 계면에서 일정 깊이로 식각된 "凸" 형상의 트렌치 구조를 형성하는 제3단계에 의해 제작된다.

[0027] 여기에서, 반도체 소자가 FET 반도체 소자인 경우에는 본 발명에 따른 트렌치 구조에 의해 드레인(drain) 영역과 소스(source) 영역이 기판과 화합물 반도체층의 계면에서 일정 깊이까지 기판 영역이 제거된 트렌치에 의해 분리되는 구조를 형성하여 드레인 영역이 트렌치에 의해 둘러싸이는 구조를 형성하게 된다(도 1, 도 2).

[0028] 그리고, 반도체 소자가 다이오드 반도체 소자인 경우에는 본 발명에 따른 트렌치 구조에 의해 애노드(anode) 영역과 캐소드(cathode) 영역이 기판과 화합물 반도체층의 계면에서 일정 깊이까지 기판 영역이 제거된 트렌치에 의해 분리되는 구조를 형성하여 애노드 영역 또는 캐소드 영역이 트렌치에 의해 둘러싸이는 구조를 형성한다(도 7, 도 8).

[0029] 상기 반도체 소자에 트렌치 구조를 형성하기 위해 소정 패턴이 형성된 마스크를 준비한다. 패터닝된 마스크를 상기 화합물 반도체층 상에 위치시킨 후 패터닝된 마스크를 이용하여 드라이 에칭(dry etch) 방식으로 기판과 화합물 반도체층의 계면까지 에칭하여 상기 기판의 표면이 노출되도록 한다.

[0030] 그 다음, 상기 노출된 기판을 식각하여 기판과 화합물 반도체층의 계면에서 일정 깊이로 식각하여 기판의 측면에서 보면 "凸" 형상을 이루는 트렌치 구조를 형성하게 된다.

[0031] 즉, 상기 화합물 반도체층의 에칭 후, 다시 기판을 에칭하게 되는데, 이 때 기판의 에칭은 기판의 수직(vertical) 방향과 함께 수평(lateral) 방향으로 진행하도록 조절한다.

[0032] 여기에서, 상기 기판의 에칭은 드라이 에칭(dry etch) 공정을 이용하는 것이 바람직하다. 드라이 에칭 공정에서 플루오린(fluorine) 계열의 가스를 이용하여 수직 방향과 함께 수평 방향으로 기판이 에칭되도록 하는 것이다. 이 때 기판의 에칭은 수직 방향과 함께 수평 방향이 동시에 에칭되도록 하거나, 수직 방향으로 일정 깊이까지 진행된 후 수평 방향으로 진행하도록 또는 반대 방향으로 순차적으로 에칭되도록 할 수도 있다.

[0033] 본 발명에 따른 트렌치 제조 공정은 통상적인 수평형 화합물 반도체 소자 공정 중간에 삽입될 수 있으며 후속 공정의 용이성에 따라 선택될 수 있다. 또한, 상기 트렌치는 후속 공정을 통해 절연체에 의해 부분적으로나 혹은 전체적으로 채워질 수 있다.

- [0034] 이와 같이 본 발명은 통상적인 반도체 소자의 제조공정에서 사용되는 프런트(front) 공정에서 측면 식각을 이용한 "뾰" 형상(Inverted T shape)의 트렌치 구조를 형성하여, 기판과 화합물 반도체층의 계면에서 일정 깊이까지 기판 영역이 제거된 트렌치 구조에 의해 기생 경로를 분리시킴으로 화합물 반도체 소자의 항복 전압을 개선하고자 하는 것이다.
- [0035] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예에 대해 설명하고자 한다. 본 발명의 실시예에서의 기판은 Si, 화합물 반도체층은 질화물 반도체층을 사용한다. 상기 질화물 반도체층은 $Al_{1-x}In_{1-x-y}Ga_{1-x-z}N$ ($0 \leq x, y, z \leq 1, x+y+z=1$)의 적층 구조로 구현되거나 상기 구조만으로 한정되지 않으며 Si, Ge, Mg, Fe, C 등의 doping이나 SiN, BN, SiC, SiCN, ZnO, Al_2O_3 등의 부가적인 층이 형성될 수도 있으며 기타의 도펀트(dopant)나 부가적인 층이 형성될 수 있다.
- [0036] **실시예 1) FET**
- [0037] Si 기판 위에 성장된 질화물 반도체층(질화물 에피층, III-Nitride semiconductor)에 아이솔레이션(isolation) 공정과 전극(ohmic) 형성 공정을 진행한다. 아이솔레이션(isolation) 공정과 전극(ohmic) 형성 공정 순서는 각 공정 선택에 따라 순서가 바뀌어 질 수 있다. 게이트(gate) 혹은 쇼트키(schottky) 전극을 형성한 후 게이트와 드레인(drain) 영역 사이에서 Si/질화물 에피층의 계면에서 일정 깊이까지 Si 영역이 제거된 트렌치를 형성하여 드레인 영역이 Si/질화물 에피층의 계면에서 일정 깊이까지 Si 영역이 제거된 트렌치에 의해 둘러싸이는 구조를 형성한다.(도 1)
- [0038] 트렌치 형성은 질화물 에피층을 마스크 패터닝을 이용하여 질화물 에피층을 제거하여 Si 표면이 드러나도록 하고(도 2(a)), 노출된 Si를 드라이 에칭하여 트렌치를 형성하게 된다(도 2(b)). 이 경우 추가적인 마스크 패터닝이 수행될 수 있으며 트렌치 형성은 등방(isotropic) 혹은 수직 방향 및 수평 방향으로의 에칭을 통해 Si/질화물 에피층의 계면에서 일정 깊이까지 Si 영역이 제거된 "뾰" 형상(Inverted T shape)의 트렌치 구조를 형성하게 된다.
- [0039] 트렌치 형성은 수직(vertical) 방향과 동시에 수평(lateral) 방향으로 1step으로 형성할 수도 있으며 수직 방향으로 형성한 후 수평 방향으로 진행되는 2step으로 형성할 수도 있다.
- [0040] 또한, 트렌치 형성은 질화물 반도체($AlN, GaN, AlGaN$)의 경우 Si 에칭에 사용되는 플루오린(Fluorine) 계열의 가스에 대해 에칭 저항성(etch resistivity)이 크기 때문에 에칭 프로파일 제어(etch profile control), 활성층의 저하(degradation) 영향 억제 측면에서 드라이 에칭 방식이 바람직하나 습식 식각(wet etch) 또한 사용될 수 있다.
- [0041] 수직 방향의 트렌치 오픈 패턴(trench open pattern) 형성은 활성 영역(active area)의 효율, 공정 용이성, 소자 안정성, 절연체의 충전(filling) 향상과 평탄화 공정의 용이성 등을 고려하여 도면에 예시된 여러 예와 이의 결합으로 구현할 수 있으며 상기 예시된 예로만 국한되지 않는다.(도 3, 도 4) 트렌치 오픈 패턴의 모양 또한 사각형, 육각형, 원형, 타원형 등 다양한 형상으로 구현할 수 있다.
- [0042] 또한, 트렌치에 의해 제거되는 Si 기판의 두께는 적용 목적(application)에 따라 $0.5\mu m \sim 50\mu m$ 정도이며 바람직하게는 $1\mu m \sim 30\mu m$ 정도로 구현할 수 있다. 트렌치의 길이(length) 또한 적용 목적(application) 및 제거되는 Si 기판의 두께, 레이아웃(layout)에 따라 조정되며, 트렌치의 오픈닝 폭(trench opening width)은 Si이 제거되는 수평 에칭 거리(lateral etch distance), 트렌치에 의해 제거되는 Si 기판의 두께, 절연체의 충전 향상과 평탄화 공정 등을 고려하여 조정되며 이는 상기 분야에 종사하는 이들이 용이하게 조절할 수 있는 부분이다.
- [0043] 상기 트렌치는 후속 공정을 통해 절연체에 의해 부분적으로나 혹은 전체적으로 채워질 수 있다.(도 5, 도 6) 절연체 형성의 경우 노출된 Si 영역을 SiO_2 로 바꾸거나 수평 에칭(lateral etch)에 의해 질화물 에피층에 의해 수직 방향으로 막혀 있는 영역의 절연체 형성을 위해 스텝 커버리지(step coverage)가 좋은 ALD 공정등을 이용하여 형성할 수 있다.
- [0044] 또한 복수의 절연층을 이용하여 질화물 에피층 아래의 Si 영역이 제거된 영역의 충전(filling)을 향상시킬 수 있다. 예를 들어 ALD 공정을 이용하여 절연층을 형성한 후 CVD 공정을 이용하여 절연층을 형성하고 spin on glass 등을 통해 트렌치의 충진을 개선할 수 있다. 또한 후속 공정 진행 시 리소그래피(lithography) 공정이나

금속 패드(metal pad) 혹은 추가적인 층(layer)의 형성을 용이하기 위해 상기 절연층 형성 공정은 평탄화 공정이 추가될 수 있다. 이 경우 평탄화 공정은 복수의 절연층의 드라이 에칭 저항성(dry etch selectivity)을 이용한 절연체 형성, 에치백(etch back) 공정의 복수 수행에 의해 이루어 질 수 있으며 CMP 공정 등을 이용할 수도 있다.

[0045]

[0046]

실시예 2) Diode

[0047]

Si 기판 위에 성장된 질화물 반도체층(질화물 에피층, III-Nitride semiconductor)에 아이솔레이션(isolation) 공정과 캐소드(cathode) 형성 공정을 진행한다. 아이솔레이션(isolation) 공정과 캐소드 형성 공정 순서는 각 공정 선택에 따라 순서가 바뀌어 질 수 있다. 애노드(anode) 혹은 쇼트키(schottky) 전극을 형성한 후 애노드(anode)와 캐소드(cathode) 영역 사이에서 Si/질화물 에피층의 계면에서 일정 깊이까지 Si 영역이 제거된 트렌치를 형성하여 애노드 또는 캐소드 영역이 Si/질화물 에피층의 계면에서 일정 깊이까지 Si 영역이 제거된 트렌치에 의해 둘러싸이는 구조를 형성한다.(도 7, 도 8)

[0048]

트렌치 형성은 비활성화(inactive) 영역에서 질화물 에피층을 마스크 패터닝을 이용하여 질화물 에피층을 제거하여 Si 표면이 드러나도록 하고, 노출된 Si를 드라이 에칭하여 트렌치를 형성하게 된다. 이 경우 추가적인 마스크 패터닝이 수행될 수 있으며 트렌치 형성은 등방(isotropic) 혹은 수직 방향 및 수평 방향으로의 에칭을 통해 Si/질화물 에피층의 계면에서 일정 깊이까지 Si 영역이 제거된 "뾰" 형상(Inverted T shape)의 트렌치 구조를 형성하게 된다.

[0049]

트렌치 형성은 수직(vertical) 방향과 동시에 수평(lateral) 방향으로 1step으로 형성할 수도 있으며 수직 방향으로 형성한 후 수평 방향으로 진행되는 2step으로 형성할 수도 있다.

[0050]

또한, 트렌치 형성은 질화물 반도체(AlN, GaN, AlGaN)의 경우 Si 에칭에 사용되는 플루오린(Fluorine) 계열의 가스에 대해 에칭 저항성(etch resistivity)이 크기 때문에 에칭 프로파일 제어(etch profile control), 활성층의 저하(degradation) 영향 억제 측면에서 드라이 에칭 방식이 바람직하나 습식 식각(wet etch) 또한 사용될 수 있다.

[0051]

수직 방향의 트렌치 오픈 패턴(trench open pattern) 형성은 활성 영역(active area)의 효율, 공정 용이성, 소자 안정성, 절연체의 충전(filling) 향상과 평탄화 공정의 용이성 등을 고려하여 도면에 예시된 여러 예와 이의 결합으로 구현할 수 있으며 상기 예시된 예로만 국한되지 않는다.(도 7, 도 8) 트렌치 오픈 패턴의 모양 또한 사각형, 육각형, 원형, 타원형 등 다양한 형상으로 구현할 수 있다.

[0052]

또한, 트렌치에 의해 제거되는 Si 기판의 두께는 적용 목적(application)에 따라 0.5 μ m~50 μ m 정도이며 바람직하게는 1 μ m~30 μ m 정도로 구현할 수 있다. 트렌치의 길이(length) 또한 적용 목적(application) 및 제거되는 Si 기판의 두께, 레이아웃(layout)에 따라 조정되며, 트렌치의 오픈 폭(trench opening width)은 Si이 제거되는 수평 에칭 거리(lateral etch distance), 트렌치에 의해 제거되는 Si 기판의 두께, 절연체의 충전 향상과 평탄화 공정 등을 고려하여 조정되며 이는 상기 분야에 종사하는 이들이 용이하게 조절할 수 있는 부분이다.

[0053]

상기 트렌치는 후속 공정을 통해 절연체에 의해 부분적으로나 혹은 전체적으로 채워질 수 있다. 절연체 형성의 경우 노출된 Si 영역을 SiO₂로 바꾸거나 수평 에칭(lateral etch)에 의해 질화물 에피층에 의해 수직 방향으로 막혀 있는 영역의 절연체 형성을 위해 스텝 커버리지(step coverage)가 좋은 ALD 공정등을 이용하여 형성할 수 있다.

[0054]

또한 복수의 절연층을 이용하여 질화물 에피층 아래의 Si 영역이 제거된 영역의 충전(filling)을 향상시킬 수 있다. 예를 들어 ALD 공정을 이용하여 절연층을 형성한 후 CVD 공정을 이용하여 절연층을 형성하고 spin on glass 등을 통해 트렌치의 충진을 개선할 수 있다. 또한 후속 공정 진행 시 리소그래피(lithography) 공정이나 금속 패드(metal pad) 혹은 추가적인 층(layer)의 형성을 용이하기 위해 상기 절연층 형성 공정은 평탄화 공정이 추가될 수 있다. 이 경우 평탄화 공정은 복수의 절연층의 드라이 에칭 저항성(dry etch selectivity)을 이용한 절연체 형성, 에치백(etch back) 공정의 복수 수행에 의해 이루어 질 수 있으며 CMP 공정 등을 이용할 수도 있다.

[0055]

본 발명이 실시예는 Si 기판 위에 성장된 질화물 반도체층에 FET, Diodes를 구현하는 예를 들고 있으나, 질화물

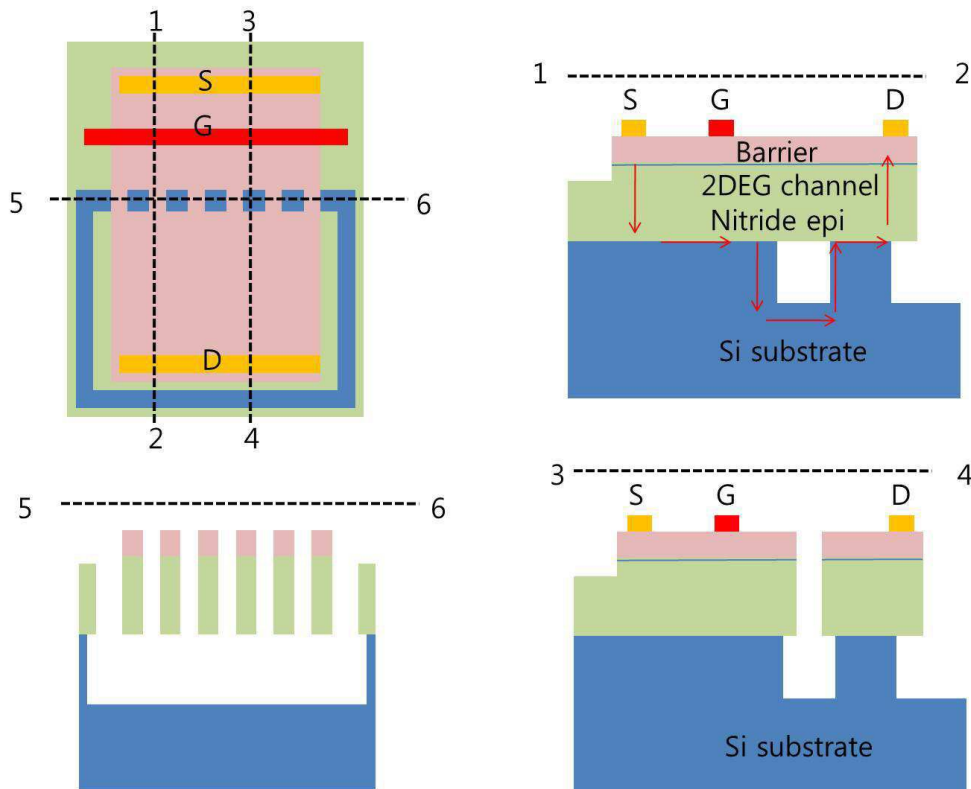
반도체층에 한정되지 않으며 Si 기판 위에 성장된 아세나이드(As), 안티모나이드(antimonide), 포스파이트(phosphite) 등 III-V족 화합물 반도체층에도 누설 전류 억제에 이용될 수 있다.

[0056]

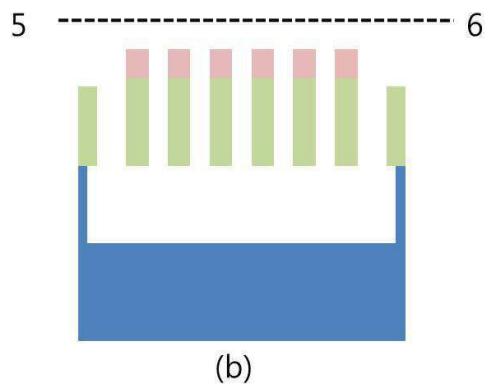
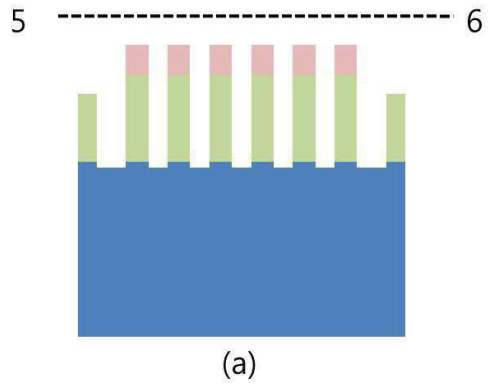
기본적으로 III-V 화합물 반도체 구현에 필요한 III족 소스(source)와 V족 소스의 경우 확산(diffusion)을 통해, 각각 Si 기판에 p형 도판트(dopant)와 n형 도판트(dopant)로 작용하기 때문에 III-V 화합물 반도체층과 Si 기판 사이에 기생 채널(parasitic channel)이 형성되며, 상기 기생 채널에 의한 누설 전류는 상기의 실시예에서 기술한 트렌치의 구현에 의해 억제될 수 있다.

도면

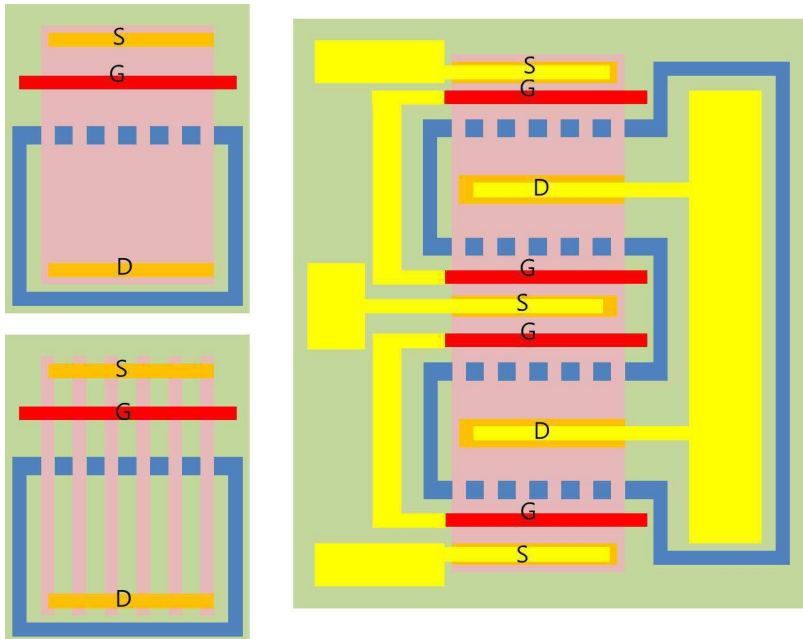
도면1



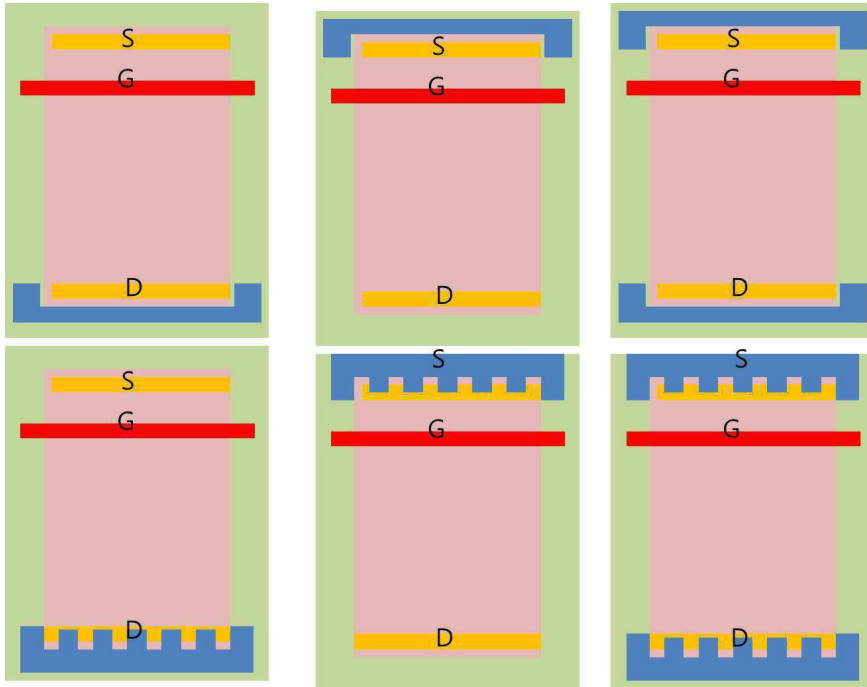
도면2



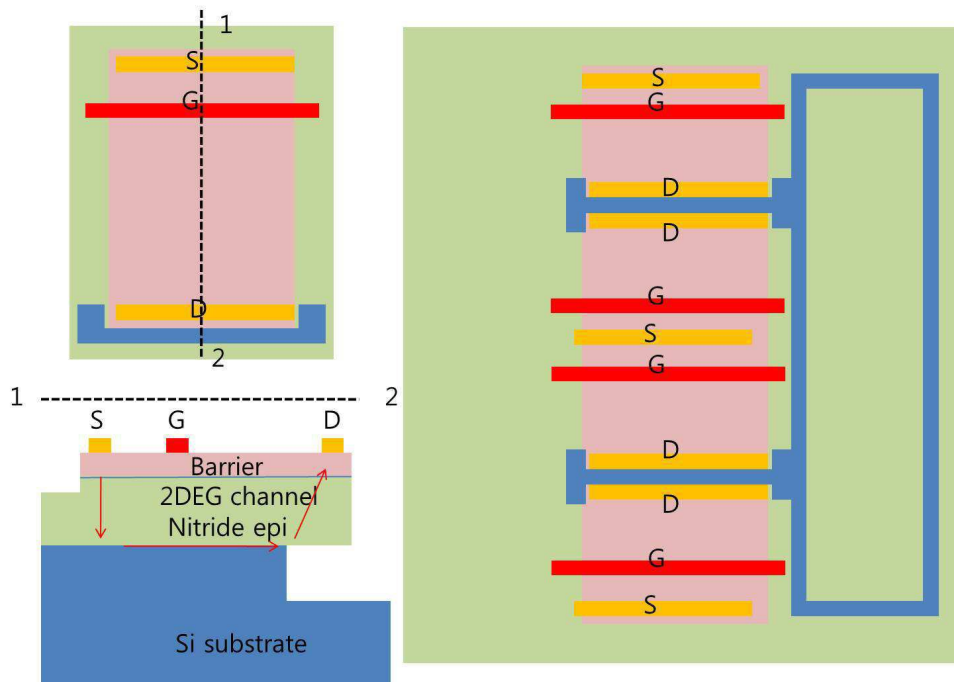
도면3



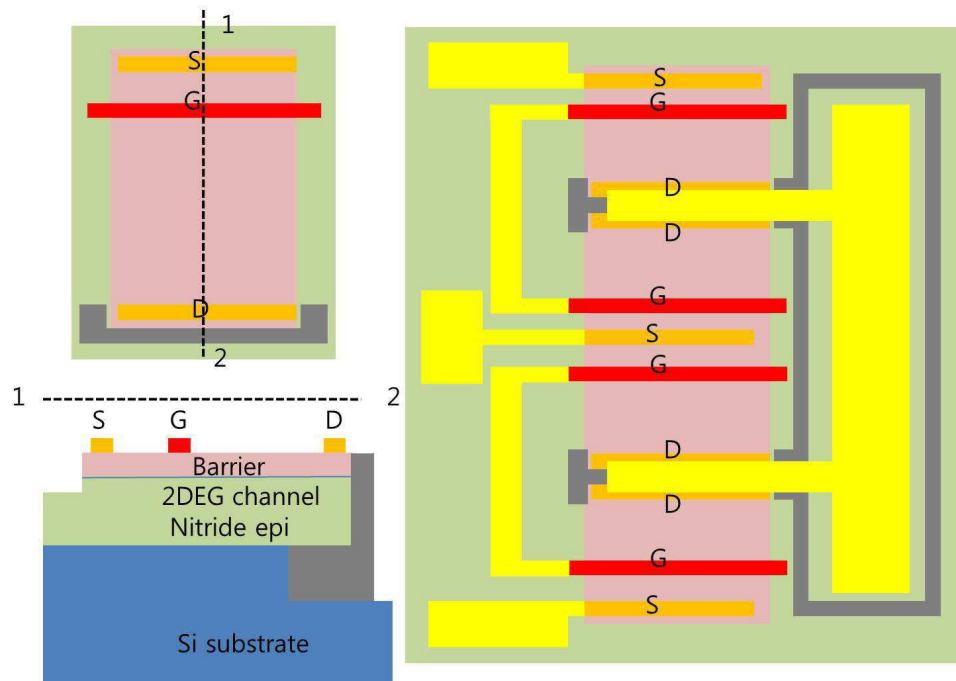
도면4



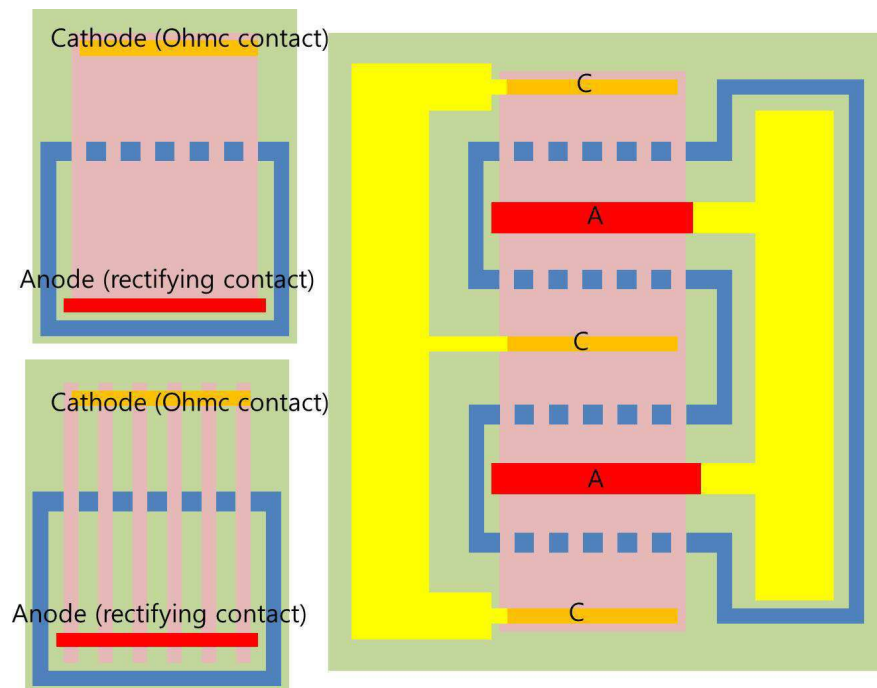
도면5



도면6



도면7



도면8

