

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-9820

(P2008-9820A)

(43) 公開日 平成20年1月17日(2008.1.17)

(51) Int. Cl.

G05F 1/56 (2006.01)

F I

G05F 1/56 310K

G05F 1/56 310A

G05F 1/56 310N

テーマコード (参考)

5H430

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願2006-180977 (P2006-180977)

(22) 出願日 平成18年6月30日(2006.6.30)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(71) 出願人 591049893

株式会社 沖マイクロデザイン

宮崎県宮崎郡清武町大字木原7083番地

(74) 代理人 100086807

弁理士 柿本 恭成

(72) 発明者 池田 淳一

宮崎県宮崎郡清武町大字木原7083番地

株式会社沖マイクロデザイン内

Fターム(参考) 5H430 BB03 BB05 BB09 BB11 CC06

EE06 EE09 FF01 FF13 GG08

HH03 JJ07 KK03 KK16

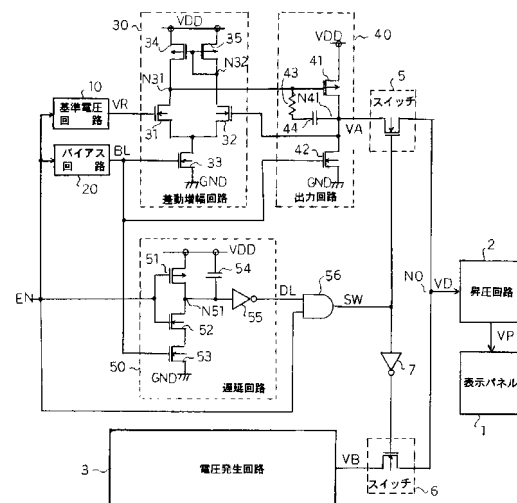
(54) 【発明の名称】 電圧レギュレータ

(57) 【要約】

【課題】出力電圧を切り替えた時に安定した電圧を出力することができる電圧レギュレータを提供する。

【解決手段】制御信号ENが“H”になると、基準電圧回路10で基準電圧VRが生成され、バイアス回路20ではバイアス電圧BLが生成される。差動増幅回路30と出力回路40では、基準電圧VRとバイアス電圧BLに基づいて出力電圧VAが生成される。一方、遅延回路50では、バイアス電圧BLによって動作が制御され、制御信号ENを遅延させた遅延信号DLが出力される。制御信号ENと遅延信号DLは、AND56で論理積がとられて切替信号SWが生成され、スイッチ5が制御される。これにより、出力電圧VAが安定した適切なタイミングで、出力ノードNOの電圧を切り替えることができる。

【選択図】図1



本発明の実施例1の電圧レギュレータ

## 【特許請求の範囲】

## 【請求項 1】

第 1 または第 2 の出力電圧を指定する制御信号によって第 1 の出力電圧が指定されたときに、動作制御用のバイアス電圧を生成すると共に基準電圧と該バイアス電圧に基づいて該基準電圧に対応した前記第 1 の出力電圧を生成する第 1 の電圧発生回路と、

第 2 の出力電圧を生成する第 2 の電圧発生回路と、

前記バイアス電圧によって動作が制御され、前記制御信号を遅延させて遅延信号を出力する遅延回路と、

前記制御信号によって第 1 の出力電圧が指定され、かつ前記遅延信号によって第 1 の出力電圧が指定されたときに、前記第 1 の電圧発生回路で生成された前記第 1 の出力電圧を出力ノードに出力し、それ以外ときには前記第 2 の電圧発生回路で生成された前記第 2 の出力電圧を該出力ノードに出力するスイッチ回路とを、

備えたことを特徴とする電圧レギュレータ。

## 【請求項 2】

前記第 1 の電圧発生回路の出力側に設けられ、前記制御信号によって前記第 1 の出力電圧が指定された後、前記遅延信号によって該第 1 の出力電圧が指定されるまでの間、該第 1 の電圧発生回路からの負荷電流を流す負荷電流回路を有することを特徴とする請求項 1 記載の電圧レギュレータ。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、一定の電圧を出力する電圧レギュレータ、特に切り替え時の出力電圧安定化に関するものである。

## 【背景技術】

## 【0002】

図 2 は、従来の電圧レギュレータの構成図である。

この電圧レギュレータは、表示パネル 1 に与える昇圧電圧  $V_P$  を生成する昇圧回路 2 に対して表示用の駆動電圧  $V_D$  を供給するもので、出力電圧  $V_B$  を発生する電圧発生回路 3 と、出力電圧  $V_A$  を発生するための基準電圧回路 10、バイアス回路 20、差動増幅回路 30 及び出力回路 40 を有している。電圧発生回路 3 と出力回路 40 の出力側は、それぞれスイッチ 5, 6 を介して出力ノード  $N_O$  に接続されている。スイッチ 5 は、制御信号  $E_N$  で制御され、スイッチ 6 は、インバータ 7 で反転された制御信号  $E_N$  で制御されるようになっている。

## 【0003】

基準電圧回路 10 は、制御信号  $E_N$  で動作が許可されたときに基準電圧  $V_R$  を生成して出力するものである。また、バイアス回路 20 は、制御信号  $E_N$  で動作が許可されたときに、差動増幅回路 30 と出力回路 40 に所定の電流を流すためのバイアス電圧  $B_L$  を出力するものである。

## 【0004】

差動増幅回路 30 は、基準電圧回路 10 から与えられる基準電圧  $V_R$  と出力回路 40 の出力電圧  $V_A$  との差を増幅してこの出力回路 40 を制御することにより、出力電圧  $V_A$  が基準電圧  $V_R$  と同じ電圧になるように制御するものである。差動増幅回路 30 は、それぞれのゲートに基準電圧  $V_R$  と出力電圧  $V_A$  が与えられる  $N$  チャネル MOS トランジスタ (以下、「 $NMOS$ 」という) 31, 32 を有し、これらの  $NMOS$  31, 32 のソースが、バイアス電圧  $B_L$  で制御される  $NMOS$  33 を介して接地電位  $GND$  に接続されている。 $NMOS$  31, 32 のドレインは、それぞれノード  $N_{31}$ ,  $N_{32}$  に接続されている。

## 【0005】

ノード  $N_{31}$ ,  $N_{32}$  は、それぞれ  $P$  チャネル MOS トランジスタ (以下、「 $PMOS$ 」という) 34, 35 を介して電源電位  $V_{DD}$  に接続され、これらの  $PMOS$  34, 35 のゲートが、ノード  $N_{32}$  に接続されている。

10

20

30

40

50

## 【 0 0 0 6 】

出力回路 4 0 は、出力電圧 V A が出力されるノード N 4 1 と電源電位 V D D の間に接続され、ゲートがノード N 3 1 に接続された P M O S 4 1 と、このノード N 4 1 と接地電位 G N D の間に接続され、ゲートにバイアス電圧 B L が与えられる N M O S 4 2 を有している。また、ノード N 4 1 とノード N 3 1 の間は、直列接続された位相補償用の抵抗 4 3 とキャパシタ 4 4 で接続されている。

## 【 0 0 0 7 】

この電圧レギュレータでは、制御信号 E N がレベル “ L ” (接地電位 G N D ) のとき、基準電圧回路 1 0 とバイアス回路 2 0 の動作は停止され、このバイアス回路 2 0 から出力されるバイアス電圧 B L も “ L ” となる。これにより、N M O S 3 3 , 4 2 はオフ状態となり、差動増幅回路 3 0 と出力回路 4 0 の動作も停止する。更に、“ L ” の制御信号 E N により、スイッチ 5 はオフとなり、スイッチ 6 はオンとなる。これにより、電圧発生回路 3 の出力電圧 V B が、スイッチ 6 を介して出力ノード N O に、駆動電圧 V D として出力される。

10

## 【 0 0 0 8 】

制御信号 E N がレベル “ H ” (電源電位 V D D ) のとき、基準電圧回路 1 0 とバイアス回路 2 0 が動作し、このバイアス回路 2 0 から出力されるバイアス電圧 B L によって差動増幅回路 3 0 と出力回路 4 0 は動作状態となる。更に、“ H ” の制御信号 E N により、スイッチ 5 はオンとなり、スイッチ 6 はオフとなる。これにより、出力回路 4 0 の出力電圧 V A が、スイッチ 5 を介して出力ノード N O に、駆動電圧 V D として出力される。

20

## 【 0 0 0 9 】

【特許文献 1】特開 2 0 0 2 - 9 1 5 7 5 号公報

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 1 0 】

しかしながら、前記電圧レギュレータでは、次のような課題があった。

制御信号 E N を “ L ” から “ H ” に切り替えたとき、スイッチ 5 , 6 は直ちに応答し、スイッチ 5 がオンとなりスイッチ 6 はオフとなる。これにより、電圧発生回路 3 からの出力ノード N O に出力されていた出力電圧 V B は直ちに遮断される。一方、出力回路 4 0 から出力される出力電圧 V A は、基準電圧回路 1 0 、バイアス回路 2 0 及び差動増幅回路 3 0 の動作が安定するまで正常な電圧とはなっていない。このため、切り替え直後に出力ノード N O に不安定な電圧が出力され、表示パネル 1 の表示品質が低下する。

30

## 【 0 0 1 1 】

本発明は、出力電圧を切り替えた時に安定した電圧を出力することができる電圧レギュレータを提供することを目的としている。

【課題を解決するための手段】

## 【 0 0 1 2 】

本発明の電圧レギュレータは、第 1 または第 2 の出力電圧を指定する制御信号によって第 1 の出力電圧が指定されたときに、動作制御用のバイアス電圧を生成すると共に基準電圧と該バイアス電圧に基づいて該基準電圧に対応した前記第 1 の出力電圧を生成する第 1 の電圧発生回路と、第 2 の出力電圧を生成する第 2 の電圧発生回路と、前記バイアス電圧によって動作が制御され、前記制御信号を遅延させて遅延信号を出力する遅延回路と、前記制御信号によって第 1 の出力電圧が指定され、かつ前記遅延信号によって第 1 の出力電圧が指定されたときに、前記第 1 の電圧発生回路で生成された前記第 1 の出力電圧を出力ノードに出力し、それ以外ときには前記第 2 の電圧発生回路で生成された前記第 2 の出力電圧を該出力ノードに出力するスイッチ回路とを備えたことを特徴としている。

40

【発明の効果】

## 【 0 0 1 3 】

本発明では、制御信号で第 1 の出力電圧が指定されたときに、動作制御用のバイアス電圧を生成し、このバイアス電圧と基準電圧に基づいて第 1 の出力電圧を生成する第 1 の電

50

圧発生回路と、第 1 の電圧発生回路で生成されたバイアス電圧で動作が制御され、制御信号を遅延させて遅延信号を出力する遅延回路と、制御信号と遅延信号の両方で第 1 の出力電圧が指定されたときに、第 1 の電圧発生回路で生成された第 1 の出力電圧を出力ノードに出力し、それ以外ときには第 2 の電圧発生回路で生成された第 2 の出力電圧を該出力ノードに出力するスイッチ回路を備えている。これにより、遅延回路によって第 1 の電圧発生回路の動作速度に応じた遅延時間を有する遅延信号が出力され、この遅延信号に従ってスイッチ回路で、第 1 と第 2 の出力電圧の切り替えが行われる。従って、出力電圧を切り替えた時に、安定した電圧を出力することができるという効果がある。

【発明を実施するための最良の形態】

【0014】

10

この発明の前記並びにその他の目的と新規な特徴は、次の好ましい実施例の説明を添付図面と照らし合わせて読むと、より完全に明らかになるであろう。但し、図面は、もっぱら解説のためのものであって、この発明の範囲を限定するものではない。

【実施例 1】

【0015】

図 1 は、本発明の実施例 1 を示す電圧レギュレータの構成図であり、図 2 中の要素と共通の要素には共通の符号が付されている。

【0016】

この電圧レギュレータは、表示パネル 1 に与える昇圧電圧  $V_P$  を生成する昇圧回路 2 に対して表示用の駆動電圧  $V_D$  を供給するもので、出力電圧  $V_B$  を発生する電圧発生回路 3 と、出力電圧  $V_A$  を発生するための基準電圧回路 10、バイアス回路 20、差動増幅回路 30 及び出力回路 40 に加え、出力電圧  $V_A$ 、 $V_B$  を切り替えるタイミングを制御するための遅延回路 50 及び論理積ゲート(以下、「AND」という)56を有している。電圧発生回路 3 と出力回路 40 の出力側は、それぞれスイッチ 5、6 を介して出力ノード  $N_O$  に接続されている。スイッチ 5 は、AND 56 から出力される切替信号  $SW$  で制御され、スイッチ 6 は、インバータ 7 で反転された切替信号  $SW$  で制御されるようになっている。

20

【0017】

基準電圧回路 10 は、制御信号  $EN$  で動作が許可されたときに基準電圧  $V_R$  を生成して出力するものである。また、バイアス回路 20 は、制御信号  $EN$  で動作が許可されたときに、差動増幅回路 30、出力回路 40 及び遅延回路 50 に所定の電流を流すためのバイアス電圧  $B_L$  を出力するものである。

30

【0018】

差動増幅回路 30 は、基準電圧回路 10 から与えられる基準電圧  $V_R$  と出力回路 40 の出力電圧  $V_A$  との差を増幅してこの出力回路 40 を制御することにより、出力電圧  $V_A$  が基準電圧  $V_R$  と同じ電圧となるように制御するものである。差動増幅回路 30 は、それぞれのゲートに基準電圧  $V_R$  と出力電圧  $V_A$  が与えられる NMOS 31、32 を有し、これらの NMOS 31、32 のソースが、バイアス電圧  $B_L$  で制御される NMOS 33 を介して接地電位  $GND$  に接続されている。NMOS 31、32 のドレインは、それぞれノード  $N_{31}$ 、 $N_{32}$  に接続され、これらのノード  $N_{31}$ 、 $N_{32}$  は、それぞれ PMOS 34、35 を介して電源電位  $V_{DD}$  に接続されている。PMOS 34、35 のゲートは、ノード  $N_{32}$  に接続されている。

40

【0019】

出力回路 40 は、PMOS 41 と NMOS 42 を有している。PMOS 41 は、出力電圧  $V_A$  が出力されるノード  $N_{41}$  と電源電位  $V_{DD}$  の間に接続され、ゲートがノード  $N_{31}$  に接続され、NMOS 42 は、このノード  $N_{41}$  と接地電位  $GND$  の間に接続され、ゲートにバイアス電圧  $B_L$  が与えられている。また、ノード  $N_{41}$  とノード  $N_{31}$  の間は、直列接続された位相補償用の抵抗 43 とキャパシタ 44 で接続されている。

【0020】

遅延回路 50 は、電源電位  $V_{DD}$  とノード  $N_{51}$  の間に接続された PMOS 51 と、このノード  $N_{51}$  と接地電位  $GND$  の間に直列に接続された NMOS 52、53 を有してい

50

る。PMOS 51とNMOS 52のゲートには制御電圧ENが与えられ、インバータが構成されている。また、NMOS 53のゲートには、バイアス回路20から差動増幅回路30と出力回路40と同様に、バイアス電圧BLが与えられている。ノードN51は、キャパシタ54を介して電源電位VDDに接続されると共に、インバータ55の入力側に接続されている。そして、インバータ55の出力側から遅延信号DLが出力され、AND 56によってこの遅延信号DLと制御信号ENの論理積がとられ、切替信号SWが出力されるようになっている。

#### 【0021】

図3は、図1の動作を示す信号波形図である。以下、この図3を参照しつつ、図1の動作を説明する。

10

#### 【0022】

図3の時刻T0において、制御信号ENが“L”であると、基準電圧回路10とバイアス回路20の動作は停止され、このバイアス回路20から出力されるバイアス電圧BLも“L”となる。これにより、NMOS 33, 42はオフとなり、差動増幅回路30と出力回路40の動作も停止する。更に、遅延回路50では、“L”の制御信号ENによってPMOS 51がオンとなり、“L”のバイアス電圧BLによってNMOS 53がオフとなる。従って、ノードN51は“H”となり、インバータ55から出力される遅延信号DLは“L”である。更に、AND 56から出力される切替信号SWは“L”となり、スイッチ5, 6は、それぞれオフ、オンとなる。これにより、電圧発生回路3の出力電圧VBが、スイッチ6を介して出力ノードNOに、駆動電圧VDとして出力される。

20

#### 【0023】

時刻T1において、制御信号ENが“H”に変化すると、基準電圧回路10とバイアス回路20の動作が開始され、このバイアス回路20から出力されるバイアス電圧BLによって差動増幅回路30と出力回路40と遅延回路50の動作が開始される。

#### 【0024】

差動増幅回路30と出力回路40では、フィードバック動作によりノードN41の出力電圧VAが上昇し、時刻T2に目的の基準電圧VRまで上昇する。一方、遅延回路50では、キャパシタ54の充電時間のため時刻T2よりも遅れて時刻T3に、遅延信号DLが“H”となる。これにより、切替信号SWも“H”となり、スイッチ5, 6は、それぞれオン、オフに切り替わり、出力回路40の出力電圧VAが、スイッチ5を介して出力ノードNOに、駆動電圧VDとして出力される。

30

#### 【0025】

時刻T4において、制御信号ENが“L”に変化すると切替信号SWは“L”となり、スイッチ5, 6はそれぞれオフ、オンに切り替わる。電圧発生回路3の出力電圧VBが、スイッチ6を介して出力ノードNOに、駆動電圧VDとして出力される。また、基準電圧回路10とバイアス回路20の動作は停止され、このバイアス回路20から出力されるバイアス電圧BLも“L”となる。従って、NMOS 33, 42はオフ状態となり、差動増幅回路30と出力回路40の動作も停止し、この出力回路40の出力電圧VAは低下する。

#### 【0026】

一方、遅延回路50では、キャパシタ54の放電時間のため、時刻T4よりも遅れて時刻T5に、遅延信号DLが“L”となる。但し、この時点では切替信号SWは、既に“L”となっているので、スイッチ5, 6は変化しない。

40

#### 【0027】

以上のように、この実施例1の電圧レギュレータは、制御信号ENが“H”になったときには、出力回路40の出力電圧VAが基準電圧VRに達して安定した時点でスイッチ5, 6を切り替え、この制御信号ENが“L”になったときには、直ちにスイッチ5, 6を切り替えるための切替信号SWを生成する遅延回路50を有している。これにより、出力電圧VAが安定する前に、不安定な状態で駆動電圧VDとして出力されるおそれなくなり、出力電圧を切り替えた時に安定した電圧を出力することができるという利点がある。

50

## 【 0 0 2 8 】

更に、遅延回路 5 0 は、制御電圧 E N を反転するためのインバータを構成する P M O S 5 1 と N M O S 5 2 に直列に、差動増幅回路 3 0 や出力回路 4 0 と共通のバイアス電圧 B L で導通状態が制御される N M O S 5 3 を有している。これにより、差動増幅回路 3 0 や出力回路 4 0 が起動されてから安定した状態になるまでの時間と、遅延回路 5 0 による切替信号 S W の遅延時間をほぼ同じ時間となるように合わせることが可能になる。

## 【 0 0 2 9 】

即ち、バイアス電圧 B L が高く設定されていれば、差動増幅回路 3 0 や出力回路 4 0 に流れる電流が大きくなって応答速度が速くなり、短時間で所定の出力電圧 V A が得られる。このとき、遅延回路 5 0 の N M O S 5 3 に流れる電流も大きくなるので、キャパシタ 5 4 の充電時間も短くなり、この遅延回路 5 0 の遅延時間も短縮される。従って、遅延回路 5 0 の遅延時間を、必要以上に余裕を持った時間に設定する必要がなくなり、短時間に安定した所望の出力電圧に切り替えることができるという利点がある。

## 【 実施例 2 】

## 【 0 0 3 0 】

図 4 は、本発明の実施例 2 を示す電圧レギュレータの構成図であり、図 1 中の要素と共通の要素には共通の符号が付されている。

## 【 0 0 3 1 】

この電圧レギュレータは、図 1 中の出力回路 4 0 の出力側と接地電位 G N D の間に、負荷電流回路 6 0 を挿入したものである。

## 【 0 0 3 2 】

負荷電流回路 6 0 は、制御信号 E N が “ L ” から “ H ” に切り替わった後、遅延信号 D L が “ L ” から “ H ” に切り替わるまでの間、出力回路 4 0 からの負荷電流を流すための回路である。この負荷電流回路 6 0 は、出力回路 4 0 の出力側と接地電位 G N D の間に直列に接続された N M O S 6 1 , 6 2 を有している。N M O S 6 1 のゲートには、遅延信号 D L がインバータ 6 3 で反転して与えられ、N M O S 6 2 のゲートには、バイアス電圧 B L が与えられるようになっている。その他の構成は、図 1 と同様である。

## 【 0 0 3 3 】

この電圧レギュレータでは、制御信号 E N が “ L ” のとき、バイアス電圧 B L は “ L ” であるので、負荷電流回路 6 0 の N M O S 6 2 はオフである。制御信号 E N が “ L ” から “ H ” に切り替わった後、遅延信号 D L が “ L ” から “ H ” に切り替わるまでの間、N M O S 6 1 のゲートにはインバータ 6 3 から “ H ” が与えられ、N M O S 6 2 のゲートにはバイアス電圧 B L が印加される。この時点では、スイッチ 5 はオフであるので、出力回路 4 0 の出力側から、負荷電流回路 6 0 を介して接地電位 G N D に負荷電流が流れる。

## 【 0 0 3 4 】

次に、遅延信号 D L が “ H ” に切り替わると、今度は負荷電流回路 6 0 の N M O S 6 1 がオフとなり、スイッチ 5 がオンとなるので、この負荷電流回路 6 0 に流れる電流が停止し、出力回路 4 0 からの電流は、スイッチ 5 を介して昇圧回路 2 側へ流れる。その他の動作は、実施例 1 で説明したとおりである。

## 【 0 0 3 5 】

以上のように、この実施例 2 の電圧レギュレータは、制御信号 E N が “ L ” から “ H ” に切り替わった後、遅延信号 D L が “ L ” から “ H ” に切り替わるまでの間、出力回路 4 0 からの負荷電流を流すための負荷電流回路 6 0 を有している。これにより、実施例 1 と同様の利点に加えて、無負荷状態時の位相余裕度を向上させることができるという利点がある。

## 【 0 0 3 6 】

なお、本発明は、上記実施例に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

( a ) 表示パネルの駆動電圧 V D を出力する電圧レギュレータを例に説明したが、使用目的を限定するものではなく、2 種類以上の電圧を切り替えて出力する電圧レギュレータ

10

20

30

40

50

に適用可能である。

(b) 差動増幅回路 30、出力回路 40 及び遅延回路 50 の回路構成は、図 1 に例示したものに限定されない。

(c) 負荷電流回路 60 は、図 4 に例示したものに限定されない。

【図面の簡単な説明】

【0037】

【図 1】本発明の実施例 1 を示す電圧レギュレータの構成図である。

【図 2】従来の電圧レギュレータの構成図である。

【図 3】図 1 の動作を示す信号波形図である。

【図 4】本発明の実施例 2 を示す電圧レギュレータの構成図である。

10

【符号の説明】

【0038】

5, 6 スイッチ

7 インバータ

10 基準電圧回路

20 バイアス回路

30 差動増幅回路

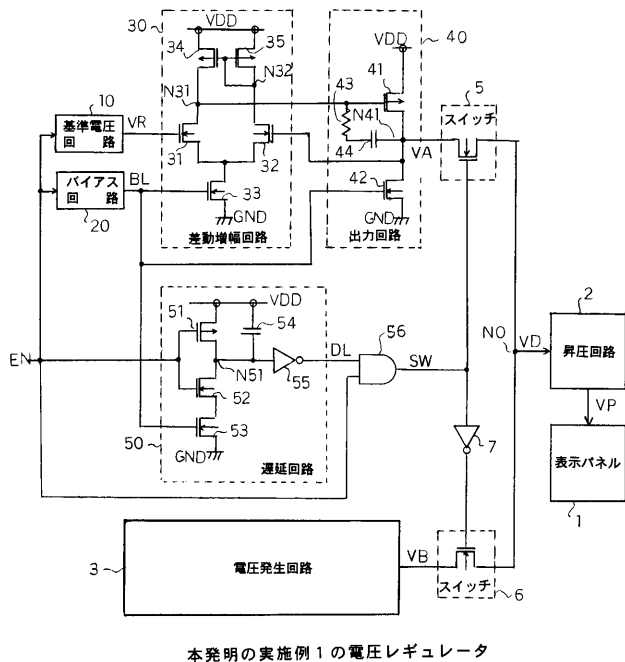
40 出力回路

50 遅延回路

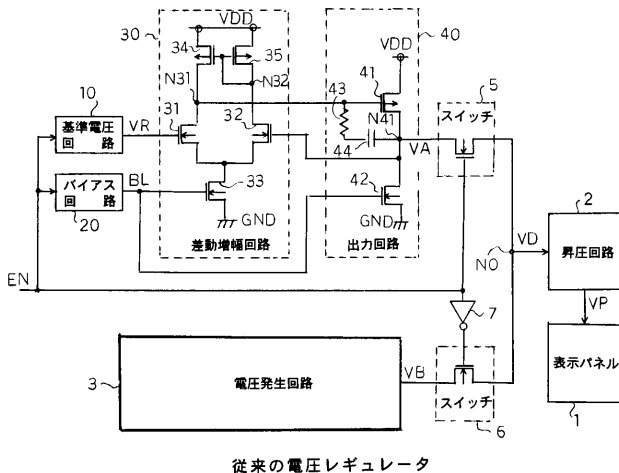
60 負荷電流回路

20

【図 1】



【図 2】



【図 3】

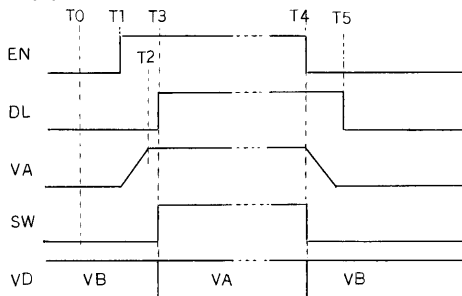
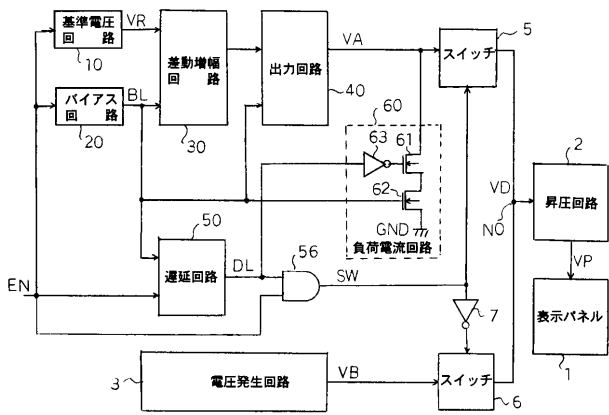


図 1 の信号波形

【図 4】



本発明の実施例 2 の電圧レギュレータ