(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/34

(45) 공고일자 1999년12월15일
(11) 등록번호 10-0233973
(24) 등록일자 1999년09월15일

(21) 출원번호 10-1996-0068301
(22) 출원일자 1996년12월19일
(65) 공개번호 특1997-0051160
(43) 공개일자 1997년07월29일
(30) 우선권주장 95-330393 1995년12월19일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고미쓰비시덴키 가부시키가이샤 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 사와다 세이지
일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내
(74) 대리인 김영, 김창세

심사관 : 반성원

(54) 동기형 반도체 기억 장치

요약

클럭 신호와 동기화되어 인가되는 코맨드에 의해 내부 동작의 내용이 지정되는 동기형 반도체 기억 장치에서, 내부 동작을 활성화하는 액티브 코맨드(ACT)가 활성 상태로 된 때에만 이 액티브 코맨드와 상이한 판독 코맨드, 기록 코맨드 및 프리차지 코맨드의 디코드 동작이 인에이블된다. 내부 회로의 비활성화시에 판독 코맨드와 같은 액티브 코맨드와 상이한 코맨드가 인가되어도, 다른 코맨드 디코더(42)는 디코드 동작이 수행될 수 없으므로, 불필요한 회로 동작이 방지될 수 있다.

대표도

도1

명세서

도면의 간단한 설명

도 1 은 본 발명의 실시예 1 에 따른 동기형 반도체 기억 장치의 전체 구성을 개략적으로 도시하는 도면

도 2a 는 코맨드 디코더 및 행 관련 제어 회로의 구성을 개략적으로 도시한 도면

도 2b 는 액티브 코맨드 디코더, 다른 코맨드 디코더 및 내부 활성화 회로의 구성을 구체적으로 도시하는 도면

도 3 은 본 발명의 실시예 1 에 따른 SDRAM 의 동작을 나타내는 타이밍도

도 4a 는 본 발명의 실시예 2 에 따른 SDRAM 의 주요 부분의 구성을 도시하는 도면

도 4b 는 도 4a 에 도시된 프리차지 코맨드 디코더 회로의 동작을 나타내는 타이밍도

도 5a 는 본 발명의 실시예 3 에 따른 SDRAM 의 주요 부분의 구성을 도시하는 도면

도 5b 도 5a의 구성이 동작을 나타내는 타이밍도

도 6 은 본 발명의 실시예 4 에 따른 SDRAM 의 주요 부분의 구성을 개략적으로 도시하는 도면

도 7 은 본 발명의 실시예 5 에 따른 SDRAM 의 전체 구성을 개략적으로 도시하는 도면

도 8 은 본 발명의 실시예 5 에 따른 SDRAM 의 주요 부분의 구성을 개략적으로 도시하는 도면

도 9 는 본 발명의 실시예 5 에 따른 SDRAM 의 동작을 개략적으로 나타내는 도면

도 10 은 본 발명의 실시예 6 에 따른 SDRAM 의 주요 부분의 구성을 개략적으로 도시하는 도면

도 11 은 종래의 SDRAM 의 동작을 나타내는 타이밍도

도 12 는 종래의 SDRAM 의 외부 제어 신호 입력부의 구성을 개략적으로 도시하는 도면

도 13a 는 도 12 에 도시된 입력 버퍼의 구성을 도시하는 도면

도 13b 는 도 13a의 구성의 동작을 나타내는 파형도

도 14 는 종래의 SDRAM 의 코맨드 디코더의 구성을 개략적으로 도시하는 도면

도면의 주요 부분에 대한 부호의 설명

1 : 입력 버퍼 회로 40 : 코맨드 디코더

50 : 메모리 셀 어레이 52 : 어드레스 버퍼

54 : 행 선택 회로 56 : 열 선택 회로

58 : 센스 앰프 + IO 60 : 입력 회로

62 : 행 관련 제어 회로 64 : 열 관련 제어 회로

66 : 입/출력 제어 회로 41 : 액티브 코맨드 디코더

42 : 다른 코맨드 디코더 42a : 프리차지 코맨드 디코더 회로

42b : 기록 코맨드 디코더 회로 42c : 판독 코맨드 디코더 회로

63 : 내부 활성화 회로 42aa : 프리차지 코맨드 디코더 회로

70 : 제어 회로 43 : 모드 세트 코맨드 디코더 회로

80 : 코맨드 설정 제어 회로 82 : 코맨드 레지스터

90 : 리프레시 제어 회로 100a, 100b : 뱅크

110a : 뱅크A 제어부 110b : 뱅크B 제어부

120a, 120b : 서브코맨드 디코더

121 : 액티브 코맨드 디코더 회로

122 : 프리차지 코맨드 디코더 회로

123 : 판독 코맨드 디코더 회로

124 : 기록 코맨드 디코더 회로

110aa, 110ba : 내부 활성화 회로

122a, 122b : 프리차지 코맨드 디코더 회로

125a, 125b : 판독/기록 코맨드 디코더 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 동기형 반도체 기억 장치(synchronous semiconductor memory device)에 관한 것으로, 특히 지정되는 내부 동작을 식별하기 위해 외부로부터 인가되는 제어 신호의 상태를 판정하는 구성에 관한 것이다.

외부 처리 장치인 CPU(중앙 연산 처리 장치)의 고속화에 따라, 주기억 장치 의 시스템 메모리로서 이용되는 DRAM(다이내믹 랜덤 액세스 메모리)도 고속으로 동작하도록 요구되고 있다. 이 고속 동작의 요구를 만족시키는 메모리로서는, 예를 들면, 시스템 클럭과 같은 외부 클럭 신호와 동기하여 동작하는 동기형 반도체 기억 장치가 있다. 이 동기형 반도체 기억 장치(이하 SDRAM(동기형 다이내믹 랜덤 액세스 메모리)이라 지칭됨)는 가령, 외부 클럭 신호의 상승시에 외부 신호의 상태를 판정하고, 그 판정 결과에 따라 실행될 내부 동작을 결정하며, 그 결정된 내부 동작을 실행한다. 외부 클럭 신호(이하, 클럭 신호로 지칭됨)의 상승 시점에서 외부 제어 신호의 상태가 판정되므로, 외부 제어 신호의 스큐(skew) 등에 대한 마진을 고려할 필요가 없어, 내부 동작 개시 타이밍을 빨리 할 수 있으며, 이에 따라 고속 액세스가 실현된다. 또한, 데이타의 입/출력도 클럭 신호와 동기하여 실행되므로, 데이타의 입/출력을 고속으로 실행할 수 있다.

상술한 SDRAM 에서, 외부 제어 신호는 펄스 형태로 인가된다. 외부 제어 신호가 클럭 신호과 동일한 펄스 형태의 신호로 되어 있으므로, 단순히 클럭 신호와 동기적인 외부 클럭 신호를 생성할 필요가 있고, 이에 따라 외부 제어 장치에 의한 제어가 용이하게 된다. 또한, 외부 제어 신호의 스큐는 클럭 신호의 스큐와 동일하므로, 외부 제어 신호의 클럭 신호에 대한 셋업 시간 및 홀드 시간에 대한 마진을 고려할 필요가 없어, 고속으로 내부 동작을 개시할 수 있다. 또한, SDRAM 의 내부에 서로 독립적으로 동작하는 뱅크가 제공되어 있는 경우, 펄스 형태로 외부 제어 신호를 인가하므로써, 1개의 뱅크 활성 기간중에 다른 뱅크를 활성화할 수 있다. 따라서, 뱅크를 교대로 활성화하고 액세스할 수 있다. 표준 DRAM 에서 필요로 하는 RAS 프리차지 기간(행 어드레스 스트로브 신호 ZRAS를 비활성 상태에서 다음의 활성 상태까지의 기간)은 외부에 대해 감추어져 있으므로, 데이타의 입/출력을 고속으로 수행할 수 있다.

도 11 은 SDRAM 의 외부 제어 신호의 상태와 지정되는 내부 동작의 관계를 도시하는 도면이다.

내부 동작 모드의 지정은 다수의 외부 제어 신호를 이용하여 실행되므로, 이 외부 제어 신호 상태의 세트는 "코맨드"로 지칭된다.

이용될 외부 제어 신호는 특히, 행 어드레스 스트로브 신호 extZRAS, 외부 열 어드레스 스트로브 신호 extZCAS, 및 외부 기록 인에이블 신호 extZWE이다.

[NOP 코맨드]

도 11 에서, 시간 T0에서 외부로부터 인가되는 클럭 신호 extCLK가 상승할때, 제어 신호 extZRAS, extZCAS 및 extZWE가 모두 H레벨로 유지되면, 내부 동작은 지정되지 않는다. 최종 사이클의 상태는 SDRAM 에서 유지된다.

[판독 코맨드]

도 11 에서, 시간 T1에서 클럭 신호 extCLK가 상승할 때에, 제어 신호 extZRAS 및 extZWE는 모두 H레벨로 되고, 열 어드레스 스트로브 신호 extZCAS는 L레벨로 설정된다. 이 외부 제어 신호 상태의 조합은 SDRAM 내부에서 데이타의 출력(판독) 동작을 지정하는 판독 코맨드로 지칭된다. 이 판독 코맨드가 수신되는 때에는, SDRAM 내부에서 열 선택 동작을 활성화하는 내부 열 어드레스 스트로브 신호 CAS0가 활성 상태로 된다. 이 신호 CAS0은 원샷(one-shot) 펄스의 형태이고, 트리거(trigger) 신호로서 사용된다. 또한, 데이타 판독 동작을 활성화하기 위해, 판독 트리거(판독 인스트럭션) 신호 ZR이 사전설정된 기간 동안 활성 상태로 된다.

[기록 코맨드]

도 11에서, 시간 T2에서 클럭 신호 extCLK가 상승할 때, 외부 행 어드레스 스트로브 신호 extZRAS는 H레벨로 설정되고, 외부 제어 신호 extZCAS 및 extZWE는 모두 L레벨로 설정된다. 이 상태는 SDRAM으로의 데이타의 기록 동작을 지정하는 코맨드로 지칭된다. 기록 코맨드가 수신되는 경우에는, SDRAM 내부에서 열 선택 동작을 활성화하기 위한 트리거 신호로서 기능하는 내부 열 어드레스 스트로브 신호 CAS0가 활성 상태로 된다. 또한, 내부 데이타 기록 동작을 지정하는 내부 기록 인에이블 신호 WE0가 활성 상태로 된다. 이 내부 기록 인에이블 신호 WE0에 응답하여, SDRAM으로의 데이타 기록 동작을 트리거하는 기록 인스트럭션 신호 ZW가 활성 상태로 된다.

[프리차지 코맨드]

도 11 의 시간 T3에서 클럭 신호 extCLK이 상승할 때, 외부 제어 신호 extZRAS 및 extZWE는 모두 L레벨로 설정되고, 열 어드레스 스트로브 신호 extZCAS는 H레벨로 설정된다. 이 상태는 프리차지 코맨드라 불리우고, 이 프리차지 코맨드에 의해 SDRAM 내부를 프리차지 상태(대기 상태)로 하는 동작이 수행된다. 프리차지 코맨드가 인가된 경우에는, 내부 행 어드레스 스트로브 신호 RAS0 및 내부 기록 인에이블 신호 WE0는 사전설정된 기간 동안 활성 상태로 되고, 프리차지 동작을 트리거하기 위한 프리차지 트리거 신호 ZPC는 사전설정된 기간 동안 활성 상태로 된다.

[액티브 코맨드]

도 11 의 시간 T4에서 클럭 신호 extCLK이 상승할 때, 행 어드레스 스트로브 신호 extZRAS는 L레벨로 설정되고, 외부 제어 신호 extZCAS 및 extZWE는 모두 H레벨로 설정된다. 이 상태는 액티브 코맨드로 지칭되고, 이 코맨드에 의해 SDRAM 의 내부 메모리 셀 선택 동작이 활성화된다. 이 액티브 코맨드가 수신되는 때에는, 내부 행 어드레스 스트로브 신호 RAS0가 활성 상태로 되고, 이에 따라 메모리 셀 선택 동작을 활성화하기 위한 액티브 트리거(내부 동작의 개시 인스트럭션) 신호 ZA는 사전설정된 기간 동안 활성 상태로 된다.

도 12 는 외부 제어 신호 입력부의 구성을 개략적으로 도시하는 도면이다. 도 12 에서, 외부 제어 신호 extZRAS, exZCAS 및 extZWE에 각각 대응하고, 클럭 신호 CLK와 동기하여 원샷 내부 제어 신호 RAS0, CAS0, 및 WE0를 각각 생성하는 RAS 입력 버퍼(1a), CAS 입력 버퍼(1b), 및 WE 입력 버퍼(1c)가 제공된다. 이러한 입력 버퍼(1a, 1b 및 1c)는 클럭 신호 CLK의 상승시에, 대응하는 외부 제어 신호가 L레벨에 있는 경우, 관련 내부 제어 신호를 사전설정된 기간 동안 H레벨의 활성 상태로 설정한다.

내부 제어 신호 RAS0, CAS0 및 WE0의 반전 신호 ZRAS0, ZCAS0 및 ZWE0를 각각 생성시키는 입력 버퍼(1a-1c)의 각각에 대응하는 인버터(3a-3c)가 제공된다. 입력 버퍼(1a-1c)으로부터의 내부 제어 신호 RAS0, CAS0 및 WE0 뿐만 아니라 이러한 내부 제어 신호의 반전 신호도 코맨드 디코더(4)로 인가된다.

코맨드 디코더(4)는 인가된 내부 제어 신호 상태의 조합에 따라 요구된 내부 동작을 활성화하도록 트리거 신호 ZA, ZR, ZW 및 ZPC를 사전설정된 기간 동안 활성 상태로 설정한다.

도 13a 는 도 12 에 도시된 입력 버퍼(1a-1c)의 구성을 개략적으로 도시하는 도면이다. 입력 버퍼(1a-1c)는 서로 동일한 구성을 갖는다. 도 13a 에서, 외부 제어 신호는 참조부호 EXT로 표시되고, 내부 제어 신호는 참조부호 INT로 표시된다.

도 13a 에서, 입력 버퍼(1a-1c)는 외부 제어 신호 EXT를 수신하는 인버터(5), 인버터(5)의 출력 신호와 클럭 신호 CLK를 수신하는 NAND 회로(6), NAND 회로(6)의 출력 신호의 하강에 응답하여 펄스를 발생하는 펄스 생성기(7)를 포함한다. 이 펄스 생성기(7)로부터 사전설정된 기간 동안 H레벨로 되는 펄스 형태의 내부 제어 신호 INT가 출력된다. 도 13a 에 도시된 입력 버퍼의 동작을 도 13b 에 도시된 파형도를 참조하여 하기에서 설명한다.

클럭 신호 CLK가 L레벨인 때에는, NAND 회로(6)의 출력 신호는 H레벨로 고정된다. 또한, 외부 제어 신호 EXT가 H레벨인 때에는, 인버터(5)의 출력 신호는 L레벨로 되고, NAND 회로(6)의 출력 신호는 H레벨로 유지된다. 이 상태에서는, 펄스 생성기(7)는 어떤 펄스도 발생하지 않고, 내부 제어 신호 INT는 L레벨의 비활성 상태로 유지된다.

클럭 신호 CLK의 상승시에, 외부 제어 신호 EXT가 L레벨이면, 상기 클럭 신호 CLK의 상승에 응답하여, NAND 회로(6)의 출력 신호는 L레벨로 하강한다. NAND 회로(6)의 출력 신호의 하강에 응답하여, 펄스 생성기(7)는 이 내부 제어 신호 INT를 사전설정된 기간 동안 H레벨로 유지한다. 이 펄스 생성기(7)로부터

의 내부 제어 신호 INT의 비활성화는 펄스 생성기(7)에서 미리 결정되어 있는 타이밍에 따라 행해질 수도 있고, 또한 클럭 신호 CLK의 하강과 동기하여 행해질 수도 있다.

도 14 는 도 12 에 도시된 코맨드 디코더(4)의 구성을 개략적으로 도시하는 도면이다. 도 14 에 도시한 바와 같이, 코맨드 디코더(4)는 내부 트리거 신호에 대응하게 제공되는 NAND형 디코더 회로로 구성되어 있다. 즉, 액티브 동작 트리거 신호 ZA는 내부 제어 신호 RAS0, ZCAS0 및 ZWE0를 수신하는 NAND 회로(4a)로부터 출력된다. 판독 동작 트리거 신호 ZR은 내부 제어 신호 ZRAS0, CAS0 및 WE0를 수신하는 NAND 회로(4c)로부터 출력된다. 기록 동작 트리거 신호 ZW는 내부 제어 신호 ZRAS0, CAS0 및 WE0를 수신하는 NAND 회로(4b)로부터 출력된다. 프리차지 동작 트리거 신호 ZPC는 내부 제어 신호 RAS0, ZCAS0 및 WE0를 수신하는 NAND 회로(4d)로부터 출력된다.

코맨드 디코더로부터의 이러한 트리거 신호에 따라, 제어 회로(도시되지 않음)가 동작하여, 지정된 내부 동작이 실행된다.

상술한 바와 같은 입력 버퍼 및 코맨드 디코더의 구성에 의해, 내부 동작을 위한 트리거 신호는 내부 동작을 개시시키는 클럭 신호 CLK에 동기하여 출력된다.그러나, 도 14 에 도시된 바와 같이, 각 동작 모드에 대한 트리거 신호는 서로 병렬로 제공되는 NAND 회로(4a-4d)으로부터 출력된다. NAND 회로(4a-4d)는 다른 트리거 신호의 상태에 관계없이 인가되는 내부 제어 신호의 상태에 따라 대응하는 트리거 신호를 생성한다.

SDRAM 에서, 액티브 코맨드가 입력되면, 내부 프리차지 상태(대기 상태)가 해제되고, 메모리 셀 선택 동작이 개시된다. 따라서, 메모리 셀의 데이타 판독 또는 기록을 위해서는, (1) 액티브 코맨드, (2) 판독 코맨드 또는 기록 코맨드, 및 (3) 프리차지 코맨드의 순서로 코맨드를 입력할 필요가 있다.

따라서, 액티브 코맨드가 입력되지 않으면, 판독 코맨드, 기록 코맨드, 또는 프리차지 코맨드가 입력되어도, SDRAM은 지정된 내부 동작을 정확히 수행하지 않는다. 액티브 코맨드가 입력되어 있지 않은 경우, 메모리 셀의 선택 동작은 수행되지 않으므로, 판독 코맨드가 인가되어도 선택된 메모리 셀이 존재하지 않으므로, 정상적인 데이타 판독이 수행되지 않는다. 이 경우, 입/출력 회로는 판독 코맨드 또는 기록 코맨드에 따라 발생되는 트리거 신호에 의해 인에이블 상태로 된다.

통상적으로, 액티브 코맨드의 인가없이는, 기록 코맨드, 판독 코맨드 또는 프리차지 코맨드는 제공되지 않는다. 그러나, 잘못된 시퀀스(액티브 코맨드 입력 전의 액티브 코맨드와 다른 코맨드의 입력)가 수행된 경우, 도 13a 및 도 14 에 도시된 바와 같이, 이 액티브 코맨드가 비활성 상태여도, 입력된 코맨드에 대응하는 동작을 트리거하는 신호가 활성 상태로 된다. 따라서, 회로가 불필요하게 동작하고, 소비 전력이 증가한다. 또한, 잘못된 활성 상태로 된 트리거 신호에 따라 SDRAM 의 내부 회로가 오동작할 수도 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 불필요한 회로 동작을 방지하고, 이에 따라 소비 전력을 감소시킬 수 있는 동기형 반도체 기억 장치를 제공하는 것이다.

본 발명의 목적은 잘못 입력된 코맨드, 즉 잘못된 시퀀스에 따라 입력된 코맨드에 따라 수행될 회로 동작을 금지할 수 있는 동기형 반도체 기억 장치를 제공하는 것이다.

발명의 구성 및 작용

본 발명의 제 1 측면에 따른 동기형 반도체 기억 장치는, 외부로부터 주기적으로 인가되는 클럭 신호와 동기하여 다수의 외부로부터 인가되는 외부 제어 신호의 상태를 판정하고, 이 외부 제어 신호의 상태의 제 1 조합이 발견되는 경우, 사전 설정된 내부 동작을 활성화하는 제 1 코맨드 디코더와, 상기 제 1 코맨드 디코더로부터의 활성화 신호에 따라 인에이블되어 클럭 신호와 동기하는 상기 다수의 외부 제어 신호의 상태를 판정하고, 상기 다수의 외부 제어 신호의 상태의 제 1 조합과 상이한 상태의 제 2 조합이 발견되는 경우 사전설정된 내부 동작과 상이한 제 2 내부 동작을 활성화하는 제 2 코맨드 디코더를 포함한다.

본 발명의 제 2 측면에 따른 동기형 반도체 기억 장치는, 이 동기형 반도체 기억 장치의 동작 형태를 규정하기 위한 데이타를 저장하는 코맨드 레지스터와, 다수의 메모리 셀과, 외부로부터 주기적으로 인가되는 클럭 신호와 동기하여 외부로부터 인가되는 외부 신호의 상태를 판정하고 다수의 외부 제어 신호의 상태의 제 1 조합이 발견되는 경우 다수의 메모리 셀중에서 메모리 셀을 선택하는 동작을 활성화하는 제 1 코맨드 디코더와, 상기 클럭 신호와 동기하여 외부 제어 신호의 상태를 판정하고, 다수의 외부 제어 신호의 상태의 제 2 조합이 발견되는 경우 코맨드 레지스터내의 동작 형태를 규정하는 데이타를 저장하는 동작 모드를 활성화하는 제 2 코맨드 디코더를 포함한다. 상기 제 2 코맨드 디코더는 인가된 외부 제어 신호의 상태의 제 2 조합이 발견되는 경우, 제 1 코맨드 디코더의 판정 동작을 금지시켜 다수의 메모리 셀에 대한 선택 동작을 비활성 상태로 하는 회로를 포함한다.

입력 코맨드에 따라 수행될 내부 동작이 유효할 때에만, 즉, 정상적인 시퀀스의 코맨드가 입력되어 내부 동작이 정상적으로 수행될 때에만 코맨드 디코더 회로가 인에이블 되므로, 잘못된 시퀀스로 코맨드가 입력될 때의 내부 회로의 동작을 방지할 수 있으므로, 전력 소비가 감소되고, 오동작도 방지할 수 있다.

본 발명의 여러 목적, 특징, 측면, 및 장점은 첨부되는 도면을 참조하여 다음의 상세한 설명으로부터 보다 명백해질 것이다.

(실시예 1)

도 1 은 본 발명의 실시예 1 에 따른 SDRAM 의 전체 구성을 개략적으로 도시하는 도면이다. 도 1 에서, SDRAM은 행렬 형태로 배치되는 다수의 메모리 셀(다이나믹형 메모리 셀; 각각의 메모리 셀은 1개의 캐패시터와 1개의 트랜지스터로 구성됨)을 갖는 메모리 셀 어레이(50)와, 클럭 신호 CLK와 동기하여 외부로부터 인가되는 어드레스 신호 비트(A0-An)를 가져, 내부 어드레스 신호를 생성하는 어드레스 버퍼(52)와,

어드레스 버퍼(52)로부터 인가되는 내부 행 어드레스 신호 X를 디코드하고, 메모리 셀 어레이(50)에서 행을 선택하는 행 선택 회로(54)와, 어드레스 버퍼(52)로부터 인가되는 내부 열 어드레스 신호 Y를 디코드하고, 메모리 셀 어레이(50)에서 열을 선택하는 열 선택 회로(56)와, 메모리 셀 어레이(50)의 선택된 행에 접속되는 메모리 셀의 데이타를 검출하여 증폭하는 센스 앰프와, 열 선택 회로(56)로부터의 열 선택 신호에 응답하여 선택된 열을 입/출력 회로(60)에 접속하는 I/O 게이트를 포함한다. 도 1 에서, 센스 앰프 및 I/O 게이트는 1개의 블럭(58)으로 표시되어 있다. 입/출력 회로(60)가 활성화되면, 클럭 신호 CLK에 동기하여 데이타 DQ의 입/출력을 수행한다.

내부 동작을 제어하기 위해, SDRAM은 클럭 신호 CLK에 동기하여 외부로부터 인가되는 외부 제어 신호 extZRAS, extZCAS 및 extZWE를 취입하여 내부 제어 신호 RAS0, CAS0 및 WE0를 생성하는 입력 버퍼 회로(1)와, 입력 버퍼 회로(1)로부터 인가되는 내부 제어 신호 RAS0, CAS0 및 WE0에 따라, 내부 동작을 트리거하는 트리거 신호를 발생하는 코맨드 디코더(40)와, 코맨드 디코더(40)로부터 인가되는 행 선택 동작 트리거 신호에 활성화되고 행 선택 회로(54) 및 센스 앰프의 활성화를 제어하는 행 관련 제어 회로(62)와, 코맨드 디코더(40)로부터 인가된 열 선택 동작 트리거 신호에 응답하여 활성화되고 열 선택 회로(56) 및 내부 데이타 버스 라인의 프리차지 뿐만 아니라 도시되지 않은 프리앰프의 증폭 동작과 같은 열 선택 동작에 관련하는 부분의 활성화를 제어하는 열 관련 제어 회로(64)와, 코맨드 디코더(40)로부터 인가된 데이타 입/출력 동작에 대한 트리거 신호에 응답하여 활성화되고 입/출력 회로(60)의 동작을 제어하는 입/출력 제어 회로(66)를 포함한다.

코맨드 디코더(40)가 액티브 코맨드를 검출하는 경우, 행 관련 제어 회로(62)는 코맨드 디코더(40)로부터 인가되는 내부 활성화 트리거 신호에 응답하여, 내부 동작을 활성 상태로 하는 액티브 신호 ACT를 코맨드 디코더(40), 열 관련 제어 회로(64), 및 입/출력 제어 회로(66)로 인가한다. 코맨드 디코더(40)는 나중에 설명하는 바와 같이, 이 액티브 신호 ACT의 활성화시에만 액티브 코맨드이외의 코맨드를 디코드하는 부분이 인에이블 상태(즉, 활성 상태)로 된다. 마찬가지로, 열 관련 제어 회로(64) 및 입/출력 제어 회로(66)는 행 관련 제어 회로(62)로부터 인가되는 액티브 신호 ACT의 활성화시에만 활성 상태로 된다.

도 1 에 도시된 클럭 신호 CLK는 외부로부터 인가되는 외부 클럭 신호 extCLK이어도 좋고, 내부에서 버퍼처리된 내부 클럭 신호이어도 좋다.

도 1 에 도시된 바와 같이, 액티브 신호 ACT가 활성 상태로 되는 때에만 코맨드 디코더(40)는 액티브 코맨드 이외의 코맨드를 디코드하도록 인에이블된다. 따라서, 코맨드가 잘못된 시퀀스로 인가될 때 이 액티브 코맨드 디코더 부분 이외의 디코더 회로 부분의 동작을 정지할 수 있으므로, 소비 전력이 감소될 수 있고 불필요한 회로 동작으로 인한 기억 장치의 오동작도 방지될 수 있다. 또한, 액티브 신호 ACT에 따라 열 관련 제어 회로(64) 및 입/출력 제어 회로(66)를 인에이블함으로써, 정상적인 시퀀스(액티브 코맨드 입력 후, 판독, 기록 또는 프리차지 코맨드의 입력)와 상이한 시퀀스에 의해 코맨드가 입력된 경우에, 내부 회로의 오동작을 방지할 수 있고, SDRAM의 신뢰성이 확보될 수 있다.

도 2a 는 도 1 에 도시된 코맨드 디코더(40) 및 행 관련 제어 회로(62)의 구성을 개략적으로 도시하는 도면이다. 입력 버퍼 회로(1)는 도 12 및 도 13 에 도시된 구성을 갖고, 클럭 신호 CLK의 상승과 동기하여 외부 제어 신호 extZRAS, extZCAS, 및 extZWE를 취하고 상보형 내부 제어 신호 RAS0, ZRAS0, CAS0, ZCAS0, WE0, 및 ZWE0를 생성하여 코맨드 디코더(40)에 인가한다.

코맨드 디코더(40)는 입력 버퍼 회로(1)로부터 인가되는 내부 제어 신호의 상태에 따라 액티브 코맨드가 인가되었는지의 여부를 판정하는 액티브 코맨드 디코더(41)와, 액티브 코맨드와 상이한 코맨드가 인가되었음을 검출하기 위한 다른 코맨드 디코더(42)를 포함한다. 액티브 코맨드 디코더(41)는 내부 동작 활성화 트리거 신호 ZA를 생성한다.

행 관련 제어 회로(62)는 이 액티브 코맨드(41)로부터 인가되는 내부 동작 활성화 트리거 신호 ZA의 활성화에 응답하여, 내부 동작 활성화 신호(액티브 신호) ACT를 활성 상태로 하는 내부 활성화 신호(63)를 포함한다. 액티브 신호 ACT의 활성화에 응답하여, 행 관련 제어 회로(62)는 행 선택 회로(54) 및 센스 앰프(도 1 참조)를 사전설정된 시퀀스로 순차적으로 활성시킨다.

내부 활성화 회로(63)으로부터의 액티브 신호 ACT는 코맨드 디코더(42)에 인가된다. 다른 코맨드 디코더(42)는 이 액티브 신호 ACT의 활성시에만 액티브 상태(인에이블 상태)로 되어 입력 버퍼 회로(1)로부터 인가되는 내부 제어 신호를 디코드하고, 코맨드들중 하나가 인가되는지의 여부를 판정한다.

액티브 신호 ACT의 활성화시에만 다른 코맨드 디코더(42)를 액티브 상태로 함으로써, 코맨드가 잘못된 시퀀스로 입력되어도, 즉, 액티브 코맨드 입력 전에 액티브 코맨드이외의 코맨드가 인가되어도, 불필요한 회로 동작이 방지될 수 있다. 상기한 경우, 다른 코맨드 디코더(42)는 비활성 상태(디스에이블 상태)로 되어 있으므로, 입력 버퍼 회로(1)로부터 인가되는 임의의 내부 제어 신호의 디코드 동작이 수행되지 않아, 이 잘못된 시퀀스로 인가된 코맨드에 대응하는 트리거 신호의 발생이 방지되고, 불필요한 회로 동작이 금지된다.

도 2b 는 도 2a 에 도시된 코맨드 디코더(40) 및 내부 활성화 회로(63)의 구체적인 구성예를 도시하는 도면이다. 도 2b 에서, 액티브 코맨드 디코더 회로(41)는 내부 제어 신호 RAS0, ZCAS0, 및 ZWE0를 수신하는 3-입력 NAND 회로로 구성된다. 다른 코맨드 디코더(42)는 프리차지 코맨드 디코더 회로(42a), 기록 코맨드 디코더 회로(42b), 및 판독 코맨드 디코더 회로(42c)를 포함한다.

프리차지 코맨드 디코더 회로(42a)는 내부 제어 신호 RAS0, ZCAS0, 및 WE0를 수신하고, 액티브 신호 ACT를 또한 수신하는 4-입력 NAND 회로로 구성된다. 기록 코맨드 디코더 회로(42b)는 내부 제어 신호 ZRAS0, CAS0, 및 WE0를 수신하고 액티브 신호 ACT를 또한 수신하는 4-입력 NAND 회로로 구성된다. 판독 코맨드 디코더 회로(42c)는 내부 제어 신호 ZRAS0, CAS0, 및 ZWE0를 수신하고 액티브 신호 ACT를 또한 수신하는 4-입력 NAND 회로로 구성된다.

내부 활성화 회로(63)는 액티브 코맨드 디코더(41)로부터 인가되는 내부 활성화 트리거 신호 ZA를 세트 입력단에서 수신하고, 프리차지 코맨드 디코더(42a)로부터 출력되는 프리차지 동작 트리거 신호 ZPC를 리

세트 입력단에서 수신하는 NAND형 플립플롭으로 구성된다. 이 NAND형 플립플롭은 트리거 신호 ZA를 두 입력단중 한쪽 입력단에서 수신하는 NAND 회로(63a)와, 트리거 신호 ZPC를 두 입력단중 한쪽 입력단에서 수신하는 NAND 회로(63b)를 포함한다. NAND 회로(63b)의 출력은 NAND 회로(63a)의 다른쪽 입력단에 인가되고, NAND 회로(63a)의 출력단으로부터 액티브 신호 ACT를 발생한다. 액티브 신호 ACT는 NAND 회로(63b)의 다른쪽 입력단에도 또한 인가된다.

도 2b 에 도시된 회로의 동작을 도 3 에 도시된 타이밍도를 참조하여 설명한다.

시간 T0에서 클럭 신호 CLK가 상승할 때, 외부 제어 신호 extZRAS, extZCAS, 및 extZWE가 모두 H레벨에 있으면, 코맨드 디코더 회로(41, 42a, 42c)의 각각은 입력단중 적어도 하나의 입력단에서 L레벨의 신호를 수신하여, H레벨의 신호를 발생하고, 내부 회로는 최종 사이클의 상태를 유지한다. 도 3 에서, 액티브 신호 ACT는 L레벨에 있고, SDRAM은 프리차지 상태(대기 상태)를 유지한다.

시간 T1에서 클럭 신호 CLK가 상승할 때, 외부 제어 신호 extZCAS는 L레벨로 설정되고, 외부 제어 신호 extZRAS, 및 extZWE는 모두 H레벨로 설정되어, 판독 코맨드가 인가된다. 내부 제어 신호 CAS0는 사전설정된 기간 동안 H레벨로 설정된다. 그러나, 액티브 신호 ACT가 L레벨을 유지하고 있으며, 코맨드 디코더 회로(42a-42c)의 출력 신호는 모두 H레벨이고, 판독 동작을 트리거하기 위한 신호는 비활성 상태를 유지한다.

시간 T2에서 클럭 신호 CLK가 상승할 때, 외부 제어 신호 extZRAS는 H레벨로 설정되고, 외부 제어 신호 extZCAS 및 extZWE는 모두 L레벨로 설정되며, 기록 코맨드가 인가된다. 내부 제어 신호 CAS0 및 WE0는 사전설정된 기간 동안 활성 상태의 H레벨로 되나, 이 상태에서도 액티브 신호 ACT는 L레벨의 비활성 상태에 있고, 기록 동작을 트리거하기 위한 트리거 신호 ZW는 비활성 상태의 H레벨을 유지한다.

시간 T3에서 클럭 신호 CLK가 상승할 때, 외부 제어 신호 extZRAS 및 extZWE는 모두 L레벨로 설정되고, 외부 제어 신호 extZCAS는 H레벨로 설정되며, 프리차지 코맨드가 인가된다. 이 경우, 내부 제어 신호 RAS0 및 WE0은 사전설정된 기간 동안 H레벨로 되나, 이 상태에서도 액티브 신호 ACT는 L레벨에 있고, 트리거 신호 ZA, ZR 및 ZW는 모두 비활성 상태를 유지한다.

시간 T4에서 클럭 신호 CLK가 상승할 때, 외부 제어 신호 extZRAS는 L레벨로 설정되고, 외부 제어 신호 extZCAS 및 extZWE는 모두 H레벨로 설정되며, 액티브 코맨드가 인가된다. 이 액티브 코맨드에 응답하여, 내부 제어 신호 RAS0는 H레벨로 되며, 내부 제어 신호 CAS0 및 WE0는 L레벨로 유지된다. 이 상태에서, 액티브 코맨드 디코더(41)로부터의 트리거 신호 ZA는 사전설정된 기간 동안 L레벨로 되고, 내부 활성화 회로(63)가 세트되며, 액티브 신호 ACT는 H레벨로 설정된다. 이 액티브 신호 ACT의 활성화에 따라, 메모리 셀을 선택하는 내부 동작이 개시된다. 또한, 이 액티브 신호 ACT의 H레벨의 활성화에 응답하여, 코맨드 디코더(42a-42c)가 모두 인에이블된다.

시간 T5에서 클럭 신호 CLK가 상승할 때, 외부 제어 신호 extZRAS 및 extZWE는 모두 H레벨로 유지되고, 외부 제어 신호 extZCAS는 L레벨로 설정되며, 판독 코맨드가 인가된다. 이 상태에서, 내부 제어 신호 CAS0는 사전설정된 기간 동안 H레벨로 되고, 내부 제어 신호 RAS0 및 WE0은 L레벨로 유지된다. 판독 코맨드에 응답하여, 판독 코맨드 디코더 회로(42c)는 판독 동작 트리거 신호 ZR를 사전설정된 기간 동안 L레벨의 활성 상태로 설정한다. 이 활성 상태로 된 판독 동작 트리거 신호 ZR에 따라, 열 관련 제어 회로(64) 및 입/출력 제어 회로(66)가 활성화되어, 열 선택 동작 및 데이타 출력 동작은 사전설정된 시퀀스로 실행된다.

시간T6에서 클럭 신호 CLK가 상승할 때, 외부 제어 신호 extZRAS는 H레벨로 설정되고, 외부 제어 신호 extZCAS 및 extZWE는 모두 L레벨로 설정되며, 기록 코맨드가 인가된다. 내부 제어 신호 RAS0는 L레벨이고, 내부 제어 신호 CAS0 및 WE0는 H레벨이며, 기록 코맨드 디코더 회로(42b)로부터의 기록 동작 트리거 신호 ZWE는 사전설정된 기간 동안 L레벨의 활성 상태로 설정된다. 활성 상태로 된 트리거 신호 ZW에 따라, 열 관련 제어 회로(64) 및 입/출력 제어 회로(66)가 순차적으로 활성화되고, 데이타의 기록 동작이 실행된다.

시간 T7에서 클럭 신호 CLK가 상승할 때, 외부 제어 신호 extZRAS 및 extZWE는 L레벨로 설정되고, 외부 제어 신호 extZCAS는 H레벨로 설정되며, 프리차지 코맨드가 인가된다. 내부 제어 신호 RAS0 및 WE0는 H레벨로 설정되고, 내부 제어 신호 CAS0는 L레벨이며, 프리차지 코맨드 디코더 회로(42a)로부터의 프리차지 동작 트리거 신호 ZPC는 사전설정된 기간 동안 L레벨의 활성 상태로 설정된다. 이 프리차지 동작 트리거 신호 ZPC의 활성화에 응답하여, 내부 활성화 회로(63)는 리세트되고, 액티브 신호 ACT는 L레벨의 비활성 상태로 된다. 이 액티브 신호 ACT의 비활성화에 응답하여, 도 1 에 도시된 행 관련 제어 회로(62), 열 관련 제어 회로(64) 및 입/출력 제어 회로(66)가 리세트되고, SDRAM은 프리차지 상태(대기 상태)로 복귀한다. 또한 이 액티브 신호 ACT의 비활성화에 응답하여, 코맨드 디코더 회로(42a-42c)는 디스에이블 상태로 되고 디코드 동작이 금지된다.

상술한 바와 같이, 액티브 코맨드가 인가된 후 판독 코맨드, 기록 코맨드 또는 프리차지 코맨드가 인가된 때에만 각각 판독 동작, 기록 동작 또는 프리차지 동작이 수행되도록 트리거 신호가 생성된다. 이 때문에, SDRAM의 대기(프리차지 상태)동안, 인가되는 판독 코맨드, 기록 코맨드 또는 프리차지 코맨드는 대응하는 트리거 신호를 활성시킬 수 없어, 불필요한 회로 동작이 방지될 수 있고, 소비 전력을 감소시키고, 회로 오동작을 방지할 수 있다.

상기 실시예에서, SDRAM을 활성화 시키도록 액티브 코맨드가 인가된 후에, 판독, 기록 및 프리차지 코맨드가 수신된다. 대안적으로, 판독, 기록 및 프리차지 코맨드중 1개 또는 2개의 코맨드가 SDRAM의 활성 상태 동안(즉, 액티브 코맨드가 인가된 후)에만 수신되도록 구성되어도 좋다.

또한, 내부 활성화 신호 ACT는 행 관련 제어 회로(62)(내부 활성화 회로(63))로부터 코맨드 디코더(40)로 인가되도록 구성되어도 좋다.

이상과 같이, 본 발명의 실시예 1에 따르면, 정상적인 시퀀스로 코맨드가 입력될 때에만 내부 회로 동작을 수행하는 트리거 신호가 활성 상태로 된다. 따라서, 실행불가능한 코맨드가 입력되는 경우, 불필요

한 회로 동작이 방지될 수 있으므로, 소비 전력이 감소되고 회로 오동작이 방지될 수 있다.

(실시예 2)

도 4a 는 본 발명의 실시예 2에 따른 SDRAM의 주요 부분의 구성을 도시하는 도면이다. 도 4a 에서, 프리차지 코맨드를 디코드하는 부분의 구성만을 도시한다. 도 4b 에서, 프리차지 코맨드 디코더 회로(42aa)는 내부 제어 신호 RAS0, ZCAS0 및 WE0과, 열 선택 실행 지시 신호 COL을 수신하는 4-입력 NAND 회로로 구성된다. 열 선택 실행 지시 신호 COL은 열 선택 실행 검출 회로(70)로부터 출력된다. 상기 열 선택 실행 검출 회로(70)는 판독 동작 트리거 신호 ZR 및 기록 동작 트리거 신호 ZW중 하나의 활성화시에 세트되고, 프리차지 동작 트리거 신호 ZPC의 활성화시에 리세트되는 NAND 회로(72a 및 72b)를 포함하는 플립플롭으로 구성된다.

NAND 회로(72a)는 프리차지 동작 트리거 신호 ZPC를 사전설정된 기간 동안 지연하는 지연 회로(71)로부터의 지연된 트리거 신호와, NAND 회로(72b)의 출력 신호를 또한 수신한다. 이 NAND 회로(72b)으로부터 열 선택 실행 검출 신호 COL가 출력된다. NAND 회로(72b)는 NAND 회로(72a)의 출력 신호와 판독 동작 트리거 신호 ZR 및 기록 동작 트리거 신호 ZW를 수신한다. 이제, 도 4a 에 도시된 프리차지 코맨드 디코더 회로의 동작을 도 4b 에 도시된 타이밍도를 참조하여 설명한다.

시간 T0에서 클럭 신호 CLK가 상승할 때, 외부 제어 신호 extZRAS 및 extZWE는 모두 L레벨로 설정되고, 외부 제어 신호 extZCAS는 H레벨로 설정되며, 프리차지 코맨드가 인가된다. 이 상태에서, 판독 코맨드 또는 기록 코맨드중 어느것도 인가되지 않고, 데이타의 열 선택 동작 및 입/출력 동작은 수행되지 않으므로, 열 선택 검출 신호 COL은 L레벨로 되고, 프리차지 동작 트리거 신호 ZPC는 H레벨로 유지된다. 이 프리차지 트리거 신호 ZPC를 수신하는 회로는 동작하지 않는다.

시간 T1에서 클럭 신호 CLK가 상승할 때, 외부 제어 신호 extZRAS는 H레벨로 설정되고, 외부 제어 신호 extZCAS는 L레벨로 설정된다. 외부 제어 신호 extZWE는 지정되는 동작(판독 동작 또는 기록 동작)에 따라, H레벨 또는 L레벨로 설정된다. 따라서, 시간 T1에서 판독 코맨드 또는 기록 코맨드가 인가된다. 이 판독 코맨드 또는 기록 코맨드에 따라, NAND 회로(72b)로부터 출력되는 열 선택 실행 검출 신호 COL은 H레벨로 된다. 이 상태에서, 프리차지 코맨드와 상이한 판독 코맨드 또는 기록 코맨드가 인가되므로, 프리차지 동작 트리거 신호 ZPC는 H레벨을 유지한다.

시간 T2에서 클럭 신호 CLK가 상승할 때, 외부 제어 신호 extZRAS 및 extZWE는 모두 L레벨로 설정되고, 외부 제어 신호 extZCAS는 H레벨로 설정되며, 프리차지 코맨드가 인가된다. 이 상태에서, 프리차지 코맨드 디코더 회로(42aa)는 그 입력이 모두 H레벨로 되어, 프리차지 동작 트리거 신호 ZPC를 사전설정된 기간 동안 L레벨의 활성 상태로 설정한다. 이에 의해, 내부 활성화 신호 ACT는 리세트되고 내부에서 프리차지 동작이 실행된다. 이 프리차지 동작 트리거 신호 ZPC가 하강한 후 지연 회로(71)에 의해 결정된 지연 시간이 경과되면, NAND 회로(72a)의 출력 신호는 H레벨로 되어, NAND 회로(72b)의 입력 모두가 H레벨로 되고, 열 선택 실행 검출 신호 COL는 L레벨로 된다. 이 열 선택 실행 검출 신호 COL의 하강에 응답하여, 프리차지 동작 트리거 신호 ZPC는 H레벨로 상승한다. 이 지연 회로(71)에 의해 제공된 지연 시간으로 인해, 프리차지 동작 트리거 신호 ZPC는 활성 상태로 되는 시간을 확보할 수 있다.

통상적으로, SDRAM에서 내부의 데이타의 기록 또는 판독이 수행된 후에, SDRAM을 프리차지 상태(대기 상태)로 복귀시키는 프리차지 코맨드가 인가된다. 따라서, 판독 코맨드 또는 기록 코맨드가 인가된 후 프리차지 코맨드가 인가될 때에만 프리차지 동작 트리거 신호 ZPC가 활성 상태로 되도록 구성함으로써, 잘못된 동작 시퀀스로 프리차지 코맨드가 입력된 경우(즉, 판독 또는 기록 코맨드보다 먼저 입력된 경우), 프리차지 코맨드 동작 트리거 신호를 항상 비활성 상태로 할 수 있고, 이에 따라 불필요한 회로 동작을 방지할 수 있다.

또한, 다른 코맨드 디코더 회로를 형성하는 부분은 실시예 1의 부분과 동일한 구성이 이용되어도 좋다. 종래에서와 같이, 액티브 코맨드 디코더 회로, 판독 코맨드 디코더 회로 및 기록 코맨드 디코더 회로가 서로 독립적으로 코맨드 디코드 동작을 수행하는 구성이 이용되어도 좋다. 또, 내부 활성화 신호 ACT는 열 관련 제어 회로 및 입/출력 제어 회로에 인가되지 않아도 좋다.

이상과 같이, 본 발명의 실시예 2에 따르면, 프리차지 코맨드는 판독 코맨드 또는 기록 코맨드가 입력되고 내부에서 열 선택 동작이 수행된 후에 인가될 때에만 유효 상태로 된다. 따라서, 잘못된 프리차지 코맨드가 입력된 경우에도, 불필요한 회로 동작이 방지될 수 있고, 회로 오동작이 방지되고 소비 전력이 감소될 수 있다.

(실시예 3)

도 5a는 본 발명의 실시예 3에 따른 SDRAM의 주요 부분의 구성을 도시한 도면이다. 도 5a에 도시된 구성에서, SDRAM은 버스트 길이와, CAS 지연과, 버스트 유형들을 나타내는 데이타를 저장하는 코맨드 레지스터(82)를 포함한다. 버스트 길이는 하나의 내부 액세스 동작에 의해 연속적으로 입/출력되는 데이타의 개수를 나타낸다. CAS 지연은 판독 코맨드가 제공될 때부터 유효한 데이타가 출력될 때까지 요구되는 클럭 신호 CLK의 사이클 수를 나타낸다. 버스트 유형은 연속적으로 데이타가 입/출력되는 경우 연속적으로 변하는 열 어드레스 변화 시퀀스를 나타낸다. 통상적으로, 버스트 유형은 연속적인 열 어드레스 신호가 연속적으로 변하는 순차적(sequential) 버스트 유형과, 열 어드레스 신호가, 예를 들어 8 비트의 경우 3→2→1→0→7→6→5→4 순서로 변하는 인터리브(interleave) 버스트 유형의 두가지 형태로 분류될 수 있다.

전술한 데이타는 SDRAM 동작 형태를 결정하므로, SDRAM 사용 전에 데이타가 초기에 설정된다. 실시예 3에서, 액세스 코맨드는 요구된 데이타를 코맨드 레지스터(82)에 저장하기 위한 초기 동작이 수행된 후에만 인가된다.

도 5a에서, 모드 세트 코맨드 디코더 회로(43)는 내부 제어 신호 RAS0, CAS0, WE0를 수신하는 3-입력 NAND 회로로 구성된다. 세트 모드 코맨드 디코더 회로(43)로부터의 레지스터 세트 동작 트리거 신호 ZMC는 코맨드 세팅 제어 회로(80)에 제공된다. 코맨드 세트 동작 트리거 신호 ZMC의 활성에 응답하여,

코맨드 세팅 제어 회로(80)는 코맨드 레지스터(82)와 외부 터미널(84)을 접속시켜, 코맨드 레지스터(82)로의 데이타 기록이 실행될 수 있도록 한다. 외부 터미널(84)은 데이타 I/O 터미널만을 포함하거나 혹은 어드레스 입력 터미널을 포함할 수 있다. 통상적으로, 모드 세팅 동작에 있어서, 세팅될 모드의 유형은 이 특정한 어드레스 신호 터미널에 제공되는 어드레스 신호에 따라 결정된다. 도면에는 이러한 모드를 결정하기 위한 부분의 구성이 명확하게 도시되어 있지 않다. 요구된 데이타가 코맨드 레지스터(82)에 저장되는 경우, 모드 세트 동작 트리거 신호 ZMC는 활성 상태로 된다.

액세스 코맨드 디코더 회로(41a)는 내부 제어 신호 RAS0, ZCS0, ZWE와 코맨드 레지스터 데이타 세팅 완료 신호 SCR을 수신하는 4-입력 NAND 회로로 구성된다.코맨드 레지스터 데이타 세팅 완료 신호 SCR는 모드 세트 동작 트리거 신호 ZMC의 활성화에 응답하여 세트되는 세트/리세트 플립플롭(85)의 출력단 Q로부터 제공된 신호이다. 세트/리세트 플립플립(85)은 리세트 입력단 R에서 내부 동작 활성화 트리거 신호 ZA를 소정의 시간씩 지연하는 지연 회로(87)로부터 신호를 수신한다. 도 5a에 도시된 구성의 동작은 도 5b에 도시된 타이밍도를 참조하여 이하 기술될 것이다.

시간 T3에서 액세스 코맨드가 제공되면, 내부 제어 신호 RAS0는 H레벨로 세트되고, 내부 제어 신호 CAS0 및 WE0는 L레벨로 유지된다. 요구된 데이타가 코맨드 레지스터(82)에 저장되지 않았기 때문에, 코맨드 레지스터 데이타 세팅 완료 회로 SCR는 L레벨로 유지되고, 내부 동작 활성화 트리거 신호 ZA는 H레벨로 유지된다. 따라서, 이 상태에서 메모리 셀 선택을 위한 내부 동작은 실행되지 않는다.

시간 T1일 때 모드 세트 코맨드가 제공되면, 내부 제어 신호 RAS0, CAS0, WE0는 H레벨로 세트된다(모드 세트 코맨드는 전형적인 WCBR 조건에 대응하여 외부 제어 신호 extZRAS, extZCAS, extZWE를 L레벨로 유지시킨다). 이로 인해, 모드 세트 코맨드 디코더 회로(43)로부터의 모드 세트 동작 트리거 신호 ZMC는 사전설정된 기간 동안에 L레벨로 세트되고, 세트/리세트 플립플롭(85)도 세트되고, 신호 SCR은 H레벨로 세트된다. 이러한 모드 세트 코맨드에 따라, 코맨드 세팅 제어 회로(80)는 활성 상태로 되고, 외부 터미널(84)에 제공되는 요구된 데이타는 코맨드 레지스터(82)에 기록된다. 요구된 데이타가 코맨드 레지스터(82)에 기록된 후에도, 플립플롭(85)은 세트 상태로 유지되고, 코맨드 레지스터 데이타 기록 완료 신호 SCR는 H레벨로 유지된다.

시간 T2일 때 액티브 코맨드가 제공되면, 내부 제어 신호 RAS0는 H레벨로 세트되고, 내부 제어 신호 CAS0, WE0는 L레벨로 유지된다. 따라서, 액티브 코맨드 디코더 회로(41a)의 입력은 모두 H레벨로 세트되고, 내부 동작 활성 트리거 신호 ZA는 L레벨의 활성 상태로 세트된다. 도 5a에는 이에 대한 경로가 도시되어 있지는 않지만 활성화된 트리거 신호 ZA에 따라, 내부 동작이 개시된다. 트리거 신호 ZA가 L레벨로 하강한 후에 지연 회로(87)에 의해 판정된 지연 시간이 경과하게 되면, 지연 회로(87)의 출력 신호는 L레벨로 하강하며, 세트/리세트 플립플롭(85)는 리세트되고, 신호 SCR는 L레벨로 세트되고, 내부 동작 활성 트리거 신호 ZA는 H레벨로 세트된다.

도 5a의 구성에서, 신호 ZA가 활성화되면 신호 SCR는 L레벨로 된다. 따라서, 모드 세트 코맨드는 각각의 액티브 코맨드가 통상의 동작 모드 상태가 되기 전에 입력되도록 요구되어 진다. 이러한 문제는 점선으로 도시된 원형 블럭의 구성에 의해 해결될 수 있다. 부가적인 지연 회로는 지연 회로(87)의 출력을 수신하고, AND 게이트는 부가적인 지연 회로의 출력 및 신호 ZMC를 수신한다. AND 게이트의 출력은 세트 입력단 S에 제공된다. 이러한 구성에 따르면, 모드 세트 코맨드가 제공된 후에, 신호 SRC는 활성 상태로 유지하여 액티브 코맨드가 채택될 수 있도록 한다.

코맨드 레지스터(82)에 대해 요구된 데이타가 초기에 세트된 후에만 액티브 코맨드가 채택되는 전술한 구성으로 인해, SDRAM의 오동작(malfunction)이 방지될 수 있고 SDRAM은 높은 신뢰성이 허용된다. 액세스 코맨드가 코맨드 레지스터(82)의 초기 세트 동작 전에 제공되면, 종래의 SDRAM은 정확한 동작을 수행할 수 없게 되며, 이로 인해 요구된 데이타를 획득할 수 없게 되고, SDRAM은 불안정한 상태로 동작하게 된다. 그렇지만, 전술한 본 발명의 구성에 의하면, 불안정한 상태의 동작이 차단되므로, 이로 인해 신뢰성이 향상될 뿐만 아니라 전류 소모가 줄어들게 된다.

(실시예 4)

도 6은 본 발명의 실시예 4에 따른 SDRAM의 주요 부분의 구성을 도시한 도면이다. 도 6에서, 자동-리프레시 코맨드(auto-refresh command)가 제공되면 액티브 코맨드의 수신이 금지된다. 자동 리프레시 코맨드 디코더 회로(44)는 내부 제어 신호(ZRAS0, ZCAS0, WE0)를 수신하는 3-입력 NAND 회로로 구성된다. 자동-리프레시 코맨드 디코더 회로(44)로부터의 리프레시 동작 트리거 신호 REF는 리프레시 제어 회로(90)로 제공된다. 리프레시 동작 트리거 신호 REF의 활성에 응답하여, 리프레시 제어 회로(90)는 사전설정된 기간 동안 활성 상태로 유지되는 리프레시 동작 활성화 신호 RACT를 행 관련 제어 회로에 제공한다. 행 관련 제어 회로는 리프레시 동작 활성화 신호 RACT에 응답하여 활성화되고, 정상적인 동작시 행 선택 동작과 유사한 메모리 셀들의 행을 선택하는 동작을 실행한다. 이 경우, 메모리 셀 행은 도시되지 않은 리프레시 어드레스 카운터로부터의 리프레시 어드레스에 따라 선택된다. 리프레시 동작 활성화 신호 RACT의 활성 기간은 미리 결정된다.

액티브 코맨드 디코더 회로(41b)는 리프레시 동작 활성 신호 ZRACT 뿐만 아니라 내부 제어 신호(RAS0, ZCAS0, ZWE0)를 수신하는 4-입력 NAND 회로로 구성된다. 리프레싱이 내부적으로 수행되는 동안에, 리프레시 동작 활성 신호 ZRACT는 L레벨의 활성 상태로 되고, 액티브 코맨드 디코더 회로(41b)로부터 내부 동작 활성 트리거 신호 ZA는 H레벨로 고정된다. 따라서, 외부로부터 액티브 코맨드가 제공되더라도, 이 액티브 코맨드는 수용되지 않게 되며, 이로 인해 액티브 코맨드 디코더 회로(41a)의 출력이 변동하지 않게 되고, 불필요한 회로 동작이 차단된다.

자동-리프레싱 동작이 완료되면, 리프레시 동작 활성 신호 ZRACT는 H레벨로 복귀한다. 이로 인해, 외부로부터 액티브 코맨드가 제공되면, 내부 동작 활성 트리거 신호 ZA는 이 액티브 코맨드에 따라 사전설정된 기간 동안 L레벨로 세트된다.

실시예 1 내지 4는 서로 독립적으로 사용되거나 혹은 서로 적절하게 조합하여 사용될 수 있다.

전술한 실시예 4에 따르면, 내부적으로 자동-리프레싱 동작이 수행되는 동안에는 액티브 코맨드의 수용이 금지되므로 액티브 코맨드 디코더 회로의 불필요한 회로 동작이 차단되며, 이로 인해 전력 소비가 줄어들게 되고 불필요한 회로 동작으로 인한 오동작이 차단된다.

(실시예 5)

도 7은 본 발명의 실시예 4에 따른 SDRAM의 전체 구성을 개략적으로 도시한 도면이다. 도 7에서, SDRAM은 서로 독립적으로 활성화/프리차지 동작을 수행하는 다수의 뱅크(#A 및 #B)(도 7에는 두개로만 도시됨)를 포함한다. 각각의 뱅크(#A 및 #B)는 메모리 셀 어레이(50)와, 행 선택 회로(54)와, 열 선택 회로(56)와, 센스 앰프 및 I/O 블럭(58)과, I/O 회로(60)를 포함하며, 이들은 I/O 버퍼가 데이타 I/O 터미널에 직접 접속된 I/O 회로(60)의 부분을 제외하고는 제각기 도 1의 것과 유사하다. 통상적으로, SDRAM에서 데이타는 레지스터(기록 또는 판독 레지스터)에 임시 저장되고, 클럭 신호 CLK와 동기적으로 I/O 버퍼를 통해 외부에 입/출력된다. 이 레지스터 부분들의 제어 이외의 동작은 뱅크(#A 및 #B)에 대해 서로 독립적으로 실행된다.

뱅크 #A(100a) 및 뱅크 #B(100b)를 서로 독립적으로 구동시키기 위해, 뱅크-A 제어기(110a) 및 뱅크-B 제어기(110b)가 서로 독립적으로 제공된다. 서브-코맨드 디코더(120a, 120b)는 제각기 뱅크-A 제어기(110a) 및 뱅크-B 제어기(110b)에 대해 제공된 것이다. 각각의 서브-코맨드 디코더(120a, 120b)는 어드레스 버퍼(52)로부터 제공된 뱅크 어드레스 BA에 따라 코맨드 디코더(4)로부터 트리거 신호를 수신하기 위해 선택적으로 활성화되고, 선택시 트리거 신호를 이에 대응하는 뱅크 제어기에 전송한다. 본 실시예에서 코맨드 디코더(4) 및 입력 버퍼(1)는 실시예 1 내지 4와 동일한 구성을 갖는다. 어드레스 버퍼(52)는 클럭 신호 CLK와 동기적으로 외부로부터 제공된 어드레스 신호 비트(A0-An)를 취하여, 뱅크 어드레스 BA 및 내부 어드레스 신호 Add를 발생한다. 어드레스 신호 Add는 제각기 뱅크 #A(100a) 및 뱅크 #B(100b)에 인가된다. 코맨드 디코더(4) 및 서브코맨드 디코더(120a, 120b)는 이미 기술된 실시예 1 내지 실시예 4에 설명한 것과 유사하게 구성된다. 따라서, 트리거 신호는 이에 대응하는 뱅크에 대해 유효한 코맨드가 제공되는 경우에만 활성화된다.

도 8은 도 7에 도시된 코맨드 디코더, 서브코맨드 디코더 및 뱅크 제어기의 구성을 도시한 도면이다. 코맨드 디코더(4)는 실시예 1 내지 실시예 4와 동일한 구성을 가지며, 그 내부 구성은 도면에 도시되어 있지 않다. 입력 버퍼 회로(1)로부터 제공되는 내부 제어 신호 RAS0, ZRAS0, CAS0, ZCAS0, WE0, ZWE0에 따라, 사전설정된 기간 동안 코맨드 디코더(4)는 내부 동작 활성 트리거 신호 ZA와, 프리차지 동작 활성 트리거 신호 ZPC와, 판독 동작 트리거 신호 ZR와, 기록 동작 트리거 신호 ZW를 활성화시킨다. 서브코맨드 디코더(120a)는 뱅크 어드레스 신호 비트 BA 및 내부 동작 활성 트리거 신호 ZA를 수신하는 2-입력 NOR 회로로 구성된 액티브 코맨드 디코더(121)와, 뱅크 어드레스 신호 비트 BA 및 프리차지 동작 트리거 신호 ZPC를 수신하는 2-입력 NOR 회로로 구성된 프리차지 코맨드 디코더 회로(122)와, 이하 기술될 뱅크-A 제어기(110a)내에 포함된 내부 활성화 회로(110aa)로부터 제공되는 액티브 신호 ACT(A) 뿐만 아니라 뱅크 어드레스 신호 비트 BA 및 판독 동작 트리거 신호 ZR를 수신하는 3-입력 NOR 회로로 구성된 판독 코맨드 디코더 회로(123)와, 액티브 신호 ACT(A), 뱅크 어드레스 신호 비트 BA 및 기록 동작 트리거 신호 ZW를 수신하는 3-입력 NOR 회로로 구성된 기록 코맨드 디코더 회로(124)를 포함한다.

내부 활성화 회로(110aa)는 액티브 코맨드 디코더 회로(121)로부터 내부 동작 활성화 트리거 신호 A(A)를 수신하는 인버터(111)와, 프리차지 코맨드 디코더 회로(122)로부터 프리차지 동작 트리거 신호 PC(A)를 수신하는 인버터(112)와, 두 입력단중 하나의 입력단에서 인버터(111)의 출력 신호를 수신하는 NAND 회로(113)와, 하나의 입력단에서 인버터(112)의 출력 신호를 수신하는 NAND 회로(114)를 포함한다. NAND 회로(114)는 뱅크 #A(100a)를 활성화하는(메모리 셀 선택 동작을 개시하는) 액티브 신호 ACT(A)를 발생한다. 액티브 신호 ACT(A)는 NAND 회로(113)의 다른 입력에 또한 제공된다. NAND 회로(113)의 출력 신호는 NAND 회로(114)의 다른 입력단에 피드백된다.

뱅크 #B(100b)에 대해 제공되는 서브 코맨드 디코더(120b)는 인버터(129)를 거쳐 뱅크 어드레스 신호 비트 Bt를 수신하는 경우를 제외하고는 서브 코맨드 디코더(120a)와 동일한 구성을 갖는다. 서브 코맨드 디코더(120b)는 인버터(129)를 거쳐 제공되는 반전된 뱅크 어드레스 신호 비트 ZBA가 L레벨일 때 선택되고, 코맨드 디코더(4)로부터 제공되는 트리거 신호 ZA, ZPC, ZR, ZW에 대응하는 뱅크 #B(100b)에 대한 트리거 신호, 즉, 뱅크 #B에 대해 프리차지 동작 트리거 신호 PC(B)와, 내부 동작 활성화 트리거 신호 A(B)와, 기록 동작 트리거 신호 W(B)와, 판독 동작 트리거 신호 R(B)를 제공한다.

유사하게, 뱅크 #B 제어기(110b)는 프리차지 동작 트리거 신호 PC(B) 및 내부 동작 활성화 트리거 신호 A(B)에 따라 뱅크 #B에 대한 액티브 ACT(B)를 발생하는 내부 활성 회로(110ba)를 포함한다. 내부 활성 회로(11ba)는 내부 활성화 회로(110aa)와 동일한 구성을 가지며, 인버터(111, 112) 뿐만 아니라 NAND 회로(113, 114)를 포함한다. 또한, 뱅크 #B(100b)에 대한 액티브 신호 ACT(B)는 서브코맨드 디코더(120b)에 제공되어, 뱅크 #B에 대한 기록 동작 트리거 신호 W(B) 및 판독 동작 트리거 신호 R(B)가 발생되지 않도록 한다. 도 8에 도시된 코맨드 디코더 및 서브코맨드 디코더의 동작은 도 9의 타이밍도를 참조하여 이하 기술될 것이다.

시간 T0일 때, 모든 외부 제어 신호 extZRAS, extZCAS, extZWE는 H레벨로 유지된다. 이 상태에서, 코맨드가 제공되지 않으므로 SDRAM은 이전 상태로 유지된다. 도 9에 도시된 바와 같이, 시간 T0 이전에 SDRAM은 프리차지 상태로 된다. 이 상태에서, 액티브 신호 ZACT(A), AZCT(B)는 H레벨의 비활성 상태로 된다.

시간 T1일 때 액티브 코맨드가 제공된다. 외부 뱅크 어드레스 extBA는 L레벨로 세트되어 뱅크 #A가 지정된다. 따라서, 뱅크 #A에 대한 액티브 코맨드는 시간 T1일 때 제공된다. 뱅크 #A에 대한 액티브 코맨드에 따라, 도 8에 도시된 서브코맨드 디코더(120a)의 액티브 코맨드 디코더 회로(121)로부터 발생되는 내부 동작 활성화 트리거 신호 A(A)는 사전설정된 기간 동안 H레벨의 활성 상태로 세트되고, 내부 활성화 회로(110aa)의 NAND 회로(113)의 출력 신호는 H레벨로 세트되므로, 액티브 신호 ZACT(A)는 L레벨의 활성 상태로 세트된다. 이로 인해, 뱅크 #A에 대한 메모리 셀 선택 동작이 개시된다.

시간 T2일 때 뱅크 #B에대한 판독 코맨드가 제공된다. 이 상태에서, 뱅크 어드레스 BA는 H레벨이고, 서브코맨드 디코더(120a)로부터 뱅크 #A에 대한 모든 트리거 신호는 L레벨의 비활성 상태를 갖는다. 반면에, 뱅크 #B에 대해 제공되는 서브코맨드 디코더(120b)에서, 뱅크 어드레스 신호 ZBA는 L레벨로 세트되어 인에이블된다. 그러나, 내부 활성화 회로(110ba)로부터의 액티브 신호 ZACT(B)는 H레벨 상태이고, 뱅크 #B에 대한 서브 판독 코맨드 디코더 회로는 디스에이블 상태에 있다. 따라서, 판독 동작 트리거 신호 R(B)는 L레벨의 비활성 상태를 유지한다. 이로 인해, 뱅크 #B에 대한 판독 동작은 금지된다.

시간 T3일 때 뱅크 #B에 대한 기록 코맨드가 제공된다. 이 상태에서, 뱅크 #B에 대한 액티브 신호 ZACT(B)는 아직도 비활성 상태의 H레벨이고, 뱅크 #B의 서브코맨드 디코더(120b)는 디스에이블(비활성 상태)되고, 기록 동작 트리거 신호 W(B)는 L레벨의 비활성 상태를 유지한다.

시간 T4일 때 뱅크 #B에 대한 프리차지 코맨드가 제공된다. 이 상태에서, 사전설정된 기간 동안 코맨드 디코더(4)로부터의 프리차지 동작 트리거 신호 ZPC가 L레벨의 활성 상태이더라도, 뱅크 #B의 서브 코맨드 디코더(120b)는 비활성 상태를 갖는데, 그 이유는 활성 신호 ZACT(B)가 비활성 상태로 되어 프리차지 동작 트리거 신호 PC(B)가 L레벨의 비활성 상태를 유지하기 때문이다.

시간 T5일 때 뱅크 #A에 대한 판독 코맨드가 제공된다. 이 상태에서, 코맨드 디코더(4)로부터 제공되는 트리거 신호 ZR의 하강에 응답하여 서브코맨드 디코더(120a)는 판독 동작 트리거 신호 R(A)를 H레벨의 활성 상태로 하고, 뱅크 #A에서 데이타 판독 동작을 실행한다.

시간 T6일 때 뱅크 #A에 기록 코맨드가 제공된다. 이 상태에서, 내부 활성화 신호 ZA(A)는 L레벨의 활성 상태로 되고, 코맨드 디코더(4)로부터 제공되는 기록 동작 트리거 신호 ZW의 활성에 응답하여 서브코맨드 디코더(120a)는 뱅크 #A에 대한 기록 동작 트리거 신호 W(A)를 H레벨의 활성 상태로 한다.

시간 T7일 때 뱅크 #A에 대한 프리차지 코맨드가 제공되면, 서브코맨드 디코더(120a)로부터 프리차지 동작 트리거 신호 PC(A)는 전술한 것과 유사하게 H레벨을 획득하기 위해 활성 상태로 된다. 프리차지 동작 트리거 신호 PC(A)의 활성화에 응답하여, 내부 활성화 회로(110aa)는 리세트되고, 액티브 신호 ZACT(A)는 H레벨을 획득하기 위해 비활성 상태로 된다.

전술한 바와 같이, 각각의 뱅크에 대해서 서브코맨드 디코더가 제공되며, 대응하는 뱅크에 대한 액티브 코맨드가 제공되기 전에 나머지 다른 코맨드(판독 코맨드, 기록 코맨드, 프리차지 코맨드)가 제공되면 상기 나머지 다른 코맨드들은 무시된다. 따라서, 요구되지 않은 회로의 동작이 차단된다.

실시예 5는 대응하는 뱅크가 활성 상태인 경우(즉, 액티브 코맨드가 제공되고 액티브 신호 ZACT가 활성 상태로 되는 경우)에만 판독 코맨드, 기록 코맨드 및 프리차지 코맨드들중 어느 하나를 채택하도록 구성된 것이다. 그러나, 이러한 구성은 대응하는 뱅크가 활성 상태일 때에만 판독 코맨드, 기록 코맨드 및 프리차지 코맨드들중 하나 또는 두개만 채택하도록 사용될 수 있다.

전술한 바와같이, 본 발명의 실시예 5에 따르면, 액티브 코맨드가 인가된 뱅크에 대해서만 판독 코맨드, 기록 코맨드, 프리차지 코맨드를 유효 코맨드로서 수신하도록 구성하였으므로, 불필요한 회로 동작이 방지되고 전력 소비가 감소되며 회로의 오동작이 방지될 수 있다.

(실시예 6)

도 10은 본 발명의 실시예 6에 따른 SDRAM의 주요 부분의 구성을 도시한 도면이다. 도 10에 도시된 구성에 있어서, 뱅크 #A에 대해 제공된 서브코맨드 디코더(120a)의 프리차지 코맨드 디코더 회로(122a)는 판독 및 기록 코맨드를 디코딩하는 판독/기록 코맨드 디코더 회로(125a)로부터의 신호 R/W(A)의 활성 상태에 따라 인에이블된다. 유사하게, 뱅크 #B에 대해 제공되는 서브코맨드 디코더(120b)의 프리차지 코맨드 디코더 회로(122b)는 뱅크 #B에 대해 판독 및 기록 코맨드를 디코딩하는 판독/기록 코맨드 디코더 회로(125b)로부터 제공되는 판독/기록 동작 활성 신호 R/W(B)의 활성화에 따라서 인에이블된다.

판독/기록 코맨드 디코더 회로(125a 및 125b)로부터 출력된 활성화 신호 R/W(A) 및 R/W(B)는 제각기 전술한 실시예와 함께 기술된 트리거 신호에 의해 세트/리세트되는 플립플롭으로부터 발생된다. 이 구성은 각각의 뱅크에 대해 제공된 실시예 2의 구성과 동일하다.

이 구성에서, 대응하는 뱅크에서 판독 또는 기록 동작이 수행되는 경우에만 프리차지 코맨드가 수신되어 프리차지 동작이 실행된다. 따라서, 불필요한 회로 동작은 차단된다.

도 10에 도시된 구성은 파선(broken line)으로 도시된 바와 같이 판독/기록 코맨드 디코더 회로(125a)에 액티브 신호 ZACT(A)가 제공되고, 액티브 신호 ZACT(A)의 활성화시에만 판독/기록 코맨드 디코더 회로(125a)가 활성 상태로 되는 구성이 허용될 수 있다. 또한, 판독/기록 코맨드 디코더 회로(125b)에는 뱅크 #B에 대한 액티브 신호 ZACT(B)가 제공될 수 있다. 판독/기록 코맨드 디코더 회로(125a 및 125b)는 활성 신호 ZACT(A)및 ZACT(B)의 상태와 관계없이 디코딩하도록 제각기 구성될 수 있다.

실시예 6에 있어서, 데이타의 연속적인 판독 또는 연속적인 기록을 차단하는 버스트 중지 코맨드(burst stop command)는 프리차지 코맨드 대신에 사용될 수 있다. 이러한 버스트 중지 코맨드는 판독 또는 기록 코맨드가 대응하는 뱅크에 제공되는 경우에만 유효화되도록 구성될 수 있다.

도 10에서, 코맨드 디코더(4)로부터의 트리거 신호 ZR/ZW는 판독 동작 트리거 신호 ZR 및 기록 동작 트리거 신호 ZW를 나타낸다.

전술한 바와 같이, 본 발명의 실시예 6에 따르면, 서브코맨드 디코더는 각각의 뱅크에 대해 제공되고, 대응하는 뱅크에 대해 판독 또는 기록 코맨드가 제공되는 경우에만 프리치지 코맨드가 유효화되는 프리차지 동작이 수행되도록 구성될 수 있다. 따라서, 불필요한 회로의 동작이 차단되고, 전력 소모가 줄어들게 되고 회로의 오동작이 차단된다.

본 발명의 바람직한 실시예로 상세히 도시되고 기술되었지만, 본 기술 분야에 통상의 지식을 가진 자라면, 본 발명은 도시된 실시예로 한정되지 않으며, 본 발명의 정신 및 영역은 첨부된 특허 청구범위로

정의되어 짐을 이해할 것이다.

발명의 효과

본 발명의 동기형 반도체 기억 장치에 따르면, 불필요한 회로 동작을 방지하고, 이에 따라 소비 전력을 감소시킬 수 있고, 잘못 입력된 코맨드, 즉 잘못된 시퀀스에 따라 입력된 코맨드에 따라 수행될 회로 동작을 금지할 수 있다.

(57) 청구의 범위

청구항 1

외부로부터 주기적으로 반복하여 인가되는 클럭 신호와 동기하여 동작하는 동기형 반도체 기억 장치(a synchronous semiconductor memory device)에 있어서,

상기 클럭 신호와 동기하여 외부로부터 인가되는 다수의 외부 제어 신호의 상태를 판정하고, 상기 외부 제어 신호의 제 1 상태 조합이 발견되는 경우 사전설정된 제 1 내부 동작을 활성화하는 활성화 신호를 생성하기 위한 제 1 코맨드 디코더(41, 42a, 42b, 42c, 43, 121, 125a, 125b)와,

상기 제 1 코맨드 디코더로부터의 활성화 신호에 응답하여 인에이블되어 상기 클럭 신호와 동기하여 인가되는 상기 다수의 외부 제어 신호의 상태를 판정하고, 상기 외부 제어 신호의 상기 제 1 상태 조합과 상이한 제 2 상태 조합이 발견되는 경우 상기 제 1 내부 동작과 상이한 제 2 내부 동작을 활성화하는 제 2 코맨드 디코더(42, 42aa, 41a, 122, 123, 124, 122a, 122b)를 포함하는 동기형 반도체 기억 장치.

청구항 2

제 1 항에 있어서,

각각이 정보를 기억하는 다수의 메모리 셀을 더 포함하고,

상기 제 1 코맨드 디코더는 상기 다수의 메모리 셀에서 메모리 셀의 선택 동작을 활성화하며,

상기 제 2 코맨드 디코더는 선택된 메모리 셀로의 외부로부터의 데이타 입력 또는 선택된 메모리 셀로부터의 외부로부터의 데이타의 출력 동작을 활성화하는 동기형 반도체 기억 장치.

청구항 3

제 1 항에 있어서,

각각이 정보를 기억하는 다수의 메모리 셀을 더 포함하고,

상기 제 1 코맨드 디코더는 상기 다수의 메모리 셀에서 메모리 셀의 선택 동작을 활성화하며,

상기 제 2 코맨드 디코더는 상기 다수의 메모리 셀의 선택 동작을 종료시키는 동작을 활성화하는 동기형 반도체 기억 장치.

청구항 4

제 1 항에 있어서,

상기 제 2 코맨드 디코더로부터의 상기 제 2 내부 동작을 활성화하는 활성 신호에 응답하여 인에이블되어 상기 클럭 신호와 동기하여 인가되는 상기 다수의 외부 제어 신호의 상태를 판정하고 상기 제 1 및 제 2 상태 조합과 상이한 상기 다수의 외부 제어 신호의 제 3 상태 조합이 발견되는 경우, 상기 제 1 내부 동작을 종료시키는 동작을 활성화하는 제 3 코맨드 디코더(42aa)를 더 포함하는 동기형 반도체 기억 장치.

청구항 5

제 1 항에 있어서,

각각이 정보를 기억하는 다수의 메모리 셀을 더 포함하고,

상기 제 1 코맨드 디코더(42b, 42c, 125a, 125b)는 상기 다수의 메모리 셀중 선택된 메모리 셀에 대한 액세스 동작을 활성화하고, 상기 제 2 코맨드 디코더(42aa, 122a, 122b)는 상기 다수의 메모리 셀을 대기 상태로 세팅하는 동작을 활성화하는 동기형 반도체 기억 장치.

청구항 6

제 1 항에 있어서,

각각이 정보를 기억하는 다수의 메모리 셀을 각각 갖고, 그 내부에서의 메모리의 선택 동작이 서로 독립적으로 수행되는 다수의 뱅크(100a, 100b)를 더 포함하며,

상기 제 1 및 제 2 코맨드 디코더(120a, 120b)는 상기 다수의 뱅크 각각에 대응하여 제공되는 동기형 반도체 기억 장치.

청구항 7

제 4 항에 있어서,

각각이 정보를 기억하는 다수의 메모리 셀을 각각 갖고, 그 내부에서의 메모리의 선택 동작이 서로 독립적으로 수행되는 다수의 뱅크(100a, 100b)를 더 포함하며,

상기 제 1, 제 2 및 제 3 코맨드 디코더의 세트(121, 122, 123, 124)는 상기 다수의 뱅크 각각에 대응하여 제공되는 동기형 반도체 기억 장치.

청구항 8

외부로부터 주기적으로 반복하여 인가되는 클럭 신호와 동기하여 동작하는 동기형 반도체 기억 장치에 있어서,

각각이 정보를 기억하는 다수의 메모리 셀과,

상기 클럭 신호와 동기하여 다수의 외부로부터 인가되는 외부 신호의 상태를 판정하고, 상기 다수의 외부 신호의 제 1 상태 조합이 발견되는 경우, 상기 다수의 메모리 셀의 선택 동작을 활성화하는 제 1 코맨드 디코더(41a)와,

상기 동기형 반도체 기억 장치의 동작 형태를 규정하는 데이타를 저장하는 코맨드 레지스터(82)와,

상기 클럭 신호와 동기하여 상기 다수의 외부 신호의 상태를 판정하고, 상기 제 1 상태 조합과 상이한 상기 다수의 외부 신호의 제 2 상태 조합이 발견되는 경우 상기 제 1 코맨드 디코더의 판정 동작을 금지하여, 상기 다수의 메모리 셀의 선택 동작을 비활성 상태로 하고, 상기 코맨드 레지스터에 동작 형태를 규정하는 외부로부터 인가되는 데이타를 저장하는 동작 모드를 활성화하는 제 2 코맨드 디코더(43, 85)를 포함하는 동기형 반도체 기억 장치.

청구항 9

외부로부터 주기적으로 반복하여 인가되는 클럭 신호와 동기하여 동작하는 동기형 반도체 기억 장치에 있어서,

데이타를 저장하는 다수의 메모리 셀(50)과,

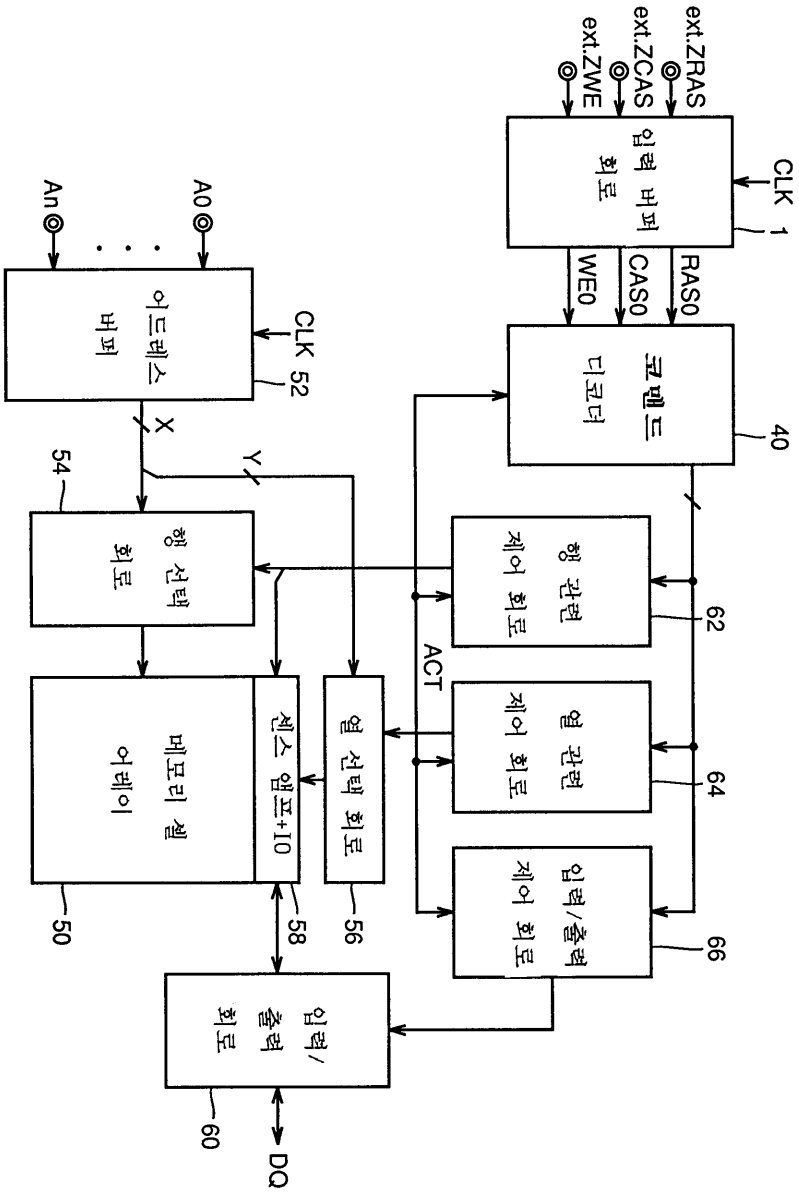
상기 클럭 신호와 동기하여 인가되는 다수의 외부 제어 신호를 디코드하여 상기 디코딩 결과에 따라 상기 메모리 셀내의 저장 데이타의 리프레싱(refreshing) 동작을 지시하는 리프레시 인스트럭션 신호를 활성화하는 제 1 코맨드 디코더(44)와,

상기 리프레시 인스트럭션 신호에 응답하여 상기 리프레시 동작을 활성화하는 리프레시 동작 활성화 신호(ZRACT)를 생성하는 리프레시 제어기(90)와,

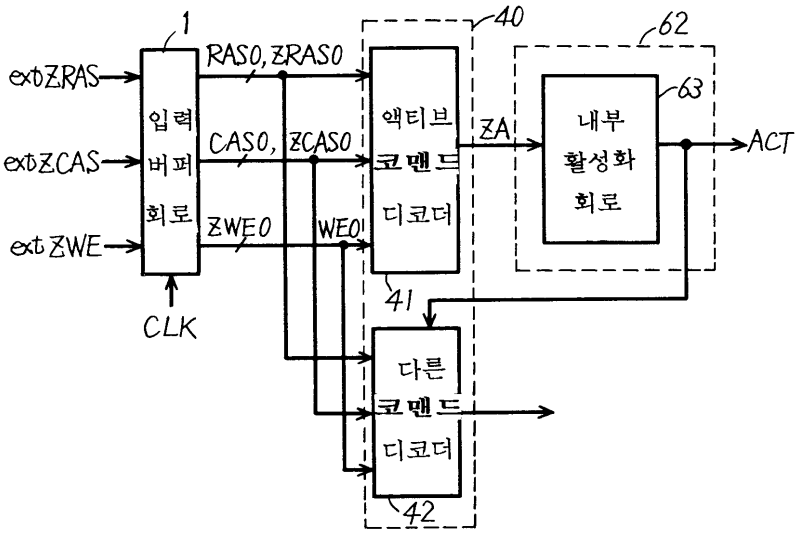
상기 리프레시 동작 활성화 신호에 응답하여 인에이블되고, 상기 외부 제어 신호를 디코딩하여 상기 디코딩 결과에 따라 메모리 셀 선택 동작을 활성화하는 활성화 신호를 활성화하는 제 2 코맨드 디코더(41b)를 포함하는 동기형 반도체 기억 장치.

도면

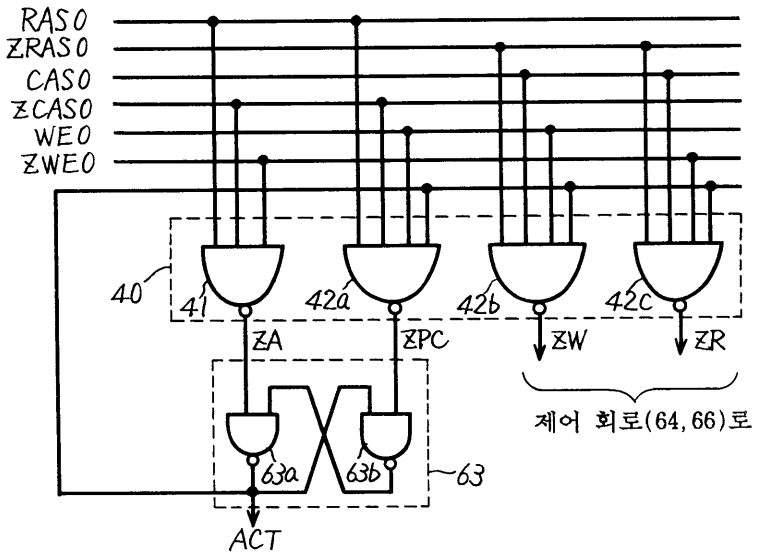
도면1


ext.ZRAS
ext.ZCAS
ext.ZWE
입력 버퍼 회로
CLK 1
RAS0
CAS0
WE0
코맨드 디코더
40
An
A0
어드레스 버퍼
CLK 52
X
Y
54
행 선택 회로
행 관련 제어 회로
62
ACT
열 관련 제어 회로
64
입력/출력 제어 회로
66
메모리 셀 어레이
센스 앰프+IO
열 선택 회로
50
58
56
입력/출력 회로
60
DQ

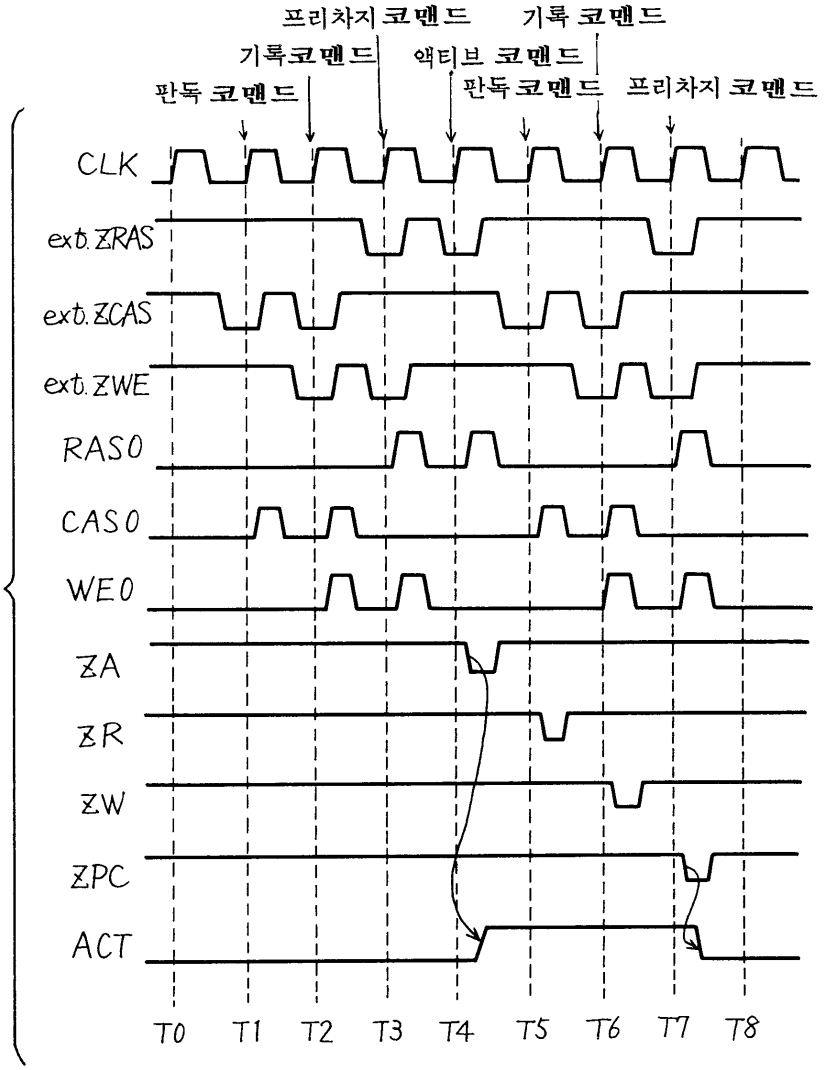
도면2a


1
40
62
extZRAS
extZCAS
extZWE
입력 버퍼 회로
RAS0, ZRAS0
CAS0, ZCAS0
ZWE0
WE0
CLK
액티브 코맨드 디코더
ZA
내부 활성화 회로
63
ACT
41
다른 코맨드 디코더
42

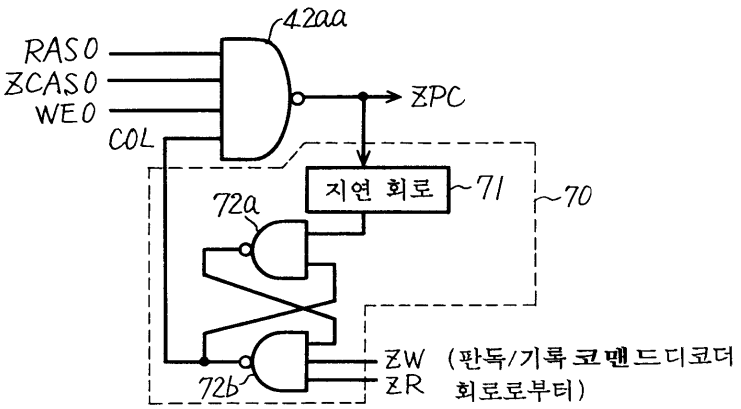
도면2b


RAS0
ZRAS0
CAS0
ZCAS0
WE0
ZWE0
40
41
42a
42b
42c
ZA
ZPC
ZW
ZR
제어 회로(64, 66)로
63a
63b
63
ACT

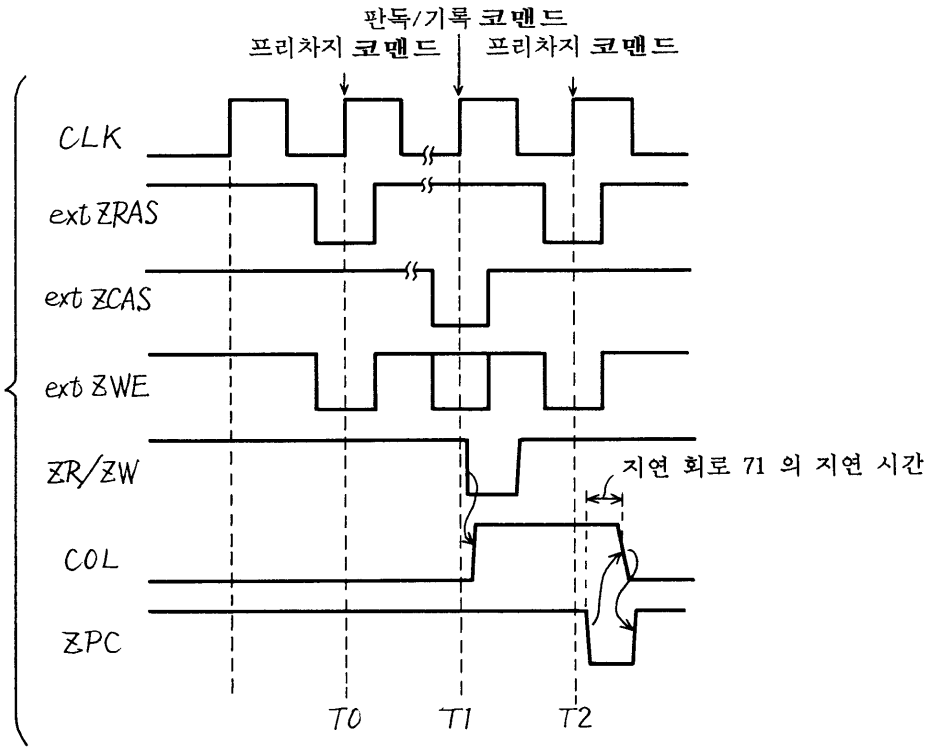
도면3


프리차지 코맨드
기록 코맨드
기록코맨드
액티브 코맨드
판독 코맨드
판독 코맨드
프리차지 코맨드
CLK
ext. ZRAS
ext. ZCAS
ext. ZWE
RAS0
CAS0
WE0
ZA
ZR
ZW
ZPC
ACT
T0
T1
T2
T3
T4
T5
T6
T7
T8

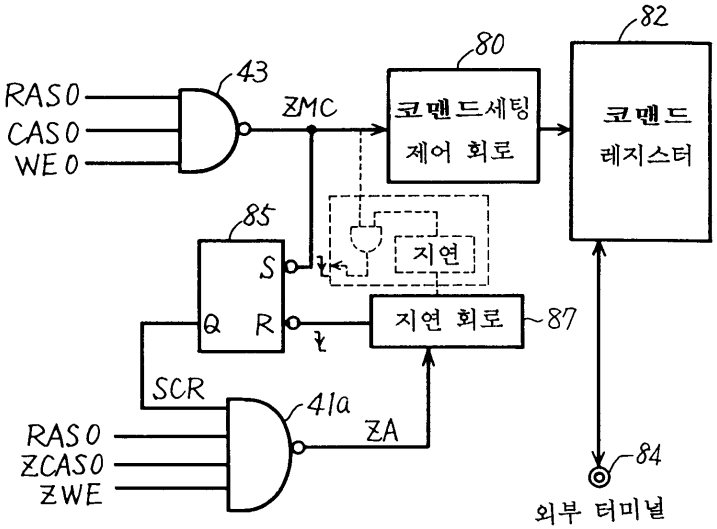
도면4a


RAS0
ZCAS0
WE0
COL
42aa
ZPC
지연 회로
71
70
72a
72b
ZW (판독/기록 코맨드디코더
ZR 회로로부터)

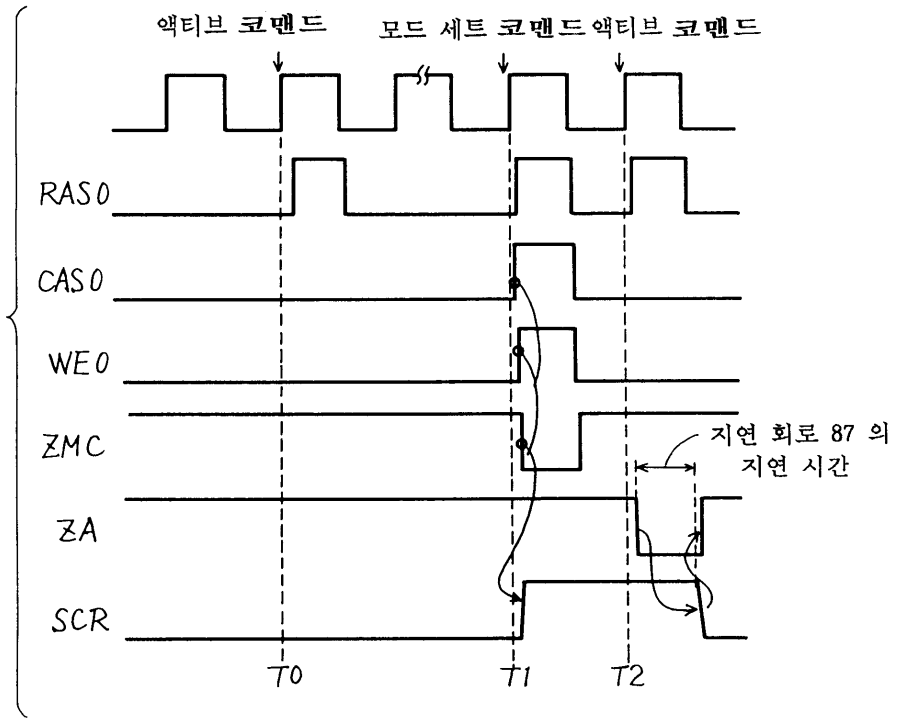
도면4b


판독/기록 코맨드
프리차지 코맨드
프리차지 코맨드
CLK
ext ZRAS
ext ZCAS
ext ZWE
ZR/ZW
지연 회로 71 의 지연 시간
COL
ZPC
T0
T1
T2

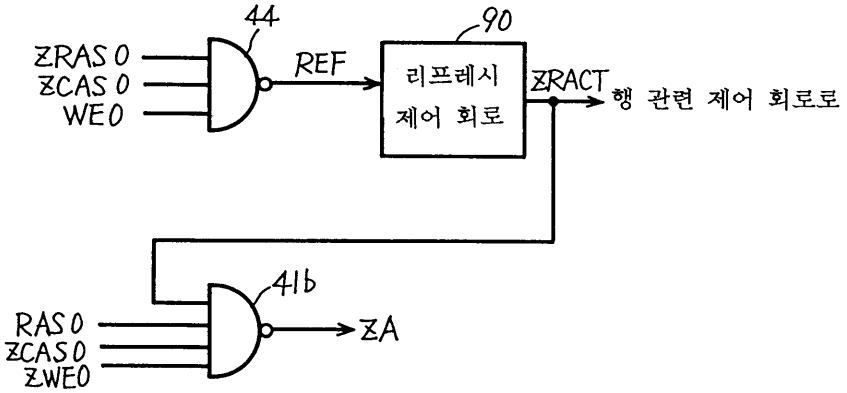
도면5a



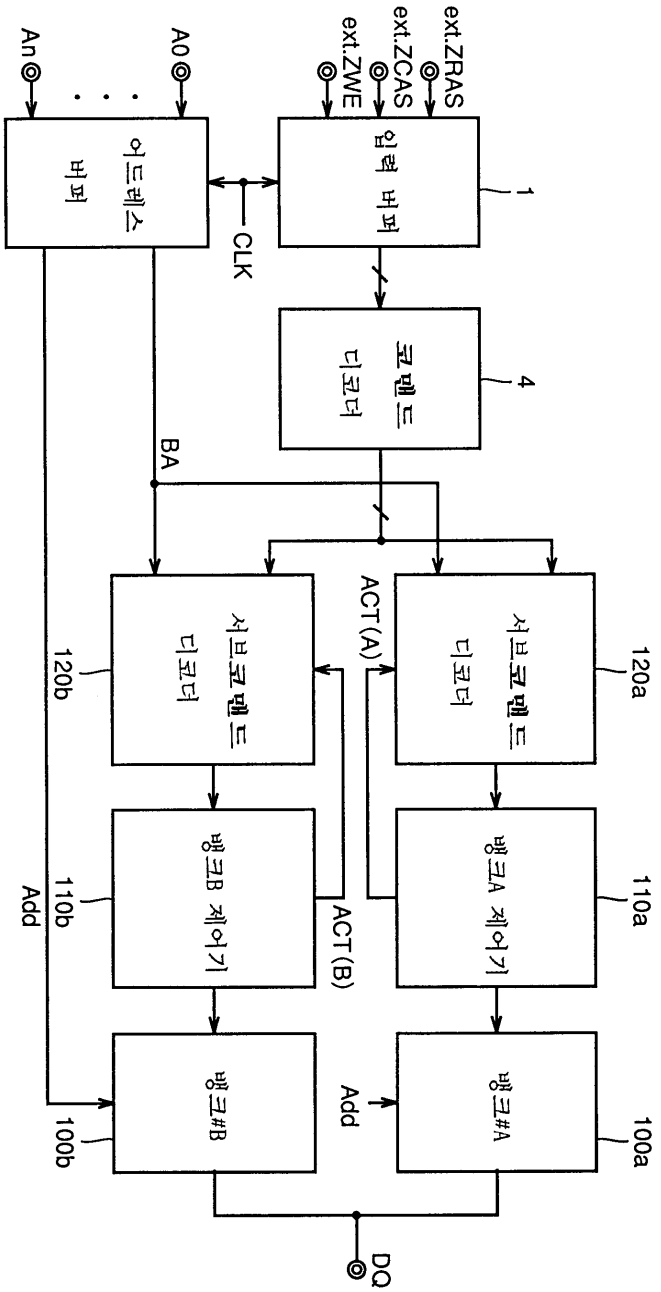
도면5b



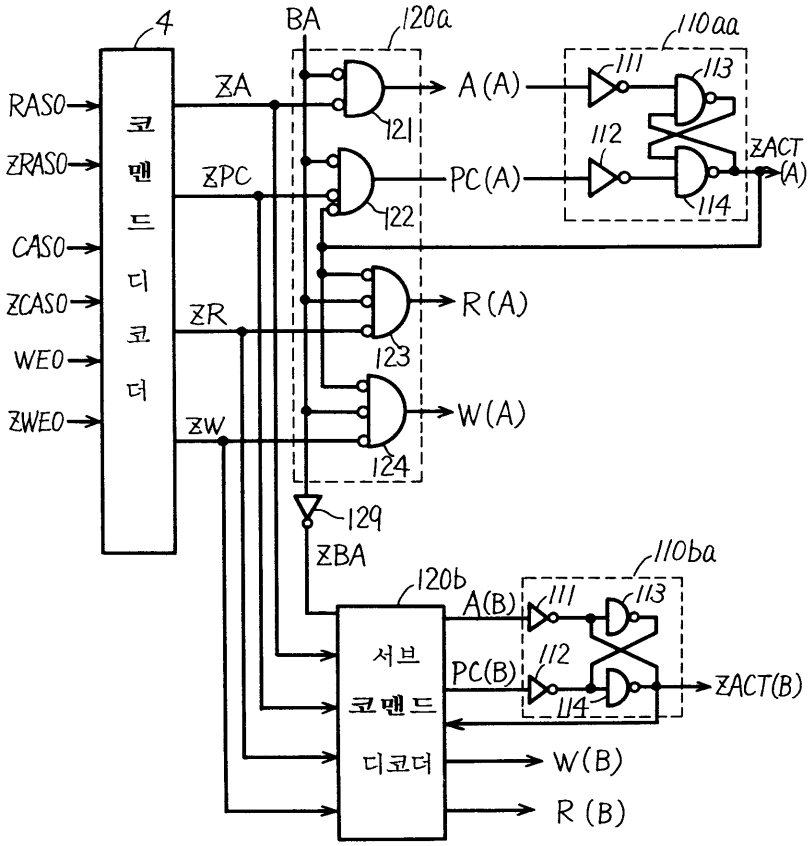
도면6



도면7

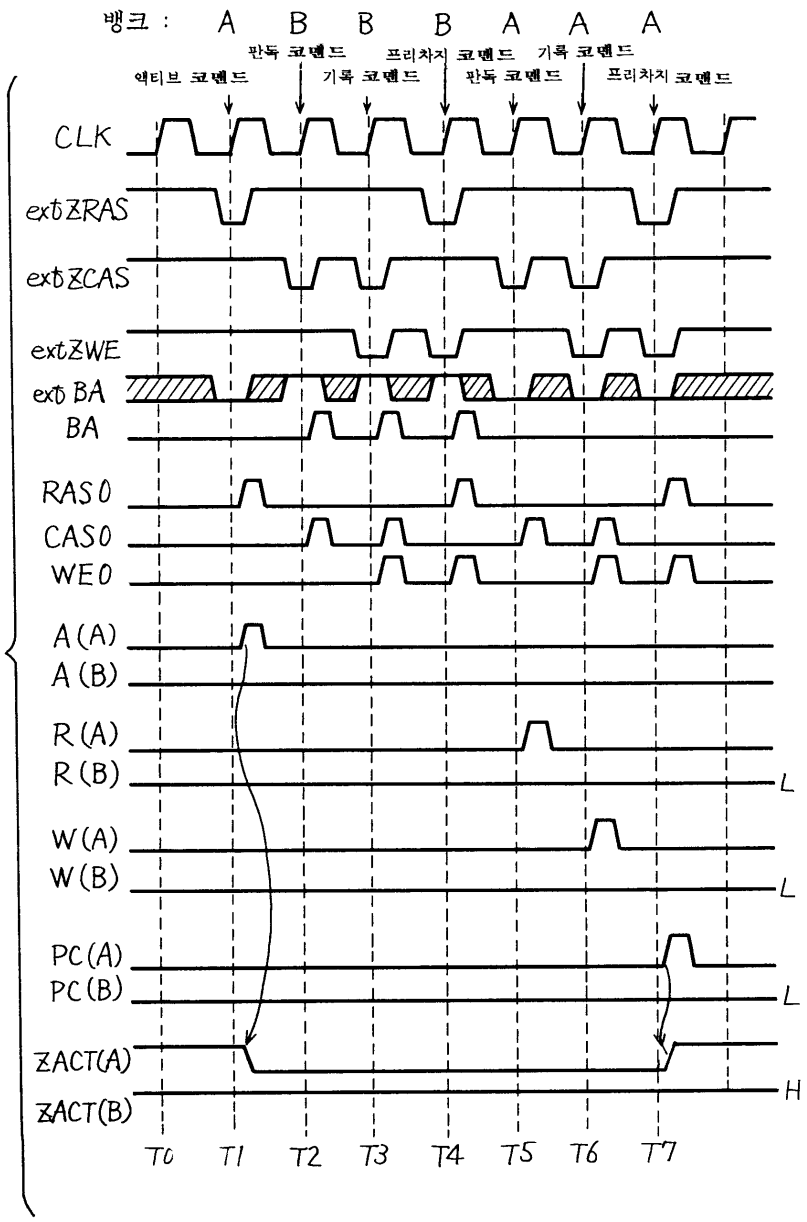

An
A0
ext.ZWE
ext.ZCAS
ext.ZRAS
어드레스 버퍼
입력 버퍼
CLK
1
컬럼 디코더
4
BA
ACT(A)
서브컬럼 디코더
120b
120a
뱅크B 제어기
뱅크A 제어기
110b
110a
ACT(B)
Add
뱅크#B
뱅크#A
100b
100a
DQ

도면8

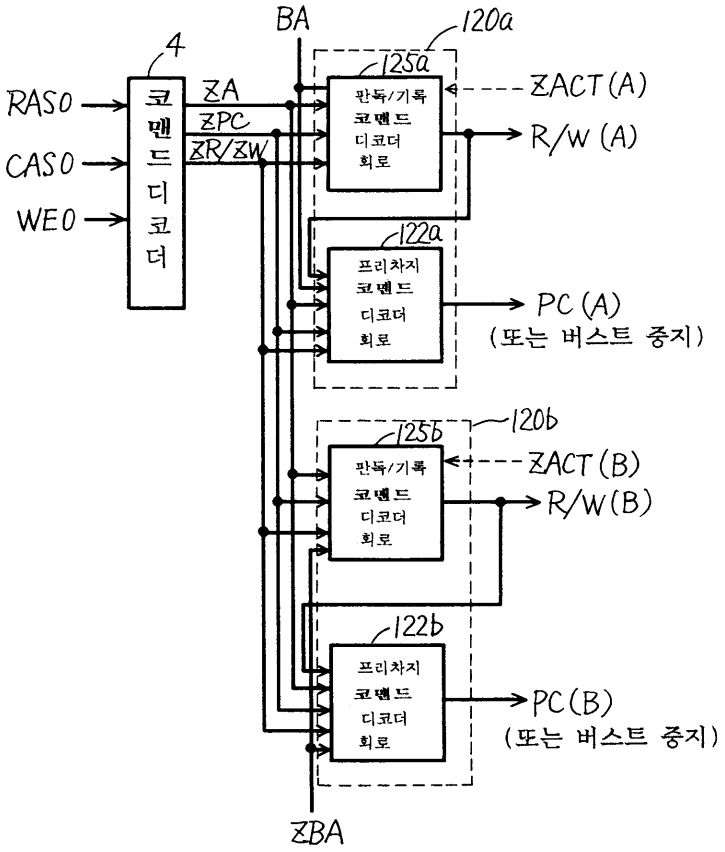


뱅크#A는 BA="L(=0)"로 표시됨

도면9

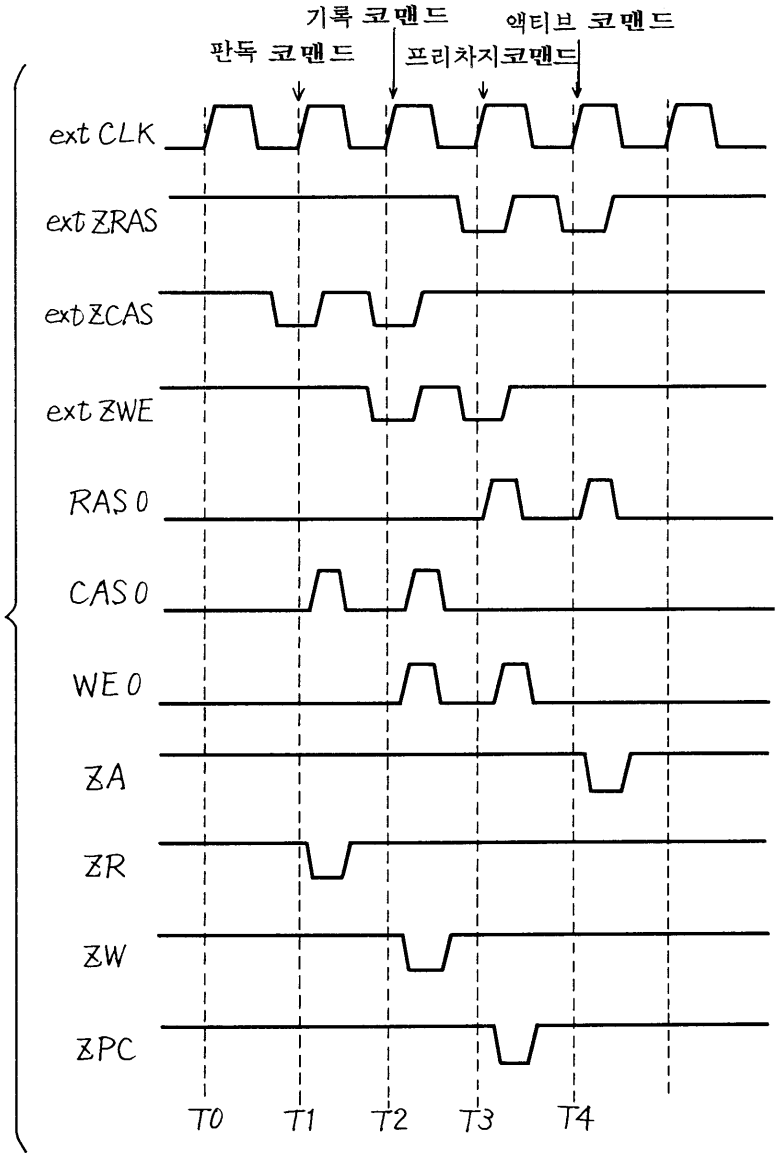

뱅크 : A B B B A A A
액티브 코맨드
판독 코맨드
기록 코맨드
프리차지 코맨드
판독 코맨드
기록 코맨드
프리차지 코맨드
CLK
extZRAS
extZCAS
extZWE
ext BA
BA
RAS0
CAS0
WE0
A(A)
A(B)
R(A)
R(B)
W(A)
W(B)
PC(A)
PC(B)
ZACT(A)
ZACT(B)
L
L
L
H
T0 T1 T2 T3 T4 T5 T6 T7

도면10


BA
120a
4
125a
RAS0
CAS0
WE0
코맨드디코더
ZA
ZPC
ZR/ZW
판독/기록 코맨드 디코더 회로
ZACT(A)
R/W (A)
122a
프리차지 코맨드 디코더 회로
PC (A)
(또는 버스트 중지)
120b
125b
판독/기록 코맨드 디코더 회로
ZACT (B)
R/W(B)
122b
프리차지 코맨드 디코더 회로
PC(B)
(또는 버스트 중지)
ZBA

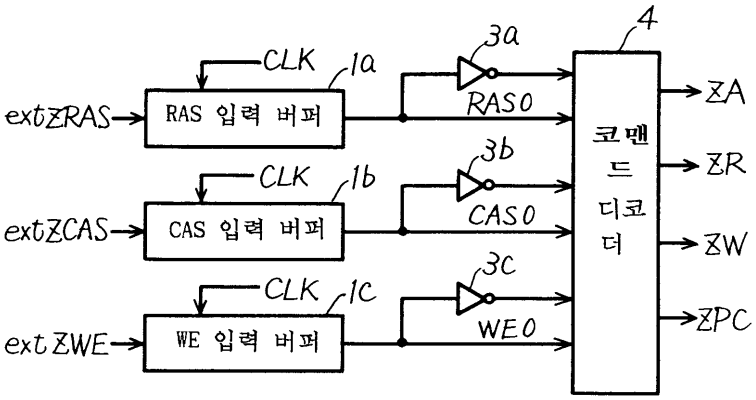
도면11

종래 기술



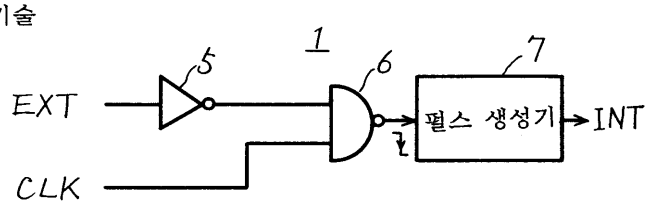
도면12

종래 기술



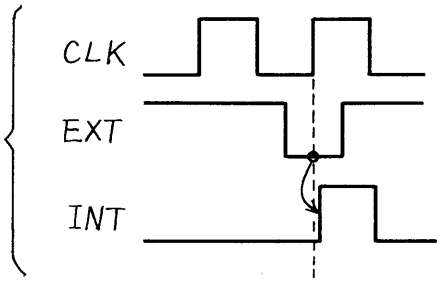
도면13a

종래 기술



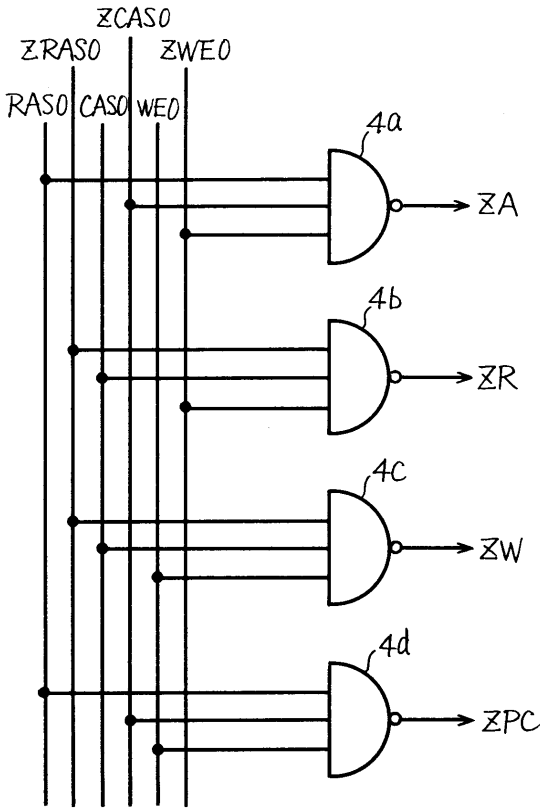
도면13b

종래 기술



도면14

종래 기술



4