

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月29日(29.09.2022)



(10) 国際公開番号

WO 2022/202089 A1

(51) 国際特許分類:

H01L 29/78 (2006.01) H01L 27/088 (2006.01)
H01L 21/336 (2006.01) H01L 29/06 (2006.01)
H01L 21/8234 (2006.01) H01L 29/739 (2006.01)
H01L 27/06 (2006.01)

(21) 国際出願番号: PCT/JP2022/007772

(22) 国際出願日: 2022年2月25日(25.02.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2021-053947 2021年3月26日(26.03.2021) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2番地 Kyoto (JP).

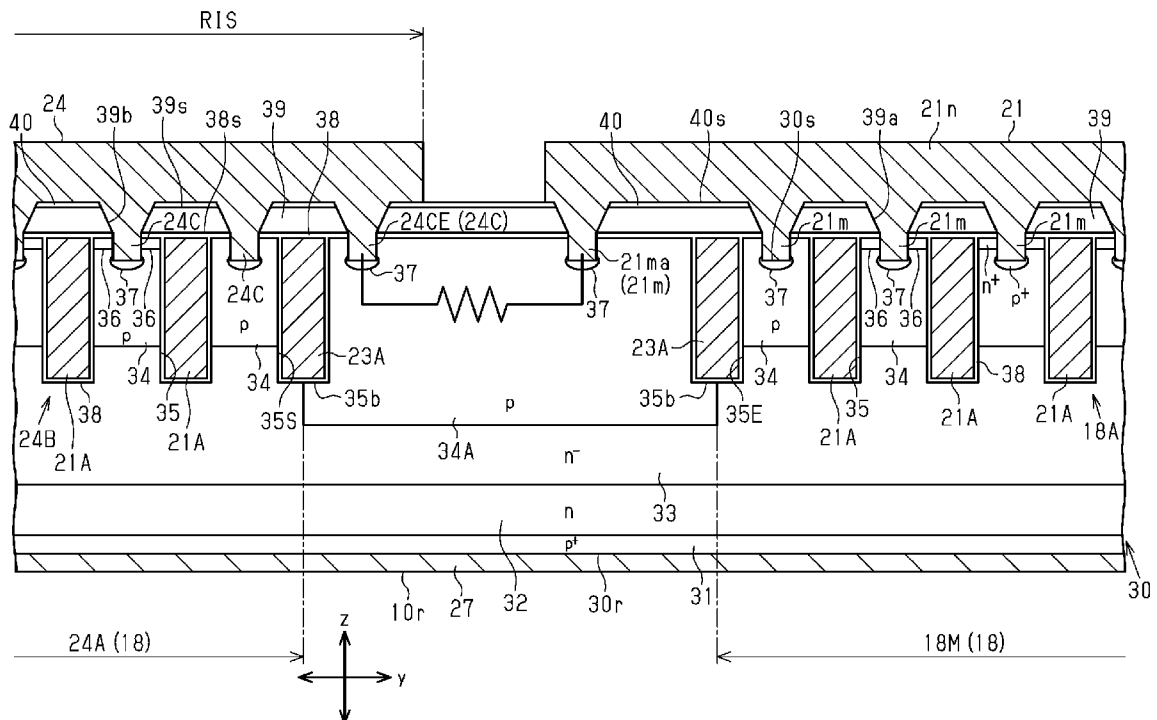
(72) 発明者: 大澤 隆亨 (OSAWA Takayuki);
〒6158585 京都府京都市右京区西院溝崎町2
番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 恩田 誠, 外 (ONDA Makoto et al.);
〒5008731 岐阜県岐阜市大宮町二丁目
12番地1 Gifu (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL,
CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: This semiconductor device comprises an active region and an outer peripheral region. The active region has a first-electroconductivity-type drift layer and a second-electroconductivity-type body layer. The active region has a main cell region having a main cell, a first insulating film covering the main cell, a first electrode part stacked on the first insulating film, a sense cell region having a sense cell, a second insulating film covering the sense cell, and a second electrode part stacked on the second insulating film. Between the main cell region and the sense cell region, there is

HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

formed a second-electroconductivity-type well region. The first electrode part and the second electrode part are electrically connected by the well region.

(57) 要約: 半導体装置は、アクティブ領域と外周領域とを備える。アクティブ領域は、第1導電型のドリフト層と第2導電型のボディ層とを有する。アクティブ領域は、メインセルを有するメインセル領域と、メインセルを覆う第1絶縁膜と、第1絶縁膜に積層された第1電極部と、センスセルを有するセンスセル領域と、センスセルを覆う第2絶縁膜と、第2絶縁膜に積層された第2電極部と、を有する。メインセル領域とセンスセル領域との間には、第2導電型のウェル領域が形成されている。第1電極部と第2電極部とは、ウェル領域に電氣的に接続されている。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本開示は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] たとえば I G B T (Insulated Gate Bipolar Transistor) 等の半導体装置は、半導体装置に流れる主電流を検出するための電流センス部を備える構成が知られている（たとえば特許文献 1 参照）。

先行技術文献

特許文献

[0003] 特許文献 1：国際公開第 2 0 1 7 / 1 0 4 5 1 6 号

発明の概要

発明が解決しようとする課題

[0004] ところで、電流センス部は、半導体装置に主電流が流れるメインセル部と比較して面積が小さい。これにより、電流センス部に流れる電流が小さいため、電流センス部はノイズの影響を受けやすい。これにより、メインセル部に流れる電流の検出精度が低下するおそれがある。

課題を解決するための手段

[0005] 上記課題を解決する半導体装置は、第 1 導電型のドリフト層と、前記ドリフト層に形成された第 2 導電型のボディ層とを有するアクティブ領域と、前記アクティブ領域を取り囲む外周領域と、を備え、前記アクティブ領域は、メインセルを有し、メイン電流が流れるメインセル領域と、前記メインセルを覆う第 1 絶縁膜と、前記第 1 絶縁膜に積層された第 1 電極部と、前記メインセル領域と離間して配置され、センスセルを有し、前記メイン電流に対応するセンス電流が流れるセンスセル領域と、前記センスセルを覆う第 2 絶縁膜と、前記第 2 絶縁膜に積層された第 2 電極部と、を有し、前記メインセル領域と前記センスセル領域との間には、第 2 導電型のウェル領域が形成され

ており、前記第 1 電極部と前記第 2 電極部とは、前記ウェル領域に電氣的に接続されている。

[0006] 上記課題を解決する半導体装置の製造方法は、第 1 導電型のドリフト層を形成する工程と、第 2 導電型のボディ層を前記ドリフト層に形成する工程と、メインセルを有し、メイン電流が流れるメインセル領域を形成する工程と、前記メインセル領域と離間して配置され、センスセルを有し、前記メイン電流に対応するセンス電流が流れるセンスセル領域を形成する工程と、第 2 導電型のウェル領域を前記メインセル領域と前記センスセル領域との間に形成する工程と、前記メインセルを覆う第 1 絶縁膜を形成する工程と、第 1 電極部を前記第 1 絶縁膜に積層する工程と、前記センスセルを覆う第 2 絶縁膜を形成する工程と、第 2 電極部を前記第 2 絶縁膜に積層する工程と、を備え、前記第 1 絶縁膜および前記第 2 絶縁膜の双方は、前記ウェル領域を覆う部分を有し、前記第 1 電極部を前記第 1 絶縁膜に積層する工程は、前記第 1 絶縁膜のうち前記ウェル領域を覆う部分に、前記ウェル領域を露出させるメイン側開口部を形成する工程と、前記メイン側開口部に前記第 1 電極部の一部を埋め込むことによって前記ウェル領域と接触するメイン用コンタクトを形成する工程と、を含み、前記第 2 電極部を前記第 2 絶縁膜に積層する工程は、前記第 2 絶縁膜のうち前記ウェル領域を覆う部分に、前記ウェル領域を露出させるセンス側開口部を形成する工程と、前記センス側開口部に前記第 2 電極部の一部を埋め込むことによって前記ウェル領域と接触するセンス用コンタクトを形成する工程と、を含む。

発明の効果

[0007] 上記半導体装置および半導体装置の製造方法によれば、半導体装置に流れる電流の検出精度の低下を抑制できる。

図面の簡単な説明

[0008] [図1]図 1 は、半導体装置の一実施形態の平面図である。

[図2]図 2 は、図 1 の半導体装置から保護絶縁膜を省略した状態の平面図である。

[図3]図3は、図2の半導体装置のアクティブ領域、外周領域、および中間領域を模式的に示す平面図である。

[図4]図4は、図1の半導体装置の4-4線の断面構造を模式的に示す断面図である。

[図5]図5は、図1の半導体装置の5-5線の断面構造を模式的に示す断面図である。

[図6]図6は、アクティブ領域のうちセンスセル領域およびその周辺を示す平面図である。

[図7]図7は、図6の一部の拡大図である。

[図8]図8は、半導体装置の回路構成の一部を模式的に示す回路図である。

[図9]図9は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図10]図10は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図11]図11は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図12]図12は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図13]図13は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図14]図14は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図15]図15は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図16]図16は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図17]図17は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図18]図18は、比較例の半導体装置について、アクティブ領域のメインセル領域およびセンスセル領域の断面構造を模式的に示す断面図である。

[図19]図19は、変更例の半導体装置について、センスセル領域の一部およびその周辺を拡大した平面図である。

[図20]図20は、変更例の半導体装置について、メインセル領域の一部の断面構造を模式的に示す断面図である。

発明を実施するための形態

[0009] 以下、半導体装置の実施形態について図面を参照して説明する。以下に示す実施形態は、技術的思想を具体化するための構成や方法を例示するものであり、各構成部品の材質、形状、構造、配置、寸法等を下記のものに限定するものではない。

[0010] (半導体装置の構成)

図1～図5を参照して、本実施形態の半導体装置10の概略構成について説明する。

図1に示すように、半導体装置10は、トレンチゲート型IGBT(Insulated Gate Bipolar Transistor)である。この半導体装置10は、たとえば車載用インバータ装置においてスイッチング素子として用いられる。この場合、半導体装置10には、たとえば5A以上1000A以下の電流が流れる。

[0011] 半導体装置10は、たとえば矩形平板状に形成されている。半導体装置10は、装置主面10sと、装置主面10sとは反対側を向く装置裏面10r(図4参照)と、装置主面10sと装置裏面10rとの間に形成された4つの装置側面10a～10dと、を有している。装置側面10a～10dは、たとえば装置主面10sと装置裏面10rとを繋ぐ面であり、装置主面10sと装置裏面10rとの双方と直交している。装置主面10sは、たとえば正方形に形成されている。本実施形態では、装置主面10sの一辺の長さは、11mm程度である。つまり、本実施形態の半導体装置10のチップサイズは、11mm□である。なお、半導体装置10のチップサイズは任意に変

更可能である。

[0012] 以下の説明において、装置主面 10 s および装置裏面 10 r が向く方向を「z 方向」とする。z 方向は、半導体装置 10 の高さ方向であるともいえる。z 方向に直交する方向のうち互いに直交する 2 方向を「x 方向」および「y 方向」とする。本実施形態では、装置側面 10 a, 10 b は半導体装置 10 の x 方向の両端面を構成し、装置側面 10 c, 10 d は半導体装置 10 の y 方向の両端面を構成している。

[0013] 図 2 は、半導体装置 10 の電極構成を示している。

図 2 に示すように、半導体装置 10 は、エミッタ電極 21、アノード電極 22、ゲート電極 23、電流センス電極 24、およびカソード電極 25 を備えている。また、半導体装置 10 は、半導体装置 10 の温度を検出するための感温ダイオード 60 を備えている。本実施形態では、エミッタ電極 21 は「第 1 電極部」に対応し、電流センス電極 24 は「第 2 電極部」に対応している。

[0014] また、半導体装置 10 は、ゲート電極 23 に電氣的に接続されたゲートフィンガー 26 を備えている。ゲートフィンガー 26 は、エミッタ電極 21 のうちゲート電極 23 から離れた部分におけるメインセルにも、ゲート電極 23 に供給された電流を速やかに供給するためのものである。また、図 4 に示すように、半導体装置 10 は、コレクタ電極 27 を備えている。本実施形態では、コレクタ電極 27 は、装置裏面 10 r の全面にわたり形成されている。なお、図 1 および図 3 では、便宜上、ゲートフィンガー 26 を省略して示している。

[0015] z 方向から視て、エミッタ電極 21 は、装置主面 10 s の大部分にわたり形成されている。カソード電極 25、アノード電極 22、ゲート電極 23、および電流センス電極 24 はそれぞれ、装置主面 10 s の y 方向の両端部のうち装置側面 10 c 寄りの電極配置領域 10 c e に配置されている。これら電極 22～25 は、y 方向において互いに揃った状態で x 方向において互いに離間して配列されている。

[0016] エミッタ電極 21 は、電極収容部 21aa, 21ab と、ダイオード配置部 21b と、一対のゲートフィンガー収容部 21d と、を有している。

電極収容部 21aa, 21ab は、エミッタ電極 21 の y 方向の両端部のうち装置側面 10c に近い方の端部に設けられている。電極収容部 21aa は、カソード電極 25、アノード電極 22、およびゲート電極 23 を収容する部分であり、凹形状を有している。電極収容部 21ab は、電流センス電極 24 を収容する部分であり、凹形状を有している。電極収容部 21aa は、x 方向において電極収容部 21ab よりも装置側面 10a 寄りに配置されている。

[0017] 電極収容部 21aa, 21ab に収容されたカソード電極 25、アノード電極 22、ゲート電極 23、および電流センス電極 24 は、y 方向において互いに揃った状態で x 方向において互いに離間して配列されている。本実施形態では、カソード電極 25、アノード電極 22、ゲート電極 23、および電流センス電極 24 は、x 方向において装置側面 10a から装置側面 10b に向かうにつれて、カソード電極 25、アノード電極 22、ゲート電極 23、および電流センス電極 24 の順に配置されている。

[0018] エミッタ電極 21 における電極収容部 21aa と電極収容部 21ab との x 方向の間の部分は、後述するエミッタセンス電極パッド 16 を構成するエミッタセンス領域 21f を構成している。エミッタセンス領域 21f は、電極収容部 21aa の一部および電極収容部 21ab の一部をそれぞれ構成している。エミッタセンス領域 21f は、x 方向において、ゲート電極 23 と電流センス電極 24 との間に形成されているともいえる。

[0019] ダイオード配置部 21b は、感温ダイオード 60 が配置される部分を含み、電極収容部 21aa と繋がっている。ダイオード配置部 21b は、エミッタ電極 21 の x 方向および y 方向の略中央に設けられている。したがって、感温ダイオード 60 は、エミッタ電極 21 の x 方向および y 方向の略中央に配置されているともいえる。また、図 2 に示すとおり、感温ダイオード 60 は、装置主面 10s の x 方向および y 方向の略中央に配置されているともい

える。

[0020] ダイオード配置部 21b は、エミッタ電極 21 が形成されていない部分である。ダイオード配置部 21b のうち感温ダイオード 60 が配置される部分は、z 方向から視て矩形状に形成されている。エミッタ電極 21 は、ダイオード配置部 21b を構成するため、感温ダイオード 60 を囲むように形成されている。ダイオード配置部 21b は、ダイオード配置部 21b のうち感温ダイオード 60 が配置される部分から電極収容部 21aa まで y 方向に延びることによって電極収容部 21aa に繋がっている。

[0021] 一对のゲートフィンガー収容部 21d は、ダイオード配置部 21b の x 方向の両側に分散して配置されている。一方のゲートフィンガー収容部 21d は電極収容部 21aa から y 方向に沿って延びており、他方のゲートフィンガー収容部 21d は電極収容部 21ab から y 方向に沿って延びている。各ゲートフィンガー収容部 21d にはゲートフィンガー 26 の一部が配置されている。

[0022] 各ゲートフィンガー収容部 21d は、エミッタ電極 21 の電極収容部 21aa, 21ab から y 方向に沿って延びている。各ゲートフィンガー収容部 21d の先端部は、エミッタ電極 21 の y 方向の両端部のうち装置側面 10d に近い方の端部よりも電極収容部 21aa, 21ab 寄りに配置されている。

[0023] ゲートフィンガー 26 は、エミッタ電極 21 を囲むとともに、一对のゲートフィンガー収容部 21d 内およびダイオード配置部 21b 内の双方に延びている。ダイオード配置部 21b 内のゲートフィンガー 26 は、感温ダイオード 60 を囲むように形成されている。ゲートフィンガー 26 は、表面側配線と、表面側配線に接続された内部配線と、を有している。表面側配線はたとえば金属材料からなり、内部配線はたとえばポリシリコンからなる。表面側配線は、z 方向において各電極 21～25 と揃った位置に設けられている。内部配線は、z 方向において金属配線よりも装置裏面 10r の近くに配置されている。

[0024] ダイオード配置部 21b および一対のゲートフィンガー収容部 21d と、エミッタ電極 21 の y 方向の両端部のうち装置側面 10d に近い方の端部との間にはそれぞれ、ゲートフィンガー 26A が設けられている。ゲートフィンガー 26A は、ゲートフィンガー 26 の内部配線と接続された内部配線によって形成されている。つまり、ゲートフィンガー 26A は、表面側配線を有していない。このため、ゲートフィンガー 26A は、z 方向から見て、エミッタ電極 21 と重なる位置において、エミッタ電極 21 よりも装置裏面 10r の近くに配置されている。

[0025] 図 1 に示すように、装置主面 10s には、各電極 21～25 を覆うように保護絶縁膜 17 が設けられている。保護絶縁膜 17 は、半導体装置 10 を半導体装置 10 の外部から保護する有機保護膜であり、たとえばポリイミド（PI）を含む材料によって形成されている。

[0026] 保護絶縁膜 17 には、各電極 21～25 を露出する第 1～第 6 開口部 17A～17F が設けられている。第 1～第 6 開口部 17A～17F によって露出された各電極 21～25 は、半導体装置 10 の外部からの導電部材が接合するためのパッドを構成している。このようなパッドは、エミッタ電極パッド 11、カソード電極パッド 12、アノード電極パッド 13、ゲート電極パッド 14、電流センス電極パッド 15、およびエミッタセンス電極パッド 16 を含む。

[0027] 保護絶縁膜 17 に設けられた第 1～第 6 開口部 17A～17F は、z 方向から見て、互いに離間して配置されている。

エミッタ電極パッド 11 は、エミッタ電極 21 のうち第 1 開口部 17A から露出した部分であり、IGBT のエミッタを構成している。図 1 に示すとおり、第 1 開口部 17A は、エミッタ電極 21 の大部分を開口している。第 1 開口部 17A の大部分は、エミッタ電極 21 のうち電極収容部 21aa, 21ab よりも装置側面 10d 寄りの部分を開口している。より詳細には、保護絶縁膜 17 は、z 方向から見て、一対のゲートフィンガー収容部 21d と重なる位置と、ダイオード配置部 21b およびゲートフィンガー 26A と

重なる位置とのそれぞれに設けられている。

[0028] カソード電極パッド12は、エミッタ電極21のうち第2開口部17Bから露出した部分であり、感温ダイオード60のカソードを構成している。図1および図2に示すとおり、第2開口部17Bは、エミッタ電極21のうち装置側面10aかつ装置側面10c寄りの端部を開口している。換言すると、第2開口部17Bは、エミッタ電極21のうちアノード電極22とx方向に間隔をあけて隣り合う部分を開口している。第2開口部17Bは、x方向およびy方向の双方において第1開口部17Aと間隔をあけて隣り合う位置に設けられている。つまり、カソード電極パッド12は、y方向においてエミッタ電極パッド11と間隔をあけて隣り合う位置に設けられているともいえる。

[0029] カソード電極パッド12は、装置主面10sのy方向の中央よりも装置側面10c寄りに配置されている。カソード電極パッド12は、x方向においてアノード電極22と隣り合っている。カソード電極パッド12とアノード電極22とは、z方向から視て、装置側面10cに沿って並んで配置されている。

[0030] アノード電極パッド13は、アノード電極22のうち第3開口部17Cから露出した部分であり、感温ダイオード60のアノードを構成している。第3開口部17Cは、z方向から視て、アノード電極22よりも一回り小さい矩形状に形成されている。

[0031] ゲート電極パッド14は、ゲート電極23のうち第4開口部17Dから露出した部分であり、IGBTのゲートを構成している。第4開口部17Dは、z方向から視て、ゲート電極23よりも一回り小さい矩形状に形成されている。

[0032] 電流センス電極パッド15は、電流センス電極24のうち第5開口部17Eから露出した部分であり、IGBTに流れる電流を検出するための情報を外部に取り出すための端子を構成している。第5開口部17Eは、z方向から視て、電流センス電極24よりも一回り小さい矩形状に形成されている。

- [0033] エミッタセンス電極パッド16は、エミッタ電極21のうち第6開口部17Fから露出した部分である。第6開口部17Fは、z方向から視て、エミッタセンス領域21fよりも一回り小さい矩形状に形成されている。
- [0034] 図2に示すように、ゲートフィンガー26の一部は、ゲート電極23から装置側面10aおよび装置側面10dに向けて延びている。より詳細には、ゲートフィンガー26の一部は、ゲート電極23からアノード電極22よりも装置側面10cの近くを迂回して、y方向において感温ダイオード60よりも装置側面10a寄りのゲートフィンガー収容部21dに向けて延びている。ゲートフィンガー26の別の一部は、ゲート電極23から装置側面10bおよび装置側面10dに向けて延びている。より詳細には、ゲートフィンガー26の別の一部は、ゲート電極23からエミッタセンス領域21fよりも装置側面10cの近くを迂回して、y方向において感温ダイオード60よりも装置側面10b寄りのゲートフィンガー収容部21dに向けて延びている。
- [0035] 図3に示すように、z方向から視て、半導体装置10は、アクティブ領域18と、アクティブ領域18を取り囲む外周領域19と、メインセル領域18Mと外周領域19とによって囲まれた中間領域20と、を備えている。アクティブ領域18、外周領域19、および中間領域20は、半導体装置10の後述する半導体基板30をz方向から視た場合に区画される領域である。
- [0036] アクティブ領域18は、トランジスタが形成された領域である。アクティブ領域18は、装置主面10sの大部分にわたり形成されている。アクティブ領域18は、メインセル18A（図4参照）が形成されたメインセル領域18Mと、センスセル24Bが形成されたセンスセル領域24Aと、を有している。センスセル領域24Aは、メインセル領域18Mから離れた位置に形成されている。
- [0037] メインセル領域18Mは、メイン電流が流れる領域である。メイン電流は、コレクタ電極27からエミッタ電極21に向けて流れる電流である。本実施形態では、アクティブ領域18は、z方向から視て、エミッタ電極21と

重なる領域に形成されている。換言すると、エミッタ電極 21 は、アクティブ領域 18 を覆っている。一方、メインセル領域 18M は、エミッタ電極 21 と重なる領域であってもゲートフィンガー 26A（図 2 参照）と z 方向に重なる位置には形成されていない。

[0038] センスセル領域 24A は、メイン電流に対応するセンス電流が流れる領域である。センスセル領域 24A は、y 方向において中間領域 20 とメインセル領域 18M との間に形成されている。より詳細には、センスセル領域 24A は、中間領域 20 のうち電流センス電極 24 と重なる領域と、この領域と y 方向において対向するメインセル領域 18M との y 方向の間に形成されている。センス電流は、メイン電流に対してメインセル領域 18M とセンスセル領域 24A との面積比に応じた電流である。図 3 に示すとおり、センスセル領域 24A の面積は、メインセル領域 18M に対して十分に小さい。つまり、センスセル領域 24A には、メイン電流よりも十分に小さいセンス電流が流れる。センスセル領域 24A は、z 方向から視て、電流センス電極 24 と重なる領域に形成されている。図 1 に示すように、センスセル領域 24A は、第 5 開口部 17E とは異なる位置に形成されている。つまり、センスセル領域 24A は、保護絶縁膜 17 によって覆われている。

[0039] 図 3 に示すように、外周領域 19 は、半導体装置 10 の絶縁耐圧を向上させる終端構造が設けられる領域である。外周領域 19 は、エミッタ電極 21 を囲む領域のうち各電極 22～25 が形成される領域を除く領域である。外周領域 19 には、メインセル 18A が形成されていない。このように、外周領域 19 は、エミッタ電極 21 よりも外方の領域である。

[0040] 中間領域 20 は、z 方向から視て、カソード電極 25、アノード電極 22、ゲート電極 23、および電流センス電極 24 と重なる領域である。換言すると、カソード電極 25、アノード電極 22、ゲート電極 23、および電流センス電極 24 はそれぞれ、中間領域 20 を覆っている。中間領域 20 は、メインセル領域 18M およびセンスセル領域 24A から外れた領域、換言するとメインセル 18A およびセンスセル 24B が形成されていない領域を含

む。

[0041] 図4は、図1の半導体装置10の4-4線の断面構造を示す断面図であり、メインセル領域18Mおよびセンスセル領域24Aにおける半導体装置10の断面構造の一例を模式的に示している。なお、図4では、便宜上、保護絶縁膜17を省略して示している。

[0042] 図4に示すように、半導体装置10は、半導体基板30を備えている。半導体基板30は、たとえばn⁻型のSi（シリコン）を含む材料から形成されている。半導体基板30は、たとえば50μm以上200μm以下の厚さを有している。

[0043] 半導体基板30は、z方向において互いに反対側を向く基板表面30sおよび基板裏面30rを有している。つまり、z方向は、半導体基板30の厚さ方向であるともいえる。

半導体基板30は、基板裏面30rから基板表面30sに向けて順に、p⁺型のコレクタ層31、n型のバッファ層32、およびn⁻型のドリフト層33が積層された構造を有している。このため、コレクタ層31、バッファ層32、およびドリフト層33は、メインセル領域18Mおよびセンスセル領域24Aに共通して設けられている。基板裏面30rには、コレクタ電極27が形成されている。コレクタ電極27は、基板裏面30rの略全面にわたり形成されている。コレクタ電極27のうちコレクタ層31とは反対側の面は、半導体装置10の装置裏面10rを構成している。ここで、本実施形態では、z方向は、ドリフト層33の厚さ方向に対応している。このため、「z方向から視て」とは「ドリフト層の厚さ方向から視て」と同じ意味となる。

[0044] コレクタ層31のp型不純物としては、たとえばB（ホウ素）、Al（アルミニウム）等が用いられる。コレクタ層31の不純物濃度は、たとえば、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $2 \times 10^{19} \text{ cm}^{-3}$ 以下である。

[0045] バッファ層32およびドリフト層33のn型不純物としては、たとえばN（窒素）、P（リン）、As（ヒ素）等が用いられる。バッファ層32の不純物濃度は、たとえば $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $5 \times 10^{17} \text{ cm}^{-3}$ 以下である。

ドリフト層 33 の不純物濃度は、バッファ層 32 よりも低く、たとえば $1 \times 10^{13} \text{ cm}^{-3}$ 以上 $5 \times 10^{14} \text{ cm}^{-3}$ 以下である。

[0046] ドリフト層 33 の表面、すなわち基板表面 30s には、p 型のベース領域 34 が形成されている。ベース領域 34 は、メインセル領域 18M およびセンスセル領域 24A の双方の略全面にわたり形成されている。ベース領域 34 の不純物濃度は、たとえば $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。ベース領域 34 の基板表面 30s からの深さは、たとえば $1.0 \mu\text{m}$ 以上 $4.0 \mu\text{m}$ 以下である。ここで、本実施形態では、ベース領域 34 は、「第 2 導電型のボディ層」に対応している。

[0047] メインセル領域 18M およびセンスセル領域 24A の双方におけるベース領域 34 の表面（基板表面 30s）には、複数のトレンチ 35 が並んで配置されている。各トレンチ 35 は、たとえば y 方向に沿って延びており、x 方向において互いに離間して配列されている。これにより、メインセル領域 18M においてはストライプ状のメインセル 18A に区画されており、センスセル領域 24A においてはストライプ状のセンスセル 24B に区画されている。メインセル領域 18M およびセンスセル領域 24A の双方では、x 方向において隣り合うトレンチ 35 の間隔（トレンチ 35 の中心間距離）は、たとえば、 $1.5 \mu\text{m}$ 以上 $7.0 \mu\text{m}$ 以下である。各トレンチ 35 の幅（トレンチ 35 の x 方向の寸法）は、たとえば、 $0.5 \mu\text{m}$ 以上 $3.0 \mu\text{m}$ 以下である。各トレンチ 35 は、ベース領域 34 を z 方向に貫通して、ドリフト層 33 の途中まで延びている。なお、メインセル領域 18M における各トレンチ 35 は、行列状のメインセル 18A を区画するように格子状に形成されていてもよい。また、センスセル領域 24A における各トレンチ 35 は、行列状のセンスセル 24B を区画するように格子状に形成されていてもよい。

[0048] メインセル領域 18M およびセンスセル領域 24A の双方におけるベース領域 34 の表面（基板表面 30s）には、 n^+ 型のエミッタ領域 36 が形成されている。エミッタ領域 36 は、トレンチ 35 の x 方向の両側に配置されている。つまり、エミッタ領域 36 は、ベース領域 34 のうちトレンチ 35 の

配列方向におけるトレンチ 35 の両側に設けられているともいえる。このため、x 方向において隣り合うトレンチ 35 の x 方向の間には、2 つのエミッタ領域 36 が x 方向において互いに間隔をあけて配置されている。各エミッタ領域 36 の深さは、たとえば $0.2\ \mu\text{m}$ 以上 $0.6\ \mu\text{m}$ 以下である。また、各エミッタ領域 36 の不純物濃度は、ベース領域 34 よりも高く、たとえば $1 \times 10^{19}\ \text{cm}^{-3}$ 以上 $5 \times 10^{20}\ \text{cm}^{-3}$ 以下である。

[0049] メインセル領域 18 M およびセンスセル領域 24 A の双方におけるベース領域 34 の表面（基板表面 30 s）には、 p^+ 型のベースコンタクト領域 37 が形成されている。ベースコンタクト領域 37 は、エミッタ領域 36 と x 方向に隣り合う位置に設けられている。つまり、ベースコンタクト領域 37 は、x 方向において隣り合うトレンチ 35 の x 方向の間に設けられた 2 つのエミッタ領域 36 の x 方向の間に設けられている。各ベースコンタクト領域 37 は、エミッタ領域 36 よりも深く形成されていてもよい。各ベースコンタクト領域 37 の深さは、たとえば $0.2\ \mu\text{m}$ 以上 $1.6\ \mu\text{m}$ 以下である。また、各ベースコンタクト領域 37 の不純物濃度は、ベース領域 34 よりも高く、たとえば $5 \times 10^{18}\ \text{cm}^{-3}$ 以上 $1 \times 10^{20}\ \text{cm}^{-3}$ 以下である。

[0050] 各トレンチ 35 の内面および基板表面 30 s の双方には、絶縁膜 38 が一体に形成されている。絶縁膜 38 は、たとえば酸化シリコン (SiO_2) を含む。絶縁膜 38 の厚さは、たとえば $1100\ \text{\AA}$ 以上 $1300\ \text{\AA}$ 以下である。絶縁膜 38 は、メインセル領域 18 M およびセンスセル領域 24 A の双方を覆うように形成されている。

[0051] 各トレンチ 35 内には、たとえばポリシリコン等を含む電極材料が絶縁膜 38 を介して埋め込まれている。各トレンチ 35 に埋め込まれた電極材料は、ゲート電極 23（ゲートフィンガー 26）およびエミッタ電極 21 のいずれかに電氣的に接続されている。つまり、各トレンチ 35 に埋め込まれた電極材料によって、ゲートトレンチ 23 A およびエミッタトレンチ 21 A が形成されている。メインセル領域 18 M およびセンスセル領域 24 A の双方において、複数のトレンチ 35 の配列方向におけるゲートトレンチ 23 A とエ

ミッタトレンチ 21 A との配列態様は同じである。本実施形態のメインセル領域 18 M およびセンスセル領域 24 A の双方では、複数のトレンチ 35 の配列方向において、ゲートトレンチ 23 A、エミッタトレンチ 21 A、エミッタトレンチ 21 A、エミッタトレンチ 21 A、およびゲートトレンチ 23 A のように並べられた 5 本のトレンチが上記配列方向において繰り返し配列されている。本実施形態では、ゲートトレンチ 23 A およびエミッタトレンチ 21 A の双方は、各トレンチ 35 の開口端まで埋め込まれている。このようにして、メインセル領域 18 M に複数のメインセル 18 A が形成され、センスセル領域 24 A に複数のセンスセル 24 B が形成されている。

[0052] 基板表面 30 s に設けられた絶縁膜 38 の表面 38 s には、中間絶縁膜 39 が形成されている。中間絶縁膜 39 は、たとえば SiO_2 を含む。中間絶縁膜 39 の表面 39 s には、外部イオンによって中間絶縁膜 39 が帯電することを抑制するためのバリア層 40 が形成されている。バリア層 40 は、保護絶縁膜 17、絶縁膜 38、および中間絶縁膜 39 よりも拡散係数の小さい材料によって形成されている。バリア層 40 は、たとえば窒化シリコン (SiN) を含む材料によって形成されている。バリア層 40 の表面 40 s には、エミッタ電極 21 が形成されている。つまり、中間絶縁膜 39 は、エミッタ電極 21 とゲートトレンチ 23 A との間を埋める層間絶縁膜である。中間絶縁膜 39 の厚さは、絶縁膜 38 の厚さよりも厚い。中間絶縁膜 39 の厚さは、バリア層 40 の厚さよりも厚い。中間絶縁膜 39 の厚さは、たとえば 3000 Å 以上 15000 Å 以下である。本実施形態では、絶縁膜 38、中間絶縁膜 39、およびバリア層 40 の積層構造のうちメインセル領域 18 M を覆う部分は「第 1 絶縁膜」に対応し、センスセル領域 24 A を覆う部分は「第 2 絶縁膜」に対応している。つまり、第 1 絶縁膜および第 2 絶縁膜の双方は、本実施形態では、絶縁膜 38 と中間絶縁膜 39 とバリア層 40 との積層構造からなる。

[0053] 絶縁膜 38、中間絶縁膜 39、およびバリア層 40 の積層構造には、絶縁膜 38、中間絶縁膜 39、およびバリア層 40 をそれぞれ z 方向に貫通する

複数のコンタクトホール39a, 39bが設けられている。

[0054] コンタクトホール39aは、メインセル領域18Mを覆う絶縁膜38、中間絶縁膜39、バリア層40の積層構造に設けられた開口部であり、z方向から視て、メインセル領域18Mのベースコンタクト領域37と重なる位置に設けられている。これにより、ベースコンタクト領域37は、絶縁膜38、中間絶縁膜39、およびバリア層40の積層構造から露出している。エミッタ電極21は、バリア層40の表面40sに形成されており、コンタクトホール39aを介してベースコンタクト領域37に接続されている。

[0055] コンタクトホール39bは、センスセル領域24Aを覆う絶縁膜38、中間絶縁膜39、およびバリア層40の積層構造に設けられた開口部であり、z方向から視て、センスセル領域24Aのベースコンタクト領域37と重なる位置に設けられている。これにより、ベースコンタクト領域37は、絶縁膜38、中間絶縁膜39、およびバリア層40の積層構造から露出している。電流センス電極24は、バリア層40の表面40sに形成されており、コンタクトホール39bを介してベースコンタクト領域37に接続されている。

[0056] 本実施形態では、エミッタ電極21は、図示していないが、バリアメタル層と、バリアメタル層上に形成されたメタル配線層との積層構造である。バリアメタル層は、たとえばTiN（窒化チタン）を含む材料から形成されている。メタル配線層は、たとえばAlCu（アルミニウムと銅との合金）を含む材料から形成されている。エミッタ電極21は、コンタクトホール39aに埋め込まれるコンタクト21mと、バリア層40上に積層された積層電極部21nと、を有している。コンタクト21mと積層電極部21nとは一体化されている。コンタクト21mおよび積層電極部21nの双方は、バリアメタル層およびメタル配線層の積層構造からなる。このように、本実施形態では、コンタクトホール39aは「メイン側開口部」に対応し、コンタクトホール39bは「センス側開口部」に対応している。

[0057] 図4に示すように、センスセル領域24Aのセンスセル24Bには、電流

センス電極 24 が電氣的に接続されている。z 方向から視て、センスセル領域 24 A は、電流センス電極 24 と重なる位置に形成されている。

[0058] 電流センス電極 24 は、エミッタ電極 21 と同様の構成であり、バリアメタル層とメタル配線層との積層構造である。また電流センス電極 24 は、エミッタ電極 21 と同様に、コンタクトホール 39 b に電流センス電極 24 の一部が入り込むコンタクト 24 C を有している。コンタクト 24 C は、センスセル領域 24 A のベースコンタクト領域 37 と接している。

[0059] 図示していないが、電流センス電極 24 には、たとえばワイヤによって外部の集積回路（IC：integrated circuit）に電氣的に接続されている。この集積回路は、たとえばシャント抵抗を介してマイクロコンピュータに接続され、センスセル領域 24 A で発生する電流を検知する。検知した電流の大きさと、センスセル領域 24 A とメインセル領域 18 M との面積比との乗算によって、メインセル 18 A に流れるメイン電流の大きさが検出される。そして、検出されたメイン電流が所定の電流値以上の場合、半導体装置 10 の動作が停止され、過電流による半導体装置 10 の損傷から保護される。

[0060] 図 5 を参照して、外周領域 19 の概略構成について説明する。図 5 は、外周領域 19 の一部の断面構造を示している。

図 5 に示すように、外周領域 19 には、ゲートフィンガー 26 と、エミッタ引き回し部 41 と、FLR（Field Limiting Ring）部 42 と、等電位リング 43 と、が設けられている。本実施形態では、ゲートフィンガー 26、エミッタ引き回し部 41、および等電位リング 43 はそれぞれ、エミッタ電極 21 と同様の構成であるバリアメタル層およびメタル配線層の積層構造からなる。

[0061] 外周領域 19 のうちメインセル領域 18 M と隣り合う領域には、第 2 導電型の半導体領域である p 型のウェル領域 34 A が形成されている。ウェル領域 34 A は、たとえばメインセル領域 18 M を囲むように形成されている。ウェル領域 34 A は、メインセル領域 18 M のトレンチ 35 よりも基板裏面 30 r の近くまで形成されている。このため、ウェル領域 34 A は、メイン

セル領域 18 M のベース領域 34 よりも基板裏面 30 r の近くまで形成されている。ウェル領域 34 A の不純物濃度は、ベース領域 34 の不純物濃度よりも低い。

[0062] z 方向から視て、ウェル領域 34 A と重なる位置には、ゲートフィンガー 26 およびエミッタ引き回し部 41 が形成されている。エミッタ引き回し部 41 は、ゲートフィンガー 26 よりも外方に配置されている。エミッタ引き回し部 41 は、エミッタ電極 21 と一体化された部分であり、ゲートフィンガー 26 を囲うように環状に形成されている。

[0063] ウェル領域 34 A よりも外方には、FLR 部 42 および等電位リング 43 が形成されている。

FLR 部 42 は、半導体装置 10 の耐圧向上のための終端構造であり、エミッタ引き回し部 41 の外方に設けられている。FLR 部 42 は、エミッタ電極 21 および各電極 22 ~ 24 を囲む環状に形成されている。本実施形態では、FLR 部 42 は、閉じた環状となるように形成されている。FLR 部 42 は、外周領域 19 における電界を緩和し、外部イオンからの影響を抑制することによって半導体装置 10 の耐圧を向上させる機能を有している。

[0064] FLR 部 42 は、互いに離間して配置された複数（本実施形態では 4 つ）の環状の導電体および半導体領域から構成されている。

半導体基板 30 の基板表面 30 s には、複数（本実施形態では 4 つ）の環状のガードリング 42 a ~ 42 d が形成されている。本実施形態では、ガードリング 42 a ~ 42 d は、z 方向から視て閉じた環状に形成されている。ガードリング 42 a ~ 42 d は、ドリフト層 33 において部分的に形成されている。ガードリング 42 a ~ 42 d は、第 2 導電型（本実施形態では p 型）の半導体領域であり、z 方向と直交する方向において互いに離間して配置されている。ガードリング 42 a ~ 42 d は、エミッタ電極 21 から離れる方向に向かうにつれて、ガードリング 42 a、ガードリング 42 b、ガードリング 42 c、およびガードリング 42 d の順に配置されている。最外周のガードリング 42 d の幅 W_{ge} は、他のガードリング 42 a ~ 42 c の幅 W

gよりも大きい。各ガードリング42a～42dのp型不純物としては、たとえばB、A1等が用いられる。ガードリング42a～42dの不純物濃度は、たとえばベース領域34の不純物濃度と同じであり、たとえば $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。このため、ガードリング42a～42dの不純物濃度は、ウェル領域34Aの不純物濃度よりも高い。換言すると、ウェル領域34Aの不純物濃度は、ガードリング42a～42dの不純物濃度よりも低い。

[0065] FLR部42は、ガードリング42a～42dに対応させて設けられたフィールドプレート42e～42hを有している。z方向から視て、フィールドプレート42eはガードリング42aと重なる位置に設けられ、フィールドプレート42fはガードリング42bと重なる位置に設けられ、フィールドプレート42gはガードリング42cと重なる位置に設けられ、フィールドプレート42hはガードリング42dと重なる位置に設けられている。フィールドプレート42eはガードリング42aに接しており、フィールドプレート42fはガードリング42bに接しており、フィールドプレート42gはガードリング42cに接しており、フィールドプレート42hはガードリング42dに接している。フィールドプレート42e～42hは、z方向から視て閉じた環状となるように形成されている。

[0066] 等電位リング43は、半導体装置10の耐圧向上のための終端構造であり、FLR部42を囲うように環状に形成されている。等電位リング43は、外周領域19の外周部に形成されている。本実施形態では、等電位リング43は、z方向から視て閉じた環状となるように形成されている。等電位リング43は、半導体装置10の耐圧を向上させる機能を有している。

[0067] 等電位リング43は、ドリフト層33の表面（基板表面30s）に形成された第1導電型（n⁺型）のチャネルストップ領域と、絶縁膜38および中間絶縁膜39内に設けられた内部配線と、バリア層40の表面40sに設けられた表面側配線と、を有している。表面側配線は、中間絶縁膜39を貫通する開口部を介して内部配線に電氣的に接続されている。また、表面側配線は

、中間絶縁膜 39 および絶縁膜 38 の双方を貫通する開口部を介してチャネルストップ領域に電氣的に接続されている。

[0068] 図 5 に示すように、保護絶縁膜 17 は、半導体装置 10 は、エミッタ電極 21 の一部、各電極 22 ~ 25 の一部、ゲートフィンガー 26、エミッタ引き回し部 41、FLR 部 42、および等電位リング 43 を覆っている。

[0069] (電流センス電極およびその周囲の構成)

図 4、図 6 および図 7 を参照して、半導体装置 10 のうち電流センス電極 24 が形成される領域 R1S の詳細な構成について説明する。図 6 は電流センス電極 24 の y 方向の両端部のうち装置側面 10d に近い方の端部の拡大平面図を示し、図 7 は図 6 の電流センス電極 24 のうち後述するセンスセル領域 24A およびその周辺の拡大図を示している。

[0070] 図 2 および図 6 に示すように、半導体基板 30 のうち領域 R1S には、メインセル 18A (図 4 参照) が形成されるセンスセル領域 24A が形成されている。センスセル領域 24A は、領域 R1S の y 方向の両端部のうち装置側面 10d (図 2 参照) に近い方の端部に形成されている。半導体基板 30 における領域 R1S のうちセンスセル領域 24A 以外の領域は、ウェル領域 34A が形成されている。つまり、領域 R1S のうちセンスセル領域 24A 以外の領域には、センスセル 24B (図 4 参照) が形成されていない。

[0071] 図 4 および図 7 に示すように、センスセル領域 24A には、複数のセンスセル 24B が y 方向に並んで設けられている。センスセル 24B は、メインセル 18A (図 5 参照) と同じ構成である。複数のセンスセル 24B は、x 方向に延びるように設けられている。このため、x 方向に延びる複数のトレンチ 35 が y 方向に間隔をあけて並んで配置されているともいえる。これらトレンチ 35 は、x 方向の両端部において所定数のトレンチ 35 毎に連結されている。

[0072] 図 4 および図 6 に示すように、センスセル領域 24A とメインセル領域 18M との y 方向の間には、ウェル領域 34A が形成されている。より詳細には、図 4 に示すように、ウェル領域 34A は、メインセル領域 18M におけ

る複数のトレンチ 35 のうちセンスセル領域 24 A に最も近い第 1 トレンチ 35 E と、センスセル領域 24 A における複数のトレンチ 35 のうちメインセル領域 18 M に最も近い第 2 トレンチ 35 S との間に形成されている。ウェル領域 34 A は、第 1 トレンチ 35 E および第 2 トレンチ 35 S よりも基板裏面 30 r の近くまで形成されている。つまり、各トレンチ 35 E, 35 S の深さ方向において、ウェル領域 34 A は、各トレンチ 35 E, 35 S の底部 35 b よりも深くまで形成されている。換言すると、ウェル領域 34 A は、各トレンチ 35 E, 35 S の底部 35 b よりもドリフト層 33 寄りまで形成されている。

[0073] ここで、メインセル領域 18 M において、第 1 トレンチ 35 E と、第 1 トレンチ 35 E と隣り合うトレンチ 35 との間には、エミッタ領域 36 が形成されていない。つまり、第 1 トレンチ 35 E は、メインセル領域 18 M に設けられたトレンチ 35 である一方、メインセル 18 A を構成するトレンチ 35 とは異なるトレンチである。

[0074] また、センスセル領域 24 A において、第 2 トレンチ 35 S と、第 2 トレンチ 35 S と隣り合うトレンチ 35 との間には、エミッタ領域 36 が形成されていない。つまり、第 2 トレンチ 35 S は、センスセル領域 24 A に設けられたトレンチ 35 である一方、センスセル 24 B を構成するトレンチ 35 とは異なるトレンチである。

[0075] ウェル領域 34 A の不純物濃度は、ガードリング 42 a ~ 42 d の不純物濃度よりも低い。このため、ウェル領域 34 A の不純物濃度は、ガードリング 42 a ~ 42 d およびベース領域 34 の双方の不純物濃度よりも低いといえる。

[0076] 本実施形態では、第 1 トレンチ 35 E に埋め込まれた電極材料によってゲートトレンチ 23 A が形成され、第 2 トレンチ 35 S に埋め込まれた電極材料によってゲートトレンチ 23 A が形成されている。このように、本実施形態では、メインセル領域 18 M およびセンスセル領域 24 A の双方の外縁のトレンチ 35 は、ゲートトレンチ 23 A となる。

- [0077] なお、第1トレンチ35Eおよび第2トレンチ35Sの少なくとも一方はエミッタトレンチ21Aによって構成されていてもよい。つまり、メインセル領域18Mおよびセンスセル領域24Aの双方の外縁のトレンチ35は、エミッタトレンチ21Aとなってもよい。
- [0078] z方向から視て、ウェル領域34Aは、各トレンチ35E、35Sと重なる位置に形成されている。また、z方向から視て、ウェル領域34Aは、y方向において第1トレンチ35Eよりもメインセル領域18Mに向けてはみ出していない。また、z方向から視て、ウェル領域34Aは、y方向において第2トレンチ35Sよりもセンスセル領域24Aに向けてはみ出していない。このように、ウェル領域34Aは、各トレンチ35E、35Sの底部35bの一部を覆うように形成されている。
- [0079] 図4に示すように、エミッタ電極21は、メインセル領域18Mの第1トレンチ35Eよりもセンスセル領域24Aに向けて延びている。電流センス電極24は、センスセル領域24Aの第2トレンチ35Sよりもメインセル領域18Mに向けて延びている。エミッタ電極21と電流センス電極24とは、y方向において互いに離間して配置されている。
- [0080] z方向から視て、ウェル領域34Aは、電流センス電極24と重なる部分と、エミッタ電極21と重なる部分とを有している。つまり、z方向から視て、ウェル領域34Aは、電流センス電極24とエミッタ電極21との双方と重なる部分を有している。つまり、z方向から視て、エミッタ電極21は、y方向においてメインセル領域18Mよりもセンスセル領域24A寄りにはみ出した部分を有している。z方向から視て、電流センス電極24は、y方向においてセンスセル領域24Aよりもメインセル領域18M寄りにはみ出した部分を有している。
- [0081] センスセル領域24Aに対してy方向にウェル領域34Aを介して対向する位置には、メインセル領域18Mが形成されている。より詳細には、図6に示すように、メインセル領域18Mは、センスセル領域24Aを装置側面10a、10b、10d（ともに図2参照）の三方から囲むように形成され

ている。センスセル領域 24 A とメインセル領域 18 M との間には、ウェル領域 34 A が形成されている。ウェル領域 34 A は電流センス電極 24 と重なる部分にも形成されているため、z 方向から視て、ウェル領域 34 A は、センスセル領域 24 A を囲むように形成されている。

[0082] 図 7 に示すように、コンタクト 24 C およびセンスセル領域 24 A におけるトレンチ 35 はそれぞれ、複数設けられている。本実施形態では、コンタクト 24 C およびセンスセル領域 24 A におけるトレンチ 35 はそれぞれ、x 方向に延びている。コンタクト 24 C およびセンスセル領域 24 A におけるトレンチ 35 は、y 方向において交互に配置されている。

[0083] 図 4 および図 6 に示すように、半導体装置 10 は、電流センス電極 24 の y 方向の両側に設けられた端部コンタクト 24 C E を備えている。端部コンタクト 24 C E は、センスセル領域 24 A から外れた位置に設けられている。より詳細には、端部コンタクト 24 C E は、y 方向においてセンスセル領域 24 A とメインセル領域 18 M との間に配置されている。z 方向から視て、端部コンタクト 24 C E は、ウェル領域 34 A のうちセンスセル領域 24 A に y 方向に隣り合う領域と重なる位置に配置されている。端部コンタクト 24 C E は、コンタクト 24 C と同様に x 方向に延びている。本実施形態では、端部コンタクト 24 C E の x 方向の長さは、コンタクト 24 C の x 方向の長さと等しい。ここで、本実施形態では、端部コンタクト 24 C E は「センス端コンタクト」に対応している。

[0084] 端部コンタクト 24 C E と、端部コンタクト 24 C E と y 方向に隣り合うコンタクト 24 C との間の距離は、複数のコンタクト 24 C のうち y 方向に隣り合うコンタクト 24 C 同士の間の距離と等しい。本実施形態では、図 7 に示すとおり、ウェル領域 34 A のうちセンスセル領域 24 A に y 方向に隣り合う領域と重なる位置には、2 つの端部コンタクト 24 C E が設けられている。なお、図 6 では、図の分かりやすさの観点から 1 つの端部コンタクト 24 C E が設けられた構造として示している。

[0085] 図 6 に示すように、ウェル領域 34 A には、エミッタ電極 21 のコンタク

ト 2 1 m が配置されている。つまり、エミッタ電極 2 1 は、コンタクト 2 1 m によってウェル領域 3 4 A に電氣的に接続されている。コンタクト 2 1 m は、z 方向から視て、ウェル領域 3 4 A およびエミッタ電極 2 1 の双方と重なる位置に設けられている。エミッタ電極 2 1 には、コンタクト 2 1 m が複数設けられている。ここで、エミッタ電極 2 1 のうちメインセル領域 1 8 M から外れてウェル領域 3 4 A に配置されているコンタクト 2 1 m を「第 1 コンタクト 2 1 m a」、「第 2 コンタクト 2 1 m b」、「第 3 コンタクト 2 1 m c」、「第 4 コンタクト 2 1 m d」、および「第 5 コンタクト 2 1 m e」とする。ここで、本実施形態では、これらコンタクト 2 1 m a, 2 1 m b, 2 1 m c, 2 1 m d, 2 1 m e は「メイン用コンタクト」に対応している。

[0086] 第 1 コンタクト 2 1 m a は、ウェル領域 3 4 A のうちセンスセル領域 2 4 A とメインセル領域 1 8 M との y 方向の間に配置されている。第 1 コンタクト 2 1 m a は、メインセル領域 1 8 M よりもセンスセル領域 2 4 A の近くに配置されている。第 1 コンタクト 2 1 m a は、x 方向に延びている。つまり、第 1 コンタクト 2 1 m a は、端部コンタクト 2 4 C E と平行に延びている。第 1 コンタクト 2 1 m a は、センスセル領域 2 4 A のトレンチ 3 5（図 4 参照）とメインセル領域 1 8 M のトレンチ 3 5 との双方と平行に延びているともいえる。第 1 コンタクト 2 1 m a は、z 方向から視て、矩形状のセンスセル領域 2 4 A の長辺方向に沿って延びているともいえる。

[0087] 本実施形態では、第 1 コンタクト 2 1 m a の x 方向の長さは、端部コンタクト 2 4 C E の x 方向の長さよりも長い。第 1 コンタクト 2 1 m a の x 方向の長さは、センスセル領域 2 4 A の x 方向の長さよりも長い。図 7 に示すように、第 1 コンタクト 2 1 m a は、複数設けられている。複数の第 1 コンタクト 2 1 m a は、y 方向において互いに離間して配列されている。

[0088] 第 1 コンタクト 2 1 m a は、z 方向から視て、端部コンタクト 2 4 C E と y 方向に対向する位置に設けられている。本実施形態では、第 1 コンタクト 2 1 m a の個数は、端部コンタクト 2 4 C E の個数よりも多い。ここで、本実施形態では、第 1 コンタクト 2 1 m a は「メイン端コンタクト」に対応し

ている。

[0089] 図6に示すように、第2コンタクト21mbおよび第3コンタクト21mcはそれぞれ、ウェル領域34Aのうちセンスセル領域24Aとメインセル領域18Mとのx方向の間に配置されている。第2コンタクト21mbはセンスセル領域24Aよりも装置側面10a（図1参照）の近くに配置され、第3コンタクト21mcはセンスセル領域24Aよりも装置側面10b（図1参照）の近くに配置されている。第2コンタクト21mbおよび第3コンタクト21mcのそれぞれは、メインセル領域18Mよりもセンスセル領域24Aの近くに配置されている。第2コンタクト21mbおよび第3コンタクト21mcのそれぞれは、y方向に延びている。つまり、第2コンタクト21mbおよび第3コンタクト21mcの双方は、端部コンタクト24CEと直交する方向に延びている。第2コンタクト21mbおよび第3コンタクト21mcの双方は、センスセル領域24Aのトレンチ35（図4参照）とメインセル領域18Mのトレンチ35との双方と平行に延びているともいえる。z方向から視て、第2コンタクト21mbおよび第3コンタクト21mcの双方は、z方向から視て、矩形状のセンスセル領域24Aの短辺方向に沿って延びているともいえる。

[0090] 本実施形態では、第2コンタクト21mbのy方向の長さおよび第3コンタクト21mcのy方向の長さは互いに等しい。第2コンタクト21mbのy方向の長さおよび第3コンタクト21mcのy方向の長さはそれぞれ、第1コンタクト21maのx方向の長さよりも短い。

[0091] 図7に示すように、第2コンタクト21mbは、複数設けられている。複数の第2コンタクト21mbは、x方向において互いに離間して配列されている。なお、図示していないが、第3コンタクト21mcは、複数設けられている。複数の第3コンタクト21mcは、x方向において互いに離間して配列されている。本実施形態では、第2コンタクト21mbの個数は、端部コンタクト24CEの個数よりも多い。第3コンタクト21mcの個数は、端部コンタクト24CEの個数よりも多い。

[0092] 図6に示すように、第4コンタクト21mdおよび第5コンタクト21meはそれぞれ、y方向においてセンスセル領域24Aに対してメインセル領域18Mとは反対側に配置されている。第4コンタクト21mdおよび第5コンタクト21meは、y方向において互いに揃った状態でx方向において互いに離間して配列されている。第4コンタクト21mdおよび第5コンタクト21meはそれぞれ、x方向に延びている。つまり、第4コンタクト21mdおよび第5コンタクト21meの双方は、端部コンタクト24CEと平行に延びている。第4コンタクト21mdおよび第5コンタクト21meの双方は、センスセル領域24Aのトレンチ35（図4参照）とメインセル領域18Mのトレンチ35との双方と平行に延びているともいえる。第4コンタクト21mdおよび第5コンタクト21meの双方は、z方向から視て、矩形状のセンスセル領域24Aの長辺方向に沿って延びているともいえる。

[0093] 図示していないが、第4コンタクト21mdおよび第5コンタクト21meはそれぞれ複数設けられている。複数の第4コンタクト21mdは、y方向において互いに離間して配列されている。複数の第5コンタクト21meは、y方向において互いに離間して配列されている。本実施形態では、第4コンタクト21mdの個数は、端部コンタクト24CEの個数よりも多い。第5コンタクト21meの個数は、端部コンタクト24CEの個数よりも多い。

[0094] 図6に示すとおり、第1～第5コンタクト21ma～21meは、センスセル領域24Aを囲むように配置されている。つまり、エミッタ電極21は、センスセル領域24Aを囲むように形成されている。エミッタ電極21のうちセンスセル領域24Aを囲む部分は、z方向から視て、第4コンタクト21mdと第5コンタクト21meとのx方向の間に隙間を有する開いた環状となる。電流センス電極24は、エミッタ電極21のうち第4コンタクト21mdと第5コンタクト21meとのx方向の間に形成された隙間を介してセンスセル領域24Aと重なる位置まで延びている。

[0095] 図4に示すように、電流センス電極24の端部コンタクト24CEとエミッタ電極21の第1コンタクト21maとはそれぞれ、ウェル領域34Aに接続されている。つまり、電流センス電極24とエミッタ電極21とはウェル領域34Aを介して電氣的に接続されている。このため、図4に示すとおり、エミッタ電極21と電流センス電極24とは、ウェル領域34Aの抵抗成分を介して互いに電氣的に接続されている。なお図示していないが、エミッタ電極21の第2コンタクト21mb、第3コンタクト21mc、第4コンタクト21md、および第5コンタクト21meもウェル領域34Aに接続されているため、これらコンタクト21mb～21meおよびウェル領域34Aを介してエミッタ電極21が電流センス電極24と電氣的に接続されている。

[0096] このような構成の半導体装置10においては、図8に示すように、センスセル領域24Aのセンスセル24BからなるセンスIGBT24Sは、メインセル領域18Mのメインセル18AからなるメインIGBT21Mと並列に接続されている。センスIGBT24SのゲートおよびメインIGBT21Mのゲートはともに、ゲート電極23に電氣的に接続されている。

[0097] (半導体装置の製造方法)

図9～図17を参照して、本実施形態の半導体装置の製造方法について説明する。なお、便宜上、図9～図17では、製造過程を示す半導体装置10の構成を簡略化して示す。このため、図9～図17の半導体装置10の構成要素の形状が図1～図7の半導体装置10の構成要素の形状と異なる場合がある。図9～図17では、メインセル領域18Mおよびセンスセル領域24Aの一部と、FLR部42の一部とのそれぞれの製造過程を示している。また、以降では、便宜上、図9～図17を用いて、1つの半導体装置10の製造方法として説明する。ここで、本実施形態の半導体装置10の製造方法は、1つの半導体装置10の製造に限られず、複数個の半導体装置10の製造であってもよい。

[0098] 本実施形態の半導体装置10の製造方法は、Siを含む材料から形成され

た半導体基板 830 を用意する工程を備えている。半導体基板 830 は、第 1 導電型の半導体層としての n-型のドリフト層 33 を有している。ドリフト層 33 は、半導体基板 830 の全体にわたり形成されている。つまり、ドリフト層 33 は、メインセル領域 18M およびセンスセル領域 24A の双方に形成されているともいえる。半導体基板 830 は、その厚さ方向（z 方向）において互いに反対側を向く基板表面 830s および基板裏面 830r を有している。このため、基板表面 830s はドリフト層 33 の表面であるともいえる。図 9 に示すように、半導体装置 10 の製造方法は、半導体基板 830 の基板表面 830s のうち外周領域 19 に対応する部分に基板側絶縁膜 838B を形成する工程を備えている。基板側絶縁膜 838B は、半導体基板 830 を熱酸化した後、ウェットエッチングおよびドライエッチングの順にエッチングすることによって形成される。

[0099] 図 9 に示すように、本実施形態の半導体装置 10 の製造方法は、半導体基板 830 に第 2 導電型の半導体領域としての p 型のウェル領域 834 を形成する工程を備えている。具体的には、半導体基板 830 の基板表面 830s には、p 型不純物が選択的に注入される。続いて、半導体基板 830 を熱処理することによって p 型不純物が拡散される。以上の工程を経て、ウェル領域 834 が形成される。ウェル領域 834 は、ドリフト層 33 において部分的に形成される。ウェル領域 834 の表面は、基板表面 830s を構成するため、ドリフト層 33 の表面と連続する表面となる。ここで、ウェル領域 834 は、ウェル領域 34A およびガードリング 42a～42d（図 9 ではガードリング 25d は図示略）を含む。つまり、ウェル領域 34A およびガードリング 42a～42d は、同一工程によって形成される。

[0100] 図 10 に示すように、本実施形態の半導体装置 10 の製造方法は、半導体基板 830 に複数のトレンチ 835 を形成する工程と、絶縁膜 838 を形成する工程と、電極を形成する工程と、を備えている。

[0101] 具体的には、まず、半導体基板 830 の基板表面 830s にトレンチマスク（図示略）を形成する。続いて、トレンチマスクを選択的にエッチングす

る。つまり、z方向から視て、トレンチマスクのうちトレンチ835を形成する領域をエッチングする。これにより、トレンチマスクには、半導体基板830の基板表面830sのうちトレンチ835を形成する領域が露出される。続いて、半導体基板830の基板表面830sのうちトレンチ835を形成する領域をエッチングする。これにより、半導体基板830のメインセル領域18Mおよびセンスセル領域24Aの双方にトレンチ835が形成される。

[0102] 続いて、半導体基板830が熱酸化されることによって各トレンチ835の内面を含む半導体基板830の表面全体に酸化膜が形成される。これにより、半導体基板830の基板表面830sのうちメインセル領域18Mに絶縁膜838が形成される。メインセル領域18Mの絶縁膜838は、ゲート絶縁膜であり、各トレンチ835の内面にも形成される。また、半導体基板830の外周領域19では、基板側絶縁膜838Bの表面に絶縁膜838が積層される。

[0103] 続いて、ポリシリコン等の電極材料PSが各トレンチ835に埋め込まれるとともに半導体基板830の基板表面830sに形成される。これにより、ゲートトレンチ23Aおよびエミッタトレンチ21Aが形成される。

[0104] 図11に示すように、本実施形態の半導体装置10の製造方法は、電極材料PSをエッチングする工程と、電極材料PS上に絶縁膜838を形成する工程と、を備える。

具体的には、まず、半導体基板830の基板表面830sのうちメインセル領域18Mと、外周領域19のうちゲートフィンガー26およびゲート電極23以外の領域との電極材料PSをエッチングによって除去する。続いて、各トレンチ835に埋め込まれた電極材料を酸化させる。これにより、各電極材料PS上に絶縁膜838が形成される。

[0105] 図12に示すように、本実施形態の半導体装置10の製造方法は、ベース領域34およびエミッタ領域36を形成する工程を備えている。具体的には、半導体基板830の基板表面830sに対して選択的にn型およびp型の

不純物がイオン注入および拡散されることによって、p型のベース領域34およびn⁺型のエミッタ領域36が順に形成される。

[0106] 図13に示すように、本実施形態の半導体装置10の製造方法は、中間絶縁膜839を形成する工程と、バリア層840を形成する工程と、を備えている。

具体的には、まず、たとえば化学蒸着法（CVD：chemical vapor deposition）によって半導体基板830の基板表面830sの全体にわたりシリコン酸化膜としての中間絶縁膜839を形成する。中間絶縁膜839は、絶縁膜838に積層される。この場合、メインセル領域18Mおよびセンスセル領域24Aでは、半導体基板830の基板表面830sに形成された絶縁膜838と中間絶縁膜839との2層構造の絶縁膜となる。一方、外周領域19では、半導体基板830の基板表面830sに形成された基板側絶縁膜838Bと、絶縁膜838と、中間絶縁膜839との3層構造の絶縁膜となる。

[0107] 続いて、たとえばスパッタリングによって中間絶縁膜839の表面の全体にわたりシリコン窒化膜としてのバリア層840を形成する。バリア層840は、中間絶縁膜839に積層される。バリア層840は、たとえばCVDによって中間絶縁膜839の表面に形成される。

[0108] 図14に示すように、本実施形態の半導体装置10の製造方法は、コンタクトホールを形成する工程を備えている。

メインセル領域18Mおよびセンスセル領域24Aにおいては、エッチングによってバリア層840、中間絶縁膜839、および絶縁膜838をそれぞれ貫通するようにコンタクトホール39a、39bが形成される。メインセル領域18Mにおけるコンタクトホール39aおよびセンスセル領域24Aにおけるコンタクトホール39bの双方は、ベース領域34を露出する。これらコンタクトホール39a、39bによってベース領域34に対応する半導体基板830の基板表面830sには凹部831が形成される。

[0109] 外周領域19においては、エッチングによってバリア層840、中間絶縁

膜 839、絶縁膜 838、および基板側絶縁膜 838B をそれぞれ貫通するようにコンタクトホール 39a、39b が形成される。外周領域 19 におけるコンタクトホール 39c は、たとえばガードリング 42a～42d を個別に露出する。コンタクトホール 39c によってガードリング 42a～42d に対応する半導体基板 830 の基板表面 830s には凹部 832 が形成される。

[0110] 図 15 に示すように、本実施形態の半導体装置 10 の製造方法は、ベースコンタクト領域 37 およびコンタクト領域 42p を形成する工程を備えている。具体的には、半導体基板 830 の基板表面 830s に対して開口部を介して p 型の不純物がイオン注入および拡散されることによって、p⁺型のベースコンタクト領域 37 およびコンタクト領域 42p がそれぞれ形成される。

[0111] 図 16 および図 17 に示すように、本実施形態の半導体装置 10 の製造方法は、エミッタ電極 21、各電極 22～24、ゲートフィンガー 26、フィールドプレート 42e～42h、および等電位リング 43 を形成する工程を備えている。なお、図 16 および図 17 では、エミッタ電極 21、電流センス電極 24、およびフィールドプレート 42e～42g を形成する工程を示している。

[0112] 図 16 に示すように、まず、バリア層 40 の表面 40s および各コンタクトホール 39a～39c に金属層 822 を形成する。より詳細には、たとえばチタン (Ti) を用いたスパッタリングによって、バリア層 40 の表面 40s および各コンタクトホール 39a～39c の内面に薄膜の第 1 金属層を形成する。続いて、第 1 金属層上に窒化チタン (TiN) を用いたスパッタリングによって薄膜の第 2 金属層を形成する。続いて、各コンタクトホール 39a～39c にタングステン (W) からなるプラグ電極を埋め込む。続いて、AlSiCu を用いたスパッタリングによって電極層を形成する。これにより、金属層 822 が形成される。金属層 822 は、z 方向から視てバリア層 40 の全体にわたり形成されている。

[0113] 図 17 に示すように、金属層 822 (図 16 参照) をエッチングすること

によって、エミッタ電極 2 1、各電極 2 2～2 4、ゲートフィンガー 2 6、フィールドプレート 4 2 e～4 2 h、および等電位リング 4 3 が形成される。なお、図 1 7 では、エミッタ電極 2 1、電流センス電極 2 4、およびフィールドプレート 4 2 e～4 2 g を示している。

[0114] 図示していないが、本実施形態の半導体装置 1 0 の製造方法は、保護絶縁膜 1 7 を形成する工程を備えている。具体的には、ポリイミド等の有機材料を含むパッシベーション層がエミッタ電極 2 1、各電極 2 2～2 5、ゲートフィンガー 2 6、フィールドプレート 4 2 e～4 2 h、および等電位リング 4 3 を覆うように、z 方向から視て、半導体基板 8 3 0 の基板表面 8 3 0 s の全体にわたり形成される。続いて、エッチングによってエミッタ電極 2 1、カソード電極 2 5、アノード電極 2 2、ゲート電極 2 3、電流センス電極 2 4 を露出するように開口部が形成される。これにより、保護絶縁膜 1 7、エミッタ電極パッド 1 1、カソード電極パッド 1 2、アノード電極パッド 1 3、ゲート電極パッド 1 4、電流センス電極パッド 1 5、およびエミッタセンス電極パッド 1 6 が形成される。保護絶縁膜 1 7 は、エミッタ電極 2 1 の一部、各電極 2 2～2 5 の一部、ゲートフィンガー 2 6、フィールドプレート 4 2 e～4 2 h、および等電位リング 4 3 を覆っている。

[0115] 図示していないが、本実施形態の半導体装置 1 0 の製造方法は、バッファ層 3 2、コレクタ層 3 1、およびコレクタ電極 2 7 を形成する工程を備えている。具体的には、半導体基板 8 3 0 の基板裏面に対して選択的に n 型および p 型不純物がイオン注入および拡散されることによって、バッファ層 3 2 およびコレクタ層 3 1 が順に形成される。続いて、コレクタ層 3 1 のうちバッファ層 3 2 とは反対側の表面にコレクタ電極 2 7 を形成する。以上の工程を経て、半導体装置 1 0 が製造される。なお、図 9～図 1 7 は半導体装置 1 0 の製造工程の一部を示したものであり、半導体装置 1 0 の製造方法は、図 9～図 1 7 で示されなかった工程を備えていてもよい。

[0116] (作用)

本実施形態の半導体装置 1 0 の作用について説明する。

図18は、比較例の半導体装置10Xにおけるエミッタ電極21と外周領域19のうち電流センス電極24Xとの断面構造を示している。

[0117] 電流センス電極24Xは、コンタクト24Cによってセンスセル領域24Aと電氣的に接続されている一方、ウェル領域34Aと電氣的に接続されていない。つまり、電流センス電極24Xは、端部コンタクト24CEを有していない。このため、比較例の半導体装置10Xでは、電流センス電極24Xとエミッタ電極21とは電氣的に接続されていない。

[0118] 比較例の半導体装置10Xでは、ゲート電圧の変化に対してゲート容量に起因するセンスセル領域24Aへのノイズおよびサージの影響によって、センスセル領域24Aに流れる電流にノイズおよびサージが重畳してしまう。これにより、電流センス電極24Xの電位がエミッタ電極21の電位に対して変化するため、比較例の半導体装置10Xでは、メインセル領域18Mに流れる電流の検出精度が低下するおそれがある。

[0119] 一方、本実施形態の半導体装置10では、端部コンタクト24CEおよびウェル領域34Aを介して電流センス電極24とエミッタ電極21とが電氣的に接続されている。ウェル領域34Aは不純物濃度が低いため、ウェル領域34Aは電流センス電極24とエミッタ電極21との間の導電経路における高いインピーダンスを有する抵抗成分となる。これにより、電流センス電極24とエミッタ電極21とが、高いインピーダンスを有する抵抗成分を介して電氣的に接続されている。

[0120] (効果)

本実施形態の半導体装置10によれば、以下の効果が得られる。

(1) 半導体装置10は、メインセル18Aを有するメインセル領域18Mと、センスセル24Bを有し、メイン電流を検出するためのセンスセル領域24Aと、メインセル領域18Mとセンスセル領域24Aとの間に形成されたp型のウェル領域34Aと、を備える。メインセル領域18Mは、メインセル18Aを覆う絶縁膜38、中間絶縁膜39、およびバリア層40の積層構造と、絶縁膜38、中間絶縁膜39、およびバリア層40の積層構造に

積層されたエミッタ電極 2 1 と、を有している。センスセル領域 2 4 A は、センスセル 2 4 B を覆う絶縁膜 3 8、中間絶縁膜 3 9、およびバリア層 4 0 の積層構造に積層された電流センス電極 2 4 と、を有している。エミッタ電極 2 1 と電流センス電極 2 4 とは、ウェル領域 3 4 A に電氣的に接続されている。

[0121] この構成によれば、ウェル領域 3 4 A を介してエミッタ電極 2 1 と電流センス電極 2 4 とが電氣的に接続されているため、電流センス電極 2 4 の電位がエミッタ電極 2 1 の電位に対して変化することが抑制される。したがって、本実施形態の半導体装置 1 0 では、メインセル領域 1 8 M に流れる電流の検出精度の低下を抑制できる。

[0122] (2) エミッタ電極 2 1 と電流センス電極 2 4 とは、ウェル領域 3 4 A の抵抗成分を介して互いに電氣的に接続されている。

この構成によれば、ウェル領域 3 4 A の抵抗成分に起因して電流センス電極 2 4 の電位がエミッタ電極 2 1 の電位に対して変化することが抑制される。したがって、本実施形態の半導体装置 1 0 では、メインセル領域 1 8 M に流れる電流の検出精度の低下を抑制できる。

[0123] (3) z 方向から視て、ウェル領域 3 4 A は、エミッタ電極 2 1 と電流センス電極 2 4 との双方と重なる部分を有している。

この構成によれば、ウェル領域 3 4 A とエミッタ電極 2 1 とをコンタクト 2 1 m によって容易に接続でき、ウェル領域 3 4 A と電流センス電極 2 4 とを端部コンタクト 2 4 C E によって容易に接続できる。

[0124] (4) ウェル領域 3 4 A は、メインセル領域 1 8 M の複数のトレンチ 3 5 のうちセンスセル領域 2 4 A に最も近い第 1 トレンチ 3 5 E と、センスセル領域 2 4 A の複数のトレンチ 3 5 のうちメインセル領域 1 8 M に最も近い第 2 トレンチ 3 5 S との間に形成されている。

[0125] この構成によれば、メインセル領域 1 8 M とセンスセル領域 2 4 A とを繋ぐようにウェル領域 3 4 A が形成されるため、エミッタ電極 2 1 および電流センス電極 2 4 とウェル領域 3 4 A とを容易に接続できる。

[0126] (5) ウェル領域 34 A の不純物濃度は、ベース領域 34 の不純物濃度よりも低い。

この構成によれば、エミッタ電極 21 と電流センス電極 24 との導電経路となるウェル領域 34 A が高いインピーダンスを有する抵抗となるため、電流センス電極 24 の電位がエミッタ電極 21 の電位に対して変化することを抑制できる。

[0127] (6) エミッタ電極 21 は、ウェル領域 34 A と接続するコンタクト 21 m を有している。コンタクト 21 m は、センスセル領域 24 A を囲むように形成されている。

この構成によれば、ウェル領域 34 A とエミッタ電極 21 との導電経路が増えるため、コレクタ電極 27 からウェル領域 34 A を介してエミッタ電極 21 に電流を回収するためのコンタクトを多くとることができる。したがって、半導体装置 10 がブレークダウンしたときにコレクタ電極 27 からエミッタ電極 21 に流れる電流をコンタクトによって分散できるため、電流集中に伴う発熱を低減できる。

[0128] (7) ウェル領域 34 A の不純物濃度は、ガードリング 42 a ~ 42 d の不純物濃度よりも低い。

この構成によれば、エミッタ電極 21 と電流センス電極 24 との導電経路となるウェル領域 34 A が高いインピーダンスを有する抵抗となるため、電流センス電極 24 の電位がエミッタ電極 21 の電位に対して変化することを抑制できる。

[0129] (8) メインセル領域 18 M を覆う絶縁膜とセンスセル領域 24 A を覆う絶縁膜はともに絶縁膜 38 および中間絶縁膜 39 によって形成されている。

この構成によれば、メインセル領域 18 M を覆う絶縁膜とセンスセル領域 24 A を覆う絶縁膜とを個別に形成する場合と比較して、半導体装置 10 の製造工程が簡略化されるため、半導体装置 10 の製造コストを低減できる。

[0130] (9) 半導体装置 10 の製造方法は、中間絶縁膜 39、絶縁膜 38、およびバリア層 40 の積層構造のうちウェル領域 34 A を覆う部分にコンタクト

ホール 39 a, 39 b を形成する工程と、コンタクトホール 39 a にエミッタ電極 21 の一部を埋め込むことによってウェル領域 34 A と接触するコンタクト 21 m を形成する工程と、コンタクトホール 39 b に電流センス電極 24 の一部を埋め込むことによってウェル領域 34 A と接触するコンタクト 24 C を形成する工程と、を備えている。この構成によれば、上記 (1) の効果と同様の効果が得られる。

[0131] [変更例]

上記実施形態は本開示に関する半導体装置および半導体装置の製造方法が取り得る形態の例示であり、その形態を制限することを意図していない。本開示に関する半導体装置および半導体装置の製造方法は、上記実施形態に例示された形態とは異なる形態を取り得る。その一例は、上記実施形態の構成の一部を置換、変更、もしくは省略した形態、または上記実施形態に新たな構成を付加した形態である。また、以下の各変更例は、技術的に矛盾しない限り、互いに組み合わせることができる。以下の各変更例において、上記実施形態に共通する部分については、上記実施形態と同一符号を付してその説明を省略する。

[0132] ・上記実施形態において、電流センス電極 24 の端部コンタクト 24 C E のうちメインセル領域 18 M に近い方の端部コンタクト 24 C E の個数は任意に変更可能である。一例では、端部コンタクト 24 C E は 1 つであってもよいし、3 つ以上であってもよい。

[0133] ・上記実施形態において、第 1 コンタクト 21 m a の個数は任意に変更可能である。一例では、第 1 コンタクト 21 m a の個数は、電流センス電極 24 の端部コンタクト 24 C E の個数と等しくてもよいし、端部コンタクト 24 C E の個数よりも少なくてもよい。なお、第 2 ～ 5 コンタクト 21 m b ～ 21 m e の個数についても任意に変更可能であり、第 1 コンタクト 21 m a と同様に変更できる。

[0134] ・上記実施形態において、図 19 に示すように、第 1 コンタクト 21 m a は、ウェル領域 34 A のうちメインセル領域 18 M とセンスセル領域 24 A

との y 方向の間の領域 34 A C の全体にわたり形成されていてもよい。より詳細には、領域 34 A C において、複数の第 1 コンタクト 21 m a が y 方向において互いに離間して配列されている。また、図 19 に示すように、第 2 コンタクト 21 m b を増やしてもよい。

[0135] この構成によれば、コレクタ電極 27 からウェル領域 34 A を介してエミッタ電極 21 に電流を回収するためのコンタクトを多くとることができる。したがって、半導体装置 10 がブレークダウンしたときにコレクタ電極 27 からエミッタ電極 21 に流れる電流をコンタクトによって分散できるため、電流集中に伴う発熱を低減できる。

[0136] ・上記実施形態において、図 20 に示すように、メインセル領域 18 M におけるドリフト層 33 には、第 2 導電型 (p 型) のフローティング領域 50 が設けられていてもよい。フローティング領域 50 は、複数のエミッタトレンチ 21 A の各間に形成されている。フローティング領域 50 は、電氣的にフローティング状態が保たれた半導体領域であり、ゲートトレンチ 23 A に隣り合うエミッタトレンチ 21 A によってゲートトレンチ 23 A と分離されている。図示された例では、フローティング領域 50 は、ベース領域 34 と同じ深さで形成されている。フローティング領域 50 の不純物濃度は、たとえば $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。なお、センスセル領域 24 A におけるドリフト層 33 にも同様にフローティング領域 50 が形成されている。これにより、ゲートトレンチ 23 A とフローティング領域 50 とが接合しないため、ゲートトレンチ 23 A とフローティング領域 50 との間の浮遊容量をなくすることができる。

[0137] このようなフローティング領域 50 を備える半導体装置 10 の製造方法は、複数のトレンチ 35 間にフローティング領域 50 を形成する工程と、ウェル領域 34 A を形成する工程と、を備えている。フローティング領域 50 を形成する工程とウェル領域 34 A を形成する工程とは同一工程によって行われてもよい。つまり、フローティング領域 50 およびウェル領域 34 A は、同時に形成されてもよい。これにより、半導体装置 10 の製造工程を簡略化

することができる。

[0138] なお、フローティング領域50の深さは任意に変更可能である。一例では、フローティング領域50は、エミッタトレンチ21Aの底部を覆うように形成されていてもよい。つまり、フローティング領域50は、エミッタトレンチ21Aよりもバッファ層32の近くまで形成されていてもよい。

[0139] ・上記実施形態において、ウェル領域34Aのサイズは任意に変更可能である。一例では、ウェル領域34Aのy方向の両端部のうちメインセル領域18Mに近い方の端部は、メインセル領域18Mの第1トレンチ35Eよりもセンスセル領域24Aの近くに位置していてもよい。また、ウェル領域34Aのy方向の両端部のうちセンスセル領域24Aに近い方の端部は、センスセル領域24Aの第2トレンチ35Sよりもメインセル領域18Mの近くに位置していてもよい。

[0140] また一例では、ウェル領域34Aは、各トレンチ35E、35Sの底部35bよりもベース領域34の近くまで形成されていてもよい。つまり、ウェル領域34Aの深さは、各トレンチ35E、35Sよりも浅くてもよい。

[0141] ・上記実施形態において、ウェル領域34Aの不純物濃度は、ベース領域34の不純物濃度と同じであってもよい。また、ウェル領域34Aの不純物濃度は、ガードリング42a～42dの不純物濃度と同じであってもよい。

[0142] ・上記実施形態において、エミッタ電極21は、コンタクト21ma～21meのうち少なくとも1つのコンタクト21mを有していればよい。つまり、コンタクト21ma～21meの5つのコンタクト21mのうち1～4つを省略してもよい。

[0143] ・上記実施形態において、電流センス電極24の端部コンタクト24CEの個数は任意に変更可能である。一例では、端部コンタクト24CEは、複数設けられていてもよい。

・上記実施形態において、エミッタ電極21の積層電極部21nとコンタクト21mとが別体として設けられていてもよい。コンタクト21mは、たとえばタングステン(W)の埋め込み電極として設けられていてもよい。な

お、電流センス電極 24 もエミッタ電極 21 と同様に変更できる。

[0144] ・上記実施形態において、バリア層 40 の配置位置は任意に変更可能である。一例では、バリア層 40 は、各電極 21 ～ 25、ゲートフィンガー 26 の表面側配線、フィールドプレート 42 e ～ 42 h、および等電位リング 43 の表面側配線をそれぞれ覆うように形成されていてもよい。この場合、各電極 21 ～ 25 のうち第 1 ～ 第 6 開口部 17 A ～ 17 F によって露出された部分には、バリア層 40 は形成されていない。

[0145] ・上記実施形態において、メインセル領域 18 M を覆うバリア層 40 を省略してもよい。この場合、メインセル領域 18 M を覆う絶縁膜は、絶縁膜 38 および中間絶縁膜 39 の積層構造となる。また、センスセル領域 24 A を覆うバリア層 40 を省略してもよい。この場合、センスセル領域 24 A を覆う絶縁膜は、絶縁膜 38 および中間絶縁膜 39 の積層構造となる。

[0146] ・上記実施形態において、バリア層 40 を省略してもよい。この場合、センスセル領域 24 A を覆う絶縁膜と、メインセル領域 18 M を覆う絶縁膜との双方は、絶縁膜 38 および中間絶縁膜 39 の積層構造となる。

[0147] ・上記実施形態において、センスセル領域 24 A を覆う絶縁膜と、メインセル領域 18 M を覆う絶縁膜とが個別に形成されていてもよい。

・上記実施形態において、半導体装置 10 は、感温ダイオード 60 と逆並列に接続される保護ダイオードを備えていてもよい。保護ダイオードは、ダイオード配置部 21 b に收容されている。

[0148] ・上記実施形態において、半導体装置 10 から感温ダイオード 60 を省略してもよい。この場合、エミッタ電極 21 からダイオード配置部 21 b を省略してもよい。この場合、エミッタ電極 21 には、ダイオード配置部 21 b に代えて、ゲートフィンガー收容部 21 d が設けられていてもよい。また、半導体装置 10 から感温ダイオード 60 を省略した場合、カソード電極パッド 12 およびアノード電極パッド 13 を省略してもよい。これにともない、アノード電極 22 を省略してもよい。

[0149] ・上記実施形態では、エミッタトレンチ 21 A およびゲートトレンチ 23

Aが交互に配列されたが、これに限られず、エミッタトレンチ21Aおよびゲートトレンチ23Aの配列態様は任意に変更可能である。

[0150] ・各実施形態において、半導体装置10は、トレンチゲート型IGBTに代えて、プレーナゲート型IGBTであってもよい。

・各実施形態では、半導体装置10をIGBTとして具体化した但、これに限られず、半導体装置10はSiCMOSFET (metal-oxide-semiconductor field-effect transistor) またはSiMOSFETであってもよい。

[0151] 本開示で使田される「〜上に」という用語は、文脈によって明らかにそうでないことが示されない限り、「〜上に」と「〜の上方に」の意味を含む。したがって、「AがB上に形成される」という表現は、本実施形態ではAがBに接触してB上に直接配置され得るが、変更例として、AがBに接触することなくBの上方に配置され得ることが意図される。すなわち、「〜上に」という用語は、AとBとの間に他の部材が形成される構造を排除しない。

[0152] 本開示で使田されるz方向は必ずしも鉛直方向である必要はなく、鉛直方向に完全に一致している必要もない。したがって、本開示による種々の構造は、本明細書で説明されるz方向の「上」および「下」が鉛直方向の「上」および「下」であることに限定されない。例えば、x方向が鉛直方向であってもよく、またはy方向が鉛直方向であってもよい。

[0153] 本明細書における記述「A及びBの少なくとも一方」は、「Aのみ、または、Bのみ、または、AとBの両方」を意味するものとして理解されたい。

[付記]

上記実施形態および上記各変更例から把握できる技術的思想を以下に記載する。なお、各付記に記載された構成要素に対応する実施形態の構成要素の符号を括弧書きで示す。符号は、理解の補助のために例として示すものであり、各付記に記載された構成要素は、符号で示される構成要素に限定されるべきではない。

[0154] (付記1)

第1導電型のドリフト層(33)と、前記ドリフト層(33)に形成され

た第2導電型のボディ層（34）とを有するアクティブ領域（18）と、前記アクティブ領域（18）を取り囲む外周領域（19）と、を備え、

前記アクティブ領域（18）は、

メインセル（18A）を有し、メイン電流が流れるメインセル領域（18M）と、

前記メインセル（18A）を覆う第1絶縁膜（38, 39, 40）と、

前記第1絶縁膜（38, 39, 40）に積層された第1電極部（21）と

、

前記メインセル領域（18M）と離間して配置され、センスセル（24B）を有し、前記メイン電流に対応するセンス電流が流れるセンスセル領域（24A）と、

前記センスセル（24A）を覆う第2絶縁膜（38, 39, 40）と、

前記第2絶縁膜（38, 39, 40）に積層された第2電極部（24）と

、を有し、

前記メインセル領域（18M）と前記センスセル領域（24A）との間には、第2導電型のウェル領域（34A）が形成されており、

前記第1電極部（21）と前記第2電極部（24）とは、前記ウェル領域（34A）に電氣的に接続されている

半導体装置（10）。

[0155] （付記2）

前記第1電極部（21）と前記第2電極部（24）とは、前記ウェル領域（34A）の抵抗成分を介して互いに電氣的に接続されている

付記1に記載の半導体装置。

[0156] （付記3）

前記ドリフト層（33）の厚さ方向（z方向）から視て、前記ウェル領域（34A）は、前記第1電極部（21）と前記第2電極部（24）との双方と重なる部分を有している

付記1または2に記載の半導体装置。

[0157] (付記4)

前記メインセル領域(18M)および前記センスセル領域(24A)の双方は、前記ボディ層(34)の表面(30s)から前記ドリフト層(33)に向けて形成された複数のトレンチ(35)を有し、

前記ウェル領域(34A)は、前記メインセル領域(18M)の複数のトレンチ(35)のうち前記センスセル領域(24A)に最も近い第1トレンチ(35E)と、前記センスセル領域(24A)の複数のトレンチ(35)のうち前記メインセル領域(18M)に最も近い第2トレンチ(35S)との間に形成されている

付記3に記載の半導体装置。

[0158] (付記5)

前記ウェル領域(34A)は、前記第1トレンチ(35E)の底部(35b)および前記第2トレンチ(35S)の底部(35b)の双方よりも前記ドリフト層(33)寄りまで形成されており、かつ、前記第1トレンチ(35E)の底部(35b)の少なくとも一部および前記第2トレンチ(35S)の底部(35b)の少なくとも一部を覆うように形成されている

付記4に記載の半導体装置。

[0159] (付記6)

前記ウェル領域(34A)の不純物濃度は、前記ボディ層(33)の不純物濃度よりも低い

付記1～5のいずれか1つに記載の半導体装置。

[0160] (付記7)

前記ドリフト層(33)の厚さ方向(z方向)から視て、前記ウェル領域(34A)は、前記センスセル領域(18M)を囲むように形成されている

付記1～6のいずれか1つに記載の半導体装置。

[0161] (付記8)

前記第2電極部(24)は、前記ウェル領域(34A)と接続するセンス用コンタクト(24C)を有し、

前記センス用コンタクト（24C）は、前記第2電極部（24）のうち前記メインセル領域（18M）に最も近い端部に形成されたセンス端コンタクト（24CE）を有している

付記7に記載の半導体装置。

[0162] （付記9）

前記第1電極部（21）は、前記ウェル領域（34A）と接続するメイン用コンタクト（21m/21ma~21me）を有し、

前記メイン用コンタクト（21m/21ma~21me）は、前記センスセル領域（24A）を囲むように形成されている

付記8に記載の半導体装置。

[0163] （付記10）

前記メイン用コンタクト（21m）は、前記ドリフト層（33）の厚さ方向（z方向）から視て、前記センス端コンタクト（24CE）と対向する位置に設けられたメイン端コンタクト（21ma）を有し、

前記メイン端コンタクト（21ma）および前記センス端コンタクト（24CE）はそれぞれ、複数設けられており、

前記メイン端コンタクト（21ma）の個数は、前記センス端コンタクト（24CE）の個数よりも多い

付記9に記載の半導体装置。

[0164] （付記11）

前記外周領域（19）は、終端構造（42）を備え、

前記終端構造（42）は、第2導電型のガードリング（42a~42d）を有し、

前記ウェル領域（34A）の不純物濃度は、前記ガードリング（42a~42d）の不純物濃度よりも低い

付記1~10のいずれか1つに記載の半導体装置。

[0165] （付記12）

前記第1絶縁膜（38, 39, 40）と前記第2絶縁膜（38, 39, 4

0) とは、共通の絶縁膜によって形成されている

付記 1 ～ 11 のいずれか 1 つに記載の半導体装置。

[0166] (付記 13)

第 1 導電型のドリフト層 (33) を形成する工程と、

第 2 導電型のボディ層 (34) を前記ドリフト層 (33) に形成する工程と、

メインセル (18A) を有し、メイン電流が流れるメインセル領域 (18M) を形成する工程と、

前記メインセル領域 (18M) と離間して配置され、センスセル (24B) を有し、前記メイン電流に対応するセンス電流が流れるセンスセル領域 (24A) を形成する工程と、

第 2 導電型のウェル領域 (34A) を前記メインセル領域 (18M) と前記センスセル領域 (24A) との間に形成する工程と、

前記メインセル (18A) を覆う第 1 絶縁膜 (38, 39, 40) を形成する工程と、

第 1 電極部 (21) を前記第 1 絶縁膜 (38, 39, 40) に積層する工程と、

前記センスセル (24B) を覆う第 2 絶縁膜 (38, 39, 40) を形成する工程と、

第 2 電極部 (24) を前記第 2 絶縁膜 (38, 39, 40) に積層する工程と、

を備え、

前記第 1 絶縁膜 (38, 39, 40) および前記第 2 絶縁膜 (38, 39, 40) の双方は、前記ウェル領域 (34A) を覆う部分を有し、

前記第 1 電極部 (21) を前記第 1 絶縁膜 (38, 39, 40) に積層する工程は、

前記第 1 絶縁膜 (38, 39, 40) のうち前記ウェル領域 (34A) を覆う部分に、前記ウェル領域 (34A) を露出させるメイン側開口部 (39

a) を形成する工程と、

前記メイン側開口部 (39 a) に前記第 1 電極部 (21) の一部を埋め込むことによって前記ウェル領域 (34 A) と接触するメイン用コンタクト (21 m) を形成する工程と、を含み、

前記第 2 電極部 (24) を前記第 2 絶縁膜 (38, 39, 40) に積層する工程は、

前記第 2 絶縁膜 (38, 39, 40) のうち前記ウェル領域 (34 A) を覆う部分に、前記ウェル領域 (34 A) を露出させるセンス側開口部 (39 b) を形成する工程と、

前記センス側開口部 (39 b) に前記第 2 電極部 (24) の一部を埋め込むことによって前記ウェル領域 (34 A) と接触するセンス用コンタクト (24 C) を形成する工程と、を含む

半導体装置の製造方法。

[0167] (付記 14)

前記メインセル領域 (18 M) および前記センスセル領域 (24 A) の双方を囲む外周領域 (19) に終端構造 (42) を形成する工程を備え、

前記終端構造 (42) を形成する工程は、第 2 導電型のガードリング (42 a ~ 42 d) を形成する工程を含み、

前記ウェル領域 (34 A) の形成と、前記ガードリング (42 a ~ 42 d) の形成とは、同一の工程によって行われる

付記 13 に記載の半導体装置の製造方法。

[0168] (付記 15)

前記メインセル領域 (18 M) および前記センスセル領域 (24 A) の双方に、複数のトレンチ (34) を前記ボディ層 (33) の表面 (30 s) から前記ドリフト層 (33) に向けて形成する工程と、

前記複数のトレンチ (35) 間に第 2 導電型のフローティング領域 (50) を形成する工程と、を備え、

前記ウェル領域 (34 A) の形成と、前記フローティング領域 (50) の

形成とは、同一の工程によって行われる

付記 1 3 または 1 4 に記載の半導体装置の製造方法。

符号の説明

- [0169] 1 0…半導体装置
- 1 8…アクティブ領域
- 1 8 M…メインセル領域
- 1 8 A…メインセル
- 1 9…外周領域
- 2 1…エミッタ電極
- 2 1 m…コンタクト
- 2 1 m a…第 1 コンタクト
- 2 1 m b…第 2 コンタクト
- 2 1 m c…第 3 コンタクト
- 2 1 m d…第 4 コンタクト
- 2 1 m e…第 5 コンタクト
- 2 4…電流センス電極
- 2 4 A…センスセル領域
- 2 4 B…センスセル
- 2 4 C…コンタクト
- 2 4 C E…端部コンタクト
- 3 0…半導体基板
- 3 3…ドリフト層
- 3 4…ベース領域
- 3 4 A…ウェル領域
- 3 5…トレンチ
- 3 5 E…第 1 トレンチ
- 3 5 S…第 2 トレンチ
- 3 5 b…底部

3 8 …絶縁膜

3 9 …中間絶縁膜

3 9 a …コンタクトホール

3 9 b …コンタクトホール

4 0 …バリア層

4 0 s …表面

4 2 …F L R 部

4 2 a ～ 4 2 d …ガードリング（終端構造）

5 0 …フローティング領域

8 3 4 …ウェル領域

8 3 5 …トレンチ

8 3 8 …絶縁膜

8 3 9 …中間絶縁膜

8 4 0 …バリア層

請求の範囲

- [請求項1] 第1導電型のドリフト層と、前記ドリフト層に形成された第2導電型のボディ層とを有するアクティブ領域と、前記アクティブ領域を取り囲む外周領域と、
を備え、
前記アクティブ領域は、
メインセルを有し、メイン電流が流れるメインセル領域と、
前記メインセルを覆う第1絶縁膜と、
前記第1絶縁膜に積層された第1電極部と、
前記メインセル領域と離間して配置され、センスセルを有し、前記メイン電流に対応するセンス電流が流れるセンスセル領域と、
前記センスセルを覆う第2絶縁膜と、
前記第2絶縁膜に積層された第2電極部と、
を有し、
前記メインセル領域と前記センスセル領域との間には、第2導電型のウェル領域が形成されており、
前記第1電極部と前記第2電極部とは、前記ウェル領域に電氣的に接続されている
半導体装置。
- [請求項2] 前記第1電極部と前記第2電極部とは、前記ウェル領域の抵抗成分を介して互いに電氣的に接続されている
請求項1に記載の半導体装置。
- [請求項3] 前記ドリフト層の厚さ方向から視て、前記ウェル領域は、前記第1電極部と前記第2電極部との双方と重なる部分を有している
請求項1または2に記載の半導体装置。
- [請求項4] 前記メインセル領域および前記センスセル領域の双方は、前記ボディ層の表面から前記ドリフト層に向けて形成された複数のトレンチを有し、

前記ウェル領域は、前記メインセル領域の複数のトレンチのうち前記センスセル領域に最も近い第1トレンチと、前記センスセル領域の複数のトレンチのうち前記メインセル領域に最も近い第2トレンチとの間に形成されている

請求項3に記載の半導体装置。

[請求項5] 前記ウェル領域は、前記第1トレンチの底部および前記第2トレンチの底部の双方よりも前記ドリフト層寄りまで形成されており、かつ、前記第1トレンチの底部の少なくとも一部および前記第2トレンチの底部の少なくとも一部を覆うように形成されている

請求項4に記載の半導体装置。

[請求項6] 前記ウェル領域の不純物濃度は、前記ボディ層の不純物濃度よりも低い

請求項1～5のいずれか一項に記載の半導体装置。

[請求項7] 前記ドリフト層の厚さ方向から視て、前記ウェル領域は、前記センスセル領域を囲むように形成されている

請求項1～6のいずれか一項に記載の半導体装置。

[請求項8] 前記第2電極部は、前記ウェル領域と接続するセンス用コンタクトを有し、

前記センス用コンタクトは、前記第2電極部のうち前記メインセル領域に最も近い端部に形成されたセンス端コンタクトを有している

請求項7に記載の半導体装置。

[請求項9] 前記第1電極部は、前記ウェル領域と接続するメイン用コンタクトを有し、

前記メイン用コンタクトは、前記センスセル領域を囲むように形成されている

請求項8に記載の半導体装置。

[請求項10] 前記メイン用コンタクトは、前記ドリフト層の厚さ方向から視て、前記センス端コンタクトと対向する位置に設けられたメイン端コンタ

クトを有し、

前記メイン端コンタクトおよび前記センス端コンタクトはそれぞれ、複数設けられており、

前記メイン端コンタクトの個数は、前記センス端コンタクトの個数よりも多い

請求項 9 に記載の半導体装置。

[請求項11]

前記外周領域は、終端構造を備え、

前記終端構造は、第 2 導電型のガードリングを有し、

前記ウェル領域の不純物濃度は、前記ガードリングの不純物濃度よりも低い

請求項 1 ～ 1 0 のいずれか一項に記載の半導体装置。

[請求項12]

前記第 1 絶縁膜と前記第 2 絶縁膜とは、共通の絶縁膜によって形成されている

請求項 1 ～ 1 1 のいずれか一項に記載の半導体装置。

[請求項13]

第 1 導電型のドリフト層を形成する工程と、

第 2 導電型のボディ層を前記ドリフト層に形成する工程と、

メインセルを有し、メイン電流が流れるメインセル領域を形成する工程と、

前記メインセル領域と離間して配置され、センスセルを有し、前記メイン電流に対応するセンス電流が流れるセンスセル領域を形成する工程と、

第 2 導電型のウェル領域を前記メインセル領域と前記センスセル領域との間に形成する工程と、

前記メインセルを覆う第 1 絶縁膜を形成する工程と、

第 1 電極部を前記第 1 絶縁膜に積層する工程と、

前記センスセルを覆う第 2 絶縁膜を形成する工程と、

第 2 電極部を前記第 2 絶縁膜に積層する工程と、

を備え、

前記第1絶縁膜および前記第2絶縁膜の双方は、前記ウェル領域を覆う部分を有し、

前記第1電極部を前記第1絶縁膜に積層する工程は、

前記第1絶縁膜のうち前記ウェル領域を覆う部分に、前記ウェル領域を露出させるメイン側開口部を形成する工程と、

前記メイン側開口部に前記第1電極部の一部を埋め込むことによって前記ウェル領域と接触するメイン用コンタクトを形成する工程と、
を含み、

前記第2電極部を前記第2絶縁膜に積層する工程は、

前記第2絶縁膜のうち前記ウェル領域を覆う部分に、前記ウェル領域を露出させるセンス側開口部を形成する工程と、

前記センス側開口部に前記第2電極部の一部を埋め込むことによって前記ウェル領域と接触するセンス用コンタクトを形成する工程と、
を含む

半導体装置の製造方法。

[請求項14]

前記メインセル領域および前記センスセル領域の双方を囲む外周領域に終端構造を形成する工程を備え、

前記終端構造を形成する工程は、第2導電型のガードリングを形成する工程を含み、

前記ウェル領域の形成と、前記ガードリングの形成とは、同一の工程によって行われる

請求項13に記載の半導体装置の製造方法。

[請求項15]

前記メインセル領域および前記センスセル領域の双方に、複数のトレンチを前記ボディ層の表面から前記ドリフト層に向けて形成する工程と、

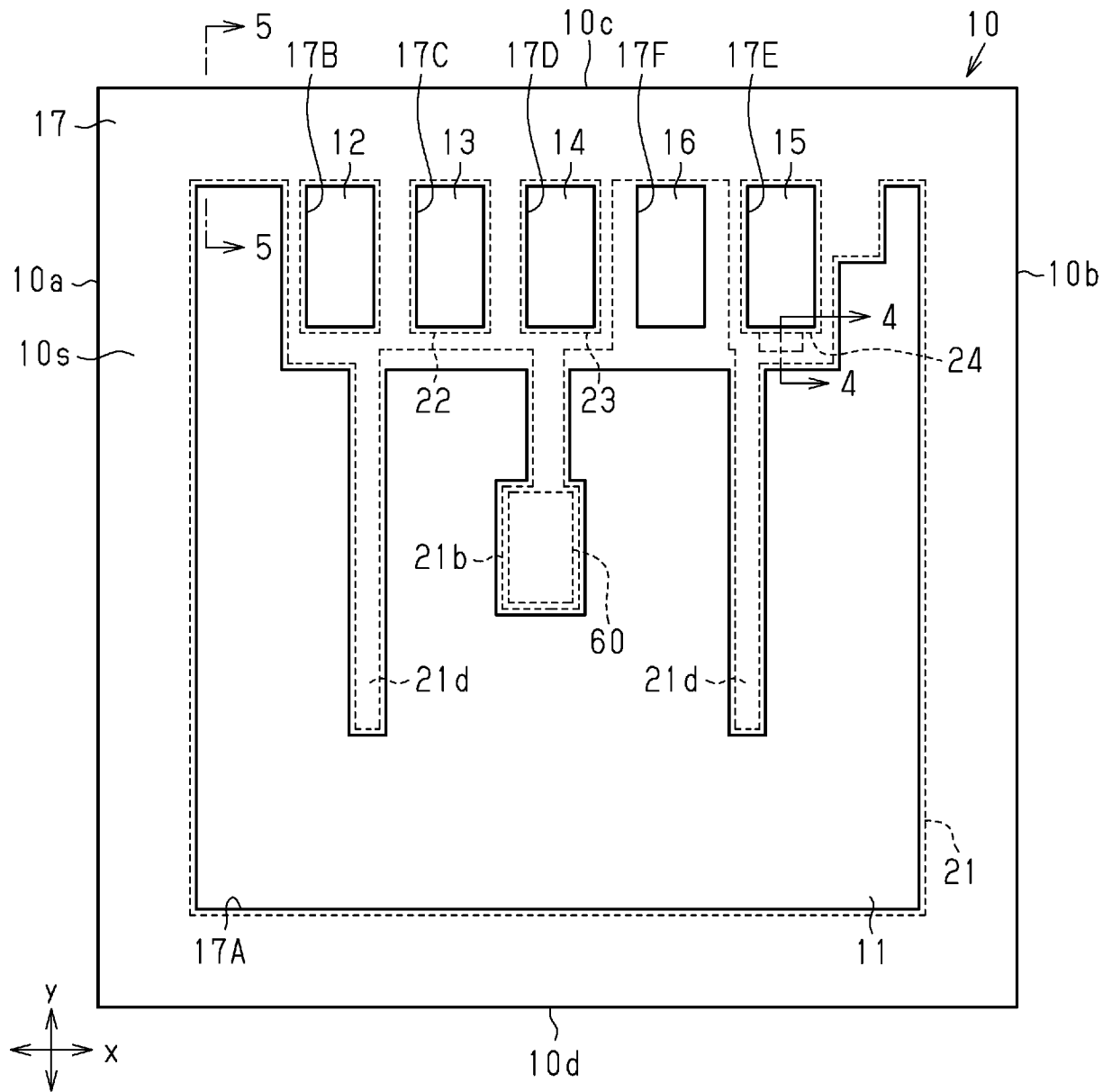
前記複数のトレンチ間に第2導電型のフローティング領域を形成する工程と、

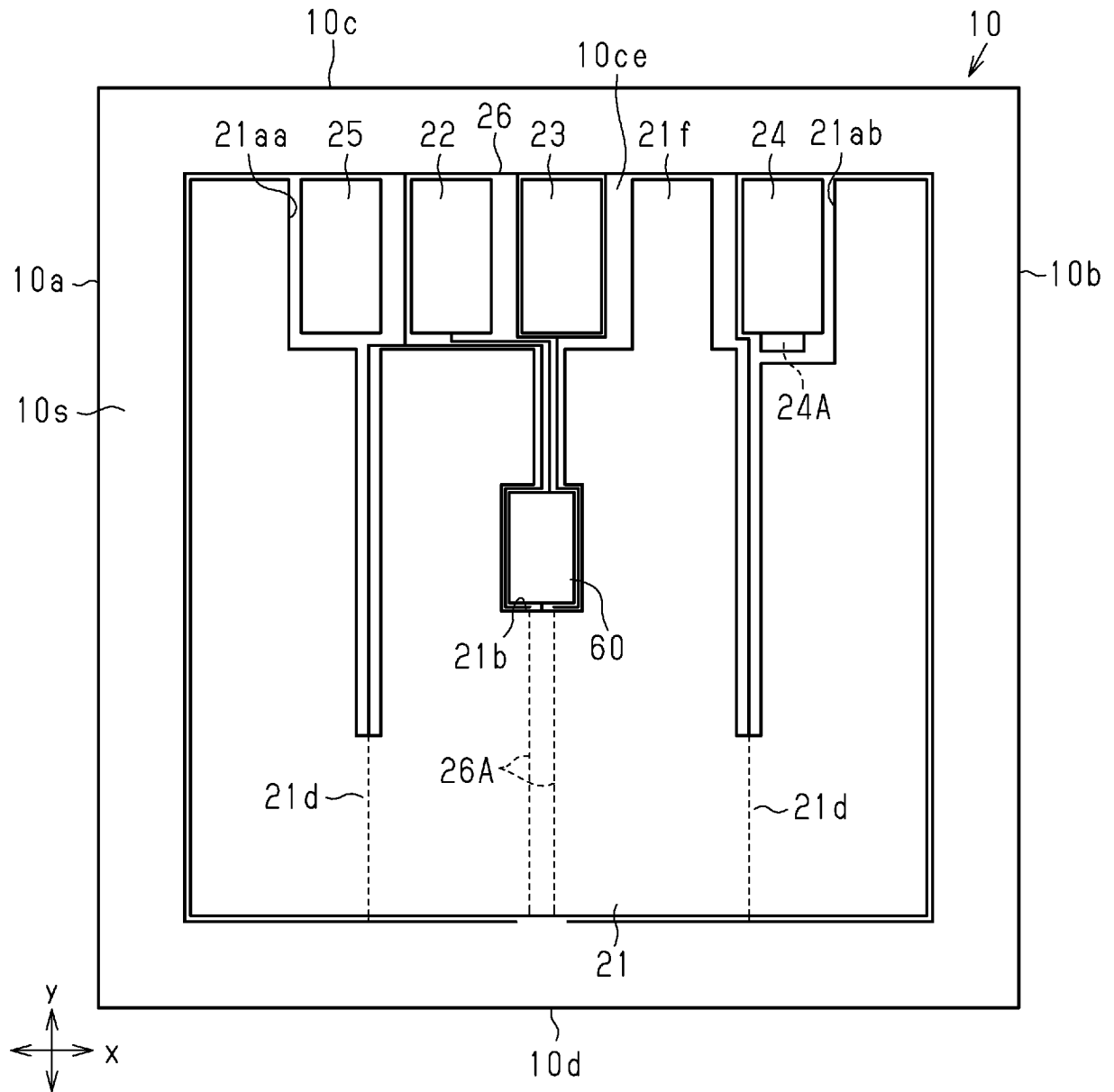
を備え、

前記ウェル領域の形成と、前記フローティング領域の形成とは、同一の工程によって行われる

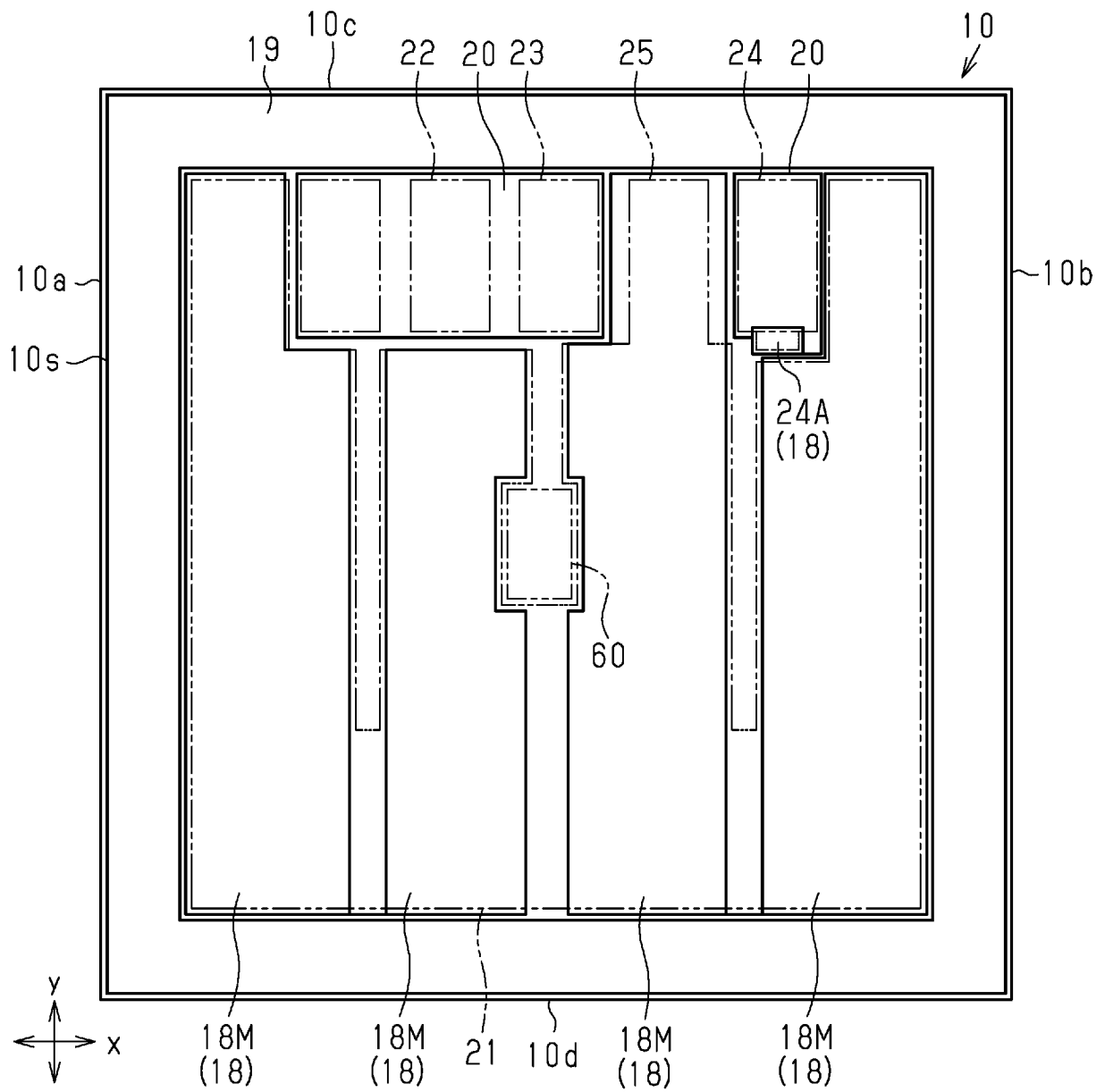
請求項 1 3 または 1 4 に記載の半導体装置の製造方法。

[図1]

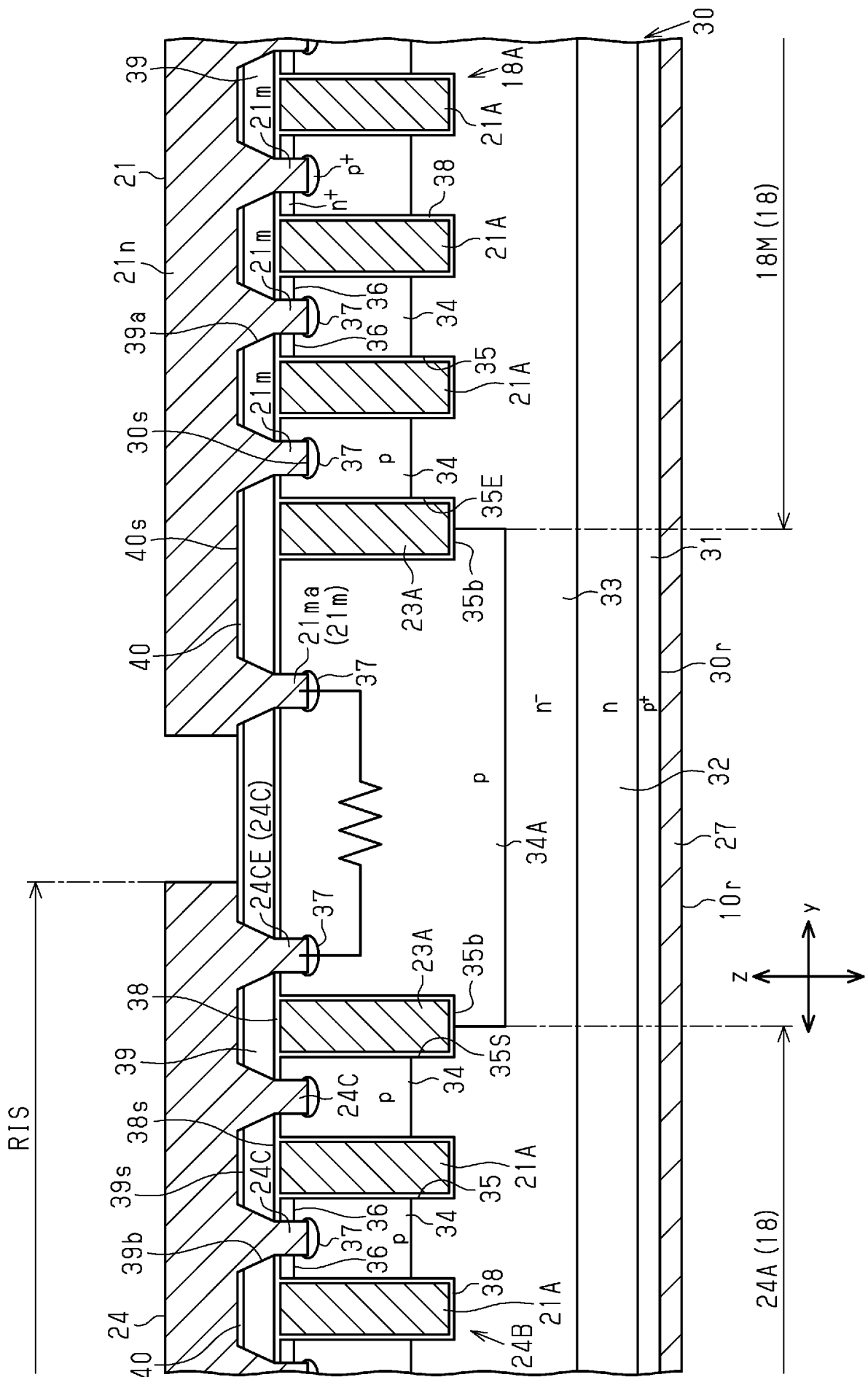




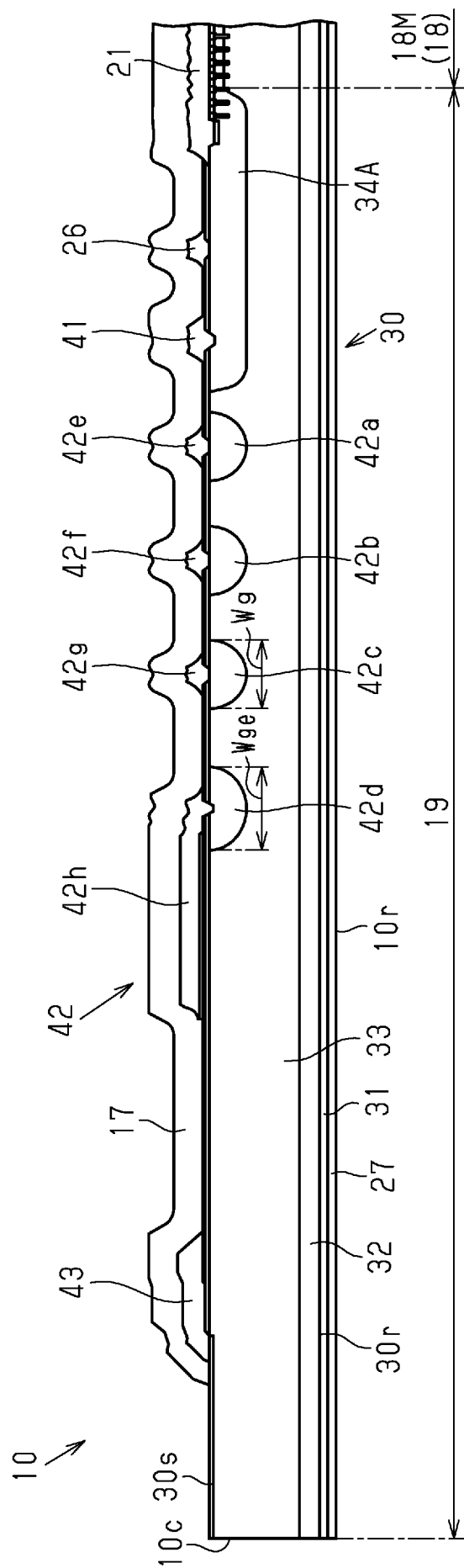
[図3]



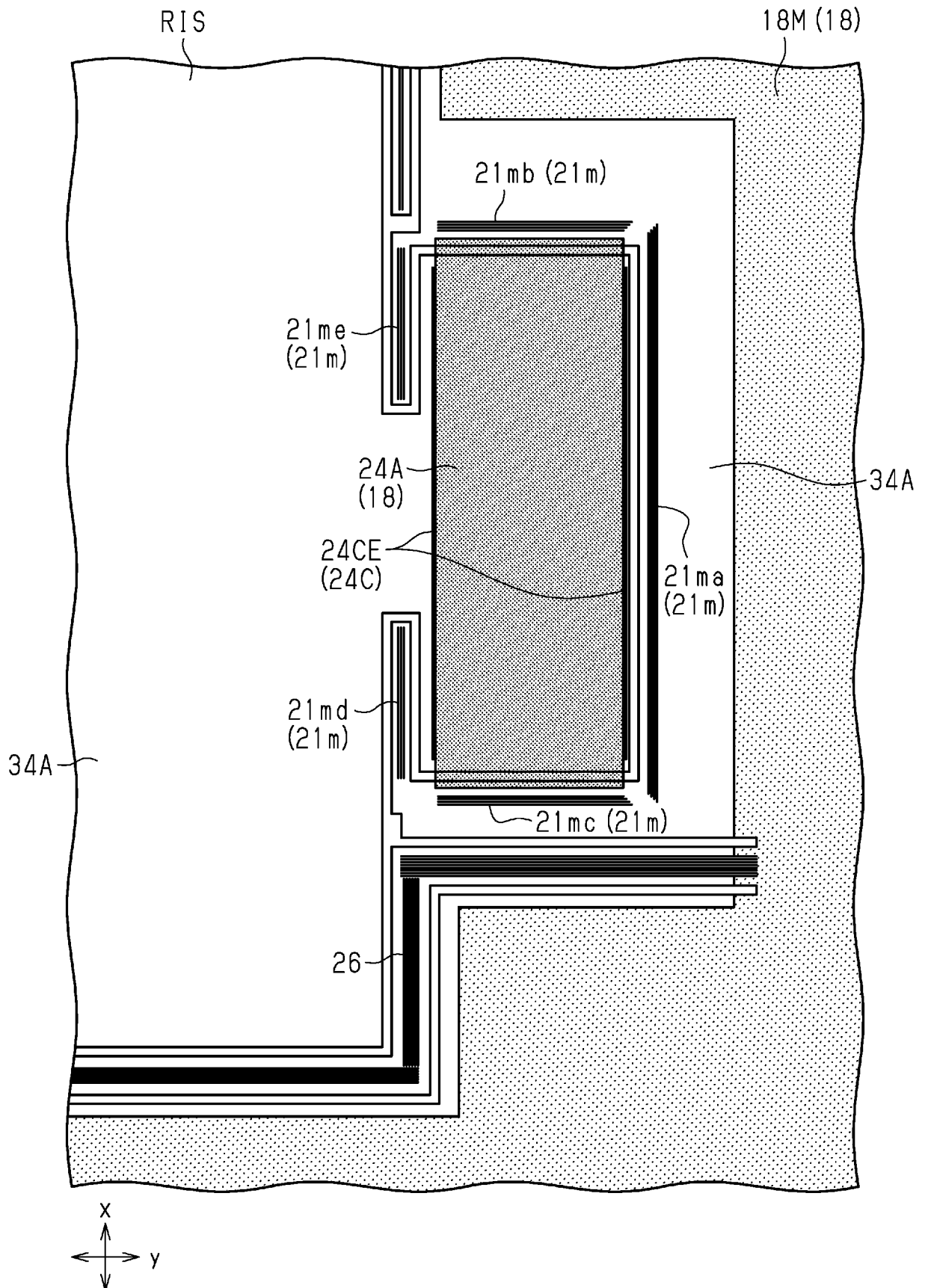
[図4]



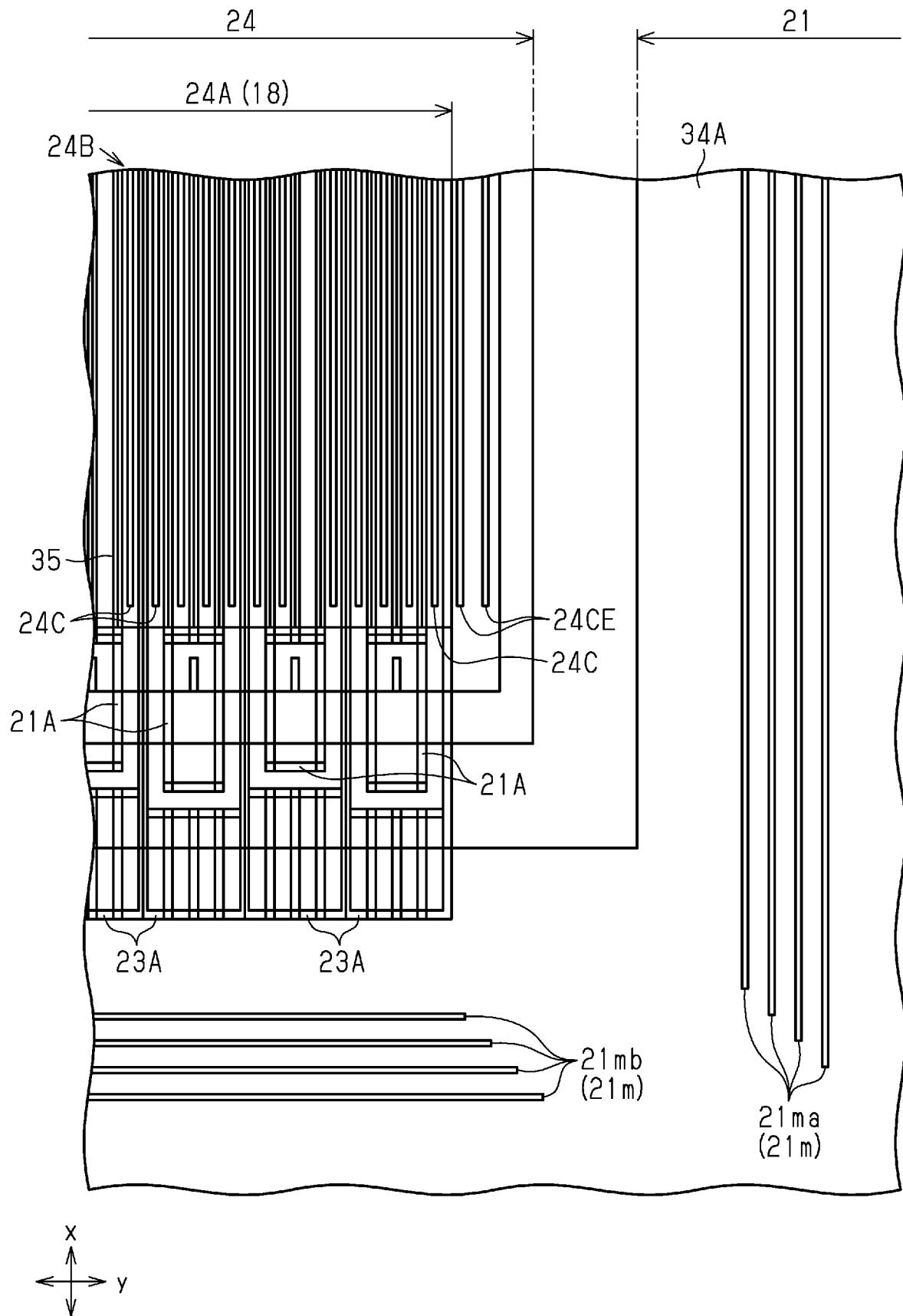
[図5]



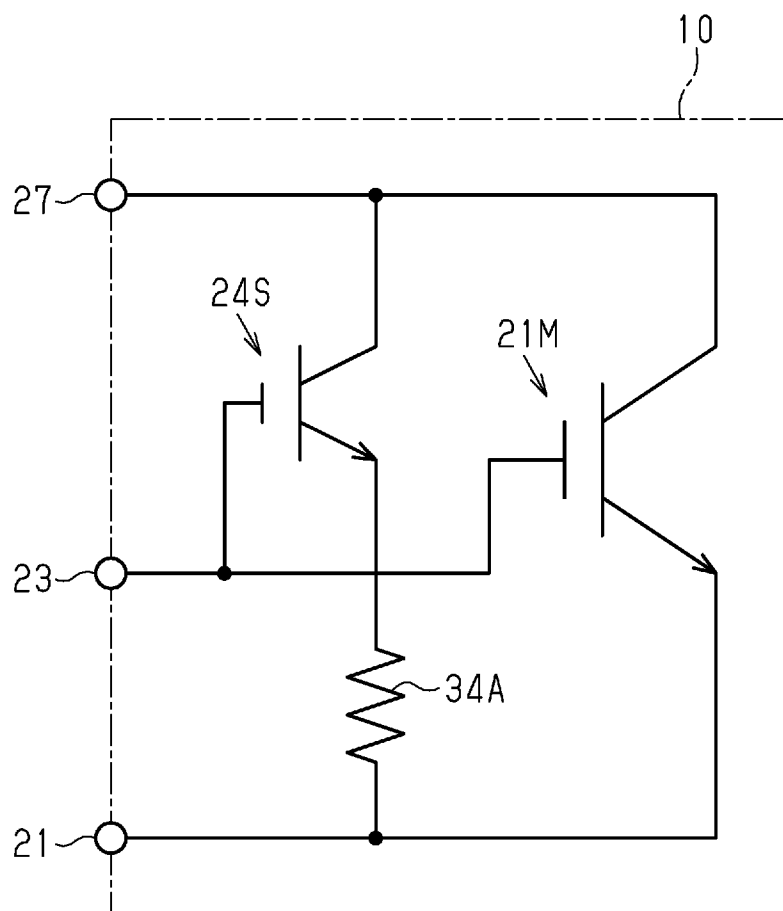
[図6]



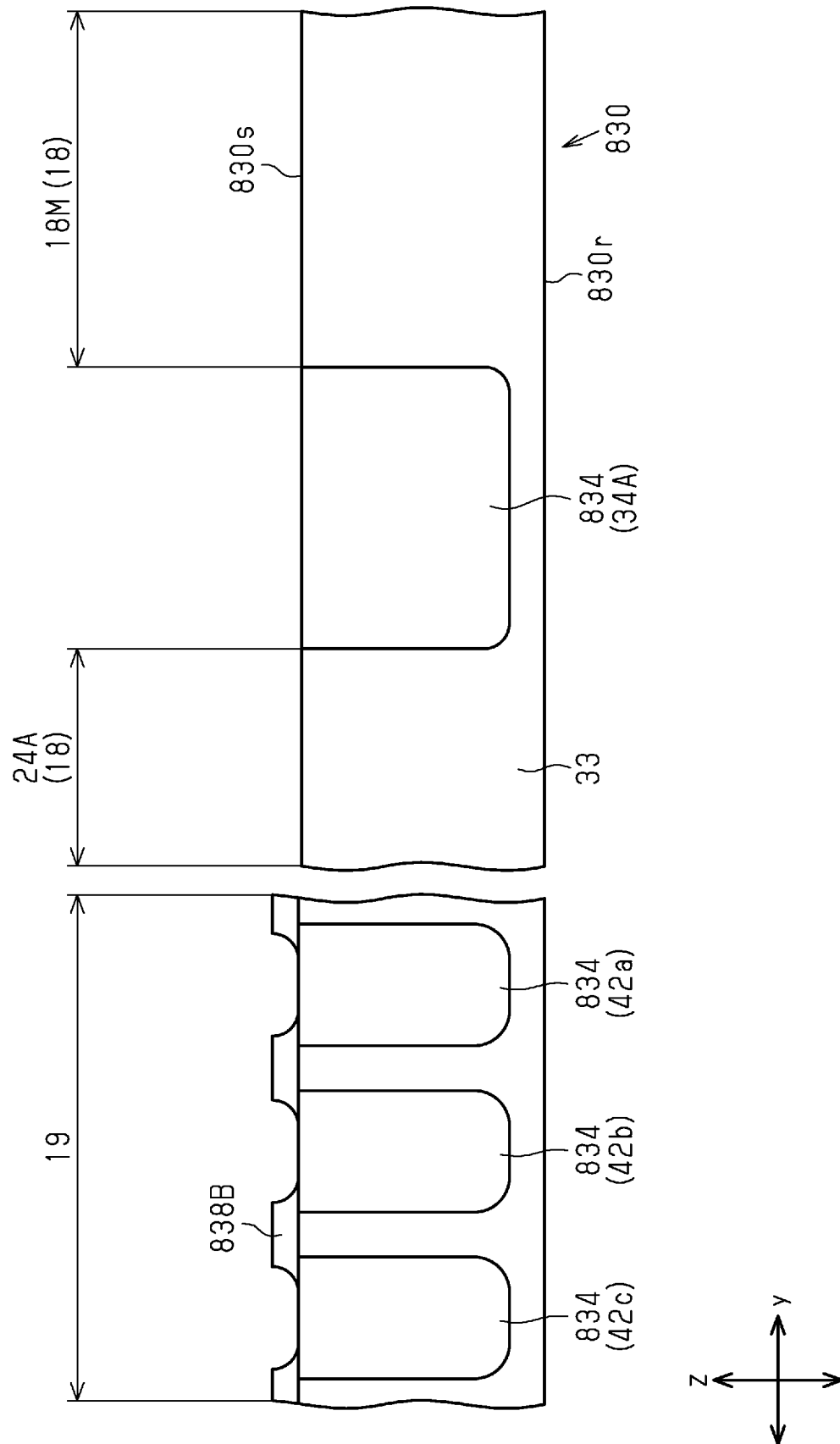
[図7]



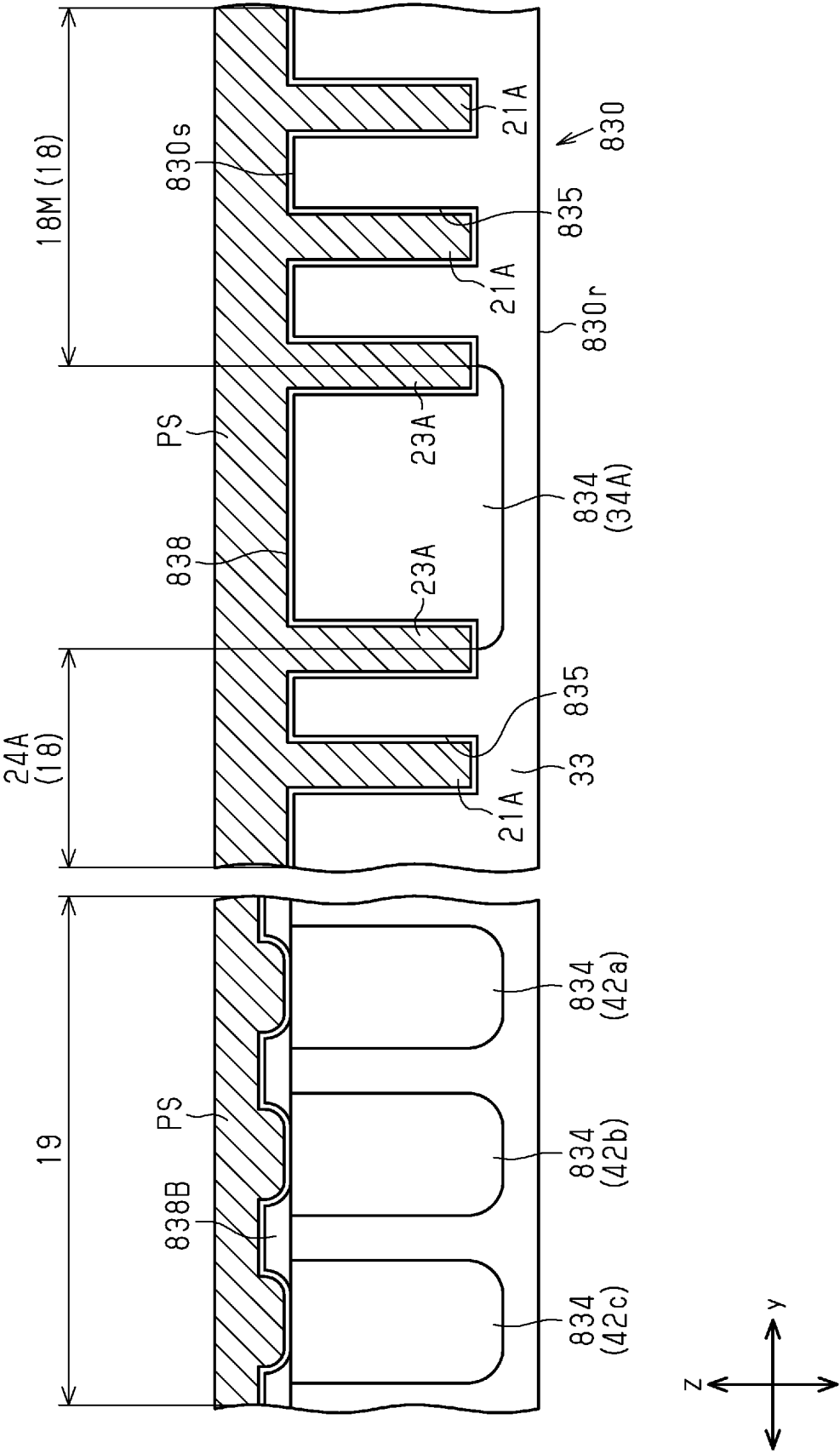
[図8]



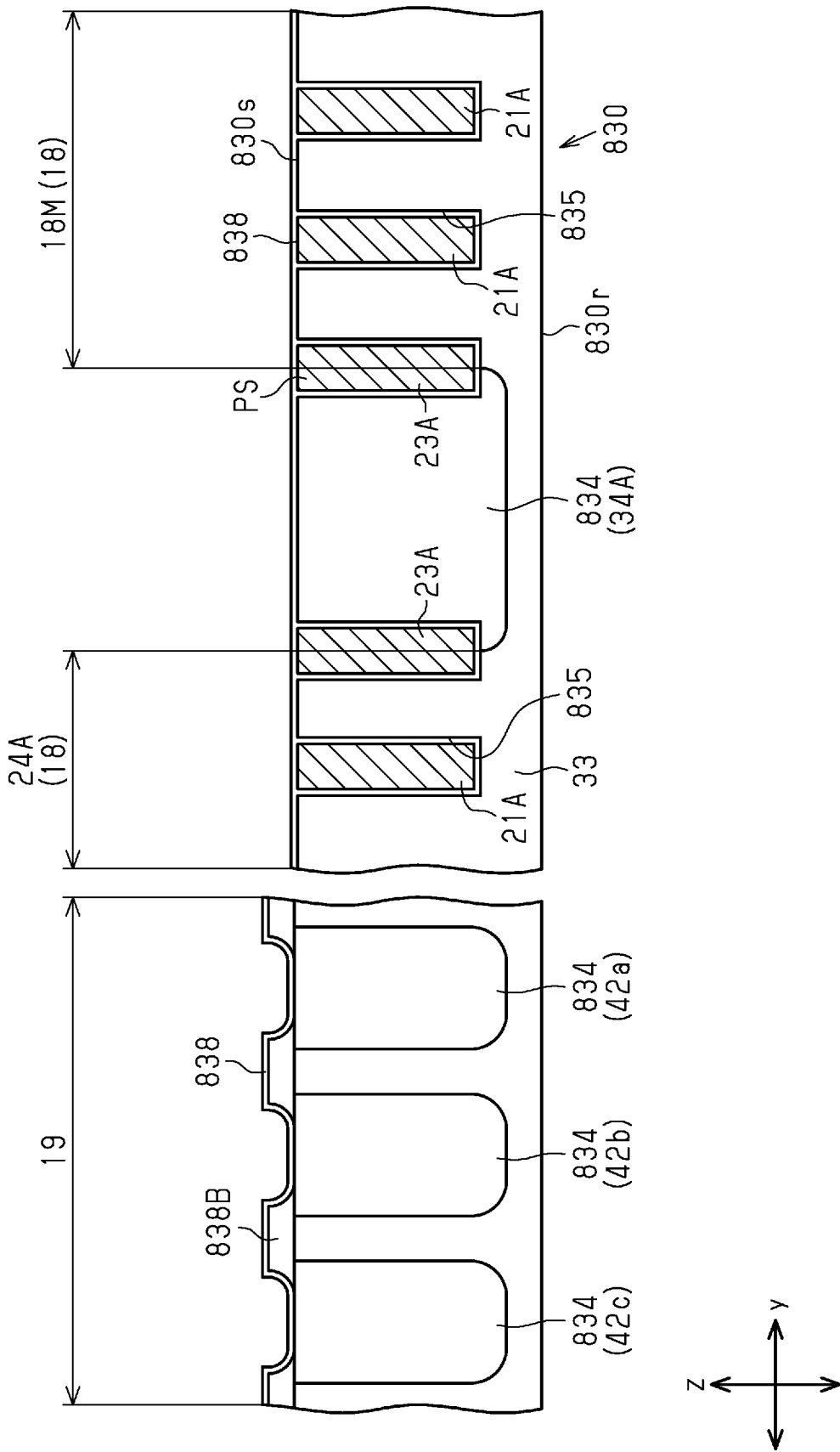
[図9]



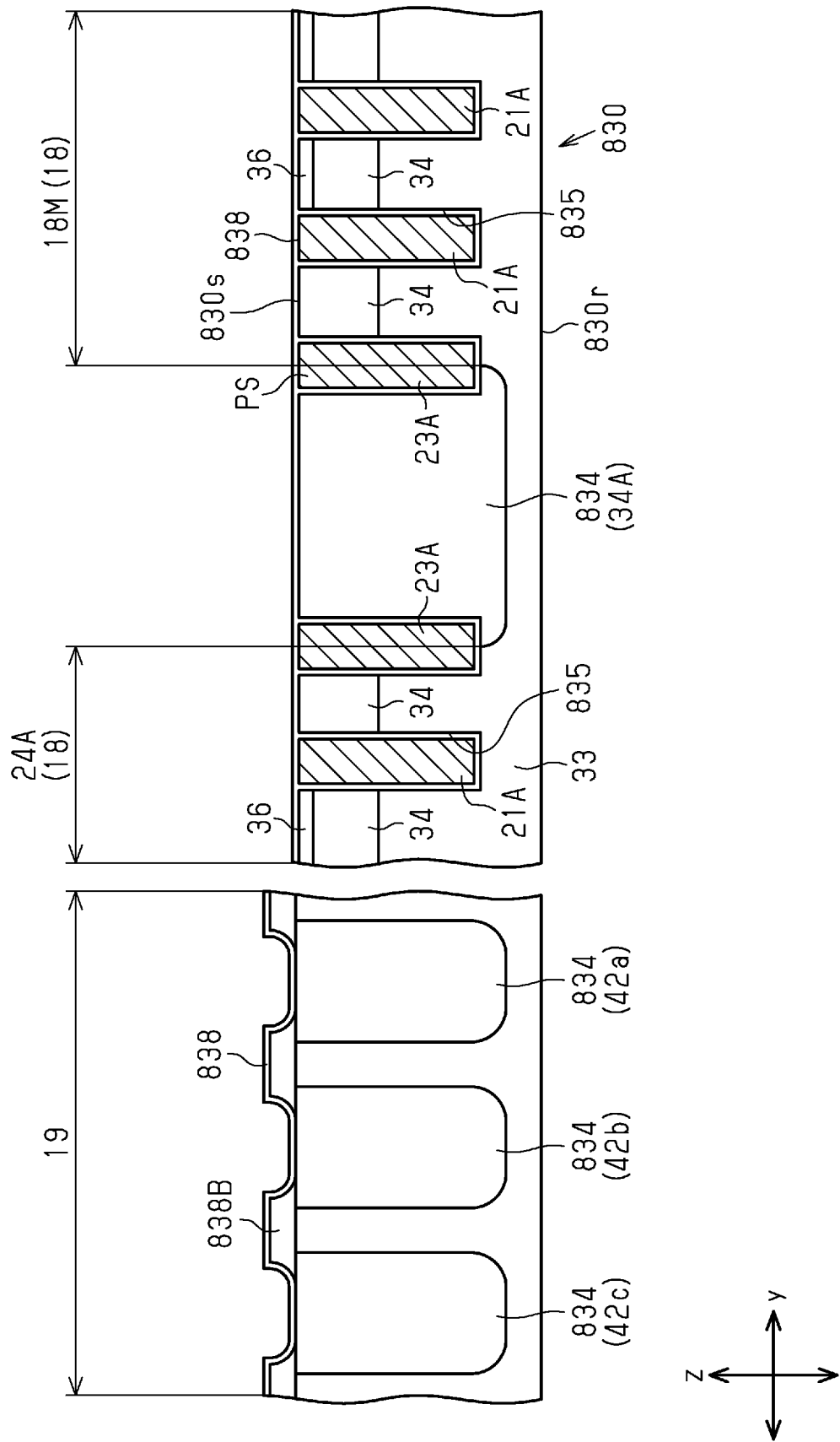
[図10]



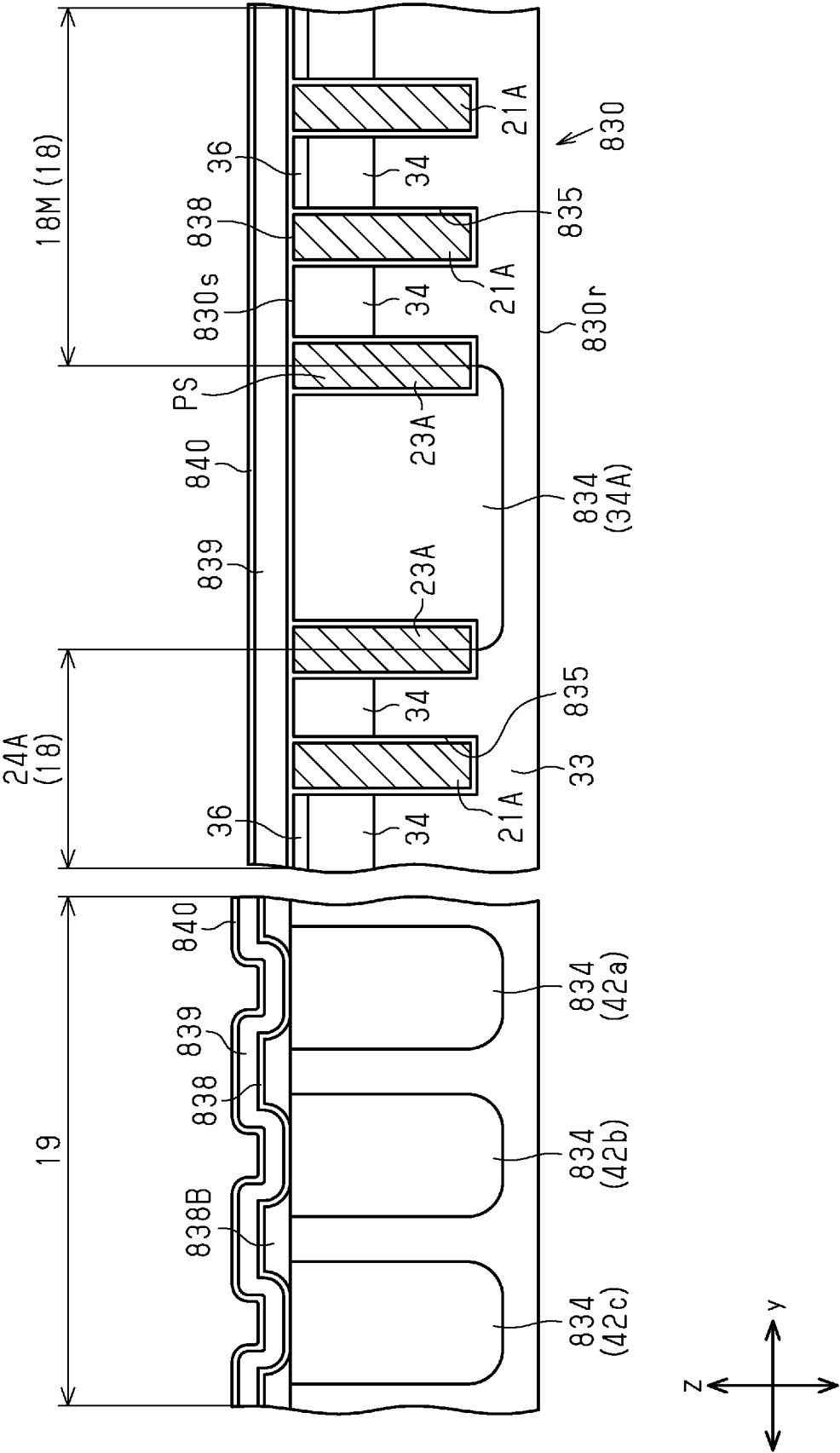
[図11]



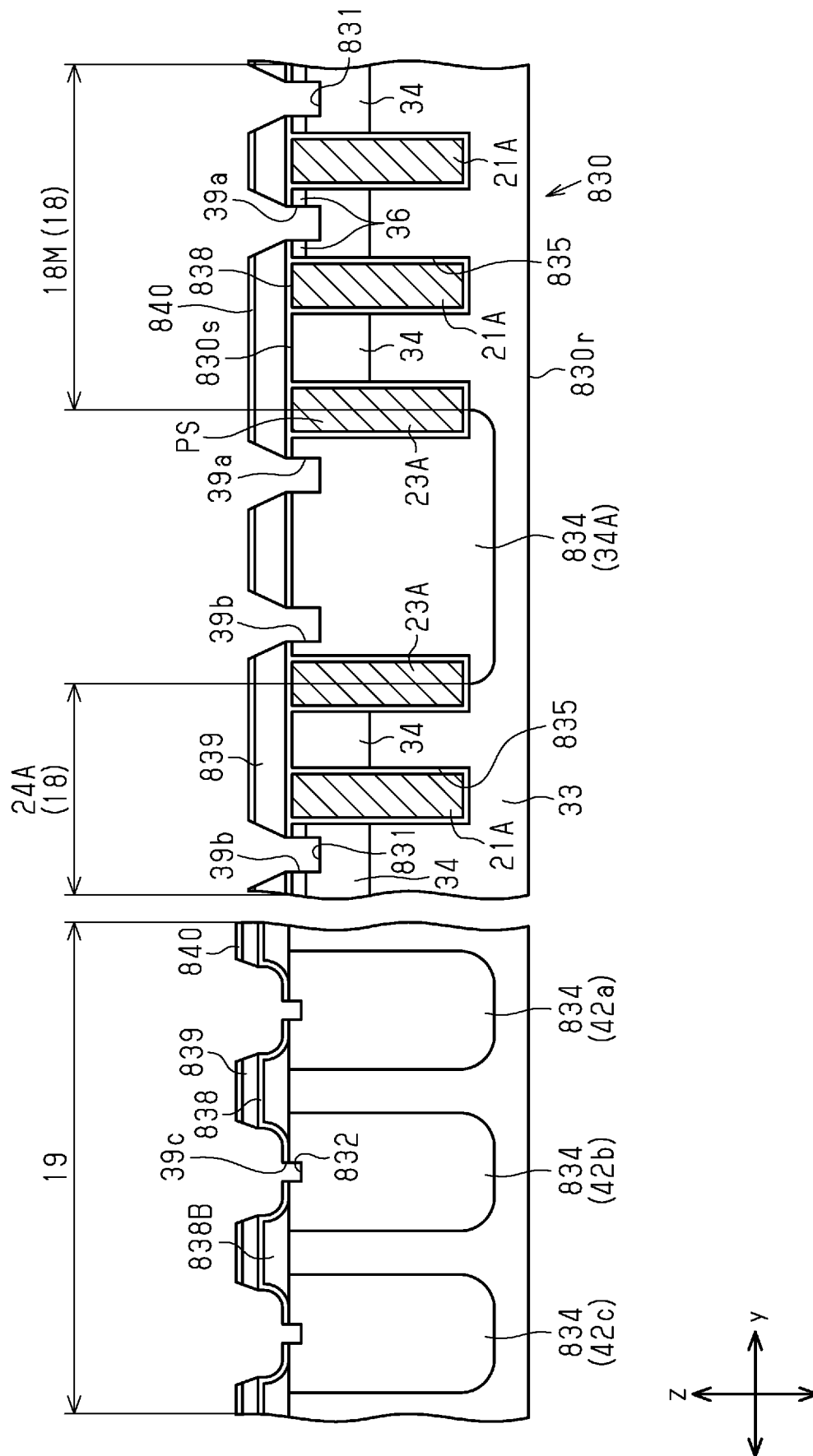
[図12]



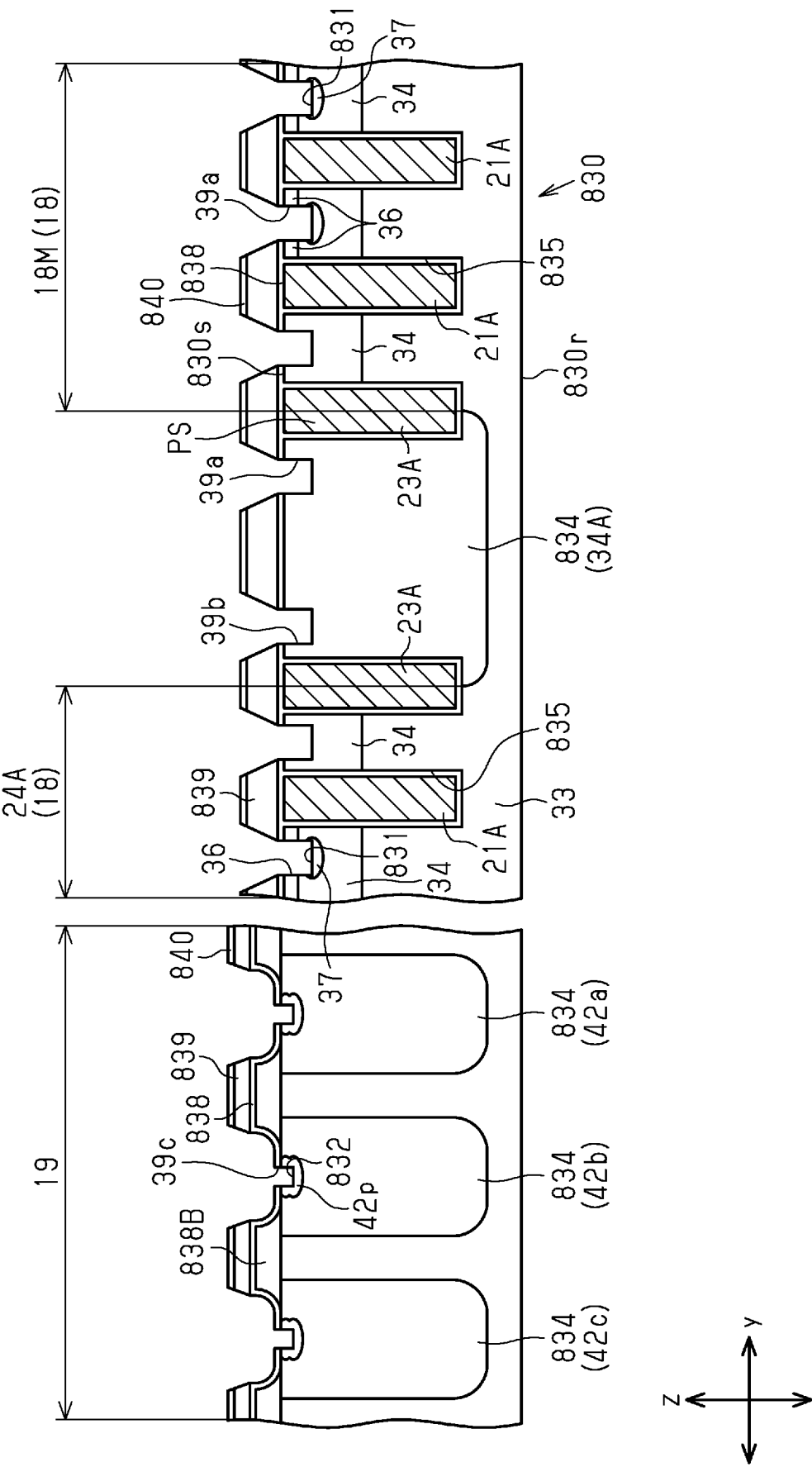
[図13]



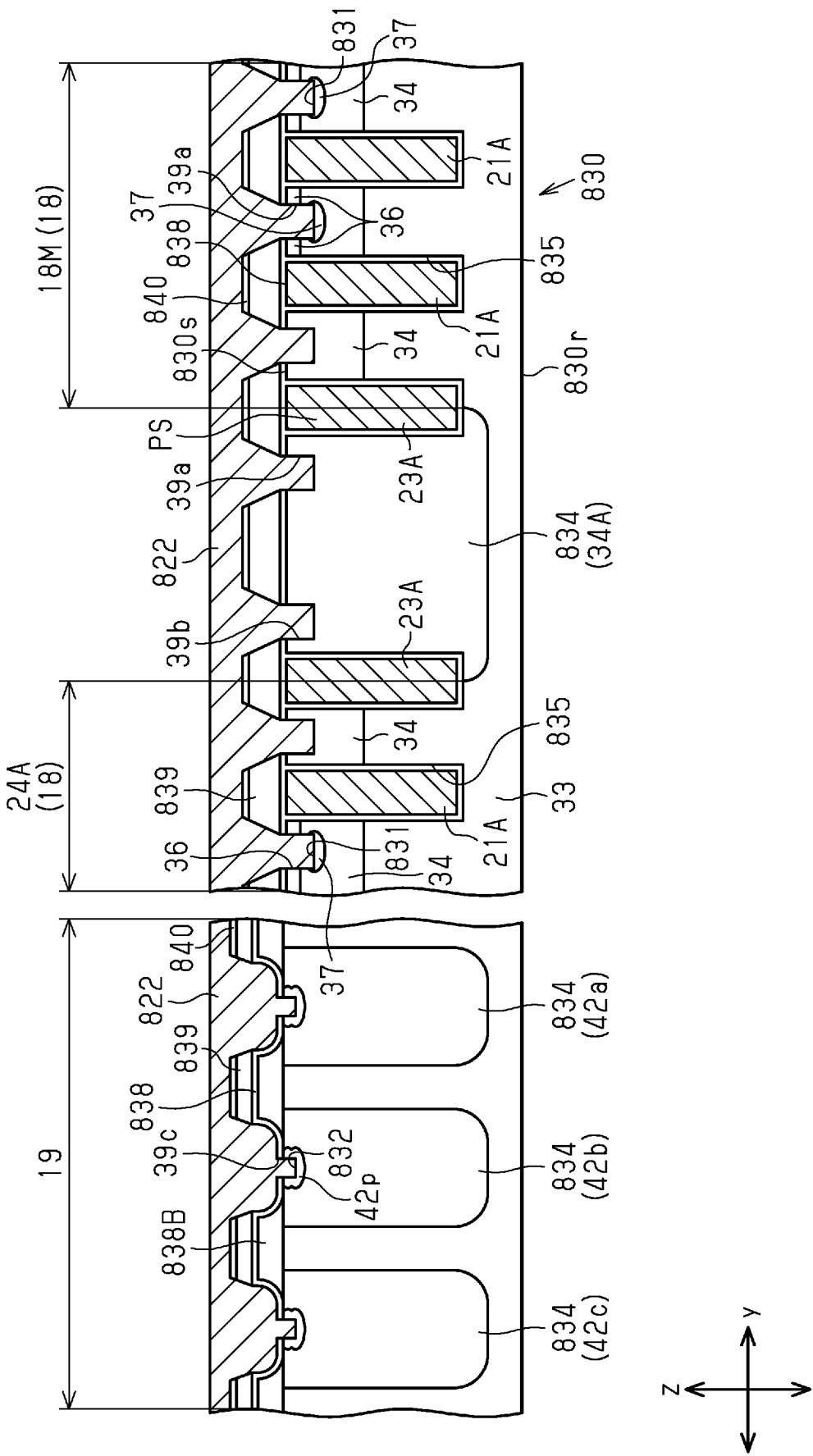
[図14]



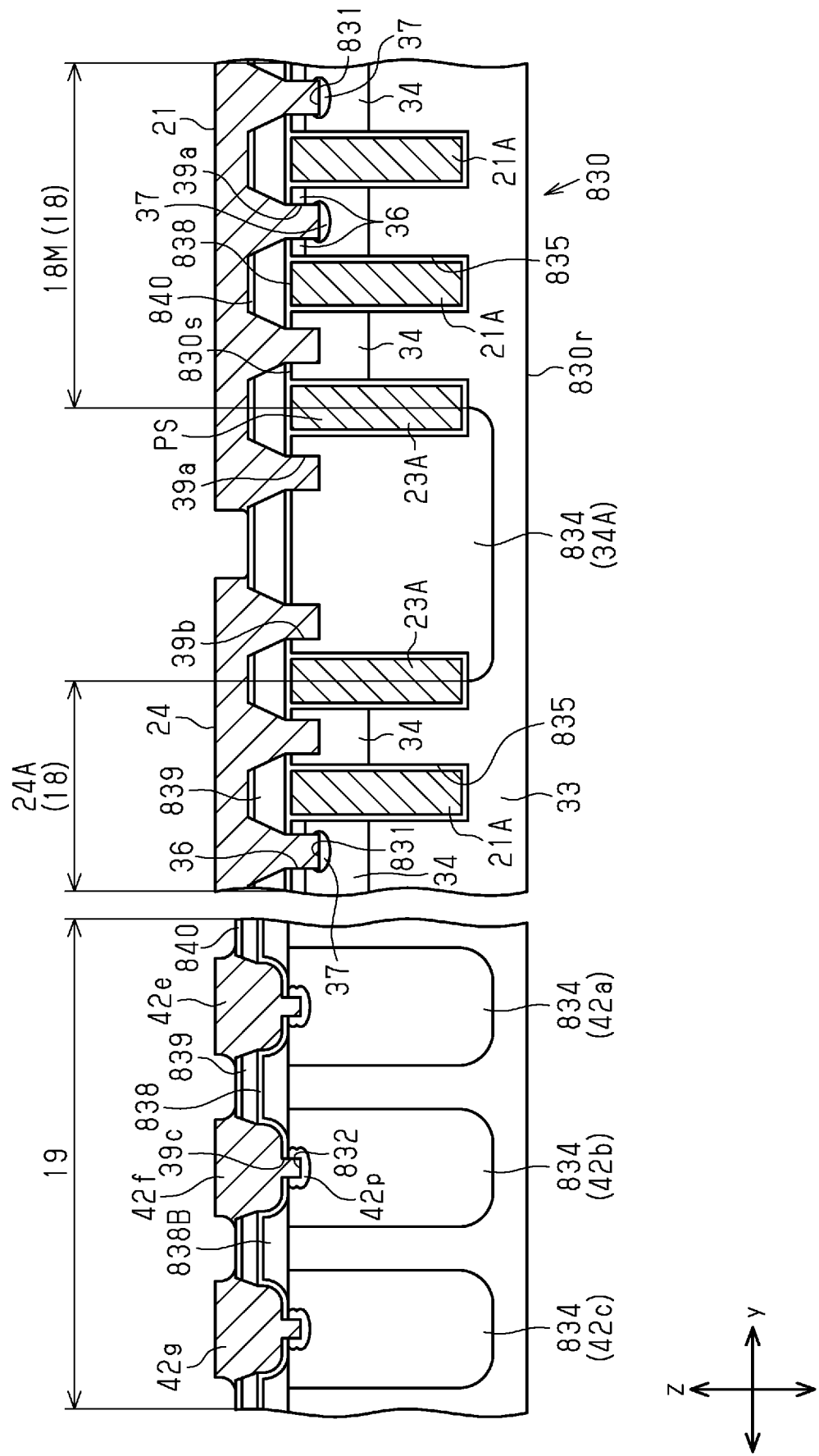
[図15]



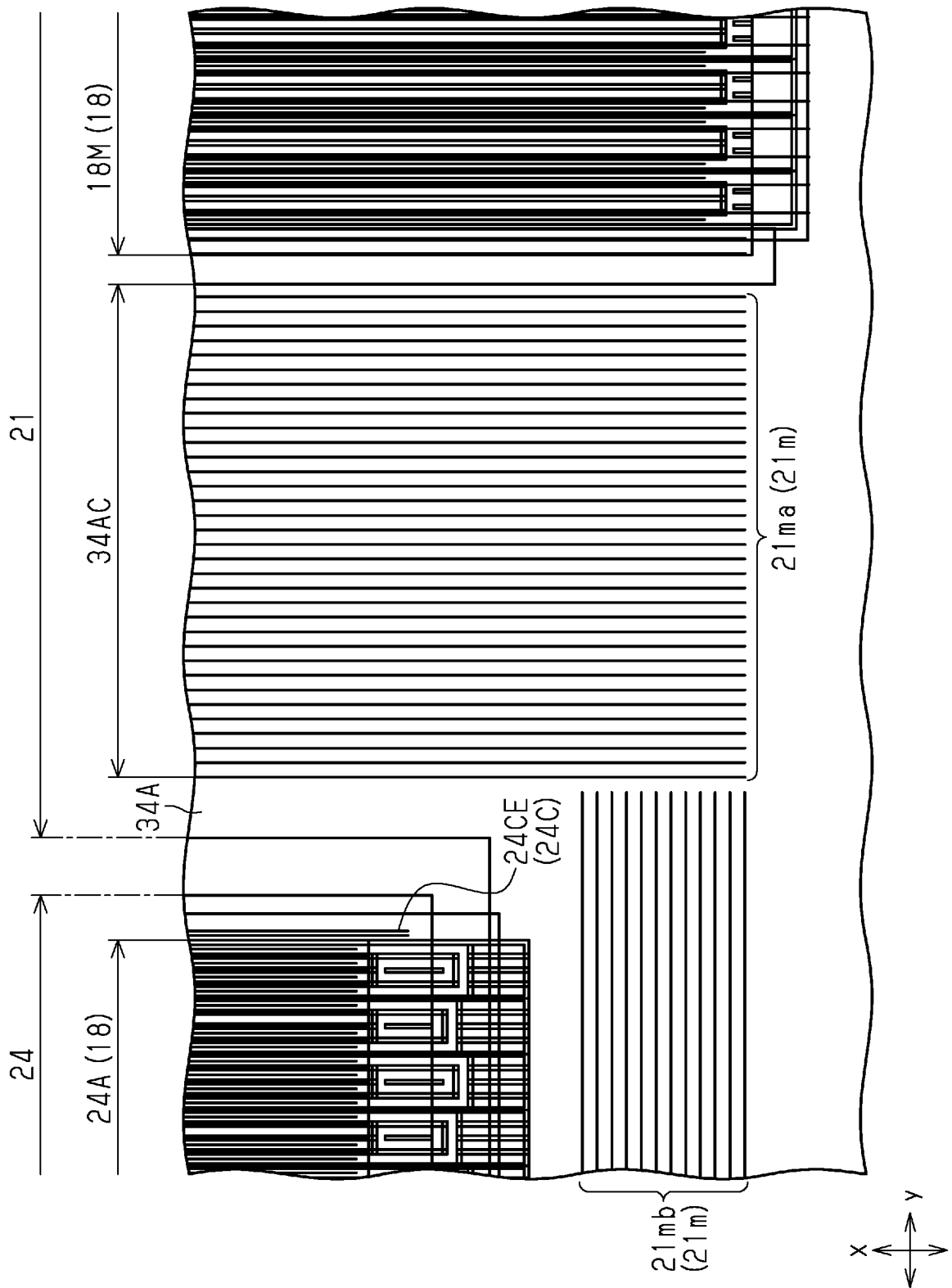
[図16]



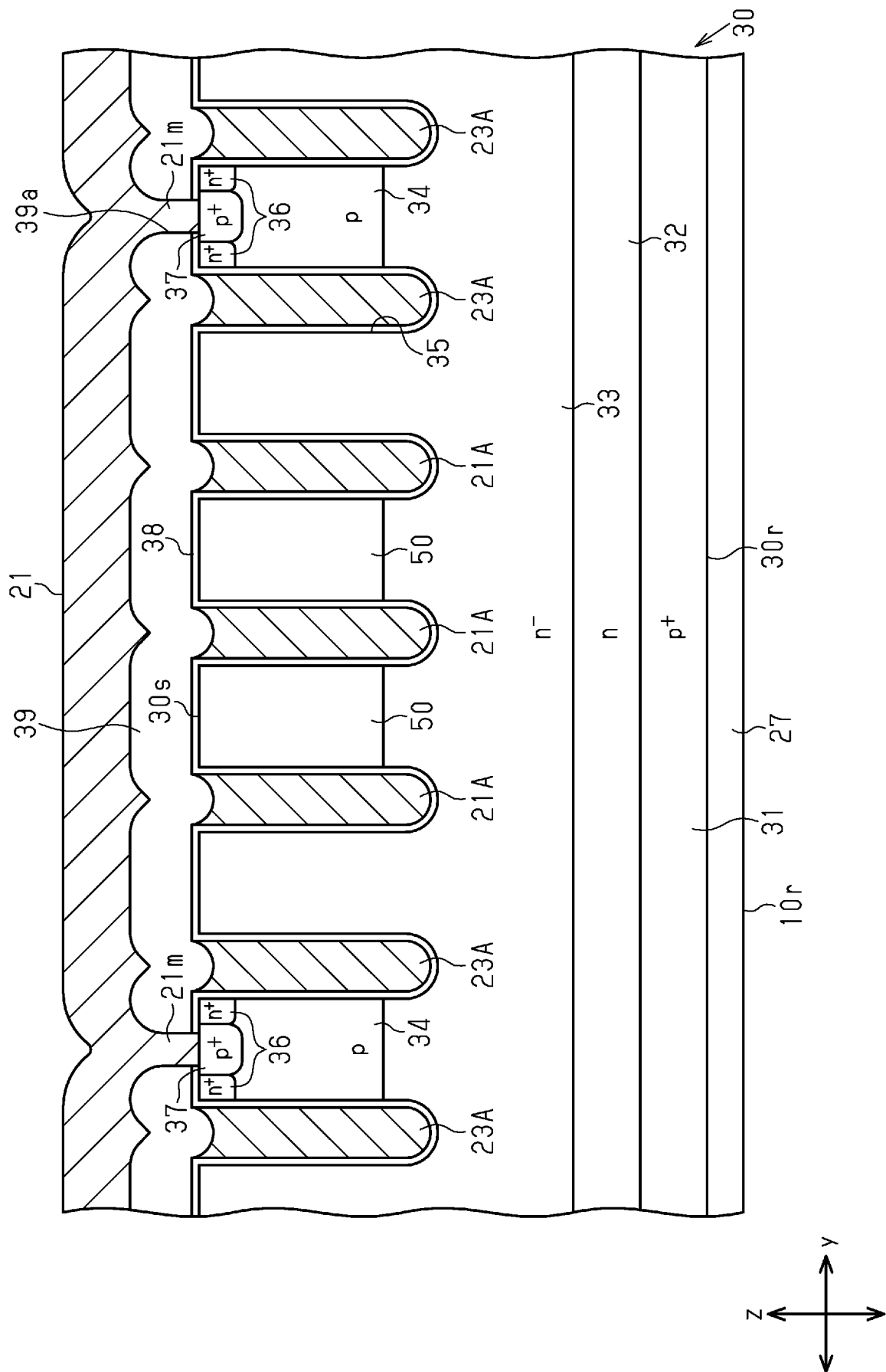
[図17]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/007772

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; **H01L 21/336**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 27/088**(2006.01)i;
H01L 29/06(2006.01)i; **H01L 29/739**(2006.01)i

FI: H01L29/78 657F; H01L29/78 655F; H01L29/78 652Q; H01L29/78 657A; H01L29/78 653A; H01L29/78 652M;
H01L29/78 652P; H01L29/06 301G; H01L29/06 301V; H01L29/06 301F; H01L29/78 658F; H01L29/78 653C;
H01L27/088 E; H01L27/088 F; H01L27/06 102A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L29/06; H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-287988 A (TOYOTA MOTOR CORP.) 01 November 2007 (2007-11-01) paragraphs [0011]-[0017], fig. 1, 4, 9	1, 3-5, 12, 13
Y		7, 8, 11, 14, 15
A		2, 6, 9, 10
Y	JP 2010-192565 A (TOYOTA MOTOR CORP.) 02 September 2010 (2010-09-02) paragraphs [0022]-[0029], fig. 1, 2	7, 8
Y	JP 2008-10723 A (SANYO ELECTRIC CO., LTD.) 17 January 2008 (2008-01-17) paragraphs [0037]-[0045], fig. 1, 3, 4	11, 14
Y	JP 2020-21763 A (RENESAS ELECTRONICS CORP.) 06 February 2020 (2020-02-06) paragraphs [0046]-[0047], [0059], fig. 3	15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 May 2022

Date of mailing of the international search report

24 May 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/007772

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2007-287988	A	01 November 2007	(Family: none)	
JP	2010-192565	A	02 September 2010	US 2011/0297934 A1 paragraphs [0028]-[0035], fig. 1, 2	
				WO 2010/095700 A2	
				DE 112010000738 T5	
				CN 102318072 A	
JP	2008-10723	A	17 January 2008	US 2008/0001221 A1 paragraphs [0047]-[0055], fig. 1, 3, 4	
				CN 101097921 A	
				KR 10-2008-0002658 A	
				TW 200805664 A	
JP	2020-21763	A	06 February 2020	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/06(2006.01)i; H01L 29/739(2006.01)i FI: H01L29/78 657F; H01L29/78 655F; H01L29/78 652Q; H01L29/78 657A; H01L29/78 653A; H01L29/78 652M; H01L29/78 652P; H01L29/06 301G; H01L29/06 301V; H01L29/06 301F; H01L29/78 658F; H01L29/78 653C; H01L27/088 E; H01L27/088 F; H01L27/06 102A																							
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L29/06; H01L29/739 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年													
日本国実用新案公報	1922-1996年																						
日本国公開実用新案公報	1971-2022年																						
日本国実用新案登録公報	1996-2022年																						
日本国登録実用新案公報	1994-2022年																						
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2007-287988 A（トヨタ自動車株式会社）01.11.2007（2007-11-01） 段落0011-0017、図1, 4, 9</td> <td>1, 3-5, 12, 13</td> </tr> <tr> <td>Y</td> <td></td> <td>7, 8, 11, 14, 15</td> </tr> <tr> <td>A</td> <td></td> <td>2, 6, 9, 10</td> </tr> <tr> <td>Y</td> <td>JP 2010-192565 A（トヨタ自動車株式会社）02.09.2010（2010-09-02） 段落0022-0029、図1, 2</td> <td>7, 8</td> </tr> <tr> <td>Y</td> <td>JP 2008-10723 A（三洋電機株式会社）17.01.2008（2008-01-17） 段落0037-0045、図1, 3, 4</td> <td>11, 14</td> </tr> <tr> <td>Y</td> <td>JP 2020-21763 A（ルネサスエレクトロニクス株式会社）06.02.2020（2020-02-06） 段落0046-0047, 0059、図3</td> <td>15</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2007-287988 A（トヨタ自動車株式会社）01.11.2007（2007-11-01） 段落0011-0017、図1, 4, 9	1, 3-5, 12, 13	Y		7, 8, 11, 14, 15	A		2, 6, 9, 10	Y	JP 2010-192565 A（トヨタ自動車株式会社）02.09.2010（2010-09-02） 段落0022-0029、図1, 2	7, 8	Y	JP 2008-10723 A（三洋電機株式会社）17.01.2008（2008-01-17） 段落0037-0045、図1, 3, 4	11, 14	Y	JP 2020-21763 A（ルネサスエレクトロニクス株式会社）06.02.2020（2020-02-06） 段落0046-0047, 0059、図3	15
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
X	JP 2007-287988 A（トヨタ自動車株式会社）01.11.2007（2007-11-01） 段落0011-0017、図1, 4, 9	1, 3-5, 12, 13																					
Y		7, 8, 11, 14, 15																					
A		2, 6, 9, 10																					
Y	JP 2010-192565 A（トヨタ自動車株式会社）02.09.2010（2010-09-02） 段落0022-0029、図1, 2	7, 8																					
Y	JP 2008-10723 A（三洋電機株式会社）17.01.2008（2008-01-17） 段落0037-0045、図1, 3, 4	11, 14																					
Y	JP 2020-21763 A（ルネサスエレクトロニクス株式会社）06.02.2020（2020-02-06） 段落0046-0047, 0059、図3	15																					
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																							
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																							
国際調査を完了した日 12.05.2022		国際調査報告の発送日 24.05.2022																					
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 岩本 勉 5F 9355 電話番号 03-3581-1101 内線 3516																					

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/007772

引用文献			公表日	パテントファミリー文献	公表日
JP	2007-287988	A	01.11.2007	(ファミリーなし)	
JP	2010-192565	A	02.09.2010	US 2011/0297934 A1	
				段落0028-0035、図1, 2	
				WO 2010/095700 A2	
				DE 112010000738 T5	
				CN 102318072 A	
JP	2008-10723	A	17.01.2008	US 2008/0001221 A1	
				段落0047-0055、図1, 3, 4	
				CN 101097921 A	
				KR 10-2008-0002658 A	
				TW 200805664 A	
JP	2020-21763	A	06.02.2020	(ファミリーなし)	