(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3599592号
(P3599592)
(45)発行日　平成16年12月8日(2004.12.8)　(24)登録日　平成16年9月24日(2004.9.24)

(51)Int.Cl.[7]　F I
H01L 21/28　H01L 21/28　301B
H01L 21/338　H01L 29/80　F
H01L 29/812

請求項の数 3　(全 7 頁)

(21)出願番号　特願平11-89394
(22)出願日　平成11年3月30日(1999.3.30)
(65)公開番号　特開2000-286213(P2000-286213A)
(43)公開日　平成12年10月13日(2000.10.13)
審査請求日　平成14年8月9日(2002.8.9)

(73)特許権者　000005290
古河電気工業株式会社
東京都千代田区丸の内２丁目６番１号
(74)代理人　100090022
弁理士　長門　侃二
(72)発明者　吉田　清輝
東京都千代田区丸の内２丁目６番１号　古河電気工業株式会社内

審査官　小野田　誠

(56)参考文献　特開平１０－１８９４７９（ＪＰ，Ａ）
特開平０８－０３１７６７（ＪＰ，Ａ）
特開平１０－０２２４９４（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】ＩＩＩ－Ｖ族窒化物系化合物半導体への電極形成方法

(57)【特許請求の範囲】

【請求項１】

III－Ｖ族窒化物系化合物半導体の上に接触抵抗が低い電極を形成する方法であって、III－Ｖ族窒化物系化合物半導体の上に、一旦、含Ｉｎ化合物半導体層、含Ｉｎ合金層、Ｇｅ層、または異種類のIII－Ｖ族窒化物系化合物半導体を交互に積層した多層構造から成る介在層を形成したのち、前記介在層の上にＴｉ、Ａｌ、Ａｕから成る電極材料の層を形成し、ついで全体に熱処理を行うことを特徴とするIII－Ｖ族窒化物系化合物半導体への電極形成方法。

【請求項２】

III－Ｖ族窒化物系化合物半導体層の上に接触抵抗が低い電極を形成する方法であって、III－Ｖ族窒化物系化合物半導体の上に、含Ｉｎ化合物半導体層、含Ｉｎ合金層、Ｇｅ層、または異種類のIII－Ｖ族窒化物系化合物半導体を交互に積層した多層構造から成る介在層を形成し、前記介在層の上に、一旦、Ｓｉ層を形成したのち、前記Ｓｉ層の上にＴｉ、Ａｌ、Ｔａ、Ｗ、Ｃｕ、Ｎｉ、Ｃｒ、Ｍｏ、Ｐｔの群から選ばれる少なくとも１種の電極材料の層を形成し、ついで全体に熱処理を行うことを特徴とするIII－Ｖ族窒化物系化合物半導体への電極形成方法。

【請求項３】

前記熱処理後に形成された電極が、金属シリサイドから成る請求項２のIII－Ｖ族窒化物系化合物半導体への電極形成方法。

【発明の詳細な説明】

【０００１】
【発明の属する技術分野】
本発明はＩＩＩ－Ｖ族窒化物系化合物半導体への電極形成方法に関し、更に詳しくは、例えばＧａＮ系の半導体材料で電子デバイスや光デバイスを製造するときに当該半導体材料との間における接触抵抗の小さい電極をそのＧａＮ系半導体材料の上に形成することができるＩＩＩ－Ｖ族窒化物系半導体への電極形成方法に関する。
【０００２】
【従来の技術】
ＧａＮ，ＩｎＧａＮ，ＡｌＧａＮ，ＡｌＩｎＧａＮなどに代表されるＩＩＩ－Ｖ族窒化物系化合物半導体は、そのバンドギャップエネルギーが大きく、かつ直接遷移型であり、しかも高温動作が優れているということで、この材料、とくにＧａＮを用いて発光素子、受光素子、電界効果トランジスタ（ＦＥＴ）、高移動度トランジスタ（ＨＥＭＴ）などの電子・光デバイスの開発研究が行われている。
【０００３】
例えば、ＧａＮを用いるＦＥＴの場合、その製造に際しては、ＭＯＣＶＤ法やＧＳＭＢＥ法を適用して、まず半絶縁性の例えばサファイヤ基板の上に、ＧａＮのバッファ層を形成し、ついでこのバッファ層の上に所定組成のＧａＮ系化合物半導体を順次エピタキシャル成長させて最表層がｎ型層になっている所定の層構造を形成する。そして、活性層の上には、当該活性層と接触するソース電極とドレイン電極が形成され、またこれら電極の間にはゲート電極が形成される。
【０００４】
ところで、これら電極の形成に関しては、電極を形成すべき半導体層の表面に、直接、電極材料を例えば真空蒸着法で所定の厚みだけ蒸着し、ついで全体に熱処理を行うのが通例である。そして、形成された電極に対しては、半導体層との密着性が良好であり、かつ半導体層との間の接触抵抗が低いことが要求される。従来、ＧａＮ系化合物半導体の電極材料としては、ＡｌやＴｉなどが広く用いられている。しかしながら、ＧａＮやＡｌＧａＮなどの電極材料としてＡｌやＴｉを用いると、形成された電極とＧａＮやＡｌＧａＮとの接触抵抗は、概ね、10^{-3} Ωｃｍ^2 オーダと高い値を示している。そして、その更なる低抵抗化の方法はいまだ不明であるというのが現状である。
【０００５】
【発明が解決しようとする課題】
本発明は、ＧａＮ系化合物半導体に代表されるＩＩＩ－Ｖ族窒化物系化合物半導体に形成された電極における上記した問題を解決し、従来に比べれば、電極の接触抵抗を１／１０００オーダの値にまで低下させることができるＩＩＩ－Ｖ族窒化物系化合物半導体への電極形成方法の提供を目的とする。
【０００６】
【課題を解決するための手段】
本発明者は、上記した目的を達成するために鋭意研究を重ねる過程で、ＧａＮやＡｌＧａＮなどのＧａＮ系化合物半導体は、いずれも、バンドギャップエネルギーが大きいということに着目した。そして、バンドギャップエネルギーが大きいということは電子親和力が小さくなることであるため、この上に形成される電極との接触抵抗も高くなることになる。
【０００７】
したがって、電極の形成時に、電極形成対象のＧａＮ系化合物半導体層と電極材料との間に当該ＧａＮ系化合物半導体のバンドギャップエネルギーを小さくするような材料を介装すれば、形成された電極との間の接触抵抗を下げることができるとの着想を抱き、この着想に基づいて更なる研究を重ねた結果、後述する材料は好適であるとの知見を得、本発明方法を開発するに至った。
【０００８】
すなわち、本発明の電極形成方法は、III－Ｖ族窒化物系化合物半導体の上に接触抵抗が

低い電極を形成する方法であって、III－Ｖ族窒化物系化合物半導体の上に、一旦、含Ｉｎ化合物半導体層、含Ｉｎ合金層、Ｇｅ層、または異種類のIII－Ｖ族窒化物系化合物を交互に積層した多層構造から成る介在層を形成したのち、前記介在層の上にＴｉ、Ａｌ、Ａｕから成る電極材料の層を形成し、ついで全体に熱処理を行うことを特徴とする。

【０００９】

また、本発明においては、III－Ｖ族窒化物系化合物半導体の上に、含Ｉｎ化合物半導体層、含Ｉｎ合金層、Ｇｅ層、または異種類のIII－Ｖ族窒化物系化合物半導体を交互に積層した多層構造から成る介在層を形成し、前記介在層の上に、一旦、Ｓｉ層を形成したのち、前記Ｓｉ層の上にＴｉ、Ａｌ、Ａｕから成る電極材料の層を形成し、ついで全体に熱処理を行うことを特徴とするIII－Ｖ族窒化物系化合物半導体への電極形成方法が提供される。

【００１０】

【発明の実施の形態】

以下、図面に基づいて本発明の電極形成方法を詳細に説明する。

まず、図１で示したように、電極を形成すべき半導体層１の上には、まず後述する介在層２が形成される。

この半導体層は、ＭＯＣＶＤ法やＧＳＭＢＥ法などによって既に前段の製造工程で基板上に形成されたものであり、例えばＧａＮのようなＩＩＩ－Ｖ族窒化物系化合物半導体のエピタキシャル結晶成長層である。

【００１１】

介在層２としては、半導体層１を構成する半導体材料のバンドギャップエネルギーを小さくすることができる材料で形成されている。

このような材料としては、例えば、ＩｎＧａＮ，ＩｎＧａＡｓ，ＩｎＧａＰ，ＩｎＧａＮＡｓ，ＩｎＧａＮＰ，ＩｎＳｂＡｓ，ＩｎＳｂＰ，ＩｎＮＰ，ＩｎＮのような含Ｉｎ化合物半導体；Ｉｎ－Ａｌ，Ｉｎ－Ｔｉ，Ｉｎ－Ｃｒ，Ｉｎ－Ｓｎ，Ｉｎ－Ｔｅ，Ｉｎ－Ｇｅ，Ｉｎ－Ｓｉ，Ｉｎ－Ｎｉ，Ｉｎ－Ｃｕ，Ｉｎ－Ｔａ，Ｉｎ－Ｍｏのような含Ｉｎ合金；Ｇｅなどを用いることができる。

【００１２】

また、異種類のＧａＮ系化合物半導体を交互に複数層積層して形成した多層構造も有効である。

半導体層１がＧａＮから成る場合、上記した多層構造の介在層としては、例えば図２で示した構造のものをあげることができる。この多層構造はＧａＮと$GaN_{1-x}As_x$（０＜ｘ＜０．３）との薄膜を交互に積層したものであり、このうち$GaN_{1-x}As_x$に関しては半導体層（ＧａＮ層）１に近い$GaN_{1-x}As_x$ほどＮ組成比（１－ｘ値）を大きくし、上方にいくほどＮ組成比（１－ｘ値）を小さくして、全体の層としては傾斜組成にしたものである。このような多層構造がＧａＮ層１の上に形成されていると、Ａｓ組成比（ｘ）の値にもよるが、３．４ｅＶであるＧａＮのバンドギャップエネルギーは、１ｅＶ以下にまで小さくすることができる。すなわち、ＧａＮ層１の電子親和力は大きくなるのである。

【００１３】

このような多層構造としては、半導体層１がＧａＮから成る場合、ＩｎＧａＮＡｓ／ＧａＮ，ＧａＡｓ／ＧａＮ，ＩｎＡｓ／ＧａＮ，ＩｎＧａＮＰ／ＧａＮのような組合せを採用することもできる。

上記した介在層２は、いずれも、半導体層１の場合と同様に、ＭＯＣＶＤ法やＧＳＭＢＥ法などで形成される。

【００１４】

次に、この介在層２の上に、図３で示したように、電極材料の層３が例えば真空蒸着法を適用して形成される。

このときの電極の形成態様としては、例えば、Ｔｉ，Ａｌ，Ｎｉ，Ａｕを順次積層する態様をあげることができる。また、本発明においては、一旦、Ｓｉ層を形成し、その上に、

Ｔｉ，Ａｌ，Ｔａ，Ｗ，Ｃｕ，Ｎｉ，Ｃｒ，Ｍｏ，Ｐｔ，Ｔａなどの層を形成する態様をあげることができる。

【００１５】

前者の態様の場合、Ｔｉの厚みは１０～２０ｎｍ、Ａｌの厚みは３０～６０ｎｍ、Ｎｉは２０～６０ｎｍ、Ａｕは３０～６０ｎｍに設定することが好ましい。

また、後者の態様の場合、Ｓｉ層の厚みは原子層厚みで２～３層程度（１ｎｍ程度）であればよいが１０～１５層まで厚くしても不都合は生じない。

そして、電極材料の層３が形成されている材料に対し、熱処理が施されることにより、層３を構成する電極材料の合金化が進む。

【００１６】

例えば、前者の態様の場合、熱処理後にあっては、半導体層１に直接密着し、かつ仕事関数の小さいＡｌ－Ｔｉ合金が形成され、最上層のＡｕが酸化防止膜として機能し、またＮｉ層はＡｕの拡散防止膜として機能している電極が形成される。

また、後者の態様の場合には、少なくとも半導体層との界面には上記した金属とＳｉとの反応により仕事関数の小さいシリサイドが形成される。

【００１７】

なお、この熱処理は、用いた材料にもよるが、前者の態様の場合は温度６５０～９００℃で、５～６０分間程度行えば、電極材料を仕事関数の小さい合金に転化することができる。また金属シリサイドを形成する場合には、温度５００～１０００℃で、３～９０分間程の熱処理であればよい。

【００１８】

【実施例】

実施例１

ＧＳＭＢＥ法により、ラジカル化した窒素（3×10^{-6} Ｔｏｒｒ）、Ｇａ（5×10^{-7} Ｔｏｒｒ）、およびＳｉ（5×10^{-9} Ｔｏｒｒ）をドーパントとして用い、成長温度６４０℃でサファイヤ基板の上にｎ－ＧａＮから成る厚み５０ｎｍのバッファ層を形成し、更にその上に、Ｇａ（1×10^{-6} Ｔｏｒｒ）とアンモニア（5×10^{-5} Ｔｏｒｒ）を用い、成長温度８５０℃で厚み１０００ｎｍのｉ－ＧａＮ層を形成した。

【００１９】

ついで、Ｇａ（1×10^{-7} Ｔｏｒｒ）、アンモニア（5×10^{-5} Ｔｏｒｒ）、およびＳｉ（1×10^{-9} Ｔｏｒｒ）をドーパントとして用い、成長温度８５０℃で前記ｉ－ＧａＮ層の上に厚み２００ｎｍのｎ－ＧａＮ層を形成した。なお、このｎ－ＧａＮ層のキャリア濃度は5×10^{18} ｃｍ$^{-3}$となるように、予めホール測定をして設定しておいた。このｎ－ＧａＮ層が図１で示した半導体層１に相当する。

【００２０】

ついで、Ｇａ（1×10^{-7} Ｔｏｒｒ）、Ｉｎ（3×10^{-7} Ｔｏｒｒ）、アンモニア（5×10^{-5} Ｔｏｒｒ）、およびＳｉ（8×10^{-8} Ｔｏｒｒ）をドーパントとして用い、成長温度８５０℃でキャリア濃度が1×10^{18} ｃｍ$^{-3}$である厚み１０ｎｍのｎ－ＩｎＧａＮ層を前記ｎ－ＧａＮ層の上に形成した。

このｎ－ＩｎＧａＮ層が、図１で示した介在層２に相当する。

【００２１】

ｎ－ＩｎＧａＮ層２の全面を被覆してSiO_2から成る保護膜（図示しない）を熱化学堆積法で形成したのち、その保護膜にフッ酸を用いて電極形成箇所を開口した。

ついで全体を真空蒸着装置に移し、そこで、Ｔｉを厚み２０ｎｍ、Ａｌを厚み５０ｎｍ、Ｎｉを厚み５０ｎｍ、Ａｕを厚み３０ｎｍとなるように順次蒸着して電極材料の層３を形成した。

【００２２】

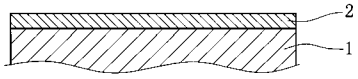
得られた材料を熱処理炉に移し、そこで、温度６２０℃で５分間の熱処理を行い、Ａｌ－Ｔｉ合金を主体とする電極にした。

この電極と前記Ｓｉドープｎ－ＧａＮ層との間の接触抵抗を測定したところ、８×１０$^{-}$

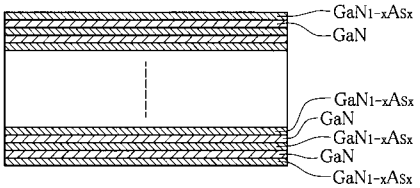
^{7} Ωｃｍ^{2} であった。
介在層が存在しない従来のＡｌ／Ｔｉ電極との接触抵抗（１×１０$^{-3}$ Ωｃｍ^{2} オーダ）に比べてその値は１／１００００オーダも低い抵抗値になっていた。
【００２３】
実施例２
ＧＳＭＢＥ法により、ラジカル化した窒素（３×１０$^{-6}$ Ｔｏｒｒ）、Ｇａ（５×１０$^{-7}$ Ｔｏｒｒ）、およびＳｉ（５×１０$^{-9}$ Ｔｏｒｒ）をドーパントとして用い、成長温度６４０℃でサファイヤ基板の上にｎ－ＧａＮから成る厚み５０ｎｍのバッファ層を形成し、更にその上に、Ｇａ（１×１０$^{-6}$ Ｔｏｒｒ）とアンモニア（５×１０$^{-5}$ Ｔｏｒｒ）を用い、成長温度８５０℃で厚み１０００ｎｍのｉ－ＧａＮ層を形成した。
【００２４】
ついで、Ｇａ（１×１０$^{-7}$ Ｔｏｒｒ）、アンモニア（５×１０$^{-5}$ Ｔｏｒｒ）、およびＳｉ（１×１０$^{-9}$ Ｔｏｒｒ）をドーパントとして用い、成長温度８５０℃で前記ｉ－ＧａＮ層の上に厚み２００ｎｍのｎ－ＧａＮ層を形成した。なお、このｎ－ＧａＮ層のキャリア濃度は５×１０^{18} ｃｍ$^{-3}$ となるように、予めホール測定をして設定しておいた。このｎ－ＧａＮ層が図１で示した半導体層１に相当する。
【００２５】
このｎ－ＧａＮ層１０の上に図２で示した多層構造の介在層を次のようにして形成した。まず、Ｇａ（１×１０$^{-7}$ Ｔｏｒｒ）、AsH_3（３×１０$^{-7}$ Ｔｏｒｒ）、アンモニア（５×１０$^{-5}$ Ｔｏｒｒ）、およびＳｉ（８×１０$^{-8}$ Ｔｏｒｒ）をドーパントとして用い、成長温度８５０℃でキャリア濃度が１×１０^{23} ｃｍ$^{-3}$ である厚み１ｎｍの$GaN_{0.98}As_{0.02}$ 膜を最初の膜としてｎ－ＧａＮ層１の上に形成し、続いて、その上に、Ｇａ（１×１０$^{-7}$ Ｔｏｒｒ）、アンモニア（５×１０$^{-5}$ Ｔｏｒｒ）、Ｓｉ（８×１０$^{-8}$ Ｔｏｒｒ）をドーパントとして用い、成長温度８５０℃でキャリア濃度が５×１０^{18} ｃｍ$^{-3}$ である厚み１ｎｍのｎ－ＧａＮ膜を形成した。
【００２６】
その後、ｎ－ＧａＮ膜の成膜条件は変えることなく、$GaN_{1-x}As$ 膜の形成に関しては、各ガス源の供給量を制御して上にいくほどＡｓ組成比ｘが大きくなるようにし、最終的には$GaN_{0.8}As_{0.2}$（ｘ＝０．２）が最表面となるように多層構造の介在層２を形成した。
ついで、介在層２の$GaN_{0.8}As_{0.2}$ の上に厚み１ｎｍのＳｉ層（層の数２～３）を形成したのち、このＳｉ層の全面を被覆してSiO_2 から成る保護膜（図示しない）を熱化学堆積法で形成したのち、その保護膜にフッ酸を用いて電極形成箇所を開口した。
【００２７】
ついで全体を真空蒸着装置に移し、そこで、Ａｌを厚み３０ｎｍ、Ｔｉを厚み１０ｎｍとなるように順次蒸着して電極材料の層３を形成した。
得られた材料を熱処理炉に移し、そこで、温度６２０℃で５分間の熱処理を行い、Ａｌ－Ｔｉ合金を形成したのち、更に温度９００℃で５分間の熱処理を行い、Ａｌ－Ｔｉのシリサイドを形成して電極とした。
【００２８】
この電極と前記Ｓｉドープｎ－ＧａＮ層との間の接触抵抗を測定したところ、１×１０$^{-7}$ Ωｃｍ^{2} であった。
【００２９】
【発明の効果】
以上の説明で明らかなように、本発明方法によれば、バンドギャップエネルギーの大きいＧａＮ系化合物半導体の上に、従来に比べると１／１００００程度も接触抵抗が小さい電極を形成することができる。これは、電極とＧａＮ系化合物半導体との間に、ＧａＮ系化合物半導体のバンドギャップエネルギーを小さくし、そのことによって電子親和力を大きくすることができる介在層を形成したことに基づく効果である。
【図面の簡単な説明】

【図１】ＩＩＩ－Ｖ族窒化物系化合物半導体の上に介在層を形成した状態を示す断面図である。
【図２】本発明方法で用いる介在層の１例を示す断面図である。
【図３】介在層の上に電極材料の層を形成した状態を示す断面図である。
【符号の説明】
1　　ＩＩＩ－Ｖ族窒化物系化合物半導体
2　　介在層
3　　電極材料の層

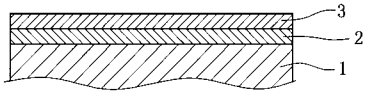
【図１】



【図２】



【図３】



フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H01L 21/28
H01L 21/338
H01L 29/812