

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4719054号  
(P4719054)

(45) 発行日 平成23年7月6日 (2011.7.6)

(24) 登録日 平成23年4月8日 (2011.4.8)

(51) Int. Cl.

F I

HO 1 L 29/786 (2006.01)  
HO 1 L 21/336 (2006.01)  
HO 1 L 29/423 (2006.01)  
HO 1 L 29/49 (2006.01)  
HO 1 L 21/28 (2006.01)

HO 1 L 29/78 6 1 7 J  
HO 1 L 29/78 6 1 6 A  
HO 1 L 29/58 G  
HO 1 L 21/28 B

請求項の数 5 (全 34 頁)

(21) 出願番号 特願2006-102623 (P2006-102623)  
(22) 出願日 平成18年4月4日 (2006.4.4)  
(65) 公開番号 特開2006-332603 (P2006-332603A)  
(43) 公開日 平成18年12月7日 (2006.12.7)  
審査請求日 平成21年1月22日 (2009.1.22)  
(31) 優先権主張番号 特願2005-133661 (P2005-133661)  
(32) 優先日 平成17年4月28日 (2005.4.28)  
(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷 3 9 8 番地  
(72) 発明者 磯部 敦生  
神奈川県厚木市長谷 3 9 8 番地 株式会社  
半導体エネルギー研究所内  
(72) 発明者 山崎 舜平  
神奈川県厚木市長谷 3 9 8 番地 株式会社  
半導体エネルギー研究所内

審査官 河本 充雄

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの作製方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板上に島状の半導体膜を形成し、  
前記島状の半導体膜上にゲート絶縁膜を形成し、  
前記ゲート絶縁膜上にゲート電極を形成し、  
前記ゲート電極表面を電子密度が  $1.0 \times 10^{11} \text{ cm}^{-2}$  以上  $1.0 \times 10^{13} \text{ cm}^{-2}$  以下であり、かつ電子温度が  $0.5 \text{ eV}$  以上  $1.5 \text{ eV}$  以下であり、かつ希ガス及び酸素を含むプラズマにより酸化することによって、前記ゲート電極に前記希ガスを  $1 \times 10^{15} \sim 1 \times 10^{16} \text{ atoms/cm}^3$  の濃度で含有する膜厚が  $3 \text{ nm}$  以上  $50 \text{ nm}$  以下の酸化膜を形成することを特徴とする薄膜トランジスタの作製方法。

10

【請求項 2】

絶縁表面を有する基板上に島状の半導体膜を形成し、  
前記島状の半導体膜上にゲート絶縁膜を形成し、  
前記ゲート絶縁膜上にゲート電極を形成し、  
前記ゲート電極表面を電子密度が  $1.0 \times 10^{11} \text{ cm}^{-2}$  以上  $1.0 \times 10^{13} \text{ cm}^{-2}$  以下であり、かつ電子温度が  $0.5 \text{ eV}$  以上  $1.5 \text{ eV}$  以下であり、かつ希ガス及び酸素を含むプラズマにより酸化することによって、前記ゲート電極に前記希ガスを  $1 \times 10^{15} \sim 1 \times 10^{16} \text{ atoms/cm}^3$  の濃度で含有する膜厚が  $3 \text{ nm}$  以上  $50 \text{ nm}$  以下の酸化膜を形成し、

前記ゲート電極表面に形成された前記酸化膜を除去することを特徴とする薄膜トランジ

20

スタの作製方法。

【請求項 3】

絶縁表面を有する基板上に島状の半導体膜を形成し、  
 前記島状の半導体膜上にゲート絶縁膜を形成し、  
 前記ゲート絶縁膜上にゲート電極を形成し、  
 前記ゲート電極表面を電子密度が  $1.0 \times 10^{11} \text{ cm}^{-2}$  以上  $1.0 \times 10^{13} \text{ cm}^{-2}$  以下であり、かつ電子温度が  $0.5 \text{ eV}$  以上  $1.5 \text{ eV}$  以下であり、かつ希ガス及び酸素を含むプラズマにより酸化することによって、前記ゲート電極に前記希ガスを  $1 \times 10^{15} \sim 1 \times 10^{16} \text{ atoms/cm}^3$  の濃度で含有する膜厚が  $3 \text{ nm}$  以上  $50 \text{ nm}$  以下の酸化膜を形成し、  
 前記島状の半導体膜に前記ゲート電極をマスクとして不純物イオンをドーピングし、  
 前記ゲート電極の側面にサイドウォールを形成し、  
 前記島状の半導体膜に、前記ゲート電極及び前記サイドウォールをマスクとして、前記不純物イオンより高濃度の不純物イオンをドーピングすることを特徴とする薄膜トランジスタの作製方法。

10

【請求項 4】

絶縁表面を有する基板上に島状の半導体膜を形成し、  
 前記島状の半導体膜上にゲート絶縁膜を形成し、  
 前記ゲート絶縁膜上にゲート電極を形成し、  
 前記ゲート電極表面を電子密度が  $1.0 \times 10^{11} \text{ cm}^{-2}$  以上  $1.0 \times 10^{13} \text{ cm}^{-2}$  以下であり、かつ電子温度が  $0.5 \text{ eV}$  以上  $1.5 \text{ eV}$  以下であり、かつ希ガス及び酸素を含むプラズマにより酸化することによって、前記ゲート電極に前記希ガスを  $1 \times 10^{15} \sim 1 \times 10^{16} \text{ atoms/cm}^3$  の濃度で含有する膜厚が  $3 \text{ nm}$  以上  $50 \text{ nm}$  以下の酸化膜を形成し、  
 前記ゲート電極表面に形成された前記酸化膜を除去し、  
 前記島状の半導体膜に前記酸化膜を除去したゲート電極をマスクとして不純物イオンをドーピングし、  
 前記ゲート電極の側面にサイドウォールを形成し、  
 前記島状の半導体膜に、前記ゲート電極及び前記サイドウォールをマスクとして、前記不純物イオンより高濃度の不純物イオンをドーピングすることを特徴とする薄膜トランジスタの作製方法。

20

30

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、  
 前記ゲート電極に前記酸化膜を形成した後、ブラシ洗浄により、ゴミを除去することを特徴とする薄膜トランジスタの作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ゲート電極の作製方法に特徴を有する薄膜トランジスタの作製方法及び薄膜トランジスタに関するものである。特に、本発明の薄膜トランジスタを有する ID チップ、RFID、CPU（中央演算装置）、液晶表示装置、有機 EL 表示装置等の半導体装置及びそれらの作製方法に関するものである。

40

【背景技術】

【0002】

近年、ID チップ、RFID、CPU、液晶表示装置、有機 EL 表示装置など電子機器等の半導体装置の分野において、装置の高集積化、及び動作の高速化についての開発が盛んに進められている。半導体装置の高集積化、及び動作の高速化を図るために、装置を製造するプロセスにおいて、装置の微細化が求められている。

【0003】

このような装置の製造方法として、エッチングを用いてゲート電極を微細化する方法や

50

、陽極酸化法を用いてゲート電極表面を酸化させ、ゲート電極の実質的なチャンネル長を短くする方法がある（例えば、特許文献１参照。）。

【特許文献１】特開２００２－２１７１７０号公報

【発明の開示】

【発明が解決しようとする課題】

【０００４】

しかしながら、現在用いられているエッチング法では、精度等の問題でゲート電極の微細化に限界があった。また、エッチングのみを用いてより微細化させるためには、工程数が大幅に増加するという問題もあった（特許文献１参照）。

【０００５】

また陽極酸化を用いてゲート電極表面を酸化することにより、ゲート電極を微細化する場合、全てのゲート電極を同電位で接続できるようにした後、分断する工程が必要となる。それによって、半導体装置を作製する工程数が大幅に増加するという問題があった。

【０００６】

そこで本発明は、実質的なチャンネル長の長さを短くし、半導体装置を微細化することができる薄膜トランジスタの作製方法及び薄膜トランジスタを提供する。また、実質的なチャンネル長の長さを短くすることによってゲート容量を減少させることができ、半導体装置の高速動作及び高性能化を実現できる薄膜トランジスタの作製方法及び薄膜トランジスタを提供する。また、製造工程を簡略化することができる作製方法を提供することを課題とする。

【課題を解決するための手段】

【０００７】

本発明の一は、絶縁表面を有する基板上に非晶質半導体膜を形成し、非晶質半導体膜を結晶化させることにより結晶性半導体膜を形成し、結晶性半導体膜をエッチングすることによって島状の半導体膜を形成し、島状の半導体膜上にゲート絶縁膜を形成し、ゲート絶縁膜上に導電膜を形成し、導電膜をエッチングすることによりゲート電極を形成し、ゲート電極表面を高密度プラズマによって酸化することによりゲート電極をスリミング化することを特徴とする。

【０００８】

本発明の一は、絶縁表面を有する基板上に非晶質半導体膜を形成し、非晶質半導体膜を結晶化させることにより結晶性半導体膜を形成し、結晶性半導体膜をエッチングすることによって島状の半導体膜を形成し、島状の半導体膜上にゲート絶縁膜を形成し、ゲート絶縁膜上に導電膜を形成し、導電膜をエッチングすることによりゲート電極を形成し、ゲート電極表面を高密度プラズマによって酸化することによりゲート電極をスリミング化し、ゲート電極表面に形成された酸化膜を除去することを特徴とする。

【０００９】

本発明の一は、絶縁表面を有する基板上に非晶質半導体膜を形成し、非晶質半導体膜を結晶化させることにより結晶性半導体膜を形成し、結晶半導体素膜をエッチングすることによって島状の半導体膜を形成し、島状の半導体膜上にゲート絶縁膜を形成し、ゲート絶縁膜上に導電膜を形成し、導電膜をエッチングすることによりゲート電極を形成し、ゲート電極表面を高密度プラズマによって酸化することによりゲート電極をスリミング化し、島状半導体膜にゲート電極をマスクとして不純物イオンをドーピングし、ゲート電極の側面にサイドウォールを形成し、島状の半導体膜に、ゲート電極及びサイドウォールをマスクとして、不純物イオンより高濃度の不純物イオンをドーピングすることを特徴とする。

【００１０】

本発明の一は、絶縁表面を有する基板上に非晶質半導体膜を形成し、非晶質半導体膜を結晶化させることにより結晶性半導体膜を形成し、結晶性半導体膜をエッチングすることによって島状の半導体膜を形成し、島状の半導体膜上にゲート絶縁膜を形成し、ゲート絶縁膜上に導電膜を形成し、導電膜をエッチングすることによりゲート電極を形成し、ゲート電極表面を高密度プラズマによって酸化することによりゲート電極をスリミング化し、

10

20

30

40

50

ゲート電極表面に形成された酸化膜を除去し、島状半導体膜にゲート電極をマスクとして不純物イオンをドーピングし、ゲート電極の側面にサイドウォールを形成し、島状の半導体膜に、ゲート電極及びサイドウォールをマスクとして、不純物イオンより高濃度の不純物イオンをドーピングすることを特徴とする。

【0011】

本発明の一は、高密度プラズマで用いる電子密度は $1.0 \times 10^{11} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{13} \text{ cm}^{-3}$ 以下であり、かつ電子温度は $0.5 \text{ eV}$ 以上 $1.5 \text{ eV}$ 以下であることを特徴とする。

【0012】

本発明の一は、絶縁表面を有する基板と、基板上に形成された島状半導体膜と、島状半導体膜上に形成されたゲート電極とを有する薄膜トランジスタであって、ゲート電極表面は高密度プラズマにより形成された酸化膜を有し、酸化膜には希ガスが含まれていることを特徴とする。

10

【0013】

本発明の一は、絶縁表面を有する基板と、基板上に形成されたLDD領域を有する島状半導体膜と、島状半導体膜上に形成されたゲート電極とを有する薄膜トランジスタであって、ゲート電極表面は高密度プラズマにより形成された酸化膜を有し、酸化膜には希ガスが含まれていることを特徴とする。

【発明の効果】

【0014】

本発明を用いてゲート電極の表面を酸化することによって、実質的なチャネル長の長さを短くすることができる。すなわち、半導体装置を微細化することができ、ゲート容量を減少させることが可能となる。これにより、半導体装置の高速動作及び高性能化が実現できる。

20

【0015】

また本発明を用いることによって、従来と比較してより簡便にゲート電極表面に緻密な酸化膜を形成することができるため、作製工程を簡略化することが可能となる。

【発明を実施するための最良の形態】

【0016】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

30

【0017】

また、以下に示す実施の形態1～実施の形態7は実施可能な範囲で組み合わせて用いることができる。

【0018】

(実施形態1)

40

本実施の形態では、絶縁表面を有する基板上にゲート電極を形成し、ゲート電極をスリミング化した薄膜トランジスタ（以下薄膜トランジスタと省略する）を形成する工程について、図1～図3を用いて説明する。なお、本明細書においてスリミング化と微細化は同じ意味を示すものである。また本明細書において電極のスリミング化とは、電極を電極表面から3以上50nm以下の厚さで酸化させることである。本明細書において、ゲート電極を幅50nm以上1μm以下で形成し、スリミング化によって形成されたゲート電極の幅を10%以上減少させる、すなわちゲート電極を酸化させるものとする。

【0019】

まず、基板100上に下地膜101を100～300nmの厚さで形成する。基板100としてはガラス基板、石英基板、プラスチック基板、セラミックス基板等の絶縁性基

50

板、金属基板、半導体基板等を用いることができる。

【0020】

下地膜101は、酸化珪素、窒化珪素、窒素を含む酸化珪素、酸素を含む窒化珪素等の酸素または窒素を有する絶縁膜の単層構造、またはこれらを組み合わせた積層構造を用いることができる。ここでは、酸化珪素を下地膜として用いる。

【0021】

下地膜101は、基板100に含まれるナトリウムなどのアルカリ金属やアルカリ土類金属が半導体中に拡散し、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。そのため、基板100としてガラス基板またはプラスチック基板のようにアルカリ金属やアルカリ土類金属が多少なりとも含まれている基板を用いる場合には、不純物の拡散を防ぐために下地膜を設けることは有効である。一方、石英基板など不純物の拡散がさほど問題にならない基板を用いる場合には必ずしも下地膜101を設ける必要はない。

10

【0022】

続いて、下地膜101上に半導体膜102を10～100nmの厚さで形成する(図1(a))。半導体膜の材料は薄膜トランジスタに求められる特性に応じて選択することができ、シリコン膜、シリコンゲルマニウム膜、炭化シリコン膜のいずれでもよい。ここでは珪素を用いる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01～4.5at. %程度であることが好ましい。半導体膜としては、非晶質半導体膜または微結晶半導体膜をスパッタリング法、LPCVD法、プラズマCVD法などを用いて成膜し、エキシマレーザー等を用いたレーザー結晶化法により結晶化した結晶性半導体膜を用いるのが好ましい。また、他にも結晶化の方法として、DCバイアスを印加して熱プラズマを発生することにより、当該熱プラズマを半導体膜に作用することによって行ってもよい。微結晶半導体膜は、SiH<sub>4</sub>等の珪素を含む気体をグロー放電分解することにより得ることができる。珪素を含む気体を水素又はフッ素、もしくは水素又はフッ素と一種又は複数種の希ガス元素とで希釈して用いることにより、微結晶半導体膜の形成を容易なものとすることができる。

20

【0023】

また、結晶化技術としてはハロゲンランプを用いたラピッドサーマルアニール法(RTA法)や、加熱炉を使用して結晶化する技術を適用することも可能である。さらに、非晶質半導体膜にニッケル等の金属元素を添加し、添加された金属を結晶核として固相成長させる方法を用いてもよい。

30

【0024】

次に半導体膜をエッチングし、島状の半導体膜103を形成する。続いて島状の半導体膜103を覆うようにゲート絶縁膜104を2～200nm形成する(図1(b))。ゲート絶縁膜104としてはCVD法やスパッタ法により、酸化珪素、窒化珪素、窒素を含む酸化珪素、酸素を含む窒化珪素などのいずれかを適宜組み合わせて積層構造としてもよい。

【0025】

続いて、ゲート絶縁膜104上にゲート電極となる導電膜105を150～500nmの厚さでスパッタ法により形成する。導電膜105としては、アルミニウム(Al)膜、タングステン(W)膜、モリブデン(Mo)膜等を用いることができる。ここでは、タングステン膜を導電膜として用いる。

40

【0026】

続いて、導電膜上にフォトリソグラフィ技術を使用してレジスト106を形成する(図1(c))。

【0027】

続いて、レジスト106をマスクとしてエッチングを行う(図1(d))。このエッチング処理によって、導電膜105をエッチングし、導電膜からゲート電極107を形成する。ゲート電極を作成した後レジスト106は除去する(図1(d))。

【0028】

50

本実施の形態でエッチング処理に用いるエッチングガスとしては、 $\text{Cl}_2$ 、 $\text{SF}_6$ 、 $\text{O}_2$ の混合ガスを用い、混合比は $\text{Cl}_2 : \text{SF}_6 : \text{O}_2 = 33 : 33 : 10 \text{ sccm}$ である。0.67 Paの圧力でコイル型の電極に2000 Wの電力を供給してプラズマを生成する。基板側（試料ステージ）には50 Wの電力を投入する。

#### 【0029】

続いて、ゲート電極107の表面を酸化させ、ゲート電極をスリミング化させることによって表面を酸化膜に覆われたゲート電極108（以下、ゲート電極108と呼ぶ）を形成する（図1（e））。このゲート電極表面に酸化膜を形成するために高密度プラズマ装置を用いて酸化させる。この工程によって、実質的なチャネル長の長さを短くすることができる。

10

#### 【0030】

なお、このときゲート電極表面に形成された酸化膜によって、ゲート電極の端部と島状半導体膜に後の工程で形成される不純物領域との間にオフセットが形成される。そのためオフセットを必要としない場合は、ゲート電極表面に形成された酸化膜を除去してもよい。

#### 【0031】

本実施の形態において、高密度プラズマ装置を用いる。高密度プラズマ装置の一例として図4を示す。まず、処理室内を真空にし、ガス導入源65から酸素を含むガスを導入する。本実施の形態では、酸素（ $\text{O}_2$ ）、水素（ $\text{H}_2$ ）とアルゴン（ $\text{Ar}$ ）との混合ガスを導入する。なお、ここで用いる混合ガスは、酸素を0.1～100 sccm、水素を0.1～100 sccm、アルゴンを100～5000 sccmとして導入すればよい。なお、酸素：水素：アルゴン＝100：1：1の比率で混合ガスを導入することが好ましい。例えば、酸素を5 sccm、水素を5 sccm、アルゴンを500 sccmとして導入すればよい。なお、本実施の形態ではアルゴンを用いたが、他の希ガスを用いてもよい。次に、ゲート電極107まで形成された絶縁基板100を加熱機構を有する支持台64に設置し、絶縁基板100を400℃に加熱する。なお、加熱温度は200℃～550℃（好ましくは250℃以上）の範囲内であればよい。ただし、基板100としてプラスチック基板を用いる場合は、ガラス転移点以上200℃以上のものを用い、そのプラスチック基板をガラス転移点以下の温度に加熱する。絶縁基板100とアンテナ62との間隔は、20～80 mm（好ましくは20～60 mm）の範囲内とする。

20

30

#### 【0032】

次に、導波管60からアンテナ62にマイクロ波を供給する。本実施の形態では、周波数2.45 GHzのマイクロ波を供給する。そして、マイクロ波をアンテナ62から処理室内に設けられた誘電体板63を通して処理室内に導入して、酸素ガスと水素ガスとアルゴンガスとが混合された高密度プラズマ66を生成する。酸素ガスと水素ガスとアルゴンガスとが混合された高密度プラズマ66中では、導入されたマイクロ波により処理室内に導入されたアルゴンガスが励起され、 $\text{Ar}$ ラジカルが生成される。そして、中間励起状態にある $\text{Ar}$ ラジカルと酸素分子と水素分子とが衝突することで、 $\text{OH}$ ラジカルが生成される。この $\text{OH}$ ラジカルとゲート電極材料とが反応してゲート電極107表面に酸化膜が形成される。本実施の形態では、ゲート電極にモリブデンを用いているため、ゲート電極表面に酸化モリブデン膜が形成される。本工程で使用された酸素ガスと水素ガスとアルゴンガスは、排気口67から処理室外へ排気される。

40

#### 【0033】

図4に示すようなプラズマ装置を用いて生成されるプラズマは低電子温度（1.5 eV以下（好ましくは0.5以上1.5 eV以下））かつ高電子密度（ $1.0 \times 10^{11} \text{ cm}^{-3}$ 以上（好ましくは $1.0 \times 10^{11} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{13} \text{ cm}^{-3}$ 以下））のため、プラズマダメージが非常に少ない酸化膜を低温で形成することができる。

#### 【0034】

なお、この工程によって酸化膜に希ガスが含有されていることが推測されるため、基板上に本工程のプラズマ処理を行って酸化膜を形成したサンプルを作製し、このサンプルに

50

ついて T X R F を用いて測定を行った。ここでは、希ガスとして A r を用いてプラズマ処理を行った。その結果、酸化膜には A r が  $1 \times 10^{15} \sim 1 \times 10^{16} \text{ atoms/cm}^3$  程度の濃度で含有されていた。よって、高密度プラズマ処理に用いた希ガスがこの工程で形成される酸化膜に同程度 ( $1 \times 10^{15} \sim 1 \times 10^{16} \text{ atoms/cm}^3$ ) 含有されている。

#### 【0035】

また、C V D 法やスパッタ法を用いて形成した膜にはゴミが付着している可能性、及びゲート電極をエッチングした後にレジストを除去する工程の際、レジストがゲート電極表面に一部残ってしまう可能性もある。このように、ゲート電極表面にゴミ 1501 が付着している状態を図 5 ( a ) に示す。このゴミが付着したまま本実施の形態のようにゲート電極 107 に対してプラズマ酸化を行った場合について説明する。

10

#### 【0036】

本実施の形態で用いるプラズマ酸化により、ゲート電極の表面はゴミの無い箇所だけではなく、ゴミ 1501 が付着している箇所も酸化される ( 図 5 ( b ) ) 。また、ゴミ 1501 の表面、あるいは全部が酸化されることで体積が増加する。これにより、ゴミ 1501 はブラシ洗浄など簡単な洗浄で酸化膜を有するゲート電極 108 の表面から容易に除去できるようになるため、プラズマ酸化によって、ナノレベルのゴミでも除去が容易になる。

#### 【0037】

次に、島状の半導体膜 103 に低濃度の不純物イオンのドーピングを行う ( 図 1 ( f ) ) 。ゲート絶縁膜を透過させて島状の半導体膜 103 に低濃度の不純物元素をドーピングし、低濃度不純物領域 110 a 、 110 b を形成する。またチャネル形成領域 111 も形成される。低濃度不純物領域 110 a 、 110 b の元素濃度は  $1 \times 10^{16} \sim 1 \times 10^{20} \text{ atoms/cm}^3$  ( 好ましくは  $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$  ) とする。ドーピング法としてはイオンドーピング法、イオン注入法を用いることができる。例えば P 型の半導体を作製する際には不純物元素として、ボロン ( B ) 、ガリウム ( G a ) 等を用い、N 型の半導体を作製する際にはリン ( P ) 、砒素 ( A s ) 等を用いる。

20

#### 【0038】

次にゲート絶縁膜 104 、ゲート電極 108 を覆うように、絶縁層を形成する。絶縁層は、プラズマ C V D 法により窒素を含む酸化珪素を 100 nm 、その後熱 C V D 法により酸化珪素膜を 200 nm 成膜して形成する。

30

#### 【0039】

次に絶縁層を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、ゲート電極 108 の側面に接する絶縁層 ( 以下サイドウォールとよぶ ) 201 を形成する ( 図 2 ( a ) ) 。サイドウォール 201 は、後にソース領域及びドレイン領域上面にシリサイドを形成する際のマスクとして用いる。またこのエッチングによってゲート絶縁膜も一部除去してゲート絶縁膜 202 を形成し、半導体膜の一部を露出させる。この露出した半導体膜部分が後にソース領域及びドレイン領域となる。絶縁膜と半導体膜のエッチングの選択比が低い場合は、露出している半導体膜は多少エッチングされ膜厚が薄くなる。

#### 【0040】

40

次に露出した半導体膜、サイドウォール 201 及びゲート電極 108 を覆うように金属膜 203 を成膜する ( 図 2 ( b ) ) 。金属膜 203 は半導体膜と反応してシリサイドを形成する材料を選択すればよい。例えば、ニッケル膜、チタン膜、コバルト膜、白金膜、もしくはこれら元素のうち少なくとも 2 種類を含む合金でなる膜等がある。本実施の形態では、金属膜としてニッケル膜を用いる。成膜条件としては、室温下で成膜電力 500 W ~ 1 kW でニッケル膜をスパッタにより成膜する。

#### 【0041】

ニッケル膜を成膜した後、加熱処理によってシリサイド層 204 a 、 204 b と低濃度不純物領域 205 a 、 205 b を形成する。本実施の形態ではシリサイド層 204 a 、 204 b は、ニッケルシリサイドとなる。加熱処理としては R T A やファーネスアニール等

50

を用いることができる。このとき、金属膜の膜厚、加熱温度、加熱時間を制御することにより、半導体層の表面のみがシリサイド化した構成、または半導体層の全面がシリサイド化した構成のどちらかとなる。例えば、金属膜が半導体膜の膜厚の半分以上の膜厚となるように成膜する、加熱温度をより高温にする、加熱時間をより長くする等という手法により、図2(c)の構成を得ることができる。

#### 【0042】

次に未反応のニッケルを除去する。ここでは $\text{HCl} : \text{HNO}_3 : \text{H}_2\text{O} = 3 : 2 : 1$ からなるエッチング溶液を用いて未反応のニッケルを除去する。

#### 【0043】

その後、層間絶縁膜206を形成する。層間絶縁膜206は有機材料もしくは無機材料を用いて形成する。層間絶縁膜206は単層構造でもよいし、積層構造でもよい。層間絶縁膜206に後にソース領域及びドレイン領域として機能するシリサイド層204a、204bを露出するためのコンタクトホールをエッチングにより形成する。次にコンタクトホールを充填するように導電層を形成し、エッチングして配線を形成する構成であってもよい。

10

#### 【0044】

一方、図2(c)の構成とは異なり、半導体層の表面のみをシリサイド化させた構成の場合には、図3(a)の工程において半導体層の表面にシリサイド層301a、301bを形成した後、サイドウォール201をマスクとして、高濃度の不純物イオンのドーピングを半導体層に対して行ってもよい。このドーピングにより、ソース領域及びドレイン領域として機能する高濃度不純物領域302a、302bが形成される。高濃度不純物領域には不純物元素が $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ になるようにドーピングする。同時に、低濃度不純物領域が形成される。ドーピング法としてはイオンドーピング法、イオン注入法を用いることができる。P型の半導体を作製する際には不純物元素としてボロン(B)、ガリウム(Ga)等を用い、N型の半導体を作製する際にはリン(P)、ヒ素(As)等を用いる。

20

#### 【0045】

その後、不純物の活性化をし、図2の半導体層の全面にシリサイド層を形成した場合と同様に、層間絶縁膜206を形成する。層間絶縁膜206は有機材料もしくは無機材料を用いて形成する。層間絶縁膜206は単層構造でもよいし、積層構造でもよい。層間絶縁膜206に後にソース領域及びドレイン領域として機能するシリサイド層204a、204bを露出するためのコンタクトホールをエッチングにより形成する。次にコンタクトホールを充填するように導電層を形成し、エッチングして配線207を形成する構成であってもよい。

30

#### 【0046】

なお、層間絶縁膜を形成する前、または層間絶縁膜が積層なら1層目もしくは2層目の膜を形成した後に、不純物領域の熱活性化を行ってもよい。熱活性化はレーザ光照射、RTA、炉を用いた加熱処理などの方法を用いることができる。本構成はシリサイドにより配線と不純物領域がオーミックコンタクトを有しているため、不純物領域の熱活性化の工程は省くこともできる。

40

#### 【0047】

図3(c)の構成は、図2(d)の構成と比較すると、シリサイド層301a、301bがシリサイド化されていない半導体膜部分と接触している面積が大きい。そのためシリサイド層301a、301bとシリサイド層以外の半導体膜部分との接触抵抗が低くなり、寄生抵抗が図2(d)よりも小さくなる。

#### 【0048】

一方で図2(d)の構成は、図3(c)の構成と比べて、ソース領域及びドレイン領域の抵抗が小さくなる。また、高濃度の不純物イオンをドーピングする工程を省略できるため、図2(d)の構成は図3(c)の構成と比べて工程を少なくすることができる。

#### 【0049】

50



なお、図3(a)~(c)では、シリサイドを形成してから高濃度の不純物イオンをドーピングしたが、高濃度の不純物イオンをドーピングした後に金属膜203を形成してシリサイド化してもよい。また、図3(c)の構成とするのに、サイドウォール201をマスクとして高濃度の不純物イオンをドーピングした後に、シリサイド層301a、301bを形成してもよい。

#### 【0050】

以上の構成によって、本実施の形態を用いて作製した薄膜トランジスタは実質的なチャネル長の長さを短くすることができるため、ゲート電極の微細化及びゲート容量を減少させることができる。これによって、半導体装置の高速動作及び高性能化が実現できる。また、作製工程を簡略化することができる。

10

#### 【0051】

また、薄膜トランジスタは本実施の形態で示したチャネル形成領域が一つ形成されるシングルゲート構造に限定されず、複数のチャネル形成領域を有するマルチゲート構造であってもよい。例えば、二つ形成されるダブルゲート構造または三つ形成されるトリプルゲート構造であってもよい。また、周辺駆動回路領域の薄膜トランジスタも、シングルゲート構造、あるいはダブルゲート構造やトリプルゲート構造等のマルチゲート構造であってもよい。

#### 【0052】

また、本実施の形態で示した薄膜トランジスタの作製方法に限らず、トップゲート型(プレーナー型)、ボトムゲート型(逆スタガ型)、あるいはチャネル形成領域の上下にゲート絶縁膜を介して配置された2つのゲート電極を有する、デュアルゲート型やその他の構造においても本発明を適用することができる。

20

#### 【0053】

##### (実施の形態2)

本実施の形態では、半導体層を水素化する方法について図17、図18を用いて説明する。なお、本実施の形態で形成する薄膜トランジスタの作製方法は、実施の形態1の図1(f)までの作製方法と同じ方法により作製するため、重複する箇所については省略する。また、本形態において、実施の形態1と同じものについては同じ符号を用い、詳細な説明を省略する。

#### 【0054】

実施の形態1の図1(f)で示すように不純物領域及びチャネル形成領域を有する構造を作製する。続いて、不純物領域にドーパされた不純物を活性化させる。活性化工程はレーザ光照射、RTA、炉を用いた加熱処理などの方法を用いることができる。

30

#### 【0055】

次に、ゲート電極表面を酸化するために用いた高密度プラズマ装置を用いて、水素プラズマ処理を行う。導入ガスとしては水素( $H_2$ )、あるいは水素( $H_2$ )と希ガスとの混合ガスを導入する。本実施の形態では、水素( $H_2$ )とアルゴン(Ar)との混合ガスを導入する。

#### 【0056】

次に、不純物の活性化を行った絶縁基板100を350 ~ 450 に加熱しながら高密度プラズマ装置を用いて水素プラズマ処理を行う。この工程によって、導入された水素ラジカル(Hラジカル)は半導体層及びゲート絶縁膜と反応し、水素化されたチャネル形成領域171とソース領域及びドレイン領域として機能する不純物領域170a、170bが形成される(図17(a))

40

#### 【0057】

なお、水素プラズマ処理をした後にさらに水素を含む雰囲気下で350 ~ 450 で熱処理しても良い。

#### 【0058】

その後、実施の形態1と場合と同様に、層間絶縁膜206を形成する。層間絶縁膜206は有機材料もしくは無機材料を用いて形成する。層間絶縁膜206は単層構造でもよい

50

し、積層構造でもよい。層間絶縁膜 206 に後にソース領域及びドレイン領域として機能する不純物領域 170a、170b を露出するためのコンタクトホールをエッチングにより形成する。次にコンタクトホールを充填するように導電層を形成し、エッチングして配線 207 を形成する構成であってもよい(図 17(b) 参照)。

【0059】

なお、この半導体層を水素化する工程は、500 以上に加熱することによって半導体層から水素が脱離してしまうため、不純物の活性化を行った後に行う必要がある。

【0060】

次に、スリミング化したゲート電極上面に保護膜を設けて、半導体層を水素化する方法について図 18 を用いて説明する。なお、本実施の形態で形成する薄膜トランジスタの作製方法は、実施の形態 1 の図 1(f) までの作製方法と同じ方法により作製するため、重複する箇所については省略する。また、本形態において、実施の形態 1 と同じものについては同じ符号を用い、詳細な説明を省略する。

10

【0061】

まず、実施の形態 1 と同様な方法を用いて、図 1(f) で示した不純物領域及びチャネル形成領域を有する構造を形成する。続いて、不純物領域にドーパされた不純物を活性化させる。活性化工程はレーザ光照射、RTA、炉を用いた加熱処理などの方法を用いることができる。

【0062】

次に、ゲート電極 108 及びゲート絶縁膜 104 を覆う保護膜 175 をプラズマ CVD 法により形成する。保護膜としては、窒化珪素膜、窒化酸化珪素、酸化窒化珪素膜を用いるのがよいが、これに限定されるものではない。また、形成方法もプラズマ CVD 法に限定されるものではない。

20

【0063】

次に、ゲート電極表面を酸化するために用いた高密度プラズマ装置を用いて、保護膜 175 に対して水素プラズマ処理を行う。導入ガスとしては水素( $H_2$ )、あるいは水素( $H_2$ )と希ガスとの混合ガスを導入する。本実施の形態では、水素( $H_2$ )とアルゴン( $Ar$ )との混合ガスを導入する。

【0064】

次に、保護膜 175 まで形成された絶縁基板 100 を 350 ~ 450 に加熱しながら高密度プラズマ装置を用いて水素プラズマ処理を行う。この工程によって、保護膜 175 に対して導入された水素ラジカル( $H$ ラジカル)は半導体層と反応し、水素化されたチャネル形成領域 171 とソース領域及びドレイン領域として機能する不純物領域 170a、170b が形成される(図 18(a))。

30

【0065】

なお、導入ガスとして水素の代わりにアンモニア( $NH_3$ )を用いることもできる。この場合は、 $NH$ ラジカルが保護膜と反応し、半導体層の水素化と同時に保護膜の表面に窒化膜(図示しない)も形成できる。これにより、保護膜表面に緻密な窒化膜が形成され膜質を向上できる。

【0066】

なお、水素プラズマ処理をした後にさらに水素を含む雰囲気下で 350 ~ 450 で熱処理しても良い。

40

【0067】

その後、実施の形態 1 と場合と同様に、層間絶縁膜 206 を形成する。層間絶縁膜 206 は有機材料もしくは無機材料を用いて形成する。層間絶縁膜 206 は単層構造でもよいし、積層構造でもよい。層間絶縁膜 206 に後にソース領域及びドレイン領域として機能する不純物領域 170a、170b を露出するためのコンタクトホールをエッチングにより形成する。次にコンタクトホールを充填するように導電層を形成し、エッチングして配線 207 を形成する構成であってもよい(図 18(b) 参照)。

【0068】

50

なお、この半導体層を水素化する工程は、500 以上に加熱することによって半導体層から水素が脱離してしまうため、不純物の活性化を行った後に行う必要がある。

【0069】

(実施の形態3)

本実施の形態では、Pチャネル型薄膜トランジスタとNチャネル型薄膜トランジスタを同一基板上に形成する方法について図6を用いて説明する。なお、Nチャネル型薄膜トランジスタ及びPチャネル型薄膜トランジスタは実施の形態1の図3(c)で説明した構成を用いて説明する。しかし、この構成に限定されず、用途に応じて実施の形態1~2のそれぞれの薄膜トランジスタの構成を、Nチャネル型薄膜トランジスタまたはPチャネル型薄膜トランジスタに自由に適用することができる。また、本形態において、実施の形態1~2と同じものについては同じ符号を用い、詳細な説明を省略する。

10

【0070】

基板100上に非晶質半導体膜を形成し、非晶質半導体膜にチャネルドープをした後、実施の形態1と同様な方法を用いて結晶化して結晶性半導体膜を形成する。更に、結晶性半導体膜をエッチングして、島状の半導体膜103a、103bを形成する。ここでの結晶性半導体膜とは、結晶性珪素膜を表す。また、基板100上に接する下地膜101として、酸素を含む窒化珪素膜を用いる。

【0071】

次に、島状の半導体膜103a、103bを覆うようにゲート絶縁膜104を形成する。ゲート絶縁膜104として、窒素を含む酸化珪素膜をプラズマCVD法により形成する。そして、実施の形態1と同様な方法を用いて、島状の半導体膜103a、103bのそれぞれの上にゲート電極107a、107bを形成する。

20

【0072】

続いて、ゲート電極107の表面を酸化させ、ゲート電極をスリミング化させることによって表面を酸化膜に覆われたゲート電極108a、108b(以下、ゲート電極108a、108bと呼ぶ)を形成する。このゲート電極表面に酸化膜を形成する方法は実施の形態1と同様な方法を用いて酸化させる。この工程によって、実質的なチャネル長の長さを短くすることができる。

【0073】

なお、このときゲート電極表面に形成された酸化膜を、除去してもよい。

30

【0074】

ゲート電極108a、108bをマスクとして、島状の半導体膜103a、103bにN型不純物元素であるリンを低濃度でイオンドープする。これにより、島状の半導体膜103aには、ゲート電極108aと重ならない領域にN型の低濃度不純物領域410a、410bが形成され、ゲート電極108aの下領域にチャネル形成領域111aが形成される。同様に、島状の半導体膜103bには、ゲート電極108bと重ならない領域にN型の低濃度不純物領域411a、411bが形成され、ゲート電極108bの下領域にチャネル形成領域111bが形成される。これら低濃度不純物領域には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度でリンを含むように、リンがドーピングされる(図6(a))。

40

【0075】

次に、島状の半導体膜103a、ゲート電極108aを覆うようにレジストマスク420を形成する。この状態で、ゲート電極108bをマスクとして、島状の半導体膜103bにP型不純物元素であるボロンを低濃度でイオンドープする。これにより、島状の半導体膜103bには、ゲート電極108bと重ならない領域にP型の低濃度不純物領域411c、411dが形成される。これらP型の低濃度不純物領域には、 $1 \times 10^{18} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度でボロンを含むように、ボロンがドーピングされる。これらP型の低濃度不純物領域には既にリンが低濃度で注入されているが、ボロンがリンよりも高濃度でドーピングされるため、N型はP型に打ち消される(図6(b))。

【0076】

50

次にサイドウォールを形成する。島状の半導体膜 103a、103b、ゲート電極 108a、108b を覆うように絶縁膜として酸化珪素膜を形成し、等方的にドライエッチングをして、サイドウォール 201 を形成する。そして、サイドウォール 201 をマスクとしてゲート絶縁膜 104 をエッチングし、ゲート絶縁膜 412a、412b を形成する。結果、島状の半導体膜 103a、103b の両端部が露呈される（図 6（c））。露呈された島状の半導体膜部分がゲート絶縁膜とのエッチング選択比が小さいときは、ゲート絶縁膜 412a、412b の形成と一緒にエッチングされ、膜厚が薄くなる。

【0077】

次に、サイドウォール 201 及びゲート電極 108a、108b をマスクとして、N 型の低濃度不純物領域 410a、410b に N 型不純物元素であるリンを自己整合的に高濃度でドーピングする。これにより、N 型の高濃度不純物領域 414a、414b を形成する。N 型の高濃度不純物領域 414a、414b には、リンを  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  の濃度で含むようにリンがドーピングされる。また、同時に N 型の低濃度不純物領域 413a、413b が形成される。P 型の低濃度不純物領域 411c、411d の一部にもリンが高濃度で注入されるため、露呈している島状の半導体膜部分が N 型の高濃度不純物領域 416a、416b となる。また、このドーピングにより、島状の半導体膜 103b に P 型の低濃度不純物領域 415a、415b が形成される。

【0078】

次に、島状の半導体膜 103a、ゲート電極 108a、サイドウォール 201 を覆うようにレジストマスク 421 を形成する。この状態で、ゲート電極 108b 及びサイドウォール 201 をマスクとして、露呈している島状の半導体膜 103b に、P 型の不純物元素であるボロンを自己整合的に高濃度でドーピングする。結果、P 型の高濃度不純物領域 416c、416d が形成される。P 型の高濃度不純物領域は、既に高濃度のリンが注入されており N 型になっているが、ボロンのドーピングにより打ち消され P 型となる。P 型の高濃度不純物領域 416c、416d には、 $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$  の濃度でボロンを含むようにイオンがドーピングされる。その後、レジストマスク 421 を除去する（図 6（d））。

【0079】

次に、露呈している半導体膜部分を覆うように全面に金属膜を形成し、金属膜と半導体膜が反応する温度で加熱処理をして、シリサイド層 440 を形成する。シリサイド層 440 は P 型及び N 型の高濃度不純物領域の表面に形成される。本形態では金属膜としてニッケル膜を形成し、シリサイド層 440 としてニッケルシリサイドを形成する。その後、金属膜は除去する（図 6（e））。

【0080】

そして、層間絶縁膜の 1 層目として、窒素を含む酸化珪素膜 450 を 50 nm の膜厚で成膜する。

【0081】

その後、形成された不純物領域に加熱処理をすることにより活性化を行う。熱処理はレーザ光照射、RTA、炉を用いた加熱処理などの方法を用いることができる。ただし本発明ではシリサイドの形成によりソース及びドレイン領域は十分に低抵抗化できているので、活性化工程は省略しても構わない。

【0082】

層間絶縁膜の 2 層目である窒化珪素膜 451 を 100 nm 成膜、3 層目である酸化珪素膜 453 を 600 nm と順に成膜し、積層する。層間絶縁膜にシリサイド層 440 に達するコンタクトホールを形成する。続いて、コンタクトホールを充填するように、チタン膜 60 nm、窒化チタン膜 40 nm、アルミニウム膜 500 nm、チタン膜 60 nm、窒化チタン膜 40 nm を順に積層した後エッチングして、ソース電極及びドレイン電極となる配線 454 を形成する（図 6（f））。

【0083】

以上の工程によって、LDD 構造の N チャネル型薄膜トランジスタ 460、P チャネル

10

20

30

40

50

型薄膜トランジスタ461が形成される。本構成により、本実施の形態を用いて作製した薄膜トランジスタは、実質的なチャンネル長の長さを短くすることができるため、ゲート電極の微細化及びゲート容量を減少させることができる。これによって、半導体装置の高速動作及び高性能化が実現できる。また、作製工程を簡略化することができる。

#### 【0084】

なお、本実施の形態では、N型不純物元素をPチャンネル型薄膜トランジスタの半導体膜にもドーピングをする、いわゆるカウンタードープを行ったが、この方法に限定されない。例えば、リンをドーピングするときにPチャンネル型薄膜トランジスタをレジストマスク等で覆うなどして、リンが半導体膜103bにドーピングされないようにしてもよい。

#### 【0085】

##### (実施の形態4)

上記実施の形態では、薄膜トランジスタの酸化された表面を有するゲート電極を形成する例を示した。本実施の形態では、このように、ゲート電極表面に酸化膜を成膜することについて説明する。

#### 【0086】

複数のチャンバーを備えた装置の一例を図7に示す。なお、図7は、本実施の形態で示す装置の一構成例を上面からみた図である。

#### 【0087】

図7に示す装置は、第1のチャンバー1111、第2のチャンバー1112、第3のチャンバー1113、ロードロック室1110、1115、共通室1120を有しており、それぞれのチャンバーは気密性を有している。各チャンバーには、真空排気ポンプ、不活性ガスの導入系が備えられている。

#### 【0088】

ロードロック室1110、1115は、試料(処理基板)をシステムに搬入するための部屋である。また、第1～第3のチャンバー1111～1113は、基板100に対してエッチングやプラズマ処理等を行うための部屋である。共通室1120は、それぞれのロードロック室1110、1115および第1～第3のチャンバーに対して共通に配置された試料の共通室1120である。また、共通室1120とロードロック室1110、1115、第1～第3のチャンバー1111～1113との間にはゲート弁1122～1126が設けられている。なお、共通室1120には、ロボットアーム1121が設けてあり、ロボットアーム1121によって、処理基板が各部屋へ運ばれる。

#### 【0089】

以下に、具体例として、基板100に対して、第1のチャンバー1111において導電膜105を成膜し、第2のチャンバー1112においてレジスト106を除去し、第3のチャンバー1113においてゲート電極107表面を酸化することによって、酸化表面を有するゲート電極108を形成する例を示す。

#### 【0090】

まず、基板100は多数枚が収納されたカセット1128ごとロードロック室1110に搬入される。カセット1128の搬入後、ロードロック室1110の搬入扉を閉鎖する。この状態において、ゲート弁1122を開けてカセット1128から処理基板を1枚取り出し、ロボットアーム1121によって共通室1120に配置させる。この際、共通室1120において基板100の位置合わせが行われる。

#### 【0091】

次に、ゲート弁1122を閉鎖し、ついでゲート弁1124を開ける。そして、第1のチャンバー1111へ基板100を移送する。第1のチャンバー1111内で、エッチング処理を行うことによって、基板100上の導電膜からゲート電極107を形成する。

#### 【0092】

次に、基板100はロボットアーム1121によって共通室1120に引き出され、第2のチャンバー1112に移送される。第2のチャンバー1112内では、レジスト106に対してプラズマ処理を行うことによって、レジスト106を除去する。

## 【 0 0 9 3 】

次に、基板 1 0 0 はロボットアーム 1 1 2 1 によって共通室 1 1 2 0 に引き出され、第 3 のチャンバー 1 1 1 3 に移送される。第 3 のチャンバー 1 1 1 3 内では、実施の形態 1 と同様に高密度プラズマを用いてゲート電極 1 0 7 表面を酸化し、表面に酸化膜を有するゲート電極 1 0 8 を形成する。

## 【 0 0 9 4 】

以上のように、酸化膜を成膜した後、基板 1 0 0 はロボットアーム 1 1 2 1 によってロードロック室 1 1 1 5 に移送されカセット 1 1 2 9 に収納される。

## 【 0 0 9 5 】

なお、図 7 に示したのはあくまで一例であり、例えば、チャンバーの数を増やしてさらに導電膜や絶縁膜を形成してもよい。つまり、上記実施の形態で示した工程や材料を用いて自由に図 7 に示した装置と組み合わせて行うことができる。また、図 7 において第 1 ~ 第 3 のチャンバー 1 1 1 1 ~ 1 1 1 3 はシングル型のチャンバーを用いた例を示したが、バッチ型のチャンバーを用いて多数枚を一度に処理する構成としてもよい。

10

## 【 0 0 9 6 】

本実施の形態で示した装置を用いることによって、大気に一度も曝されることなく導電膜をエッチングする工程からゲート電極表面を酸化する工程を連続して行うことができる。そのため、汚染物の混入の防止や生産効率の向上を実現することができる。

## 【 0 0 9 7 】

( 実施の形態 5 )

20

本形態では、本発明を用いて I D チップ ( なお、本明細書において半導体装置、無線チップ、 I C タグとも呼ぶ。 ) を作製する方法について説明する。ここでは、実施の形態 3 で作製した薄膜トランジスタを用いて I D チップを作製する。また、本実施の形態において、実施の形態 1 ~ 4 と同じものについては同じ符号を用い、詳細な説明を省略する。

## 【 0 0 9 8 】

まず、図 8 に示す薄膜集積回路 7 0 2 を形成する。なお、複数の N チャネル型薄膜トランジスタ、複数の P チャネル型薄膜トランジスタでなる素子群と、配線等として機能する複数の導電層 7 0 3、7 0 4 を合わせて薄膜集積回路 7 0 2 とよぶ。また、薄膜集積回路 7 0 2 の形成方法としては、実施の形態 3 ( 図 6 ( f ) 参照。 ) で形成した配線 4 5 4 を覆うように、絶縁層 7 0 1 を形成する。絶縁層 7 0 1 は、無機材料又は有機材料により、単層又は積層で形成する。絶縁層 7 0 1 は、薄膜トランジスタによる凸凹を緩和し、平坦化することを目的に形成する薄膜である。そのため、有機材料により形成することが好ましい。

30

## 【 0 0 9 9 】

導電層 7 0 3、7 0 4 の形成方法は、フォトリソグラフィ法により絶縁層 7 0 1 をエッチングして、ソース電極及びドレイン電極として機能する配線 4 5 4 を露出させるコンタクトホールを形成した後、コンタクトホールを充填するように導電層を形成し、当該導電層をパターン加工して、配線等として機能する導電層 7 0 3、7 0 4 を形成する。導電層 7 0 3、7 0 4 は、アルミニウム ( A l )、チタン ( T i )、銀 ( A g )、銅 ( C u ) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。例えば、バリア層とアルミニウム層の積層、バリア層、アルミニウム層、バリア層の積層等の積層構造を採用するとよい。バリア層とは、チタン、チタンの窒化物、モリブデン又はモリブデンの窒化物などに相当する。なお、Nチャネル型薄膜トランジスタ及びPチャネル型薄膜トランジスタは実施の形態 1 で説明した構成であるが、この構成に限定されない。なお導電層 7 0 3、7 0 4 はアンテナとして機能する。

40

## 【 0 1 0 0 】

本形態では薄膜集積回路 7 0 2 において、後の工程で基板 1 0 0 を剥離するため、基板 1 0 0 の一表面に剥離層 7 1 0 を形成しておく ( 図 8 ( a ) )。本形態では、剥離層 7 1 0 を基板 1 0 0 の一表面全面に形成しているが、基板 1 0 0 の一表面に剥離層を形成した後、エッチングして剥離層を選択的に設けてもよい。剥離層を選択的に設けると、後の工

50

程で剥離層をエッチングにより除去するときに、短時間で済むという利点がある。

【0101】

剥離層710は、公知の手段（スパッタリング法やプラズマCVD法等）により、タングステン（W）、モリブデン（Mo）、チタン（Ti）、タンタル（Ta）、ニオブ（Nb）、ニッケル（Ni）、コバルト（Co）、ジルコニウム（Zr）、亜鉛（Zn）、ルテニウム（Ru）、ロジウム（Rh）、鉛（Pb）、オスミウム（Os）、イリジウム（Ir）、珪素（Si）から選択された元素または前記元素を主成分とする合金材料若しくは化合物材料からなる層を、単層又は積層して形成する。珪素を含む層の結晶構造は、非晶質、微結晶、多結晶のいずれの場合でもよい。

【0102】

剥離層710が単層構造の場合、好ましくは、タングステン層、モリブデン層、又はタングステンとモリブデンの混合物を含む層を形成する。又は、タングステンの酸化物若しくは酸化窒化物を含む層、モリブデンの酸化物若しくは酸化窒化物を含む層、又はタングステンとモリブデンの混合物の酸化物若しくは酸化窒化物を含む層を形成する。なお、タングステンとモリブデンの混合物とは、例えば、タングステンとモリブデンの合金に相当する。また、タングステンの酸化物は、酸化タングステンと表記することがある。

【0103】

剥離層710が積層構造の場合、好ましくは、基板100上に1層目としてタングステン層、モリブデン層、又はタングステンとモリブデンの混合物を含む層を形成する。2層目として、タングステン、モリブデンもしくはタングステンとモリブデンの混合物の酸化物、混合物の窒化物、混合物の酸化窒化物又は混合物の窒化酸化物を含む層を形成する。

【0104】

なお、剥離層710として、タングステンを含む層上にタングステンの酸化物を含む層の積層構造を形成する場合、タングステンを含む層を形成し、その上層に酸化珪素を含む層を形成することで、タングステン層と酸化珪素層との界面に、タングステンの酸化物を含む層が形成されることを活用してもよい。これは、2層目としてタングステンの窒化物、酸化窒化物又は窒化酸化物を含む層を形成する場合も同様であり、1層目のタングステンを含む層を形成後、その上にそれぞれ窒化珪素膜、窒素を含む酸化珪素膜、または酸素を含む窒化珪素膜を形成すればよい。

【0105】

また、タングステンの酸化物は、 $WO_x$ で表され、 $x$ は2～3である。 $x$ が2の場合（ $WO_2$ ）、 $x$ が2.5の場合（ $W_2O_5$ ）、 $x$ が2.75の場合（ $W_4O_{11}$ ）、 $x$ が3の場合（ $WO_3$ ）などがある。タングステンの酸化物を形成するにあたり、上記に挙げた $x$ の値に特に制約はなく、そのエッチングレートなどを基に決めるとよい。但し、エッチングレートの最も良いものは、酸素雰囲気下で、スパッタリング法により形成するタングステンの酸化物を含む層（ $WO_x$ 、 $0 < x < 3$ ）である。従って、作製時間の短縮のために、剥離層として、酸素雰囲気下でスパッタリング法によりタングステンの酸化物を含む層を形成するとよい。

【0106】

なお、剥離層710は基板100に接するように形成してもよいし、基板100に接するように下地となる絶縁層を形成し、絶縁層に接するように剥離層710を形成してもよい。

【0107】

なお、ここでは示さないが、薄膜集積回路702を覆うように、公知の手段により、保護層を形成してもよい。保護層は、DLC（ダイヤモンドライクカーボン）などの炭素を含む層、窒化珪素を含む層、窒化酸化珪素を含む層等に相当する。

【0108】

次に、剥離層710が露出するように、フォトリソグラフィ法により下地膜及び層間絶縁膜をエッチングして、開口部705を形成する（図8（B））。

【0109】

次に、薄膜集積回路 702 を覆うように絶縁層 707 を形成する（図 8（C））。絶縁層 707 は、有機材料により形成し、好ましくはエポキシ樹脂により形成する。絶縁層 707 は、薄膜集積回路 702 が飛散しないように形成するものである。つまり、薄膜集積回路 702 は小さく薄く軽いのに加え、剥離層を除去した後は、基板に密着していないために飛散しやすい。しかしながら、薄膜集積回路 702 の周囲に絶縁層 707 を形成することで、薄膜集積回路 702 に重みが付き、基板 100 からの飛散を防止することができる。また、薄膜集積回路 702 単体では薄くて軽いのが、絶縁層 707 を形成することで、巻かれた形状になることがなく、ある程度の強度を確保することができる。なお、図示する構成では、薄膜集積回路 702 の上面と側面に絶縁層 707 を形成しているが、本発明はこの構成に制約されず、薄膜集積回路 702 の上面のみに絶縁層 707 を形成してもよい。また、上記の記載によると、下地膜及び層間絶縁膜をエッチングして、開口部 705 を形成した後、絶縁層 707 を形成する工程を行っているが、本発明はこの順番に制約されない。絶縁層 701 上に絶縁層 707 を形成する工程の後に、複数の絶縁層をエッチングして、開口部を形成する工程を行ってもよい。この順番の場合だと、薄膜集積回路 702 の上面のみに絶縁層 707 が形成される。

#### 【0110】

次に、開口部 705 にエッチング剤を導入して、剥離層 710 を除去する（図 8（D））。エッチング剤は、フッ化ハロゲン又はハロゲン化合物を含む気体又は液体を使用する。例えば、フッ化ハロゲンを含む気体として三フッ化塩素を使用する。そうすると、薄膜集積回路 702 は、基板 100 から剥離された状態となる。

#### 【0111】

次に、薄膜集積回路 702 の一方の面を、第 1 の基体 801 に接着させる（図 9（a））。もしくは剥離層 710 を除去する前に薄膜集積回路 702 の一方の面を第 1 の基体 801 に接着させておいてもよい。そして、薄膜集積回路 702 が基板 100 から剥離した後、薄膜集積回路 702 の他方の面を第 2 の基体 802 に接着させる。なお、薄膜集積回路 702 の第 1 の基体 801 及び第 2 の基体 802 への接着は、接着材等の接着機能を有する材料を介して行ってもよい。または、磁石や真空吸盤器のような装置を用いて行ってもよい。

#### 【0112】

次に、第 1 の基体 801 と第 2 の基体 802 を互いに貼り合わせて、薄膜集積回路 702 を、第 1 の基体 801 と第 2 の基体 802 により封止する（図 9（b））。以上により、薄膜集積回路 702 が第 1 の基体 801 と第 2 の基体 802 により封止された ID チップが完成する。

#### 【0113】

第 1 の基体 801 と第 2 の基体 802 としては樹脂材料からなるフィルムを用いる。特に第 1 の基体 801 または第 2 の基体 802 として、熱圧着したときに溶融する層（熱可撓性樹脂とも言う）を備えたフィルムであるとよい。そうすれば、第 1 の基体 801 または第 2 の基体 802 のいずれか一方を加熱処理によって溶かし、加熱により、他方の第 1 の基体 801 または第 2 の基体 802 と接着し、薄膜集積回路を封止できる。また、接着材等の接着機能を有する材料を介して行ってもよい。または、磁石や真空吸盤器のような装置を用いて行ってもよい。また、表面の接着層を加熱処理によって溶かすことにより行ってもよい。

#### 【0114】

第 1 または第 2 の基体に用いる熱可撓性樹脂は、軟化点の低いものが好ましい。例えば、ポリエチレン、ポリプロピレン、ポリメチルペンテン等のポリオレフィン系樹脂、塩化ビニル、酢酸ビニル、塩化ビニル - 酢酸ビニル共重合体、エチレン - 酢酸ビニル共重合体、塩化ビニリデン、ポリビニルブチラール、ポリビニルアルコール等のビニル系共重合体、アクリル系樹脂、ポリエステル系樹脂、ウレタン系樹脂、セルロース、セルロースアセテート、セルロースアセテートブチレート、セルロースアセテートプロピオネート、エチルセルロース等のセルロース系樹脂、ポリスチレン、アクリロニトリル - スチレン共重合



体等のスチレン系樹脂等が挙げられる。第1の基体801または第2の基体802は、熱可撓性樹脂を単層または複数層備えたフィルムを用いる。なお、熱可撓性樹脂を複数層備えるフィルムとしては、例えば、第1の熱可撓性樹脂からなる基体上に、第1の熱可撓性樹脂よりも軟化点が低い第2の熱可撓性樹脂からなる接着層を有する構造などが挙げられる。なお、2層以上からなる積層構造でもよい。また、生分解性の熱可撓性樹脂を用いてもよい。

#### 【0115】

本形態の図8及び図9では、一つのIDチップを作製する方法を述べたが、実際は、一枚の基板から複数のIDチップが作製される。

#### 【0116】

以上の工程により可撓性を有するIDチップが完成する。本形態で作製されたIDチップは非常に微細であり且つ可撓性があるため、IDチップが設置される場所に制限がなく、様々なものに利用できる。また高性能なIDチップを実現できる。

#### 【0117】

続いて、上記とは異なる方法を用いてIDチップを作製する方法を示す。

#### 【0118】

まず、上述した方法と同様な方法を用いて、薄膜集積回路702を形成する。なお、複数のNチャネル型薄膜トランジスタ、複数のPチャネル型薄膜トランジスタでなる素子群と、配線等として機能する複数の導電層703、704を合わせて薄膜集積回路702とよぶ。

#### 【0119】

本形態では薄膜集積回路702において、後の工程で基板100を剥離するため、基板100の一表面に剥離層710を形成しておく(図19(a))。なお、剥離層710は基板100に接するように形成してもよいし、基板100に接するように下地となる絶縁層を形成し、絶縁層に接するように剥離層710を形成してもよい。

#### 【0120】

次に、図19(b)で示すように薄膜集積回路702を覆うように、絶縁層720を形成する。絶縁層720はスクリーン印刷法等で形成する。絶縁層720は後の剥離工程で保護層として機能するように設けるため、平坦化層であることが好ましい。これらの工程により、薄膜集積回路を含む層810が形成される。

#### 【0121】

次に、少なくとも、剥離層710の一部が露出するように、開口部706を形成する(図19(c))。この工程は、処理時間が短い点から、レーザービームの照射により行うとよい。レーザービームは、絶縁層720の表面から照射される。開口部706は、少なくとも、剥離層710の一部が露出するように形成される。なお、レーザービームは、基板100まで達してもよい。

#### 【0122】

また、レーザーは、紫外領域である150~380nmの波長の固体レーザーを用いるとよい。好ましくは、150~380nmの波長のNd:YVO<sub>4</sub>レーザーを用いるとよい。その理由は、150~380nmの波長のNd:YVO<sub>4</sub>レーザーは、他の高波長側のレーザーに比べ、基板に光が吸収されやすく、アブレーション加工が可能であるからである。また、加工部の周辺に影響を与えず、加工性がよいからである。

#### 【0123】

次に、絶縁層701上に、基板723を設ける(図19(d)参照。)。基板723は、絶縁層722と接着層721が積層された基板であり、熱剥離型の基板である。接着層721は、加熱処理により接着力が低下する層であり、例えば、加熱時に軟化する材料からなる熱可撓性接着剤を有する層、加熱により膨張するマイクロカプセルや発泡剤を混入した材料からなる層、熱硬化性樹脂に熱溶解性や熱分解性を付与した材料からなる層、水が侵入することにより界面強度が劣化する層や水により膨張する吸水性樹脂を用いた層である。

## 【 0 1 2 4 】

次に、基板 7 2 3 を用いて、基板 1 0 0 から、薄膜集積回路を含む層 8 1 0 を分離する（図 2 0 ( a ) 参照。）。基板 1 0 0 から、薄膜集積回路を含む層 8 1 0 の分離は、剥離層 7 1 0 の内部又は剥離層 7 1 0 と絶縁層 8 0 3 を境界として行われる。図示する構成では、分離は剥離層 7 1 0 と絶縁層 8 0 3 の間を境界として行われた場合を示す。このように、基板 7 2 3 を用いることにより、分離の工程を容易にかつ短時間で行うことができる。

## 【 0 1 2 5 】

次に、加熱処理を行って、基板 7 2 3 から薄膜集積回路を含む層 8 1 0 を分離する（図 2 0 ( b ) 参照。）。なお、この加熱処理の際、ここでは図示しないが、絶縁層 8 0 3 の表面に絶縁層と接着層が積層された基板を設けても良い。このとき用いる接着層は、加熱処理により接着力が増す層であり、熱可撓性の樹脂を含む層に相当する。熱可撓性の樹脂とは、例えば、ポリエチレン、ポリスチレン、ポリプロピレン、ポリ塩化ビニル等に相当する。

## 【 0 1 2 6 】

上述したように、基板 7 2 3 は、熱剥離型の基板であるため、加熱処理により、基板 7 2 3 と絶縁層 7 2 0 の間の接着力が低下し、基板 7 2 3 から薄膜集積回路を含む層 8 1 0 が分離される。

## 【 0 1 2 7 】

次に、薄膜集積回路を含む層 8 1 0 の一方の面を、第 1 の基体 8 0 1 に接着させる。もしくは剥離層 7 1 0 を除去する前に薄膜集積回路を含む層 8 1 0 の一方の面を第 1 の基体 8 0 1 に接着させておいてもよい。そして、薄膜集積回路を含む層 8 1 0 が基板 1 0 0 から剥離した後、薄膜集積回路を含む層 8 1 0 の他方の面を第 2 の基体 8 0 2 に接着させる。なお、薄膜集積回路を含む層 8 1 0 の第 1 の基体 8 0 1 及び第 2 の基体 8 0 2 への接着は、接着材等の接着機能を有する材料を介して行ってもよい。または、磁石や真空吸盤器のような装置を用いて行ってもよい。また、表面の接着層を加熱処理によって溶かすことにより行ってもよい。

## 【 0 1 2 8 】

次に、第 1 の基体 8 0 1 と第 2 の基体 8 0 2 を互いに貼り合わせて、薄膜集積回路を含む層 8 1 0 を、第 1 の基体 8 0 1 と第 2 の基体 8 0 2 により封止する（図 2 0 ( c ) ）。以上により、薄膜集積回路を含む層 8 1 0 が第 1 の基体 8 0 1 と第 2 の基体 8 0 2 により封止された I D チップが完成する。なお、第 1 の基体 8 0 1 と第 2 の基体 8 0 2 を用いることによって、強度を向上させることができる。

## 【 0 1 2 9 】

なお、剥離方法としてタングステンを含む剥離層をエッチングする方法と、レーザー光を剥離層に吸収させて剥離する方法を示したが、この剥離方法以外の方法を採用してもよい。本形態にはその他の公知の剥離方法を適用できる。例えば剥離層に物理的衝撃を与えて基板 1 0 0 を剥離する方法がある。また、剥離層を設けず基板 1 0 0 自体を削って基板 1 0 0 を除去する方法がある。

## 【 0 1 3 0 】

本発明により作製される I D チップの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図 1 0 ( a ) 参照）、包装用容器類（包装紙やボトル等、図 1 0 ( b ) 参照）、記録媒体（DVD ソフトやビデオテープ等、図 1 0 ( c ) 参照）、乗物類（自転車等、図 1 0 ( d ) 参照）、身の回り品（靴や眼鏡等、図 1 0 ( e ) 参照）、食品類、衣類、生活用品類、電子機器等に設けて使用することができる。電子機器とは、液晶表示装置、E L 表示装置、テレビジョン装置（単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ）及び携帯電話等を指す。図中の 2 0 は本形態で作製された I D チップである。

## 【 0 1 3 1 】

なお、I D チップは、物品の表面に貼ったり、物品に埋め込んだりして、物品に固定さ

10

20

30

40

50

れる。例えば、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりするとよい。紙幣、硬貨、有価証券類、無記名債券類、証書類等にＩＤチップを設けることにより、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等にＩＤチップ（無線チップ）を設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。乗物類にＩＤチップを設けることにより、偽造や盗難を防止することができる。

#### 【０１３２】

（実施の形態６）

本形態では、本発明を用いてＣＰＵ（中央演算装置：Central Processing Unit）を作製した例を示す。ここでは実施の形態５で作製した薄膜トランジスタを用いてＣＰＵを作製する。なお、また、本形態において、実施の形態１～５と同じものについては同じ符号を用い、詳細な説明を省略する。

10

#### 【０１３３】

まず、実施の形態５で形成した図１９（ａ）に示すような構造を実施の形態５で示した方法と同様に形成する。しかし、この構成に限定されず、本発明のゲート電極を用いて、図１９（ａ）以外の構成の薄膜集積回路を形成することができ、ＣＰＵを構成する各回路の特性に応じた薄膜集積回路をそれぞれ形成することができる。

#### 【０１３４】

完成したＣＰＵに可撓性を持たせたり、さらに軽量にしたい場合は、基板１００を剥離して、新たに軽量で可撓性を有する基板に貼り合わせると良い。

20

#### 【０１３５】

その方法として一つには基板１００自体を物理的に削って除去する方法、または実施の形態５で示したように基板１００と半導体膜の間に剥離層７１０をあらかじめ設けておき、剥離層を除去または軟化させることで、基板１００を剥離する方法がある。他にも剥離層に物理的衝撃を与えて基板１００を剥離したり、レーザー光を剥離層に吸収させることで基板１００を剥離したりして、基板１００を剥離する方法がある。このような方法で基板１００を剥離した後、軽量で可撓性のある基板（図示せず）を新たに薄膜集積回路７０２に貼り合わせる。これらの方法でも、可撓性を有し、軽量なＣＰＵを形成できる。

#### 【０１３６】

以上のように、本発明の薄膜トランジスタを用いて、ＣＰＵ等の半導体装置を作製することができる。本発明で形成する薄膜トランジスタにより形成されるＣＰＵは軽量で且つコンパクトであるため、携帯や実装するときの負担を軽減することができる。また、高速での演算が可能なＣＰＵを作製することができる。

30

#### 【０１３７】

更に本実施例のＣＰＵの具体的構成についてブロック図を用いて説明する。

#### 【０１３８】

図１１に示すＣＰＵは、基板３６００上に、演算回路（ＡＬＵ：Arithmetic logic unit）３６０１、演算回路用制御回路部（ＡＬＵ Controller）３６０２、命令解析部（Instruction Decoder）３６０３、割り込み制御部（Interrupt Controller）３６０４、タイミング制御部（Timing Controller）３６０５、レジスタ（Register）３６０６、レジスタ制御部（Register Controller）３６０７、バスインターフェース（Bus I/F）３６０８、書き換え可能なＲＯＭ３６０９、ＲＯＭインターフェース（ＲＯＭ I/F）３６２０とを主に有している。またＲＯＭ３６０９及びＲＯＭインターフェース３６２０は、別チップに設けても良い。これらＣＰＵを構成する様々な回路は、薄膜集積回路７０２が複数集まって構成される。

40

#### 【０１３９】

勿論、図１１に示すＣＰＵは、その構成を簡略化して示した一例にすぎず、実際のＣＰＵはその用途によって多種多様な構成を有している。

#### 【０１４０】

50

バスインターフェース 3608 を介して CPU に入力された命令は、命令解析部 3603 に入力され、デコードされた後、演算回路用制御回路部 3602、割り込み制御部 3604、レジスタ制御部 3607、タイミング制御部 3605 に入力される。

#### 【0141】

演算回路用制御回路部 3602、割り込み制御部 3604、レジスタ制御部 3607、タイミング制御部 3605 は、デコードされた命令に基づき、各種制御を行う。具体的に演算回路用制御回路部 3602 は、演算回路 3601 の駆動を制御するための信号を生成する。また、割り込み制御部 3604 は、CPU のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタ制御部 3607 は、レジスタ 3606 のアドレスを生成し、CPU の状態に応じてレジスタ 3606 の読み出しや書き込みを行う。

10

#### 【0142】

またタイミング制御部 3605 は、演算回路 3601、演算回路用制御回路部 3602、命令解析部 3603、割り込み制御部 3604、レジスタ制御部 3607 の駆動のタイミングを制御する信号を生成する。例えばタイミング制御部 3605 は、基準クロック信号 CLK1 (3621) を元に、内部クロック信号 CLK2 (3622) を生成する内部クロック生成部を備えており、クロック信号 CLK2 を上記各種回路に供給する。

#### 【0143】

##### (実施の形態 7)

本実施の形態では、実施形態 1 ~ 3 で説明した様々な構成の薄膜トランジスタを用いて表示装置を作製する方法について図 12 を用いて説明する。本実施の形態で説明する表示装置の作製方法は画素部とその周辺に設けられる駆動回路部の薄膜トランジスタを同時に作製する方法である。なお、実施の形態 1 ~ 6 と同一のものについては同じ符号を付し、詳細な説明を省略する。

20

#### 【0144】

まず、実施の形態 3 の方法で本発明の薄膜トランジスタを複数形成する。続いて、保護膜として、50 ~ 500 nm (代表的には 200 ~ 300 nm) の厚さでパッシベーション膜 1001 を形成する。これは酸化珪素膜、窒化珪素膜、窒化酸化珪素膜又はこれらの積層で代用してもよい。パッシベーション膜 1001 を設けることにより、酸素や空気中の水分をはじめ、各種イオン性の不純物の侵入を阻止するブロッキング作用を得ることができる。

30

#### 【0145】

次にパッシベーション膜 1001 上に膜厚が 1.6  $\mu\text{m}$  の層間絶縁膜 1002 を形成する。ここでは、SOG (Spin On Glass) 法またはスピンコート法によって塗布されたポリイミド、ポリアミド、BCB (ベンゾシクロブテン)、アクリル、シロキサンなどの有機樹脂膜、無機層間絶縁膜 (窒化珪素、酸化珪素などの珪素を含む絶縁膜)、low-k (低誘電率) 材料などを用いることができる。層間絶縁膜 1002 は、ガラス基板上に形成された薄膜トランジスタによるリッジを緩和し、平坦化する意味合いが強いため、平坦性に優れた膜が好ましい。その後さらに層間絶縁膜上にパッシベーション膜を形成してもよい。なおシロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

40

#### 【0146】

次に、パッシベーション膜 1001 及び層間絶縁膜 1002 に対してコンタクトホールを形成し、ソース及びドレイン配線 1003a ~ 1003i を形成する。なお、本実施の形態ではソース及びドレイン配線を、チタン膜、第 1 アルミニウム膜、炭素と金属元素を含む第 2 アルミニウム膜の 3 層構造、もしくはモリブデン膜、第 1 アルミニウム膜、炭素と金属元素を含む第 2 アルミニウム膜の 3 層構造とする。第 1 のアルミニウム膜は他の金属元素が混合されたアルミニウム膜でもよい。第 2 のアルミニウム膜が含む金属元素とし

50

ては、チタン、モリブデン、ニッケルがある。なお、ソース及びドレイン配線に上記以外の金属を用いてもよいことは勿論である。

【0147】

続いてドレイン配線1003hに接するように画素電極1004を形成する(図12)。画素電極1004は透明導電膜をエッチングして形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズ、又は酸化インジウムを用いることができる。

【0148】

画素電極1004を透明導電膜とするとドレイン配線がアルミニウム膜からなる場合、その界面においてアルミ酸化物が形成される。酸化物は抵抗が高いため、画素電極とドレイン配線との間で大きな抵抗が生じてしまう。しかし、本形態では第1のアルミニウム膜と画素電極は第2のアルミニウム膜を介しているため酸化物は形成されない。なぜなら、第2のアルミニウム膜に含まれる金属元素が酸化物の形成を抑えるからである。これにより、ドレイン配線と画素電極界面における抵抗を低く保つことができる。

【0149】

画素電極を形成後、樹脂材料でなる隔壁1005を形成する。隔壁1005は1~2μm厚のアクリル膜又はポリイミド膜をエッチングして画素電極1004の一部を露出させるように形成する。なお、隔壁1005の下層に遮蔽膜(図示しない)となる黒色からなる膜を適宜形成してもよい。

【0150】

次に、EL層1006及び電極(MgAg電極)1007を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層1006の膜厚は100nm~1μm、電極1007の厚さは180~300nm(典型的には200~250nm)とすればよい。EL層は他に、インクジェット、スクリーン印刷法などによって成膜されてもよい。

【0151】

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次EL層及び陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層及び陰極を形成するのが好ましい。シングレット化合物に比べるとトリプレット化合物は輝度が明るいため、暗く見える赤色に対応する画素をトリプレット化合物で形成し、その他の画素をシングレット化合物で形成するとよい。なお、本発明はこれに限定されるものではなく、そのほかの画素をトリプレット化合物で形成してもよい。

【0152】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層及び電極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層及び電極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層及び電極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にEL層及び電極を形成するまで真空を破らずに処理することが好ましい。

【0153】

なお、EL層1006としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造をEL層とすればよい。モリブデン酸化物及び-NPDを混合した膜をEL層としてもよい。有機材料と無機材料とを組み合わせたハイブリット層をEL層としてもよい。有機材料をEL層に用いる場合は、低分子材料、中分子材料、高分子材料のそれぞれを使うことができる。また、本実施の形態ではEL素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料であってもよい。

【0154】

電極 1007 まで形成された時点で発光素子 1008 が完成する。その後、発光素子 1008 を完全に覆うようにして保護膜 1009 を設ける。保護膜 1009 としては、炭素膜、窒化珪素膜、もしくは窒化酸化珪素膜を含む絶縁膜を用いることができ、これらの絶縁膜を単層又は積層させて用いることができる。

【0155】

さらに保護膜 1009 を覆って封止材 1010 を設け、カバー材 1011 を貼り合わせる。封止材 1010 としては紫外線硬化樹脂であり、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を用いることが好ましい。また、本実施の形態においてカバー材 1011 にはガラス基板、石英基板やプラスチック基板を用いることができる。図示はしないが、封止材 1010 とカバー材 1011 との間に偏光板を設けてもよい。偏光板を設けることでコントラストの高い表示を提供できる。

10

【0156】

こうして図 12 に示すような P チャネル型薄膜トランジスタ 1012、N チャネル型薄膜トランジスタ 1013、サンプリング回路用薄膜トランジスタ 1014、スイッチング用薄膜トランジスタ 1015 及び電流制御用薄膜トランジスタ 1016 を有する構造のアクティブマトリクス型 EL 表示装置が完成する。本形態では、P チャネル型薄膜トランジスタ 1012、電流制御用薄膜トランジスタ 1016、N チャネル型薄膜トランジスタ 1013、スイッチング用薄膜トランジスタ 1015、サンプリング回路用薄膜トランジスタ 1014 を同一基板上に同時に形成できる。

【0157】

20

本形態では、画素電極を透明導電膜とし、もう一方の電極を MgAg 電極として、下方に射出する EL 表示装置について説明した。しかしこの構造に限定されず、画素電極を遮光性のある材料で形成し、もう一方の電極を透明導電膜で形成し、上方に射出する EL 表示装置としてもよい。また両方の電極を透明導電膜で形成し両面に射出する EL 表示装置としてもよい。

【0158】

図 13 に表示装置の模式図を示す。基板 1300 上にゲート信号線駆動回路 1301、ソース信号線駆動回路 1302、複数の画素 1303 を有する画素部 1304 が形成されている。ゲート信号線駆動回路 1301 及びソース信号線駆動回路 1302 は FPC (フレキシブルプリントサーキット) 1305 と接続されている。図 12 の P チャネル型薄膜トランジスタ 1012、N チャネル型薄膜トランジスタ 1013 はソース信号線駆動回路や、ゲート信号線駆動回路に用いることができる。

30

【0159】

ソース信号線駆動回路 1302 はシフトレジスタ回路、レベルシフト回路、サンプリング回路を有している。クロック信号 (CLK)、スタートパルス信号 (SP) がシフトレジスタ回路に入力され、シフトレジスタ回路からビデオ信号をサンプリングするためのサンプリング信号が出力される。そしてシフトレジスタから出力されたサンプリング信号はレベルシフト回路に入力され、信号の電位の振幅を大きくする。そして電位幅が増大されたサンプリング信号はサンプリング回路に入力される。サンプリング回路は外部から入力されるビデオ信号をサンプリング信号によってサンプリングし画素部に入力する。

40

【0160】

このように、本形態で作製された半導体装置は、高速動作及び高性能化が実現できる。また、作製工程を簡略化することができる。

【0161】

また、このような構造の表示装置に限らず様々な表示装置の作製においても本発明は適用することができる。

【0162】

(実施の形態 8)

本形態では、本発明の液晶表示装置の例について説明する。実施の形態 1 ~ 7 と同じものについては同じ符号を用い、詳細な説明を省略する。

50

## 【0163】

実施の形態3と同様の工程により、絶縁基板100上に、Nチャネル型薄膜トランジスタ1201、1203、LDD構造でないPチャネル型薄膜トランジスタ1202を形成する(図14(a))。ただし、Nチャネル型薄膜トランジスタ及びPチャネル型薄膜トランジスタそれぞれの構成はこの構成に限定されず、実施の形態1~3で示したいずれの構成も適用できる。なお、LDD構造でないPチャネル型トランジスタは、サイドウォールを形成した後は不純物イオンをドーピングせず、サイドウォールを形成する前にのみ不純物イオンをドーピングすることにより、形成することができる。

## 【0164】

次に層間絶縁膜1200及び配線1210上にさらに層間絶縁膜1204を形成する。次いで、フォトリソマスクを用いてレジストマスクを形成し、層間絶縁膜1204の一部をドライエッチングにより除去して開孔(コンタクトホールを形成)する。このコンタクトホール形成においては、エッチングガスとして四フッ化炭素、酸素、ヘリウムをそれぞれ50sccm、50sccm、30sccmの流量比で用いた。なお、コンタクトホールの底部はNチャネル型薄膜トランジスタ1203に接続する配線1210に達している。

## 【0165】

次いで、レジストマスクを除去した後、全面に導電膜を成膜し、エッチングを行い、Nチャネル型薄膜トランジスタ1203に電気的に接続される画素電極1205を形成する(図14(b))。本形態では、反射型の液晶表示パネルを作製するので、画素電極1805をスパッタ法によりAg(銀)、Au(金)、Cu(銅)、W(タングステン)、Al(アルミニウム)等の光反射性を有する金属材料を用いて形成すればよい。

## 【0166】

また、透過型の液晶表示パネルを作製する場合は、インジウム錫酸化物、酸化珪素を含むインジウム錫酸化物、酸化亜鉛、酸化スズなどの透明導電膜を用い、画素電極1205を形成する。

## 【0167】

以上の工程により、絶縁基板100上に画素部の薄膜トランジスタであるNチャネル型薄膜トランジスタ1203、Nチャネル型薄膜トランジスタ1201及びPチャネル型薄膜トランジスタ1202からなるCMOS回路1206および画素電極1205が形成された液晶表示装置の薄膜トランジスタ基板が完成する。

## 【0168】

次いで、図15に示すように、画素電極1205を覆う配向膜1207aを形成する。なお、配向膜1207aは、液滴吐出法やスクリーン印刷法やオフセット印刷法を用いればよい。その後、配向膜1207aの表面にラビング処理を行う。

## 【0169】

そして、対向基板1208には、着色層1209a、遮光層(ブラックマトリクス)1209b、及びオーバーコート層1213からなるカラーフィルタを設け、さらに透明電極もしくは反射電極からなる対向電極1211と、その上に配向膜1207bを形成する。そして、図示しないがシール材を液滴吐出法により画素薄膜トランジスタであるNチャネル型薄膜トランジスタ1203を含む画素部と重なる領域を囲むように形成する。

## 【0170】

次いで、気泡が入らないように減圧下で液晶組成物1212の滴下を行い、両方の基板100及び1208を貼り合わせる。液晶組成物1212の配向モードとしては、液晶分子の配列が光の入射から射出に向かって90°ツイスト配向したTNモードを用いる。そして基板のラビング方向が直交するように貼り合わせる。

## 【0171】

なお、一対の基板間隔は、球状のスペーサを散布したり、樹脂からなる柱状のスペーサを形成したり、シール材にフィラーを含ませることによって維持すればよい。上記柱状のスペーサは、アクリル、ポリイミド、ポリイミドアミド、エポキシの少なくとも1つを主成分とする有機樹脂材料、もしくは酸化珪素、窒化珪素、窒素を含む酸化珪素のいずれか

10

20

30

40

50

一種の材料、或いはこれらの積層膜からなる無機材料であることを特徴としている。

【0172】

以上示したように、本形態では、寿命が長く、コンパクトな液晶表示装置を形成することができる。本形態で作製される液晶表示装置は各種電子機器の表示部として用いることができる。

【0173】

なお、本形態では、シングルゲート構造の薄膜トランジスタで説明したが、特にシングルゲート構造に限定されず、複数のチャネル形成領域を有するマルチゲート型薄膜トランジスタ、例えばダブルゲート型薄膜トランジスタとしてもよい。

【0174】

10

(実施の形態9)

本発明により、様々な電子機器を作製することができる。その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、カーステレオ、パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それらの例を図16に示す。

【0175】

図16(a)は、パーソナルコンピュータであり、本体2101、筐体2102、表示部2103、キーボード2104、外部接続ポート2105、ポインティングマウス2106等を含む。本発明によって、表示部2103を形成することが可能となる。本発明を用いることによって、高速動作及び高性能化することができる。

20

【0176】

図16(b)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2201、筐体2202、表示部A2203、表示部B2204、記録媒体(DVD等)読み込み部2205、操作キー2206、スピーカー部2207等を含む。表示部A2203は主として画像情報を表示し、表示部B2204は主として文字情報を表示するが、本発明によって、これら表示部A、B2203、2204を形成することが可能となる。本発明を用いると、小型化し、配線等が精密化しても、高速動作及び高性能化することが

30

【0177】

図16(c)は携帯電話であり、本体2301、音声出力部2302、音声入力部2303、表示部2304、操作スイッチ2305、アンテナ2306等を含む。本発明により作製される表示装置を表示部2304に適用することで、小型化し、配線等が精密化する携帯電話であっても、高速動作及び高性能化することができる。

【0178】

図16(d)はビデオカメラであり、本体2401、表示部2402、筐体2403、外部接続ポート2404、リモコン受信部2405、受像部2406、バッテリー2407、音声入力部2408、接眼部2409、操作キー2410等を含む。本発明によって、表示部2402を形成することができる。本発明により作製される表示装置を表示部2402に適用することで、小型化し、配線等が精密化するビデオカメラであっても、信頼性の高い高画質な画像を表示できる。本実施の形態は、上記の実施の形態と自由に組み合わせることができる。

40

【0179】

特にこれらの電子機器の表示部に用いられる表示装置には画素の駆動のために薄膜トランジスタを有しており、用いられている回路により所望の薄膜トランジスタの構造が異なる。本発明を適用することにより各種回路に適した構造の薄膜トランジスタを微細化することができ、高品質の電子機器を生産することができる。

【0180】

50



以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器を作製することが可能である。

【図面の簡単な説明】

【 0 1 8 1 】

【図 1】本発明の薄膜トランジスタを形成する工程を示した断面図。

【図 2】本発明の薄膜トランジスタを形成する工程を示した断面図。

【図 3】本発明の薄膜トランジスタを形成する工程を示した断面図。

【図 4】本発明に用いたプラズマ装置断面図。

【図 5】本発明の半導体装置を形成する工程を示した断面図。

【図 6】本発明の半導体装置を形成する工程を示した断面図。

10

【図 7】本発明に用いたプラズマ装置上面図。

【図 8】本発明を用いた半導体装置の作製工程を示した断面図。

【図 9】本発明を用いた半導体装置の作製工程を示した断面図。

【図 10】本発明を用いた半導体装置。

【図 11】本発明の半導体装置を用いた CPU のブロック図。

【図 12】本発明を用いた表示装置の作製工程を示した断面図。

【図 13】本発明を用いた表示装置の上面図。

【図 14】本発明を用いた液晶表示装置を作製工程を示した断面図。

【図 15】本発明を用いた液晶表示装置の断面図。

【図 16】本発明の半導体装置を用いた電子機器。

20

【図 17】本発明の薄膜トランジスタを形成する工程を示した断面図。

【図 18】本発明の薄膜トランジスタを形成する工程を示した断面図。

【図 19】本発明を用いた半導体装置の作製工程を示した断面図。

【図 20】本発明を用いた半導体装置の作製工程を示した断面図。

【符号の説明】

【 0 1 8 2 】

6 0 導波管

6 2 アンテナ

6 3 誘電体板

6 4 支持台

30

6 5 ガス導入源

6 6 高密度プラズマ

6 7 排気口

1 0 0 基板

1 0 1 下地膜

1 0 2 半導体膜

1 0 3 半導体膜

1 0 4 ゲート絶縁膜

1 0 5 導電膜

1 0 6 レジスト

40

1 0 7 ゲート電極

1 0 8 ゲート電極

1 1 1 チャネル形成領域

1 7 1 チャネル形成領域

1 7 5 保護膜

2 0 1 サイドウォール

2 0 2 ゲート絶縁膜

2 0 3 金属膜

2 0 6 層間絶縁膜

2 0 7 配線

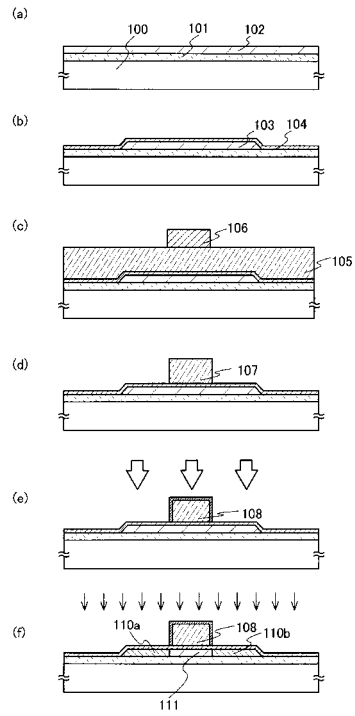
50

|         |                   |    |
|---------|-------------------|----|
| 4 2 0   | レジストマスク           |    |
| 4 2 1   | レジストマスク           |    |
| 4 4 0   | シリサイド層            |    |
| 4 5 0   | 酸化珪素膜             |    |
| 4 5 1   | 窒化珪素膜             |    |
| 4 5 3   | 酸化珪素膜             |    |
| 4 5 4   | 配線                |    |
| 4 6 0   | Nチャネル型薄膜トランジスタ    |    |
| 4 6 1   | Pチャネル型薄膜トランジスタ    |    |
| 7 0 1   | 絶縁層               | 10 |
| 7 0 2   | 薄膜集積回路            |    |
| 7 0 3   | 導電層               |    |
| 7 0 5   | 開口部               |    |
| 7 0 6   | 開口部               |    |
| 7 0 7   | 絶縁層               |    |
| 7 1 0   | 剥離層               |    |
| 7 2 0   | 絶縁層               |    |
| 7 2 1   | 接着層               |    |
| 7 2 2   | 絶縁層               |    |
| 7 2 3   | 基板                | 20 |
| 8 0 1   | 基体                |    |
| 8 0 2   | 基体                |    |
| 8 0 3   | 絶縁層               |    |
| 8 1 0   | 層                 |    |
| 9 0 4   | 薄膜集積回路            |    |
| 1 0 0 1 | パッシベーション膜         |    |
| 1 0 0 2 | 層間絶縁膜             |    |
| 1 0 0 4 | 画素電極              |    |
| 1 0 0 5 | 隔壁                |    |
| 1 0 0 6 | E L 層             | 30 |
| 1 0 0 7 | 電極                |    |
| 1 0 0 8 | 発光素子              |    |
| 1 0 0 9 | 保護膜               |    |
| 1 0 1 0 | 封止材               |    |
| 1 0 1 1 | カバー材              |    |
| 1 0 1 2 | Pチャネル型薄膜トランジスタ    |    |
| 1 0 1 3 | Nチャネル型薄膜トランジスタ    |    |
| 1 0 1 4 | サンプリング回路用薄膜トランジスタ |    |
| 1 0 1 5 | スイッチング用薄膜トランジスタ   |    |
| 1 0 1 6 | 電流制御用薄膜トランジスタ     | 40 |
| 1 0 3 a | 半導体膜              |    |
| 1 0 3 b | 半導体膜              |    |
| 1 0 7 a | ゲート電極             |    |
| 1 0 8 a | ゲート電極             |    |
| 1 0 8 b | ゲート電極             |    |
| 1 1 0 0 | ロードロック室           |    |
| 1 1 0 a | 低濃度不純物領域          |    |
| 1 1 1 0 | ロードロック室           |    |
| 1 1 1 1 | チャンバー             |    |
| 1 1 1 2 | チャンバー             | 50 |

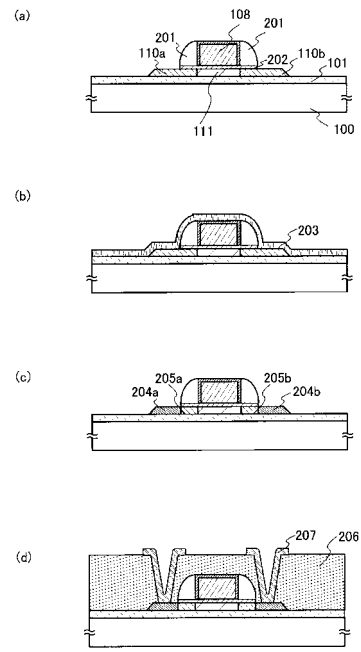
|         |                      |    |
|---------|----------------------|----|
| 1 1 1 3 | チャンバー                |    |
| 1 1 1 5 | ロードロック室              |    |
| 1 1 1 a | チャネル形成領域             |    |
| 1 1 1 b | チャネル形成領域             |    |
| 1 1 2 0 | 共通室                  |    |
| 1 1 2 1 | ロボットアーム              |    |
| 1 1 2 2 | ゲート弁                 |    |
| 1 1 2 4 | ゲート弁                 |    |
| 1 1 2 8 | カセット                 |    |
| 1 1 2 9 | カセット                 | 10 |
| 1 2 0 0 | 層間絶縁膜                |    |
| 1 2 0 1 | Nチャネル型薄膜トランジスタ       |    |
| 1 2 0 2 | Pチャネル型薄膜トランジスタ       |    |
| 1 2 0 3 | Nチャネル型薄膜トランジスタ       |    |
| 1 2 0 4 | 層間絶縁膜                |    |
| 1 2 0 5 | 画素電極                 |    |
| 1 2 0 6 | CMOS回路               |    |
| 1 2 0 8 | 対向基板                 |    |
| 1 2 1 0 | 配線                   |    |
| 1 2 1 1 | 対向電極                 | 20 |
| 1 2 1 2 | 液晶組成物                |    |
| 1 2 1 3 | オーバーコート層             |    |
| 1 3 0 0 | 基板                   |    |
| 1 3 0 1 | ゲート信号線駆動回路           |    |
| 1 3 0 2 | ソース信号線駆動回路           |    |
| 1 3 0 2 | ソース信号線駆動回路           |    |
| 1 3 0 3 | 画素                   |    |
| 1 3 0 4 | 画素部                  |    |
| 1 3 0 5 | FPC(フレキシブルプリントサーキット) |    |
| 1 5 0 1 | ゴミ                   | 30 |
| 1 7 0 a | 不純物領域                |    |
| 1 8 0 3 | Nチャネル型薄膜トランジスタ       |    |
| 1 8 0 5 | 画素電極                 |    |
| 2 0 4 a | シリサイド層               |    |
| 2 0 5 a | 低濃度不純物領域             |    |
| 2 1 0 1 | 本体                   |    |
| 2 1 0 2 | 筐体                   |    |
| 2 1 0 3 | 表示部                  |    |
| 2 1 0 4 | キーボード                |    |
| 2 1 0 5 | 外部接続ポート              | 40 |
| 2 1 0 6 | ポインティングマウス           |    |
| 2 2 0 1 | 本体                   |    |
| 2 2 0 2 | 筐体                   |    |
| 2 2 0 3 | 表示部A                 |    |
| 2 2 0 4 | 表示部B                 |    |
| 2 2 0 6 | 操作キー                 |    |
| 2 2 0 7 | スピーカ部                |    |
| 2 3 0 1 | 本体                   |    |
| 2 3 0 2 | 音声出力部                |    |
| 2 3 0 3 | 音声入力部                | 50 |

|           |                 |    |
|-----------|-----------------|----|
| 2 3 0 4   | 表示部             |    |
| 2 3 0 5   | 操作スイッチ          |    |
| 2 3 0 6   | アンテナ            |    |
| 2 4 0 1   | 本体              |    |
| 2 4 0 2   | 表示部             |    |
| 2 4 0 3   | 筐体              |    |
| 2 4 0 4   | 外部接続ポート         |    |
| 2 4 0 5   | リモコン受信部         |    |
| 2 4 0 6   | 受像部             |    |
| 2 4 0 7   | バッテリー           | 10 |
| 2 4 0 8   | 音声入力部           |    |
| 2 4 0 9   | 接眼部             |    |
| 2 4 1 0   | 操作キー            |    |
| 3 0 1 a   | シリサイド層          |    |
| 3 0 2 a   | 高濃度不純物領域        |    |
| 3 6 0 0   | 基板              |    |
| 3 6 0 1   | 演算回路            |    |
| 3 6 0 2   | 演算回路用制御回路部      |    |
| 3 6 0 3   | 命令解析部           |    |
| 3 6 0 4   | 割り込み制御部         | 20 |
| 3 6 0 5   | タイミング制御部        |    |
| 3 6 0 6   | レジスタ            |    |
| 3 6 0 7   | レジスタ制御部         |    |
| 3 6 0 8   | バスインターフェース      |    |
| 3 6 0 9   | R O M           |    |
| 3 6 2 0   | R O M インターフェース  |    |
| 4 1 0 a   | 低濃度不純物領域        |    |
| 4 1 1 a   | 低濃度不純物領域        |    |
| 4 1 1 c   | 低濃度不純物領域        |    |
| 4 1 2 a   | ゲート絶縁膜          | 30 |
| 4 1 3 a   | 低濃度不純物領域        |    |
| 4 1 4 a   | 高濃度不純物領域        |    |
| 4 1 5 a   | 低濃度不純物領域        |    |
| 4 1 6 a   | 高濃度不純物領域        |    |
| 4 1 6 c   | 高濃度不純物領域        |    |
| 1 0 0 3 a | ドレイン配線          |    |
| 1 0 0 3 h | ドレイン配線          |    |
| 1 2 0 7 a | 配向膜             |    |
| 1 2 0 7 b | 配向膜             |    |
| 1 2 0 9 a | 着色層             | 40 |
| 1 2 0 9 b | 遮光層 (ブラックマトリクス) |    |

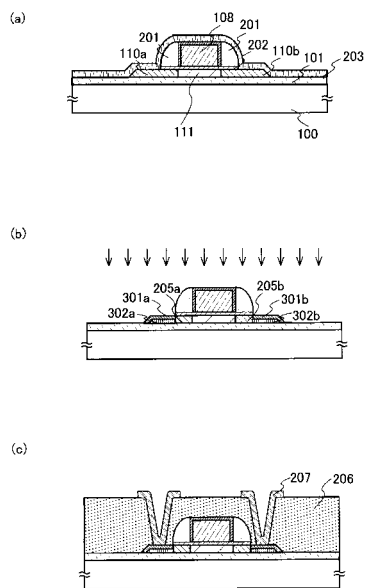
【図 1】



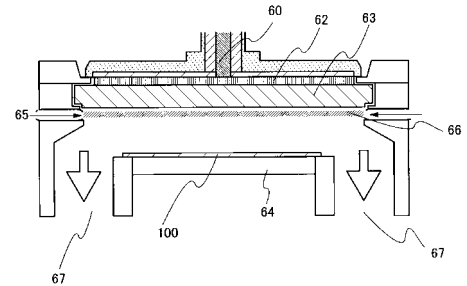
【図 2】



【図 3】

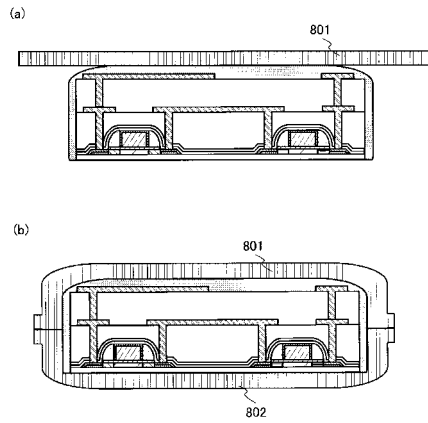


【図 4】

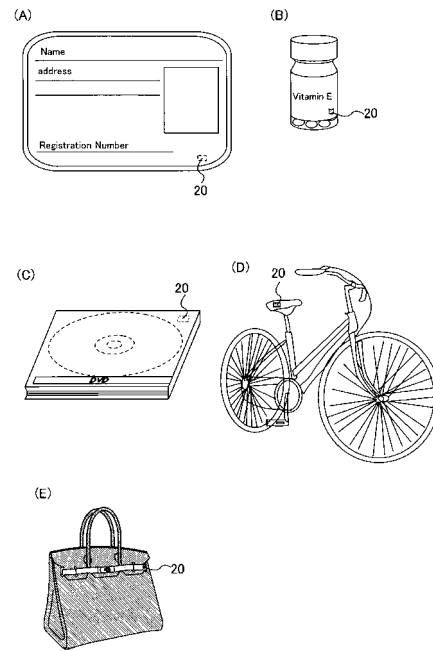




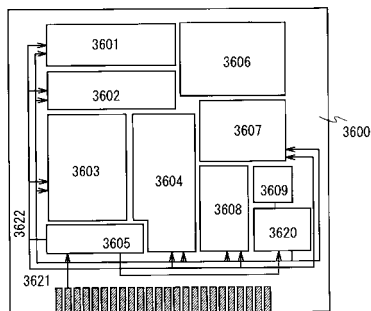
【図 9】



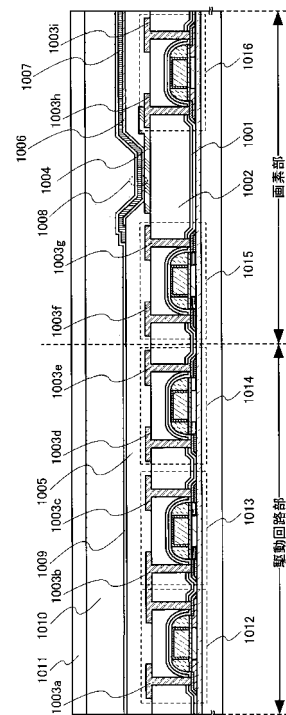
【図 10】



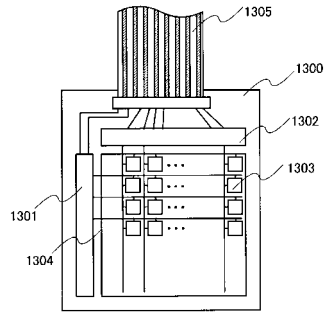
【図 11】



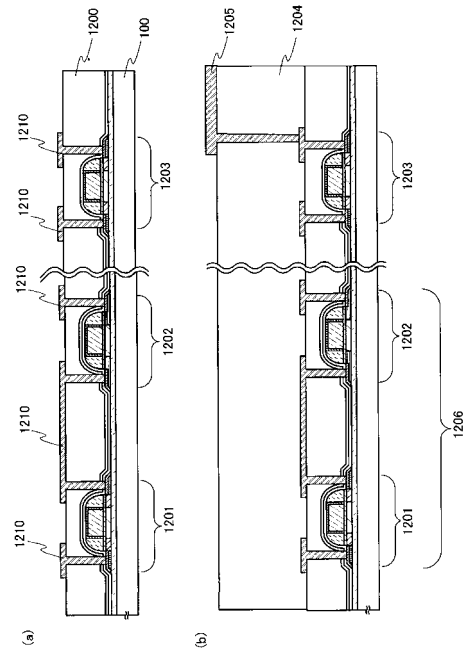
【図 12】



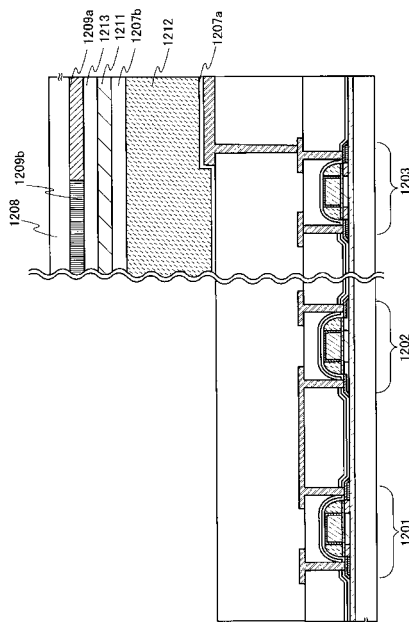
【図 13】



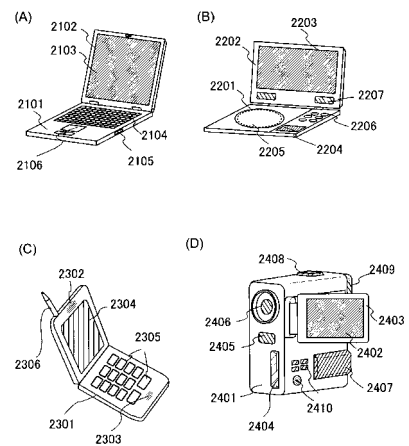
【図 14】



【図 15】

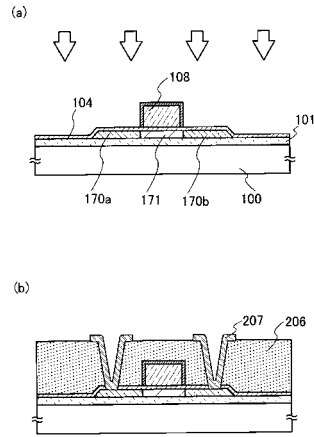


【図 16】

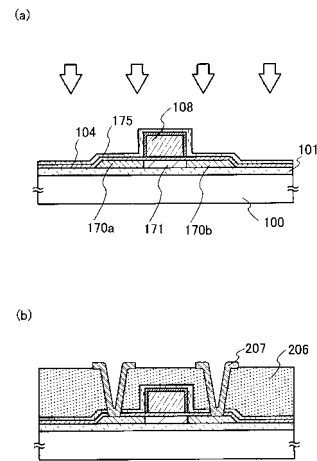




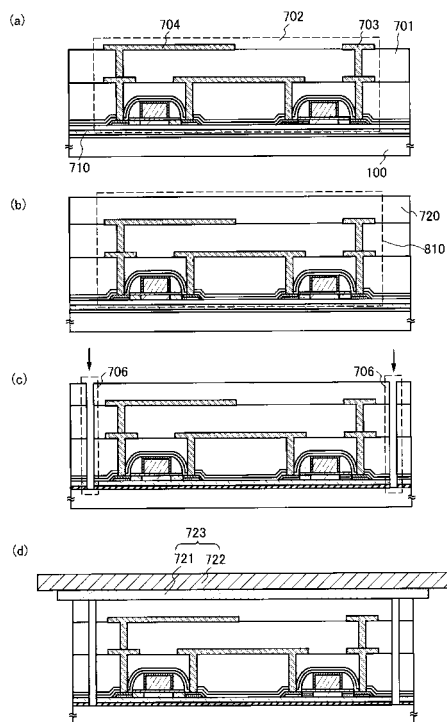
【図 17】



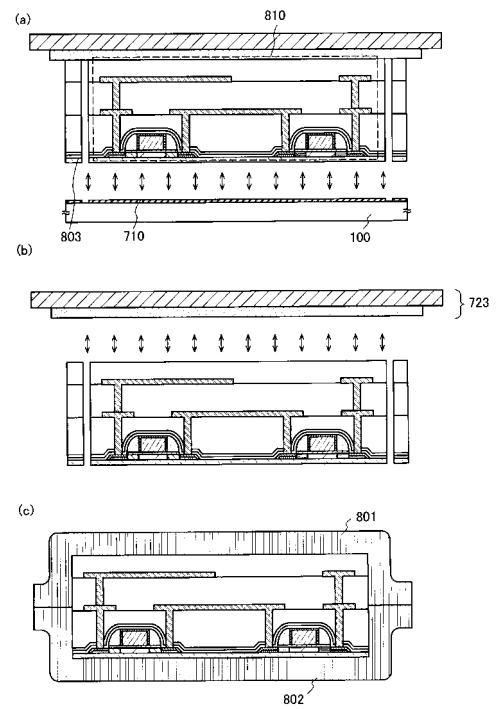
【図 18】



【図 19】



【図 20】



---

フロントページの続き

(56)参考文献 特開平06-112222(JP,A)  
特開2004-064056(JP,A)  
国際公開第98/033362(WO,A1)

(58)調査した分野(Int.Cl., DB名)

|      |        |
|------|--------|
| H01L | 29/786 |
| H01L | 21/28  |
| H01L | 21/336 |
| H01L | 29/423 |
| H01L | 29/49  |