

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2023年3月23日 (23.03.2023)

(10) 国际公布号
WO 2023/040668 A1

- (51) 国际专利分类号:
H03M 13/11 (2006.01) H04L 1/00 (2006.01)
H03M 13/13 (2006.01)
- (21) 国际申请号: PCT/CN2022/116437
- (22) 国际申请日: 2022年9月1日 (01.09.2022)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202111082976.4 2021年9月15日 (15.09.2021) CN
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 狐梦实(HU, Mengshi); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。于健(YU, Jian); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。涂明(GAN, Ming); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。宫博(GONG, Bo); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (74) 代理人: 深圳市深佳知识产权代理事务所(普通合伙) (SHENPAT INTELLECTUAL PROPERTY AGENCY); 中国广东省深圳市罗湖区南湖街道春风路庐山大厦B座18C2、18D、18E、18E2, Guangdong 518001 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

(54) Title: ENCODING METHOD, DECODING METHOD, AND RELATED APPARATUS

(54) 发明名称: 编码方法、译码方法以及相关装置

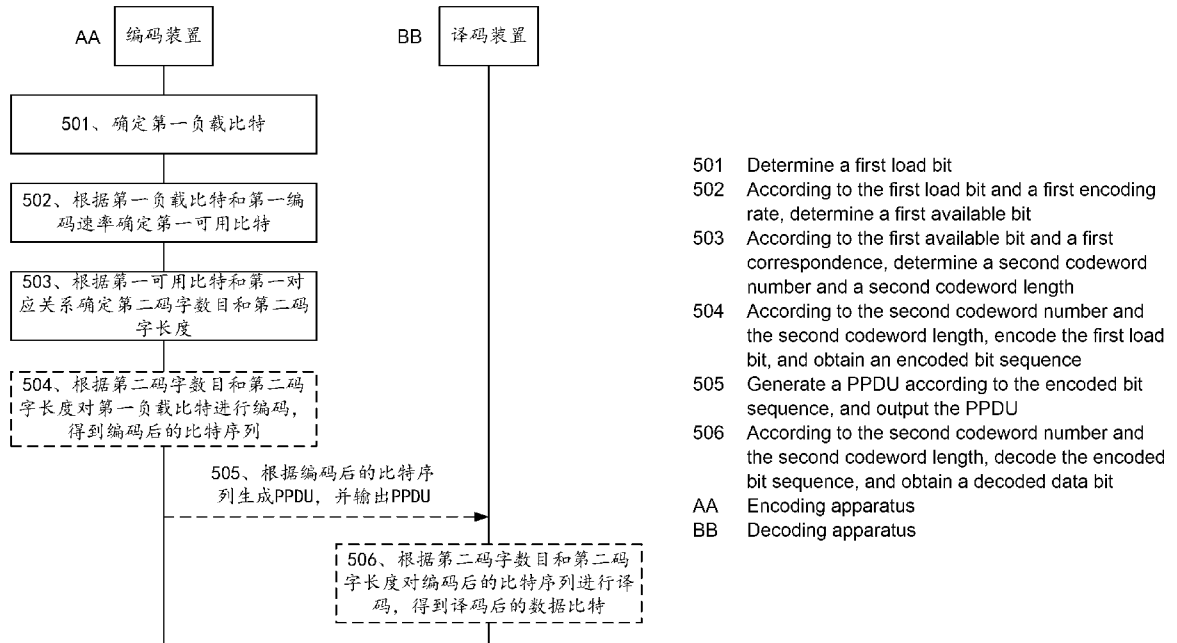


图 5

(57) Abstract: Embodiments of the present application disclose an encoding method, a decoding method, and related apparatus. The present application can be applied in a wireless local area network (WLAN) system that supports IEEE 802.11ax next-generation Wi-Fi protocols, such as 802.11be, or 802.11 series protocols, such as EHT with extremely high throughput. An encoding apparatus determines, by means of a data bit to be encoded and a first encoding rate, a first available bit; and, by means of the correspondence between the first available bit and a first available bit at the first encoding rate, a first codeword number, and a first codeword length,

WO 2023/040668 A1

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

determines a second codeword number and a second codeword length. The second codeword number is obtained on the basis of the first codeword number. The second codeword length is obtained on the basis of the first codeword length. The encoding apparatus does not need to store the correspondence between available bits, codeword number, and codeword length at the second encoding rate, thereby reducing the storage overhead of the encoding apparatus.

(57) 摘要: 本申请实施例公开了一种编码方法、译码方法以及相关装置。可以应用于支持 IEEE 802.11ax 下一代 Wi-Fi 协议, 如 802.11be, 或极高吞吐率 EHT 等 802.11 系列协议的无线局域网系统。编码装置通过待编码的数据比特和第一编码速率确定第一可用比特, 通过第一可用比特和在第一编码速率下第一可用比特、第一码字数目和第一码字长度之间的对应关系确定第二码字数目和第二码字长度。第二码字数目是基于第一码字数目得到的, 第二码字长度是基于第一码字长度得到的。编码装置无需存储第二编码速率下可用比特、码字数目和码字长度之间的对应关系, 从而降低编码装置的存储开销。

编码方法、译码方法以及相关装置

本申请要求于 2021 年 9 月 15 日提交中国专利局，申请号为 202111082976.4，发明名称为“编码方法、译码方法以及相关装置”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

5

技术领域

本申请涉及通信技术领域，尤其涉及一种编码方法、译码方法以及相关装置。

背景技术

10 无线局域网 (wireless local area network, WLAN) 通信技术发展至今已历经多代，按照通信标准的发布时间先后顺序，包括 802.11a/b/g、802.11n、802.11ac、802.11ax 以及现在正在讨论中的 802.11be (也可以称为极高吞吐率 (extremely high throughput, EHT) 标准) 等。在 WLAN 通信中，非接入点站点 (non-access point station, non-AP STA) 的上行资源主要是由接入点 (access point, AP) 分配，并且，STA 的待发送数据需要经
15 过编码才可以在 AP 指定的上行资源上进行传输。

在 WLAN 的编码过程中，以 802.11n 为例，STA 待发送的数据比特 (data bits) 需要经过低密度奇偶校验 (low density parity check, LDPC) 编码，得到编码后的比特序列。对于 LDPC 编码，目前主要支持的编码速率包括 1/2、2/3、3/4 和 5/6。为了使系统支持更高的编码速率。若采用支持较低的编码速率的编码器进行编码时，可以通过打掉更多的校
20 验比特来实现较高的编码速率。然而，对于支持较低的编码速率的编码器来说，如何获取较高的编码速率下所对应的码字长度和码字数目是值得考虑的问题。

发明内容

本申请提供了一种编码方法、译码方法以及相关装置，用于编码装置根据第一可用比
25 特和第一对应关系确定第二码字数目和第二码字长度，降低编码装置的存储开销。

本申请第一方面提供一种编码方法，包括：

编码装置确定第一负载比特，第一负载比特是待编码的数据比特。编码装置根据第一
30 负载比特和第一编码速率确定第一可用比特；然后，编码装置根据第一可用比特和第一对应关系确定第二码字数目和第二码字长度。其中，第一对应关系是从编码装置在第一编码速率下第一可用比特、第一码字数目和第一码字长度之间的对应关系，第二码字数目是基
于第一码字数目得到的，第二码字长度是基于第一码字长度得到的。从而实现编码装置通
过第一对应关系和第一可用比特确定第二码字数目和第二码字长度，编码装置无需存储第
35 二编码速率下可用比特、码字数目和码字长度之间的对应关系，从而降低了编码装置的存储开销。例如，编码装置可以通过第一编码速率 (较低的编码速率) 的第一可用比特、第一码字数目和第一码字长度之间的对应关系可以获取到较高的编码速率下所对应的码字长度和码字数目。编码装置无需存储较高的编码速率的可用比特、码字数目和码字长度之间的对应关系，从而降低了编码装置的存储开销。

一种可能的实现方式中，第二码字数目是基于第一码字数目得到的，包括：第二码字数目等于第一码字数目。在该可能的实现方式中第二码字数目即为第一码字数目，从而实现编码装置通过第一对应关系确定在高码率下对应的码字数目。

另一种可能的实现方式中，编码装置根据第一可用比特和第一对应关系确定第二码字数目和第二码字长度，包括：

编码装置从第一对应关系中确定第一可用比特对应的第一码字数目和第一码字长度；

编码装置将第一码字数目作为第二码字数目；

编码装置更新第一码字长度，得到第二码字长度。

在该可能的实现方式中示出了编码装置确定第二码字数目和第二码字长度的一种具体的实现方式，有利于方案的实施。编码装置可以从第一对应关系中第一可用比特对应的第一码字数目和第一码字长度，再基于第一码字数目和第一码字长度确定第二码字数目和第二码字长度。编码装置无需存储较高的编码速率的可用比特、码字数目和码字长度之间的对应关系，从而降低了编码装置的存储开销。

另一种可能的实现方式中，编码装置更新第一码字长度，得到第二码字长度，包括：

$$L_{LDPC2} = L_{LDPC1} - N_{punc_per_cw_default}$$

L_{LDPC2} 为第二码字长度， L_{LDPC1} 为第一码字长度， $N_{punc_per_cw_default}$ 为编码装置在第二编码速率下，一个码字所需打掉的默认校验比特的数目。

在该可能的实现方式中提供了编码装置基于第一码字长度得到第二码字长度的一种实现方式，方便方案的实施。由上述实现方式可知，第二码字长度等于第一码字长度减去一个码字所需打掉的默认校验比特的数目。也就是说编码装置通过第一对应关系和第一可用比特确定第一码字长度，再对第一码字长度进行纠正，得到较高编码速率对应的第二码字长度。编码装置无需存储较高的编码速率的可用比特、码字数目和码字长度之间的对应关系，从而降低了编码装置的存储开销。

另一种可能的实现方式中，编码装置更新第一码字长度，得到第二码字长度，包括：

$$L_{LDPC2} = L_{LDPC1} - N_{punc_per_cw_default} - N_{short_per_cw_default}$$

L_{LDPC2} 为第二码字长度， L_{LDPC1} 为第一码字长度， $N_{punc_per_cw_default}$ 为编码装置在第二编码速率下，一个码字所需打掉的默认校验比特的数目， $N_{short_per_cw_default}$ 为编码装置在第二编码速率下，一个码字所需的默认缩短比特的数目。

在该可能的实现方式提供了另一种编码装置通过第一码字长度确定第二码字长度的具体方式，使得方案更为全面。例如，针对精确式打孔的场景，可以通过上述实现方式，以实现第二编码速率的LDPC编码。由上述实现方式可知，第二码字长度等于第一码字长度减去一个码字所需打掉的默认校验比特的数目和一个码字所需的默认缩短比特的数目的和。也就是说编码装置通过第一对应关系和第一可用比特确定第一码字长度，再对第一码字长度进行纠正，得到较高编码速率对应的第二码字长度。编码装置无需存储较高的编码速率的可用比特、码字数目和码字长度之间的对应关系，从而降低了编码装置的存储开销。

另一种可能的实现方式中，第二码字数目为编码装置在第二编码速率下的码字数目，第二码字长度为编码装置在第二编码速率下的码字长度。

在该实现方式中，本申请的技术方案适用于编码装置在第一编码速率下实现第二编码速率的LDPC编码的场景，通过本申请的技术方案可以实现编码装置通过第一编码速率的第

一可用比特、第一码字数目和第一码字长度之间的对应关系可以获取在第二编码速率下所对应的第二码字长度和第二码字数目。编码装置无需存储第二编码速率的可用比特、码字数目和码字长度之间的对应关系，从而降低了编码装置的存储开销。

另一种可能的实现方式中，第一编码速率小于第二编码速率。

5 在该实现方式中，本申请的技术方案适用于编码装置在第一编码速率下实现第二编码速率的 LDPC 编码的场景，从而提高传输效率，提升通信性能。

另一种可能的实现方式中，第一负载比特是编码前的物理层服务数据单元 (physical layer service data unit, PSDU) 和服务字段中的比特；或者，第一负载比特是编码前的 PSDU、服务字段和预前向纠错填充比特中的比特。

10 在该可能的实现方式中，本申请适用于不同版本的 Wi-Fi 标准中。例如，在 802.11n 标准中，第一负载比特是编码前的 PSDU 和服务字段中的比特。在 802.11be 标准中，第一负载比特是编码前的 PSDU、服务字段和预前向纠错填充比特中的比特。

另一种可能的实现方式中，第一可用比特 $N_{\text{avbits, middle}} = \frac{N_{\text{pld 1}}}{R_{\text{low}}}$ ， $N_{\text{pld 1}}$ 为第一负载比特的数目， R_{low} 为第一编码速率。

15 在该可能的实现方式中，编码装置根据第一负载比特和第一编码速率确定第一可用比特。该第一可用比特可以理解为是中间可用比特。便于编码装置仍可以采用第一对应关系获取第二码字数目和第二码字长度。例如，第二码字数目是编码装置在第二编码速率下对应的码字数目，第二码字长度是编码装置在第二编码速率下对应的码字长度。即编码装置在第一编码速率下实现第二编码速率的 LDPC 编码的情况下编码装置采用的码字数目和码字长度。从而实现编码装置无需针对第二编码速率建立新的可用比特、码字数目和码字长度之间的对应关系，减小编码装置的存储开销。

20

另一种可能的实现方式中，编码装置根据第一负载比特和第一编码速率确定第一可用比特，包括：

25 编码装置根据第一负载比特、第一编码速率和第一比值确定所述第一可用比特，第一比值为第一信息位的数目与第二信息位的数目的比值，第一信息位为编码装置在第二编码速率下，一个码字所对应的信息位，第二信息位为编码装置在第一编码速率下，一个码字所对应的信息位的数目，第一信息位的数目等于第二信息位的数目减去一个码字所需的默认缩短比特的数目。

30 在该可能的实现方式中，编码装置根据第一负载比特、第一编码速率和第一比值确定所述第一可用比特。该第一可用比特可以理解为是中间可用比特。便于编码装置仍可以采用第一对应关系获取第二码字数目和第二码字长度。该实现方式中考虑了第一比值，主要是针对精确式打孔的场景下码字中存在默认校验比特的情况，从而便于本申请的技术方案同时适用于精确式打孔的场景，使得方案更为全面。

35 另一种可能的实现方式中，第一可用比特 $N_{\text{avbits, middle}} = \frac{N_{\text{pld 1}}}{r_{\text{pld}} R_{\text{low}}}$ ， $N_{\text{pld 1}}$ 为第一负载比特的数目， R_{low} 为第一编码速率， r_{pld} 为第一比值。

在该可能的实现方式中示出了第一可用比特的具体计算方式，编码装置基于第一编码速率、第一负载比特和第一比值计算得到的一个中间可用比特。便于编码装置可以仍采用

第一对应关系确定在第二编码速率下对应的第二码字数目和第二码字长度。

另一种可能的实现方式中，方法还包括：

编码装置根据第二码字数目和第二码字长度对第一负载比特进行编码，得到编码后的比特序列；

5 编码装置根据编码后的比特序列生成物理层协议数据单元（physical layer protocol data unit, PPDU），并输出给译码装置。

在该实现方式中，编码装置（支持第一编码速率）通过第二码字数目和第二码字长度对第一负载比特进行编码实现第二编码速率的 LDPC 编码。无需设计一种新的支持第二编码速率的编码器，降低方案实施的复杂度。进一步的，低码率的编码装置通过本申请的技术
10 方案实现高码率的 LDPC 编码，从而提高传输效率。

另一种可能的实现方式中，第一负载比特包括第一码字的数据比特；编码装置根据第二码字数目和第二码字长度对第一负载比特进行编码，得到编码后的比特序列，包括：

若第一校验比特数为 0，编码装置确定第一码字的重复比特，第一码字的重复比特从第一码字的数据比特的起始位开始重复，第一校验比特数是基于第二码字数目、第二码字
15 长度和第一负载比特确定的。

在该可能的实现方式提供了第一码字的重复比特的一种具体的确定方式。第一码字的重复比特从第一码字的数据比特的起始位开始重复。也就是通过第一码字的重复比特携带第一码字的数据比特，有利于译码装置对第一码字的数据比特的译码，从而提高译码的准确性，提升译码性能。

20 另一种可能的实现方式中，第一负载比特包括第一码字的数据比特；编码装置根据第二码字数目和第二码字长度对第一负载比特进行编码，得到编码后的比特序列，包括：

若第一校验比特数为 0，编码装置确定第一码字的重复比特，第一码字的重复比特从第一码字的默认校验比特位的起始位开始重复，第一校验比特数是基于第二码字数目、第二码字长度和第一负载比特确定的；

25 当不满足第一条件和第二条件时，第一码字的重复比特从第一码字的数据比特的起始位开始重复；

第一条件包括：第二校验比特数大于第一数值与第三校验比特数的乘积，第一数值大于或等于第一阈值，第二校验比特数是编码装置在第一编码速率下所述第一码字数目对应的码字中所需打掉的校验比特数，第三校验比特数是编码装置在第一编码速率下第一码字
30 数目对应的码字中包括的校验比特数；

第二条件包括：第二校验比特数大于第二数值与第三校验比特数的乘积，且第一缩短比特数与第二校验比特数的比值小于第一权值因子与第二阈值的乘积，第二数值大于或等于第三阈值，第二阈值是基于第一编码速率确定的，第一缩短比特数是编码装置在第一编码速率下第一码字数目对应的码字中包括的缩短比特数。

35 在该可能的实现方式中，第一码字的重复比特可以从第一码字的默认校验比特的起始位开始重复，这样可以恢复默认校验比特以帮忙译码装置进行译码。当第一条件和第二条件都不满足时，编码装置可以认为校验比特打孔性能影响不大的情况下，第一码字的重复比特可以从第一码字的数据比特的起始位开始重复，无需再恢复第一码字的默认校验比特，

因为此时再恢复部分默认校验比特的性能增益不大。第一码字的重复比特可以从第一码字的数据比特的起始位开始重复，有利于帮助译码装置进行译码，提高译码的准确性，从而提高译码性能。

5 另一种可能的实现方式中，第一校验比特数 $N_{\text{punc}2} = \max(0, (N_{\text{CW}2} \times L_{\text{LDPC}2}) - N_{\text{avbits,real}} - N_{\text{shrt}2}$;

其中， $N_{\text{CW}2}$ 为第二码字数目， $L_{\text{LDPC}2}$ 为第二码字长度， $N_{\text{avbits,real}}$ 为编码装置在第二编码速率下的可用比特的数目， $N_{\text{shrt}2}$ 为编码装置在第二编码速率下第二码字数目对应的码字中包括的缩短比特的数目。

10 在该可能的实现方式中示出了第一校验比特数的具体计算方式。第一校验比特数可以理解为不考虑第一码字数目对应的码字中的默认校验比特的情况下，第二码字数目对应的码字中所需打掉的校验比特数。

另一种可能的实现方式中，编码装置根据第二码字数目和第二码字长度对第一负载比特进行编码，得到编码后的比特序列，包括：

若满足第三条件和/或第四条件，编码装置确定增加 LDPC 额外符号分片；

15 第三条件包括：第一校验比特数大于第一数值与第四校验比特数的乘积，第一数值大于或等于第一阈值，第一校验比特数是基于第二码字数目、第二码字长度和第一负载比特确定的，第四校验比特数是编码装置在第二编码速率下所述第二码字数目对应的码字中包括的校验比特数；

20 第四条件包括：第一校验比特大于第二数值与第四校验比特数的乘积，且第二缩短比特数与第一校验比特数的比值小于第一权值因子与第四阈值的乘积，第二数值大于或等于第三阈值，第二缩短比特数是编码装置在第二编码速率下所述第二码字数目对应的码字中包括的缩短比特的数目，第四阈值是基于第二编码速率确定的。

25 上述实现方式中，编码装置判断是否需要额外符号分片来解决打掉校验比特过多的问题的过程中，编码装置应当采用第二编码速率对应的相关参数（例如，第一校验比特数、第四校验比特数和第二缩短比特数）来进行判断，从而使得有效码率始终小于或等于第二编码速率，有利于提高译码性能。

另一种可能的实现方式中，编码装置根据第二码字数目和第二码字长度对第一负载比特进行编码，得到编码后的比特序列，包括：

若满足第五条件和/或第六条件，编码装置确定增加 LDPC 额外符号分片；

30 第五条件包括：第二校验比特数大于第三数值与第三校验比特数的乘积，第三数值大于 0.3，第二校验比特数是编码装置在第一编码速率下第一码字数目对应的码字中所需打掉的校验比特数，第三校验比特数是编码装置在第一编码速率下第一码字数目对应的码字中包括的校验比特数，

35 第六条件包括：第二校验比特数大于第四数值与第三校验比特数的乘积，且第二缩短比特与第一校验比特的比值小于第一权值因子与第四阈值的乘积，第四数值大于 0.1，第一校验比特数是基于第二码字数目、第二码字长度和第一负载比特确定的，第二缩短比特是编码装置在第二编码速率下第二码字数目对应的码字中包括的缩短比特数，第四阈值是基于第二编码速率确定的。

在该实现方式中，编码装置判断是否需要额外符号分片来解决打掉校验比特过多的问题的过程中，编码装置采用第一编码速率对应的相关参数（例如，第二校验比特数、第三校验比特数和第一缩短比特数）来进行判断，从而更适配于支持第一编码速率的编码装置。

本申请第二方面提供一种译码方法，方法包括：

5 译码装置接收来自编码装置的PPDU，PPDU携带编码装置编码后的比特序列；译码装置根据第二码字数目和第二码字长度对编码装置编码后的比特序列进行译码，得到译码后的数据比特；其中，第二码字数目和第二码字长度是基于第一可用比特和第一对应关系确定的，第一对应关系是编码装置在第一编码速率下第一可用比特、第一码字数目和第一码字长度之间的对应关系，第一可用比特是根据第一负载比特和第一编码速率确定的，第一负载比特是编码后的比特序列中的数据比特，第二码字数目是基于第一码字数目得到的，第二码字长度是基于第一码字长度得到的。

上述技术方案中，译码装置根据第二码字数目和第二码字长度对编码装置编码后的比特序列进行译码，得到译码后的数据比特。第二码字数目和第二码字长度是译码装置通过第一对应关系和第一可用比特确定的，译码装置无需存储第二编码速率下可用比特、码字数目和码字长度之间的对应关系，从而降低了译码装置的存储开销。例如，译码装置可以通过第一编码速率（较低的编码速率）的第一可用比特、第一码字数目和第一码字长度之间的对应关系可以获取到较高的编码速率下所对应的码字长度和码字数目。译码装置无需存储较高的编码速率的可用比特、码字数目和码字长度之间的对应关系，从而降低了编码装置的存储开销。

20 一种可能的实现方式中，第二码字数目是基于第一码字数目得到的，包括：第二码字数目等于第一码字数目。在该可能的实现方式中第二码字数目即为第一码字数目，从而实现译码装置通过第一对应关系确定在高码率下对应的码字数目。

另一种可能的实现方式中，第二码字长度是基于第一码字长度得到的，包括：

$$L_{LDPC2} = L_{LDPC1} - N_{punc_per_cw_default}$$

25 L_{LDPC2} 为第二码字长度， L_{LDPC1} 为第一码字长度， $N_{punc_per_cw_default}$ 为编码装置在第二编码速率下，一个码字所需打掉的默认校验比特的数目。

在该可能的实现方式中提供了译码装置基于第一码字长度得到第二码字长度的一种实现方式，方便方案的实施。由上述实现方式可知，第二码字长度等于第一码字长度减去一个码字所需打掉的默认校验比特的数目。也就是说译码装置通过第一对应关系和第一可用比特确定第一码字长度，再对第一码字长度进行纠正，得到较高编码速率对应的第二码字长度。译码装置无需存储较高的编码速率的可用比特、码字数目和码字长度之间的对应关系，从而降低了译码装置的存储开销。

另一种可能的实现方式中，第二码字长度是基于第一码字长度得到的，包括：

$$L_{LDPC2} = L_{LDPC1} - N_{punc_per_cw_default} - N_{short_per_cw_default}$$

35 L_{LDPC2} 为第二码字长度， L_{LDPC1} 为第一码字长度， $N_{punc_per_cw_default}$ 为编码装置在第二编码速率下，一个码字所需打掉的默认校验比特的数目， $N_{short_per_cw_default}$ 为编码装置在第二编码速率下，一个码字所需的默认缩短比特的数目。

在该可能的实现方式提供了另一种译码装置通过第一码字长度确定第二码字长度的具体方式，使得方案更为全面。例如，针对精确式打孔的场景，可以通过上述实现方式，以

实现第二编码速率的 LDPC 编码。由上述实现方式可知，第二码字长度等于第一码字长度减去一个码字所需打掉的默认校验比特的数目和一个码字所需的默认缩短比特的数目的和。也就是说译码装置通过第一对应关系和第一可用比特确定第一码字长度，再对第一码字长度进行纠正，得到较高编码速率对应的第二码字长度。译码装置无需存储较高的编码速率的可用比特、码字数目和码字长度之间的对应关系，从而降低了译码装置的存储开销。

另一种可能的实现方式中，第二码字数目为编码装置在第二编码速率下的码字数目，第二码字长度为编码装置在第二编码速率下的码字长度。

在该实现方式中，本申请的技术方案适用于编码装置在第一编码速率下实现第二编码速率的 LDPC 编码的场景，通过本申请的技术方案可以实现译码装置通过第一编码速率的第一可用比特、第一码字数目和第一码字长度之间的对应关系可以获取在第二编码速率下所对应的第二码字长度和第二码字数目。译码装置无需存储第二编码速率的可用比特、码字数目和码字长度之间的对应关系，从而降低了译码装置的存储开销。

另一种可能的实现方式中，第一编码速率小于第二编码速率。

在该实现方式中，本申请的技术方案适用于编码装置在第一编码速率下实现第二编码速率的 LDPC 编码的场景，从而提高传输效率，提升通信性能。

另一种可能的实现方式中，第一负载比特是编码前的 PSDU 和服务字段中的比特；或者，第一负载比特是编码前的 PSDU、服务字段和预前向纠错填充比特中的比特。

在该可能的实现方式中，本申请适用于不同版本的 Wi-Fi 标准中。例如，在 802.11n 标准中，第一负载比特是编码前的 PSDU 和服务字段中的比特。在 802.11be 标准中，第一负载比特是编码前的 PSDU、服务字段和预前向纠错填充比特中的比特。

另一种可能的实现方式中，第一可用比特 $N_{\text{avbits, middle}} = \frac{N_{\text{pld 1}}}{R_{\text{low}}}$ ， $N_{\text{pld 1}}$ 为第一负载比特的数目， R_{low} 为第一编码速率。

在该可能的实现方式中，译码装置根据第一负载比特和第一编码速率确定第一可用比特。该第一可用比特可以理解为是中间可用比特。便于译码装置仍可以采用第一对应关系获取第二码字数目和第二码字长度。例如，第二码字数目是编码装置在第二编码速率下对应的码字数目，第二码字长度是编码装置在第二编码速率下对应的码字长度。译码装置无需针对第二编码速率建立新的可用比特、码字数目和码字长度之间的对应关系，减小编码装置的存储开销。

另一种可能的实现方式中，第一可用比特 $N_{\text{avbits, middle}} = \frac{N_{\text{pld 1}}}{r_{\text{pld}} R_{\text{low}}}$ ， $N_{\text{pld 1}}$ 为第一负载比特的数目， R_{low} 为第一编码速率， r_{pld} 为第一比值，第一比值为第一信息位的数目与第二信息位的数目的比值，第一信息位为编码装置在第二编码速率下，一个码字所对应的信息位，第二信息位为编码装置在第一编码速率下，一个码字所对应的信息位，第一信息位的数目等于第二信息位的数目减去一个码字所需的默认缩短比特的数目。

在该可能的实现方式中示出了第一可用比特的具体计算方式，译码装置基于第一编码速率、第一负载比特和第一比值计算得到的一个中间可用比特。便于译码装置可以仍采用第一对应关系确定第二码字数目和第二码字长度。

另一种可能的实现方式中，第一负载比特包括第一码字的数据比特；编码后的比特序

列包括第一码字的重复比特；若第一校验比特数为 0，第一码字的重复比特从第一码字的数据比特的起始位开始重复，第一校验比特数是基于第二码字数目、第二码字长度和第一负载比特确定的。

在该可能的实现方式提供了第一码字的重复比特的具体形式。第一码字的重复比特从第一码字的数据比特的起始位开始重复。也就是通过第一码字的重复比特携带第一码字的数据比特。有利于译码装置对第一码字的数据比特的译码，从而提高译码的准确性，提升译码性能。

另一种可能的实现方式中，第一负载比特包括第一码字的数据比特；编码后的比特序列包括第一码字的重复比特；若第一校验比特数为 0，第一码字的重复比特从第一码字的默认校验比特位的起始位开始重复，第一校验比特数是基于第二码字数目、第二码字长度和第一负载比特确定的；

当不满足第一条件和第二条件时，第一码字的重复比特从第一码字的数据比特的起始位开始重复；

第一条件包括：第二校验比特数大于第一数值与第三校验比特数的乘积，第一数值大于或等于第一阈值，第二校验比特数是编码装置在第一编码速率下第一码字数目对应的码字中所需打掉的校验比特数，第三校验比特数是编码装置在第一编码速率下第一码字数目对应的码字中包括的校验比特数；

第二条件包括：第二校验比特数大于第二数值与第三校验比特数的乘积，且第一缩短比特数与第二校验比特数的比值小于第一权值因子与第二阈值的乘积，第二数值大于或等于第三阈值，第二阈值是基于第一编码速率确定的，第一缩短比特数是编码装置在第一编码速率下第一码字数目对应的码字中包括的缩短比特数。

在该可能的实现方式中，第一码字的重复比特可以从第一码字的默认校验比特的起始位开始重复，这样可以恢复默认校验比特以帮忙译码装置进行译码。当第一条件和第二条件都不满足时，编码装置可以认为校验比特打孔性能影响不大的情况下，第一码字的重复比特可以从第一码字的数据比特的起始位开始重复，无需再恢复第一码字的默认校验比特，因为此时再恢复部分默认校验比特的性能增益不大。第一码字的重复比特可以从第一码字的数据比特的起始位开始重复。有利于帮助译码装置进行译码，提高译码的准确性，从而提高译码性能。

另一种可能的实现方式中，第一校验比特数 $N_{\text{punc}2} = \max(0, (N_{\text{CW}2} \times L_{\text{LDPC}2}) - N_{\text{avbits},\text{real}} - N_{\text{shrt}2})$ ；

其中， $N_{\text{CW}2}$ 为第二码字数目， $L_{\text{LDPC}2}$ 为第二码字长度， $N_{\text{avbits},\text{real}}$ 为编码装置在第二编码速率下的可用比特的数目， $N_{\text{shrt}2}$ 为编码装置在第二编码速率下第二码字数目对应的码字中包括的缩短比特的数目。

在该可能的实现方式中示出了第一校验比特数的具体计算方式。第一校验比特数可以理解为不考虑第一码字数目对应的码字中的默认校验比特的情况下，第二码字数目对应的码字中所需打掉的校验比特数。

本申请第三方面提供一种编码装置，包括：

处理模块，用于确定第一负载比特，第一负载比特是待编码的数据比特；根据第一负

载比特和第一编码速率确定第一可用比特；根据第一可用比特和第一对应关系确定第二码字数目和第二码字长度。其中，第一对应关系是从编码装置在第一编码速率下第一可用比特、第一码字数目和第一码字长度之间的对应关系，第二码字数目是基于第一码字数目得到的，第二码字长度是基于第一码字长度得到的。

5 一种可能的实现方式中，第二码字数目是基于第一码字数目得到的，包括：第二码字数目等于第一码字数目。在该可能的实现方式中第二码字数目即为第一码字数目，从而实现编码装置通过第一对应关系确定在高码率下对应的码字数目。

另一种可能的实现方式中，处理模块具体用于：

从第一对应关系中确定第一可用比特对应的第一码字数目和第一码字长度；

10 将第一码字数目作为第二码字数目；

更新第一码字长度，得到第二码字长度。

另一种可能的实现方式中，第二码字长度为：

$$L_{LDPC2} = L_{LDPC1} - N_{punc_per_cw_default}$$

L_{LDPC2} 为第二码字长度， L_{LDPC1} 为第一码字长度， $N_{punc_per_cw_default}$ 为编码装置在第二编码速率下，一个码字所需打掉的默认校验比特的数目。

15 另一种可能的实现方式中，第二码字长度为：

$$L_{LDPC2} = L_{LDPC1} - N_{punc_per_cw_default} - N_{short_per_cw_default}$$

L_{LDPC2} 为第二码字长度， L_{LDPC1} 为第一码字长度， $N_{punc_per_cw_default}$ 为编码装置在第二编码速率下，一个码字所需打掉的默认校验比特的数目， $N_{short_per_cw_default}$ 为编码装置在第二编码速率下，一个码字所需的默认缩短比特的数目。

20 另一种可能的实现方式中，第二码字数目为编码装置在第二编码速率下的码字数目，第二码字长度为编码装置在第二编码速率下的码字长度。

另一种可能的实现方式中，第一编码速率小于第二编码速率。

另一种可能的实现方式中，第一负载比特是编码前的PSDU和服务字段中的比特；或者，第一负载比特是编码前的PSDU、服务字段和预前向纠错填充比特中的比特。

25 另一种可能的实现方式中，第一可用比特 $N_{avbits_middle} = \frac{N_{pld1}}{R_{low}}$ ， N_{pld1} 为第一负载比特的数目， R_{low} 为第一编码速率。

另一种可能的实现方式中，处理模块具体用于：

30 根据第一负载比特、第一编码速率和第一比值确定所述第一可用比特，第一比值为第一信息位的数目与第二信息位的数目的比值，第一信息位为编码装置在第二编码速率下，一个码字所对应的信息位，第二信息位为编码装置在第一编码速率下，一个码字所对应的信息位的数目，第一信息位的数目等于第二信息位的数目减去一个码字所需的默认缩短比特的数目。

另一种可能的实现方式中，第一可用比特 $N_{avbits_middle} = \frac{N_{pld1}}{r_{pld} R_{low}}$ ， N_{pld1} 为第一负载比特的数目， R_{low} 为第一编码速率， r_{pld} 为第一比值。

另一种可能的实现方式中，处理模块还用于：

35 根据第二码字数目和第二码字长度对第一负载比特进行编码，得到编码后的比特序列；根据编码后的比特序列生成PPDU；

编码装置还包括收发模块；

收发模块，用于将 PPDU 输出给译码装置。

另一种可能的实现方式中，第一负载比特包括第一码字的数据比特；处理模块具体用于：

若第一校验比特数为 0，确定第一码字的重复比特，第一码字的重复比特从第一码字的数据比特的起始位开始重复，第一校验比特数是基于第二码字数目、第二码字长度和第一负载比特确定的。

另一种可能的实现方式中，第一负载比特包括第一码字的数据比特；处理模块具体用于：

若第一校验比特数为 0，确定第一码字的重复比特，第一码字的重复比特从第一码字的默认校验比特位的起始位开始重复，第一校验比特数是基于第二码字数目、第二码字长度和第一负载比特确定的；

当不满足第一条件和第二条件时，第一码字的重复比特从第一码字的数据比特的起始位开始重复；

第一条件包括：第二校验比特数大于第一数值与第三校验比特数的乘积，第一数值大于或等于第一阈值，第二校验比特数是编码装置在第一编码速率下所述第一码字数目对应的码字中所需打掉的校验比特数，第三校验比特数是编码装置在第一编码速率下第一码字数目对应的码字中包括的校验比特数；

第二条件包括：第二校验比特数大于第二数值与第三校验比特数的乘积，且第一缩短比特数与第二校验比特数的比值小于第一权值因子与第二阈值的乘积，第二数值大于或等于第三阈值，第二阈值是基于第一编码速率确定的，第一缩短比特数是编码装置在第一编码速率下第一码字数目对应的码字中包括的缩短比特数。

另一种可能的实现方式中，第一校验比特数 $N_{\text{punc}2} = \max(0, (N_{\text{CW}2} \times L_{\text{LDPC}2}) - N_{\text{avbits,real}} - N_{\text{shrt}2}$ ；

其中， $N_{\text{CW}2}$ 为第二码字数目， $L_{\text{LDPC}2}$ 为第二码字长度， $N_{\text{avbits,real}}$ 为编码装置在第二编码速率下的可用比特的数目， $N_{\text{shrt}2}$ 为编码装置在第二编码速率下第二码字数目对应的码字中包括的缩短比特的数目。

另一种可能的实现方式中，处理模块具体用于：

若满足第三条件和/或第四条件，确定增加 LDPC 额外符号分片；

第三条件包括：第一校验比特数大于第一数值与第四校验比特数的乘积，第一数值大于或等于第一阈值，第一校验比特数是基于第二码字数目、第二码字长度和第一负载比特确定的，第四校验比特数是编码装置在第二编码速率下所述第二码字数目对应的码字中包括的校验比特数；

第四条件包括：第一校验比特大于第二数值与第四校验比特数的乘积，且第二缩短比特数与第一校验比特数的比值小于第一权值因子与第四阈值的乘积，第二数值大于或等于第三阈值，第二缩短比特数是编码装置在第二编码速率下所述第二码字数目对应的码字中包括的缩短比特的数目，第四阈值是基于第二编码速率确定的。

另一种可能的实现方式中，处理模块具体用于：

若满足第五条件和/或第六条件，确定增加 LDPC 额外符号分片；

第五条件包括：第二校验比特数大于第三数值与第三校验比特数的乘积，第三数值大于 0.3，第二校验比特数是编码装置在第一编码速率下第一码字数目对应的码字中所需打掉的校验比特数，第三校验比特数是编码装置在第一编码速率下第一码字数目对应的码字中包括的校验比特数，

5 第六条件包括：第二校验比特数大于第四数值与第三校验比特数的乘积，且第二缩短比特与第一校验比特的比值小于第一权值因子与第四阈值的乘积，第四数值大于 0.1，第一校验比特数是基于第二码字数目、第二码字长度和第一负载比特确定的，第二缩短比特是编码装置在第二编码速率下第二码字数目对应的码字中包括的缩短比特数，第四阈值是基于第二编码速率确定的。

10 本申请第四方面提供一种译码装置，包括：

收发模块，用于接收来自编码装置的 PPDU，PPDU 携带编码装置编码后的比特序列；

15 处理模块，用于根据第二码字数目和第二码字长度对编码装置编码后的比特序列进行译码，得到译码后的数据比特；其中，第二码字数目和第二码字长度是基于第一可用比特和第一对应关系确定的，第一对应关系是编码装置在第一编码速率下第一可用比特、第一码字数目和第一码字长度之间的对应关系，第一可用比特是根据第一负载比特和第一编码速率确定的，第一负载比特是编码后的比特序列中的数据比特，第二码字数目是基于第一码字数目得到的，第二码字长度是基于第一码字长度得到的。

一种可能的实现方式中，第二码字数目是基于第一码字数目得到的，包括：第二码字数目等于第一码字数目。

20 另一种可能的实现方式中，第二码字长度是基于第一码字长度得到的，包括：

$$L_{LDPC2} = L_{LDPC1} - N_{punc_per_cw_default}$$

L_{LDPC2} 为第二码字长度， L_{LDPC1} 为第一码字长度， $N_{punc_per_cw_default}$ 为编码装置在第二编码速率下，一个码字所需打掉的默认校验比特的数目。

另一种可能的实现方式中，第二码字长度是基于第一码字长度得到的，包括：

$$L_{LDPC2} = L_{LDPC1} - N_{punc_per_cw_default} - N_{short_per_cw_default}$$

25 L_{LDPC2} 为第二码字长度， L_{LDPC1} 为第一码字长度， $N_{punc_per_cw_default}$ 为编码装置在第二编码速率下，一个码字所需打掉的默认校验比特的数目， $N_{short_per_cw_default}$ 为编码装置在第二编码速率下，一个码字所需的默认缩短比特的数目。

另一种可能的实现方式中，第二码字数目为编码装置在第二编码速率下的码字数目，第二码字长度为编码装置在第二编码速率下的码字长度。

另一种可能的实现方式中，第一编码速率小于第二编码速率。

30 另一种可能的实现方式中，第一负载比特是编码前的 PSDU 和服务字段中的比特；或者，第一负载比特是编码前的 PSDU、服务字段和预前向纠错填充比特中的比特。

另一种可能的实现方式中，第一可用比特 $N_{avbits_middle} = \frac{N_{pld1}}{R_{low}}$ ， N_{pld1} 为第一负载比特的数目， R_{low} 为第一编码速率。

35 另一种可能的实现方式中，第一可用比特 $N_{avbits_middle} = \frac{N_{pld1}}{r_{pld} R_{low}}$ ， N_{pld1} 为第一负载比特的数目， R_{low} 为第一编码速率， r_{pld} 为第一比值，第一比值为第一信息位的数目与第二信息位的数目的比值，第一信息位为编码装置在第二编码速率下，一个码字所对应的信息位，第二信息位为编码装置在第一编码速率下，一个码字所对应的信息位，第一信息位的数目

等于第二信息位的数目减去一个码字所需的默认缩短比特的数目。

另一种可能的实现方式中，第一负载比特包括第一码字的数据比特；编码后的比特序列包括第一码字的重复比特；若第一校验比特数为 0，第一码字的重复比特从第一码字的数据比特的起始位开始重复，第一校验比特数是基于第二码字数目、第二码字长度和第一负载比特确定的。

另一种可能的实现方式中，第一负载比特包括第一码字的数据比特；编码后的比特序列包括第一码字的重复比特；若第一校验比特数为 0，第一码字的重复比特从第一码字的默认校验比特位的起始位开始重复，第一校验比特数是基于第二码字数目、第二码字长度和第一负载比特确定的；

当不满足第一条件和第二条件时，第一码字的重复比特从第一码字的数据比特的起始位开始重复；

第一条件包括：第二校验比特数大于第一数值与第三校验比特数的乘积，第一数值大于或等于第一阈值，第二校验比特数是编码装置在第一编码速率下第一码字数目对应的码字中所需打掉的校验比特数，第三校验比特数是编码装置在第一编码速率下第一码字数目对应的码字中包括的校验比特数；

第二条件包括：第二校验比特数大于第二数值与第三校验比特数的乘积，且第一缩短比特数与第二校验比特数的比值小于第一权值因子与第二阈值的乘积，第二数值大于或等于第三阈值，第二阈值是基于第一编码速率确定的，第一缩短比特数是编码装置在第一编码速率下第一码字数目对应的码字中包括的缩短比特数。

本申请第五方面提供一种编码装置，该编码装置包括：处理器和存储器。该存储器中存储有计算机程序；该处理器用于调用并运行该存储器中存储的计算机程序，使得处理器实现如第一方面中的任意一种实现方式。

可选的，该编码装置还包括收发器；该处理器还用于控制该收发器收发信号。

本申请第六方面提供一种译码装置，该译码装置包括：处理器和存储器。该存储器中存储有计算机程序；该处理器用于调用并运行该存储器中存储的计算机程序，使得处理器实现如第二方面中的任意一种实现方式。

可选的，该译码装置还包括收发器；该处理器还用于控制该收发器收发信号。

本申请第七方面提供一种编码装置，该编码装置包括处理器。该处理器用于调用存储起中的计算机程序或计算机指令，使得处理器实现如第一方面的任意一种实现方式。

可选的，该编码装置还包括收发器，该处理器用于控制该收发器收发信号。

本申请第八方面提供一种译码装置，该译码装置包括处理器。该处理器用于调用存储起中的计算机程序或计算机指令，使得处理器实现如第二方面的任意一种实现方式。

可选的，该译码装置还包括收发器，该处理器用于控制该收发器收发信号。

本申请第九方面提供一种编码装置，编码装置包括逻辑电路；逻辑电路用于执行如第一方面中的任意一种实现方式中的处理操作。

可选的，编码装置还包括输入输出接口；输入输出接口用于执行如第一方面中的任意一种实现方式中的输入或输出操作。

本申请第十方面提供一种译码装置，译码装置包括逻辑电路和输入输出接口；逻辑电

路用于执行如第二方面中的任意一种实现方式中的处理操作。输入输出接口用于执行如第二方面中的任意一种实现方式中的输入或输出操作。

本申请第十一方面提供一种包括指令的计算机程序产品，其特征在于，当其在计算机上运行时，使得该计算机执行如第一方面或第二方面中的任一种的实现方式。

5 本申请第十二方面提供一种计算机可读存储介质，包括计算机指令，当该指令在计算机上运行时，使得计算机执行如第一方面或第二方面中的任一种实现方式。

本申请第十三方面提供一种芯片装置，包括处理器，用于调用该存储器中的计算机程序或计算机指令，以使得该处理器执行上述第一方面或第二方面中的任一种实现方式。

可选的，该处理器通过接口与该存储器耦合。

10 本申请第十四方面提供一种通信系统，该通信系统包括如第一方面的编码装置和如第二方面的译码装置。

附图说明

图 1a 为本申请实施例应用的通信系统的一个示意图；

15 图 1b 为本申请实施例应用的 AP 的一个示意图；

图 1c 为本申请实施例应用的 STA 的一个示意图；

图 2a 为本申请实施例涉及的触发帧的一个示意图；

图 2b 为本申请实施例涉及的触发帧的另一个示意图；

图 2c 为本申请实施例涉及的 HE TB PPDU 的一个示意图；

20 图 2d 为本申请实施例涉及的触发帧的另一个示意图；

图 3 为本申请实施例涉及的 LDPC 编码过程的一个示意图；

图 4 为本申请实施例涉及的 LDPC 符号分片的一个示意图；

图 5 为本申请实施例编码方法和译码方法的一个实施例示意图；

图 6 为本申请实施例第一可用比特的一个示意图；

25 图 7 为本申请实施例第一可用比特的另一个示意图；

图 8 为本申请实施例编码装置的一个结构示意图；

图 9 为本申请实施例译码装置的一个结构示意图；

图 10 为本申请实施例编码装置的另一个结构示意图；

图 11 为本申请实施例译码装置的另一个结构示意图；

30 图 12 为本申请实施例编码装置的另一个结构示意图；

图 13 为本申请实施例译码装置的另一个结构示意图。

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。

在本申请的描述中，除非另有说明，“/”表示“或”的意思，例如，A/B可以表示A或B。本文中的“和/或”仅仅是一种描述关联对象的关联关系，表示可以存在三种关系，

例如，A和/或B，可以表示：单独存在A，同时存在A和B，单独存在B这三种情况。此外，“至少一个”是指一个或多个，“多个”是指两个或两个以上。“以下至少一项（个）”或其类似表达，是指的这些项中的任意组合，包括单项（个）或复数项（个）的任意组合。例如，a，b，或c中的至少一项（个），可以表示：a，b，c；a和b；a和c；b和c；或a和b和c。

5 其中a，b，c可以是单个，也可以是多个。

本申请中，“示例性的”或者“例如”等词用于表示作例子、例证或说明。本申请中被描述为“示例性的”、“举例来说”或者“例如”的任何实施例或设计方案不应被解释为比其他实施例或设计方案更优选或更具优势。确切而言，使用“示例性的”、“举例来说”或者“例如”等词旨在以具体方式呈现相关概念。

10 应理解，在本申请中，“当...时”、“若”以及“如果”均指在某种客观情况下装置会做出相应的处理，并非是限定时间，且也不要求装置实现时一定要有所判断的动作，也不意味着存在其它限定。

本申请中对于使用单数表示的元素旨在用于表示“一个或多个”或“至少一个”，而非表示“一个且仅一个”，除非有特别说明。

15 为便于理解本申请实施例提供的方法，下面将对本申请实施例提供的方法的系统架构进行说明。可理解的，本申请实施例描述的系统架构是为了更加清楚的说明本申请实施例的技术方案，并不构成对于本申请实施例提供的技术方案的限定。

本申请提供的技术方案可以应用于各种通信系统，例如，Wi-Fi通信系统、蓝牙通信系统、蜂窝通信系统。例如，长期演进（long term evolution, LTE）系统，第五代（5th generation, 5G）通信系统，以及未来的移动通信系统。例如，第五代通信系统可以为新无线（new radio, NR）系统。后文以本申请应用于Wi-Fi通信系统为例介绍本申请的技术方案。

本申请适用的通信系统包括编码装置和译码装置。编码装置可以为STA或AP，或者，编码装置是STA或AP的部分组件；译码装置可以为STA或AP，或者，译码装置是STA或AP中的部分组件。其中，AP可以包括服务器、路由器、交换机、或网桥等。STA可以包括手机、平板电脑、笔记本、智能手表、或智能电视等。

20 例如，在采用802.11标准的Wi-Fi系统。示例性的，802.11标准包括但不限于：802.11be标准、或者更下一代的802.11标准。本申请的技术方案适用的场景包括AP与一个或多个STA之间的通信，或AP与AP之间的通信，或STA与STA之间的通信。在本申请实施例中，术语“通信”还可以描述为“数据传输”、“信息传输”或“传输”。

请参见图1a，图1a是本申请实施例提供的无线通信系统的架构示意图。

30 如图1a所示，该无线通信系统可以包括一个或多个AP（如图1a中的AP101，AP102），和一个或多个STA（如图1a中的STA201，STA202，STA203）。其中，AP和STA均支持WLAN通信协议，该通信协议可以包括802.11be（或称为Wi-Fi 7，EHT协议），还可以包括802.11ax，802.11ac等协议。当然，随着通信技术的不断演进和发展，该通信协议还可以包括802.11be的下一代协议等，此处不做限定。以WLAN为例，实现本申请方法的装置可以是WLAN中的AP或STA，或者是，安装在AP或STA中的处理器、芯片或处理系统。

可选的，本申请涉及的接入点（如图1a的AP101或AP102）是一种具有无线通信功能的装置，支持采用WLAN协议进行通信，具有与WLAN网络中其他设备（比如站点或其他接入点）通信的功能，当然，还可以具有与其他设备通信的功能。在WLAN系统中，接入点可以称为接入点站点（AP STA）。该具有无线通信功能的装置可以为一个整机的设备，还可以是安装在整机设备中的芯片或处理系统等，安装这些芯片或处理系统的设备可以在芯片或处理系统的控制下，实现本申请实施例的方法和功能。本申请实施例中的AP是为STA提供服务的装置，可以支持802.11系列协议。例如，AP可以为通信服务器、路由器、交换机、网桥等通信实体；AP可以包括各种形式的宏基站，微基站，中继站等，当然AP还可以为这些各种形式的设备中的芯片和处理系统，从而实现本申请实施例的方法和功能。

可选的，本申请涉及的站点（如图1a的STA201、或STA202、或STA203）是一种具有无线通信功能的装置，支持采用WLAN协议进行通信，具有与WLAN网络中的其他站点或接入点通信的能力。在WLAN系统中，站点可以称为non-AP STA。例如，STA是允许用户与AP通信进而与WLAN通信的任何用户通信设备，该具有无线通信功能的装置可以为一个整机的设备，还可以是安装在整机设备中的芯片或处理系统等，安装这些芯片或处理系统的设备可以在芯片或处理系统的控制下，实现本申请实施例的方法和功能。例如，STA可以为平板电脑、桌面型、膝上型、笔记本电脑、超级移动个人计算机（Ultra-mobile personal computer, UMPC）、手持计算机、上网本、个人数字助理（personal digital assistant, PDA）、手机等可以联网的用户设备，或物联网中的物联网节点，或车联网中的车载通信装置，或娱乐设备，游戏设备或系统，全球定位系统设备等，STA还可以为上述这些终端中的芯片和处理系统。

WLAN系统可以提供高速率低时延的传输，随着WLAN应用场景的不断演进，WLAN系统将会应用于更多场景或产业中，比如，应用于物联网产业，应用于车联网产业或应用于银行业，应用于企业办公，体育场馆展馆，音乐厅，酒店客房，宿舍，病房，教室，商超，广场，街道，生成车间和仓储等。当然，支持WLAN通信的设备（比如接入点或站点）可以是智慧城市中的传感器节点（比如，智能水表，智能电表，智能空气检测节点），智慧家居中的智能设备（比如智能摄像头，投影仪，显示屏，电视机，音响，电冰箱，洗衣机等），物联网中的节点，娱乐终端（比如增强现实（augmented reality, AR），虚拟现实（virtual reality, VR）等可穿戴设备），智能办公中的智能设备（比如，打印机，投影仪，扩音器，音响等），车联网（vehicle to everything, V2X）中的车联网设备，工业物联网（industrial internet of things, IIoT）中的设备，日常生活场景中的基础设施（比如自动售货机，商超的自助导航台，自助收银设备，自助点餐机等），以及大型体育以及音乐场馆的设备等。本申请实施例中对于STA和AP的具体形式不做限制，在此仅是示例性说明。

应理解，802.11标准关注物理（physical layer, PHY）层和媒体接入控制（medium access control, MAC）层部分。一个示例中，参见图1b，图1b是本申请实施例提供的接入点AP的结构示意图。其中，AP可以是多天线/多射频的，也可以是单天线/单射频的，该天线/射频用于发送/接收数据分组（本文中数据分组也可称为物理层协议数据单元，即PPDU）。一种实现中，AP的天线或射频部分可以与AP的主体部分分离，呈拉远布局的结构。图1b中，

AP可以包括物理层处理电路和媒体接入控制处理电路，物理层处理电路可以用于处理物理层信号，MAC层处理电路可以用于处理MAC层信号。另一个示例中，参见图1c，图1c是本申请实施例提供的站点STA的结构示意图。图1c示出了单个天线/射频的STA结构示意图，实际场景中，STA也可以是多天线/多射频的，并且可以是两个以上天线的设备，该天线/射频用于发送/接收数据分组。一种实现中，STA的天线或射频部分可以与STA的主体部分分离，呈拉远布局的结构。图1c中，STA可以包括PHY处理电路和MAC处理电路，物理层处理电路可以用于处理物理层信号，MAC层处理电路可以用于处理MAC层信号。

上述内容简要阐述了本申请实施例的系统架构，为更好地理解本申请实施例的技术方案，下面将介绍AP为STA分配上行资源的相关内容。

WLAN到目前为止已历经多代，如802.11a/b/g、802.11n、802.11ac、802.11ax和如今正在讨论的802.11be等。其中802.11n标准可以称为高吞吐率（high throughput, HT），802.11ac标准可以称为非常高吞吐率（very high throughput, VHT），802.11ax（Wi-Fi 6）可以称为高效（high efficient, HE），802.11be（Wi-Fi 7）可以称为EHT，而对于HT之前的标准，如802.11a/b/g等可以统称为非高吞吐率（Non-HT）。

对于上行数据传输，STA可以通过信道竞争获得发送权之后再行进行上行数据传输，如基于增强的分布式信道接入（enhanced distributed channel access, EDCA）。在802.11ax，又引入了基于触发帧的上行传输方法，其流程包括如下步骤。

步骤一：AP首先发送触发帧（如图2a中的触发帧（Trigger frame）），在触发帧中包含一个或多个站点（STA）发送基于触发的PPDU（trigger based physical layer protocol data unit, TB PPDU）需要的相关信息，如资源单元的分配等信息。

如图2a所示，整个触发帧包含公共信息（Common Info）字段和用户信息列表（User Info List）字段。其中，公共信息字段包含所有STA都需要读取的公共信息，而用户信息列表字段由一个或多个用户信息字段构成，每个用户信息字段包含每个STA分别需要读取的信息。在用户信息字段中，关联标识（Association Identification 12, AID12）表示某一个STA的关联标识，而资源单元分配子字段（RU Allocation）用来指示这个STA（AID12所指示的STA）所分配到的具体的资源单元（Resource Unit, RU）位置。公共信息字段和用户信息字段的具体内容如图2b所示。

步骤二：STA接收到触发帧以后，从中解析出自己的AID相匹配的用户信息字段，然后在用户信息字段中的资源单元分配子字段所指示的RU上发送高效基于触发的PPDU（high efficient trigger based physical layer protocol data unit, HE TB PPDU）（为四种HE PPDU中的一种）。

示例性的，该HE TB PPDU所包含的各个字段如图2c所示，各个字段的名称和功能如下：

表1 HE TB PPDU中字段含义

英文缩略语	完整的英文表述	中文表述	作用
L-STF	Legacy Short Training Field	传统短训练序列	用于PPDU的发现, 粗同步, 自动增益控制
L-LTF	Legacy Long Training Field	传统长训练序列	用于精同步, 信道估计
L-SIG	Legacy Signal Field A	传统信令字段	用于携带PPDU长度相关的信令信息, 保证共存。
HE-SIG-A	High Efficient Signal Field A	高效信令字段 A	用于携带用于解调后续数据的信令
HE-STF	High Efficient Short Training Field	高效短训练序列	用于后续字段的自动增益控制
HE-LTF	High Efficient Long Training Field	高效长训练序列	用于信道估计
Data		数据	承载数据信息

在表1中, 当带宽不大于20MHz时, 前四项L-STF到HE-SIG-A是以20兆赫兹 (MHz) 为单位进行传输; 当带宽大于20MHz时, 前四项L-STF到HE-SIG-A是以20MHz为单位进行复制传输。

此外, 表1中从HE-STF到Data的后三项, 整个带宽可以被划分为1个或多个资源单元, 值得注意的是, 在802.11ax标准中, 一个STA只能允许被分配一个RU。下一代802.11be标准允许为一个STA分配多个RU (multi-RU, MRU)。

步骤三: AP接收到一个或多个站点发送的上行子PPDU组成的上行多用户PPDU后, 还可以回复确认帧。

其中, 在802.11be中, 同样存在触发帧触发TB PPDU这一流程, 该流程与11ax类似, 只不过增加或拓展了一些其他信令指示, 如320MHz中的资源单元分配等等。本领域技术人员能够理解增加或扩展的内容, 在此不过多描述。11be的触发帧结构如图2d所示。

在基于触发的传输流程中, 提出了适应性RU的概念, 即被触发的站点可以根据所侦测的信道忙闲状况适应性地调整由触发帧分配的RU或MRU的大小, 选择小于触发帧分配的RU或MRU进行发送, 避开检测为忙的信道, 下面将详细介绍。

下面介绍HT中的LDPC。

目前802.11的数据字段支持二进制卷积码(binary convolutional code, BCC)编码方式和LDPC编码方式, 下面主要介绍HT (以802.11n为例) 中的LDPC的编码过程。在HT中, LDPC编码过程主要分为5步, 包括如下步骤。

步骤A: 计算可用比特数。

STA中待发送的数据字段的可用比特数可以用下式求得:

$$N_{pld} = \text{length} \times 8 + 16 \quad (1);$$

$$N_{avbits} = N_{CBPS} \times m_{STBC} \times \left\lfloor \frac{N_{pld}}{N_{CBPS} \times R \times m_{STBC}} \right\rfloor \quad (2);$$

在上述式(1)和式(2)中, N_{pld} 指示的是编码前的物理层服务数据单元(physical layer service data unit, PSDU)和服务字段中的比特数目, N_{pld} 中的pld表示有效载荷“payload”, 它和长度值 (length) 的关系如上式所述; length是HE-SIG字段中的HT Length field的值。

其中, 在式 (2) 中, N_{avbits} 是初始的可用的编码后的总比特数目 (avbits表示可用比特 (available bits), 之所以这里叫初始, 请见后面有关步骤D中更新的描述); m_{STBC} 的含义为: 当使用空时块编码 (Space-Time Block Coding, STBC) 时是2, 否则是1; R为码率, 表示信息位占编码后总比特数目的百分比。

其中, 在式 (2) 中, $[x]$ 表示向上取整, 根据向上取整的部分及 m_{STBC} 计算得到总共的符号数目, 再根据每个符号支持的编码后的比特数 (number of coded bits per symbol, N_{CBPS}) 得到 N_{avbits} 。其中, $N_{CBPS} \times R$ 表示信息位的比特数。

步骤B: 基于步骤A中的 N_{avbits} 得到码字数目 N_{CW} 和码字长度 L_{LDPC} 。

在步骤A中所获得的 N_{avbits} , 通过查找下表2所示的PPDU编码参数表 (PPDU encoding parameters), 可以获得 N_{avbits} 对应的码字数目 N_{CW} 和码字长度 L_{LDPC} 。

表2

N_{avbits} 的范围 (bits)	实现5/6的编码速率的 LDPC 编码的码字数目 (N_{CW})	实现5/6的编码速率的 LDPC 编码的码字长度 (bits)
$N_{avbits} \leq 648$	1	1296, if $N_{avbits} \geq N_{pld} + 912 \times (1-R)$ 648, otherwise
$648 < N_{avbits} \leq 1296$	1	1944, if $N_{avbits} \geq N_{pld} + 1464 \times (1-R)$ 1296, otherwise
$1296 < N_{avbits} \leq 1944$	1	1944
$1944 < N_{avbits} \leq 2592$	2	1944, if $N_{avbits} \geq N_{pld} + 2916 \times (1-R)$ 1296, otherwise
$2592 < N_{avbits}$	$\left\lceil \frac{N_{PLD}}{1944 \cdot R} \right\rceil$	1944

上述表2中, 第一列数据表示的取值范围 (Range of Navbits), 单位为比特数 (bits); 第二列数据表示LDPC码字数目 (Number of LDPC codewords), 记为 N_{CW} ; 第三列数据表示LDPC码字长度 L_{LDPC} (LDPC codeword length), 记为 L_{LDPC} 。

步骤C: 基于步骤A和步骤B计算缩短比特的数目。

在步骤B获得了 N_{avbits} 对应的码字数目 N_{CW} 和码字长度 L_{LDPC} 后, 需要计算缩短的比特数目, 这部分比特的产生是因为信息位无法携带那么多的比特(信息位承载的比特只能是 N_{pld}), 因此这部分比特虽然算作是信息位, 但并非实际的信息位, 在编码过程中置0, 在实际过程中不传输, 也称作缩短比特。缩短比特的含义也可以见下式:

$$N_{\text{shrt}} = \max(0, (N_{\text{CW}} \times L_{\text{LDPC}} \times R) - N_{\text{pld}}) \quad (3);$$

在式(3)中, N_{shrt} 表示缩短比特, $N_{\text{CW}} \times L_{\text{LDPC}} \times R$ 表示信息位的总比特数目(或称为编码前的比特数, 或称为未加校验位的比特数), N_{pld} 表示编码前可支持的总比特数, $\max(A, B)$ 表示取A和B中的最大值。

步骤D: 计算打孔比特的数目。

10 在HT的数据字段的LDPC编码过程中, 还需要对超出的校验位进行打孔(puncture), 如下式所示:

$$N_{\text{punc}} = \max(0, (N_{\text{CW}} \times L_{\text{LDPC}}) - N_{\text{avbits}} - N_{\text{shrt}}) \quad (4);$$

在式(4)中, 所表示的含义为: 需要打孔的比特数目=编码后的总比特数-可用总比特数-缩短比特数, 或, 需要打孔的比特数目=0; $\max(A, B)$ 表示A和B中的最大值。

15 其中, (编码后的总比特数-可用总比特数-缩短比特数)也可以理解是(编码后的总比特数-缩短比特数-可用总比特数), 表示了额外多出的校验位的数目, 也就是需要被打掉的数目。

应注意, 存在需要被打掉的数目过多的情况, 在这种情况下会影响LDPC解码的性能, 因此HT中采用了如下的方式对打掉数目过多时的相关参数进行更新, 如下所述:

20 步骤D的更新过程如下。

打孔数目是否过多可以由下面两个条件判断:

条件一:

$$\left((N_{\text{punc}} > 0.1 \times N_{\text{CW}} \times L_{\text{LDPC}} \times (1 - R)) \text{ AND } (N_{\text{shrt}} < 1.2 \times N_{\text{punc}} \times \frac{R}{1-R}) \right);$$

条件二:

$$25 \quad (N_{\text{punc}} > 0.3 \times N_{\text{CW}} \times L_{\text{LDPC}} \times (1 - R));$$

上述第一个条件表示如果打掉的检验位比特数超过校验位的总比特数的10%, 且, 打掉的校验位超过缩短比特一定比例;

上述第二个条件表示如果打掉的检验位比特数超过校验位的总比特数的30%。

30 可选的, 步骤D中条件一和条件二的实现仅仅为示例, 参数“0.1”也可以使用其他取值(例如0.11、0.15等)替换, 参数“30%”也可以使用其他取值(例如0.35、0.4等)替换, 该条件主要用于判断是否存在打掉的校验位数据较多而影响LDPC解码的性能。

上述任一条件满足, 则表示被打掉的比特数目过多, 需要进行如下更新:

$$N_{\text{avbits}} = N_{\text{avbits}} + N_{\text{CBPS}} \times m_{\text{STBC}} \quad (5);$$

$$N_{\text{punc}} = \max(0, (N_{\text{CW}} \times L_{\text{LDPC}}) - N_{\text{avbits}} - N_{\text{shrt}}) \quad (6);$$

35 上述式(5)和式(6)表示, 用更多的符号承载原先被打掉的检验比特, 这样, 打掉的比特相当于少了 $N_{\text{CBPS}} \times m_{\text{STBC}}$ 。经过该更新过程的处理实现对步骤A中初始的可用的编

码后的总比特数目 N_{avbits} 的更新，并且，由于被打掉的比特变少或者是不再需要打孔，使得LDPC的性能得以提升。

步骤E：计算重复比特的数目。

5 上面步骤D的更新过程是在步骤D中根据（条件一或条件二）可用总比特数不足以支持校验位从而需要打掉部分校验位的情况，然而，不同的码字数目 N_{CW} 和码字长度 L_{LDPC} 的选取，还可能出现总比特数目大于校验位及缩短后的信息为的情况，此时需要进行重复（repeat）的操作，如式（7）所示，用以补全可用总比特数，提升性能。

$$N_{rep} = \max(0, N_{avbits} - N_{CW} \times L_{LDPC} \times (1 - R) - N_{pld}) \quad (7);$$

在式（7）中， N_{rep} 表示重复发送的比特数。

10 应注意：当存在校验比特被打掉时（ $N_{punc} > 0$ ），就不存在步骤E的重复，当存在重复时，就不存在校验比特被打掉。

为了更清晰地描述上面的过程，802.11标准还给出了下述HT中数据字段的LDPC编码过程图，如图3所示。在图3中，（c）所在的箭头指示的流程为，上述步骤A、步骤B和步骤C中LDPC编码（LDPC Encoding）中基于级联校验的方式（concatenate parity），计算数据
15 比特（Data Bits），计算缩短比特（Shortened Bits）以及计算校验比特（Parity Bits）的实现过程；（d）所在箭头之前为丢弃缩短比特（Discard Shortened Bits）得到的编码块。此后，基于前述步骤D中的条件一和条件二对该编码块进行判断，若执行步骤D的更新过程，则如图3中（d）所在箭头之后所示，得到丢弃校验比特（Discard Parity Bits）而得到的编码块；若执行步骤E的重复过程，则如图3中（e）所在箭头之后所示，得到复制重复
20 比特（Copy Repeat Bits）而得到的编码块。

下面介绍EHT中的LDPC。

与HT中的LDPC不同，EHT中的LDPC编码最大的区别在于PPDU的尾部增加了分片的填充（Padding），如图4所示，显示的是参与编码的最后一个符号，该符号并不是所有的子载波都参与编码，而是只有部分分片进行编码，这样的操作可以在解码时只解码部分子载波，
25 从而节省开销。另外，在该符号后面，还可能存在数据包扩展（packet extension, PE）字段，同样可以给予接收机更多的处理时间。

具体地，在图4中，过多的信息比特（Excess information bits）与预先-前向纠错比特（Pre-FEC padding bits），经过加扰（Scrambler）和前向纠错（forward error correction, FEC）得到前向纠错输出比特（FEC output bits），记为 $N_{CBPS, LAST, u}$ ；

30 其中，图4所涉及的相关参数的含义如下：

Excess information bits表示额外信息比特；

Pre-FEC padding bits表示编码前的填充比特，将参与编码；

FEC output bits为编码后输出的比特；

Scrambler和FEC分别为使用扰码进行加扰和使用FEC编码；

35 Post-FEC padding bits表示编码后还需要填充至总比特数需要的比特数目，并未参与编码；

$N_{CBPS, Last, u}$ 表示该参与编码的最后一个符号的编码的比特数；

$N_{CBPS,u}$ 表示该参与编码的最后一个符号的总比特数；

此外，在图4中， a 表示编码的截取位置：共有4个截取位置，即 $a=1、2、3、4$ ，分别表示FEC output bits约占整个符号的1/4、2/4、3/4和1。换言之，当 $a=4$ 时，所有子载波都参与编码。

5 由于上述不同，在EHT多用户PPDU (multiple user physical layer protocol data unit, MU PPDU) 的数据字段的LDPC编码中的步骤A中计算式 (1) 和式 (2) 在此处变为了计算下式 (8) 和式 (9)：

$$N_{pld,u} = (N_{SYM,init} - 1)N_{DBPS,u} + N_{DBPS,last,init,u} \quad (8) ;$$

$$N_{avbits,u} = (N_{SYM,init} - 1)N_{CBPS,u} + N_{CBPS,last,init,u} \quad (9) ;$$

10 其中， $N_{SYM,init}$ 表示初始符号数目 (同样，步骤d中有可能更新，所以这里是初始)， $N_{DBPS,last,init,u}$ 表示编码前的数据比特 (与 a 有关)。 a 与 $N_{SYM,init}$ 可由下式 (10) 和式 (11) 计算得出。

$$a_{init,u} = \begin{cases} 4, & \text{if } N_{Excess,u}=0 \\ \min\left(\left\lceil \frac{N_{Excess,u}}{N_{DBPS,short,u}} \right\rceil, 4\right), & \text{otherwise} \end{cases} \quad (10) ;$$

$$N_{SYM,init,u} = \left\lceil \frac{8 \cdot APEP_{LENGTH,u} + N_{tail} + N_{service}}{N_{DBPS}} \right\rceil \quad (11) ;$$

15 其中， $N_{Excess,u}$ 满足下式 (12)：

$$N_{Excess,u} = \text{mod}(8 \cdot APEP_{LENGTH,u} + N_{tail} + N_{service}, N_{DBPS,u}) \quad (12) ;$$

在上述式 (11) 和式 (12) 中， $APEP_{LENGTH,u}$ 表示用户 u 的TXVECTOR parameter $APEP_LENGTH$ ； N_{tail} 表示编码器的尾部比特。

20 过程B、C与HT类似，可以根据 $N_{avbits,u}$ 求得对应的码字数目 N_{CW} 和码字长度 L_{LDPC} 。如果有任意一个用户符合步骤D中的判断 (即打孔过多)，那么同样要通过增加可用比特的数目来放置部分本应打掉的比特，增加LDPC编码性能。相应的，前述判断式条件一和条件二中变为如下所示条件三和条件四：

条件三：

$$\left(\left(N_{punc,u} > 0.1 \times N_{CW,u} \times L_{LDPC,u} \times (1 - R_u) \right) \text{AND} \left(N_{shrt,u} < 1.2 \times N_{punc,u} \times \frac{R_u}{1 - R_u} \right) \right) ;$$

25 条件四：

$$\left(N_{punc,u} > 0.3 \times N_{CW,u} \times L_{LDPC,u} \times (1 - R_u) \right) ;$$

需要说明的是，条件三和条件四的实现仅仅为示例，参数“0.1”也可以使用其他取值 (例如0.11、0.15等) 替换，参数“30%”也可以使用其他取值 (例如0.35、0.4等) 替换，该条件主要用于判断是否存在打掉的校验位数据较多而影响LDPC解码的性能。

30 上述任意条件满足则表示需要更新，更新方式如下：

$$\begin{cases} N_{\text{SYM}} = N_{\text{SYM,init}} + 1 \text{ and } a = 1, & \text{if } a_{\text{init}} = 4 \\ N_{\text{SYM}} = N_{\text{SYM,init}} \text{ and } a = a_{\text{init}} + 1, & \text{otherwise} \end{cases} \quad (13);$$

由上式 (13) 应注意到：EHT中的更新方式与HT不再相同。在EHT中，不再按照符号的粒度进行增加，而是按照符号分片的粒度进行增加，这是因为EHT中每个符号对应支持的子载波数目较HT约增加4倍，所以子载波增加的粒度按照符号分片的粒度增加即可，而不需要按照符号的粒度。由上式可以看到，当 $a_{\text{init}} = 4$ 时，需要增加一个符号，且此时更新后的 a 等于1；而当 $a_{\text{init}} < 4$ 时，不需要增加符号数，只需要增加分片即可。

如果不需要更新，则 N_{SYM} 与 a 的值就是 $N_{\text{SYM,init}}$ 与 a_{init} 的值。

关于是否进行了更新，可以通过MU PPDU的EHT-SIG中的LDPC Extra Symbol Segment subfield进行告知；例如，LDPC Extra Symbol Segment subfield的取值为1时，指示存在LDPC额外符号分片，即进行更新；LDPC Extra Symbol Segment subfield的取值为0时，指示不存在LDPC额外符号分片，即不进行更新。

上面主要通过式 (8) 至 (13) 描述了EHT中对于MU PPDU的LDPC编码与HT中对于PPDU的LDPC编码的区别，除了该区别之外，不同于HT中由STA自主判断是否基于额外的符号分片进行传输，在EHT中是由AP向STA指示是否基于额外的符号分片进行传输。

其中，EHT对TB PPDU进行LDPC编码过程中也可以采用类似于前述EHT中对于MU PPDU的LDPC编码方式实现。示例性的，在EHT对TB PPDU进行LDPC编码过程中，AP通过触发帧可以向STA指示出 N_{SYM} 与 a ，其中， a 是直接给出， N_{SYM} 是由触发帧中的多个字段综合计算得到。应注意，这里给出的并非初始 $N_{\text{SYM,init}}$ 与 a_{init} ，而是更新后的 N_{SYM} 与 a 。此后，在TB PPDU的传输过程中，是否需要由额外的符号分片并不需要发送TB PPDU的STA判断，而是由发送触发帧的AP判断，由触发帧中的公共信息字段中的LDPC Extra Symbol Segment subfield给出。

如果LDPC Extra Symbol Segment subfield的值是1，则必然进行如下式 (14) 的更新过程：

$$\begin{cases} a_{\text{init}} = 4 \text{ and } N_{\text{SYM,init}} = N_{\text{SYM}} - 1, & \text{if } a = 1 \\ a_{\text{init}} = a - 1 \text{ and } N_{\text{SYM,init}} = N_{\text{SYM}}, & \text{otherwise} \end{cases} \quad (14);$$

在式 (14) 中，将 N_{SYM} 的取值减去1或者将 a_{init} 的取值减去1；并且，在HT描述的步骤D中通过式 (5) 和式 (6) 的更新方式再加回来，或者在EHT描述的式 (13) 的更新方式再加回来，即始终增加一个额外的符号分片，避免打孔过多的情况。

如果LDPC Extra Symbol Segment subfield的值是0，则 N_{SYM} 与 a 就是初始值，且不用在过程D中更新。

其余编码方式与HT中的描述类似，此处不再赘述。

在上述EHT的实现过程中，对于TB PPDU的传输过程，STA判断是否有额外的符号分片给LDPC编码，需要看AP所发送的触发帧中LDPC Extra Symbol Segment subfield的取值，当取0时无额外符号分片，当取1时有额外符号分片。

本申请中，低码率的LDPC编码器可以通过打掉更多的校验比特来实现较高的编码速率。下面介绍低码率的LDPC编码器通过打掉更多的校验比特来实现较高的编码速率的两种可能

的实现方式。例如，LDPC编码器支持5/6的编码速率，通过打掉更多的校验比特实现7/8的编码速率。或者，LDPC编码器支持7/8的编码速率，通过打掉更多的校验比特实现11/12的编码速率。

下面以支持5/6的编码速率的LDPC编码器进行编码时，通过打掉更多的校验比特实现5 7/8的编码速率的LDPC编码的两种可能的实现方案。

一、LDPC编码器通过大约式打孔的方式打掉更多的校验比特实现7/8的编码速率的LDPC编码。

例如，码字长度为1944，对于支持5/6的编码速率的LDPC编码器来说，输入LDPC编码器的信息位长度为 $1944 \times 5/6 = 1620$ 个比特，并输出324个校验位。即总比特数为1944。一种可能的实现方式中，由于 $1620 / (7/8) = 1851.42$ ，即大约码字长度为1852时，编码速率为7/8，对应的校验位为 $1852 - 1620 = 232$ 。需要说明的是，该大约码字长度仅仅是一种示例，具体还可以取其他码字长度，只要使得1620个比特在该码字长度中的占比大约为7/8即可。例如，该码字长度可以为1853。由于输入支持5/6的编码速率的LDPC编码器的比特数目不可以变更，因此若支持5/6的编码速率的LDPC编码器要实现7/8的编码速率，LDPC编码器可以默认打掉15 的校验位为 $324 - 232 = 92$ 比特，也就是说将1620个信息位输入支持5/6的编码速率的编码器，获得324个校验位后，LDPC编码器在324个校验位中默认打掉92比特，从而获得7/8的编码速率的LDPC编码。因为编码速率并非严格的7/8的编码速率，因此这里称为大约式打孔方式。

二、LDPC编码器通过精确式打孔的方式打掉更多的校验比特实现7/8的编码速率的LDPC编码。

例如，码字长度为1944，对于支持5/6的编码速率的LDPC编码器来说，输入LDPC编码器的信息位长度为 $1944 \times 5/6 = 1620$ 个比特，并输出324个校验位。即总比特数为1944。为了进行精确式的打孔，LDPC编码器选择一个小于或等于1620且能被7整除的最大值，因此可知 $1617 / (7/8) = 1848$ ，1617是小于1620且能够被7整除的最大值。即码字长度为1848，编码速率为7/8时，对应的校验位为 $1848 - 1617 = 231$ 比特。由于输入支持5/6的编码速率的LDPC编码器的比特数目不可以变更，因此若支持5/6的编码速率的LDPC编码器要实现7/8的编码速率，LDPC编码器可以默认打掉的校验位为 $324 - 231 = 93$ 比特。另外，输入支持5/6的编码速率的LDPC编码器的比特数目不可以变更，即必须输入1620个信息位，对于1620与1617的差值3，可以认为是默认不参与传输的3比特，这里可以称为默认缩短比特，也就是该3比特都置为0，并输入LDPC编码器中。需要说明的是，上述示出了LDPC编码器选择1617作为7/8的编码速率25 下对应的信息位的数目（即小于1620且能够被7整除的最大值）。实际应用中，LDPC编码器也可以选择其他小于1620且能够被7整除的数值，并不一定要选择最大值，具体本申请不做限定。

由上述两种实现方式可知，低码率的LDPC编码器要想实现高码率的LDPC编码，必须打掉更多的校验比特。因此码字长度也发生了变化，LDPC编码器无法从上述表2读取码字数目35 N_{CW} 和码字长度 L_{LDPC} 。为了LDPC编码器获取高码率对应的码字数目和码字长度，以上述精确式打孔的方式为例，LDPC编码中针对7/8的编码速率可以采用如下表3所示的可用比特 N_{avbits} 、码字数目 N_{CW} 和码字长度 L_{LDPC} 之间的对应关系。

表 3

N_{avbits} 的范围	实现 7/8 的编码速率的 LDPC 编码的码字数目	实现 7/8 的编码速率的 LDPC 编码的码字长度
$N_{avbits} \leq 616$	1	1232, if $N_{avbits} \geq N_{pld} +$ 864 $\times (1-R)$ 616, otherwise
$616 < N_{avbits} \leq 1232$	1	1848, if $N_{avbits} \geq N_{pld} +$ 1392 $\times (1-R)$ 1296, otherwise
$1232 < N_{avbits} \leq 1848$	1	1848
$1848 < N_{avbits} \leq 2464$	2	1848, if $N_{avbits} \geq N_{pld} +$ 2776 $\times (1-R)$ 1296, otherwise
$2464 < N_{avbits}$	$\left\lceil \frac{N_{PLD}}{1848 \cdot R} \right\rceil$	1848

由此可知，低码率的 LDPC 编码器要实现高码率的 LDPC 编码，LDPC 编码器针对每个高码率都需要建立一个新的可用比特、码字数目和码字长度之间的对应关系。也就是说 LDPC 编码器实现高码率的 LDPC 编码时上述表 2 不再适用。那么导致 LDPC 编码器中针对每个编

5 码速率都要存储一个可用比特、码字数目和码字长度之间的对应关系。也就是存储一个对应的表格。导致 LDPC 编码器的存储开销较大。

由此可知，默认校验比特是指为了获得更高的编码速率的 LDPC 编码，码字中默认打掉的校验比特。为了适配低码率的 LDPC 编码器的输入信息位的长度以实现高码率的 LDPC 编码的需求，一个码字的信息位添加上额外的比特以满足输入信息位的长度，这里额外的比特可以称为该码字的默认缩短比特。例如，由上述精确式打孔方式可知，LDPC 编码器在 5/6

10 的编码速率下码字长度位 1848，对应的信息位为 1617。支持 5/6 的编码速率的 LDPC 编码器的输入信息位（即 1620 个比特）不可以变更。对于 1620 与 1617 的差值 3，可以认为是默认不参与传输的 3 比特，这里可以称为默认缩短比特。将该 1617 个比特和该三个默认缩

15 短比特作为输入信息位输入到该 5/6 的编码器中。该三个默认缩短比特的取值可以都为 0。

下面介绍低码率的 LDPC 编码器实现高码率的 LDPC 编码的方案中，对于 LDPC 编码器在高码率下所需打掉的校验比特数 $N_{\text{punc, 高码率}} = \max\left(0, \left(N_{\text{CW, 高码率}} \times L_{\text{LDPC, 高码率}}\right) - N_{\text{avbits, 高码率}} - N_{\text{shrt, 高码率}}\right)$ 。其中， $N_{\text{CW, 高码率}}$ 是 LDPC 编码器实现高码率的 LDPC 编码时对应的码字数目。 $L_{\text{LDPC, 高码率}}$ 是 LDPC 编码器实现高码率的 LDPC 编码时对应的码字长度。

$N_{\text{avbits, 高码率}}$ 是 LDPC 编码器实现高码率的 LDPC 编码时对应的可用比特数。 $N_{\text{shrt, 高码率}}$ 是 LDPC 编码器实现高码率的 LDPC 编码时对应的码字数目中的码字包括的缩短比特数。

例如, 如表 3 可知, 高码率为 7/8, $N_{\text{avbits, 高码率}}$ 落在 (616, 1232] 的区间, 则可知

$N_{\text{CW, 高码率}}$ 为 1, $L_{\text{LDPC, 高码率}}$ 为 1848。由此可知, $N_{\text{shrt, 高码率}}$ 可以基于结合上述式 (3) 计算得到。

下面针对 $N_{\text{punc, 高码率}}$ 的不同取值介绍几种可能的情况。

1、如果 $N_{\text{punc, 高码率}} > 0$, 表示对于低码率对应的码字中除了打掉的默认校验比特之外, 还要打掉的校验比特数;

2、如果 $N_{\text{punc, 高码率}} = 0$, 表示对于低码率对应的码字中除了打掉的默认校验比特之外, 不需要再打掉校验比特数。并且, 需要的重复比特数小于或等于默认校验比特。对于一个码字来说, 该码字的重复比特从该码字的默认校验比特的起始位开始重复。

3、如果 $N_{\text{punc, 高码率}} = 0$, 表示对于低码率对应的码字中除了打掉的默认校验比特之外, 不需要再打掉校验比特数。并且, 需要的重复比特数大于默认校验比特。对于一个码字来说, 该码字的重复比特从该码字的默认校验比特的起始位开始重复, 重复到该码字的默认校验比特的最后一位, 该码字的重复比特从该码字的信息位开始重复。

本申请提供的一种编码方法, 编码装置确定第一负载比特, 第一负载比特是待编码的数据比特。编码装置根据第一负载比特和第一编码速率确定第一可用比特; 然后, 编码装置根据第一可用比特和第一对应关系确定第二码字数目和第二码字长度。其中, 第一对应关系是从编码装置在第一编码速率下第一可用比特、第一码字数目和第一码字长度之间的对应关系, 第二码字数目是基于第一码字数目得到的, 第二码字长度是基于第一码字长度得到的。从而实现编码装置通过第一对应关系和第一可用比特确定第二码字数目和第二码字长度, 编码装置无需存储第二编码速率下可用比特、码字数目和码字长度之间的对应关系, 从而降低了编码装置的存储开销。例如, 编码装置可以通过第一编码速率 (较低的编码速率) 的第一可用比特、第一码字数目和第一码字长度之间的对应关系可以获取到较高的编码速率下所对应的码字长度和码字数目。编码装置无需存储较高的编码速率的可用比特、码字数目和码字长度之间的对应关系, 从而降低了编码装置的存储开销。详细请参阅后文图 5 所示的实施例的相关介绍。

下面介绍本申请涉及的一些术语。

1、默认校验比特: 指支持第一编码速率的编码装置为了获得第二编码速率的 LDPC 编码, 码字中默认打掉的校验比特。每个码字都有对应默认校验比特。

2、默认缩短比特: 为了适配支持第一编码速率的编码装置的输入信息位的长度以实现第二编码速率的 LDPC 编码的需求, 一个码字的信息位添加上额外的比特以满足输入信息位的长度, 再输入编码装置。该额外的比特可以置为 0, 该额外的比特可以称为该码字的默

认缩短比特。

3、真实校验比特：除了码字的默认校验比特之外的其他校验比特；或者，当除了该码字的默认校验比特之外还需要打掉部分校验比特时，真实校验比特包括该码字中除了默认校验比特和还需要打掉的部分校验比特之外的校验比特。

5 下面结合具体实施例介绍本申请的技术方案。

图 5 为本申请实施例编码方法的另一个实施例示意图。请参阅图 5，方法包括：

501、编码装置确定第一负载比特。

其中，第一负载比特是待编码的数据比特。

10 下面介绍编码装置确定第一负载比特的两种可能的实现方式。对于其他实现方式本申请仍适用，具体本申请不做限定。

1、编码装置基于上述式 (8) (即 $N_{\text{pld},u} = (N_{\text{SYM},\text{init}} - 1)N_{\text{DBPS},u} + N_{\text{DBPS},\text{last},\text{init},u}$) 确定第一负载比特 $N_{\text{pld},1}$ 。

2、编码装置通过在第二编码速率下对应的可用比特 $N_{\text{avbits},\text{real}}$ 和第二编码速率确定第一负载比特。

$$N_{\text{pld},1} = N_{\text{avbits},\text{real}} * R_{\text{high}}$$

15 其中， $N_{\text{pld},1}$ 是第一负载比特， $N_{\text{avbits},\text{real}}$ 是编码装置在第二编码速率下对应的可用比特， R_{high} 为第二编码速率。 $N_{\text{avbits},\text{real}}$ 可以基于上述式 (9) 计算得到。

需要说明的是，编码装置支持第一编码速率。本申请中，编码装置通过第一编码速率进行编码时，通过打掉更多的校验比特 (本文称为默认校验比特) 实现第二编码速率的 LDPC 编码。例如，第一编码速率为 5/6，第二编码速率为 7/8。或者，第一编码速率为 7/8，第二编码速率为 11/12。

20 可选的，在 802.11n 标准中，第一负载比特是编码前的 PSDU 和服务字段中的比特。在 802.11be 标准中，第一负载比特是编码前的 PSDU、服务字段和预前向纠错填充比特中的比特。

502、编码装置根据第一负载比特和第一编码速率确定第一可用比特。

25 第一编码速率是编码装置支持的编码速率。例如，第一编码速率为 5/6。

目前通信标准中，编码装置确定可用比特 N_{avbits} ，并通过可用比特 N_{avbits} 、码字数目 N_{CW} 和码字长度 L_{LDPC} 之间的对应关系确定码字数目 N_{CW} 和码字长度 L_{LDPC} 。而编码装置确定可用比特 N_{avbits} 可以参阅前述式 (8) 和式 (9)。而若编码装置采用目前通信标准的获取码字数目 N_{CW} 和码字长度 L_{LDPC} 的方式，对于支持第一编码速率的编码装置要实现第二编码速率的 LDPC 编码的情况，编码装置需要针对第二编码速率建立一个新的可用比特、码字数目 N_{CW} 和码字长度 L_{LDPC} 之间的对应关系。因此，编码装置针对不同的第二编码速率都要存储一个可用比特、码字数目和码字长度之间的对应关系。导致编码装置的存储开销较大。

而本申请的技术方案中，编码装置根据第一负载比特和第一编码速率确定第一可用比

特。该第一可用比特可以理解为是中间可用比特。便于编码装置在步骤 503 中仍可以采用第一对应关系获取第二码字数目和第二码字长度。第一对应关系是编码装置在第一编码速率下第一可用比特、第一码字数目和第一码字长度之间的对应关系。第二码字数目是编码装置在第二编码速率下对应的码字数目，第二码字长度是编码装置在第二编码速率下对应的码字长度。即编码装置在第一编码速率下实现第二编码速率的 LDPC 编码的情况下编码装置采用的码字数目和码字长度。从而实现编码装置无需针对第二编码速率建立新的可用比特、码字数目和码字长度之间的对应关系，减小编码装置的存储开销。

下面介绍上述步骤 502 的两种可能的实现方式。对于其他实现方式本申请仍适用，具体本申请不做限定。

实现方式 1、编码装置将第一负载比特乘以第一编码速率，得到第一可用比特。

下面通过公式表示第一负载比特、第一编码速率和第一可用比特的关系。

$$N_{\text{avbits, middle}} = \frac{N_{\text{pld1}}}{R_{\text{low}}} \quad (15)$$

其中， $N_{\text{avbits, middle}}$ 为第一可用比特， N_{pld1} 为第一负载比特， R_{low} 为第一编码速率。

由上述式 (15) 可知，在实现方式 1 中编码装置通过第一编码速率来确定第一可用比特。值得注意的是，编码装置通过上述式 (15) 所确定的得到的第一可用比特 $N_{\text{avbits, middle}}$ 会

大于实际在第二编码速率下对应的可用比特 $N_{\text{avbits, real}}$ 。例如，如图 6 所示，在给定的第一负载比特 N_{pld1} 的情况下，在 $7/8$ 的第二编码速率下对应的可用比特为 $N_{\text{avbits, real}}$ ， $N_{\text{avbits, real}}$ 具体可以结合上述式 (9) 计算得到。而编码装置通过上述实现方式 1 确定在 $5/6$ 的第一编码速率下的第一可用比特为 $N_{\text{avbits, middle}}$ 。由图 6 可知， $N_{\text{avbits, middle}}$ 大于 $N_{\text{avbits, real}}$ 。也就是说编码装置基于第一编码速率计算得到的一个中间可用比特，以便于编码装置可以仍采用第一对应关系确定在第二编码速率下对应的第二码字数目和第二码字长度。

需要说明的是，上述式 (15) 中，如果 $\frac{N_{\text{pld1}}}{R_{\text{low}}}$ 为非整数，第一可用比特 $N_{\text{avbits, middle}}$ 可以直接等于该 $\frac{N_{\text{pld1}}}{R_{\text{low}}}$ ；或者，如果 $\frac{N_{\text{pld1}}}{R_{\text{low}}}$ 为非整数，第一可用比特 $N_{\text{avbits, middle}}$ 可以等于 $\frac{N_{\text{pld1}}}{R_{\text{low}}}$ 的向上取整；或者，如果 $\frac{N_{\text{pld1}}}{R_{\text{low}}}$ 为非整数，第一可用比特 $N_{\text{avbits, middle}}$ 可以等于 $\frac{N_{\text{pld1}}}{R_{\text{low}}}$ 的向下取整；或者，如果 $\frac{N_{\text{pld1}}}{R_{\text{low}}}$ 为非整数，编码装置可以对 $\frac{N_{\text{pld1}}}{R_{\text{low}}}$ 进行四舍五入操作，并将得到的整数作为

第一可用比特 $N_{\text{avbits, middle}}$ 。

实现方式 2、编码装置根据第一负载比特、第一编码速率和第一比值确定第一可用比特。第一比值等于第一信息位的数目与第二信息位的数目的比值。第一信息位为编码装置在第二编码速率下一个码字对应的信息位。第二信息位为编码装置在第一编码速率下一个

码字对应的信息位。第一信息位的数目等于第二信息位的数目减去一个码字所需的默认缩短比特的数目。

在该实现方式中，编码装置支持第一编码速率，编码装置输入的信息位是不可变更的。例如，如前述所示的精确式打孔方式的相关介绍，支持5/6的编码速率的LDPC编码器来说，
5 输入编码装置的信息位长度为 $1944 \times 5/6 = 1620$ 个比特，并输出 324 个校验位。为了进行精确式的打孔，编码装置选择一个小于或等于 1620 且能被 7 整除的最大值，因此可知 $1617 / (7/8) = 1848$ ，1617 是小于 1620 且能够被 7 整除的最大值。对于 1620 与 1617 的差值 3，可以认为是默认不参与传输的 3 比特，这里可以称为默认缩短比特。也就是说这种情况下为了适配编码装置的输入信息位的长度和实现第二编码速率的 LDPC 编码的需求，码字中
10 包含有默认缩短比特。在该示例中，第一信息位的数目为 1617，第二信息位为 1620。因此，第一比值等于 $1617/1620$ 。编码装置通过第一编码速率、第一负载比特和第一比值确定第一可用比特。也就是说编码装置基于第一编码速率计算得到的一个中间可用比特，以便于编码装置可以仍采用第一对应关系和第一可用比特确定在第二编码速率下对应的第二码字数目和第二码字长度。从而实现编码装置在第一编码速率下采用精确式打孔的方式实现第
15 二编码速率的 LDPC 编码。

下面示出结合具体公式示出编码装置根据第一负载比特、第一编码速率和第一比值确定第一可用比特的一种实现方式。

$$N_{\text{avbits, middle}} = \frac{N_{\text{pld1}}}{r_{\text{pld}} R_{\text{low}}} \quad (16)$$

其中， $N_{\text{avbits, middle}}$ 为第一可用比特， N_{pld1} 为第一负载比特， R_{low} 为第一编码速率， r_{pld} 为第一比值。

20 由上述式 (16) 可知，在实现方式 1 中编码装置通过第一编码速率和第一比值确定第一可用比特。在第二编码速率下码字中包含有默认缩短比特的情况，编码装置应当将码字中的默认缩短比特依据扩展为恢复默认缩短比特的第一中间负载比特 $N_{\text{pld1, middle}} = \frac{N_{\text{pld1}}}{r_{\text{pld}}}$ 。由

图 7 所示，第一中间负载比特 $N_{\text{pld1, middle}}$ 大于第一负载比特 N_{pld1} 。

25 例如，如前述示例可知，第一信息位的数目为 1617，第二信息位为 1620。因此， $r_{\text{pld}} = 1617/1620$ 。

编码装置再基于第一编码速率和第一中间负载比特计算第一可用比特。值得注意的是，编码装置通过上述式 (16) 所确定的得到的第一可用比特 $N_{\text{avbits, middle}}$ 会大于实际在第二编码速率下对应的可用比特 $N_{\text{avbits, real}}$ 。例如，如图 7 所示，在给定的第一负载比特 N_{pld1} 的情况下，在 7/8 的第二编码速率下对应的可用比特为 $N_{\text{avbits, real}}$ 。而编码装置通过上述实现方
30 式 2 确定在 5/6 的第一编码速率下的第一可用比特为 $N_{\text{avbits, middle}}$ 。由图 7 可知， $N_{\text{avbits, middle}}$

大于 $N_{\text{avbits,real}}$ 。也就是说编码装置基于第一编码速率计算得到的一个中间可用比特，以便于编码装置可以仍采用第一对应关系确定在第二编码速率下对应的第二码字数目和第二码字长度。

需要说明的是，可选的，如果 $\frac{N_{\text{pld1}}}{r_{\text{pld}}}$ 为非整数，第一中间负载比特 $N_{\text{pld1,middle}}$ 可以直接等于 $\frac{N_{\text{pld1}}}{r_{\text{pld}}}$ ；或者，如果 $\frac{N_{\text{pld1}}}{r_{\text{pld}}}$ 为非整数，第一中间负载比特 $N_{\text{pld1,middle}}$ 可以等于 $\frac{N_{\text{pld1}}}{r_{\text{pld}}}$ 的向上取整；或者，如果 $\frac{N_{\text{pld1}}}{r_{\text{pld}}}$ 为非整数，第一中间负载比特 $N_{\text{pld1,middle}}$ 可以等于 $\frac{N_{\text{pld1}}}{r_{\text{pld}}}$ 的向下取整；或者，如果 $\frac{N_{\text{pld1}}}{r_{\text{pld}}}$ 为非整数，编码装置可以对 $\frac{N_{\text{pld1}}}{r_{\text{pld}}}$ 进行四舍五入操作，并将得到的整数作为第一中间负载比特 $N_{\text{pld1,middle}}$ 。

需要说明的是，可选的，上述式(15)中，如果 $\frac{N_{\text{pld1}}}{r_{\text{pld}} R_{\text{low}}}$ 为非整数，第一可用比特 $N_{\text{avbits,middle}}$ 可以直接等于 $\frac{N_{\text{pld1}}}{r_{\text{pld}} R_{\text{low}}}$ ；或者，如果 $\frac{N_{\text{pld1}}}{r_{\text{pld}} R_{\text{low}}}$ 为非整数，第一可用比特 $N_{\text{avbits,middle}}$ 可以等于 $\frac{N_{\text{pld1}}}{r_{\text{pld}} R_{\text{low}}}$ 的向上取整；或者，如果 $\frac{N_{\text{pld1}}}{r_{\text{pld}} R_{\text{low}}}$ 为非整数，第一可用比特 $N_{\text{avbits,middle}}$ 可以等于 $\frac{N_{\text{pld1}}}{r_{\text{pld}} R_{\text{low}}}$ 的向下取整；或者，如果 $\frac{N_{\text{pld1}}}{r_{\text{pld}} R_{\text{low}}}$ 为非整数，编码装置可以对 $\frac{N_{\text{pld1}}}{r_{\text{pld}} R_{\text{low}}}$ 进行四舍五入操作，并将得到的整数作为第一可用比特 $N_{\text{avbits,middle}}$ 。

上述实现方式2中，主要针对精确式打孔方式的方案中存在由于编码速率不一致导致码字额外需要默认缩短比特的情况。但是并不是所有精确式打孔方式的方案中码字都需要默认缩短比特。如果编码装置在第二编码速率下的信息位的数目与编码装置在第一编码速率下的信息位的数目相同，可以认为码字中没有默认缩短比特。则上述实现方式2中第一比值的取值为1。即实现方式2与实现方式1类似。

503、编码装置根据第一可用比特和第一对应关系确定第二码字数目和第二码字长度。第一对应关系是编码装置在第一编码速率下第一可用比特、第一码字数目和第一码字长度之间的对应关系。第二码字长度是基于第一码字数目得到的，第二码字长度是基于第一码字长度得到的。

第一码字数目是编码装置在第一编码速率下的码字数目，具体可以理解为编码装置采用第一编码速率对第一负载比特进行编码时所对应的码字数目。第一码字长度是编码装置在第一编码速率下的码字长度，具体可以理解为编码装置采用第一编码速率对第一负载比特进行编码时所对应的码字长度。

下面结合步骤503a至步骤503b介绍步骤503。

503a、编码装置从第一对应关系中确定第一可用比特对应的第一码字数目和第一码字长度。

例如，第一编码速率为 $5/6$ ，上述表2中的R的取值为 $5/6$ 。编码装置通过第一可用比

特 $N_{\text{avbits_middle}}$ 从表 2 中确定第一码字数目 N_{CW1} 和第一码字长度 L_{LDPC1} 。

503b、编码装置将第一码字数目作为第二码字数目。

503c、编码装置更新第一码字长度作为第二码字长度。

下面结合上述步骤 502 的实现方式 1 和实现方式 3 介绍步骤 503c。

5 基于上述步骤 502 的实现方式 1，编码装置更新第一码字长度，得到第二码字长度，包括：

$$L_{\text{LDPC2}} = L_{\text{LDPC1}} - N_{\text{punc_per_cw_default}}$$

L_{LDPC2} 为所述第二码字长度， L_{LDPC1} 为第一码字长度， $N_{\text{punc_per_cw_default}}$ 为编码装置在第二编码速率下，一个码字所需打掉的默认校验比特的数目。

10 例如，第一编码速率为 5/6，第二编码速率 7/8，由上述大约式打孔方式的方案可知，第一码字长度 $L_{\text{LDPC1}}=1944$ ，一个码字所需打掉的默认校验比特的数目为 92 比特。因此，第二码字长度 $L_{\text{LDPC2}}=1944-92=1852$ 比特。

基于上述步骤 502 的实现方式 2，编码装置更新第一码字长度，得到第二码字长度，包括：

$$L_{\text{LDPC2}} = L_{\text{LDPC1}} - N_{\text{punc_per_cw_default}} - N_{\text{short_per_cw_default}}$$

15 L_{LDPC2} 为第二码字长度， L_{LDPC1} 为第一码字长度， $N_{\text{punc_per_cw_default}}$ 为编码装置在第二编码速率下，一个码字所需打掉的默认校验比特的数目， $N_{\text{short_per_cw_default}}$ 为编码装置在第二编码速率下，一个码字所需的默认缩短比特的数目。

20 例如，第一编码速率为 5/6，第二编码速率 7/8，由上述精确式打孔方式的方案可知，第一码字长度 $L_{\text{LDPC1}}=1944$ 。编码装置在第二编码速率下，一个码字所需打掉的默认校验比特的数目为 93 比特。编码装置在第二编码速率下，一个码字所需的默认缩短比特的数目为 3。因此，第二码字长度 $L_{\text{LDPC2}}=1944-93-3=1848$ 比特。

可选的，第二码字数目是编码装置在第二编码速率下的码字数目，具体可以理解为编码装置采用第一编码速率对第一负载比特进行编码，并通过打掉更多的校验比特（本文称为默认校验比特）实现第二编码速率的 LDPC 编码的情况下，编码装置采用的码字数目。

25 可选的，第二码字长度是编码装置在第二编码速率下的码字长度，具体可以理解为编码装置采用第一编码速率对第一负载比特进行编码，并通过打掉更多的校验比特（本文称为默认校验比特）实现第二编码速率的 LDPC 编码的情况下，编码装置采用的码字长度。

例如，第一编码速率为 5/6，第二编码速率 7/8。第一码字长度为 1944，编码装置打掉 92 比特（即默认校验比特）来实现第二编码速率的 LDPC 编码。由此可知，第二码字长度为 $1944-92=1852$ 比特。

30 可选的，第一编码速率大于第二编码速率。例如，第一编码速率为 5/6，第二编码速率 7/8。或者，第一编码速率为 7/8，第二编码速率为 11/12。

35 由此可知，编码装置通过第一编码速率（较低的编码速率）的第一可用比特、第一码字数目和第一码字长度之间的对应关系和第一可用比特确定第二码字数目和第二码字长度。也就是编码装置可以获取到较高的编码速率下所对应的码字长度和码字数目。因此编码装置无需存储较高的编码速率的可用比特、码字数目和码字长度之间的对应关系，减少编码装置的存储开销。

需要说明的是，本文中主要以第一码字长度为 1944 为例进行说明，实际应用中，本申请对第一码字长度并不做限定。例如，第一码字长度也可以为 648 或 1296。

本文中主要以第一码字长度为 1944、第一编码速率为 5/6、编码装置的输入信息位长度为 1620 为例进行说明，实际应用中，第一编码速率可以为 3/4，1/2 等。相应的，编码装置的输入信息位则与第一编码速率适配。具体本申请不做限定。

5 可选的，图 5 所示的实施例还包括步骤 504 至步骤 506。步骤 504 至步骤 506 可以在步骤 503 之后执行。

504、编码装置根据第二码字数目和第二码字长度对第一负载比特进行编码，得到编码后的比特序列。

10 例如，第一编码速率为 5/6，第一码字长度为 1944，第一码字数目为 1。编码装置中输入 1620 个信息位，输出 324 个校验比特。其中，第一负载比特是该 1620 个信息位中的数据比特。为了实现第二编码速率的 LDPC 编码，编码装置通过上述步骤 501 至步骤 503 确定第二码字数目为 1，第二码字长度为 1852。编码装置可以确定该码字中的默认校验比特为 $1944-1852=92$ 比特。编码装置打掉该 92 个默认校验比特之后，编码装置对除去 92 个默认校验比特之后的 1852 个比特进行处理（包括判断是否该需要打掉该码字的校验比特，或者是否需要重复比特的复制），得到编码后的比特序列。

15 具体的，编码装置可以确定第一校验比特数。该第一校验比特数是基于第二码字数目、第二码字长度和第一负载比特确定的。可以理解的是，第一校验比特数是不考虑第一码字数目对应的码字中的默认校验比特的情况下，第二码字数目对应的码字中所需打掉的校验比特数。

20 一种可能的实现方式中，结合上述式（6）可知，第一校验比特数 $N_{\text{punc}2} = \max(0, (N_{\text{CW}2} \times L_{\text{LDPC}2}) - N_{\text{avbits},\text{real}} - N_{\text{shrt}2})$ 。

其中， $N_{\text{CW}2}$ 为第二码字数目， $L_{\text{LDPC}2}$ 为第二码字长度， $N_{\text{avbits},\text{real}}$ 为编码装置在第二编码速率下的可用比特的数目， $N_{\text{avbits},\text{real}}$ 可以按照上述式（9）的方式计算得到， $N_{\text{shrt}2}$ 为第二码字数目对应的码字中包括的缩短比特的数目。

25 若该第一校验比特数为 0，代表第一码字数目对应的码字中除了默认校验比特之外，无需再打掉校验比特。若该第一校验比特数大于 0，代表第一码字数目对应的码字中除了默认校验比特之外，还需打掉校验比特。

30 上述步骤 504 具体包括：若第一校验比特数为 0 时，编码装置确定第一码字数目对应的码字中的重复比特的数目。编码装置可以结合上述式（7）确定第一码字数目对应的码字中的重复比特的数目，即第一码字数目对应的码字中的重复比特的数目 $N_{\text{rep}2} = \max(0, N_{\text{avbits},\text{real}} - N_{\text{CW}2} \times L_{\text{LDPC}2} \times (1 - R_{\text{high}}) - N_{\text{pld}1})$ 。其中， $N_{\text{CW}2}$ 为第二码字数目， $L_{\text{LDPC}2}$ 为第二码字长度， $N_{\text{avbits},\text{real}}$ 为编码装置在第二编码速率下的可用比特的数目， R_{high} 为第二编码速率。

35 第一码字数目对应的码字包括第一码字，下面介绍以第一码字为例编码装置确定第一码字的重复比特的两种可能的实现方式。对于第一码字数目对应的码字中的其他码字的重复比特的确定方式同样适用。

实现方式 1、若第一校验比特数为 0，编码装置确定第一码字的重复比特。第一码字的重复比特从第一码字的数据比特的起始位开始重复。第一负载比特包括第一码字的数据比特。

在实现方式 1 中，第一码字的重复比特从第一码字的数据比特的起始位开始重复，无

需恢复第一码字的默认校验比特。

可选的，第一码字的重复比特重复的截止位置为以下任一项：第一码字的数据比特的末位比特；第一码字的真实校验比特的末位比特；第一码字的默认校验比特的末位比特。

实现方式 2、若第一校验比特数为 0，编码装置确定第一码字的重复比特。第一码字的重复比特从第一码字的默认校验比特位的起始位开始重复。第一负载比特包括第一码字的数据比特。当不满足第一条件和第二条件时，第一码字的重复比特从第一码字的数据比特的起始位开始重复。

第一条件包括：第二校验比特数大于第一数值与第三校验比特数的乘积。

第二校验比特数是编码装置在第一编码速率下第一码字数目对应的码字中所需打掉的校验比特数。第二校验比特数是基于第一码字数目、第一码字长度和第一负载比特确定的。可以理解的是，第二校验比特数是在不考虑第一码字数目对应的码字中的默认校验比特的情况下，第一码字数目对应的码字中所需打掉的校验比特数。

第三校验比特数是编码装置在第一编码速率下第一码字数目对应的码字中包括的校验比特数。可以理解的是，第三校验比特数是在不考虑第一码字数目对应的码字中的默认校验比特的情况下，第一码字数目对应的码字中包括的校验比特数。

第一数值大于或等于第一阈值。例如，第一阈值可以为 0.3。

一种可能的实现方式中，结合上述式 (6) 可知：

$$N_{punc1} = \max(0, (N_{CW1} \times L_{LDPC1}) - N_{avbits1} - N_{shrt1}) \quad (17);$$

其中， N_{punc1} 为第二校验比特数， N_{CW1} 为第一码字数目， L_{LDPC1} 为第一码字长度。 $N_{avbits1}$ 为编码装置在第一编码速率下的可用比特，具体的计算方式可以参阅前述式 (9)。 N_{shrt1} 为编码装置在第一编码速率下第一码字数目对应的码字中包括的缩短比特的数目，具体的计算方式参阅前述式 (3)，在式 (3) 中代入 N_{CW1} 、 L_{LDPC1} 、 R_{low} 和 N_{pld1} 得到 N_{shrt1} 。

第三校验比特数等于 $N_{CW1} \cdot L_{LDPC1} \cdot (1 - R_{low})$ 。其中， N_{CW1} 为第一码字数目， L_{LDPC1} 为第一码字长度， R_{low} 为第一编码速率。

在该实现方式中，上述第一条件可以表示为以下式 (18)。

$$N_{punc1} > 0.3 \cdot N_{CW1} \cdot L_{LDPC1} \cdot (1 - R_{low}) \quad (18)$$

例如，第一编码速率为 5/6，第一码字数目 N_{CW1} 为 1，第一码字长度 L_{LDPC1} 为 1944。第三校验比特数为 324。

若第二校验比特数大于 $0.3 \cdot 324$ ，则代表满足第一条件，若第二校验比特数小于 $0.3 \cdot 324$ ，则代表不满足第一条件。第二条件包括：第二校验比特数大于第二数值与第三校验比特数的乘积，且第一缩短比特与第二校验比特数的比值小于第一权值因子与第二阈值的乘积。第二数值大于或等于第三阈值。例如，第三阈值为 0.1，第一权值因子为 1.2。第二阈值是基于第一编码速率确定的。

第一缩短比特是编码装置通过第一编码速率进行编码时第一码字数目对应的码字中包括的缩短比特数。可以理解的是，第一缩短比特是不考虑第一码字数目对应的码字中的默认缩短比特的情况下，第一码字数目对应的码字中包括的缩短比特数。

一种可能的实现方式中，第一缩短比特 N_{shrt1} 的计算方式请参阅前述的相关介绍。上述

第二条件可以表示为下述式 (19) 和式 (20)。

$$N_{punc1} > 0.1 \cdot N_{CW1} \cdot L_{LDPC1} \cdot (1 - R_{low}) \quad (19)$$

其中, 第二数值为 0.1, N_{punc1} 为第二校验比特数, 第三校验比特数为 $N_{CW1} \cdot L_{LDPC1} \cdot (1 - R_{low})$ 。

$$\frac{N_{shrt1}}{N_{punc1}} < 1.2 \cdot \frac{R_{low}}{(1 - R_{low})} \quad (20)$$

其中, N_{shrt1} 为第一缩短比特, N_{punc1} 为第二校验比特数, R_{low} 为第一编码速率。 $\frac{R_{low}}{(1 - R_{low})}$

5 为第二阈值, 第二阈值是通过第一编码速率确定的。

在该实现方式 2 中, 可选的, 第一码字的重复比特重复的截止位置为以下任一项: 第一码字的数据比特的末位比特、第一码字的真实校验比特的末位比特、第一码字的默认校验比特的末位比特。

10 在实现方式 2 中, 当第一条件和第二条件都不满足时, 编码装置可以认为校验比特打孔性能影响不大的情况下, 第一码字的重复比特可以从第一码字的数据比特的起始位开始重复, 无需再恢复第一码字的默认校验比特。因为此时再恢复部分默认校验比特的性能增益不大。第一码字的重复比特可以从第一码字的数据比特的起始位开始重复。这样有利于提高译码装置侧的译码准确性, 从而提高译码性能。

15 上述介绍的是对于第一校验比特数为 0, 编码装置确定重复比特的方案。下面介绍编码装置确定第一校验比特数之后, 编码装置确定增加 LDPC 额外符号分片的两种可能的实现方式。

实现方式 1、若满足第三条件和/或第四条件, 所述编码装置确定增加 LDPC 额外符号分片。

其中, 第三条件包括: 第一校验比特数大于第一数值与第四校验比特数的乘积。

20 第一数值大于或等于第一阈值。例如, 第一阈值为 0.3。

第一校验比特数基于第二码字数目、第二码字长度和第一负载比特确定的。关于第一校验比特数请参阅前述相关介绍。

第四校验比特数是编码装置在第二编码速率下第二码字数目对应的码字中包括的校验比特数。第四校验比特数等于 $N_{CW2} \cdot L_{LDPC2} \cdot (1 - R_{high})$ 。其中, N_{CW2} 为第二码字数目,

25 L_{LDPC2} 为第二码字长度, R_{high} 为第二编码速率。

可选的, 上述第三条件可以表示为下述式 (21)。

$$N_{punc2} > 0.3 \cdot N_{CW2} \cdot L_{LDPC2} \cdot (1 - R_{high}) \quad (21)$$

其中, N_{punc2} 是第一校验比特数, 第一数值为 0.3, $N_{CW2} \cdot L_{LDPC2} \cdot (1 - R_{high})$ 为第四校验比特数。

30 第四条件包括: 第一校验比特数大于第二数值与第四校验比特数的乘积, 且第二缩短比特数与第四校验比特数的比值小于第一权值因子与第四阈值的乘积。

第二数值大于或等于第三阈值。例如，第三阈值为 0.1。第四阈值是基于第二编码速率确定的。

第二缩短比特数是编码装置在第二编码速率下第二码字数目对应的码字中包括的缩短比特数。一种可能的实现方式中，结合上述式(3)可知，第二缩短比特 $N_{shrt2} = \max(0, (N_{CW2} \times$
5 $LLDPC2 \times R_{high} - N_{pld1})$ 。

可选的，上述第四条件可以表示为下述式(22)和式(23)。

$$N_{punc2} > 0.1 \cdot N_{CW2} \cdot N_{LDPC2} \cdot (1 - R_{high}) \quad (22)$$

$$\frac{N_{shrt2}}{N_{punc2}} < 1.2 \cdot \frac{R_{high}}{(1 - R_{high})} \quad (23)$$

上述式(22)和式(23)中， N_{punc2} 为第一校验比特数， $N_{CW2} \cdot L_{LDPC2} \cdot (1 - R_{high})$ 为第四校验比特数，第二数值为 0.1，第一权值因子为 1.2，第四阈值为 $\frac{R_{high}}{(1 - R_{high})}$ 。

10 尽管编码装置支持的是第一编码速率，但是编码装置在判断是否需要额外符号分片来解决打掉校验比特过多的问题的过程中，编码装置应当采用第二编码速率对应的相关参数（例如，第一校验比特数、第四校验比特数和第二缩短比特数）来进行判断，使得有效码率始终小于或等于第二编码速率，有利于提高译码性能。

实现方式 2、若满足第五条件和/或第六条件，所述编码装置确定增加 LDPC 额外符号分片。

15 第五条件包括：第二校验比特数大于第三数值与第三校验比特数的乘积。第三数值大于 0.3。

第六条件包括：第二校验比特数大于第四数值与第三校验比特数的乘积，且第二缩短比特数与第一校验比特数的比值小于第一权值因子与第四阈值的乘积。第四数值大于 0.1，第四阈值是基于第二编码速率确定的。

20 关于第二校验比特数、第三校验比特数和第一缩短比特请参阅前述的相关介绍。可选的，上述第五条件可以表示为下述式(25)，第六条件可以表示为下述式(26)和式(27)。

$$N_{punc1} > a \cdot N_{CW1} \cdot N_{LDPC1} \cdot (1 - R_{low}) \quad (25)$$

$$N_{punc1} > b \cdot N_{CW1} \cdot N_{LDPC1} \cdot (1 - R_{low}) \quad (26)$$

$$\frac{N_{shrt2}}{N_{punc2}} < 1.2 \cdot \frac{R_{high}}{(1 - R_{high})} \quad (27)$$

25 编码装置确定增加 LDPC 额外符号分片之后，编码装置可以进行 LDPC 符号分片的增加，具体可以参阅前述式(13)或式(14)所示的过程中的过程增加相应的符号分片，以避免由于校验比特打孔过多导致影响 LDPC 编码性能，影响译码装置侧的译码准确性。

505、编码装置根据编码后的比特序列生成 PPDU，并输出给译码装置 PPDU。相应的，译码装置接收来自编码装置的 PPDU。

其中，PPDU 携带编码后的比特序列。编码装置向译码装置发送 PPDU，该 PPDU 携带编

码后的比特序列。译码装置接收该 PPDU。

506、译码装置根据第二码字数目和第二码字长度对编码后的比特序列进行译码，得到译码后的数据比特。

具体的，译码装置解析该 PPDU，以确定第一负载比特的数目。然后，译码装置根据第一负载比特的数目和第一编码速率确定第一可用比特。译码装置根据第一可用比特和第一对应关系确定第二码字数目和第二码字长度。译码装置确定第一可用比特的过程与前述步骤 502 类似，译码装置确定第二码字数目和第二码字长度的过程与前述步骤 502 的过程类似，具体请参阅前述步骤 502 和步骤 503 的相关介绍，这里不再赘述。译码装置根据第二码字数目和第二码字长度对编码后的比特序列进行译码，得到译码后的数据比特。具体的，译码装置可以通过第二码字数目和第二码字长度确定第二码字数目对应的码字中每个码字的数据比特的数目和每个码字的校验比特的数目。然后，译码装置读取每个码字的数据比特和每个码字的校验比特，以得到译码后的数据比特和译码后的校验比特。

可选的，基于上述步骤 504 的第一码字的重复比特的实现方式 1 中，若第一校验比特数为 0，第一码字的重复比特从第一码字的数据比特的起始位开始重复。译码装置可以读取第一码字的重复比特，并将第一码字的重复比特作为参考解析第一码字的数据比特。从而帮助译码装置解析第一码字的数据比特，提高译码装置译码的准确性，提升译码性能。

可选的，基于上述步骤 504 的第一码字的重复比特的实现方式 2 中，若第一校验比特数为 0，第一码字的重复比特从第一码字的默认校验比特位的起始位开始重复。当不满足第一条件和第二条件时，第一码字的重复比特从第一码字的数据比特的起始位开始重复。由此可知，译码装置可以读取第一码字的重复比特，并确定第一码字的重复比特中哪些比特是复制的默认校验比特，哪些比特是复制的第一码字的数据比特，并参考这些比特对解析第一码字的数据比特。从而帮助译码装置解析第一码字的数据比特，提高译码装置译码的准确性，提升译码性能。

可选的，译码装置可以解析触发帧中的公共信息字段中的 LDPC Extra Symbol Segment subfield 的值以确定是否增加了额外的 LDPC 符号分片。或者，译码装置也可以按照上述步骤 504 中编码装置确定增加额外的 LDPC 符号分片的方式确定是否增加了额外的 LDPC 符号分片。

下面对本申请实施例提供的编码装置进行描述。请参阅图 8，图 8 为本申请实施例编码装置的一个结构示意图。编码装置 800 可以用于执行图 5 中所示的实施例中编码装置执行的步骤，具体请参考上述方法实施例中的相关介绍。

编码装置 800 包括处理模块 801。可选的，编码装置 800 还包括收发模块 802。处理模块 802 用于进行数据处理。收发模块 802 可以实现相应的通信功能，收发模块 802 还可以称为通信接口或通信单元。

可选地，该编码装置 800 还可以包括存储单元，该存储单元可以用于存储指令和/或数据，处理模块 801 可以读取存储单元中的指令和/或数据，以使得编码装置 800 实现前述方法实施例。

该编码装置 800 可以用于执行上文方法实施例中编码装置所执行的动作。该编码装置

800 可以为上述方法实施例中的编码装置或者可配置于编码装置的部件。收发模块 802 用于执行上文方法实施例中编码装置侧的接收相关的操作，处理模块 801 用于执行上文方法实施例中编码装置侧的处理相关的操作。

5 可选的，收发模块 802 可以包括发送模块和接收模块。发送模块用于执行上述方法实施例中的发送操作。接收模块用于执行上述方法实施例中的接收操作。

需要说明的是，编码装置 800 可以包括发送模块，而不包括接收模块。或者，编码装置 800 可以包括接收模块，而不包括发送模块。具体可以视编码装置 800 执行的上述方案中是否包括发送动作和接收动作。

10 处理模块 801，用于确定第一负载比特，第一负载比特是待编码的数据比特；根据第一负载比特和第一编码速率确定第一可用比特；根据第一可用比特和第一对应关系确定第二码字数目和第二码字长度。其中，第一对应关系是从编码装置 800 在第一编码速率下第一可用比特、第一码字数目和第一码字长度之间的对应关系，第二码字数目是基于第一码字数目得到的，第二码字长度是基于第一码字长度得到的。

15 一种可能的实现方式中，第二码字数目是基于第一码字数目得到的，包括：第二码字数目等于第一码字数目。在该可能的实现方式中第二码字数目即为第一码字数目，从而实现编码装置 800 通过第一对应关系确定在高码率下对应的码字数目。

另一种可能的实现方式中，处理模块 801 具体用于：

从第一对应关系中确定第一可用比特对应的第一码字数目和第一码字长度；

将第一码字数目作为第二码字数目；

20 更新第一码字长度，得到第二码字长度。

另一种可能的实现方式中，第二码字长度为：

$$L_{LDPC2} = L_{LDPC1} - N_{punc_per_cw_default}$$

L_{LDPC2} 为第二码字长度， L_{LDPC1} 为第一码字长度， $N_{punc_per_cw_default}$ 为编码装置 800 在第二编码速率下，一个码字所需打掉的默认校验比特的数目。

另一种可能的实现方式中，第二码字长度为：

$$L_{LDPC2} = L_{LDPC1} - N_{punc_per_cw_default} - N_{short_per_cw_default}$$

25 L_{LDPC2} 为第二码字长度， L_{LDPC1} 为第一码字长度， $N_{punc_per_cw_default}$ 为编码装置 800 在第二编码速率下，一个码字所需打掉的默认校验比特的数目， $N_{short_per_cw_default}$ 为编码装置 800 在第二编码速率下，一个码字所需的默认缩短比特的数目。

另一种可能的实现方式中，第二码字数目为编码装置 800 在第二编码速率下的码字数目，第二码字长度为编码装置 800 在第二编码速率下的码字长度。

30 另一种可能的实现方式中，第一编码速率小于第二编码速率。

另一种可能的实现方式中，第一负载比特是编码前的 PSDU 和服务字段中的比特；或者，第一负载比特是编码前的 PSDU、服务字段和预前向纠错填充比特中的比特。

另一种可能的实现方式中，第一可用比特 $N_{avbits_middle} = \frac{N_{pld1}}{R_{low}}$ ， N_{pld1} 为第一负载比特的数目， R_{low} 为第一编码速率。

35 另一种可能的实现方式中，处理模块 801 具体用于：

根据第一负载比特、第一编码速率和第一比值确定所述第一可用比特，第一比值为第一信息位的数目与第二信息位的数目的比值，第一信息位为编码装置 800 在第二编码速率

下，一个码字所对应的信息位，第二信息位为编码装置 800 在第一编码速率下，一个码字所对应的信息位的数目，第一信息位的数目等于第二信息位的数目减去一个码字所需的默认缩短比特的数目。

另一种可能的实现方式中，第一可用比特 $N_{\text{avbits, middle}} = \frac{N_{\text{pld1}}}{r_{\text{pld}} R_{\text{low}}}$ ， N_{pld1} 为第一负载比特的数目， R_{low} 为第一编码速率， r_{pld} 为第一比值。

另一种可能的实现方式中，处理模块 801 还用于：

根据第二码字数目和第二码字长度对第一负载比特进行编码，得到编码后的比特序列；

根据编码后的比特序列生成 PPDU；

编码装置 800 还包括收发模块 802；

收发模块 802，用于将 PPDU 输出给译码装置。

另一种可能的实现方式中，第一负载比特包括第一码字的数据比特；处理模块 801 具体用于：

若第一校验比特数为 0，确定第一码字的重复比特，第一码字的重复比特从第一码字的数据比特的起始位开始重复，第一校验比特数是基于第二码字数目、第二码字长度和第一负载比特确定的。

另一种可能的实现方式中，第一负载比特包括第一码字的数据比特；处理模块 801 具体用于：

若第一校验比特数为 0，确定第一码字的重复比特，第一码字的重复比特从第一码字的默认校验比特位的起始位开始重复，第一校验比特数是基于第二码字数目、第二码字长度和第一负载比特确定的；

当不满足第一条件和第二条件时，第一码字的重复比特从第一码字的数据比特的起始位开始重复；

第一条件包括：第二校验比特数大于第一数值与第三校验比特数的乘积，第一数值大于或等于第一阈值，第二校验比特数是编码装置 800 在第一编码速率下所述第一码字数目对应的码字中所需打掉的校验比特数，第三校验比特数是编码装置 800 在第一编码速率下第一码字数目对应的码字中包括的校验比特数；

第二条件包括：第二校验比特数大于第二数值与第三校验比特数的乘积，且第一缩短比特数与第二校验比特数的比值小于第一权值因子与第二阈值的乘积，第二数值大于或等于第三阈值，第二阈值是基于第一编码速率确定的，第一缩短比特数是编码装置 800 在第一编码速率下第一码字数目对应的码字中包括的缩短比特数。

另一种可能的实现方式中，第一校验比特数 $N_{\text{punc2}} = \max(0, (N_{\text{CW2}} \times L_{\text{LDPC2}}) - N_{\text{avbits, real}} - N_{\text{shrt2}})$ ；

其中， N_{CW2} 为第二码字数目， L_{LDPC2} 为第二码字长度， $N_{\text{avbits, real}}$ 为编码装置 800 在第二编码速率下的可用比特的数目， N_{shrt2} 为编码装置 800 在第二编码速率下第二码字数目对应的码字中包括的缩短比特的数目。

另一种可能的实现方式中，处理模块 801 具体用于：

若满足第三条件和/或第四条件，确定增加 LDPC 额外符号分片；

第三条件包括：第一校验比特数大于第一数值与第四校验比特数的乘积，第一数值大于或等于第一阈值，第一校验比特数是基于第二码字数目、第二码字长度和第一负载比特确定的，第四校验比特数是编码装置 800 在第二编码速率下所述第二码字数目对应的码字中包括的校验比特数；

5 第四条件包括：第一校验比特大于第二数值与第四校验比特数的乘积，且第二缩短比特与第一校验比特数的比值小于第一权值因子与第四阈值的乘积，第二数值大于或等于第三阈值，第二缩短比特数是编码装置 800 在第二编码速率下所述第二码字数目对应的码字中包括的缩短比特的数目，第四阈值是基于第二编码速率确定的。

另一种可能的实现方式中，处理模块 801 具体用于：

10 若满足第五条件和/或第六条件，确定增加 LDPC 额外符号分片；

第五条件包括：第二校验比特数大于第三数值与第三校验比特数的乘积，第三数值大于 0.3，第二校验比特数是编码装置 800 在第一编码速率下第一码字数目对应的码字中所需打掉的校验比特数，第三校验比特数是编码装置 800 在第一编码速率下第一码字数目对应的码字中包括的校验比特数，

15 第六条件包括：第二校验比特数大于第四数值与第三校验比特数的乘积，且第二缩短比特与第一校验比特的比值小于第一权值因子与第四阈值的乘积，第四数值大于 0.1，第一校验比特数是基于第二码字数目、第二码字长度和第一负载比特确定的，第二缩短比特是编码装置 800 在第二编码速率下第二码字数目对应的码字中包括的缩短比特数，第四阈值是基于第二编码速率确定的。

20 下面对本申请实施例提供的译码装置进行描述。请参阅图 9，图 9 为本申请实施例译码装置的一个结构示意图。译码装置 900 可以用于执行图 5 中所示的实施例中译码装置执行的步骤，具体请参考上述方法实施例中的相关介绍。

译码装置 900 包括收发模块 901 和处理模块 902。处理模块 902 用于进行数据处理。收发模块 901 可以实现相应的通信功能，收发模块 901 还可以称为通信接口或通信单元。

25 可选地，该译码装置 900 还可以包括存储单元，该存储单元可以用于存储指令和/或数据，处理模块 902 可以读取存储单元中的指令和/或数据，以使得译码装置 900 实现前述方法实施例。

该译码装置 900 可以用于执行上文方法实施例中译码装置所执行的动作。该译码装置 900 可以为上述方法实施例中的译码装置或者可配置于译码装置的部件。收发模块 901 用于执行上文方法实施例中译码装置侧的接收相关的操作，处理模块 902 用于执行上文方法实施例中译码装置侧的处理相关的操作。

可选的，收发模块 901 可以包括发送模块和接收模块。发送模块用于执行上述方法实施例中的发送操作。接收模块用于执行上述方法实施例中的接收操作。

35 需要说明的是，译码装置 900 可以包括发送模块，而不包括接收模块。或者，译码装置 900 可以包括接收模块，而不包括发送模块。具体可以视译码装置 900 执行的上述方案中是否包括发送动作和接收动作。

收发模块 901，用于接收来自编码装置的 PPDU，PPDU 携带编码装置编码后的比特序列；

处理模块 902，用于根据第二码字数目和第二码字长度对编码装置编码后的比特序列进行译码，得到译码后的数据比特；其中，第二码字数目和第二码字长度是基于第一可用比特和第一对应关系确定的，第一对应关系是编码装置在第一编码速率下第一可用比特、第一码字数目和第一码字长度之间的对应关系，第一可用比特是根据第一负载比特和第一
5 编码速率确定的，第一负载比特是编码后的比特序列中的数据比特，第二码字数目是基于第一码字数目得到的，第二码字长度是基于第一码字长度得到的。

一种可能的实现方式中，第二码字数目是基于第一码字数目得到的，包括：第二码字数目等于第一码字数目。

另一种可能的实现方式中，第二码字长度是基于第一码字长度得到的，包括：

$$L_{LDPC2} = L_{LDPC1} - N_{punc_per_cw_default}$$

10 L_{LDPC2} 为第二码字长度， L_{LDPC1} 为第一码字长度， $N_{punc_per_cw_default}$ 为编码装置在第二编码速率下，一个码字所需打掉的默认校验比特的数目。

另一种可能的实现方式中，第二码字长度是基于第一码字长度得到的，包括：

$$L_{LDPC2} = L_{LDPC1} - N_{punc_per_cw_default} - N_{short_per_cw_default}$$

15 L_{LDPC2} 为第二码字长度， L_{LDPC1} 为第一码字长度， $N_{punc_per_cw_default}$ 为编码装置在第二编码速率下，一个码字所需打掉的默认校验比特的数目， $N_{short_per_cw_default}$ 为编码装置在第二编码速率下，一个码字所需的默认缩短比特的数目。

另一种可能的实现方式中，第二码字数目为编码装置在第二编码速率下的码字数目，第二码字长度为编码装置在第二编码速率下的码字长度。

另一种可能的实现方式中，第一编码速率小于第二编码速率。

20 另一种可能的实现方式中，第一负载比特是编码前的 PSDU 和服务字段中的比特；或者，第一负载比特是编码前的 PSDU、服务字段和预前向纠错填充比特中的比特。

另一种可能的实现方式中，第一可用比特 $N_{avbits_middle} = \frac{N_{pld1}}{R_{low}}$ ， N_{pld1} 为第一负载比特的数目， R_{low} 为第一编码速率。

25 另一种可能的实现方式中，第一可用比特 $N_{avbits_middle} = \frac{N_{pld1}}{r_{pld} R_{low}}$ ， N_{pld1} 为第一负载比特的数目， R_{low} 为第一编码速率， r_{pld} 为第一比值，第一比值为第一信息位的数目与第二信息位的数目的比值，第一信息位为编码装置在第二编码速率下，一个码字所对应的信息位，第二信息位为编码装置在第一编码速率下，一个码字所对应的信息位，第一信息位的数目等于第二信息位的数目减去一个码字所需的默认缩短比特的数目。

30 另一种可能的实现方式中，第一负载比特包括第一码字的数据比特；编码后的比特序列包括第一码字的重复比特；若第一校验比特数为 0，第一码字的重复比特从第一码字的数据比特的起始位开始重复，第一校验比特数是基于第二码字数目、第二码字长度和第一负载比特确定的。

35 另一种可能的实现方式中，第一负载比特包括第一码字的数据比特；编码后的比特序列包括第一码字的重复比特；若第一校验比特数为 0，第一码字的重复比特从第一码字的默认校验比特位的起始位开始重复，第一校验比特数是基于第二码字数目、第二码字长度和第一负载比特确定的；

当不满足第一条件和第二条件时，第一码字的重复比特从第一码字的数据比特的起始位开始重复；

第一条件包括：第二校验比特数大于第一数值与第三校验比特数的乘积，第一数值大于或等于第一阈值，第二校验比特数是编码装置在第一编码速率下第一码字数目对应的码字中所需打掉的校验比特数，第三校验比特数是编码装置在第一编码速率下第一码字数目对应的码字中包括的校验比特数；

5 第二条件包括：第二校验比特数大于第二数值与第三校验比特数的乘积，且第一缩短比特数与第二校验比特数的比值小于第一权值因子与第二阈值的乘积，第二数值大于或等于第三阈值，第二阈值是基于第一编码速率确定的，第一缩短比特数是编码装置在第一编码速率下第一码字数目对应的码字中包括的缩短比特数。

10 另一种可能的实现方式中，第一校验比特数 $N_{\text{punc}2} = \max(0, (N_{\text{CW}2} \times L_{\text{LDPC}2}) - N_{\text{avbits,real}} - N_{\text{shrt}2}$;

其中， $N_{\text{CW}2}$ 为第二码字数目， $L_{\text{LDPC}2}$ 为第二码字长度， $N_{\text{avbits,real}}$ 为编码装置在第二编码速率下的可用比特的数目， $N_{\text{shrt}2}$ 为编码装置在第二编码速率下第二码字数目对应的码字中包括的缩短比特的数目。

15 本申请实施例还提供一种编码装置 1000。图 10 为本申请实施例编码装置的另一个结构示意图。请参阅图 10，该编码装置 1000 包括处理器 1010，处理器 1010 与存储器 1020 耦合，存储器 1020 用于存储计算机程序或指令和/或数据，处理器 1010 用于执行存储器 1020 存储的计算机程序或指令和/或数据，使得上文方法实施例中的方法被执行。

可选的，该编码装置 1000 包括的处理器 1010 为一个或多个。

可选的，如图 10 所示，该编码装置 1000 还可以包括存储器 1020。

20 可选的，该编码装置 1000 包括的存储器 1020 可以为一个或多个。

可选的，该存储器 1020 可以与该处理器 1010 集成在一起，或者分离设置。

可选的，如图 10 所示，该编码装置 1000 还可以包括收发器 1030，收发器 1030 用于信号的接收和/或发送。例如，处理器 1010 用于控制收发器 1030 进行信号的接收和/或发送。

25 可选的，该编码装置 1000 用于实现上文方法实施例中由编码装置执行的操作。

例如，处理器 1010 用于实现上文方法实施例中由编码装置执行的处理相关的操作，收发器 1030 用于实现上文方法实施例中由编码装置执行的收发相关的操作。

30 本申请实施例还提供一种译码装置 1100。图 11 为本申请实施例译码装置的另一个结构示意图。请参阅图 11，该译码装置 1100 包括处理器 1110，处理器 1110 与存储器 1120 耦合，存储器 1120 用于存储计算机程序或指令和/或数据，处理器 1110 用于执行存储器 1120 存储的计算机程序或指令和/或数据，使得上文方法实施例中的方法被执行。

可选的，该译码装置 1100 包括的处理器 1110 为一个或多个。

可选的，如图 11 所示，该译码装置 1100 还可以包括存储器 1120。

可选的，该译码装置 1100 包括的存储器 1120 可以为一个或多个。

35 可选的，该存储器 1120 可以与该处理器 1110 集成在一起，或者分离设置。

可选的，如图 11 所示，该译码装置 1100 还可以包括收发器 1130，收发器 1130 用于信号的接收和/或发送。例如，处理器 1110 用于控制收发器 1130 进行信号的接收和/或发

送。

可选的，该译码装置 1100 用于实现上文方法实施例中由译码装置执行的操作。

例如，处理器 1110 用于实现上文方法实施例中由译码装置执行的处理相关的操作，收发器 1130 用于实现上文方法实施例中由译码装置执行的收发相关的操作。

5 本申请还提供一种编码装置。图 12 为本申请实施例提供的编码装置的另一个结构示意图。请参阅图 12，编码装置 1200 包括逻辑电路 1201。可选的，编码装置 1200 还包括输入输出接口 1202。编码装置 1200 可以用于执行上述图 5 所示的实施例中编码装置执行的步骤。

10 可选的，逻辑电路 1201 可以具有图 8 所示的实施例中的处理模块 801 的功能。输入输出接口 1202 可以具有图 8 所示的实施例中的收发模块 801 的功能。

可选的，逻辑电路 1201 可以具有图 10 所示的实施例中的处理器 1010 的功能，逻辑电路 1201 可以用于执行上述编码方法中的步骤。

图 12 所示的的编码装置 1200 可以执行上述方法实施例所示的技术方案，其实现原理以及有益效果类似此处不再进行赘述。

15 本申请还提供一种译码装置。图 13 为本申请实施例提供的译码装置的另一个结构示意图。请参阅图 13，译码装置 1300 包括逻辑电路 1301 和输入输出接口 1302。译码装置 1300 可以用于执行上述图 5 所示的实施例中译码装置执行的步骤。

可选的，逻辑电路 1301 可以具有图 9 所示的实施例中的处理模块 902 的功能。输入输出接口 1302 可以具有图 9 所示的实施例中的收发模块 901 的功能。

20 可选的，逻辑电路 1301 可以具有图 11 所示的实施例中的处理器 1110 的功能，逻辑电路 1301 可以用于执行上述编码方法中的步骤。

图 13 所示的译码装置 1300 可以执行上述方法实施例所示的技术方案，其实现原理以及有益效果类似此处不再进行赘述。

25 本申请实施例还提供了一种通信系统，该通信系统包括如图 8 所示的编码装置和如图 9 所示的译码装置。编码装置用于执行图 5 所示的实施例中编码装置执行的全部或部分步骤。译码装置用于执行图 5 所示的实施例中译码装置执行的全部或部分步骤。

本申请实施例还提供一种包括指令的计算机程序产品，当其在计算机上运行时，使得该计算机执行如上述图 5 所示的实施例的方法。

30 本申请实施例还提供了一种计算机可读存储介质，包括计算机指令，当该计算机指令在计算机上运行时，使得计算机执行如上述图 5 所示的实施例的方法。

本申请实施例还提供一种芯片装置，包括处理器，用于与存储器相连，调用该存储器中存储的程序，以使得该处理器执行上述图 5 所示的实施例的方法。

35 其中，上述任一处提到的处理器，可以是一个通用中央处理器，微处理器，特定应用集成电路 (application-specific integrated circuit, ASIC)，或一个或多个用于控制上述图 5 所示的实施例的方法的程序执行的集成电路。上述任一处提到的存储器可以为只读存储器 (read-only memory, ROM) 或可存储静态信息和指令的其他类型的静态存储设备，随机存取存储器 (random access memory, RAM) 等。

本申请中，除特殊说明外，各个实施例之间相同或相似的部分可以互相参考。在本申请中各个实施例、以及各实施例中的各个实施方式/实施方法/实现方法中，如果没有特殊说明以及逻辑冲突，不同的实施例之间、以及各实施例中的各个实施方式/实施方法/实现方法之间的术语和/或描述具有一致性、且可以相互引用，不同的实施例、以及各实施例中的各个实施方式/实施方法/实现方法中的技术特征根据其内在的逻辑关系可以组合形成新的实施例、实施方式、实施方法、或实现方法。以下所述的本申请实施方式并不构成对本申请保护范围的限定。

可以理解，说明书通篇中提到的“实施例”意味着与实施例有关的特定特征、结构或特性包括在本申请的至少一个实施例中。因此，在整个说明书各个实施例未必指相同的实施例。此外，这些特定的特征、结构或特性可以任意适合的方式结合在一个或多个实施例中。可以理解，在本申请的各种实施例中，各过程的序号的大小并不意味着执行顺序的先后，各过程的执行顺序应以其功能和内在逻辑确定，而不对本申请实施例的实施过程构成任何限定。

可以理解，本申请实施例中的一些可选的特征，在某些场景下，可以不依赖于其他特征，比如其当前所基于的方案，而独立实施，解决相应的技术问题，达到相应的效果，也可以在某些场景下，依据需求与其他特征进行结合。相应的，本申请实施例中给出的装置也可以相应的实现这些特征或功能，在此不予赘述。

所属领域的技术人员可以清楚地了解到，为描述的方便和简洁，上述描述的系统，装置和单元的具体工作过程，可以参考前述方法实施例中的对应过程，在此不再赘述。

在本申请所提供的几个实施例中，应该理解到，所揭露的系统，装置和方法，可以通过其它的方式实现。例如，以上所描述的装置实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如多个单元或组件可以结合或者可以集成到另一个系统，或一些特征可以忽略，或不执行。另一点，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口，装置或单元的间接耦合或通信连接，可以是电性，机械或其它的形式。

所述作为分离部件说明的单元可以是或者也可以不是物理上分开的，作为单元显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

另外，在本申请各个实施例中的各功能单元可以集成在一个处理单元中，也可以是各个单元单独物理存在，也可以两个或两个以上单元集成在一个单元中。上述集成的单元既可以采用硬件的形式实现，也可以采用软件功能单元的形式实现。

所述集成的单元如果以软件功能单元的形式实现并作为独立的产品销售或使用，可以存储在一个计算机可读取存储介质中。基于这样的理解，本申请的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的全部或部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算机，服务器，或者网络设备）执行本申请各个实施例所述方法的全部或部分步骤。而前述的存储介质包括：U盘、移动硬盘、只读存储器（read-only memory，ROM）、

随机存取存储器 (random access memory, RAM)、磁碟或者光盘等各种可以存储程序代码的介质。

5

权 利 要 求

1. 一种编码方法，其特征在于，所述方法包括：

编码装置确定第一负载比特，所述第一负载比特是待编码的数据比特；

所述编码装置根据所述第一负载比特和第一编码速率确定第一可用比特；

5 所述编码装置根据所述第一可用比特和第一对应关系确定第二码字数目和第二码字长度；

其中，所述第一对应关系是所述编码装置在所述第一编码速率下第一可用比特、第一码字数目和第一码字长度之间的对应关系，所述第二码字数目是基于所述第一码字数目得到的，所述第二码字长度是基于所述第一码字长度得到的。

10 2. 根据权利要求 1 所述的方法，其特征在于，所述第二码字数目是基于所述第一码字数目得到的，包括：

所述第二码字数目等于所述第一码字数目。

3. 根据权利要求 1 或 2 所述的方法，其特征在于，所述编码装置根据所述第一可用比特和第一对应关系确定第二码字数目和第二码字长度，包括：

15 所述编码装置从所述第一对应关系中确定所述第一可用比特对应的所述第一码字数目和所述第一码字长度；

所述编码装置将所述第一码字数目作为所述第二码字数目；

所述编码装置更新所述第一码字长度，得到所述第二码字长度。

20 4. 根据权利要求 3 所述的方法，其特征在于，所述编码装置更新所述第一码字长度，得到所述第二码字长度，包括：

$$L_{LDPC2} = L_{LDPC1} - N_{punc_per_cw_default}$$

所述 L_{LDPC2} 为所述第二码字长度，所述 L_{LDPC1} 为所述第一码字长度，所述 $N_{punc_per_cw_default}$ 为所述编码装置在第二编码速率下，一个码字所需打掉的默认校验比特的数目。

25 5. 根据权利要求 3 所述的方法，其特征在于，所述编码装置更新所述第一码字长度，得到所述第二码字长度，包括：

$$L_{LDPC2} = L_{LDPC1} - N_{punc_per_cw_default} - N_{short_per_cw_default}$$

所述 L_{LDPC2} 为所述第二码字长度，所述 L_{LDPC1} 为所述第一码字长度，所述 $N_{punc_per_cw_default}$ 为所述编码装置在第二编码速率下，一个码字所需打掉的默认校验比特的数目，所述 $N_{short_per_cw_default}$ 为所述编码装置在所述第二编码速率下，一个码字所需的默认缩短比特的数目。

30 6. 根据权利要求 1 至 5 中任一项所述的方法，其特征在于，所述第二码字数目为所述编码装置在第二编码速率下的码字数目，所述第二码字长度为所述编码装置在所述第二编码速率下的码字长度。

7. 根据权利要求 6 所述的方法，其特征在于，所述第一编码速率小于所述第二编码速率。

35 8. 根据权利要求 1 至 7 中任一项所述的方法，其特征在于，所述第一负载比特是编码前的物理层服务数据单元 PSDU 和服务字段中的比特；或者，所述第一负载比特是编码前的 PSDU、服务字段和预前向纠错填充比特中的比特。

9. 根据权利要求 1 至 8 中任一项所述的方法，其特征在于，所述第一可用比特 $N_{\text{avbits, middle}} = \frac{N_{\text{pld1}}}{R_{\text{low}}}$ ，所述 N_{pld1} 为所述第一负载比特的数目，所述 R_{low} 为所述第一编码速率。

10. 根据权利要求 1 至 8 中任一项所述的方法，其特征在于，所述编码装置根据所述第一负载比特和第一编码速率确定第一可用比特，包括：

所述编码装置根据所述第一负载比特、所述第一编码速率和第一比值确定所述第一可用比特，所述第一比值为第一信息位的数目与第二信息位的数目的比值，所述第一信息位为所述编码装置在第二编码速率下，一个码字所对应的信息位，所述第二信息位为所述编码装置在所述第一编码速率下，一个码字所对应的信息位的数目，所述第一信息位的数目等于所述第二信息位的数目减去一个码字所需的默认缩短比特的数目。

11. 根据权利要求 10 所述的方法，其特征在于，所述第一可用比特 $N_{\text{avbits, middle}} = \frac{N_{\text{pld1}}}{r_{\text{pld}} R_{\text{low}}}$ ，所述 N_{pld1} 为所述第一负载比特的数目，所述 R_{low} 为所述第一编码速率，所述 r_{pld} 为所述第一比值。

12. 根据权利要求 1 至 11 中任一项所述的方法，其特征在于，所述方法还包括：

所述编码装置根据所述第二码字数目和所述第二码字长度对所述第一负载比特进行编码，得到编码后的比特序列；

所述编码装置根据所述编码后的比特序列生成物理层协议数据单元 PPDU，并输出给译码装置。

13. 根据权利要求 12 所述的方法，其特征在于，所述第一负载比特包括第一码字的数据比特；所述编码装置根据所述第二码字数目和所述第二码字长度对所述第一负载比特进行编码，得到编码后的比特序列，包括：

若第一校验比特数为 0，所述编码装置确定所述第一码字的重复比特，所述第一码字的重复比特从所述第一码字的数据比特的起始位开始重复，所述第一校验比特数是基于所述第二码字数目、所述第二码字长度和所述第一负载比特确定的。

14. 根据权利要求 12 所述的方法，其特征在于，所述第一负载比特包括第一码字的数据比特；所述编码装置根据所述第二码字数目和所述第二码字长度对所述第一负载比特进行编码，得到编码后的比特序列，包括：

若第一校验比特数为 0，所述编码装置确定所述第一码字的重复比特，所述第一码字的重复比特从所述第一码字的默认校验比特位的起始位开始重复，所述第一校验比特数是基于所述第二码字数目、所述第二码字长度和所述第一负载比特确定的；

当不满足第一条件和第二条件时，所述第一码字的重复比特从所述第一码字的数据比特的起始位开始重复；

所述第一条件包括：第二校验比特数大于第一数值与第三校验比特数的乘积，所述第一数值大于或等于第一阈值，所述第二校验比特数是所述编码装置在所述第一编码速率下所述第一码字数目对应的码字中所需打掉的校验比特数，所述第三校验比特数是所述编码装置在所述第一编码速率下所述第一码字数目对应的码字中包括的校验比特数；

所述第二条件包括：所述第二校验比特数大于第二数值与所述第三校验比特数的乘积，

且第一缩短比特数与所述第二校验比特数的比值小于第一权值因子与第二阈值的乘积，所述第一数值大于或等于第三阈值，所述第二阈值是基于所述第一编码速率确定的，所述第一缩短比特数是所述编码装置在所述第一编码速率下所述第一码字数目对应的码字中包括的缩短比特数。

5 15. 根据权利要求 13 或 14 所述的方法，其特征在于，所述第一校验比特数 $N_{\text{punc}2} = \max(0, (N_{\text{CW}2} \times L_{\text{LDPC}2}) - N_{\text{avbits,real}} - N_{\text{shrt}2})$;

其中，所述 $N_{\text{CW}2}$ 为所述第二码字数目，所述 $L_{\text{LDPC}2}$ 为所述第二码字长度，所述 $N_{\text{avbits,real}}$ 为所述编码装置在第二编码速率下的可用比特的数目，所述 $N_{\text{shrt}2}$ 为所述编码装置在第二编码速率下所述第二码字数目对应的码字中包括的缩短比特的数目。

10 16. 根据权利要求 12 所述的方法，其特征在于，所述编码装置根据所述第二码字数目和所述第二码字长度对所述第一负载比特进行编码，得到编码后的比特序列，包括：

若满足第三条件和/或第四条件，所述编码装置确定增加低密度奇偶校验 LDPC 额外符号分片；

15 所述第三条件包括：第一校验比特数大于第一数值与第四校验比特数的乘积，所述第一数值大于或等于第一阈值，所述第一校验比特数是基于所述第二码字数目、所述第二码字长度和所述第一负载比特确定的，所述第四校验比特数是所述编码装置在第二编码速率下所述第二码字数目对应的码字中包括的校验比特数；

20 所述第四条件包括：所述第一校验比特大于第二数值与第四校验比特数的乘积，且第二缩短比特数与所述第一校验比特数的比值小于第一权值因子与第四阈值的乘积，所述第二数值大于或等于第三阈值，所述第二缩短比特数是所述编码装置在所述第二编码速率下所述第二码字数目对应的码字中包括的缩短比特的数目，所述第四阈值是基于所述第二编码速率确定的。

17. 根据权利要求 12 所述的方法，其特征在于，所述编码装置根据所述第二码字数目和所述第二码字长度对所述第一负载比特进行编码，得到编码后的比特序列，包括：

25 若满足第五条件和/或第六条件，所述编码装置确定增加低密度奇偶校验 LDPC 额外符号分片；

30 所述第五条件包括：第二校验比特数大于第三数值与第三校验比特数的乘积，所述第三数值大于 0.3，所述第二校验比特数是所述编码装置在所述第一编码速率下所述第一码字数目对应的码字中所需打掉的校验比特数，所述第三校验比特数是所述编码装置在所述第一编码速率下所述第一码字数目对应的码字中包括的校验比特数；

35 所述第六条件包括：所述第二校验比特数大于第四数值与所述第三校验比特数的乘积，且第二缩短比特与第一校验比特的比值小于第一权值因子与第四阈值的乘积，所述第四数值大于 0.1，所述第一校验比特数是基于所述第二码字数目、所述第二码字长度和所述第一负载比特确定的，所述第二缩短比特是所述编码装置在所述第二编码速率下所述第二码字数目对应的码字中包括的缩短比特数，所述第四阈值是基于第二编码速率确定的。

18. 一种译码方法，其特征在于，所述方法包括：

译码装置接收来自编码装置的物理层协议数据单元 PPDU，所述 PPDU 携带所述编码装置编码后的比特序列；

所述译码装置根据第二码字数目和第二码字长度对所述编码装置编码后的比特序列进行译码，得到译码后的数据比特；

其中，所述第二码字数目和所述第二码字长度是基于第一可用比特和第一对应关系确定的，所述第一对应关系是所述编码装置在第一编码速率下第一可用比特、第一码字数目和第一码字长度之间的对应关系，所述第一可用比特是根据第一负载比特和第一编码速率确定的，所述第一负载比特是所述编码后的比特序列中的数据比特，所述第二码字数目是基于所述第一码字数目得到的，所述第二码字长度是基于所述第一码字长度得到的。

19. 根据权利要求 18 所述的方法，其特征在于，所述第二码字数目是基于所述第一码字数目得到的，包括：

所述第二码字数目等于所述第一码字数目。

20. 根据权利要求 18 或 19 所述的方法，其特征在于，所述第二码字长度是基于所述第一码字长度得到的，包括：

$$L_{LDPC2} = L_{LDPC1} - N_{punc_per_cw_default}$$

所述 L_{LDPC2} 为所述第二码字长度，所述 L_{LDPC1} 为所述第一码字长度，所述 $N_{punc_per_cw_default}$ 为所述编码装置在第二编码速率下，一个码字所需打掉的默认校验比特的数目。

21. 根据权利要求 18 或 19 所述的方法，其特征在于，所述第二码字长度是基于所述第一码字长度得到的，包括：

$$L_{LDPC2} = L_{LDPC1} - N_{punc_per_cw_default} - N_{short_per_cw_default}$$

所述 L_{LDPC2} 为所述第二码字长度，所述 L_{LDPC1} 为所述第一码字长度，所述 $N_{punc_per_cw_default}$ 为所述编码装置在第二编码速率下，一个码字所需打掉的默认校验比特的数目，所述 $N_{short_per_cw_default}$ 为所述编码装置在所述第二编码速率下，一个码字所需的默认缩短比特的数目。

22. 根据权利要求 18 至 21 中任一项所述的方法，其特征在于，所述第二码字数目为所述编码装置在第二编码速率下的码字数目，所述第二码字长度为所述编码装置在所述第二编码速率下的码字长度。

23. 根据权利要求 22 所述的方法，其特征在于，所述第一编码速率小于所述第二编码速率。

24. 根据权利要求 18 至 23 中任一项所述的方法，其特征在于，所述第一负载比特是编码前的物理层服务数据单元 PSDU 和服务字段中的比特；或者，所述第一负载比特是编码前的 PSDU、服务字段和预前向纠错填充比特中的比特。

25. 根据权利要求 18 至 24 中任一项所述的方法，其特征在于，所述第一可用比特

$N_{avbits_middle} = \frac{N_{pld1}}{R_{low}}$ ，所述 N_{pld1} 为所述第一负载比特的数目，所述 R_{low} 为所述第一编码速率。

26. 根据权利要求 18 至 24 中任一项所述的方法，其特征在于，所述第一可用比特 $N_{avbits_middle} = \frac{N_{pld1}}{r_{pld} R_{low}}$ ，所述 N_{pld1} 为所述第一负载比特的数目，所述 R_{low} 为所述第一编码速率，所述 r_{pld} 为第一比值，所述第一比值为第一信息位的数目与第二信息位的数目的比值，

所述第一信息位为所述编码装置在第二编码速率下，一个码字所对应的信息位，所述第二信息位为所述编码装置在所述第一编码速率下，一个码字所对应的信息位，所述第一信息位的数目等于所述第二信息位的数目减去一个码字所需的默认缩短比特的数目。

27. 一种编码装置，其特征在于，所述编码装置包括处理器和存储器；

5 所述存储器用于存储计算机程序；

所述处理器用于调用并运行所述存储器中存储的所述计算机程序，使得所述编码装置执行如权利要求 1 至 17 中任一项所述的方法。

28. 一种译码装置，其特征在于，所述译码装置包括处理器和存储器；

所述存储器用于存储计算机程序；

10 所述处理器用于调用并运行所述存储器中存储的所述计算机程序，使得所述译码装置执行如权利要求 18 至 26 中任一项所述的方法。

29. 一种编码装置，其特征在于，所述编码装置包括逻辑电路，所述逻辑电路用于执行如权利要求 1 至 17 中任一项所述的处理操作。

15 30. 根据权利要求 29 所述的编码装置，所述编码装置还包括输入输出接口，所述输入输出接口用于执行如权利要求 1 至 17 中任一项所述的输入或输出操作。

31. 一种译码装置，其特征在于，所述译码装置包括逻辑电路和输入输出接口，所述逻辑电路用于执行如权利要求 18 至 26 中任一项所述的处理操作，所述输入输出接口用于执行如权利要求 18 至 26 中任一项所述的输入或输出操作。

20 32. 一种计算机可读存储介质，其特征在于，包括计算机指令，当所述计算机指令在计算机上运行时，使得计算机执行如权利要求 1 至 17 中任一项所述的方法，或者，使得所述计算机执行如权利要求 18 至 26 中任一项所述的方法。

33. 一种计算程序产品，其特征在于，包括计算机执行指令，当所述计算机执行指令在计算机上运行时，使得所述计算机执行如权利要求 1 至 17 或权利要求 18 至 26 中任一项所述的方法。

25

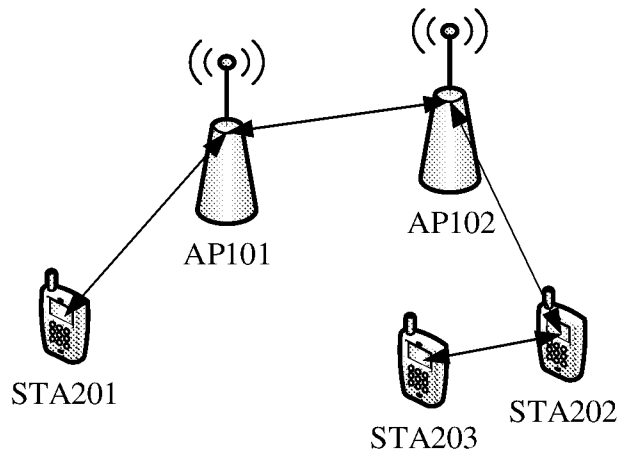


图 1a

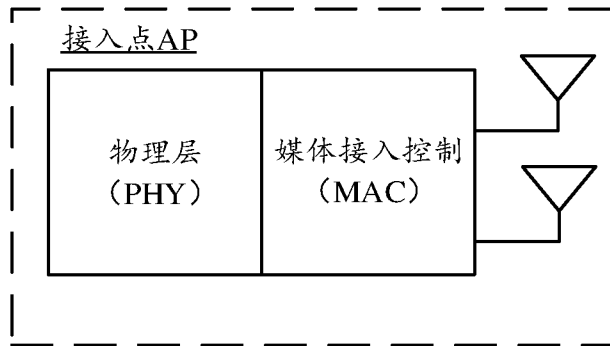


图 1b

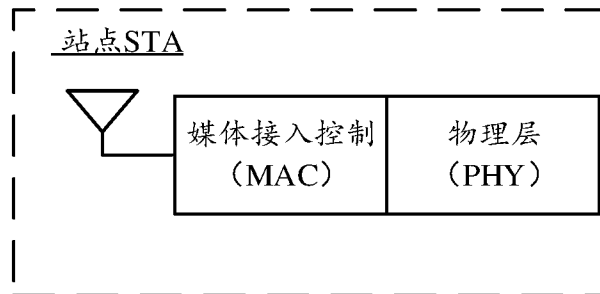


图 1c

用户信息列表字段 (User Info List)

帧控制 (frame control)	时长 (Duration)	接收地址 (RA)	发送地址 (TA)	公共信息 (Common Info)	用户信息 (user info)	用户信息 (user info)	...	用户信息 (user info)	填充 (padding)	帧校验 序列 (FCS)
------------------------	------------------	--------------	--------------	-----------------------	---------------------	---------------------	-----	---------------------	-----------------	--------------------

图2a

用户信息列表字段

公共信息字段										用户信息		User Info (STA 1) 用户信息		...		User Info (STA M)		
Trigger Type 触发帧类型	UL Length 上行长度	More TF 更多触发帧	CS Required 需要载波侦听	UL Bandwidth 上行带宽	GI And HE-LTF Type 保护间隔+HE长训练序列类型	MU-MIMO HE-LTF Mode 模式	Number of HE-LTF Symbols And Midamble Periodicity HE-LTF个数与中间码周期	UL STBC 上行空时块编码	基于触发帧类型的公共信息 Trigger Dependent Common Info									
LDCP Extra Symbol Segment	AP TX Power AP发射功率	Pre-FEC Padding Factor 前向纠错码前的填充因子	PE Disambiguity 包括歧义	UL Spatial Reuse 上行空间复用	Doppler 多普勒	UL HE-SIG-A2 Reserved 上行HE-SIG-A2预留	Reserved 预留	基于触发帧类型的公共信息 Trigger Dependent Common Info										
AID12 关联标识		RU Allocation 资源单元分配	UL FEC Coding Type 上行前向纠错编码类型	UL HE-MCS 调制与编码策略	UL DCM 上行双载波调制	SS Allocation/R A-RU Information 空间流分配/随机接入RU信息	UL Target RSSI 上行目标接收信号强度指示	Reserved 预留	基于触发帧类型的站点信息 Trigger Dependent User Info									

图2b

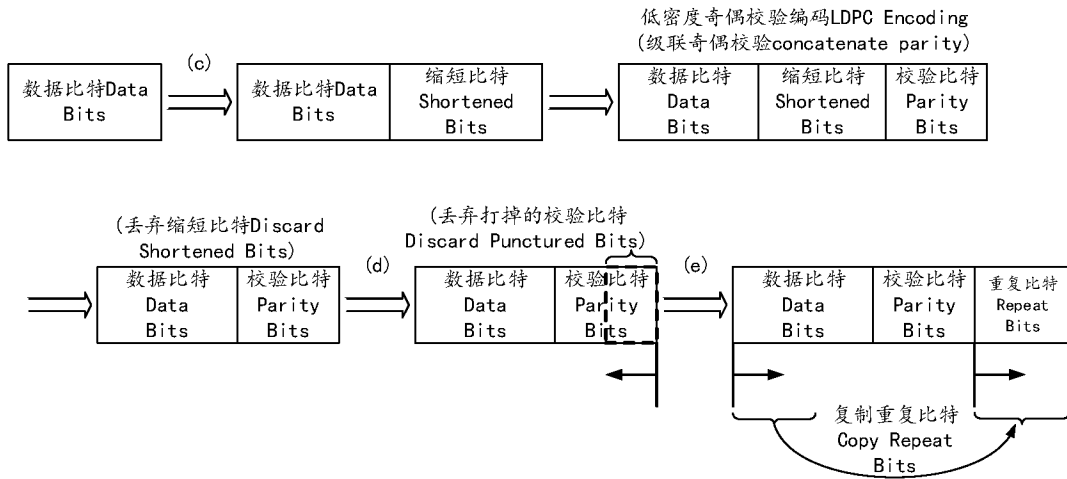


图 3

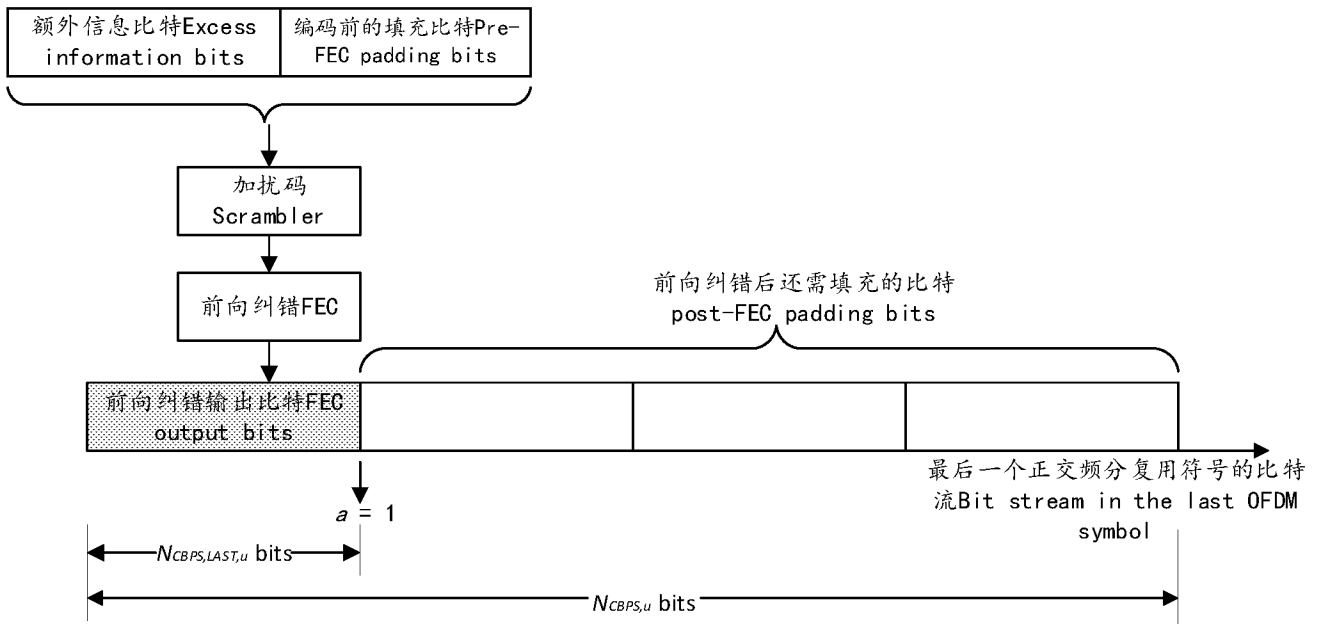


图 4

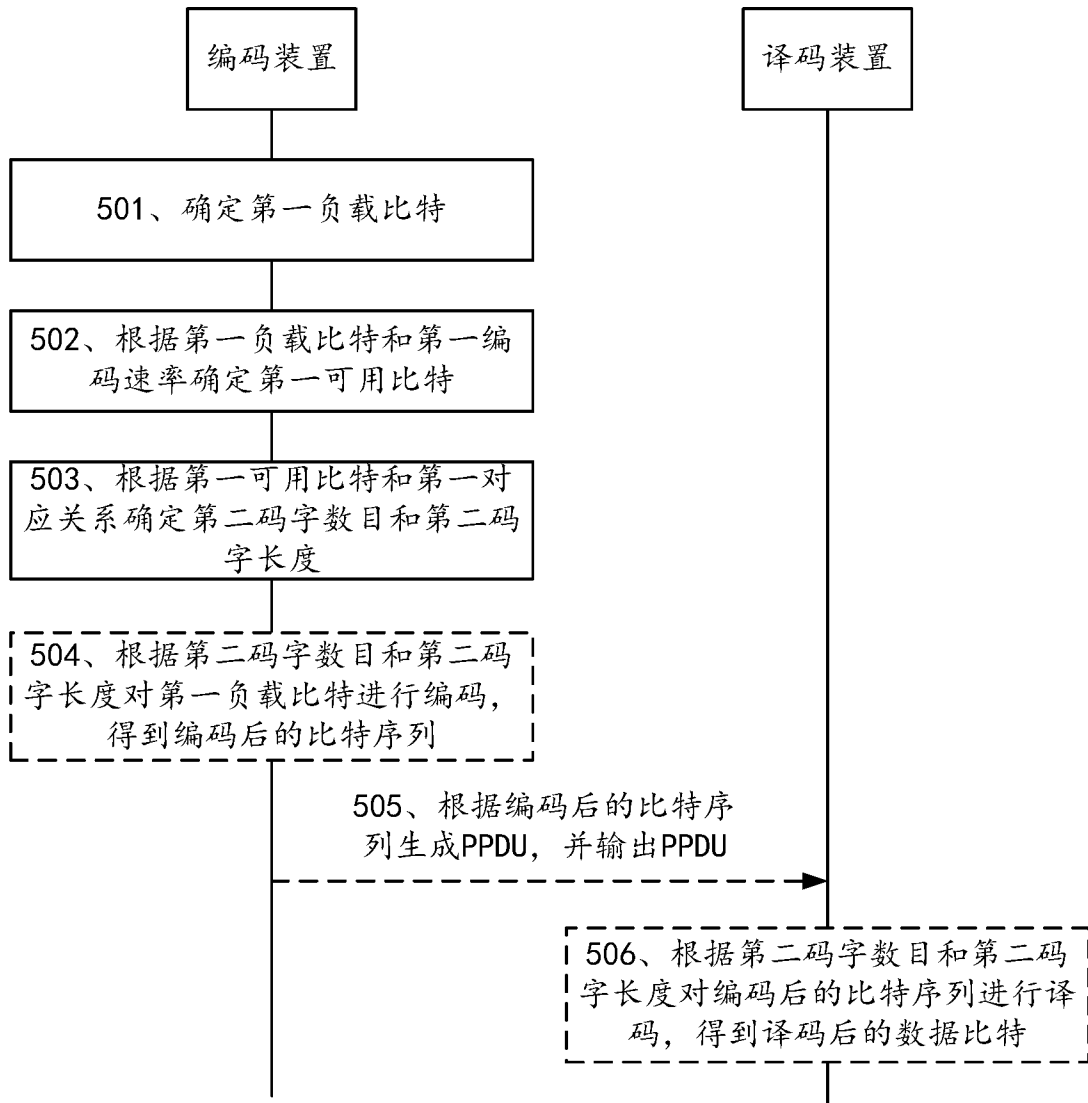


图 5

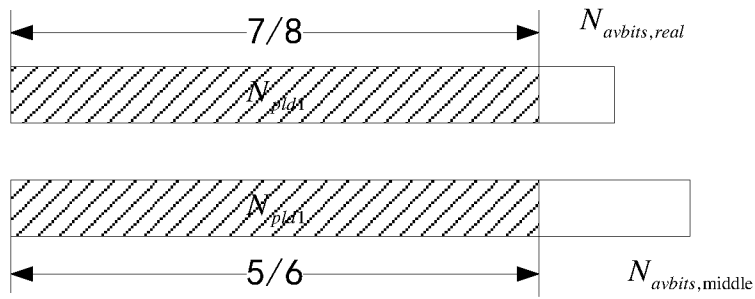


图 6

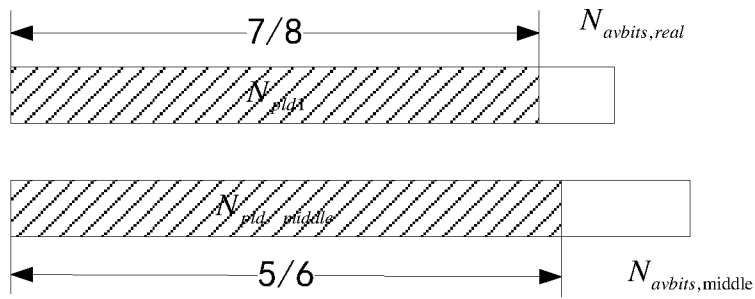


图 7

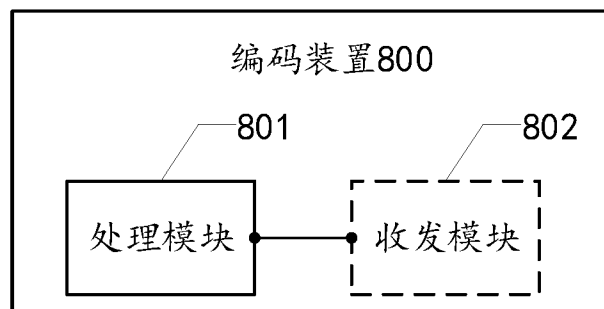


图 8

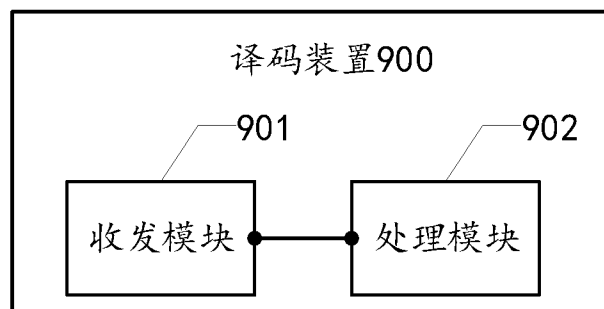


图 9

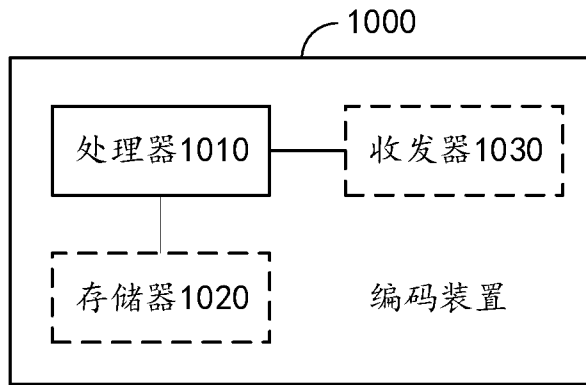


图 10

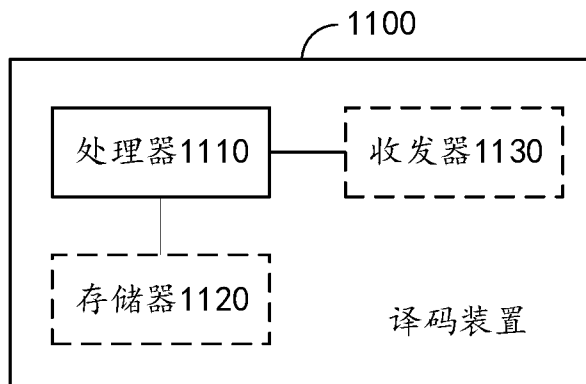


图 11

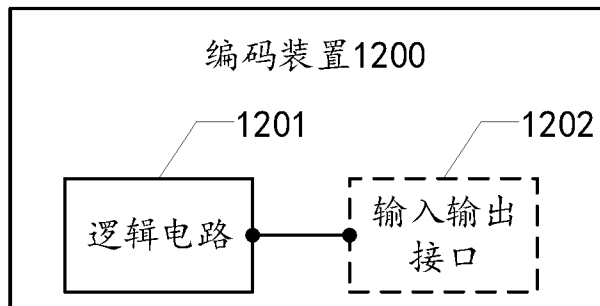


图 12

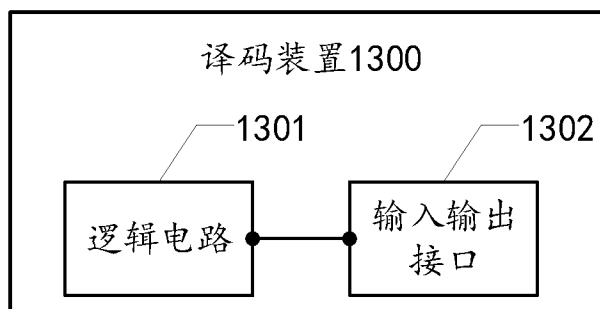


图 13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/116437

A. CLASSIFICATION OF SUBJECT MATTER		
H03M 13/11(2006.01)i; H03M 13/13(2006.01)i; H04L 1/00(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03M13/-,H04L1/-		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS; CNTXT; WPABSC; ENTXTC; CNKI: LDPC, 低密度奇偶校验, 码, 速率, 高, 低, 转换, 支持, 匹配, 数目, 数量, 长度, 可用比特, 中间比特, 负载比特, 载荷 VEN; WPABS; ENTXT; 3GPP: LDPC, code, rate, high, low, convert, support, match, number, length, available bit, avbits, middle bit, payload		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 113014268 A (MEDIATEK SINGAPORE PTE. LTD.) 22 June 2021 (2021-06-22) entire document	1-33
A	CN 113395132 A (HUAWEI TECHNOLOGIES CO., LTD.) 14 September 2021 (2021-09-14) entire document	1-33
A	CN 109891755 A (LG ELECTRONICS INC.) 14 June 2019 (2019-06-14) entire document	1-33
A	US 2008008083 A1 (NOKIA CORP.) 10 January 2008 (2008-01-10) entire document	1-33
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 24 November 2022		Date of mailing of the international search report 07 December 2022
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/CN2022/116437

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113014268	A	22 June 2021	DE	102020133739	A1	24 June 2021
				US	2021194623	A1	24 June 2021
CN	113395132	A	14 September 2021	WO	2021180217	A1	16 September 2021
CN	109891755	A	14 June 2019	KR	20180104759	A	21 September 2018
				US	2021167800	A1	03 June 2021
				JP	2020501429	A	16 January 2020
				WO	2018128435	A2	12 July 2018
				EP	3567730	A2	13 November 2019
				WO	2018128435	A3	30 August 2018
				KR	101998199	B1	09 July 2019
				EP	3567730	A4	02 September 2020
US	2008008083	A1	10 January 2008	US	7664008	B2	16 February 2010

国际检索报告

国际申请号

PCT/CN2022/116437

<p>A. 主题的分类</p> <p>H03M 13/11(2006.01)i; H03M 13/13(2006.01)i; H04L 1/00(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H03M13/-, H04L1/-</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS;CNTXT;WPABSC;ENTXTC;CNKI:LDPC, 低密度奇偶校验, 码, 速率, 高, 低, 转换, 支持, 匹配, 数目, 数量, 长度, 可用比特, 中间比特, 负载比特, 载荷 VEN;WPABS;ENTXT;3GPP:LDPC, code, rate, high, low, convert, support, match, number, length, available bit, avbits, middle bit, payload</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 113014268 A (联发科技新加坡私人有限公司) 2021年6月22日 (2021 - 06 - 22) 全文</td> <td>1-33</td> </tr> <tr> <td>A</td> <td>CN 113395132 A (华为技术有限公司) 2021年9月14日 (2021 - 09 - 14) 全文</td> <td>1-33</td> </tr> <tr> <td>A</td> <td>CN 109891755 A (LG 电子株式会社) 2019年6月14日 (2019 - 06 - 14) 全文</td> <td>1-33</td> </tr> <tr> <td>A</td> <td>US 2008008083 A1 (NOKIA CORP.) 2008年1月10日 (2008 - 01 - 10) 全文</td> <td>1-33</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 113014268 A (联发科技新加坡私人有限公司) 2021年6月22日 (2021 - 06 - 22) 全文	1-33	A	CN 113395132 A (华为技术有限公司) 2021年9月14日 (2021 - 09 - 14) 全文	1-33	A	CN 109891755 A (LG 电子株式会社) 2019年6月14日 (2019 - 06 - 14) 全文	1-33	A	US 2008008083 A1 (NOKIA CORP.) 2008年1月10日 (2008 - 01 - 10) 全文	1-33
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
A	CN 113014268 A (联发科技新加坡私人有限公司) 2021年6月22日 (2021 - 06 - 22) 全文	1-33															
A	CN 113395132 A (华为技术有限公司) 2021年9月14日 (2021 - 09 - 14) 全文	1-33															
A	CN 109891755 A (LG 电子株式会社) 2019年6月14日 (2019 - 06 - 14) 全文	1-33															
A	US 2008008083 A1 (NOKIA CORP.) 2008年1月10日 (2008 - 01 - 10) 全文	1-33															
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p>																	
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																	
<p>国际检索实际完成的日期</p> <p>2022年11月24日</p>		<p>国际检索报告邮寄日期</p> <p>2022年12月7日</p>															
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>文华胤</p> <p>电话号码 (86-28)62969318</p>															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/116437

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113014268	A	2021年6月22日	DE	102020133739	A1	2021年6月24日
				US	2021194623	A1	2021年6月24日
CN	113395132	A	2021年9月14日	WO	2021180217	A1	2021年9月16日
CN	109891755	A	2019年6月14日	KR	20180104759	A	2018年9月21日
				US	2021167800	A1	2021年6月3日
				JP	2020501429	A	2020年1月16日
				WO	2018128435	A2	2018年7月12日
				EP	3567730	A2	2019年11月13日
				WO	2018128435	A3	2018年8月30日
				KR	101998199	B1	2019年7月9日
				EP	3567730	A4	2020年9月2日
US	2008008083	A1	2008年1月10日	US	7664008	B2	2010年2月16日