



(12) 发明专利申请

(10) 申请公布号 CN 117293018 A

(43) 申请公布日 2023. 12. 26

(21) 申请号 202311074164.4

H01L 21/3065 (2006.01)

(22) 申请日 2018.05.24

H01L 21/308 (2006.01)

(30) 优先权数据

H01L 21/3213 (2006.01)

62/536,275 2017.07.24 US

H01L 21/311 (2006.01)

H01L 21/3205 (2006.01)

(62) 分案原申请数据

H01L 21/3105 (2006.01)

201880036516.8 2018.05.24

H01L 21/033 (2006.01)

(71) 申请人 应用材料公司

地址 美国加利福尼亚州

(72) 发明人 程睿 Y·杨 陈一宏

K·嘉纳基拉曼 A·B·玛里克

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

专利代理师 付尉琳 侯颖嫫

(51) Int. Cl.

H01L 21/205 (2006.01)

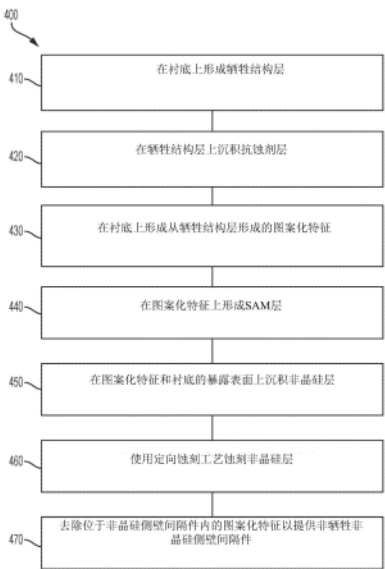
权利要求书1页 说明书17页 附图10页

(54) 发明名称

改善在氧化硅上的超薄非晶硅膜的连续性的
预处理方法

(57) 摘要

在一个实现方式中,提供了一种在处理腔室中的衬底上形成非晶硅层的方法。所述方法包括在衬底上沉积预定厚度的牺牲介电层。所述方法还包括通过去除所述牺牲介电层的部分以暴露所述衬底的上表面来在所述衬底上形成图案化特征。所述方法还包括对所述图案化特征执行等离子体处理。所述方法还包括在所述图案化特征和所述衬底的所述暴露上表面上沉积非晶硅层。所述方法还包括使用各向异性蚀刻工艺从所述图案化特征的上表面和所述衬底的所述上表面选择性去除所述非晶硅层,以提供填充在由所述非晶硅层形成的侧壁间隔件内的所述图案化特征。



1. 一种在处理腔室中的衬底上形成非晶硅层的方法,包括:
在定位在处理容积中的衬底上沉积预定厚度的牺牲介电层;
通过去除所述牺牲介电层的部分以暴露所述衬底的上表面,在所述衬底上形成图案化特征;

在所述图案化特征上形成自组装单层 (SAM), 其中所述SAM由SAM前驱物形成, 所述SAM前驱物选自包括以下项的群组: 双(二乙基氨基)硅烷 (“BDEAS”)、六氯二硅烷 (“HCDS”)、如(3-氨基丙基)三乙氧硅烷 (“APTES”) 和十八烷基三氯硅烷 (“ODTS”);

在所述SAM和所述衬底的所述暴露上表面上沉积非晶硅层; 以及

使用各向异性蚀刻工艺从所述图案化特征的上表面和所述衬底的所述上表面选择性去除所述非晶硅层, 以提供填充在由所述非晶硅层形成的侧壁间隔件内的所述图案化特征。

2. 如权利要求1所述的方法, 其中在所述SAM和所述图案化特征以及所述衬底的所述暴露上表面上沉积所述非晶硅层包括: 将所述图案化特征暴露于硅前驱物以形成具有包含氢的可脱气物质的所述非晶硅层。

3. 如权利要求2所述的方法, 还包括将所述非晶硅层暴露于惰性除气环境, 以从所述非晶硅层去除所述可脱气物质来形成除气的非晶硅层。

4. 如权利要求1所述的方法, 其特征在于, 所述非晶硅层具有在约10埃至约100埃范围内的厚度。

5. 一种在处理腔室中的衬底上形成非晶硅层的方法, 包括:
在定位在处理容积中的衬底上沉积预定厚度的牺牲介电层;
通过去除所述牺牲介电层的部分以暴露所述衬底的上表面, 在所述衬底上形成图案化特征;

对所述图案化特征执行等离子体处理;

在所述等离子体处理的图案化特征上形成自组装单层 (“SAM”), 其中所述SAM由SAM前驱物形成, 所述SAM前驱物选自包括以下项的群组: 双(二乙基氨基)硅烷 (“BDEAS”)、六氯二硅烷 (“HCDS”)、如(3-氨基丙基)三乙氧硅烷 (“APTES”) 和十八烷基三氯硅烷 (“ODTS”);

在所述SAM和所述衬底的所述暴露上表面上沉积非晶硅层; 以及

使用各向异性蚀刻工艺从所述图案化特征的上表面和所述衬底的所述上表面选择性去除所述非晶硅层, 以提供填充在由所述非晶硅层形成的侧壁间隔件内的所述图案化特征。

6. 如权利要求5所述的方法, 其中在所述SAM和所述图案化特征以及所述衬底的所述暴露上表面上沉积所述非晶硅层包括: 将所述图案化特征暴露于硅前驱物以形成具有包含氢的可脱气物质的所述非晶硅层。

7. 如权利要求6所述的方法, 还包括将所述非晶硅层暴露于惰性除气环境, 以从所述非晶硅层去除所述可脱气物质来形成除气的非晶硅层。

8. 如权利要求7所述的方法, 其中所述硅前驱物包括乙硅烷、丙硅烷、丁硅烷、异丁硅烷、新戊硅烷、环戊硅烷、己硅烷、环己硅烷和以上项的组合中的一种或多种。

9. 如权利要求5所述的方法, 其中所述非晶硅层具有在约10埃至约100埃范围内的厚度。

改善在氧化硅上的超薄非晶硅膜的连续性的预处理方法

[0001] 本申请是申请日为2018年5月24日、申请号为“201880036516.8”、发明名称为“改善在氧化硅上的超薄非晶硅膜的连续性的预处理方法”的发明专利申请的分案申请。

技术领域

[0002] 本文描述的实现方式总的来说涉及集成电路的制造,并且特别地涉及非晶硅膜在氧化物材料上的沉积。

背景技术

[0003] 集成电路已经被发展成在单个芯片上可包括数百万个晶体管、电容器和电阻器的复杂器件。芯片设计的发展持续地需要更快的电路和更大的电路密度。对具有更大的电路密度的更快的电路的需求对于制造这种集成电路的材料提出了对应需求。特别地,随着集成电路部件的尺寸减小到亚微米级,现在有必要使用低电阻率导电材料以及低介电常数绝缘材料来从此类部件获得合适的电性能。然而,这些低介电常数绝缘材料经常遇到粗糙度问题,这增加了之后沉积的膜中的粗糙度并可能影响在膜之间的粘附性。另外,这些低介电常数绝缘材料中的一些是不连续的,这可能导致下面的氧化物材料的不期望的蚀刻。

[0004] 因此,需要用于形成具有减小的粗糙度和改善的连续性中的至少一个的薄的非晶硅膜的改善的方法。

发明内容

[0005] 本文描述的实现方式总的来说涉及集成电路的制造,并且特别地涉及非晶硅膜在氧化物材料上的沉积。在一个实现方式中,提供了一种在处理腔室中的衬底上形成非晶硅层的方法。所述方法包括在衬底上沉积预定厚度的牺牲介电层。所述方法还包括通过去除所述牺牲介电层的部分以暴露所述衬底的上表面来在所述衬底上形成图案化特征。所述方法还包括对所述图案化特征执行等离子体处理。所述方法还包括在所述图案化特征和所述衬底的所述暴露上表面上沉积非晶硅层。所述方法还包括使用各向异性蚀刻工艺从所述图案化特征的上表面和所述衬底的所述上表面选择性去除所述非晶硅层,以提供填充在由所述非晶硅层形成的侧壁间隔件内的所述图案化特征。

[0006] 在另一个实现方式中,提供了一种在处理腔室中的衬底上形成非晶硅层的方法。所述方法包括在衬底上沉积预定厚度的牺牲介电层。所述方法还包括通过去除所述牺牲介电层的部分以暴露所述衬底的上表面来在所述衬底上形成图案化特征。所述方法还包括在所述图案化特征上形成SAM。所述方法还包括在所述SAM和所述衬底的所述暴露上表面上沉积非晶硅层。所述方法还包括使用各向异性蚀刻工艺从所述图案化特征的上表面和所述衬底的所述上表面选择性去除所述非晶硅层,以提供填充在由所述非晶硅层形成的侧壁间隔件内的所述图案化特征。

[0007] 在又一个实现方式中,提供了一种在处理腔室中的衬底上形成非晶硅层的方法。所述方法包括在衬底上沉积预定厚度的牺牲介电层。所述方法还包括通过去除所述牺牲介

电层的部分以暴露所述衬底的上表面来在所述衬底上形成图案化特征。所述方法还包括对所述图案化特征执行等离子体处理。所述方法还包括在所述等离子体处理的图案化特征上形成SAM。所述方法还包括在所述SAM和所述衬底的所述暴露上表面上沉积非晶硅层。所述方法还包括使用各向异性蚀刻工艺从所述图案化特征的上表面和所述衬底的所述上表面选择性去除所述非晶硅层,以提供填充在由所述非晶硅层形成的侧壁间隔件内的所述图案化特征。

附图说明

[0008] 为了能够详细地理解本公开内容的上述特征,可以参考实现方式得到如以上简要概述的实现方式的更具体的描述,其中一些实现方式在附图中示出。然而,应当注意,附图仅示出了本公开内容的典型的实现方式,并且因此不应视为对本公开内容的范围的限制,因为本公开内容可以允许其他等效实现方式。

[0009] 图1描绘了可用于实践本文描述的实现方式的设备的示意图;

[0010] 图2是描绘了如本文所述的用于用等离子体处理的间隔件形成的方法的一个实现方式的工艺流程图;

[0011] 图3A至图3E是根据图2的工艺流程图形成的结构的示意性侧视图;

[0012] 图4是描绘根据本文描述的实现方式的用于间隔件形成的方法的另一个实现方式的工艺流程图;

[0013] 图5A至图5F是根据图4的工艺流程图形成的结构的示意性侧视图;

[0014] 图6是描绘根据本文描述的实现方式的用于间隔件形成的方法的另一个实现方式的工艺流程图;

[0015] 图7是描绘根据本文描述的实现方式的用于间隔件形成的方法的另一个实现方式的工艺流程图;

[0016] 图8A示出了未经任何处理沉积在氧化物衬底上的 30\AA 的非晶硅膜的扫描电子显微镜 (SEM) 图像;以及

[0017] 图8B示出了根据本公开内容的一个或多个实现方式的在用 NH_3 等离子体处理氧化物表面之后沉积在氧化物衬底上的 30\AA 的非晶硅膜的SEM图像。

[0018] 为了便于理解,已经尽可能地使用相同的附图标记来标示各图共有的相同元件。设想的是,一个实现方式的要素和特征可以有利地并入其他实现方式,而不进一步叙述。

[0019] 具体实现方式

[0020] 以下公开内容描述了用于在氧化物材料上沉积非晶硅膜的膜和技术。某些细节在以下描述中和在图1至图8B中阐明以提供对本公开内容的各种实现方式的透彻理解。描述通常与沉积和蚀刻工艺相关联的熟知的结构和系统的其他细节并未在以下公开内容中阐明,以避免不必要地模糊对各种实现方式的描述。

[0021] 在附图中示出的许多细节、尺寸、角度和其他特征仅例示了特定实现方式。因此,在不脱离本公开内容的精神或范围的情况下,其他实现方式可具有其他细节、部件、尺寸、角度和特征。另外,本公开内容的另外的实现方式可在没有以下描述的细节中的若干细节的情况下实践。

[0022] 下面将参考化学气相沉积 (CVD) 工艺来描述本文描述的实现方式,所述CVD工艺诸

如可使用任何合适的薄膜沉积系统完成的热CVD工艺、热线化学气相沉积 (HWCVD) 工艺和/或等离子体增强化学气相沉积 (PECVD) 工艺。合适的系统的示例包括可商购自加利福尼亚州圣克拉拉应用材料公司 (Applied Materials, Inc., of Santa Clara, Calif.) 的可使用 DXZ® 处理腔室的 CENTURA® 系统、PRECISION 5000® 系统、PRODUCER® 系统、PRODUCER® GT™ 系统、PRODUCER® XP Precision™ 系统和 PRODUCER® SE™ 系统。能够执行热CVD、HWCVD和PECVD工艺的其他工具还可以适于从本文描述的实现方式受益。另外,可以有利地使用可实现本文描述的热CVD、HWCVD和/或PECVD工艺的任何系统。本文描述的设备描述是例示性的,而不应被理解或解释为限制本文描述的实现方式的范围。

[0023] 在氧化物堆叠上沉积非晶硅膜期间,已经观察到在非晶硅膜与下面的氧化物膜之间的粗糙度和粘附性问题。本文描述的实现方式中的一些提供了在非晶硅沉积之前处理下面的氧化物膜的方法,这种方法减小了在氧化物上的非晶硅膜的粗糙度同时改善了在非晶硅膜与氧化物堆叠之间的粘附性/成核化。在本公开内容的一些实现方式中,为了减小粗糙度,在沉积非晶硅膜之前,将下面的氧化物膜暴露于等离子体处理和/或自组装单层 (SAM) 处理。不受理论束缚但认为的是,等离子体处理工艺改型存在于氧化硅表面上的悬空键,以减小粗糙度并提高粘附性。

[0024] 在另一个实现方式中,恰好在沉积超薄 (例如,10Å 至100Å厚) 的非晶硅膜之前,采用等离子体处理 (Ar、NH₃或N₂O) 或SAM处理。在一些实现方式中,SAM前驱物选自BDEAS、HCDS、APTES或OTS。不受理论束缚,预处理的目的是将下面的氧化物表面的悬空键 (例如, Si-OH) 改型为Si-NH₂或Si-CH₃。在未经处理的情况下,在用于非晶硅的氧化物衬底上的成核位置的数量受相对高的能量势垒的限制,并且因此膜生长机制是岛状生长。发明人观察到,不连续性典型地发生在不同硅域的边界处。另外,发明人观察到,通过等离子体处理或SAM处理产生不同的官能基团 (例如, NH₂或CH₃)。不受理论束缚但认为的是,与悬空-OH基团相比,硅簇在NH₂或CH₃改型的表面上具有更好的成核系数。由于较高的成核密度,因此减小了域的大小并改善了膜连续性。

[0025] 如本文所使用地,“自组装单层”(“SAM”)一般是指附着 (例如,通过化学键) 到表面并相对于该表面并甚至相对于彼此已采取了优选取向的分子层。SAM典型地包括两性分子的有组织层,其中分子的一端,即“头部基团”,显出对衬底的特定的可逆的亲合力。头部基团的选择将取决于SAM的应用,并且SAM化合物的类型基于所利用的衬底。一般,头部基团连接到烷基链,其中尾部或“末端”可被官能化,例如以改变润湿性和界面性质。已经示出自组装单层具有足够的时间来完全地覆盖表面,使得该表面的性质被改变。形成SAM的分子将选择性附着到在另一种材料上的一种材料 (例如,硅对电介质),并且如果密度是足够的,那么可成功地阻止在之后的沉积,以允许在未涂覆SAM的材料上进行选择性沉积。

[0026] 图1描绘了根据本文描述的实现方式的可用于执行氧化物处理和之后的非晶硅层沉积的衬底处理系统132的示意图。衬底处理系统132包括工艺腔室100,该工艺腔室耦接到气体面板130和控制器110。工艺腔室100一般包括顶壁124、侧壁101和底壁122,它们限定处理容积126。用于支撑衬底的支撑底座150提供在工艺腔室100的处理容积126中。支撑底座150由管座160支撑并可以典型地由铝、陶瓷和其他合适的材料制造。支撑底座150可以使用移位机构 (未示出) 在工艺腔室100内在竖直方向上移动。

[0027] 支撑底座150可以包括嵌入的加热元件170,该嵌入的加热元件适于控制支撑在支

撑底座150的表面192上的衬底190的温度。可以通过将来自电源106的电流施加到嵌入的加热元件170来电阻地加热支撑底座150。嵌入的加热元件170可以由包封在镍铁铬合金(例如,INCOLOY®)鞘管中的镍铬线材制成。从电源106供应的电流由控制器110调节,以控制由嵌入的加热元件170产生的热,从而在膜沉积期间维持衬底190和支撑底座150处于基本上恒定的温度。可以调整供应的电流以将支撑底座150的温度选择性控制在约100摄氏度至约700摄氏度之间。

[0028] 温度传感器172(诸如热电偶)可以嵌入在支撑底座150中,以便以常规的方式监测支撑底座150的温度。测量的温度将由控制器110用来控制供应到嵌入的加热元件170的功率,以维持衬底处于期望温度。

[0029] 真空泵102耦接到形成在工艺腔室100的底部中的端口。真空泵102用于维持工艺腔室100中的期望的气体压力。真空泵102还从工艺腔室100抽空工艺的后处理气体和副产物。

[0030] 衬底处理系统132还可以包括用于控制腔室压力的附加设备,例如定位在工艺腔室100与真空泵102之间以控制腔室压力的阀(例如,节流阀和隔离阀)。

[0031] 具有多个孔隙128的喷头120设置在工艺腔室100的顶部上、处于支撑底座150上方。喷头120的孔隙128用于将工艺气体引入工艺腔室100中。孔隙128可以具有不同大小、数量、分布、形状、设计和参数,以促进用于不同工艺要求的各种工艺气体的流动。喷头120连接到气体面板130,以允许各种气体在处理期间供应到处理容积126。等离子体由离开喷头120的工艺气体混合物形成,以增强工艺气体热解,从而造成材料沉积在衬底190的表面191上。

[0032] 喷头120和支撑底座150可以在处理容积126中形成一对间隔开的电极。一个或多个RF电源140通过匹配网络138将偏压电势提供到喷头120,以促进在喷头120与支撑底座150之间产生等离子体。作为可替代地,RF电源140和匹配网络138可以耦接到喷头120、支撑底座150,或者耦接到喷头120和支撑底座150两者,或者耦接到设置在工艺腔室100外部的天线(未示出)。在一个实现方式中,RF电源140可以在约50kHz至约13.6MHz的频率下提供在约100瓦特与约3,000瓦特之间的功率。在另一个实现方式中,RF电源140可以在约50kHz至约13.6MHz的频率下提供在约500瓦特与约1,800瓦特之间的功率。

[0033] 控制器110包括中央处理单元(CPU)112、存储器116和用于控制工艺序列并调节来自气体面板130的气流的支持电路114。CPU 112可以是可用于工业设置中的任何形式的通用计算机处理器。软件例程可存储在存储器116(诸如随机存取存储器、只读存储器、软盘、或硬盘驱动器,或者其他形式的数字存储装置)中。支持电路114常规地耦接到CPU 112并可以包括高速缓存、时钟电路、输入/输出系统、电源等。在控制器110与衬底处理系统132的各种部件之间的双向通信通过许多信号线缆(统称信号总线118,其中一些在图1中示出)进行处理。

[0034] 在一个实现方式中,衬底190的表面191是基本上平坦的。作为可替代地,衬底190可以具有图案化结构,该图案化结构中形成了具有沟槽、孔或通孔的表面。衬底190还可以具有基本上平坦的表面,该基本上平坦的表面上或该基本上平坦的表面中的期望高度处形成有结构。尽管将衬底190示出为单一主体,但是应当理解,衬底190可以含有用于形成半导体器件(诸如金属触点、沟槽隔离、栅极、位线或任何其他互连特征)的一种或多种材料。衬

底190可以包括用于制造半导体器件的一个或多个金属层、一种或多种介电材料、半导体材料和以上项的组合。例如,取决于应用,衬底190可以包括氧化物材料、氮化物材料、多晶硅材料等。

[0035] 在期望存储器应用的一个实现方式中,衬底190可以包括硅衬底材料、氧化物材料和氮化物材料,其中有多晶硅或没有多晶硅夹在它们之间。在另一个实现方式中,衬底190可以包括沉积在衬底(未示出)的表面上的多种交替的氧化物和氮化物材料(即,氧化物-氮化物-氧化物(ONO))。在各种实现方式中,衬底190可以包括多种交替的氧化物和氮化物材料、一种或多种氧化物或氮化物材料、多晶硅或非晶硅材料、与非晶碳交替的氧化物、与多晶硅交替的氧化物、与掺杂硅交替的未掺杂硅、与掺杂多晶硅交替的未掺杂多晶硅、或与掺杂非晶硅交替的未掺杂非晶硅。衬底可以是在其上执行膜处理的任何衬底或材料表面。例如,衬底190可以是诸如晶体硅、氧化硅、氧氮化硅、氮化硅、应变硅、硅锗、钨、氮化钛、掺杂或未掺杂多晶硅、掺杂或未掺杂硅晶片、以及图案化或非图案化晶片、绝缘体上硅(SOI)、碳掺杂氧化硅、氮化硅、掺杂硅、锗、砷化镓、玻璃、蓝宝石、低k电介质和以上项组合之类的材料。

[0036] 图2是描绘了如本文所述的用于用等离子体处理的间隔件形成的方法200的一个实现方式的工艺流程图。图3A至图3E是根据图2的工艺形成的结构的示意性侧视图。形成工艺可以在有或没有等离子体的情况下发生。沉积可由热CVD工艺或PECVD工艺发生。设想的是,出于说明的目的,选择自对准双图案化工艺。本公开内容的概念同样地可应用于其他工艺,例如单图案化或双图案化方案,诸如通孔/孔收缩工艺、自对准的三重图案化(SATP)工艺或自对准的四重图案化(SAQP)工艺等,这些工艺如在各种半导体工艺(诸如NAND闪存应用、DRAM应用或CMOS应用等)中所需要地可能需要使用具有可变线宽和间距的保护性间隔件或保护性牺牲层。另外,本文描述的方法可以用于任何期望在下面的氧化物膜上沉积非晶硅的工艺。

[0037] 方法200通过在衬底300上形成牺牲结构层320在操作210处开始。所述衬底可以类似于衬底190。牺牲结构层320可以是硅基材料,诸如氧化硅、氮化硅或多晶硅。作为可替代地,牺牲结构层320可以是碳基材料,诸如非晶碳。在期望碳基牺牲结构层的情况下,牺牲结构层320可以是非晶碳和氢(氢化非晶碳膜)的组合。一种示例性非晶碳膜可以是可从加利福尼亚州圣克拉拉应用材料公司商购的可剥离的高级图案化膜™(APF)材料。设想的是,用于牺牲结构层320的材料的选择可以取决于相对于在其上形成的保形保护层的蚀刻/灰化速率而变化。尽管未示出,但是在使用碳基牺牲结构层的某些实现方式中,可以在光刻图案化工艺期间在碳基牺牲结构层上沉积一个或多个抗反射涂覆层以控制光的反射。合适的抗反射涂覆层可以包括二氧化硅、氧氮化硅、氮化硅或以上项的组合。一种示例性抗反射涂覆层可以是可从加利福尼亚州圣克拉拉应用材料公司商购的DARC™材料。

[0038] 衬底300可以具有基本上平坦的表面323,如图所示。作为可替代地,衬底300可以具有图案化结构,该图案化结构中形成了具有沟槽、孔或通孔的表面。尽管将衬底300示出为单一主体,但是衬底300可以含有在形成半导体器件(诸如金属触点、沟槽隔离、栅极、位线或任何其他互连特征)中所使用的一种或多种材料。在一个实现方式中,衬底300可以包括用于制造半导体器件的一个或多个金属层、一种或多种介电材料、半导体材料和以上项的组合。例如,取决于应用,衬底300可以包括氧化物材料、氮化物材料、多晶硅材料等。在期

望存储器应用的情况下,衬底300可以包括硅衬底材料、氧化物材料和氮化物材料,其中有多晶硅或没有多晶硅夹在它们之间。

[0039] 在操作220处,在牺牲结构层320上沉积诸如光刻胶材料的抗蚀剂层330,如图3A所示。

[0040] 在操作230处,使用标准光刻和蚀刻技术在衬底300上产生由牺牲结构层320形成的图案化特征321,如图3B所示。图案化特征可以由任何合适的材料形成,例如氧化物,诸如二氧化硅、氧氮化硅,或诸如氮化硅之类的氮化物。图案化特征有时称为占位件、心轴或芯,并且基于使用的光刻胶材料而具有特定线宽和/或间距。可以通过使抗蚀剂层330经历修整工艺来调整图案化特征321的宽度。在图案已经被转移到牺牲结构层320中之后,使用合适的光刻胶剥离工艺去除任何残余光刻胶和硬掩模材料(如果使用的话)。

[0041] 在操作240处,可以对牺牲结构层320以及可选地衬底的暴露表面执行等离子体处理。不受理论束缚但认为的是,在一些实现方式中,等离子体处理工艺减小了牺牲结构层320的表面粗糙度。另外,在一些实现方式中,认为的是,等离子体处理工艺提高了牺牲结构层320的连续性。在一个实现方式中,在形成牺牲结构层的同一个腔室中执行等离子体处理。在一个实现方式中,在形成非晶硅层的同一个腔室中执行等离子体处理。作为可替代地,可以在不同等离子体工艺腔室中执行等离子体处理。

[0042] 根据本公开内容的一个实现方式,可以通过将在其上形成有牺牲结构层的衬底定位在诸如图1的等离子体腔室的等离子体工艺腔室中来执行等离子体处理,以使处理气体流动到等离子体工艺腔室并撞击等离子体工艺腔室中的等离子体。在一个实现方式中,处理气体可以是氩气(Ar)、氢气(H₂)、氨气(NH₃)、氮气(N₂)、一氧化二氮(N₂O)或以上项的组合。可以使用已知技术(例如,射频激励、电容耦合功率、电感耦合功率等)来产生等离子体。在一个实现方式中,等离子体是电容耦合等离子体(CCP)、电感耦合等离子体(ICR)、或CCP和ICP的组合。在一些实现方式中,可以使用远程等离子体系统形成等离子体并将等离子体递送到处理区域。

[0043] 在等离子体处理期间,可以将工艺腔室维持在约100摄氏度至约550摄氏度之间的温度。处理气体可以以约20sccm至约20,000sccm之间的流率流到工艺腔室。腔室压力可以在约0.01托至约50托之间(例如,在约0.1托至20托之间)。将RF功率施加到工艺腔室中的处理气体以在工艺腔室中产生等离子体。在一个实现方式中,可以在约50kHz至约13.6MHz的频率下提供在约50瓦与约3,000瓦之间(例如,在约100瓦与约3,000瓦之间;或者在约50瓦与约2,000瓦之间)的RF功率。在一些实现方式中,频率为约2MHz、13.56MHz或包括2MHz和13.56MHz的混合频率。在一些实现方式中,在等离子体处理工艺期间使衬底偏置。施加到衬底的偏置功率可以在0瓦特与1,000瓦特之间。等离子体处理可以执行达约5秒至约600秒之间的持续时间(例如,在约10秒至约300秒之间的持续时间)。

[0044] 在一些实现方式中,操作240的等离子体处理工艺可以由HWCVD工艺代替,其中HWCVD用来激活处理气体。

[0045] 在操作250处,在图案化特征321和衬底300的暴露表面上保形地或基本上保形地沉积非晶硅层340,如图3C所示。根据本文描述的实现方式形成非晶硅层340。非晶硅层340的厚度可以在约5Å与约200Å之间(例如,在约10Å与约100Å之间)。

[0046] 在一些实现方式中,可通过使硅前驱物的分压最大化、同时使衬底温度最小化来

实现保形非晶硅(a-Si)沉积。

[0047] 可以通过使含硅气体混合物流入处理容积126中来形成非晶硅层340。含硅气体混合物可以通过喷头120从气体面板130流入处理容积126中。含硅气体混合物可以包括至少一种含硅源气体以及可选地惰性气体和/或稀释气体。在一个实现方式中,含硅源气体混合物是含硅烷的源气体混合物。在一个实现方式中,含硅源气体是硅烷。合适的硅前驱物的示例包括硅烷,诸如硅烷(SiH_4)和具有经验式 $\text{Si}_a\text{H}_{(2a+2)}$ 的高阶硅烷,其中 $a=1,2,3,4,5,6,\dots$,诸如乙硅烷(Si_2H_6)、丙硅烷(Si_3H_8)、丁硅烷(Si_4H_{10})、异丁硅烷(Si_4H_{10})、新戊硅烷(Si_5H_{12})、己硅烷(Si_6H_{14})及其它。合适硅烷的其他示例包括环状硅烷,诸如环戊硅烷(Si_5H_{10})、环己硅烷(Si_6H_{12})及其它。其他合适的硅前驱物包括卤代硅烷。例如,卤代硅烷包括四氟化硅(SiF_4)、四氯化硅(SiCl_4)、二氯硅烷(SiH_2Cl_2)、六氯乙硅烷(Si_2Cl_6)等。例如,具有适中处理温度和高蒸气压力的乙硅烷可以单独地或与其他物质组合地用作硅前驱物。

[0048] 在一些实现方式中,含硅气体混合物还包括惰性气体或稀释气体。合适的稀释气体包括氦气(He)、氩气(Ar)、氢气(H_2)、氮气(N_2)、氨气(NH_3)或它们的组合等。在一些实现方式中,使用Ar、He和 N_2 来控制硼掺杂非晶硅层的密度和沉积速率。在一些实现方式中, N_2 和/或 NH_3 的添加可用来控制非晶硅层的氢比率。作为可替代地,在沉积期间可以不使用稀释气体。

[0049] 合适的惰性气体(诸如氩气(Ar)和/或氦气(He))可以与含硅气体混合物一起供应到工艺腔室100中。其他惰性气体,诸如氮气(N_2)和一氧化氮(NO),也可以用于控制非晶硅层的密度和沉积速率。另外,可以将多种其他处理气体添加到气体混合物以改型非晶硅层的性质。在一个实现方式中,处理气体可以是反应性气体,诸如氢气(H_2)、氨气(NH_3)、氢气(H_2)和氮气(N_2)的混合物或以上项的组合。 H_2 和/或 NH_3 的添加可以用来控制沉积的非晶硅层的氢比率(例如,硅与氢的比率)。不受理论束缚但认为的是,存在于非晶硅膜中的氢比率提供了对层性质(诸如反射率)的控制。

[0050] 在一些实现方式中,非晶硅层340包括掺杂剂。在一些实现方式中,掺杂剂是硼或磷。在一些实现方式中,含硼气体混合物或含磷气体混合物流入处理容积126中。含硼气体混合物或含磷气体混合物可以通过喷头120从气体面板130流入处理容积126中。在一个实现方式中,含硼气体混合物是含硼烷气体混合物。在一个实现方式中,含硼气体混合物包括含硼化合物以及可选地稀释气体和/或惰性气体。合适的含硼化合物的示例包括乙硼烷(B_2H_6)、二甲胺硼烷(DMAB或 $[\text{NH}(\text{CH}_3)_2\text{BH}_3]$)、三甲基硼烷(TMB或 $\text{B}(\text{CH}_3)_3$)、三乙基硼烷(TEB)、以上项的组合和类似的化合物。在一个实现方式中,含硼气体混合物包括乙硼烷。在一些实现方式中,含磷气体混合物是含膦气体混合物。

[0051] 在一些实现方式中,含硅气体混合物基本上仅包括乙硅烷。如本文所使用地,短语“基本上仅……乙硅烷”是指至少95%的活性物质是乙硅烷。可包括该量的其他气体,诸如载气和惰性气体。

[0052] 沉积的膜包括可从所述膜释放出或脱气的可脱气物质,例如氢。惰性除气环境为气态物质的释放提供了机会,以使最终膜的起泡最小化。惰性除气环境可包括允许或鼓励去除膜的可脱气物质的任何状况。例如,除气环境可以基本上由惰性气体组成。如就这一点所使用地,“基本上由……组成”是指没有干扰沉积的膜的脱气的气态物质。可以在不抑制膜的除气的前提下存在其他反应物质,而仍基本上由惰性气体组成。在一些实现方式中,惰

性除气环境是在沉积的膜上基本上不发生化学反应的环境。例如,可以基本上没有可与沉积的膜反应的化学物质。在一些实现方式中,除气环境不使用UV光、等离子体或微波辐射来引起可脱气物质的除气。

[0053] 在一个或多个实现方式中,通过化学气相沉积工艺沉积非晶硅膜。尽管可使用类似的处理腔室,但是化学气相沉积(CVD)工艺不同于原子层沉积(ALD)。ALD工艺是自限工艺,其中使用二元(或更高阶)反应沉积单层材料。该工艺一直持续,直到在衬底表面上的所有可用活性位置都已经进行反应为止。CVD工艺不是自限性的,并且膜可生长到任何预定厚度。

[0054] 合适的惰性气体包括但不限于氩气、氦气、氮气和/或以上项的混合物中的一种或多种。在一些实现方式中,惰性除气环境基本上不包括氧。如就这一点所使用地,“基本上不包括氧”是指惰性除气环境在邻近衬底表面的环境状况中具有小于约1% (以原子计)的氧原子。

[0055] 在一个或多个实现方式中,可脱气物质包括氢。如就这一点所使用地,包含氢的可脱气物质可包括氢、 SiH_2 、 SiH_3 、 SiH_4 、其他低阶硅烷和/或其他高阶硅烷中的一种或多种。

[0056] 可对于前驱物暴露和除气环境独立地控制处理腔室、或处理腔室的区域中的压力。在一些实现方式中,暴露于硅前驱物和除气环境中的每个,在约20毫托至约600托的范围内(例如,在约50毫托至约200托的范围内)的压力下发生。在一些实现方式中,硅前驱物在大于或等于约500毫托、或大于或等于约1托、或大于或等于约5托、或大于或等于约10托、或大于或等于约20托、或大于或等于约30托的压力下暴露于衬底。

[0057] 衬底表面暴露于前驱物或除气环境的温度可取决于例如正在形成的器件和前驱物的热预算而变化。在一些实现方式中,暴露于硅前驱物和除气环境中的每个,在约100摄氏度至约700摄氏度的范围内的温度下发生。在一些实现方式中,暴露于硅前驱物和除气环境中的每个,在约350摄氏度至约700摄氏度的范围内的温度发生。在一个或多个实现方式中,硅前驱物在约375摄氏度至约600摄氏度的范围内或在约400摄氏度至约550摄氏度的范围内的温度下暴露于衬底。

[0058] 在一些实现方式中,以小于约450摄氏度的衬底温度沉积基于乙硅烷的保形a-Si工艺,并且乙硅烷分压大于或等于约20托。在一个示例性实现方式中,在约400摄氏度至约550摄氏度的范围内的温度下在大于或等于约20托的压力下将衬底暴露于硅前驱物。

[0059] 在操作260处,在非晶硅层340已经保形地沉积在图案化特征321上之后,非晶硅层340被各向异性地蚀刻(竖直蚀刻)以暴露衬底300在区域311中的上表面并暴露图案化特征321的上表面,从而产生受非晶硅基侧壁间隔件341保护的图案化特征321(由牺牲结构层320形成),如图3D所示。

[0060] 在操作270处,使用常规等离子体蚀刻工艺或其他合适的湿法剥离工艺去除图案化特征321(由牺牲结构层320形成),以留下非牺牲非晶硅基侧壁间隔件341,如图3E所示。可以通过将氟基蚀刻化学物质引入在衬底上方的等离子体中来完成等离子体蚀刻工艺。由于改善的材料质量和覆盖范围,非晶硅基侧壁间隔件341不会损坏,因为它们对氟基反应蚀刻化学物质或基于湿条带的化学物质有非常好的选择性。一旦去除了图案化特征321,剩余非晶硅基侧壁间隔件341可以用作用于蚀刻下面的层、层堆叠或结构的硬掩模。特别地,根据该图案化工艺的非晶硅基侧壁间隔件341的密度是图案化特征321的密度的两倍,非晶硅

基侧壁间隔件341的间距是图案化特征321的间距的一半。非晶硅基侧壁间隔件341可以用作硬掩模以图案化下面的材料层。

[0061] 图4是描绘根据本文描述的用于间隔件形成的方法400的另一个实现方式的工艺流程图。图5A至图5E是根据图4的工艺流程图形成的结构的示意性侧视图。形成工艺可在有等离子体或没有等离子体的情况下发生。沉积可经由热CVD工艺、HWCVD工艺或PECVD工艺发生。设想的是,出于说明目的,选择自对准双图案化工艺。本公开内容的概念同样地可应用于其他工艺,例如单图案化或双图案化方案,诸如通孔/孔收缩工艺、自对准三重图案化(SATP)工艺或自对准四重图案化(SAQP)工艺等,如在各种半导体工艺(诸如NAND闪存应用、DRAM应用或CMOS应用等)中所需要地,上述这些工艺可能需要使用具有可变线宽和间距的保护性间隔件或保护性牺牲层。另外,本文描述的方法可以用于期望在下面的氧化物膜上沉积非晶硅的任何工艺。

[0062] 方法400通过在衬底500上形成牺牲结构层520在操作410处开始。所述衬底可以类似于衬底190。牺牲结构层520可以是硅基材料,诸如氧化硅、氮化硅或多晶硅。作为可替代地,牺牲结构层520可以是碳基材料,诸如非晶碳。在期望碳基牺牲结构层的情况下,牺牲结构层520可以是非晶碳和氢(氢化非晶碳膜)的组合。一种示例性非晶碳膜可以是可从加利福尼亚州圣克拉拉应用材料公司商购的可剥离的高级图案化膜TM(APF)材料。设想的是,用于牺牲结构层520的材料的选择可以变化,具体取决于相对于在其上形成的保形保护层的蚀刻/灰化速率。尽管未示出,但是在使用碳基牺牲结构层的某些实现方式中,可以在光刻图案化工艺期间在碳基牺牲结构层上沉积一个或多个抗反射涂覆层以控制光的反射。合适的抗反射涂覆层可以包括二氧化硅、氧氮化硅、氮化硅或以上项的组合。一种示例性抗反射涂覆层可以是可从加利福尼亚州圣克拉拉应用材料公司商购的DARCTM材料。

[0063] 衬底500可以具有基本上平坦的表面523,如图所示。作为可替代地,衬底500可以具有图案化结构,该图案化结构中形成了具有沟槽、孔或通孔的表面。尽管将衬底500示出为单一主体,但是衬底500可以含有在形成半导体器件(诸如金属触点、沟槽隔离、栅极、位线或任何其他互连特征)中使用的一种或多种材料。在一个实现方式中,衬底500可以包括用于制造半导体器件的一个或多个金属层、一种或多种介电材料、半导体材料和以上项的组合。例如,取决于应用,衬底500可以包括氧化物材料、氮化物材料、多晶硅材料等。在期望存储器应用的情况下,衬底500可以包括硅衬底材料、氧化物材料和氮化物材料,其中有多晶硅或没有多晶硅夹在它们之间。

[0064] 在操作420处,在牺牲结构层520上沉积诸如光刻胶材料的抗蚀剂层530,如图5A所示。

[0065] 在操作430处,使用标准光刻和蚀刻技术在衬底500上产生由牺牲结构层520形成的图案化特征521,如图5B所示。图案化特征可以由任何合适的材料形成,例如氧化物,诸如二氧化硅、氧氮化硅,或诸如氮化硅的氮化物。图案化特征有时称为占位件、心轴或芯,并且基于使用的光刻胶材料而具有特定线宽和/或间距。可以通过使抗蚀剂层530经历修整工艺来调整图案化特征521的宽度。在所述图案已经被转移到牺牲结构层520中之后,使用合适的光刻胶剥离工艺去除任何残余光刻胶和硬掩模材料(如果使用的话)。

[0066] 在操作440处,将衬底500暴露于SAM前驱物以在图案化特征521以及可选地衬底的暴露表面上形成SAM 535。不受理论束缚但认为的是,SAM 535改善了非晶硅层对图案化特

征521的粘附性。认为的是,SAM 535有助于将非晶硅层锚固到图案化特征521。取决于所使用的材料和所使用的SAM前驱物,所述SAM前驱物可以是基于溶液的前驱物或气态前驱物。SAM前驱物可以包括SAM分子、形成所述SAM分子的前驱物或两者。吸附的SAM分子形成SAM 535。

[0067] SAM 535包括可能是两亲的SAM分子的有序层,其中分子的一端、即头部基团显出对形成图案化特征521的氧化硅材料的特定可逆亲和力。头部基团典型地连接到烷基链,其中末端“R”可被官能化。通过将头部基团化学吸附到图案化特征521上、接着对疏水性尾部基团进行二维组织,就形成了SAM 535。通过将衬底500浸入含有SAM分子的稀释溶液中,SAM吸附可从溶液中发生。在一个实现方式中,经由旋涂从溶液中沉积SAM 535。通过将衬底500暴露于气态前驱物,SAM吸附也可从气相沉积中发生。可通过调整SAM分子的烷基链的碳链长度来调整SAM 535的厚度。一般,SAM 535只可形成在与SAM分子有化学反应能力的表面上。

[0068] 在图5C中描绘的实现方式中,选择用于形成SAM 535的SAM前驱物,以仅与图案化特征521(例如,氧化硅材料)的暴露表面和之后沉积的非晶硅层的暴露表面发生化学反应。通过这样做,SAM 535可以主要地形成在图案化特征521的暴露表面上。在一些实现方式中,选择所使用的SAM前驱物以与图案化特征521、衬底的暴露表面、以及之后沉积的非晶硅层发生化学反应。通过这样做,SAM 535可以主要地形成在图案化特征521的暴露表面和衬底的暴露表面两者上。

[0069] 可利用的SAM前驱物的示例包括下文所述的前驱物,包括这些前驱物的组合、混合物和接枝物,除此之外还有具有适于对在半导体制造工艺中之后沉积的材料的沉积进行阻止的特性的其他SAM前驱物。在一个实现方式中,所述SAM前驱物可以是羧酸材料,诸如甲基羧酸、乙基羧酸、丙基羧酸、丁基羧酸、戊基羧酸、己基羧酸、庚基羧酸、辛基羧酸、壬基羧酸、癸基羧酸、十一烷基羧酸、十二烷基羧酸、十三烷基羧酸、十四烷基羧酸、十五烷基羧酸、十六烷基羧酸、十七烷基羧酸、十八烷基羧酸和十九烷基羧酸。

[0070] 在另一个实现方式中,所述SAM前驱物可以是膦酸材料,诸如甲基膦酸、乙基膦酸、丙基膦酸、丁基膦酸、戊基膦酸、己基膦酸、庚基膦酸、辛基膦酸、壬基膦酸、癸基膦酸、十一烷基膦酸、十二烷基膦酸、十三烷基膦酸、十四烷基膦酸、十五烷基膦酸、十六烷基膦酸、十七烷基膦酸、十八烷基膦酸和十九烷基膦酸。

[0071] 在另一个实现方式中,所述SAM前驱物可以是硫醇材料,诸如甲硫醇、乙硫醇、丙硫醇、丁硫醇、戊硫醇、己硫醇、庚硫醇、辛硫醇、壬硫醇、癸硫醇、十一烷基硫醇、十二烷基硫醇、十三烷基硫醇、十四烷基硫醇、十五烷基硫醇、十六烷基硫醇、十七烷基硫醇、十八烷基硫醇和十九烷基硫醇。

[0072] 在另一个实现方式中,所述SAM前驱物可以是甲硅烷基胺材料,诸如双(二乙基氨基)硅烷(“BDEAS”)、三(二甲基氨基)甲基硅烷、三(二甲基氨基)乙基硅烷、三(二甲基氨基)丙基硅烷、三(二甲基氨基)丁基硅烷、三(二甲基氨基)戊基硅烷、三(二甲基氨基)己基硅烷、三(二甲基氨基)庚基硅烷、三(二甲基氨基)辛基硅烷、三(二甲基氨基)壬基硅烷、三(二甲基氨基)癸基硅烷、三(二甲基氨基)十一烷基硅烷、三(二甲基氨基)十二烷基硅烷、三(二甲基氨基)十三烷基硅烷、三(二甲基氨基)十四烷基硅烷、三(二甲基氨基)十五烷基硅烷、三(二甲基氨基)十六烷基硅烷、三(二甲基氨基)十七烷基硅烷、三(二甲基氨基)十八烷基

硅烷和三(二甲基氨基)十九烷基硅烷。

[0073] 在另一个实现方式中,所述SAM前驱物可以是氯硅烷材料,诸如六氯二硅烷(“HCDS”)、甲基三氯硅烷、乙基三氯硅烷、丙基三氯硅烷、丁基三氯硅烷、戊基三氯硅烷、己基三氯硅烷、庚基三氯硅烷、辛基三氯硅烷、壬基三氯硅烷、癸基三氯硅烷、十一烷基三氯硅烷、十二烷基三氯硅烷、十三烷基三氯硅烷、十四烷基三氯硅烷、十五烷基三氯硅烷、十六烷基三氯硅烷、十七烷基三氯硅烷、十八烷基三氯硅烷(“OTS”)和十九烷基三氯硅烷。

[0074] 在另一个实现方式中,所述SAM前驱物可以是氧硅烷材料,诸如甲基三甲氧硅烷、甲基三乙氧硅烷、乙基三甲氧硅烷、乙基三乙氧硅烷、丙基三甲氧硅烷、丙基三乙氧硅烷、丁基三甲氧硅烷、丁基三乙氧硅烷、戊基三甲氧硅烷、戊基三乙氧硅烷、己基三甲氧硅烷、己基三乙氧硅烷、庚基三甲氧硅烷、庚基三乙氧硅烷、辛基三甲氧硅烷、辛基三乙氧硅烷、壬基三甲氧硅烷、壬基三乙氧硅烷、癸基三甲氧硅烷、癸基三乙氧硅烷、十一烷基三甲氧硅烷、十一烷基三乙氧硅烷、十二烷基三甲氧硅烷、十二烷基三乙氧硅烷、十三烷基三甲氧硅烷、十三烷基三乙氧硅烷、十四烷基三甲氧硅烷、十四烷基三乙氧硅烷、十五烷基三甲氧硅烷、十五烷基三乙氧硅烷、十六烷基三甲氧硅烷、十六烷基三乙氧硅烷、十七烷基三甲氧硅烷、十七烷基三乙氧硅烷、十八烷基三甲氧硅烷、十八烷基三乙氧硅烷、十九烷基三甲氧硅烷和十九烷基三乙氧硅烷。

[0075] 在另一个实现方式中,所述SAM前驱物可以是氨基氧硅烷材料,诸如如(3-氨基丙基)三乙氧硅烷(“APTES”)。

[0076] 在另一个实现方式中,所述SAM前驱物可以具有氟化R基团,诸如(1,1,2,2-全氟癸基)三氯硅烷、三氯(1,1,2,2-全氟辛基)硅烷、(三苯甲基氟-1,1,2,2-四氢辛基)三氯硅烷、(三苯甲基氟-1,1,2,2-四氢辛基)三乙氧硅烷、(三苯甲基氟-1,1,2,2-四氢辛基)甲基二氯硅烷、(十三氟-1,1,2,2-四氢辛基)二甲氯硅烷和(十七氟-1,1,2,2-四氢癸基)三氯硅烷等。设想的是,上述材料的组合和混合物在本公开内容的范围内。

[0077] 在另一个实现方式中,所述SAM前驱物选自以下项组成的组:双(二乙氨基)硅烷(“BDEAS”)、六氯乙硅烷(HCDS)、(3-氨基丙基)三乙氧基硅烷(“APTES”)和十八烷基三氯硅烷(“OTS”)。

[0078] 通过将衬底500浸入含有SAM分子的稀释溶液中,SAM吸附可从溶液中发生。在一个实现方式中,经由旋涂从溶液沉积SAM 535。通过将衬底500暴露于气态前驱物,SAM吸附也可从气相沉积中发生。可通过调整SAM分子的烷基链的碳链长度来调整SAM 535的厚度。一般,SAM 535可以形成在与SAM分子有化学反应能力的表面上。

[0079] 在一个实现方式中,SAM吸附可以是气相沉积工艺。在该实现方式中,可以使SAM分子在维持于约25摄氏度与约300摄氏度之间(诸如约125摄氏度与约200摄氏度之间)的温度下的安瓿中蒸发。可以将衬底500维持在处于约25摄氏度与约400摄氏度之间、诸如约50摄氏度与约200摄氏度之间(例如,在约100摄氏度与约175摄氏度之间)的温度下。衬底处理环境(诸如处理腔室的处理容积)的压力可以维持在处于约1mT与约1520T之间(诸如约5T至约600T之间)的压力下。可以利用载气来促进气相SAM分子的递送,并且取决于处理腔室的容积,载气可以以约25sccm与约3000sccm之间(诸如约50sccm与约1000sccm之间)的流率进行递送。合适的载气包括气体,诸如稀有气体等,这些气体一般在SAM吸附状况下是惰性的,这促进了将SAM分子递送到衬底表面。在操作440中,可以将SAM分子暴露于衬底500达约1秒与

约48小时之间(例如约1分钟与约120分钟之间)的时间量。

[0080] 在一些实现方式中,可以使用HWCVD工艺来激活SAM前驱物。

[0081] 在操作450处,在图案化特征521和衬底500的暴露表面上保形地或基本上保形地沉积非晶硅层540,如图5D所示。根据本文描述的实现方式形成非晶硅层540。非晶硅层540的厚度可以在约5Å与约200Å之间(例如,在约10Å与约100Å之间)。

[0082] 在一些实现方式中,可通过使硅前驱物的分压最大化、同时使衬底温度最小化来实现保形非晶硅(a-Si)沉积。

[0083] 可以通过使含硅气体混合物流入处理容积126中来形成非晶硅层540。含硅气体混合物可以通过喷头120从气体面板130流入处理容积126中。含硅气体混合物可以包括至少一种含硅源气体以及可选地惰性气体和/或稀释气体。在一个实现方式中,含硅源气体混合物是含硅烷的源气体混合物。在一个实现方式中,含硅源气体是硅烷。合适的硅前驱物的示例包括硅烷,诸如硅烷(SiH_4)和具有经验式 $\text{Si}_a\text{H}_{(2a+2)}$ 的高阶硅烷,其中 $a=1,2,3,4,5,6,\dots,n$,诸如乙硅烷(Si_2H_6)、丙硅烷(Si_3H_8)和丁硅烷(Si_4H_{10})、新戊硅烷(Si_5H_{12})、己硅烷(Si_6H_{14})及其它。合适的硅烷的其他示例包括环状硅烷,诸如环戊硅烷(Si_5H_{10})、环己硅烷(Si_6H_{12})及其它。例如,具有适中处理温度和高蒸气压力的乙硅烷可以单独地或与其他物质组合地用作硅前驱物。其他合适的硅前驱物包括卤代硅烷。例如,卤代硅烷包括四氟化硅(SiF_4)、四氯化硅(SiCl_4)、二氯硅烷(SiH_2Cl_2)、六氯乙硅烷(Si_2Cl_6)等。

[0084] 在一些实现方式中,含硅气体混合物还包括惰性气体或稀释气体。合适的稀释气体包括氦气(He)、氩气(Ar)、氢气(H_2)、氮气(N_2)、氨气(NH_3)或它们的组合等。在一些实现方式中,使用Ar、He和 N_2 来控制硼掺杂非晶硅层的密度和沉积速率。在一些实现方式中, N_2 和/或 NH_3 的添加可用来控制非晶硅层的氢比率。作为可替代地,在沉积期间可以不使用稀释气体。

[0085] 合适的惰性气体(诸如氩气(Ar)和/或氦气(He))可以与含硅气体混合物一起供应到工艺腔室100中。其他惰性气体,诸如氮气(N_2)和一氧化氮(NO),也可以用于控制非晶硅层的密度和沉积速率。另外,可以将多种其他处理气体添加到气体混合物以改型非晶硅层的性质。在一个实现方式中,处理气体可以是反应性气体,诸如氢气(H_2)、氨气(NH_3)、氢气(H_2)和氮气(N_2)的混合物或以上项的组合。 H_2 和/或 NH_3 的添加可以用来控制沉积的非晶硅层的氢比率(例如,硅与氢的比率)。不受理论束缚但认为的是,存在于非晶硅膜中的氢比率提供了对层性质(诸如反射率)的控制。

[0086] 在一些实现方式中,非晶硅层540包括掺杂剂。在一些实现方式中,掺杂剂是硼或磷。在一些实现方式中,含硼气体混合物或含磷气体混合物流入处理容积126中。含硼气体混合物或含磷气体混合物可以通过喷头120从气体面板130流入处理容积126中。在一个实现方式中,含硼气体混合物是含硼烷气体混合物。在一个实现方式中,含硼气体混合物包括含硼化合物以及可选地稀释气体和/或惰性气体。合适的含硼化合物的示例包括乙硼烷(B_2H_6)、二甲胺硼烷(DMAB或 $[\text{NH}(\text{CH}_3)_2\text{BH}_3]$)、三甲基硼烷(TMB或 $\text{B}(\text{CH}_3)_3$)、三乙基硼烷(TEB)、以上项的组合和类似的化合物。在一个实现方式中,含硼气体混合物包括乙硼烷。在一些实现方式中,含磷气体混合物是含磷气体混合物。

[0087] 在一些实现方式中,含硅气体混合物基本上仅包括乙硅烷。如本文所使用地,短语“基本上仅……乙硅烷”是指至少95%的活性物质是乙硅烷。可包括该量的其他气体,诸如

载气和惰性气体。

[0088] 沉积的膜包括可从膜释放出或脱出的可脱气物质,例如氢。惰性除气环境为气态物质的释放提供了机会,以使最终膜的起泡最小化。惰性除气环境可包括允许或鼓励去除膜的可除气物质的任何状况。例如,除气环境可以基本上由惰性气体组成。如就这一点所使用地,“基本上由……组成”是指没有干扰沉积的膜的脱气的气态物质。在不抑制膜的除气的情况下可以存在其他反应物质,但仍基本上由惰性气体组成。在一些实现方式中,惰性除气环境是在沉积的膜上基本上不发生化学反应的环境。例如,可能基本上没有可与沉积的膜反应的化学物质。在一些实现方式中,除气环境不使用UV光、等离子体或微波辐射来引起可脱气物质的除气。

[0089] 在一个或多个实现方式中,通过化学气相沉积工艺沉积非晶硅膜。尽管可使用类似的处理腔室,但是化学气相沉积(CVD)工艺不同于原子层沉积(ALD)。ALD工艺是自限工艺,其中使用二元(或更高阶)反应来沉积单层材料。该工艺一直持续,直到在衬底表面上的所有可用活性位置都已经进行反应为止。CVD工艺不是自限性的,并且膜可以生长到任何预定厚度。

[0090] 合适的惰性气体包括但不限于氩气、氦气、氮气和/或以上项的混合物中的一种或多种。在一些实施方式中,惰性除气环境基本上不含氧。如就这一点所使用地,“基本上不含氧”是指惰性除气环境在邻近衬底表面的环境状况中具有小于约1% (以原子计)的氧原子。

[0091] 在一个或多个实现方式中,可脱气物质包括氢。如就这一点所使用地,包含氢的可脱气物质可包括氢, SiH_2 , SiH_3 , SiH_4 和/或其他低阶硅烷中的一种或多种。

[0092] 对于前驱物暴露和除气环境,可独立地控制处理腔室、或处理腔室的区域中的压力。在一些实现方式中,暴露于硅前驱物和除气环境中的每者在约50毫托至约200托的范围内的压力下发生。在一些实现方式中,硅前驱物在大于或等于约500毫托、或大于或等于约1托、或大于或等于约5托、或大于或等于约10托、或大于或等于约20托、或大于或等于约30托的压力下暴露于衬底。

[0093] 衬底表面暴露于前驱物或除气环境的温度可取决于例如正在形成的器件和前驱物的热预算而变化。在一些实现方式中,暴露于前驱物和除气环境中的每个在约350摄氏度至约700摄氏度的范围内的温度下发生。在一个或多个实现方式中,卤化硅前驱物在约375摄氏度至约600摄氏度的范围内或在约400摄氏度至约550摄氏度的范围内的温度下暴露于衬底。

[0094] 在一些实现方式中,以小于约450摄氏度的衬底温度沉积基于乙硅烷的保形a-Si工艺,并且乙硅烷分压大于或等于约20托。在一个示例性实现方式中,在约400摄氏度至约550摄氏度的范围内的温度下在大于或等于约20托的压力下将衬底暴露于硅前驱物。

[0095] 在操作460处,在非晶硅层540已经保形地沉积在图案化特征521上之后,非晶硅层540被各向异性地蚀刻(竖直蚀刻)以暴露衬底500在区域511中的上表面并暴露图案化特征521的上表面,从而产生受非晶硅基侧壁间隔件541保护的图案化特征521(由牺牲结构层520形成),如图5E所示。

[0096] 在操作470处,使用常规等离子体蚀刻工艺或其他合适的湿法剥离工艺去除图案化特征521(由牺牲结构层520形成),以留下非牺牲非晶硅基侧壁间隔件541,如图5F所示。可以通过将氟基蚀刻化学物质引入在衬底上方的等离子体中来完成等离子体蚀刻工艺。由

于改善的材料质量和覆盖范围,非晶硅基侧壁间隔件541不会损坏,因为它们对氟基反应蚀刻化学物质或基于湿条带的化学物质有非常好的选择性。一旦去除了图案化特征521,剩余非晶硅基侧壁间隔件541可以用作用于蚀刻下面的层、层堆叠或结构的硬掩模。特别地,根据该图案化工艺的非晶硅基侧壁间隔件541的密度是图案化特征521的密度的两倍,非晶硅基侧壁间隔件541的间距是图案化特征521的间距的一半。非晶硅基侧壁间隔件541可以用作硬掩模以图案化下面的材料层。

[0097] 图6是描绘根据本文描述的实现方式的用于间隔件形成的方法600的另一个实现方式的工艺流程图。方法600类似于方法200和方法400,除了一点不同:方法600结合方法400的等离子体处理工艺和方法400的SAM形成。在操作610处,类似于操作210和操作410,在衬底上形成牺牲结构层。在操作620处,类似于操作220和操作420,在牺牲结构层上形成抗蚀剂层。在操作630处,类似于操作230和操作430,从牺牲结构层形成图案化特征。在操作640处,类似于操作240,用等离子体处理图案化特征。在操作650处,类似于操作440,在图案化特征上形成SAM。在操作660处,类似于操作250和操作450,在图案化特征和衬底的暴露表面上形成非晶硅层。在操作670处,类似于操作260和操作460,使用定向蚀刻工艺来蚀刻非晶硅层。在操作680处,将图案化特征放入非晶硅侧壁间隔件内以提供非牺牲非晶硅侧壁间隔件。

[0098] 图7是描绘根据本文描述的实现方式的用于间隔件形成的方法700的另一个实现方式的工艺流程图。方法700类似于方法200和方法400,除了一点不同:方法700在操作740处结合化学处理工艺。所述形成工艺可在有等离子体或没有等离子体的情况下发生。所述沉积可经由热CVD工艺、HWCVD工艺或PECVD工艺发生。设想的是,出于说明目的,选择自对准双图案化工艺。本公开内容的概念同样可应用于其他工艺,例如单图案化或双图案化方案,诸如通孔/孔收缩工艺、自对准三重图案化(SATP)工艺或自对准四重图案化(SAQP)工艺等,如在各种半导体工艺(诸如NAND闪存应用、DRAM应用或CMOS应用等)中所需要地,上述这些工艺可能需要使用具有可变线宽和间距的保护性间隔件或保护性牺牲层。另外,本文描述的方法可以用于期望在下面的氧化物膜上沉积非晶硅的任何工艺。

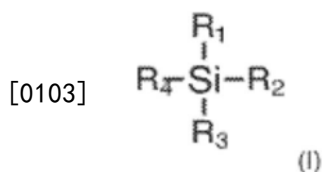
[0099] 在操作710处,类似于操作210和操作410,在衬底上形成牺牲结构层。在操作720处,类似于操作220和操作420,在牺牲结构层上形成抗蚀剂层。在操作730处,类似于操作230和操作430,从牺牲结构层形成图案化特征。在操作740处,将图案化特征和衬底的暴露表面暴露于化学处理工艺。

[0100] 在操作740处,将衬底暴露于化学处理前驱物以改型图案化特征的表面以及可选地衬底的暴露表面。不受理论束缚但认为的是,化学处理工艺改善了非晶硅层对图案化特征的粘附性。例如,认为的是,悬空Si-OH键被改型来形成Si-H、Si-NH₂或SiCH₃。认为的是,改型的表面有助于将非晶硅层锚固到图案化特征。取决于所使用的化学处理前驱物,所述化学处理前驱物可以是基于溶液的前驱物或气态前驱物。化学处理前驱物可以包括化学处理前驱物、形成化学处理前驱物的前驱物或两者。

[0101] 在一些实现方式中,选择所使用的化学处理前驱物,以仅与图案化特征(例如,氧化硅材料)的暴露表面以及之后沉积的非晶硅层的暴露表面发生化学反应。通过这样做,主要地对图案化特征的暴露表面进行化学改型。在一些实现方式中,选择所使用的化学处理前驱物以与图案化特征、衬底的暴露表面、以及之后沉积的非晶硅层发生化学反应。通过这

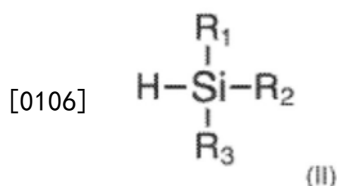
样做,主要地对图案化特征的暴露表面和衬底的暴露表面进行化学改型。

[0102] 示例性化学处理先驱物可以是下式:



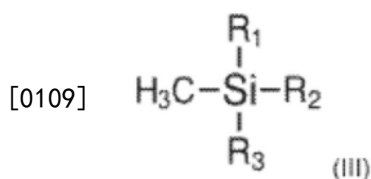
[0104] 其中 R_1 、 R_2 、 R_3 和 R_4 相同或不同并每一个彼此独立地选自氢(H)、可以可选地被一个或多个 NH_2 基团(例如,烷基氨基基团)、烷氧基基团(例如,甲氧基、乙氧基、丙氧基等)和含氯基团替换的直链或支链烷基基团(例如,甲基、乙基、丙基、丁基等)。

[0105] 示例性化学处理先驱物可以是下式:



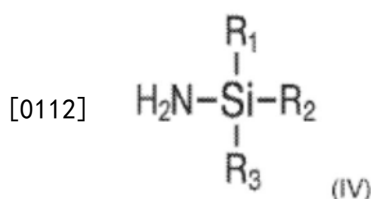
[0107] 其中 R_1 、 R_2 和 R_3 相同或不同并每一个彼此独立地选自氢(H)、可以可选地被一个或多个 NH_2 基团(例如,烷基氨基基团)、烷氧基基团(例如,甲氧基、乙氧基、丙氧基等)和含氯基团替换的直链或支链烷基(例如,甲基、乙基、丙基、丁基等)。

[0108] 示例性化学处理先驱物可以是下式:



[0110] 其中 R_1 、 R_2 和 R_3 相同或不同并每一个彼此独立地选自氢(H)、可以可选地被一个或多个 NH_2 基团(例如,烷基氨基基团)、烷氧基基团(例如,甲氧基、乙氧基、丙氧基等)和含氯基团替换的直链或支链烷基(例如,甲基、乙基、丙基、丁基等)。

[0111] 示例性化学处理先驱物可以是下式:



[0113] 其中 R_1 、 R_2 和 R_3 相同或不同并每一个彼此独立地选自氢(H)、可以可选地被一个或多个 NH_2 基团(例如,烷基氨基基团)、烷氧基基团(例如,甲氧基、乙氧基、丙氧基等)和含氯基团替换的直链或支链烷基(例如,甲基、乙基、丙基、丁基等)。

[0114] 在一个实现方式中,化学处理先驱物选自包括以下项的组:双(二乙氨基)硅烷(“BDEAS”)、六氯乙硅烷(HCDS)、(3-氨丙基)三乙氧基硅烷(“APTES”)和十八烷基三氯硅烷(“OTS”)。

[0115] 通过将衬底浸入含有化学处理先驱物的稀释溶液中,可从溶液发生暴露于化学处理先驱物。在一个实现方式中,化学处理先驱物经由旋涂从溶液沉积。通过将衬底暴露于气

态化学处理前驱物,也可从气相沉积发生暴露于化学处理前驱物。一般,化学处理发生在与化学处理前驱物有化学反应能力的表面上。

[0116] 在一个实现方式中,化学处理工艺可以是气相沉积工艺。在该实现方式中,可以将衬底维持处于约25摄氏度与约400摄氏度之间、诸如约50摄氏度与约200摄氏度之间(例如,在约100摄氏度与约175摄氏度之间)的温度下。衬底处理环境(诸如处理腔室的处理容积)的压力可以维持处于约1mT与约1520T之间(诸如约5T与约600T之间)的压力下。可以利用载气来促进化学处理前驱物和可选的载气的递送。取决于处理腔室的容积,化学处理前驱物可以以约25sccm与约3000sccm之间(诸如约50sccm与约1000sccm之间)的流率进行递送。合适的载气包括一般在化学处理前驱物状况下为惰性的气体,诸如稀有气体等。可以在操作740中将化学处理前驱物暴露于衬底达约1秒与约48小时之间(例如约1分钟与约120分钟之间)的时间量。

[0117] 在一些实现方式中,可以使用HWCVD工艺来激活化学处理前驱物。

[0118] 在操作750处,类似于操作250和操作450,在图案化特征和衬底的暴露表面上形成非晶硅层。在操作760处,类似于操作260和操作460,使用定向蚀刻工艺来蚀刻非晶硅层。在操作770处,将图案化特征放入非晶硅侧壁间隔件内,以提供非牺牲非晶硅侧壁间隔件。

[0119] 示例:

[0120] 提供以下非限制性示例以进一步说明本文描述的实现方式。然而,这些示例并不旨在包括所有方面,也不旨在限制本文描述的实现方式的范围。

[0121] 图8A示出了未经任何处理沉积在氧化物衬底上的 30\AA 的非晶硅的扫描电子显微镜(SEM)图像800。图8B示出了根据本公开内容的一个或多个实现方式的在用 NH_3 等离子体处理氧化物表面之后沉积在氧化物衬底上的 30\AA 的非晶硅的SEM图像810。在将 30\AA 的非晶硅沉积在氧化物衬底上之前,将氧化物衬底暴露于 NH_3 等离子体处理。

[0122] 使用针孔测试方法检查 30\AA 的沉积的a-Si的连续性。然后,将整个膜堆叠浸入100:1DHF溶液中。a-Si不会在DHF中蚀刻,而氧化物确实会蚀刻。如果a-Si是不连续的,那么H和F离子穿过不连续的a-Si层进入氧化物层,并且下面的氧化物层被蚀刻掉。如图8A所描绘地,SEM“针孔”存在于沉积在氧化物衬底中的a-Si膜中而未经任何处理,这表明了顶部a-Si膜是不连续的。另一方面,如图8B所描绘地,a-Si膜没有SEM“针孔”,这表明了a-Si膜是连续的,并且应当防止下层的氧化物被蚀刻掉。

[0123] 总之,本公开内容的一些实现方式提供了用于非晶硅间隔件形成的改善的方法。本文描述的改善方法中的一些提供了高保形性、低图案负荷和BEOL兼容的处理温度。本文描述的改善的方法中的一些还提供了下面的氧化物膜的减小的粗糙度和改善的与之后沉积的非晶硅膜的粘附性。在一些实现方式中,将下面的氧化物膜暴露于等离子体处理,这减小了之后沉积的非晶硅膜的粗糙度并改善了下面的氧化物膜与非晶硅膜之间的粘附性。在一些实现方式中,在下面的氧化物层上形成SAM以改善与之后沉积的非晶硅层的粘附性。

[0124] 在介绍本公开内容的要素或其示例性方面或实现方式时,冠词“一个”、“一种”、“该”和“所述”旨在表示存在所述要素中的一个或多个。

[0125] 术语“包含”、“包括”和“具有”旨在说明是包括性的,并表示可以有除列出要素之外的附加要素。

[0126] 尽管前述内容针对的是本发明的实施方式,但是在不脱离本公开内容的基本范围

的情况下,可以设想本公开内容的其他和进一步实施方式,并且本公开内容的范围由所附权利要求书确定。

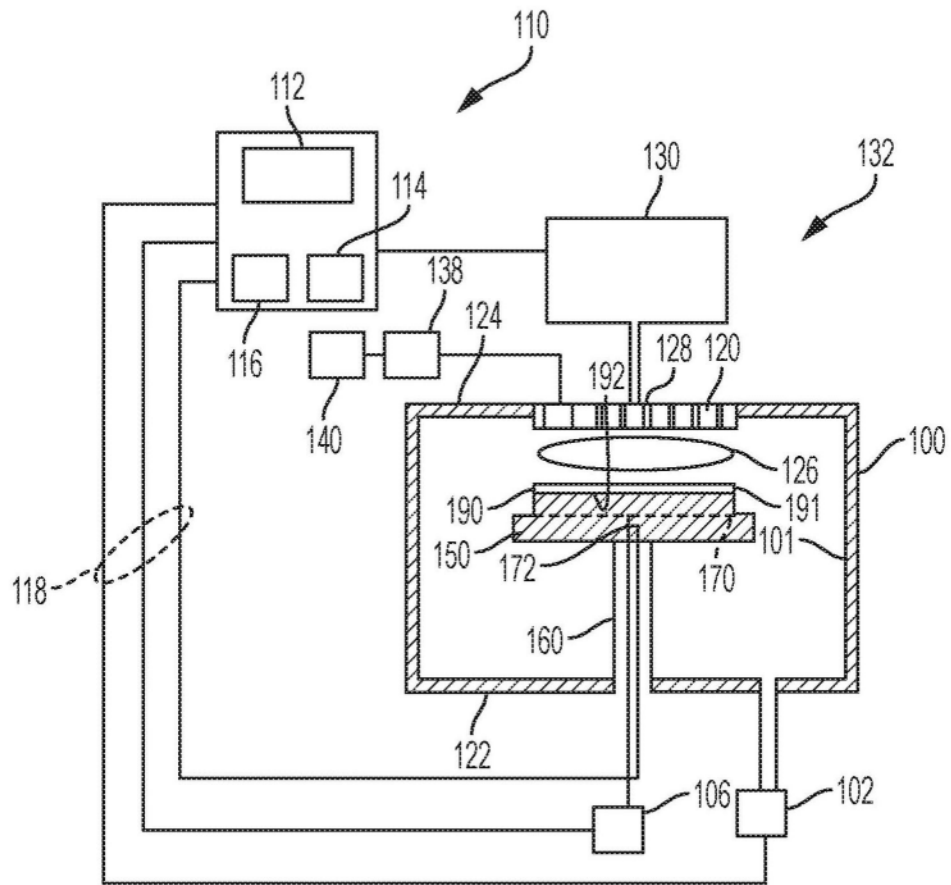


图1

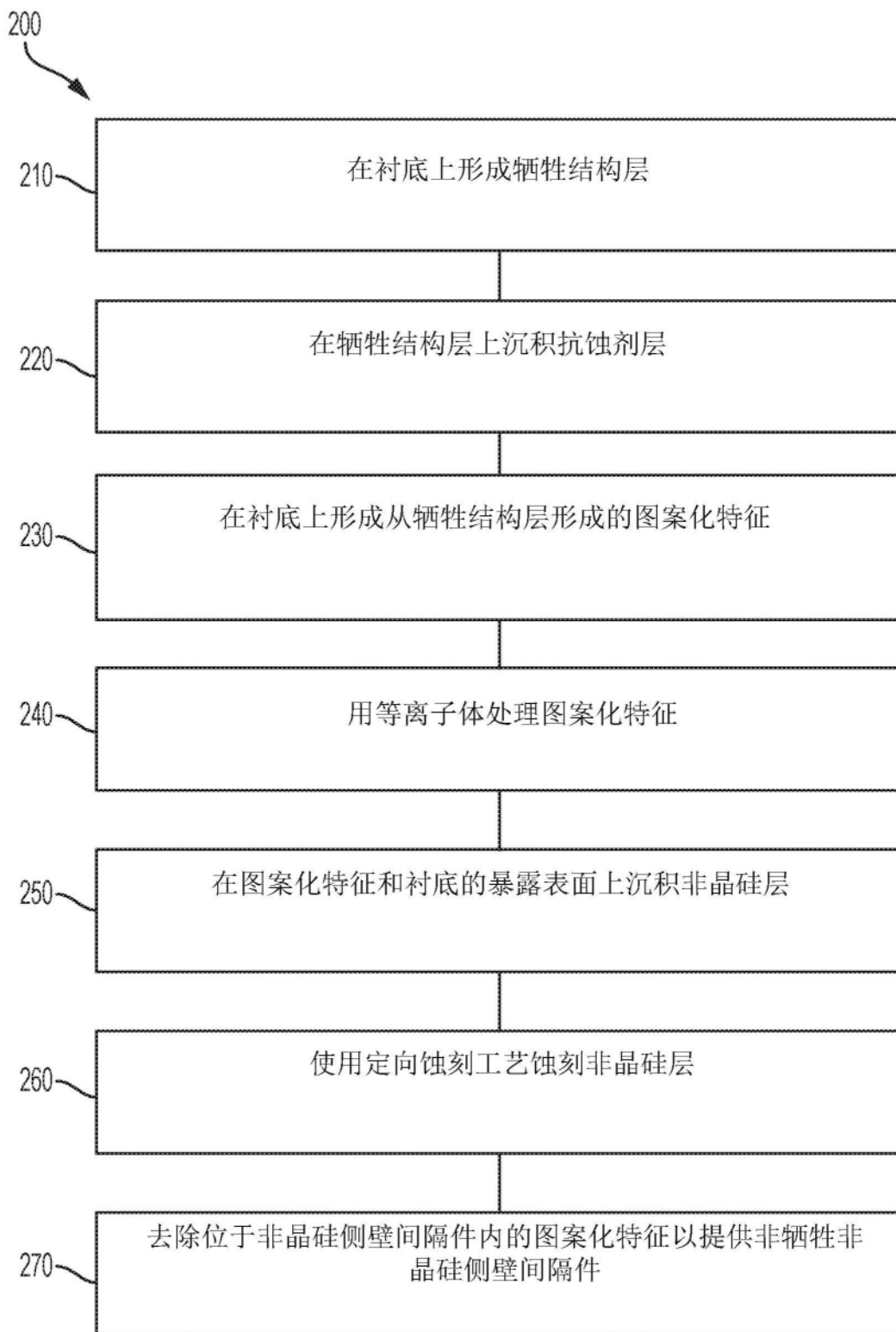


图2

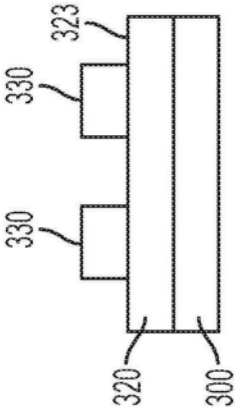


图3A

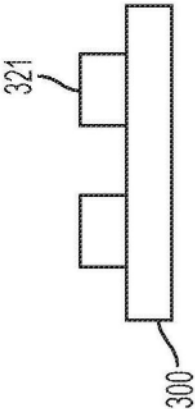


图3B

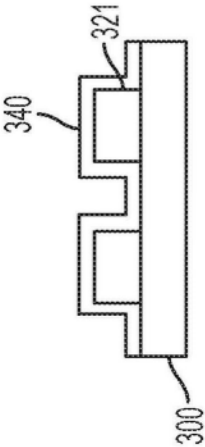


图3C

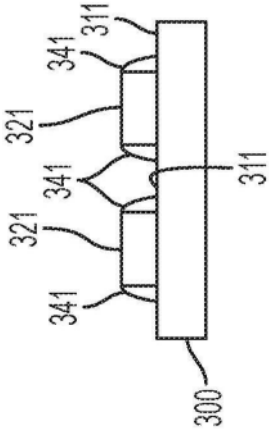


图3D

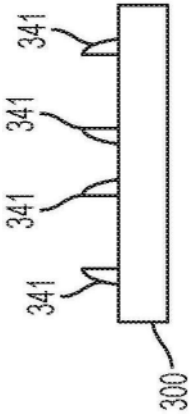


图3E

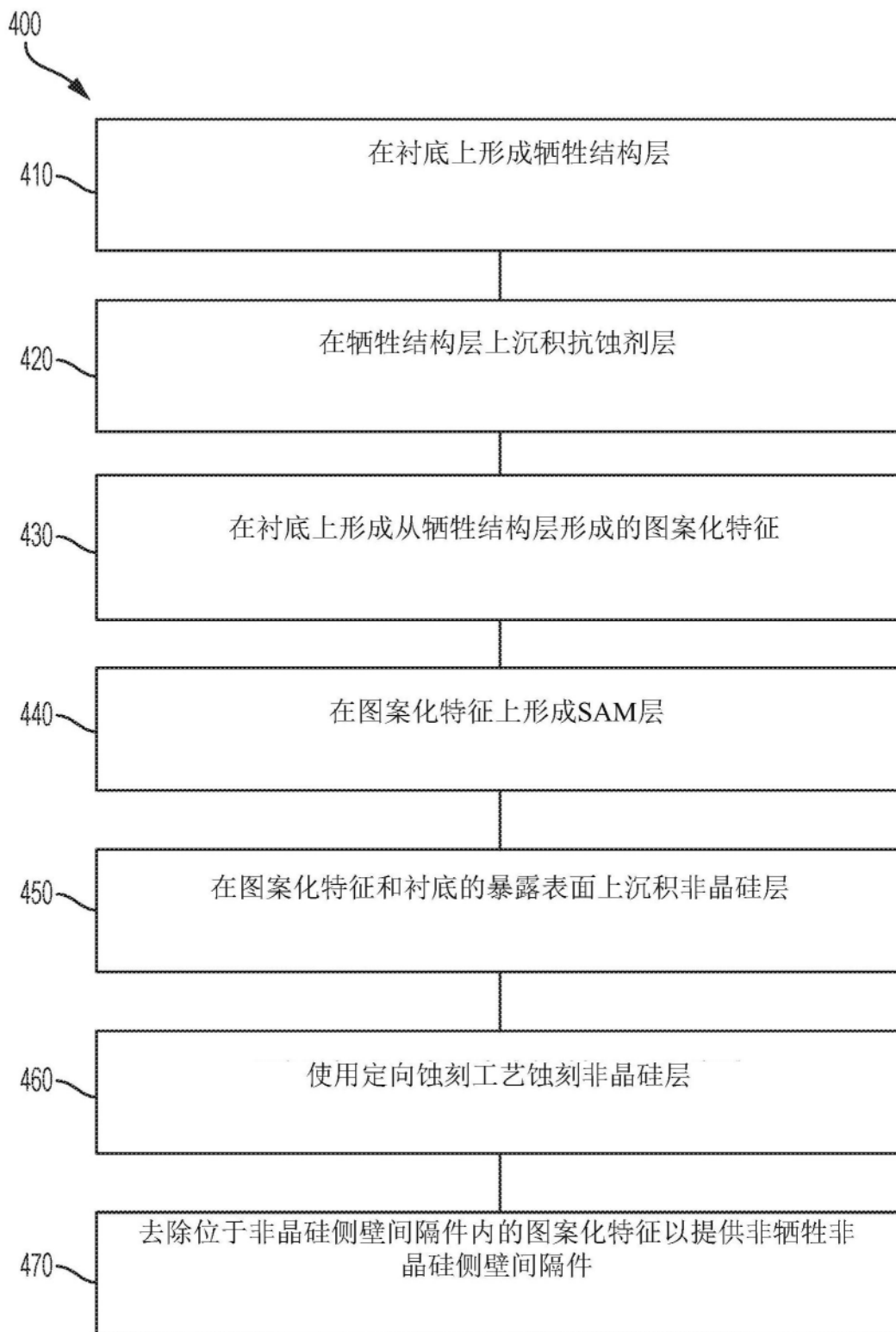


图4

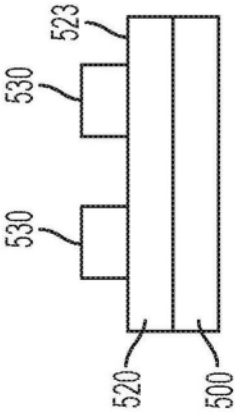


图5A

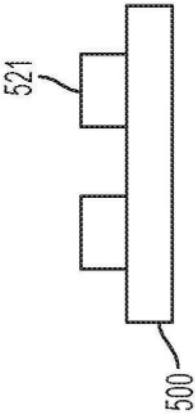


图5B

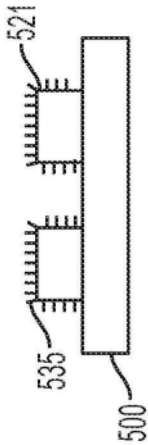


图5C

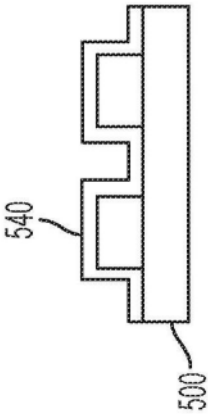


图5D

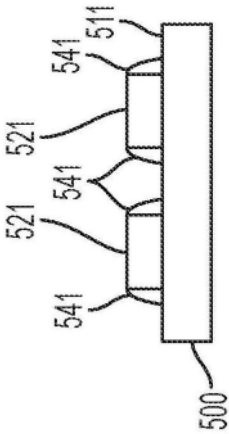


图5E

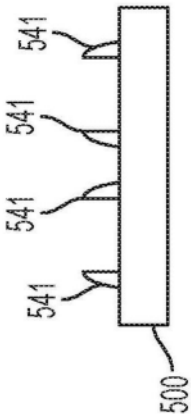


图5F

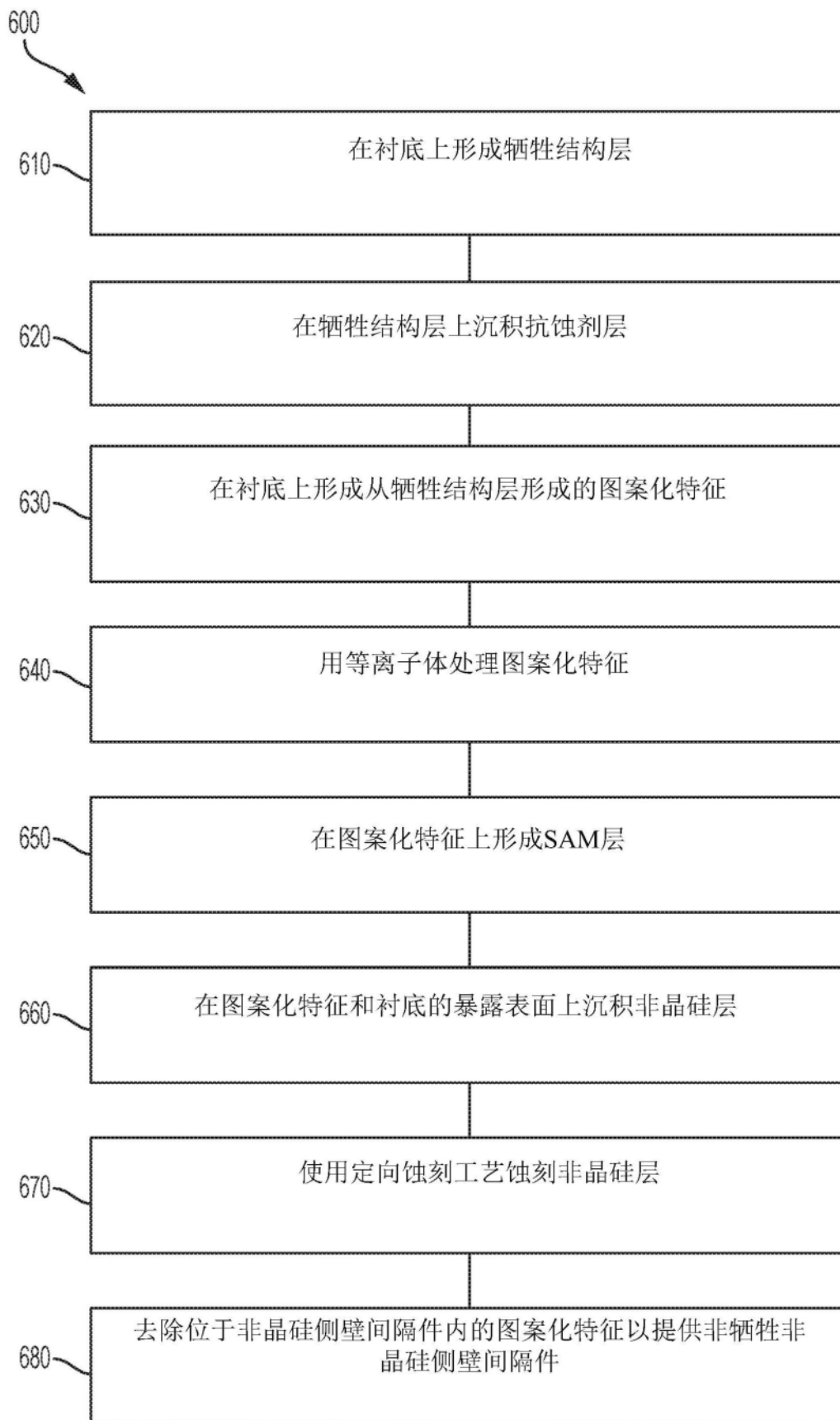


图6

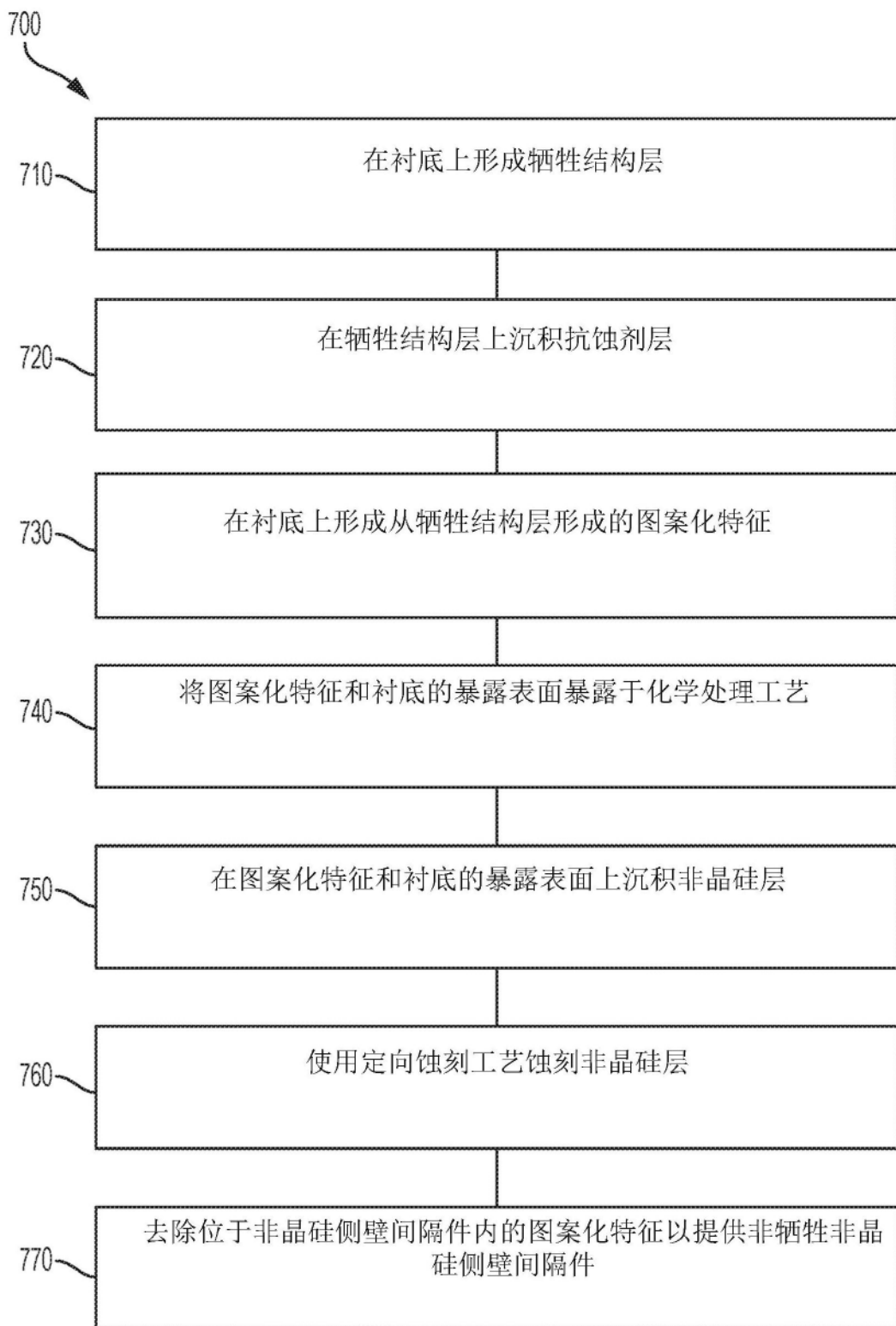


图7

