

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-129314

(P2008-129314A)

(43) 公開日 平成20年6月5日(2008.6.5)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	2H092
H01L 21/336 (2006.01)	H01L 29/78 612D	3K107
H01L 29/786 (2006.01)	H01L 29/78 617L	4M104
H01L 29/417 (2006.01)	H01L 29/50 M	5C094
H01L 51/50 (2006.01)	H05B 33/14 A	5F110
審査請求 未請求 請求項の数 20 O L (全 31 頁) 最終頁に続く		

(21) 出願番号 特願2006-314064 (P2006-314064)
 (22) 出願日 平成18年11月21日 (2006.11.21)

(71) 出願人 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100093506
 弁理士 小野寺 洋二
 (72) 発明者 豊田 善章
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所
 中央研究所内
 (72) 発明者 佐藤 健史
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所
 中央研究所内

最終頁に続く

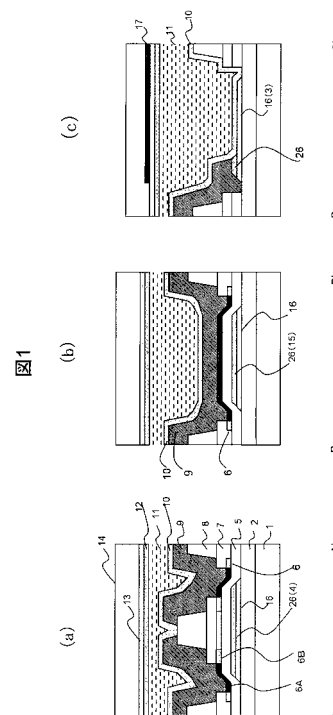
(54) 【発明の名称】 画像表示装置およびその製造方法

(57) 【要約】

【課題】 アクティブ基板の製造におけるホット工程を削減し、製造コストを低減する。

【解決手段】 ボトムゲート型TFT基板における前記ゲート電極4を絶縁基板1の主面上に有する透明導電膜からなる画素電極3と同層の透明導電膜16を下層とし、その上層に金属膜26を重ねた積層電極膜で構成し、画素電極3を透明導電膜16とする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

絶縁基板の主面に薄膜トランジスタで構成される多数の画素を有するアクティブ基板を備えた画像表示装置であって、

前記薄膜トランジスタのゲート電極が、前記絶縁基板の主面上の当該薄膜トランジスタの能動層を構成する半導体膜の下層に位置し、ソース・ドレイン電極が該半導体の上部に接続したボトムゲート型であり、

前記ゲート電極は前記絶縁基板の主面上に有する透明導電膜からなる画素電極と同層の透明導電膜を下層とし、その上層に金属膜を重ねた積層膜であり、前記画素電極は前記透明導電膜であることを特徴とする画像表示装置。

10

【請求項 2】

請求項 1 において、

前記画素電極の上部端縁の一部に前記金属膜と同層の接続用金属膜を有し、前記ソース・ドレイン電極が当該接続用金属膜を介して前記画素電極を構成する前記透明導電膜と電気的に接続していることを特徴とする画像表示装置。

【請求項 3】

請求項 1 において、

前記積層膜は、前記ゲート電極の上層に成膜されたゲート絶縁膜と、該絶縁膜の上層に位置する前記ソース・ドレイン電極の一部とで画素の保持容量を形成することを特徴とする画像表示装置。

20

【請求項 4】

請求項 1 において、

前記画素電極の上層に配向膜を有することを特徴とする画像表示装置。

【請求項 5】

請求項 1 において、

前記画素電極の上層に有機 EL 発光層を有することを特徴とする画像表示装置。

【請求項 6】

請求項 1 において、

前記絶縁基板はガラス基板であり、当該ガラス基板の主面上で前記積層膜の下層に下地膜を有することを特徴とする画像表示装置。

30

【請求項 7】

請求項 6 において、

前記下地膜が、酸化シリコン膜、窒化シリコン、酸化シリコンと窒化シリコンの積層膜の何れかであることを特徴とする画像表示装置。

【請求項 8】

絶縁基板の主面に薄膜トランジスタで構成される多数の画素を有するアクティブ基板を備え、前記薄膜トランジスタのゲート電極が前記絶縁基板の主面上の最下層、かつ当該薄膜トランジスタの能動層を構成する半導体膜の下層に位置し、ソース・ドレイン電極が該半導体の上部に接続したボトムゲート型である画像表示装置の製造方法であって、

前記絶縁基板上の少なくとも画素領域の全域に、透明導電膜を下層とし、金属膜を上層とした積層電極膜を形成する積層電極膜成膜工程と、

40

前記積層電極膜を覆ってゲート絶縁膜を形成し、その上に半導体膜を形成し、前記薄膜トランジスタの形成領域に島状に加工した前記半導体膜を形成する半導体加工工程と、

前記半導体加工で加工した前記半導体膜を覆って層間絶縁膜を形成した後、当該層間絶縁膜を加工して前記薄膜トランジスタのソース・ドレイン電極部と前記画素部の当該層間絶縁膜を除去する層間絶縁膜加工工程と、

前記層間絶縁膜加工工程で除去された前記薄膜トランジスタのソース・ドレイン電極部と前記画素部を含めた全域にソース・ドレイン電極用の金属膜を形成する金属膜成膜工程と、

前記金属膜を加工して、前記薄膜トランジスタ形成領域の前記ソース・ドレイン電極部

50

にソース・ドレイン電極を形成すると同時に、前記画素部の前記積層電極膜の一部に接続用金属膜となる部分を残して前記金属膜を除去し、前記透明導電膜のみ残留させて画素電極とする金属膜加工工程と、
を含むことを特徴とする画像表示装置の製造方法。

【請求項 9】

請求項 8 において、
前記積層電極膜の下層にITOを用いることを特徴とする画像表示装置の製造方法。

【請求項 10】

請求項 8 において、
前記積層電極膜の下層に酸化錫系透明導電膜を用いることを特徴とする画像表示装置の製造方法。 10

【請求項 11】

請求項 9 において、
前記積層電極膜の上層にアルミニウム又はアルミニウム・ネオジウム合金を用いることを特徴とする画像表示装置の製造方法。

【請求項 12】

請求項 9 において、
前記積層電極膜の上層に、チタン、タングステン・チタニウム、窒化チタン、タングステン、クロム、モリブデン、タンタル、ニオブ、バナジウム、ジルコニウム、ハフニウム、プラチナ、ルテニウム、またはそれらの合金の何れかを用いることを特徴とする画像表示装置の製造方法。 20

【請求項 13】

請求項 8 において、
前記画素領域に、前記積層電極膜の上層に形成された前記ゲート絶縁膜と前記半導体膜および前記金属膜で形成した保持容量部を形成することを特徴とする画像表示装置の製造方法。

【請求項 14】

請求項 8 において、
前記画素電極の上層に配向膜材料を塗布した後、当該配向膜に液晶配向制御能を付与する配向膜形成工程を含むことを特徴とする画像表示装置の製造方法。 30

【請求項 15】

請求項 14 において、
前記配向膜を形成した前記アクティブ基板に、液晶層を介してカラーフィルタ基板を貼り合わせる封止工程を含むことを特徴とする画像表示装置の製造方法。

【請求項 16】

請求項 15 において、
前記対向基板に対向電極を有することを特徴とする画像表示装置の製造方法。

【請求項 17】

請求項 8 において、
前記画素電極の上層に有機EL発光層を成膜する有機EL発光層形成工程を含むことを特徴とする画像表示装置の製造方法。 40

【請求項 18】

請求項 16 において、
前記有機EL発光層の上層で、前記複数の画素領域の全域を覆って一方の電極である前記画素電極とで前記有機EL発光層を挟持する他方の電極である電極膜を形成する電極成膜工程を含むことを特徴とする画像表示装置の製造方法。

【請求項 19】

請求項 8 において、
前記絶縁基板としてガラス基板を用い、前記積層電極膜成膜工程の前に当該ガラス基板の主面上に下地膜を形成する下地膜成膜工程を有することを特徴とする画像表示装置の製 40 50

造方法。

【請求項 20】

請求項 19 において、

前記下地膜成膜工程が、酸化シリコン膜の成膜工程又は窒化シリコン若しくは酸化シリコンと窒化シリコンの積層膜の成膜工程の何れかであることを特徴とする画像表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像表示装置とその製造方法に関し、絶縁基板の主面に薄膜トランジスタで構成される多数の画素を有するアクティブ基板を備えた液晶表示装置や有機 EL 表示装置等の画像表示装置に好適なものである。

10

【背景技術】

【0002】

液晶表示装置や有機 EL 表示装置などのフラット・パネル・ディスプレイ (FPD) と称する画像表示装置として、画素毎に薄膜トランジスタ (TFT) 回路を配置したアクティブ・マトリクス型が広く普及している。このような薄膜トランジスタ回路を配置した基板をアクティブ・マトリクス基板、又はアクティブ基板、あるいは単に TFT 基板とも称する。

【0003】

20

このような TFT 基板の製造では、複数回のホトリソグラフィプロセス (ホトリソ工程、ホトエッチング工程などとも称する。以下、単にホト工程と称する) が用いられる。ホト工程は、感光性レジストの塗布・乾燥、露光マスクを用いた紫外線等の露光、現像、エッチング、洗浄等の複数の工程を要する。露光マスクの製作や、ホト工程に用いる設備は高価であり、ホト工程の処理にも多くの時間を要する。TFT 基板の低コスト化は、画像表示装置のコスト低下に直接影響する重要課題であり、そのためにはホト工程を削減することが有効である。

【0004】

この種の技術分野におけるホト工程の削減に関し、特許文献 1 には、ボトムゲート型 TFT 基板 (アクティブ・マトリクス基板) の製造において、絶縁基板であるガラス基板上に ITO (インジウム・チン・オキサイド) 膜とクロム (Cr) 膜を積層し、同じレジストを 2 度露光して Cr / ITO 積層膜を加工するプロセスを開示する。

30

【特許文献 1】特開平 6 3 1 7 8 0 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

特許文献 1 では、TFT 基板を製造するためにホト工程が 5 回必要である。また、画素領域の周辺に設ける駆動回路等の薄膜トランジスタ回路、あるいは絶縁基板に有機 EL (OLED) 画素回路を形成するため際に、これらの回路と走査線 (ゲート線) やソース・ドレイン電極とのコンタクトとるために、ホト工程をさらに 1 工程追加しなければならない。したがって、従来技術では、ホト工程の削減による画像表示装置の製造コストの大幅な低減は困難である。

40

【0006】

本発明の目的は、電極や絶縁膜などを構成する薄膜の構成とその加工手順を工夫することでホト工程を削減し、製造コストを低減することにある。

【課題を解決するための手段】

【0007】

上記目的を達成するため、本発明の画像表示装置では、ボトムゲート型 TFT 基板における前記ゲート電極を前記絶縁基板の主面上に有する透明導電膜からなる画素電極と同層の透明導電膜を下層として、その上層に金属膜を重ねた積層電極膜で構成し、前記画素電

50

極を前記透明導電膜とする。

【0008】

また、本発明の画像表示装置では、前記画素電極の上部端縁の一部に前記金属膜と同層の接続用金属膜を有し、前記ソース・ドレイン電極を当該接続用金属膜を介して前記画素電極を構成する前記透明導電膜と電氣的に接続する。

【0009】

また、本発明の画像表示装置では、前記ゲート電極の上層に成膜されたゲート絶縁膜と、該絶縁膜の上層に位置する前記ソース・ドレイン電極の一部とで画素の保持容量を形成する。

【0010】

本発明の画像表示装置の製造方法では、ITO等の透明導電膜に金属電極を成膜した積層電極膜構造を用いてゲート電極および画素電極を形成する。そして、薄膜トランジスタのソース・ドレイン電極加工時に、上層の金属電極を同時に除去して透明導電膜で画素電極を形成する。

【0011】

また、本発明の画像表示装置の製造方法では、前記積層電極膜の上層に形成された前記ゲート絶縁膜と前記半導体膜および前記金属膜で保持容量部を形成する。

【発明の効果】

【0012】

本発明の画像表示装置の製造方法によれば、ソース・ドレイン電極の加工時に、同時に画素電極を形成でき、4回のホット工程で液晶表示装置のアクティブ基板を、5回のホット工程で有機EL表示装置のアクティブ基板を形成できる。この製造方法により、低コストで画像表示装置を製造できる。

【0013】

本発明は、前記したようなカラーフィルタ基板側に対向電極を設ける形式の液晶表示装置や有機EL表示装置に限るものではなく、他の形式の液晶表示装置、アクティブ基板を用いる他の駆動原理の画像表示装置等にも同様に適用可能である。

【発明を実施するための最良の形態】

【0014】

以下、本発明の最良の実施形態につき、実施例と添付の図面を参照して詳細に説明する。

【実施例1】

【0015】

図1は、本発明にかかる画像表示装置の実施例1を説明する液晶表示装置を構成する1画素の要部断面図である。この液晶表示装置はアクティブ基板（薄膜トランジスタ基板、TFT基板）と対向基板（カラーフィルタを形成したものではありませんカラーフィルタ基板、CF基板）の間に液晶層を挟持して構成される。図1の（a）は薄膜トランジスタ部分、図1の（b）は保持容量部の、図1の（c）は画素電極部の、それぞれ断面を示す。図2は、図1に示す画素で構成される液晶表示装置の構成を説明する等価回路図、図3は、図2における1画素の平面図である。なお、図1の（a）は図3のA-A'線に沿った断面図、図1の（b）は図3のB-B'線に沿った断面図、図1の（c）は図3のC-C'線に沿った断面図である。

【0016】

実施例1では、前記基板としてガラス基板を用いる。図1において、ガラス基板1の主面（薄膜トランジスタ等を作り込む表面、内面）に下地膜（バッファ層）2を有する。この下地膜2は酸化シリコン膜、又は窒化シリコン膜、若しくは酸化シリコン膜と窒化シリコン膜の積層膜である。窒化シリコン膜を用いた場合、あるいは窒化シリコン膜を下層とし、その上層に酸化シリコン膜を積層したものをを用いた場合は、ガラス基板1の内部からの不純物（イオン）がゲート絶縁膜や液晶中に拡散侵入して特性を劣化させるのをより効果的に防止できる。なお、特に必要がない場合を除いて、下地膜2を成膜したガラス基板

10

20

30

40

50

1を単に基板と称する。

【0017】

図1の(a)の薄膜トランジスタ部では、基板の上にゲート電極4が形成されている。このゲート電極4はITOの透明電極16の上に積層された金属電極(ここでは、アルミニウム)26とからなる積層電極膜で構成される。ゲート電極4を含む基板全面にゲート絶縁膜5があり、その上に薄膜トランジスタの能動層を構成する島状のポリシリコン(p-Si)膜(シリコン・アイランド)6を有する。ポリシリコン膜6の上に第1層間絶縁膜7と第2層間絶縁膜8があり、これら第1層間絶縁膜7と第2層間絶縁膜8に開けたコンタクトホールを通してソース・ドレイン電極9のソース電極とドレイン電極がポリシリコン膜6の両側にある高濃度p型不純物領域6Aにそれぞれ接続している。

10

【0018】

ソース電極とドレイン電極は第2層間絶縁膜8で絶縁分離されている。ソース電極とドレイン電極は動作中に入れ替わるので両者をまとめてソース・ドレイン電極と表記する。ポリシリコン膜6の両側にある高濃度p型不純物領域6Aの各内側には低濃度p型不純物領域6Bが配置されている。この上層に第1配向膜10が塗布され、ラビング等の処理で液晶配向制御能が付与されている。なお、図示は省略したが、第1配向膜10の下層に保護絶縁膜(パッシベーション膜、PAS膜)が形成される場合もある。

【0019】

対向基板は透明な絶縁基板(ここでは、ガラス基板)14の主面にITOを好適とする透明電極で対向電極13が形成され、その上に第2配向膜12が塗布され、ラビング等の処理で液晶配向制御能が付与されている。なお、これも図示は省略したが、第2配向膜12の下層、好ましくは後述するカラーフィルタと対向電極13の間に保護平滑膜(オーバコート膜)が形成される場合もある。

20

【0020】

図1の(b)の保持容量部では、透明電極16の上に積層された金属電極26からなる積層膜を一方の電極とし、ソース・ドレイン電極9と同層の金属膜を他方の電極とし、これら両電極の間に挟持されるゲート絶縁膜5とポリシリコン膜6で保持容量(Cst)が構成されている。この部分の積層膜は、図1の(a)の薄膜トランジスタ部におけるゲート電極を構成する積層膜と同層である。

【0021】

30

図1の(c)の画素電極部では、図1の(a)の薄膜トランジスタ部におけるゲート電極および図1の(b)の保持容量部における一方の電極と同層の積層膜の下層を構成するITOを好適とする透明電極16で画素電極3が形成されている。画素電極3を形成する透明電極16の端部では、積層電極膜の上層であるアルミニウム膜26が接続電極として残留しており、この接続電極を介してソース・ドレイン電極9が画素電極3に電氣的に接続している。

【0022】

画素電極部の対向基板の主面には、対向電極13の下層にカラーフィルタ17が形成されている。なお、画素電極部の周辺部におけるカラーフィルタ17の側端(隣接するカラーフィルタとの間)に遮光膜が配置されるのが好ましいが、図1には図示していない。

40

【0023】

そして、TFT基板の第1配向膜10と対向基板の第2配向膜12を対面させて貼り合わせ、両者の隙間(セルギャップ)に液晶11を封入して液晶表示装置が形成される。

【0024】

図2に示した構成例では、画素30は薄膜トランジスタ(TFT)32と保持容量31および液晶11で構成され、複数の画素が二次元のマトリクス状に配列されている。TFT32のソース・ドレイン電極の一方はドレインドライバ(信号線駆動回路、データ線駆動回路)20から引き出される信号線21に接続している。また、TFT32のゲート電極はゲートドライバ(走査線駆動回路)22から引き出されるゲート線(走査線)23に接続している。また、ゲートドライバ22から引き出される容量線15には保持容量(C

50

s t) 31の一方の電極が接続している。

【0025】

ゲート線23に順次与えられる走査信号で選択された画素30に信号線21を通して供給される表示データが保持容量(Cst)31に蓄積されると共に画素電極に電位が印加され、液晶11が点灯する(液晶分子の配向方向が制御される)。

【0026】

図3は、図2に示された1画素の基板上での配置を説明する平面図である。図3中で図2と同一符号は同一機能部分に対応する。信号線21とゲート線23の交差部近傍に画素を構成するTF Tが設けられている。ソース・ドレイン電極9の一方9Aは信号線21に接続し、他方9Bは画素電極3を構成するITO16に接続している。TF Tのゲート電極4は走査線23に接続している。また、ソース・ドレイン電極9の他方9Bの下層には容量線15が位置しており、保持容量(Cst)を形成している。

【0027】

以下、図4～図8を参照して本発明の実施例1にかかる液晶表示装置の製造方法を説明する。図4～図8の(a)、(b)、(c)は前記図1における薄膜トランジスタ部、保持容量部、画素電極部のそれぞれの断面を示す。なお、以下の説明中の具体的な数値はあくまで一例であることは言うまでもない。

【0028】

図4(a)、(b)、(c)において、ガラス基板1上に酸化シリコンからなる下地膜2を膜厚300nmに形成する。次に、透明導電膜16としてITOを膜厚100nmに成膜し、その上に金属膜26としてアルミニウム(Al)を膜厚150nmに成膜して積層膜(積層電極膜)を形成する。この積層電極膜を覆って感光性レジストを塗布・乾燥し、マスク露光と現像でレジストパターンを形成する。これにエッチング加工を施してゲート電極部分、保持容量部分および画素電極の部分等に所定のパターンの積層電極膜を形成する(ホット工程1)。

【0029】

図5(a)、(b)、(c)において、所定のパターンに形成した積層電極膜を覆って酸化シリコンからなるゲート絶縁膜5を膜厚100nmに成膜する。次に、アモルファスシリコンを膜厚50nmに形成し、レーザアニールにより結晶化してポリシリコン膜に改質する。この上に感光性レジストを塗布・乾燥し、マスク露光と現像でレジストパターンを形成する。これにエッチング加工を施して島状のポリシリコン半導体膜6を形成する(ホット工程2。このホット工程2では、図5(c)に示したように、画素電極部のポリシリコン半導体膜は完全に除去する。

【0030】

図6(a)、(b)、(c)において、ゲート絶縁膜5とポリシリコン半導体膜6を覆って、酸化シリコンからなる第1層間絶縁膜を膜厚100nmに成膜し、さらに窒化シリコンからなる第2層間絶縁膜を膜厚500nmに成膜する。その後、感光性レジストの塗布・乾燥と、マスク露光と現像でレジストパターン40を形成する。このレジストパターン40をマスクにして第2層間絶縁膜8のみを加工する(ホット工程3)。この時、レジストパターン40に対し第2層間絶縁膜8を縮小加工する。

【0031】

図7(a)、(b)、(c)において、レジストパターン40をマスクとしてイオン打ち込みにより、TF T部および保持容量部に高濃度p型不純物領域を形成する。その後、レジストをマスクにして、第1層間絶縁膜7およびゲート絶縁膜5を除去する(図7はこの状態を示す)。これにより、ゲート電極4および後述するソース・ドレイン電極とのコンタクトが可能になる。画素部では図7の(c)に示したように、第1層間絶縁膜7およびゲート絶縁膜5は完全に除去される。

【0032】

図8(a)、(b)、(c)において、レジストパターン40を除去し、イオン打ち込みにより、ポリシリコン膜の前記高濃度p型不純物領域6Aの両内側にそれぞれ低濃度p型

10

20

30

40

50

不純物領域 6 B を形成する。次に、アルミニウムからなるソース・ドレイン電極を膜厚 500 nm に形成する。この上に感光性レジストの塗布・乾燥と、マスク露光と現像でレジストパターンを形成し、このレジストパターンをマスクにしてソース・ドレイン電極 9 (図 8 (a))、保持容量の他方の電極 (図 8 (b))、画素電極との接続電極 (図 8 (c)) を加工する (ホト工程 4) 。

【 0 0 3 3 】

このソース・ドレイン電極を除去するのと同時に、画素電極 3 を構成する I T O の上層にあるゲート電極材料 (アルミニウム膜 2 6) を、接続電極部分を残して除去する。ソース・ドレイン電極と画素電極の上層電極 2 6 は同じ金属材料 (ここでは、アルミニウム) で形成されているため同じエッチング液で同時に除去できる。ソース・ドレイン電極と画素電極 3 の上層電極とを異なる金属材料とした場合は、ソース・ドレイン電極の加工の後、ソース・ドレイン電極をマスクにして、画素電極部の上層電極は溶解し、ソース・ドレイン電極材料は溶解しないエッチング液を用いて画素電極 3 の下層である I T O 1 6 の上層電極 2 6 を除去すれば良い。

10

【 0 0 3 4 】

画素電極 3、ソース・ドレイン電極 9 を含む全域を覆って第 1 配向膜を形成し、カラーフィルタ、対向電極、第 2 配向膜を形成した対向基板との間に液晶を充填して、図 1 で説明した液晶表示装置を得る。なお、第 1 配向膜 1 0 の下層に保護絶縁膜 (パッシベーション膜、P A S 膜) が画素電極部を除いて形成される場合もある。また、対向基板にも、第 2 配向膜 1 2 の下層、好ましくは後述するカラーフィルタと対向電極 1 3 の間に保護平滑膜 (オーバコート膜) が形成される場合もある。

20

【 0 0 3 5 】

実施例 1 では、T F T の能動層を構成するポリシリコン膜に低濃度 p 型不純物層を有するため、薄膜トランジスタ T F T のオフ電流を低減でき、コントラストを高くすることができる。また、保持容量部において、ゲート電極とソース・ドレイン電極との間に半導体層 (ポリシリコン層) が存在しているが、半導体層には高濃度の不純物が打ち込んであるため、半導体層の寄生容量の影響を低減することができる。このように、実施例 1 では、4 回のホト工程で T F T 基板を作製でき、低コストで液晶表示装置を提供できる。さらに、ガラス基板に下地膜を形成し、この下地膜上に画素電極を形成した場合には、画素電極は平坦性に優れたものとなり、セルギャップの不均一による色ムラを低減できる。

30

【 実施例 2 】

【 0 0 3 6 】

図 9 は、本発明による画像表示装置の実施例 2 を説明する有機 E L 表示装置を構成する 1 画素の要部断面図である。この有機 E L 表示装置 (O L E D とも称する) はアクティブ基板 (薄膜トランジスタ基板、T F T 基板) の上層に有機 E L 発光層を形成して構成される。図 9 の (a) は薄膜トランジスタ部分の、図 9 の (b) は保持容量部の、図 9 の (c) は画素電極部の、それぞれ断面を示す。図 1 0 は、図 9 に示す画素で構成される有機 E L 表示装置の構成を説明する等価回路図、図 1 1 は、図 1 0 における 1 画素の平面図である。なお、図 9 の (a) は図 1 1 の D - D ' 線に沿った断面図、図 9 の (b) は図 1 1 の M - M ' 線に沿った断面図、図 9 の (c) は図 1 1 の E - E ' 線に沿った断面図である。

40

【 0 0 3 7 】

実施例 2 では、実施例 1 と同様に前記図 4 ~ 図 8 に示す工程と同様の工程を経て、薄膜トランジスタ (T F T)、保持容量 C s t、画素電極を形成する。その後、窒化シリコンからなるバンク絶縁膜 5 0 を形成し、加工する (ホト工程 5)。その後、有機 E L 発光層 5 1 およびアルミニウムからなる有機 E L 上部電極 5 2 を形成し、有機 E L 素子を有する T F T 基板を得る (図 9) 。

【 0 0 3 8 】

バンク絶縁膜 5 0 を形成することにより、ソース・ドレイン電極 9 と、有機 E L 発光層 5 1 および有機 E L 上部電極 5 2 を絶縁することができる。有機 E L 発光部は、アース接地された有機 E L 上部電極 5 2 と、T F T を介して電源 E s と接続された I T O 1 6 (3

50

）と、それらに挟まれた有機ＥＬ発光層５１により構成されており、有機ＥＬ発光層５１に電流を流すことにより発光する。ゲート線２３に順次与えられる走査信号で選択された画素３０に信号線２１を通して供給される表示データが保持容量Ｃｓｔに蓄積される。蓄積された電圧に応じて、ＴＦＴのチャネル抵抗が変化するため、有機ＥＬ発光層５１に流れる電流を変化させることができ、これにより階調を制御している。

【００３９】

実施例２では、前記実施例１の図７の説明において、第１層間絶縁膜７を除去すると同時に、ゲート絶縁膜５も除去している。これにより、図８（ｃ）の画素電極部に図示するように、ソース・ドレイン電極とゲート電極とのコンタクトが可能となり、有機ＥＬ素子を駆動する画素回路や周辺駆動回路を、ＴＦＴを用いてガラス基板上に形成することができる。また同様の理由により、実施例１の液晶表示装置においても画素ＴＦＴを駆動する周辺駆動回路を、ＴＦＴを用いてガラス基板上に形成できることはいうまでもない。実施例２によれば、５回のホット工程で有機ＥＬ基板を作製でき、低コストで有機ＥＬ表示装置を提供できる。

【実施例３】

【００４０】

図１２は、本発明による画像表示装置の実施例３を説明する液晶表示装置を構成する１画素の要部断面図である。図１３は、本発明の実施例３にかかる１画素の平面図である。実施例３の液晶表示装置の全体構成は前記した実施例１を説明する図２と同様である。図１２の（ａ）は図１３中のＦ－Ｆ’線に沿ったＴＦＴ部の断面図、図１２の（ｂ）は図１３中のＧ－Ｇ’線に沿った保持容量部の断面図、図１２の（ｃ）は図１３中のＨ－Ｈ’線に沿った断面図を示す。

【００４１】

実施例３の液晶表示装置の製造方法を図１４～図１７を参照して説明する。図１４～図１７の（ａ）、（ｂ）、（ｃ）は前記図１２におけるＴＦＴ部、保持容量部、画素電極部のそれぞれの断面を示す。なお、本実施例でも、以下の説明中の具体的な数値はあくまで一例であることは言うまでもない。

【００４２】

まず、図１４の（ａ）、（ｂ）、（ｃ）において、ガラス基板１上に酸化シリコンからなる下地膜２を膜厚３００ｎｍに形成する。次に、透明導電膜としてＩＴＯを膜厚１００ｎｍに成膜して下層とし、続いてアルミニウム（Ａｌ）を膜厚１５０ｎｍに成膜して上層とした積層膜を形成する。この上に感光性レジストを塗布・乾燥し、マスク露光と現像・洗浄により、ＴＦＴ部と保持容量部および画素部に所要のパターンを形成する（ホット工程１）。

【００４３】

図１５の（ａ）、（ｂ）、（ｃ）において、酸化シリコンからなるゲート絶縁膜５を膜厚１００ｎｍに形成する。次に、アモルファスシリコン６を膜厚５０ｎｍに形成し、レーザアニールにより結晶化し、ホット工程によりパターニングしてＴＦＴ部と保持容量部に島状のポリシリコン膜を形成する（ホット工程２）。

【００４４】

図１６の（ａ）、（ｂ）、（ｃ）において、パターニングしたポリシリコン膜６をマスクにして、ゲート絶縁膜５を除去する。このとき、画素部のゲート絶縁膜５は完全に除去され、上層のアルミニウム膜２６が露出される。

【００４５】

図１７の（ａ）、（ｂ）、（ｃ）において、ＣＶＤ法により高濃度ｐ型不純物層６Ａを形成し、その上層にアルミニウムからなるソース・ドレイン電極９を膜厚５００ｎｍに形成する。この上に感光性レジストを塗布・乾燥し、マスク露光、現像、洗浄してレジストパターンを形成する。このレジストパターンでソース・ドレイン電極９と高濃度ｐ型不純物層６Ａを加工してＴＦＴのチャネル部のソース・ドレイン電極９と高濃度ｐ型不純物層６Ａを除去する（ホット工程３）。この時、ソース・ドレイン電極の除去と同時に、画素電

10

20

30

40

50

極の上層の金属電極(アルミニウム膜)も除去する。ソース・ドレイン電極と画素電極の上層電極は同じ金属材料で形成されているため同時に除去できる。ソース・ドレイン電極と画素電極の上層電極が異なる金属材料とした場合は、ソース・ドレイン電極加工の後、前記実施例 1 と同様にソース・ドレイン電極をマスクにして、画素電極の上層電極を除去すれば良い。画素電極部の構造は実施例 1 と同様である。

【 0 0 4 6 】

その後、第 1 配向膜を形成し、対向基板との間に液晶を封入して図 1 2 に示した液晶表示装置を得る。前記各実施例と同様に、画素電極部を除いて第 1 配向膜の下層に保護絶縁膜を形成する場合もある。

【 0 0 4 7 】

実施例 3 によれば、3 回のホット工程で液晶表示装置用のアクティブ基板を作製でき、低コストで液晶表示装置を提供できる。

【 実施例 4 】

【 0 0 4 8 】

図 1 8 は、本発明による画像表示装置の実施例 4 を説明する有機 E L 表示装置を構成する 1 画素の要部断面図である。図 1 9 は、本発明による画像表示装置の実施例 4 の 1 画素の構成を説明する平面図である。実施例 4 の有機 E L 表示装置の等価回路の構成は図 1 0 に示した実施例と同様である。図 1 8 の (a) は図 1 9 中の J - J ' 線に沿った断面図、図 1 8 の (b) は図 1 9 中の L - L ' 線に沿った断面図、図 1 8 の (c) は図 1 9 中の K - K ' 線に沿った断面図をそれぞれ示す。

【 0 0 4 9 】

実施例 4 の有機 E L 表示装置は、実施例 3 と同様に図 1 4 ~ 図 1 7 に示す工程を経て、T F T 部、保持容量 C s t 部、画素電極部を形成する。その後、窒化シリコンからなるバンク絶縁膜 5 0 を形成し、加工する (ホット工程 4) 。その後、有機 E L 表示装置の発光層 5 1 およびアルミニウムからなる上部電極 5 2 を形成し、有機 E L 表示装置のアクティブ・マトリクス基板を得る。

【 0 0 5 0 】

実施例 4 によれば、4 回のホット工程で有機 E L 表示装置のアクティブ基板を作製でき、低コストで液晶表示装置を提供できる。

【 0 0 5 1 】

なお、本発明は、前記した実施例 1 から実施例 4 で説明した画像表示装置において、絶縁性基板はガラスに限らず、石英ガラスやプラスチックのような他の絶縁性基板であってもよい。石英ガラスを用いれば、プロセス温度を高くできるため、ゲート絶縁膜を緻密化でき T F T の信頼性が向上する。また、プラスチック基板を用いれば、軽量で、耐衝撃性に優れた画像表示装置を提供できる。

【 0 0 5 2 】

また、前記したが、下地膜としては、酸化シリコン膜に代えて窒化シリコン膜あるいは酸化シリコン膜と窒化シリコン膜との積層膜を用いても良い。窒化シリコン膜を下地膜として用いることで、あるいは窒化シリコン膜を下層とし、その上層に酸化シリコン膜を積層したものを用いることで、ガラス基板内の不純物がゲート絶縁膜や液晶層中に拡散侵入するのを効果的に防止できる。

【 0 0 5 3 】

アモルファスシリコンの結晶化法は熱アニールによる固相成長法でも良いし、熱アニールとレーザアニールの組み合わせであっても良い。熱アニール法を用いれば、ポリシリコン膜の平坦性が向上し、ゲート絶縁膜の耐圧が向上する。また、半導体膜としては、アモルファスシリコンでも良いし、微結晶シリコンでも良く、C a t - C V D (触媒化学気相成長) や、反応性熱 C V D を用いて直接成膜されたポリシリコンであっても良い。これらの方法を用いれば、結晶化工程を削減できスループットが向上する。また、シリコンとゲルマニウムの化合物を用いれば T F T の性能を向上できる。さらに、公知の酸化物半導体を用いれば、T F T の光リーク電流を低減でき、コントラストを高くできる。

10

20

30

40

50

【 0 0 5 4 】

ソース・ドレイン電極のバリアメタルおよびゲート電極の材料は、アルミニウム-ネオジム (Al-Nd)、チタン (Ti)、タングステン・チタニウム (TiW)、窒化チタン (TiN)、タングステン (W)、クロム (Cr)、モリブデン (Mo)、タンタル (Ta)、ニオブ (Nb)、バナジウム (V)、ジルコニウム (Zr)、ハフニウム (Hf)、プラチナ (Pt)、ルテニウム (Ru) 等の金属、またはそれらの合金でも良い。また、画素電極ITOは、公知のZnO系透明電極であっても良い。これらの電極を用いても実施例1から実施例4に記載の効果が得られる。

【 0 0 5 5 】

実施例1から実施例4ではpチャネルTFTについて説明したが、これらのTFTは、n型不純物層を用いたnチャネルTFTであっても良い。nチャネルTFTはpチャネルTFTよりも性能が高く、高性能な回路を形成できる。また、nチャネルTFTとpチャネルTFTを両方用いてCMOS構成にすれば、回路面積を縮小でき、さらに消費電力を低減できる。

【 図面の簡単な説明 】

【 0 0 5 6 】

【 図 1 】 本発明にかかる画像表示装置の実施例1を説明する液晶表示装置を構成する1画素の要部断面図である。

【 図 2 】 図1に示す画素で構成される液晶表示装置の構成を説明する等価回路図である。

【 図 3 】 図2における1画素の平面図である。

【 図 4 】 本発明の実施例1にかかる液晶表示装置の製造方法を説明する工程図である。

【 図 5 】 本発明の実施例1にかかる液晶表示装置の製造方法を説明する図4に続く工程図である。

【 図 6 】 本発明の実施例1にかかる液晶表示装置の製造方法を説明する図5に続く工程図である。

【 図 7 】 本発明の実施例1にかかる液晶表示装置の製造方法を説明する図6に続く工程図である。

【 図 8 】 本発明の実施例1にかかる液晶表示装置の製造方法を説明する図7に続く工程図である。

【 図 9 】 本発明による画像表示装置の実施例2を説明する有機EL表示装置を構成する1画素の要部断面図である。

【 図 10 】 図9に示す画素で構成される有機EL表示装置の構成を説明する等価回路図である。

【 図 11 】 図10における1画素の平面図である。

【 図 12 】 本発明による画像表示装置の実施例3を説明する液晶表示装置を構成する1画素の要部断面図である。

【 図 13 】 本発明の実施例3にかかる1画素の平面図である。

【 図 14 】 本発明の実施例3にかかる液晶表示装置の製造方法を説明する工程図である。

【 図 15 】 本発明の実施例3にかかる液晶表示装置の製造方法を説明する図14に続く工程図である。

【 図 16 】 本発明の実施例3にかかる液晶表示装置の製造方法を説明する図15に続く工程図である。

【 図 17 】 本発明の実施例3にかかる液晶表示装置の製造方法を説明する図16に続く工程図である。

【 図 18 】 本発明による画像表示装置の実施例4を説明する有機EL表示装置を構成する1画素の要部断面図である。

【 図 19 】 本発明による画像表示装置の実施例4の1画素の構成を説明する平面図である。

【 符号の説明 】

【 0 0 5 7 】

10

20

30

40

50

1・・・ガラス基板、2・・・下地膜、3・・・画素電極、4・・・ゲート電極、5・・・ゲート絶縁膜、6・・・ポリシリコン(p-Si)膜、7・・・第1層間絶縁膜、8・・・第2層間絶縁膜、9・・・ソース・ドレイン電極、10・・・第1配向膜、11・・・液晶、12・・・第2配向膜、13・・・対向電極、14・・・対向基板、15・・・容量線、16・・・透明電極、17・・・カラーフィルタ、20・・・ドレインドライバ、21・・・信号線、22・・・ゲートドライバ、23・・・ゲート線、24・・・容量電極、26・・・金属電極、30・・・画素、31・・・保持容量、32・・・薄膜トランジスタ(TFT)、40・・・感光性レジスト、50・・・バンク、51・・・有機EL発光層、52・・・上部電極、53・・・電源線、54・・・ゲート電極、55・・・有機EL素子。

10

【図1】

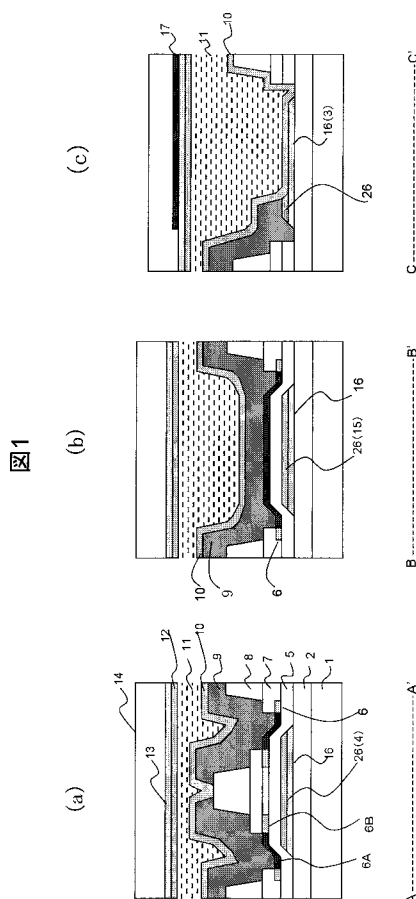
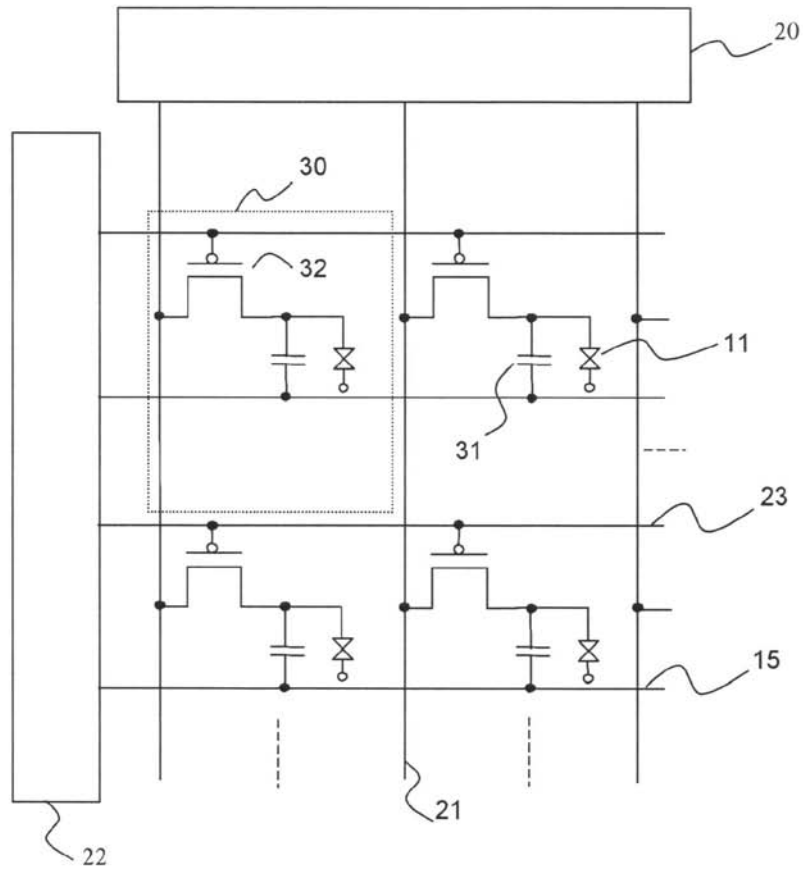
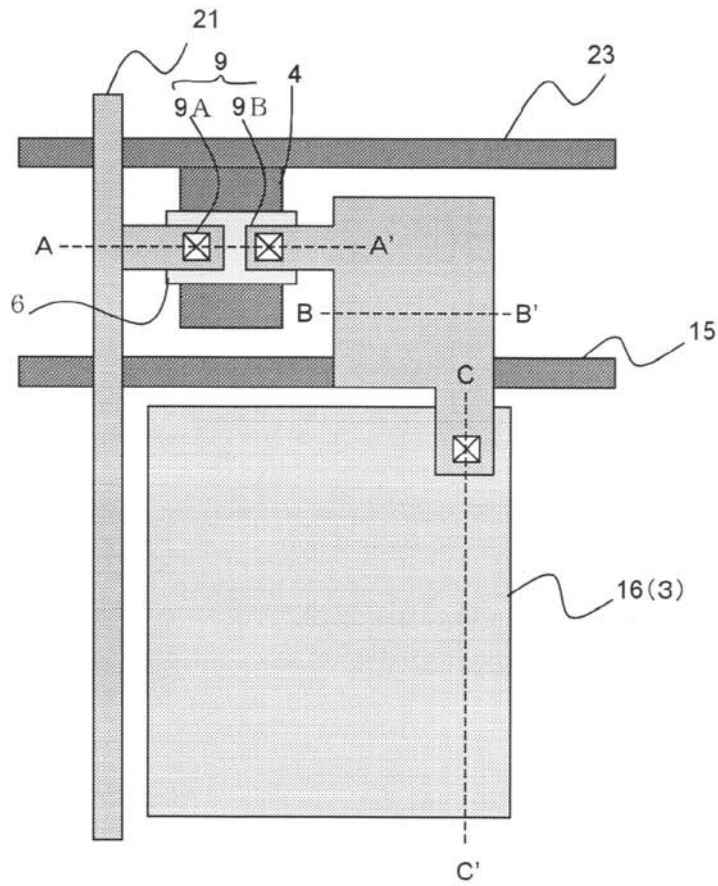


図2

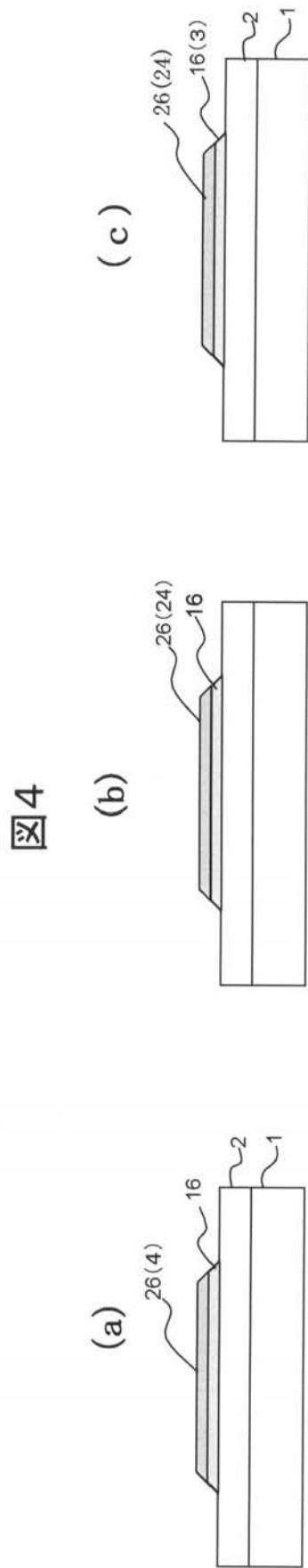


【 図 3 】

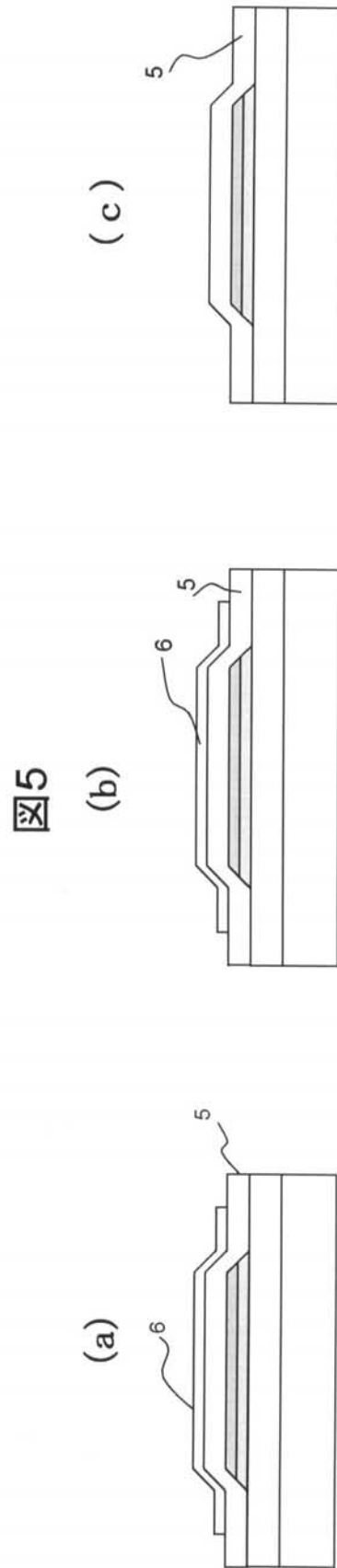
図3



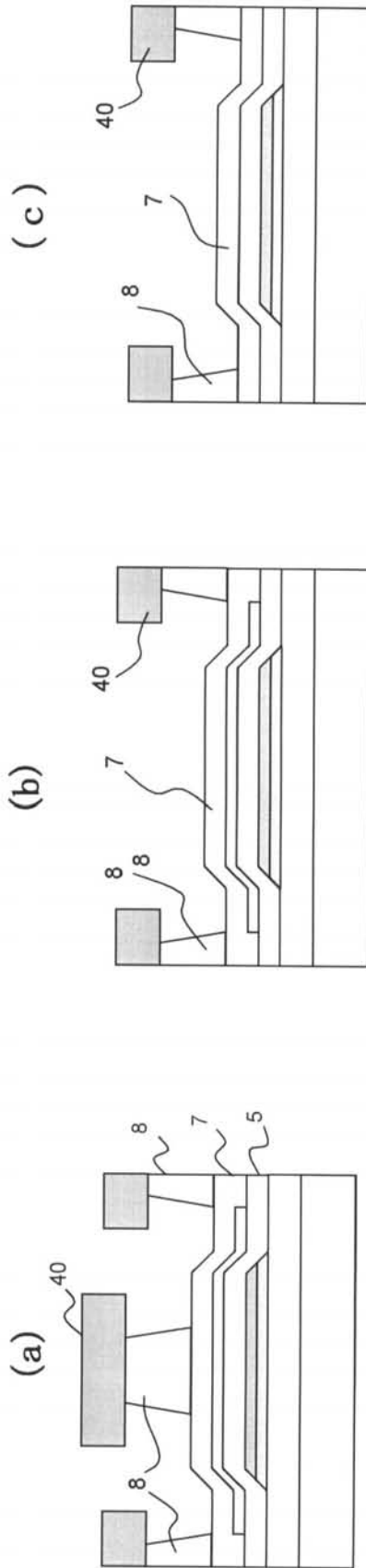
【 図 4 】



【 図 5 】

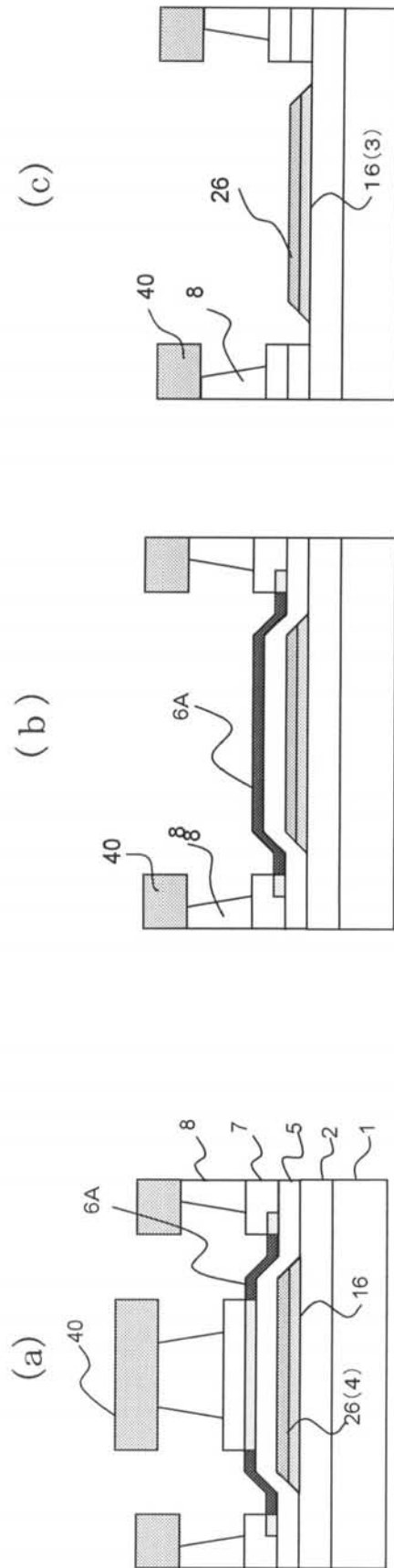


【 図 6 】



【 図 7 】

図 7



【 図 8 】

図8

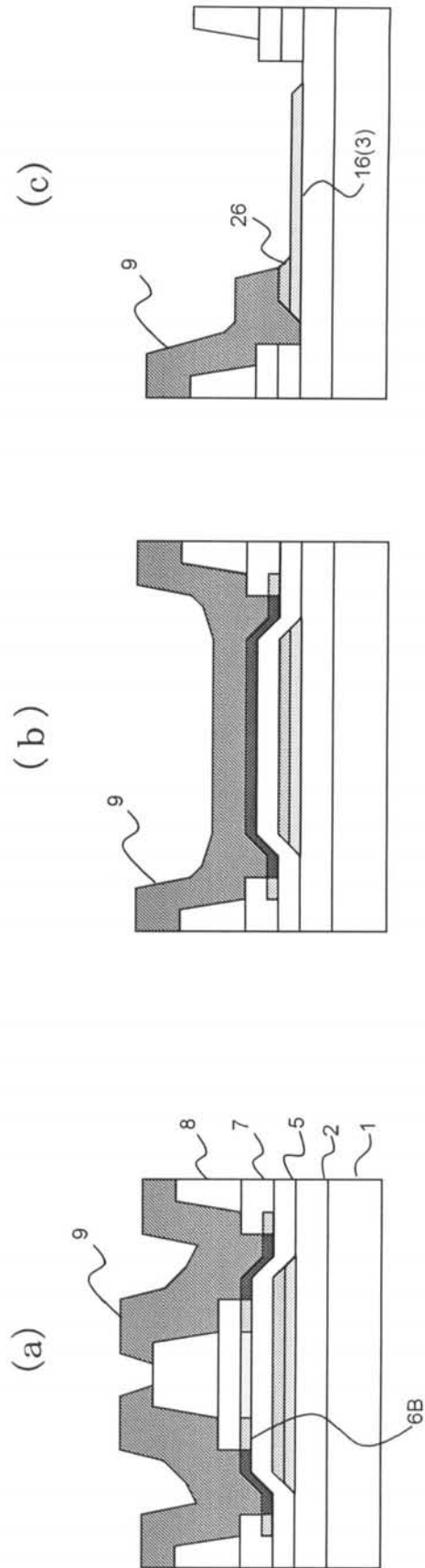
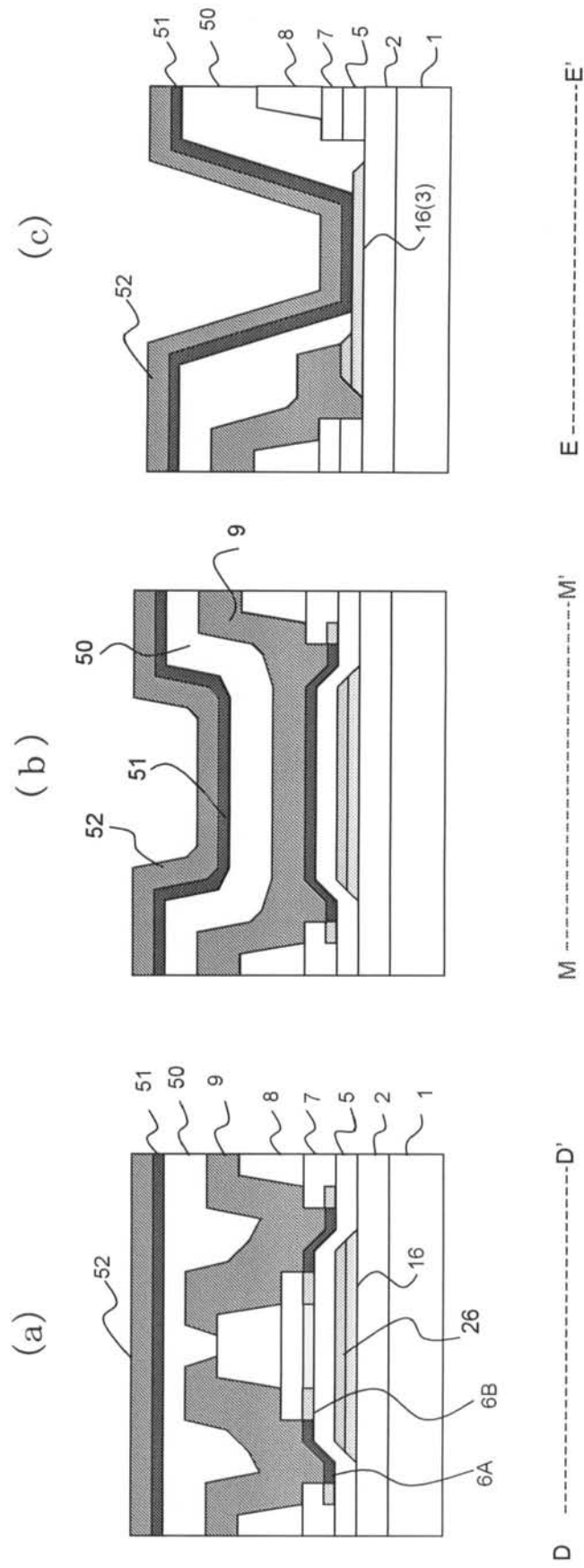
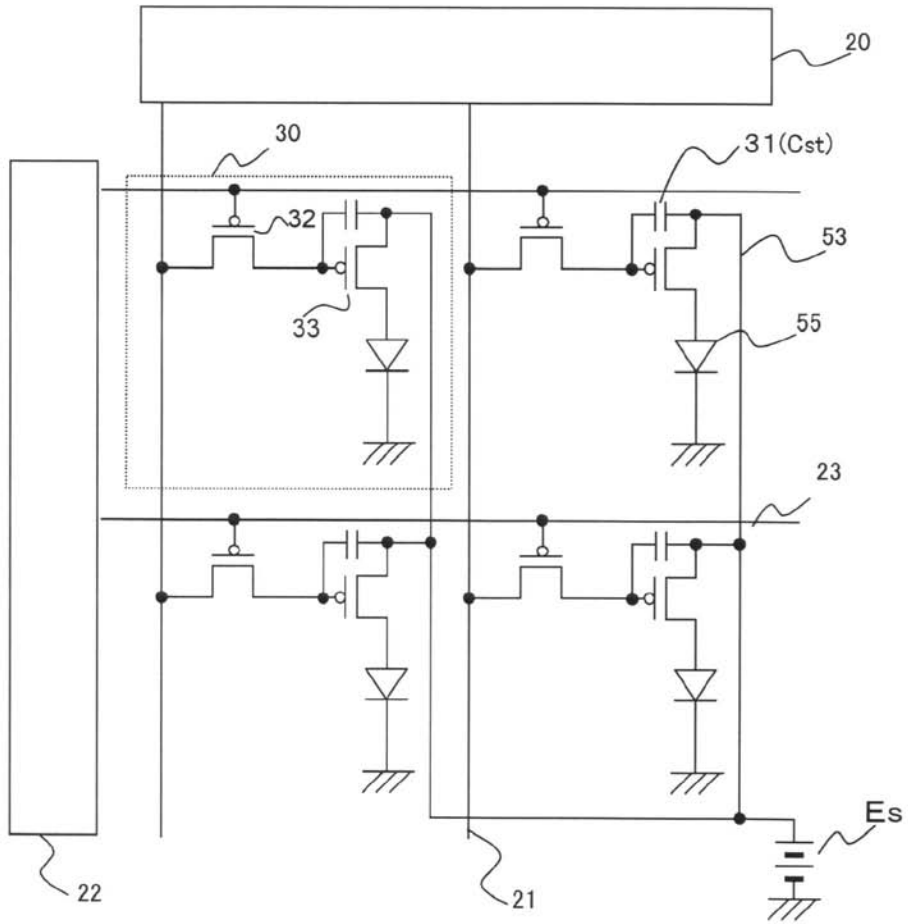


図9



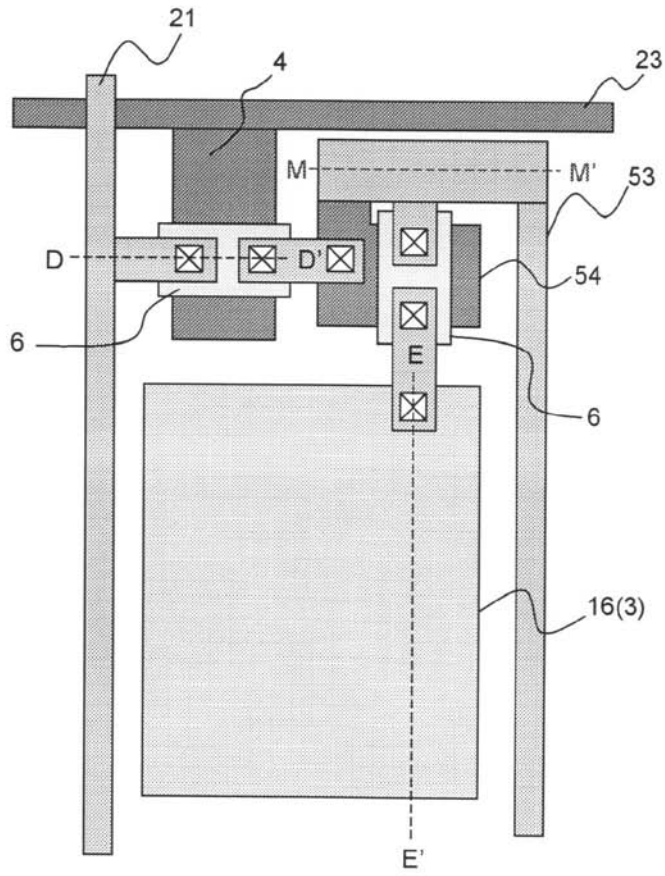
【図 10】

図10



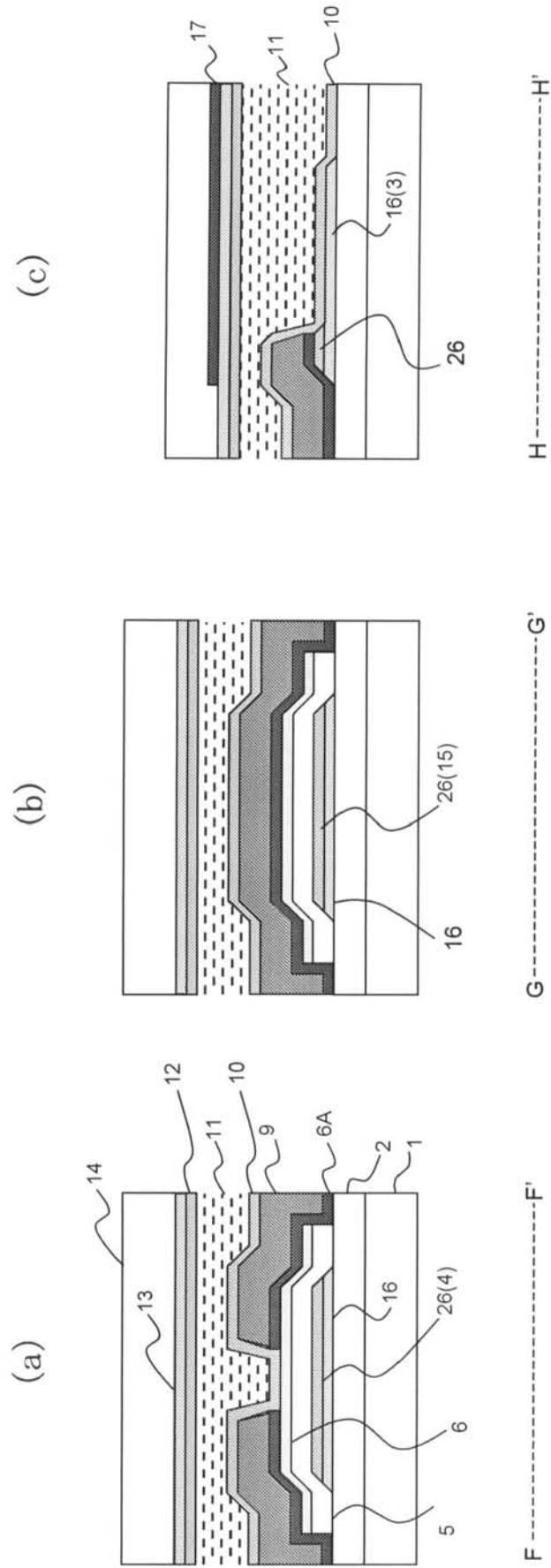
【図 11】

図11



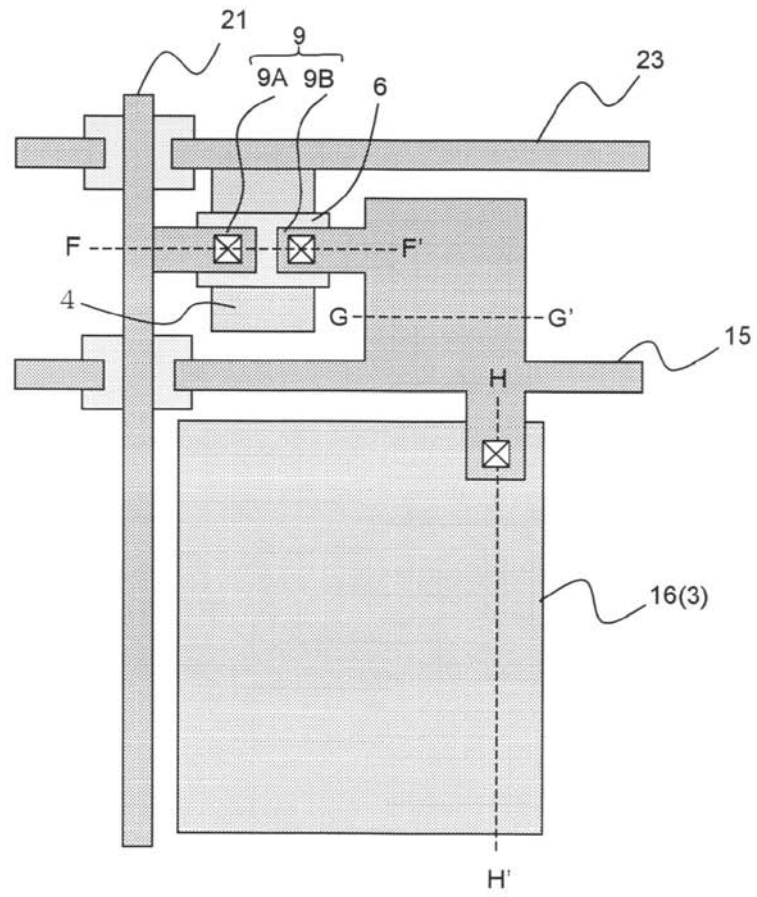
【図 12】

図12



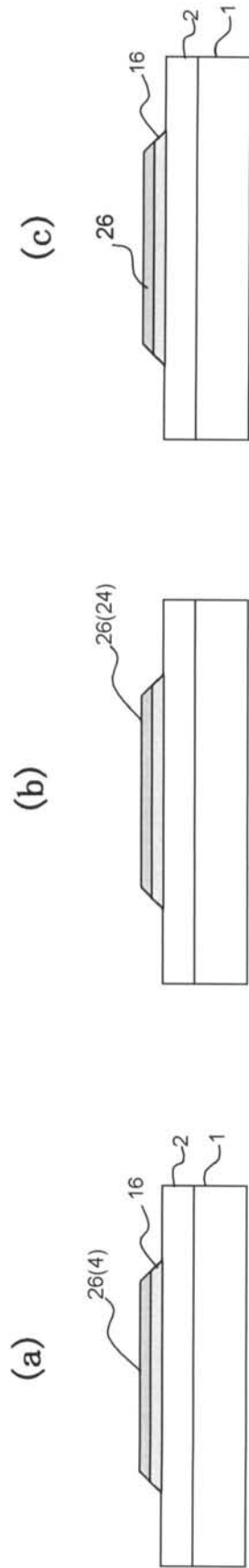
【 図 1 3 】

図13

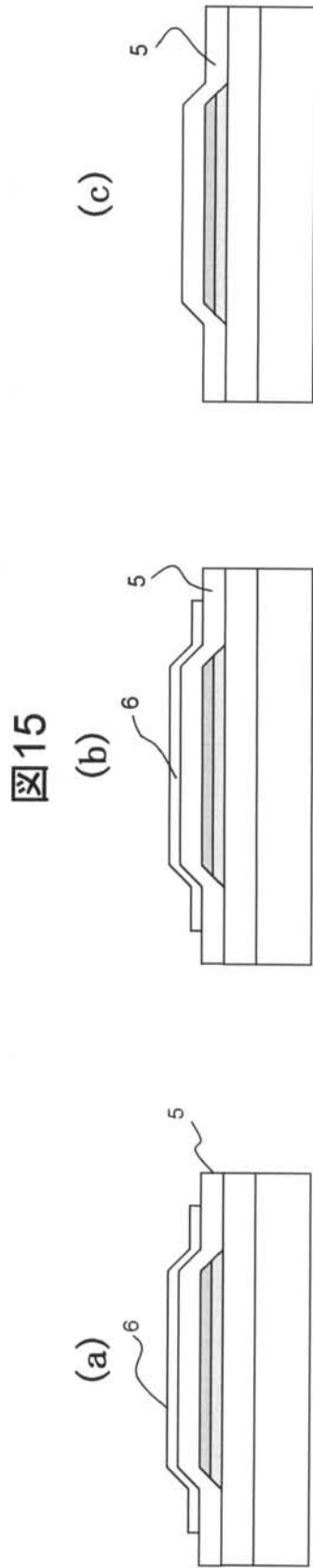


【 図 1 4 】

図14



【図 15】



【図 16】

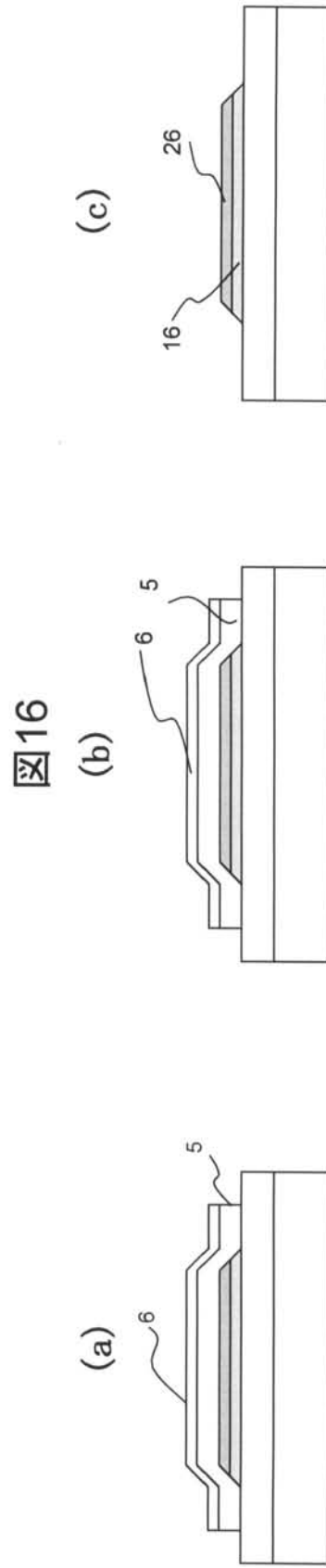


図17

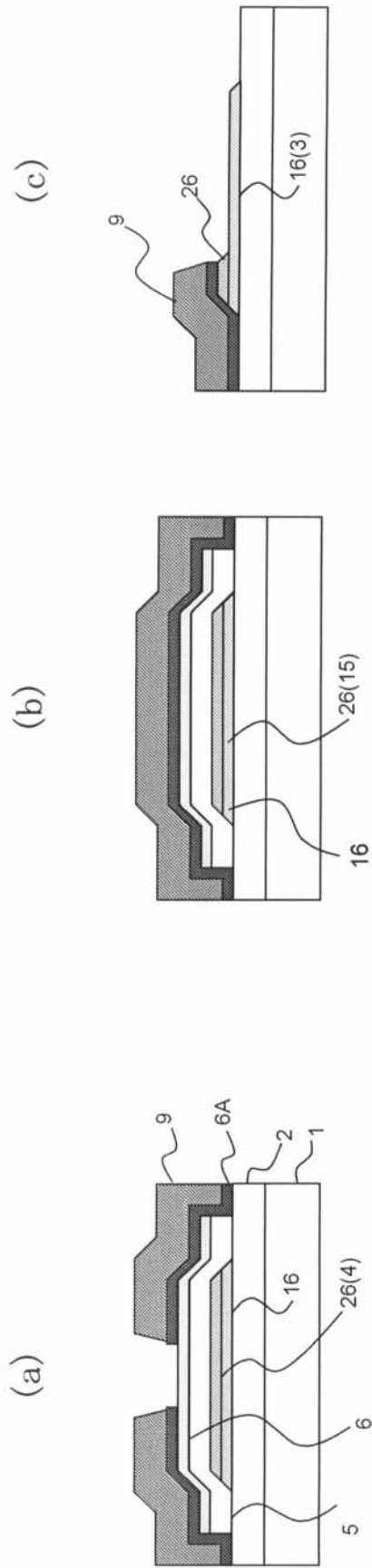
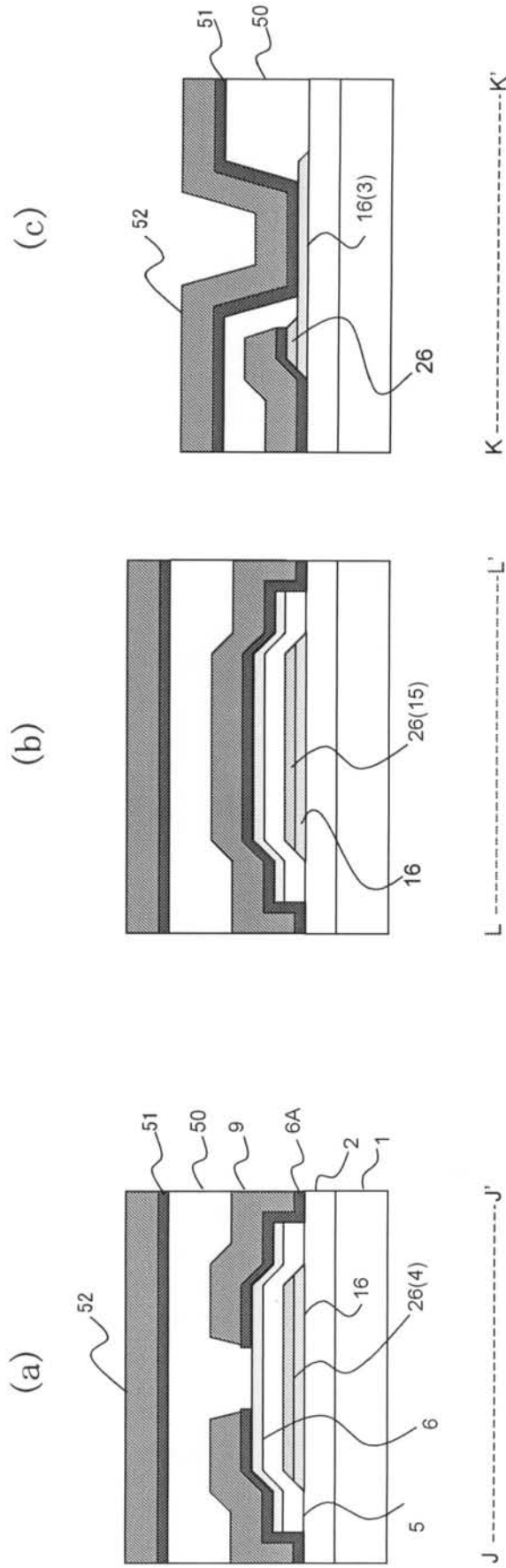
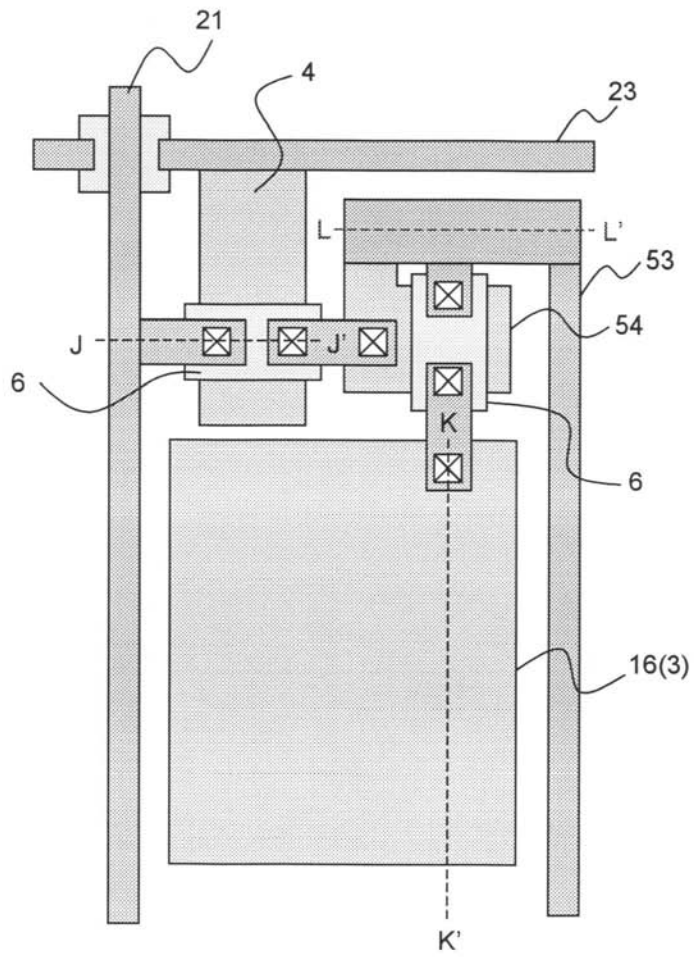


図18



【 図 1 9 】

図19



フロントページの続き

(51)Int.Cl.		F I	テーマコード(参考)
H 0 5 B 33/10 (2006.01)		H 0 5 B 33/10	
G 0 2 F 1/1368 (2006.01)		G 0 2 F 1/1368	

(72)発明者 秋元 肇

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

F ターム(参考) 2H092 JA26 JA40 JA46 JA48 JB24 JB57 JB65 JB66 JB69 KA12
 KA18 KA22 KB04 KB14 KB24 MA37 NA27 PA02 PA08
 3K107 AA01 BB01 CC45 EE04 GG01
 4M104 AA09 BB02 BB04 BB06 BB13 BB14 BB16 BB17 BB18 BB30
 BB36 CC01 CC05 DD63 FF13 FF16 GG09 GG10 GG14
 5C094 AA43 AA44 BA03 BA27 BA43 DA13 EA04 EA05 FB19
 5F110 AA16 BB01 BB04 CC07 CC08 DD01 DD02 DD03 DD13 DD14
 DD17 EE03 EE07 EE14 EE42 FF02 FF27 GG01 GG02 GG13
 GG25 GG44 HJ13 HK03 HK09 HK14 HL03 HL22 HM15 HM18
 NN03 NN04 NN23 NN24 NN71 NN72 NN73 PP01 PP03 PP29
 QQ08