



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년02월22일

(11) 등록번호 10-1596525

(24) 등록일자 2016년02월16일

(51) 국제특허분류(Int. Cl.)

G06K 19/06 (2006.01) *G06K 19/00* (2006.01)
B82Y 30/00 (2011.01)

(21) 출원번호 10-2010-7007754

(22) 출원일자(국제) 2008년10월10일

심사청구일자 2013년10월02일

(85) 번역문제출일자 2010년04월09일

(65) 공개번호 10-2010-0082838

(43) 공개일자 2010년07월20일

(86) 국제출원번호 PCT/US2008/079657

(87) 국제공개번호 WO 2009/058543

국제공개일자 2009년05월07일

(30) 우선권주장

12/249,735 2008년10월10일 미국(US)

(뒷면에 계속)

(56) 선행기술조사문현

KR20060061037 A*

US07152804 B1*

*는 심사관에 의하여 인용된 문현

(73) 특허권자

센 펠름 일렉트로닉스 에이에스에이

노르웨이, 오슬로 엔-0255, 헨리크 입센스 게이트
100 / 졸리 피오 박스 2911

(72) 발명자

수브라마니안 비베

미국 캘리포니아 94563 오린다 8 히든 레인

스미스 패트릭

미국 캘리포니아 95118 산호세 3236 비스타몬트
드라이브

(뒷면에 계속)

(74) 대리인

특허법인천문

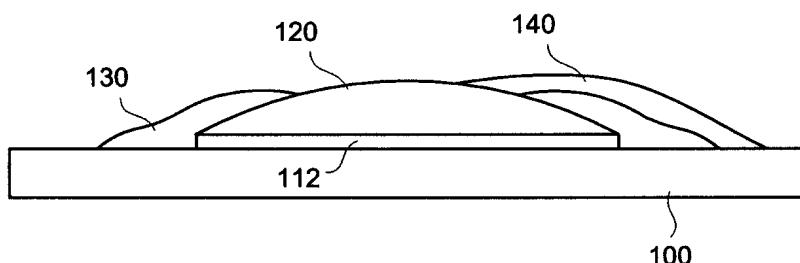
전체 청구항 수 : 총 19 항

심사관 : 김종권

(54) 발명의 명칭 고신뢰도 감시 및/또는 식별 태그/장치와 그 제조 및 사용 방법

(57) 요약

본 발명은 감시/식별 태그 또는 장치에 사용하는 커패시터 제조방법과, 이와 같은 감시/식별 장치를 사용하는 방법에 관한 것이다. 본 발명의 방법에 따라 제조되고, 본 명세서에 기술된 감시/식별 장치에 사용된 커패시터는 프린트된 도전층과 유전체층을 구비한다. 본 발명의 방법 및 장치는 종래 금속-플라스틱-금속 커패시터에 대한 제조 허용오차 뿐만 아니라 감시/식별 태그 또는 장치에 사용된 커패시터의 비활성화 신뢰도를 향상시킨다.

대 표 도 - 도4a

(72) 발명자

페베이트 바이크랩

미국 캘리포니아 94404 산마테오 1014 쇼어라인 드
라이브

카머스 아벤드

미국 캘리포니아 94043 마운틴 뷰 32 타이렐라 코
트

최 크리스웰

미국 캘리포니아 94025 멘로 파크 422 2225 셰런
로드

챈드라 아디티

미국 캘리포니아 95030 로스 가토스 303 347 매솔
애비뉴

클리브스 제임스 몬티규

미국 캘리포니아 94062 레드우드 시티 551 서밋 드
라이브

(30) 우선권주장

12/249,754 2008년10월10일 미국(US)

60/998,553 2007년10월10일 미국(US)

60/998,554 2007년10월10일 미국(US)

명세서

청구범위

청구항 1

- a) 도전성 기판상에 무기(inorganic) 유전체층을 형성하는 단계와,
- b) 상기 무기 유전체층의 적어도 일부분 상에 도전층 또는 반도전층을 프린팅하는 단계와,
- c) 상기 도전층 또는 반도전층을 마스크로 이용해 상기 무기 유전체층을 에칭함으로써 상기 도전성 기판의 일부를 노출시키는 단계와,
- d) 상기 도전성 기판의 노출된 일부와 상기 도전층 또는 반도전층 상에 유전체층을 패턴으로 형성하되, 상기 도전층 또는 반도전층의 적어도 일부와 상기 도전성 기판의 적어도 일부가 노출되도록 상기 유전체층을 패턴으로 형성하는 단계와,
- e) 제 1 부분은 상기 도전층 또는 반도전층에 접촉하고 제 2 부분은 상기 도전성 기판에 접촉하는 전기 도전성 특징부를 상기 유전체층 상에 형성하는 단계와,
- f) 상기 도전성 기판으로부터 하단 전극을 형성하는 단계를 포함하는 커패시터 제조방법.

청구항 2

제 1 항에 있어서,

상기 유전체층을 형성하는 단계는 도전성 기판상에 액상 유전체 전구체를 프린팅하는 단계를 포함하는 커패시터 제조방법.

청구항 3

제 1 항에 있어서,

도전성 기판은 금속막, 금속박, 또는 금속시트를 구비하는 커패시터 제조방법.

청구항 4

제 1 항에 있어서,

도전층 또는 반도전층을 프린팅하는 단계는 상기 무기 유전체층에 금속함유 잉크 또는 금속 전구체 잉크를 프린팅하는 단계를 포함하는 커패시터 제조방법.

청구항 5

제 1 항에 있어서,

도전층 또는 반도전층을 프린팅하는 단계는 상기 무기 유전체층에 액상 반도체 재료를 프린팅하는 단계를 포함하는 커패시터 제조방법.

청구항 6

제 1 항에 있어서,

전기 도전성 특징부를 형성하는 단계는 상기 유전체층에 도체 잉크를 선택적으로 프린팅하는 단계를 포함하는 커패시터 제조방법.

청구항 7

제 1 항에 있어서,

전기 도전성 특징부를 프린팅하는 단계는 상기 유전체층에 금속 시드층을 프린팅하는 단계와 상기 금속 시드층

상에 도전 금속을 전기도금하는 단계를 포함하는 커패시터 제조방법.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

- a) 기판상에 하단 커패시터 전극을 포함한 제 1 도전층 또는 반도전층을 프린팅하는 단계와,
- b) 상기 제 1 도전층 또는 반도전층에 무기 유전체층을 패턴으로 형성하는 단계와,
- c) 상기 무기 유전체층에 상단 커패시터 전극을 프린팅하는 단계와,
- d) 상기 제 1 도전층 또는 반도전층을 노출시키는 제 1 접촉홀과 상기 상단 커패시터 전극을 노출시키는 제 2 접촉홀을 갖는 유전체층을 상기 기판상에 형성하는 단계를 포함하는 커패시터 제조방법.

청구항 14

제 13 항에 있어서,

기판은 전기 불활성 기판을 구비하는 포함하는 커패시터 제조방법.

청구항 15

제 13 항에 있어서,

상기 제 1 도전층 또는 반도전층을 프린팅하는 단계는 나노입자 기반의 금속 잉크, 화합물 기반의 금속 잉크, 또는 나노입자와 화합물 기반의 금속 잉크를 이용해 금속 시드층을 프린팅하고 상기 금속 시드층상에 도체 금속을 전기도금하는 것을 포함하는 커패시터 제조방법.

청구항 16

제 13 항에 있어서,

제 1 도전층 또는 반도전층을 프린팅하는 단계는 소정의 패턴을 형성하기 위해 실란 또는 IVA족 원소 전구체 잉크를 선택적으로 프린팅하고, 그런 후 상기 실란 또는 IVA족 원소 전구체를 가교, 올리고머화, 중합화, 가교 및 올리고머화, 가교 및 중합화, 올리고머화 및 중합화, 또는 가교, 올리고머화 및 중합화하기에 충분한 시간길이 동안 상기 잉크를 건조 및 경화하는 것을 포함하는 커패시터 제조방법.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

- a) 하단 커패시터 전극과 인덕터를 구비한 단일 도전성 구조와,
- b) 상기 하단 커패시터 전극과 상기 인덕터 상의 무기 유전체층과,
- c) 상기 무기 유전체층 상에 돌형 프로파일을 갖도록 프린팅된 상단 커패시터 전극과,
- d) 상기 프린팅된 상단 커패시터 전극과 상기 단일 도전성 구조 상의 유전체층과,
- e) 제 1 부분은 상기 프린팅된 상단 커패시터 전극에 접촉하고 제 2 부분은 상기 단일 도전성 구조에 접촉하는 전기 도전성 특징부를 상기 유전체층 상에 포함하는, 감시기능과 식별기능 중 적어도 하나를 수행하는 장치.

청구항 21

삭제

청구항 22

제 20 항에 있어서,

상기 하단 및 상단 커패시터 전극들은 알루미늄, 티타늄, 구리, 은, 크롬, 몰리브덴, 텉스텐, 니켈, 금, 팔라듐, 백금, 아연, 스테인레스강 또는 그 합금을 포함하는, 감시기능과 식별기능 중 적어도 하나를 수행하는 장치.

청구항 23

제 20 항에 있어서,

상기 하단 및 상단 커패시터 전극들 중 적어도 하나는 반도체 재료를 포함하는, 감시기능과 식별기능 중 적어도 하나를 수행하는 장치.

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

- a) 기판상에 돌형 프로파일을 갖도록 프린팅된 하단 커패시터 전극과,
- b) 상기 프린팅된 하단 커패시터 전극 상의 무기 유전체층과,
- c) 상기 무기 유전체층 상에 돌형 프로파일을 갖도록 프린팅된 상단 커패시터 전극과,
- d) 상기 기판 위에 그리고 상기 프린팅된 상단 커패시터 전극의 바로 위에 위치하며, 상기 프린팅된 하단 커패

- 시터 전극과 상기 프린팅된 상단 커패시터 전극을 각각 노출시키는 제 1 및 제 2 접촉홀들을 갖는 유전체층과,
 e) 상기 프린팅된 하단 커패시터 전극에 결합 또는 연결된 제 1 단부와 상기 프린팅된 상단 커패시터 전극에 결합 또는 연결된 제 2 단부를 갖는 안테나 및 인덕터 중 적어도 하나를 포함하는, 감시기능과 식별기능 중 적어도 하나를 수행하는 장치.

청구항 30

제 29 항에 있어서,

기판은 글래스, 세라믹, 유전체, 플라스틱, 또는 이들의 조합의 판, 디스크 또는 시트를 구비하는 감시기능과 식별기능 중 적어도 하나를 수행하는 장치.

청구항 31

제 29 항에 있어서,

상기 하단 및 상단 커패시터 전극들 중 적어도 하나는 반도체 재료를 포함하는 감시기능과 식별기능 중 적어도 하나를 수행하는 장치.

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

- a) 제 20 항의 장치가 검출가능한 전자기 복사를 복사하기에 충분한 전류를 유발 또는 유도하는 단계와,
- b) 상기 검출가능한 전자기 복사를 검출하는 단계와,
- c) 선택적으로, 장치를 비활성화하는 단계를 포함하는 감시기능과 식별기능 중 적어도 하나를 수행하는 장치를 이용한 물품검출방법.

청구항 36

삭제

청구항 37

- a) 제 29 항의 장치가 검출가능한 전자기 복사를 복사하기에 충분한 전류를 유발 또는 유도하는 단계와,
- b) 상기 검출가능한 전자기 복사를 검출하는 단계와,
- c) 선택적으로, 장치를 비활성화하는 단계를 포함하는 감시기능과 식별기능 중 적어도 하나를 수행하는 장치를 이용한 물품검출방법.

청구항 38

삭제

발명의 설명

기술 분야

본 출원은 2007년 10월 10일에 각각 제출된 미국 가출원 제60/998,553호 및 제60/998,554호(각각 대리인 문서번호 제 IDR1411호 및 제 IDR1461호)와 2008년 10월 10일에 각각 제출된 계류증인 미국특허출원 제12/249,735호

및 제 12/249,754호(각각 대리인 문서번호 제 IDR1412호 및 제 IDR1462호)의 우선권을 주장한다.

배경기술

[0002] 본 발명은 일반적으로 감시 및/또는 식별 태그 및 장치에 관한 것이다. 보다 상세하게, 본 발명의 실시예는 EAS, RF 및/또는 RFID 태그/장치, 구조 및 그 제조 및/또는 생산 방법, 및 이러한 태그 및/또는 장치의 사용방법에 관한 것이다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예는 감시/식별 태그 및 장치, 이런 장치를 구비한 구조 및 그 제조 및 사용방법에 관한 것이다. 보다 상세하게, 본 발명의 실시예는 EAS, RF 및/또는 RFID 장치, 그 구조 및 그 제조 및 사용 방법에 관한 것이다.

과제의 해결 수단

[0004] 본 발명의 제 1 태양은 커패시터 및/또는 감시/식별 장치를 제조하는 방법에 관한 것이다. 한가지 일반적인 방법으로, 커패시터는 전기 도전성 기판에 유전체층을 형성하고, 그런 후 프린트된 유전체층의 적어도 일부분에 (반)도전층을 프린팅함으로써 제조될 수 있다. 그리고 나서, 유전체층은 전기 도전성 기판에 커패시터 유전체를 형성하기 위해 마스크로서 (반)도전층을 이용해 에칭된다. 그런 후 제 2 유전체층이 도전성 기판 및/또는 (반)도전층(예컨대 상단 커패시터 전극)에 패턴으로 형성된다. 그 다음 전기 도전성 "특정부"가 상기 제 2 유전체층에 형성된다. 상기 특정부의 제 1 부분은 (반)도전층(예컨대, 상단 커패시터 전극)과 접촉하고 상기 도전성 특정부의 제 2 부분은 상기 도전성 기판과 접촉한다. 그런 후, 하단 커패시터 전극이 상기 도전성 기판으로부터 형성된다. 다양한 실시예에서, 인덕터 및/또는 안테나가 감시/식별 장치를 제조하기 위해 상기 도전성 기판으로부터 형성될 수 있다.

[0005] 제 2 일반적인 실시예에서, 커패시터는 기판에 하단 커패시터 전극을 포함한 제 1 (반)도전층을 프린팅하는 단계와, 제 1 (반)도전층에 패턴으로 제 1 유전체층을 형성하는 단계와, 상기 제 1 유전체층에 상단/상부 커패시터 전극/판을 프린팅하는 단계에 의해 제조될 수 있다. 제 2 유전체층이 상기 기판상에 형성된다. 상기 제 2 유전체층은 제 1 (반)도전층을 노출시키는 제 1 접촉홀과 상기 상단/상부 커패시터 전극을 노출시키는 제 2 접촉홀을 갖는다. 감시/식별 장치는 안테나 및/또는 인덕터를 상기 제 1 (반)도전층 및 상기 상단 커패시터 전극에 결합 및/또는 연결함으로써 이 커패시터를 이용해 제조될 수 있다.

[0006] 본 발명의 제 2 태양은 EAS, RF 및/또는 RFID 장치 또는 태그와 같은 감시 및/또는 식별장치에 관한 것이다. 한가지 일반적인 실시예에 따르면, 감시 및/또는 식별장치는 일반적으로 (a) 하단 커패시터 전극과 인덕터를 구비한 단일 도전성 구조와, (b) 상기 하단 전극 및 인덕터 상에 제 1 유전체층과, (c) 상기 제 1 유전체층상에 둠형 프로파일을 갖는 상단 커패시터 전극과, (d) 상기 상단 커패시터 전극 및 상기 도전성 구조상에 제 2 유전체층과, (e) 일부분은 상기 상단 커패시터 전극에 그리고 제 2 부분은 상기 도전성 구조에 접촉한 전기 도전성 특정부를 상기 제 2 유전체층 상에 구비한다.

[0007] 제 2 일반적인 실시예에 따르면, 감시 및/또는 식별장치는 (a) 기판상에 둠형 프로파일을 갖는 하단 커패시터 전극과, (b) 상기 하단 커패시터 전극상에 제 1 유전체층과, (c) 상기 제 1 유전체층상에 둠형 프로파일을 갖는 상단 커패시터 전극과, (d) 상기 하단 커패시터 전극과 상기 상단 커패시터 전극을 노출시키기 위해 제 1 및 제 2 접촉홀을 갖는 상기 기판상의 제 2 유전체층과, (e) 상기 하단 커패시터 전극에 연결된 제 1 단부와 상기 상단 커패시터 전극에 연결된 제 2 단부를 갖는 안테나 및/또는 인덕터를 구비한다.

[0008] 본 발명의 제 3 태양은 본 발명의 감시 및/또는 식별장치가 있는 물품을 검출하는 방법에 관한 것이다. 일반적으로, 감시 및/또는 식별장치는 검출가능한 전자기 복사를 복사, 반사 또는 후방산란하기 위해 상기 장치에 충분한 전류를 유발 또는 야기하고, 상기 검출가능한 전자기 복사를 검출함으로써 검출될 수 있다. 선택적으로, 검출된 장치는 선택적으로 불활성화될 수 있거나, 대안으로, 검출된 장치는 작동을 수행하도록 명령될 수 있다.

[0009] 본 발명은 (1)종래 감시/식별 장치(예컨대, 플라스틱 유전체)에 사용된 커패시터 유전체의 두께와 품질과 관련된 큰 제조 허용오차로 인해 상기 커패시터 유전체의 신뢰할 수 없는 절연파괴와, (2)불활성화 공정에서 절연파괴된 후 커패시터 유전체층의 "힐링/healing)" 교정으로 인한 장치의 회복을 포함한 종래 감시/식별 장치와

관련된 공지의 문제들을 해결한다. 프린트된 금속산화물 반도체 장치로 형성된 커패시터의 사용 및/또는 상술한 바와 같이 박막재료의 사용은 향상된 제조 허용오차를 보장하고 또한 종래 커패시터와 관련된 헐링 문제들이 없거나 극적으로 줄어드는 것을 보장한다. 본 발명의 이들 및 다른 이점들은 하기의 바람직한 실시예의 상세한 설명으로부터 쉽게 명백해질 것이다.

발명의 효과

[0010] 본 발명의 내용에 포함됨

도면의 간단한 설명

[0011] 도 1a 및 도 1b는 유전체층과 이에 프린트된 (반)도전층을 갖는 도전성 기판의 횡단면과 평면도를 각각 도시한 것이다.

도 2는 유전체층이 마스크로서 (반)도전층을 이용해 예칭된 도 1a 및 도 1b의 구조의 횡단면도를 도시한 것이다.

도 3a 및 도 3b는 (반)도전층에 제 2 유전체층을 갖는 도 2의 구조의 횡단면도와 평면도를 각각 도시한 것이다.

도 4a 및 도 4b는 제 2 유전체층에 전기 도전성 특징부를 갖는 도 3a 및 도 3b의 구조의 횡단면도와 평면도를 각각 도시한 것이다.

도 5는 형성된 패시베이션층을 갖는 도 4a 및 도 4b의 구조의 횡단면도를 도시한 것이다.

도 6a는 도전성 기판으로부터 형성된 하단 전극과 인덕터를 갖는 도 5의 구조의 횡단면도를 도시한 것이다.

도 7a 및 도 7b는 또 다른 본 발명의 실시예에 따라 형성된 기판과 제 1 (반)도전층의 횡단면도와 평면도를 각각 도시한 것이다.

도 8은 프린트된 제 1 유전체층을 갖는 도 7a 및 도 7b의 구조의 횡단면도를 도시한 것이다.

도 9a 및 도 9b는 제 1 유전체층에 프린트된 상부 커패시터판을 갖는 도 8의 구조의 횡단면도와 평면도를 각각 도시한 것이다.

도 10은 제 2 유전체층이 상부 커패시터판에 형성되고 내부에 형성된 제 1 및 제 2 접촉홀을 갖는 도 9a 및 도 9b의 구조의 횡단면도이다.

도 11은 도 10의 구조에 인덕터/안테나를 부착함으로써 본 발명에 따른 감시 및/또는 식별장치를 형성하는 예시적인 방법을 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 발명의 바람직한 실시예에 대해 참조가 상세히 이루어지며, 실시예의 예들은 첨부도면에 도시되어 있다. 본 발명은 바람직한 실시예들과 결부하여 기술되는 한편, 본 발명을 이들 실시예들에 제한하려는 의도가 아닌 것을 알아야 할 것이다. 반대로, 본 발명은 특히 청구범위에 의해 정의된 바와 같이 본 발명의 기술사상 및 범위내에 포함될 수 있는 대안, 변형 및 균등물을 포함하도록 의도되어 있다. 더욱이, 본 발명의 하기의 상세한 설명에서, 많은 특정 세부내용들은 본 발명의 완전한 이해를 제공하기 위해 제시되어 있다. 그러나, 본 발명은 이들 특정한 세부내용없이 실시될 수 있음이 당업자에게는 쉽게 명백해진다. 다른 예로, 본 발명의 태양을 불필요하게 불명료하게 하지 않도록 공지의 방법, 절차, 구성요소 및 회로들은 상세히 기술되지 않았다. 또한, 본 명세서에 기술된 가능한 치환 및 조합들은 본 발명을 제한하는 것이 아님을 알아야 한다. 특히, 상반되지 않는 변형들이 상술한 바와 같이 혼합되고 어울릴 수 있다.

[0013] 편의상 간략히 하기 위해, "결합된", "연결된", 및 "소통되는"이라는 용어는 다르게 내용이 표시되지 않는 한 직간접적인 결합, 연결 또는 소통을 의미한다. 이들 용어는 일반적으로 본 명세서에 상호교환가능하게 사용되나, 일반적으로 해당기술분야에서 인식되는 의미로 주어진다. 또한, 편의상 간략히 하기 위해, "감시", "EAS", "무선", "RF", "RFID", 및 "식별"이라는 용어는 장치 및/또는 태그의 의도한 사용 및/또는 기능에 대하여 상호교환될 수 있게 사용될 수 있고, "EAS 태그" 또는 "EAS 장치"라는 용어는 본 명세서에서 임의의 EAS 및/또는 감시 태그 및/또는 장치를 의미하는 것으로 사용될 수 있다. 또한, "물품", "물체", 및 "물건"이라는 용어는 서로 바꾸어 사용될 수 있으며, 이러한 하나의 용어가 사용되는 어떠한 곳이라도, 또한 다른 용어들을 내포한다. 더욱이, "커패시터 전극" 및 "커패시터 판"이라는 용어는 서로 바꾸어 사용될 수 있으며, 또한 "형태",

"특징부", "라인" 및 "패턴"이라는 용어도 서로 바꾸어 쓸 수 있다. "(반)도체", "(반)도전성" 및 문법적으로 동일한 표현의 용어들은 도전성 및/또는 반도전성인 재료, 전구체, 층, 특징부 또는 다른 종류나 구조를 의미한다.

[0014] 본 출원에서, "증착"(및 이의 문법적인 변형)이라는 용어는 블랭킷 증착(예컨대, CVD 및 PVD), (스핀)코팅, 및 프린팅을 포함한 모든 형태의 증착을 포함하는 것으로 의도되어 있다. 기판에 금속함유 잉크를 프린팅하는 방법의 다양한 실시예로, 프린팅은 기판상에 금속 잉크젯, 그라비어 프린팅(gravure printing), 오프셋 프린팅, 플렉소 프린팅(flexographic printing), 스프레이 코팅, 슬릿 코팅(slit coating), 압출 코팅(extrusion coating), 매니스커스 코팅(meniscus coating), 마이크로스팟팅(microspotting) 및/또는 펜-코팅(pen-coating)하는 것을 포함할 수 있다. 또한 편의상 간략히 하기 위해, "부분", "일부분" 및 "영역"이라는 용어는 서로 바꾸어 쓸 수 있으나, 이를 용어는 또한 일반적으로 해당기술분야에서 인식되는 의미로 주어진다. 또한, 본 명세서에 사용 상황으로부터 다르게 표시되지 않는 한, "공지의", "정해진", "주어진", "소정의"라는 용어는 이론상 변할 수 있으나, 일반적으로 사전에 정해지며 사용시 이후 변하지 않는 값, 양, 파라미터, 제한, 조건, 상태, 공정, 절차, 방법, 실시, 또는 이들의 조합을 의미한다. 또한, "도핑"이라는 용어는 임의의 도판트(예컨대, 열은 도핑, 짙은 도핑, 또는 그 사이의 임의의 도핑 수준의 도핑)의 실질적으로 임의의 제어 가능한 양으로 도핑된 재료를 의미한다.

[0015] 본 개시에서, "기본적으로 IVA족 원소를 구성하는"이라는 구절은 IVA족 원소에 소정의 바람직한 (및 가능하게는 매우 다른) 전기적 성질을 줄 수 있는 의도적으로 추가된 도판트를 배제하지 않는다. "(폴리)실란"이라는 용어는 기본적으로 (1)실리콘 및/또는 게르마늄 및 (2)수소로 구성되고, 적어도 15개 실리콘 및/또는 게르마늄 원자들을 갖는 종들을 지배적으로 포함하는 화합물 또는 화합물의 혼합물을 의미한다. 이런 종은 하나 이상의 싸이클링을 포함할 수 있다. "(싸이클로)실란"이라는 용어는 기본적으로 (1)실리콘 및/또는 게르마늄 및 (2)수소로 구성되고, 하나 이상의 싸이클링과 15개 미만의 실리콘 및/또는 게르마늄 원자들을 포함하는 화합물 또는 화합물의 혼합물을 의미한다. 바람직한 실시예에서, 실란은 재재(Si_xH_y)이며, 여기서 x는 3 내지 약 200이고, y는 x에서 $(2x+2)$ 까지이며, x는 실란의 평균수 분자량으로부터 도출될 수 있다. "헤테로(싸이클로) 실란"이라는 용어는 기본적으로 (1)실리콘 및/또는 게르마늄, (2)수소, 및 (3)종래 탄화수소, 실란 또는 게르마늄 치환기에 의해 대체될 수 있고 하나 이상의 싸이클링을 포함할 수 있는 B, P, As 또는 Sb와 같은 도판트 원자들로 구성되는 화합물 또는 화합물의 혼합물을 의미한다. 또한, 구조 또는 특징부의 "주요면"은 구조 또는 특징부의 가장 큰 축에 의해 적어도 부분적으로 정의된 표면이다(예컨대, 구조가 둥글고 두께보다 반경이 더 크면, 반경면(들)이 구조의 주요면이다).

[0016] 본 발명의 일실시예는 (a)도전성 기판에 제 1 유전체층을 형성하는 단계와, (b)상기 제 1 유전체층의 적어도 일부분에 (반)도전층을 프린팅하는 단계와, (c)마스크로서 상기 (반)도전층을 이용해 상기 제 1 유전체층을 에칭하는 단계와, (d)상기 도전성 기판 및/또는 상기 (반)도전층에 제 2 유전체층을 패턴으로 형성하는 단계와, (e)일부분은 (반)도전층에 접촉하고 제 2 부분은 상기 도전성 기판에 접촉하는 전기 도전성 특징부를 상기 제 2 유전체층에 형성하는 단계와, (f)상기 도전성 기판으로부터 하단 커페시터 전극을 형성하는 단계와, 감시/식별 장치를 제조하는 경우, (g)상기 도전성 기판으로부터 인덕터를 형성하는 단계를 포함하고, 전기 도전성 특징부의 커페시터 및/또는 감시/식별 장치를 제조하는 방법에 관한 것이다.

[0017] 본 발명의 제 2 실시예는 (a)기판상에 하단 커페시터 전극을 포함한 제 1 (반)도전층을 프린팅하는 단계와, (b)상기 제 1 (반)도전층에 제 1 유전체층을 패턴으로 형성하는 단계와, (c)상기 제 1 유전체층에 상단 커페시터 전극을 프린팅하는 단계와, (d)상기 기판에 제 2 유전체층을 형성하는 단계와, 감시/식별 장치를 제조하는 경우, (e)안테나 및/또는 인덕터를 상기 제 1 (반)도전층 및 상기 상부 커페시터 판에 결합 및/또는 연결하는 단계를 포함하고, 상기 제 2 유전체층은 상기 제 1 (반)도전층을 노출시키는 제 1 접촉홀과 상기 상단 커페시터 전극을 노출시키는 제 2 접촉홀을 갖는 커페시터 및/또는 감시/식별 장치를 제조하는 제 2 방법에 관한 것이다.

[0018] 다른 실시예에서, 본 발명은 (a) 하단 커페시터 전극 및 인덕터를 구비한 단일 도전성 구조와, (b) 상기 하단 커페시터 전극 및 인덕터상에 제 1 유전체층과, (c) 상기 제 1 유전체층에 돔형 프로파일을 갖는 상단 커페시터 전극과, (d) 상기 상단 커페시터 전극과 상기 도전성 구조에 제 2 유전체층과, (e)상기 제 2 유전체층에 일부는 상기 상단 커페시터 전극에 접촉하고 제 2 부분은 상기 도전성 구조에 접촉하는 전기 도전성 특징부를 구비하는 감시 및/또는 식별 장치에 관한 것이다.

[0019] 다른 실시예에서, 감시 및/또는 식별 장치는 (a) 기판에 돔형 프로파일을 갖는 하단 커페시터 전극과, (b) 상기 하단 커페시터 전극에 제 1 유전체층과, (c) 상기 제 1 유전체층에 돔형 프로파일을 갖는 상단 커페시터

전극과, (d) 상기 하단 커패시터 전극과 상기 상단 커패시터 전극을 노출시키기 위해 상기 제 1 및 제 2 접촉홀을 갖는 상기 기판상의 제 2 유전체층과, (e) 제 1 단부는 상기 하단 커패시터 전극에 연결되고 제 2 단부는 상기 상단 커패시터 전극에 연결된 안테나 및/또는 인더터를 구비할 수 있다.

[0020] 또 다른 태양으로, 본 발명은 일반적으로 (a) 물품 또는 물체에 부착되거나 결합된 감시 및/또는 식별장치에서 상기 장치가 검출가능한 전자기 복사를 방출하기에 충분한 전류를 유발 또는 유도하는 단계와, (b) 상기 검출가능한 전자기 복사를 검출하는 단계와, 선택적으로 (c) 상기 장치를 작동해제하거나 상기 장치가 작동을 수행하게 유발하는 단계를 포함하는 물품 또는 물체를 검출하는 방법에 관한 것이다.

[0021] 다양한 태양에서 본 발명은 하기의 예시적인 실시예를 참조로 보다 상세하게 설명한다.

예시적인 커패시터 및/또는 감시/식별 장치 제조방법

[0023] 일 예시적인 실시예에서, 커패시터 제조방법은 (a) 도전성(예컨대, 전기적으로 기능하는) 기판에 제 1 유전체층을 형성하는 단계와, (b) 상기 제 1 유전체층의 적어도 일부분에 (반)도전층을 프린팅하는 단계와, (c) 상기 (반)도전층을 마스크로서 이용해 상기 유전체층을 에칭하는 단계와, (d) 상기 도전성 기판 및/또는 상기 (반)도전층에 제 2 유전체층을 패턴으로 형성하는 단계와, (e) 일부는 상기 (반)도전층에 접촉하고 제 2 부분은 상기 도전성 기판에 접촉하는 전기 도전성 특징부(예컨대, 패턴, 라인, 형태 등)를 상기 제 2 유전체층에 형성하는 단계와, (f) 필요하거나 바람직한 경우, 상기 도전성 기판으로부터 하단 커패시터 전극을 형성하는 단계를 포함한다. 예시적인 감시/식별 태그 및/또는 장치는 도전성 기판 또는 전기 도전성 "특징부"로부터 인더터를 더 형성함으로써 제조될 수 있다. 커패시터는 선형이거나 비선형일 수 있다. 바람직한 실시예에서, 상술한 방법에 따라 EAS, RF, 또는 RFID 태그/장치가 형성된다.

[0024] 바람직한 실시예에서, (반)도전층(예컨대, 상단 커패시터 전극)은 유전체층에 액상(예컨대, IVA족 원소 전구체) 잉크를 프린팅함으로써 형성된다. 블랭크 증착, 포토리소그래피 및 에칭과는 반대로 잉크를 프린팅하는 것은 공정단계 수, 제조공정의 시간길이, 및/또는 커패시터 및/또는 감시/식별 장치를 제조하는데 사용되는 재료비를 줄인다.

[0025] 하기의 도 1a 내지 도 6b를 참조로 본원의 커패시터 및/또는 감시/식별 장치를 제조하는 제 1 예시적인 방법을 설명한다.

기판

[0027] 도 1a 및 도 1b는 유전체층(110)과 그 위에 형성된 (반)도전층(120)을 갖는 도전성(예컨대, 전기적으로 기능하는) 기판(100)의 횡단면도와 평면도를 각각 도시한 것이다. 다양한 실시예에서, 도전성 기판은 금속기판, 금속막, 금속박, 또는 금속시트를 구비한다. 상세하게, 금속기판은 알루미늄, 티타늄, 구리, 은, 크롬, 몰리브덴, 텅스텐, 니켈, 금, 팔라듐, 백금, 아연, 철, 강(예컨대, 스테인레스강) 또는 그 임의의 합금을 구비할 수 있다. 다른 적절한 도전성 재료는 아래의 예시적인 감시/식별 장치(예컨대, 하단 커패시터 전극 참조)에 대하여 기술되어 있다.

[0028] 몇몇 실행에 대해, 도전성 기판용 금속은 적어도 부분적으로 유효한 유전체로 양극산화될 능력을 기초로 선택될 수 있다. 예시적인 실시예에서, 도전성 기판은 공칭 두께가 $5\text{--}200\mu\text{m}$ (바람직하게는 $20\text{--}100\mu\text{m}$) 및/또는 저항이 $0.1\text{--}10\mu\text{ohm}\cdot\text{cm}$ (바람직하게는 $0.5\text{--}5\mu\text{ohm}\cdot\text{cm}$)일 수 있다.

[0029] 연이은 공정 전에, 도전성 기판(100)은 편의상 세정되고 평평해질 수 있다. 이 표면 준비는 표면 거칠기를 줄이고 저품질의 자연산화막을 제거하기 위해 화학적 연마, 전기연마 및/또는 산화 스트립핑에 의해 달성될 수 있다.

제 1 유전체층/막 형성

[0031] 도 1a 및 도 1b에 도시된 바와 같이, 상기 방법은 도전성 기판(100)에 제 1 유전체층(110)을 형성하는 단계를 더 포함한다. 제 1 유전체층은 산화 및/또는 질화 분위기에서 상기 도전성 기판(또는 그 위에 형성된 액체 산화/질화 전구체)을 산화 및/또는 질화함으로써 형성될 수 있다. 예컨대, 유전체는 금속기판(예컨대, 강)상에 프린트된 액체 실란을 산화함으로써 또는 산화되거나 질화될 수 있는 또 다른 도전성 재료(예컨대, 실리콘, 알루미늄, 크롬, 하프늄(hafnium) 등)를 갖는 기판을 코팅함으로써 형성될 수 있다. 대안으로, 유전체는 유전체 전구체 재료(예컨대, 테트라알킬실록산 또는 테트라알콕시실란과 같은 SiO_2 전구체)를 (예컨대, 액상 프린팅 또는 화학조 증착공정에 의해) 증착하고, 연이어 상기 전구체를 (예컨대 건조, 경화 및/또는 어닐링에 의해) 유전체막

으로 변환함으로써 형성될 수 있다. 그러나, 상기 도전성 기판이 고온으로 처리될 수 없는 재료(예컨대, 알루미늄)인 경우, 이런 프리팅 또는 증기증착 방법이 바람직하다. 상기 전구체 재료를 유전체막으로 변환한 후, 추가 금속산화물(예컨대, TiO₂, ZrO₂, HfO₂ 등)이 상기 막에 증착될 수 있다. 따라서, 다양한 실시예에서, 상기 유전체는 복수의 층들을 구비할 수 있다.

[0032] 다른 실시예에서, 유전체층은 블랭킷 증착기술에 의해 코팅/증착될 수 있다. 일반적으로, 코팅은 실질적으로 기판의 전체 면이 제재로 덮여지는 공정을 의미한다. 코팅은 스프레이 코팅, 딥 코팅, 블레이드 코팅, 메니스커스 코팅, 슬릿 코팅, 압출 코팅, 펜-코팅, 마이크로스팟팅, 잉크젯팅, 그라비아 프린팅, 플렉소그래피 프린팅 또는 스픬 코팅과 같은 방법들을 포함할 수 있다. 이런 실시예에서, 기판의 면적은 해당기술분야에 공지된 에칭 기술에 의해 원하는 만큼 패턴 및/또는 노출될 수 있다.

[0033] 몇몇 실시예에서, 제 1 유전체층은 진공증착방법(예컨대, CVD, PECVD, LPCVD, 스퍼터 증착 등)에 의해 증착될 수 있다. 또 다른 유전체 형성방법은 양극산화를 이용해 MOS 유전체 및/또는 불활성화 유전체를 형성하는 것이다.

[0034] 몇몇 실시예에서, 유전체(또는 적절한 유전체 전구체)가 도전성 기판에 프린트될 수 있다. 프린팅 공정 동안, 액체 기반의 조성물(예컨대, 용액, 혼탁액, 유탁액 등)이 선택적으로 소정 패턴으로 그리고 특정 방안으로(예컨대, 최소설계치수, 이격, 오차의 정렬 마진, 또는 그 임의의 조합) 증착된다. 적절한 프린팅 공정은 잉크젯 프린팅, 그라비아 프린팅, 스크린 프린팅, 오프셋 프린팅, 플렉소그래피, 시린지 디스펜싱(syringe dispensing), 마이크로스팟팅, 스텐실링, 스템핑, 펌프 디스펜싱, 레이저 순방향 전송(laser forward transfer), 로컬 레이저 CVD 및/또는 펜-코팅을 포함할 수 있다. 바람직하게는, 유전체는 잉크젯 프린팅에 의해 프린트된다. 예컨대, 스픬-온-글래스 및/또는 보론 질화물과 같은 재료가 도전성 기판에 프린트될 수 있다. 유전체층은 도전성 기판의 영역이 노출되도록 프린트될 수 있다. 대안으로, 유전체층은 전체 기판을 덮도록 프린트될 수 있고, 그런 후 도 2에 도시된 바와 같이 연이어 마스크로 형성된 구조를 이용해 에칭될 수 있다.

[0035] 유전체층은 임의의 적절한 전기절연 유전체 재료를 구비할 수 있다. 예시적인 유전체 재료는 예시적인 감시 장치에 대해 아래에 논의된다(예컨대, "제 1 및 제 2 유전체층"이라는 제목의 섹션을 참조). 예컨대, 커페시터의 유전체 절연물은 유기 또는 무기 절연물을 포함하거나 기본적으로 구성할 수 있다. 바람직한 실시예에서, 유전체는 도전성/금속 기판의 금속 산화물 및/또는 질화물을 구비한다. 다양한 실시예에서, 두께가 50에서 500 Å 및/또는 약 5V에서 50V 미만, 바람직하게는 10V에서 20V까지의 절연파괴 전압을 갖는 유전체층(예컨대, 도 1a 및 도 1b의 구조(110))이 형성된다. 그러나, 유전체 두께는 필요에 따라 정전용량을 제어하고 상기 유전체가 파열되도록 의도된 전압을 제어하도록 조정될 수 있다.

(반)도전층 형성하기

[0036] 도 1a 및 도 1b에 도시된 바와 같이, 상기 방법은 제 1 유전체층(110)에 (반)도전층(즉, 상단 커페시터 전극)을 증착하는 단계를 더 구비한다. (반)도전층은 금속 및/또는 상기 유전체층상에 (예컨대, 가볍게 도핑된, 질게 도핑된, 또는 도핑되지 않은) 반도체층을 증착함으로써 형성될 수 있다. 일반적으로, 프린팅 또는 (예컨대, 화학 기상증착(CVD), 저압 CVD, 스퍼터링, 도금, 스픬코팅, 스프레이 코팅 등에 의한) 종래 블랭킷 증착, 포토리소그래피 및 에칭과 같이 상기 금속 및/또는 반도체 재료를 증착하는 임의의 방법이 사용될 수 있다. 그러나 프린팅이 바람직하다.

[0037] 본 발명의 방법(들)에 따르면, 프린팅은 잉크젯 프린팅, 그라비아 프린팅, 스크린 프린팅, 오프셋 프린팅, 플렉소그래피, 시린지 디스펜싱, 마이크로스팟팅, 스텐실링, 스템핑, 펌프 디스펜싱, 레이저 순방향 전송, 로컬 레이저 CVD 및/또는 펜-코팅을 포함할 수 있다. 프린팅은 프린트된 금속/(반)도전층의 두께를 더 많이 제어하게 한다. 예를 들어, 더 두꺼운 (반)도전층이 바람직한 경우, 드롭의 개수, 드롭의 양, 또는 잉크 용량이 늘어날 수 있다. 두꺼운 금속층은 또한 (예컨대, 저항이 낮은) 두꺼운 (반)도전층이 바람직한 영역에서 드롭들 사이의 피치를 줄임으로써 달성될 수 있다. 더욱이, 프린팅 공정은 프린트 잉크의 접촉각이 국소적으로 변하게 한다. 예를 보여주기 위해, 다른 금속 높이/두께 및/또는 라인 폭이 단일 프린팅 단계로 달성될 수 있도록 기판의 표면 에너지를 국소적으로 바꾸도록 적용된 전프리팅 단계가 수행될 수 있다.

[0038] 예시적인 실시예에서, 코팅 또는 프린팅 기술에 의해 금속함유 잉크가 유전체에 증착된다. 다양한 실행으로, 금속은 금속함유 재료(예컨대, 금속, 유기금속 전구체(들), 및/또는 금속 나노입자)를 포함한 잉크를 스픬코팅하고 연이어 상기 금속을 경화 또는 어닐링함으로써 블랭킷 증착된다. 바람직하게는, 상기 금속 잉크는 용매속에 소정 금속의 전구체를 구비한 잉크를 프린팅하고 연이어 상기 금속을 경화, 건조 및/또는 어닐링함으로써 선택

적으로 증착된다.

[0040] 금속함유 잉크는 잉크의 1에서 50 wt.% 양의 금속 전구체(예컨대, 금속함유 재료)와 상기 금속함유 재료가 용해될 수 있는 용매를 구비하거나 기본적으로 구성할 수 있다. 이런 금속함유 잉크/전구체 뿐만 아니라 예시적인 금속 및/또는 다른 금속함유 잉크 제재가 예시적인 감시/식별 장치에 대해 하기에 더 상세히 논의된다. 일예시적인 실시예에서, 금속함유 잉크 제재는 일반적으로 하나 이상의 4, 5, 6, 7, 8, 9, 10, 11, 또는 12족 금속염(들) 및/또는 금속 착물(들), 상기 제재의 코팅 및/또는 프린팅을 용이하게 하는데 적합한 하나 이상의 용매들, 및 선택적으로 금속염 또는 금속착물을 단일 금속 또는 그 합금으로의 환원을 기초로 가스성 또는 휘발성 부산물을 형성하는 하나 이상의 첨가제로 구성된다. 더욱이, 잉크 제재(또는 첨가제)는 기본적으로 용매속에 금속염 또는 금속착물의 용해를 용이하게 하도록 형성된 음이온원으로 더 구성될 수 있다. 상기 잉크 제재의 다양한 바람직한 실시예에서, 4, 5, 6, 7, 8, 9, 10, 11, 또는 12족 금속염은 팔라듐, 니켈, 코발트 또는 백금염을 구비한다.

[0041] 금속막은 하나 이상의 4, 5, 6, 7, 8, 9, 10, 11, 또는 12족 금속염(들) 및/또는 금속 착물(들), 금속염 또는 금속착물을 단일 금속 또는 그 합금(예컨대, 수용성 HX)으로의 환원을 기초로 가스성 또는 휘발성 부산물을 형성하는 하나 이상의 첨가제, 및 상기 기판에 대한 하나 이상의 용매를 포함하는 제재를 코팅하거나 프린팅함으로써 상기 기판상에 제조될 수 있다. 상기 제재를 코팅하거나 프린팅한 후, 잔여 용매들이 제거되어 금속함유 전구체막을 형성한다. 결과적으로 발생한 금속함유 전구체막은 연이어 금속막 또는 합금막을 형성하기에 충분한 시간 길이동안 연이어 (예컨대, 금속함유 전구체막을 환원제에 노출시킴으로써) 환원된다. 따라서, 금속 전구체 잉크를 이용하고 연이어 막속의 상당한 양의 불순물 및/또는 잔여물(예컨대, $PdCl_2 + H_2 \rightarrow Pd + HCl$ [가스])을 남겨두지 않게 환원제에 노출시켜 연속 또는 폐タン 금속막이 형성될 수 있다.

[0042] 몇몇 실시예에서, (반)도전층은 2이상의 금속 전구체, 또는 대안으로, 하나 이상의 금속 전구체 및 하나 이상의 반도체 전구체의 혼합물로서 프린트될 수 있다. 다른 실시예에서, 2이상의 금속 잉크가 연이어 적층막으로서 프린트되고 건조될 수 있다. 혼합물 및/또는 적층막은 선택적으로 가열될 수 있거나 다른 경우로 상기 (반)도전층을 형성하기 위해 형성동안 또는 형성한 후 반응될 수 있다.

[0043] 프린트 금속함유/전구체 잉크는 잉크속 임의의 용매를 제거하기에 충분한 시간 길이와 온도로 기판을 가열함으로써 건조될 수 있다. 용매를 제거하기 위한 온도는 약 80°C에서 150°C 범위이거나 그 내의 임의의 온도 범위(예컨대 약 100°C에서 약 120°C)이다. 이를 온도 범위내에서 프린트 잉크로부터 용매를 제거하기 위한 시간 길이는 약 1초에서 약 10분, 10초에서 약 5분, 또는 그 내의 임의의 시간범위(예컨대, 약 30초에서 약 5분, 또는 약 1분에서 약 3분 등)이다. 가열은 종래 열판상에 또는 종래 고로 또는 오븐에서 발생할 수 있다. 선택적으로, 가열은 불활성 분위기속에서 발생할 수 있다.

[0044] 금속함유 잉크가 용매를 제거하기 위해 건조된 후, 나머지 재료들은 소정의 전기적 및/또는 물리적 성질을 얻기 위해 충분한 시간 길이와 온도로 어닐링 공정을 받을 뿐만 아니라 하부의 유전체층에 적절히 부착될 수 있다. 어닐링 온도는 약 100°C에서 약 300°C이거나 그 내의 임의의 온도범위(예컨대, 약 150°C에서 약 250°C)이다. 어닐링 시간은 일반적으로 약 1분에서 약 2시간의 범위에 이른다. 바람직한 실시예에서, 금속함유 박막은 약 10분에서 약 1시간(또는 이 내의 임의의 범위, 예를 들어 약 10분에서 약 30분)동안 어닐링된다.

[0045] 다양한 실시예에서, 고로와 오븐에서 어닐링이 선택적으로 불활성 또는 환원 분위기에서 발생한다. 예컨대, 금속함유 전구체막은 환원제에 노출될 수 있고, 기판에 따라 실온보다 더 높은 온도에서 약 200-400°C까지에 이르는 온도로 가열된다. 이 공정은 특히 기판(예컨대, 알루미늄박, 폴리카보네이트, 폴리에틸렌 및 폴리프로필렌 에스테르, 폴리이미드 등)이 상대적으로 높은 온도로 처리될 수 없는 실시예에서 이점을 갖는다. 진공 소스와 환원/불활성 가스원으로 구성된 밀봉가능한 오븐, 고로 또는 급격한 열어닐링 고로가 이질적 환원(heterogeneous reduction)에 환원분위기와 열(열 에너지)을 제공하기 위해 사용될 수 있다. 대안으로, 금속전구체막은 분위기가 조심스럽게 제어될 수 있는 장치(예컨대, 글로브 박스(glove box) 또는 드라이 박스)내 열원(예컨대, 열판)을 이용해 단일 금속으로 열적으로 분해될 수 있다.

[0046] 몇몇 수단에서, (반)도전층은 50에서 200nm의 두께로 형성된 반도체 층/구성요소를 구비할 수 있다. 이런 실시예에서, 반도체층은 하나 이상의 (도핑된) IVA족 원소(예컨대, 실리콘 및/또는 게르마늄), "III-V"족 재료(예컨대, GaAs), 및/또는 유기 또는 폴리머 반도체를 구비할 수 있다. 예컨대, 반도체 재료 또는 반도체 재료 전구체를 증착하는 것은 유전체막상에 액상 IVA족 원소 전구체 잉크를 증착하는 것을 포함할 수 있다. 전구체 잉크는 일반적으로 (a) 패시베이션 반도체 나노입자, (b) 제재(AH_x)_n의 제 1 싸이클의 IVA족 화합물, 여기서 n은 3에서

12이고, $1 \leq x \leq 2$ 이며, 각 A는 Si 또는 Ge에 무관하고, (c) 제재(AH_x)_m(AH_yR_{z-y})_p(ZR')_q의 제 2 싸이클의 IVA족 화합물, 여기서 ($m+p+q$)는 3에서 12이고, $0 \leq x \leq 2$, $0 \leq (y, z) \leq 2$, $1 \leq (y+z) \leq 2$, 및 $0 \leq w \leq 1$,이며, p와 q 중 적어도 하나는 1이어서 p가 적어도 1인 경우, ($y-z$)가 적어도 1이며, 각 A가 Si 또는 Ge에 무관하고, Z가 B, P 또는 As이며, R'가 R 또는 H이고, 각 R이 알킬, 아릴, 아르알킬(aralkyl), 할로겐, $BH_3R''_{2-s}$, $PH_3R''_{2-s}$, $AsH_3R''_{2-s}$, 또는 $AH_tR''_{3-t}$ 이며, 여기서 s는 0에서 2이고, t는 0에서 3이며, R''는 알킬, 아릴, 아르알킬, 할로겐 또는 AH_3 및/또는 (d) 기본적으로 (i) 수소 및 (ii) 실리콘 및/또는 게르마늄으로 구성되고 분자량이 450에서 약 2,300 g/mol인 올리고실란 또는 폴리실란을 구비할 수 있으며, 상기 올리고실란 또는 폴리실란은 (선택적으로 동시에 또는 바로 연이어 UV를 조사(照射)하여) 조성물을 코팅 또는 프린팅하고 올리고- 및/또는 폴리실란 막을 형성한 후, 경화시켜 많아야 0.1%의 탄소용량을 갖는 비정질의 수소화 반도체막(amorphous, hydrogenated semiconductor film)을 형성한다. 다른 실시예에서, 올리고실란 또는 폴리실란은 10에서 10,000, 100,000, 또는 1,000,000의 실리콘 및/또는 게르마늄 원자 체인 길이를 가질 수 있다. 잉크 제재는 상기 나노입자와 화합물이 용해되는 용매를 더 포함할 수 있다.

몇몇 실시예에서, (반)도전층이 (무)전기도금 공정에 의해 형성될 수 있다. 이들 실시예에서, 프린트된 금속층(예컨대, Pd)이 다른 금속(예컨대, Ag, Cu, Ni 등)의 무전해 증착 또는 전기도금 및/또는 필요한 경우 금속 실리사이드를 형성하기 위한 시드층으로서 역할을 할 수 있다. 도전성 금속(예컨대, 별크 도전성 금속)이 금속 시드층 및/또는 금속 실리사이드에 도금될 수 있다. 청정 및/또는 표면 조화(surface roughening)단계가 유전체층에 가해질 수 있고/있거나, 유전체층은 금속잉크를 프린팅하기 전에 예칭될 수 있어 도금된 금속이 유전체층에 부착이 향상된다. 도전성 금속을 도금하는 것은 무전기도금 또는 전기도금 중 어느 하나를 포함할 수 있다. 도전성 금속은 Al, Ag, Au, Cu, Pd, Pt, Ni, Cr, Mo, W, Ru, Rh, 및 그 합금 및/또는 그 혼합물을 포함할 수 있다. 선택적으로, 별크 도전성 금속은 하나 이상의 물리적 및/또는 전기적 특성을 향상시키기 위해 더 어닐링될 수 있다.

일반적으로 감시/식별 장치에 사용된 커패시터(예컨대, MOS 커패시터 회로)의 주파수 응답을 높이고 장치내 회로에 낮은 직렬저항을 제공하는 것이 바람직하다. 이는 (예컨대, 125kHz 이상 범위로, 예컨대, 8.2MHz 또는 13.56MHz를 포함하여) 고주파 동작을 가능하게 한다. 충분히 낮은 직렬저항 및/또는 높아진 주파수 응답을 달성하기 위해, (반)도전층(예컨대, 반도체 구성요소/층)을 형성하는데 사용된 재료는 재결정화될 수 있다. 재결정화 공정(recrystallization process)은 도전층/반도체 구성요소의 캐리어 이동도(carrier mobility) 및/또는 도판트 활성화를 향상시킬 수 있다. $10 \text{ cm}^2/\text{vs}$ 이상에 달하는 이동도는 낮은 분산 및/또는 유효한 높은 Q(Effective high Q)를 필요로 할 수 있다. 낮은 분산은 적어도 10^4 옴, 바람직하게는 10^5 옴 이상, 가장 바람직하게는 10^6 옴 이상의 (일반적으로 낮은 누설 유전체에 제공된) 큰 병렬저항과 함께 낮은 직렬저항, 바람직하게는 전체 회로에 대해 5옴 미만의 저항을 일반적으로 필요로 한다. 유효한 높은 Q는 MHz 범위 주파수 이상으로 낮은 전계 및/또는 높은 읽기범위 동작을 제공한다.

본 방법의 다양한 실시예는 도핑된 (예컨대, 가볍게 또는 질게 도핑된) 반도체층을 프린팅함으로써 (반)도전층/상단 커패시터판을 형성하는 것을 포함할 수 있다. 반도체 재료를 질게 도핑하거나 대안으로 실리사이딩하는 것도 또한 EAS 태그 MOS 커패시터 회로의 주파수 응답을 높일 수 있고 직렬 저항을 줄일 수 있다. 도핑된 반도체층은 B- 또는 P-함유 (싸이클로)실란과 같은 도핑된 반도체 또는 반도체 전구체를 프린트하고/하거나 도핑된 반도체층 또는 도판트 확산 소스층의 레이저 순방향 전송에 의해 고체 또는 기체 도판트 소스로부터 도판트를 반도체 재료에 확산시켜 종래 반도체 도판트를 통상적으로 주입함으로써 형성될 수 있다.

몇몇 경우, 갑시/식별 장치의 CV 기울기를 제어하기 위해 활성 반도체층(30)의 벌크내 비교적 낮은 도핑 레벨($5 \times 10^{18}/\text{cm}^3$ 미만의 전기 활성 도琬트 원자의 농도)을 제공하고, 또한 반도체 구성요소의 직렬 저항을 줄여, 더 높은 Q 및/또는 더 높은 주파수 동작을 허용하는 것이 바람직할 수 있다.

커패시터 및/또는 감시/식별 장치를 형성하는 제 2 예시적인 방법에 대하여 (반)도전층을 형성하는 추가 재재 및/또는 방법이 하기에 논의된다. 후술된 재재 및 기술은 모순되지 않는 범위로 본 명세서에 (반)도전층을 형성하는 것에도 적용될 수 있다.

제 2 유전체총 형성

본 예시적인 방법에 따라 형성된 커패시터의 횡단면도와 평면도를 각각 도 3a 및 도 3b를 참조하면, 커패시터 및/또는 갑시 및/또는 식별 장치를 제조하는 본 발명의 방법은 (반)도전층의 적어도 일부분에 제 2 유전

제(예컨대 중간층 유전체)(130)를 증착/도핑하는 단계를 더 포함할 수 있다. 도 3a에 도시된 바와 같이, 제 2 유전체층은 또한 도전성 기판의 일부분에 형성될 수 있다. 일반적으로, 제 2 유전체층은 소정 패턴으로 형성된다. 제 2 유전체층은 연이어 형성된 인덕터와 연이어 형성된 전기 도전성 특징부 사이에 (예컨대, 누설 및 정전 용량의 관점으로) 전기절연을 제공한다. 제 2 유전체층은 해당기술분야에 공지된 임의의 적절한 방법에 따라 형성될 수 있다.

[0054] 예컨대, 일실시예에서, 제 2 유전체층(130)은 전체 장치와 제거된 선택부에 걸쳐 블랭킷 증착되어 도체층/상단 커페시터 전극(120)의 적어도 일부분 및/또는 도전성 기판(100)의 적어도 일부분을 노출시키기에 충분한 복수의 접촉홀(예컨대 도 3a 및 도 3b의 135)을 상기 제 2 유전체층(130)에 형성한다. 제 2 유전체층(130)의 블랭킷 증착은 압출, 블레이드, 딥, 라이너, 스판 또는 다른 코팅기술에 의해, 또는 대안으로, 프린팅 또는 디스펜싱과 같은 로컬 증착기술에 의해 행해질 수 있다. 프린팅 또는 디스펜싱의 경우, 이는 또한 제 2 유전체층을 패턴화 할 목적으로 이용할 수 있다. 제 2 유전체층의 패턴화는 유전체 전구체의 직접적인 프린팅(예컨대, 잉크젯 프린팅, 스크린, 그라비아, 플렉소그래피, 레이저 순방향 전송 등) 또는 (포토마스크, 열 또는 레이저 패턴에 의해 노출되어 현상되는 광- 및/또는 열-패턴가능한 전구체 재료로, 또는 외부적으로 종래 포토리소그래피, 엠보싱 또는 유사한 기술과 같은 패턴화 공정을 통해)간접 프린팅에 의해 행해질 수 있다. 몇몇 수단에서, 에칭 공정은 레이저 제거(laser ablation), 기계적 침투 또는 해당기술분야에 공지된 다른 에칭이나 유전체 제거기술을 포함할 수 있다.

[0055] 다른 실시예로, 제 2 유전체층은 (반)도전층 및 도전성 기판을 포함하나 이에 국한되지 않고 소정의 패턴을 형성하기 위해 상기 구조의 하나 이상의 기정의된 부분에 선택적으로 증착된다. 바람직한 실시예에서, 선택적 증착은 본 명세서에 논의된 다양한 프린팅 공정 및/또는 기술 중 어느 하나를 이용해 달성될 수 있다. 특히, 몇몇 수단에서, 제 2 유전체층(130)은 (i) (반)도전층(120)(및 선택적으로 도전성 기판(100))의 적어도 기정의된 부분들에 액상 유전체 잉크를 프린팅하고, (ii) 상기 제 2 유전체층(130)을 형성하기 위해 유전체 전구체/잉크를 건조 및/또는 경화함으로써 형성될 수 있다. 상술한 바와 같이, 액상 유전체 전구체 잉크는 접촉홀(예컨대, 도 3a 및 도 3b의 135)이 (반)도전층/상단 커페시터 전극 및/또는 도전성 기판의 일부를 노출시키도록 형성되며 상기 구조에 선택적으로 프린트될 수 있다.

[0056] 프린팅 및/또는 코팅 공정에서 액상 유전체 전구체 잉크는 제재(A_nH_y)를 포함할 수 있고, 여기서, n은 3에서 12이고, 각 A는 Si 또는 Ge에 무관하며, y는 n에서 $2n+2$ 까지의 짹수이고, 바람직하기로 제재(AH_z)_n의 화합물을 포함할 수 있으며, 여기서, n은 5에서 10이고, 각 A는 Si 또는 Ge에 무관하며, z의 n 경우의 각각은 별도로 1 또는 2이다. 해당 실리콘 및/또는 게르마늄 산화물막은 질소, 아르곤 또는 헬륨과 같은 불활성 캐리어 가스속에서 희석될 수 있는 산소, 오존, N_2O , NO_2 , 또는 다른 산화가스가 있는 상태에서 도전성 기판(100)의 용융온도 보다 적은 300°C, 350°C, 또는 400°C 이상 온도의 산화 분위기로 전구체막(예컨대, IVA족 원소 전구체막)을 경화함으로써 형성될 수 있다. 대안으로, 스판 온 글래스, 유기 유전체 등을 포함한 다른 용액기반의 유전체가 프린팅 및 다른 종래 코팅단계에 의해 적용될 수 있다. 이런 유전체 재료는 예시적인 감시/식별 장치에 대해 하기에 상세히 논의되어 있다.

[0057] 일반적으로, 유전체층을 이루기 위한 적절한 재료들로는 (감광성(photodefable) 또는 비감광성(non-photodefable)일 수 있고, 비감광성인 경우, 직접 프린팅 또는 증착후 리소그래피에 의해 패턴화될 수 있는) 스판 온 글래스, (열 레이저 패터닝에 의해 감광성 및/또는 열에 민감할 수 있거나, 직접 프린팅 또는 증착후 리소그래피에 의해 패턴화를 위해 비감광성일 수 있는) 폴리아미드, BCB 또는 SILK[®] 유전체 재료(SILK는 마이애미 미들랜드의 다우 케미컬 주식회사의 등록된 상표임)와 같은 다른 유기 유전체, 콜겔 기술에 의해 형성된 낮은-k 중간층 유전체, 플라즈마 강화(PE) 테트라에틸오르소실리케이트(TEOS)(즉, 테트라에틸오르소실리케이트의 플라즈마 강화 CVD에 의해 형성된 SiO_2), 폴리에틸렌(PE), 폴리에스테르, 또는 PES, 폴리이미드 또는 연이은 고온 처리와 호환될 수 있는 다른 것과 같은 고온 폴리머 적층 폴리머막을 포함하나, 이에 국한되지 않는다. 제 2 유전체층은 두께가 적어도 1 마이크론, 바람직하게는 2에서 20μm, 더 바람직하게는 5에서 10μm일 수 있다.

전기 도전성 패턴의 형성

[0058] 도 4a 및 도 4b를 참조하면, 전기 도전성 특징부(140)(예컨대, "라인", "패턴", 및/또는 "형태")는 (반)도전층(상단 커페시터 전극) 및 (도 6a 및 도 6b와 나타나 있고 후술되는 감시/식별 장치 인덕터와 하단 커페시터 판이 연이어 형성될 수 있는) 도전성 기판(100) 간에 전기 연결을 제공하기 위한 제 2 유전체층에 형성되어 있다. 일반적으로, 전기 도정성 특징부(140)는 해당기술분야에서 임의의 적절한 방법으로 형성될 수 있다. 예시적인

수단으로, 상기 특징부는 잉크젯 프린팅, 마이크로스팻팅, 스텐실링, 스템핑, 시린지 디스펜싱, 펌프 디스펜싱, 스크린 프린팅, 그라비아 프린팅, 오프셋 프린팅, 플렉소그래피, 레이저 순방향 전송 및/또는 로컬 레이저 CVD 와 같은 프린팅 공정에 의해 형성될 수 있다. 이런 프린팅 공정에서, 상기 특징부는 선택적으로 제 2 유전체층에 도체 잉크를 프린팅함으로써 형성될 수 있다. 다른 실시예에서, 상기 특징부를 형성하는 단계는 상기 유전체상에 도체 재료를 중착하고, 그런 후 상기 도체 재료를 에칭한다. 몇몇 실시예에서, 특징부를 형성하는 것은 (도 6a 및 도 6b에 예시되고 후술된 도전성 기판으로부터 형성된) 인덕터 및 (반)도전층의 외부 코일 부근에 상호연결 패드를 형성하는 것을 더 포함할 수 있다.

[0060] 전기 도전성 특징부는 다양한 도전성 금속을 이용해 형성될 수 있다. 예컨대, 상기 특징부는 알루미늄, 티타늄, 구리, 은, 크롬, 몰리브덴, 텉스텐, 니켈, 금, 팔라듐, 백금, 아연, 철, 스테인레스 강, 또는 그 임의의 합금을 포함할 수 있다. 몇몇 수단에서, 상기 특징부는 기본적으로 은, 금, 구리, 알루미늄, 또는 그 도전성 합금으로 구성될 수 있다. 예시적인 실시예에서, 상기 특징부는 도전성 기판 및/또는 (반)도전층(예컨대, 커페시터 전극)과 동일한 재료를 이용해 형성될 수 있다. 몇몇 수단에서, 도판트, 실리사이딩 구성요소 또는 다른 일함수변조 시약 및/또는 터널링 장벽 재료가 상기 특징부(140)에 포함될 수 있다. 이런 포함은 직렬 저항을 줄이고 감시/식별 장치의 Q와 전반적인 성능을 높일 수 있다.

패시베이션

[0062] 도 5에 도시된 바와 같이, 전기 도전성 특징부(140)를 형성한 후, 패시베이션층(150)이 선택적으로 상기 구조에 형성될 수 있다. 이런 패시베이션층(150)은 특히, 연이은 공정(예컨대, 후술되는 하단 커페시터 전극 및/또는 인덕터/안테나를 형성하기 위한 기판 에칭공정)동안, 일반적으로 감시/식별 장치에 기계적 지지를 추가한다. 더욱이, 패시베이션층 형성은 장치 성능의 열화 또는 주파수 표류를 유발할 수 있는 물, 산소 및/또는 다른 종류의 침투를 방지할 수 있다. 패시베이션층(150)은 폴리실록산 및/또는 실리콘 및/또는 알루미늄의 산화물, 질화물, 및/또는 산질화물과 같은 하나 이상의 무기 장벽층, 및/또는 파릴렌(parylene), (예컨대 상술한 바와 같은) 플루오르화 유기 폴리머(fluorinated organic polymer), 또는 해당기술분야에 공지된 다른 장벽 재료와 같은 하나 이상의 유기 장벽층을 이용해 구조의 상부면을 통상적으로 코팅함으로써 형성될 수 있다. 대안으로 또는 추가로, 상기 패시베이션층은 하부 유전체층을 구비할 수 있다. 하부 유전체층은 상부 패시베이션층의 스트레스보다 낮은 스트레스를 갖는 재료로 형성될 수 있다. 예를 들면, 하부 유전체층은 산화물(예컨대, SiO₂, TEOS, 도핑되지않은 실리케이트 글래스(undoped silicate glass, USG), 플루오로실리케이트 글래스(fluorosilicate glass, FSG), 보로포스포실리케이트 글래스(borophosphosilicate glass, BPSG), 등)를 포함할 수 있고, 패시베이션층은 실리콘 니트라이드 또는 실리콘 옥시니트라이드를 포함할 수 있다. 몇몇 실시예에서, 패시베이션층은 유전층의 두께 보다 약간 더 큰 두께를 가질 수 있다.

인덕터 및/또는 하부 커페시터 판의 형성

[0064] 도 6a 및 도 6b는 각각 커페시터 및/또는 감시/식별장치의 횡단면도와 저면도를 도시한 것으로, 하단 커페시터 전극(104)과, 인덕터/안테나(106a-106e)를 형성하기 위해 도전성 기판(100)이 패턴화되고 에칭된다. 예시적인 실시예에서, 인덕터의 형성은 인덕터/안테나(106a-106e)를 (반)도전층/상단 커페시터 전극(120)에 전기 연결시키기 위해 특징부에 상호연결 지역을 제공하기 위한 상호연결 및/또는 접촉패드(102)를 형성하는 것을 포함한다. 따라서, 본 방법은 전기적으로 기능하는 기판을 에칭하는 것을 더 포함하고, 바람직하게는 상기 에칭이 (i) (반)도전층(120)(예컨대, 상단 커페시터 전극)에 용량성으로 결합된 인덕터 및/또는 하단 커페시터 전극을 형성한다. 그러나, 다른 실시예에서, 커페시터판(104)과 인덕터(106a-106e)(및, 선택적으로 상호연결패드(102))의 금속/합금이 통상적으로 유전체막(112)의 뒷면에 중착 또는 프린트될 수 있다.

[0065] 기판(100)(도 6a 및 도 6b 참조)은 종래 포토리소그래피에 의해 또는 기판(100)의 뒷면(논디바이스 면)에 가해지는 저항물질의 레이저 패터닝 또는 접촉 프린팅에 의해 패턴화될 수 있다. 그런 후, 기판(100)은 하단 커페시터 전극(104), 복수의 동심링 또는 코일(예컨대, 인덕터/안테나(106a-106e)), 및 선택적으로 상호연결 및/또는 접촉패드(102)를 형성하기 위해 표준 습식(예컨대, 수용성 산) 또는 건식(예컨대, 염소, 보론 트리클로라이드(boron trichloride)) 에칭으로 에칭될 수 있다. 패터닝 및/또는 에칭단계가 열적으로, 광학적으로 또는 전기적으로 보조될 수 있다. 기판(100)은 또한 밀링, 레이저 절삭, 스템핑 또는 다이-컷팅과 같은 직접 수단에 의해 패턴화될 수 있다.

[0066] 받침층 및/또는 지지층은 핸들링 및/또는 처리동안 장치(100)의 논패시베이션면에 기계적 안정성 및/또는 보호를 제공하는 것이 바람직하거나 필요할 수 있다. 따라서, 본 제조방법은 에칭된 전기적으로 기능하는 기판에 대한 지지 또는 받침을 추가하는 단계를 더 포함할 수 있다. 이 받침층은 열 및/또는 접착제의 사용으로 적층에

의해 종이 또는 가요성 폴리머 재료(예컨대, 폴리에틸렌, 폴리프로필렌, 폴리비닐 클로라이드, 폴리테트라플루오로에틸렌, 폴리카보네이트, 전기절연 폴리이미드, 폴리스틸렌, 이의 코폴리머 등)에 추가될 수 있다. 상기 반침층이 유기 폴리머를 구비하는 경우, 딥 코팅, 압출 코팅, 또는 다른 두꺼운 막코팅 기술에 의해 액체 전구체로부터 반침층을 부착할 수 있다. 장치에 기계적 지지를 제공하는 것 이외에, 지지 및/또는 후원층은 또한 추적되거나 감시되는 물품에 감시/식별 장치의 연이은 부착 또는 배치를 위한 접착면을 제공할 수 있다.

[0067] 본 발명의 커판시터 및/또는 감시/식별 태그/장치를 제조하는 제 2 예시적인 방법이 도 7a 내지 도 11을 참조로 하기에 상세히 기술되어 있다. 제 2 방법의 단계 및/또는 공정 중 일부는 상술한 제 1 방법의 단계와 동일하거나 실질적으로 유사하며, 이것으로 참조된다. 더욱이, 상반되지 않는 제 1 방법의 실시예들은 본 명세서에 기술된 바와 같이 제 2 방법에 적용될 수 있다.

제 1 (반)도전층의 형성

[0069] 도 7a 및 도 7b는 (반)도전층(210)이 형성된 기판(200)의 횡단면도와 평면도를 각각 도시한 것이다. (반)도전층(210)은 해당기술분야에 공지된 임의의 타입의 기판에 형성될 수 있는 한편, 바람직한 실시예에서, 상기 기판은 절연 및/또는 다른 경우로는 전기적 불활성 재료를 포함한다. 다양한 기판들이 글래스(예컨대, 석영)판, 웨이퍼, 슬립, 플라스틱 및/또는 금속박 또는 슬라브, Si 웨이퍼 등을 포함하나 이에 국한되지 않으며, 이들 중 어느 것은 하나 이상의 추가 층(예컨대, 버퍼, 기계적 지지 등)을 포함할 수 있다.

[0070] 적절한 전기 불활성 또는 비활성화 기판은 판, 디스크, 및/또는 글래스, 세라믹 유전체 및/또는 플라스틱 시트를 포함할 수 있다. 전기 도전성 기판이 상기 기판으로서 선택된 경우, 상기 기판과 그 위에 형성된 전기 활성 층 또는 구조 사이에 절연층을 가져야 한다. 그러나, 절연층은 상기 절연체상의 상기 구조 및/또는 장치와 상기 도전성 기판에 형성된 구조 사이에 전기 접촉이 이루어지는 위치에 필요하지 않다. 절연층을 필요로 하는 실시예에서, 상기 절연층은 약 $1\mu\text{m}$ 의 두께를 갖는 스핀-온 글래스 장벽층을 구비할 수 있다. 몇몇 수단에서 글래스 및 플라스틱 기판은 기판의 표면 거칠기를 줄이기 위해 그 위에 평탄층(planarization layer)을 더 포함할 수 있다. 부착을 향상시키고/시키거나, 프린트되거나 다른 경우로는 그 위에 증착되는 연이은 재료(예컨대, 프린트 가능한 잉크)의 확산을 제어하는 재료의 표면 에너지 변경층 및/또는 그 위에 장벽층을 형성하는 것이 이점적일 수 있다.

[0071] 몇몇 실시예에서, 제 1 (반)도전층(예컨대, 하단 커판시터 전극)은 기판상에 도체 잉크(예컨대, 금속 잉크 또는 금속 전구체 잉크)를 코팅, 프린팅, 또는 다른 경우 증착에 의해 형성될 수 있다. 바람직하게는, 프린팅에 의해 제 1 (반)도전층이 형성된다. 다른 실시예로, 제 1 (반)도전층은 나노입자 및/또는 화합물 기반의 금속잉크(예컨대, PdCl_2 -함유 잉크)를 이용해 금속(예컨대, Pd) 시드층을 도금함으로써(예컨대 프린팅 및/또는 레이저 라이팅함으로써) 형성될 수 있다. 그런 후, 별크 도체(예컨대, Co, Ni, Cu, Pd 등)가 선택적으로 금속 시드층상에 무전기도금 또는 전기도금에 의해 증착될 수 있다. PdCl_2 -함유 잉크 이외에, 시드층으로 코발트, 니켈, 백금, 팔라듐, 티타늄, 텅스텐 또는 몰리브덴(특히 팔라듐)을 포함한 금속 나노입자가 바람직하다.

[0072] 다른 실시예에서, 도전성 잉크는 제 1 (반)도전층을 형성하기 위해 기판에 금속함유 재료를 함유한 잉크를 스핀 코팅하고 그런 후 상기 금속, 유기금속 전구체(들) 및/또는 금속 나노입자들을 경화 또는 어닐링함으로써 블랭킷 증착될 수 있다. 이러한 실시예에서, 형성된 금속층은 소정의 구조를 형성하기 위해 레이저 패턴화될 수 있다. 예시적인 감시/식별 장치에 대하여 예시적인 도전성 잉크/전구체 잉크가 후술되어 있다(예컨대 하단 및/또는 상단 커판시터 전극의 형성 참조).

[0073] 예시적인 실시예에서, 프린팅은 잉크젯 프린팅, 마이크로스팟팅, 스텐실링, 스템핑, 시린지 디스펜싱, 펌프 디스펜싱, 스크린 프린팅, 그라비아 프린팅, 오프셋 프린팅, 플렉소그래피, 레이저 순방향 전송(laser forward transfer), 로컬 레이저 CVD를 포함한다.

[0074] 바람직한 실시예에서, 금속/도체 잉크는 잉크젯 프린팅에 의해 선택적으로 증착된다. 이런 실시예에서, (예컨대, 실란 또는 IVA족 원소 전구체를 포함한) 도체 잉크가 소정의 패턴을 형성하기 위해 선택적으로 프린트되고 그런 후 연이어 실란 또는 IVA족 원소 전구체를 가교, 소중합화, 및/또는 중합화, 및/또는 평균 분자량의 증가, 점성도 증가 및/또는 조성물의 휘발성 감소에 충분한 시간길이 동안(예컨대, 가열 및/또는 어닐링에 의해) 건조 및 경화될 수 있다. 결과적으로 발생한 반도체 막패턴은 다결정(예컨대, 폴리실리콘)막을 형성하기 위해 부분적으로 또는 실질적으로 완전히 결정화될 수 있다. 바람직한 실시예에서, (반)도전층은 가볍게 또는 질게 도핑된(예컨대, n도핑된 실란)인 도체(예컨대, 반도체)잉크를 프린팅함으로써 형성될 수 있다.

[0075] 기본적으로 IVA족 원소 소스(예컨대, 실란 및/또는 Si 또는 도핑된 Si에 대한 나노입자계열의 전구체)를 포함하거나 구성하는 잉크를 사용하는 다양한 실시예에서, (반)도전층(예컨대, 하단 커패시터 전극)을 형성하는 단계는 프린팅후 액상 전구체 잉크를 건조 및 경화(예컨대, 가열)하는 단계를 더 포함할 수 있다.

[0076] 몇몇 수단으로, 프린팅 단계 후 도체(예컨대, 금속/금속 전구체) 잉크가 건조 및 경화될 수 있다. 건조 공정은 도체 잉크 제재에 용매 및/또는 기타 첨가제를 제거하는데 도움될 수 있다. 그러나, 몇몇 첨가제는 도체 잉크가 어떤 남아 있는 첨가제를 실질적으로 완전히 제거하기에 충분한 조건으로 가열 또는 어닐링될 때까지 완전히 제거될 수 없다. 도체 잉크가 도핑 제재를 포함하는 경우, 경화/가열 단계는 또한 도판트의 일부분을 활성화할 수 있다. 그러나, 도판트 활성화는 연이은 결정화 단계동안 (예컨대, 레이저 조사 및/또는 열 어닐링에 의해) 더 많이 발생할 수 있다.

[0077] 제 1 예시적인 방법에 대하여 (반)도전층을 형성하는 추가 제재 및/또는 방법이 상기에서 논의되었다. 상술한 제재 및 방법은 일반적으로 상반되지 않는 범위로 제 2 예시적인 방법의 제 1 (반)도전층을 형성하는데도 적용될 수 있다.

제 1 유전체층 및 상단 커패시터 전극의 형성

[0079] 도 8을 참조하면, 제 1 유전체층(220)(예컨대, 커패시터 유전체층)이 제 1 (반)도전층(210)(예컨대, 하단 커패시터 전극)에 형성된다. 커패시터 유전체층(220)은 제 1 예시적인 방법에 대하여 상술한 상기 방법 및/또는 기술의 어느 하나를 이용해 형성될 수 있다. 바람직한 실시예에서, 상기 제 1 유전체층은 본 명세서에 기술된 프린팅 방법 중 어느 하나를 이용해 프린트된다.

[0080] 도 9a 및 도 9b는 상단 커패시터 전극(230)이 제 1 (예컨대, 커패시터) 유전체층(220)에 형성된 후 커패시터의 횡단면도 및 평면도를 각각 도시한 것이다. 일반적으로, 상단 전극은 커패시터 유전체층(220)의 일부분이 노출된 채 있도록 형성된다. 상단 전극(230)은 (반)도전층 및/또는 구조를 형성하는 것에 대하여 본 명세서에 기술된 증착 제재, 방법 및/또는 기술 중 어느 하나를 이용해 형성될 수 있다. 바람직한 실시예에서, 상단 전극(230)은 선택적으로 커패시터 유전체(220)에 프린트되거나, 대안으로 상단 커패시터 전극이 프린트/코팅될 수 있고 그런 후 연이어 에칭된다. 상단 전극(230)은 제 1 (반)도전층(210)을 형성하는데 사용되는 동일한 도전재료로 형성될 수 있거나, 대안으로, 2개의 (반)도전층(각각 하단 및 상단 커패시터 전극(210 및 230))이 다른 도전 재료로부터 형성될 수 있다.

제 2 유전체층 형성

[0082] 도 10에 도시된 바와 같이, 제 2 유전체층(240)이 기판(200)에 형성된다. 제 2 예시적인 방법으로, 제 2 유전체층(240)은 제 1 (반)도전층(210)을 노출시키는 제 1 접촉홀(215)과, 상단 커패시터 전극(230)을 노출시키는 제 2 접촉홀(235)을 갖는다. 제 2 유전체층(240)은 본 명세서에 기술된 바와 같이 블랭킷 증착 기술과, 그런 후 또한 본 명세서에 기술된 에칭 기술을 이용해 형성된 접촉홀(215/235)에 의해 형성될 수 있다. 대안으로, 제 2 유전체층(240)은 제 1 (반)도전층(하단 커패시터 전극)과 상단 커패시터 전극의 일부분이 노출되도록 본 명세서에 기술된 프린팅 기술들 중 어느 하나를 이용해 선택적으로 프린트될 수 있다. 몇몇 실시예에서, 제 2 유전체층은 그 내에 있는 제 1 및 제 2 접촉홀을 포함하도록 선택적으로 프린트될 수 있고, 상기 유전체층은 상술한 접촉홀을 확장시키기 위해 연이어 에칭될 수 있다.

[0083] 제 2 유전체층은 도핑되거나 도핑되지 않을 수 있다. 도핑된 유전체층(예컨대, 240)을 프린트하기 위한 적절한 잉크들은 (실리콘, 탄소, 산소 및/또는 질소를 더 포함할 수 있는) 인(phosphorous) 및 산소, (실리콘, 탄소, 수소, 산소 및/또는 질소를 더 포함할 수 있는) 봉소, (선택적으로 적절한 용매속에서, 어느 하나가 실리콘, 탄소, 수소, 및/또는 산소를 더 포함할 수 있는)비소 및/또는 안티몬과 같은 도판트 및/또는 유전체 전구체 원자를 함유한 화합물 및/또는 전구체를 포함한다. 예시적인 실시예에서, 유전체 잉크 조성물은 (i) 1에서 65 중량% 양의 유전체 전구체 및 다음의 구성요소 중 적어도 2개를 포함할 수 있다: (ii) 제재의 10에서 90 중량% 양의 저휘발성 용매, (iii) 제재의 10에서 90 중량% 양의 고휘발성 용매, (iv) 제재의 0.01에서 1 중량%(바람직하게는 0.1%에서 0.75%) 양의 계면활성제. 잉크 조성물은 일반적으로 25dyne/cm 보다 큰 표면장력과 적어도 4cP의 점성도를 갖는다. 유전체 잉크 조성물은 유전체 전구체에서 실리콘 및 금속 원소에 대한 도판트 원소의 1에서 30 at.% (바람직하게는 4에서 20 at.%)를 제공하는 양으로 봉소, 인, 비소, 및 안티몬으로 구성된 그룹에서 선택된 도판트를 더 포함할 수 있다. 계면 활성제는 예컨대, 아크릴, 비닐, 실리콘, 폴리실록산, 디메치콘(dimethicone), 비이온(non- ionic), 양이온, 음이온, 및/또는 양쪽성 계면활성제(zwitterionic surfactant)를 포함할 수 있다. 고휘발성 용매는 C₁-C₄ 알콜[메탄올, 에탄올, 프로판올, 이소프로판올, 부탄올], C₁-C₄ 알칼산

[에틸 아세테이트]의 C₁-C₄ 알킬 에스테르, C₄-C₈ 에테르[디에킬 에테르, 디부틸 에테르, 메틸 t-부틸 에테르, 테트라하이드로푸란(tetrahydrofuran)], C₃-C₆ 캐톤 [아세톤, 메틸 에틸 캐トン, 메틸 t-부틸 캐تون, 사이클로펜타논(cyclopentanone), 사이클로헥사논(cyclohexanone)], 그 혼합물 등으로부터 선택될 수 있다. 저휘발성 용매는 바람직하게는 C₅-C₁₂ 알콜(예컨대, 펜타놀(pentanol), 헥사놀(hexanol), 사이클로 헥사놀(cyclohexanol), 옥타놀(octanol), 테카놀(decanol), 도데카놀(dodecanol)), 2에서 4 산소 원자를 함유한 C₄-C₁₂ 에테르 알콜(부틸 카비톨(butyl carbitol), 테트라하이드로푸르릴알콜(tetrahydrofurfuryl alcohol), 및 디프로필렌 글리콜 부틸 에테르(dipropylene glycol butyl ether)), 폴리에스테르(polyethers), 메치콘 용매, 2 C₁-C₄ 알킬족(포르마미드(formamide), 디메틸 포르마미드(dimethyl formamide))까지 함유한 C₁-C₄ 알칼산의 아미드, C₂-C₄ 설포사이드(sulfoxides)[예컨대, 디메틸 설포사이드], C₂-C₁₀ 하이드록실레이티드 알칸[예컨대, 부티로락тон(butyrolactone)]의 싸이클릭 에스테르(cyclic esters) 및 디에스테르(diesters), 그 혼합물 등을 포함한다. 다른 실시예에서, 잉크 조성물은 잉크 조성물의 약 0.1 중량%에서 10 중량% 양(예컨대, 1-5 wt.% 또는 그 내의 임의의 다른 범위의 값)의 물을 더 포함할 수 있다.

[0084]

인덕터 및/또는 감시/식별 장치의 형성

[0085]

도 11에 도시된 바와 같이, 제 2 예시적인 방법에 따라 형성된 상술한 커패시터(250)는 감시 및/또는 식별 태그 또는 장치를 형성하기 위해 인덕터 및/또는 안테나(300/310)에 결합/전기적 연결될 수 있다. 안테나 및/또는 인덕터는 안테나, 인덕터, 또는 둘 다를 구비할 수 있다. 특히, 인덕터/안테나(312)의 제 1 상호연결/접촉 패드("외부 접촉패드")가 제 2 유전체층의 접촉홀(235)에 의해 노출된 상단 커패시터 전극(230)에 전기 접촉한다. 마찬가지로, 인덕터/안테나(312)의 제 2 상호연결/접촉 패드("내부 접촉패드")가 제 2 유전체층의 접촉홀(215)에 의해 노출된 제 1 (반)도전층(210)(예컨대, 하단 커패시터 전극)에 전기 접촉한다. 상호연결/접촉 패드(312 및 314)는 금속 범프 또는 이방전도성 페이스트(anisotropic conductive paste, ACP)를 구비할 수 있다.

[0086]

인덕터는 일반적으로 해당기술분야에 공지된 방법을 이용해 형성될 수 있다. 예컨대, 인덕터는 블랭킷 증착, 포토리소그래피 마스킹, 및 에칭 및/또는 절삭 공정에 의해 제 2 기판상에 형성될 수 있다. 대안으로 또는 추가로, 인덕터/안테나는 본 명세서에 기술된 프린팅 기술 중 어느 하나를 이용해 형성될 수 있다. 일반적으로, 안테나 및/또는 인덕터는 금속을 포함한다. 상기 금속은 박(foil)(예를 들면, 알루미늄, 스테인레스강, 구리 또는 그 합금)과 같은 상업적으로 이용할 수 있는 금속일 수 있다. 인덕터/안테나는 제 2 기판(300)상에 형성될 수 있고, 그런 후 연이어 커패시터(250)에 부착될 수 있다.

[0087]

부착 공정은 와이어 본딩, 이방전도성 애폭시 본딩, 초음파, 범프-본딩 또는 플립칩 접근을 통한 전기 상호연결 확립 및 접착과 같은 다양한 물리적 접합기술을 포함할 수 있다. 이 부착 공정은 종종 (예컨대, 인덕터와 커패시터 전극의 접촉패드들 간에) 열, 시간, 마찰 또는 초음파 에너지 및/또는 UV 노출의 사용을 포함한다. 일반적으로, 적절한 부착을 위해 200°C 미만의 온도(예컨대, 150°C, 90-120°C, 또는 그 내의 임의의 다른 범위의 값들)가 요구된다. 다른 실시예에서, 커패시터는 인덕터 및/또는 안테나(예컨대, 평면 나선형 인덕터)를 포함한 기판상에 직접 프린트될 수 있다.

[0088]

예시적인 실시예에서, 인덕터/안테나는 연속 구조로 형성된다. 그러나, 안테나와 인덕터 모두를 구비한 몇몇 실시예에서, 인덕터는 튜닝 인덕터로서 기능을 할 수 있다(예컨대 미국특허 제7,286,053호 참조). 이런 실시예에서, 인덕터는 연속적일 수 없고 대신 한 커패시터 전극에 결합된 제 1 (외부) 인덕터와, 제 2 커패시터 전극에 결합된 제 2 (내부) 인덕터를 구비한다. 본 방법은 해당기술분야에 공지되고, 제 1 예시적인 방법에 대해 본 명세서에서 논의된 바와 같은 방법을 이용해 인덕터의 표면에 지지 및/또는 받침재료를 형성하는 단계를 포함할 수 있다.

[0089]

다른 많은 실시예들이 당업자에 명백한 것에 유의해야 한다. 따라서, 본 발명은 본 명세서에 기술된 실시예들에 국한되지 않는다. 예컨대, 구조는 상술한 단계들의 순서를 이용하기 보다는 역전되거나, 측면으로 등 형성될 수 있다.

[0090]

감시 및/또는 식별 장치의 형성

[0091]

본 발명의 제 2 태양은 감시 및/또는 식별 장치에 관한 것이다. 제 1 일반적인 실시예가 도 6a 및 도 6b에 도시되어 있고, (a) 하단 커패시터 전극과 인덕터를 구비한 단일 도전성 구조와, (b) 상기 하단 커패시터 전극과 인덕터상에 제 1 유전체층과, (c) 상기 제 1 유전체층에 둠형 프로파일을 갖는 상단 커패시터 전극과, (d) 상기 상단 커패시터 전극 및 상기 도전성 구조에 제 2 유전체층과, (e) 한 부분은 상기 상단 커패시터 전극에 접촉하

고, 제 2 부분은 상기 도전성 재료에 접촉하는 전기 도전성 특징부를 상기 제 2 유전체층에 구비한다. 일반적으로, 단일 도전성 구조는 반도체 구조가 형성되고 제 1 예시적인 방법에 대하여 상술한 바와 같이 상기 하단 커패시터 전극과 인덕터/안테나가 연이어 형성되는 도전성 기판을 구성할 수 있다. 선택적으로, 상기 구조는 상기 기판상에 패시베이션층을 더 구비할 수 있다.

[0092] 제 2 일반적인 실시예가 도 11에 도시되어 있고, (a) 기판에 돔형 프로파일을 갖는 하단 커패시터 전극과, (b) 상기 하단 커패시터 전극상에 제 1 유전체층과, (c) 상기 제 1 유전체층상에 상단 커패시터 전극과, (d) 상기 하단 커패시터 전극과 상기 상단 커패시터 전극을 노출시키며 그 내에 제 1 및 제 2 접촉홀을 갖는 돔형 프로파일을 상기 기판상에 갖는 제 2 유전체층과, (e) 상기 하단 커패시터 전극에 결합 및/또는 연결된 제 1 단부와 상기 상단 커패시터 전극에 결합 및/또는 연결된 제 2 단부를 갖는 안테나 및/또는 인덕터를 구비한다. 본 명세서에 기술된 다양한 실시예에서, 상기 감시 및/또는 식별 장치는 바람직하게는 EAS, RF 및/또는 RFID 태그 또는 장치를 구비한다.

기판

[0094] 일반적으로, 기판은 해당기술분야에 공지된 임의의 적절한 기판을 구비할 수 있고 상술한 방법 중 어떤 방법이 상기 장치를 제조하는데 사용되느냐에 주로 달려 있다. 예컨대, (제 1 예시적인 방법에 따라 제조되고 도 6a 및 도 6b에 해당하는) 제 1 예시적인 장치는 일반적으로 하단 커패시터 전극(104)과 인덕터/안테나(106a-106e)가 형성될 수 있는 단일 도전성 구조/기판을 구비한다. 바람직하기로, 상기 단일 도전성 구조(예컨대, 기판)은 금속막, 금속오일, 또는 금속시트를 구비한다. 예시적인 금속 구조/기판은 알루미늄, 티타늄, 구리, 은, 크롬, 몰리브덴, 텉스텐, 니켈, 금, 팔라듐, 백금, 아연, 철, 강(예컨대, 스테인레스) 또는 그 임의의 합금을 구비할 수 있다. 금속박과 같이 단일 도전성 재료의 이점이 미국특허 제7,286,053호에 기술되어 있다.

[0095] 다양한 실시예에서, 도핑된 폴리티오펜(polythiophene), 폴리아미드, 폴리아세틸렌, 폴리싸이클로부타디엔 및 폴리싸이클로옥타테트라엔(policyclooctatetraene)과 같은 도전성 폴리머; 티타늄 질화물, 탄탈륨 질화물, 인듐주석산화물 등과 같은 도전성 무기 화합물막; 및/또는 도핑된 실리콘, 도핑된 게르마늄, 도핑된 실리콘-게르마늄, 도핑된 갈륨 아스나이드, (자동 도핑된 것을 포함한)도핑된 아연산화물, 아연황화물 등과 같은 도전성 반도체를 포함한 다른 도전성 재료가 사용될 수 있다. 다양한 실시예에서, 도전성기판에 사용된 금속/합금은 얇은 구리시트 또는 박에 (예컨대, 스퍼터링 또는 CVD에 의해) 증착된 알루미늄, 탄탈륨 또는 지르코늄(zirconium), 또는 얇은 알루미늄 시트 또는 박에 (예컨대, 전기도금에 의해) 증착된 구리와 같은 다층 구조를 구비할 수 있다. 그러나, 바람직한 실시예에서, 도전성 기판은 알루미늄을 구비하거나 기본적으로 알루미늄으로 구성된다.

[0096] (제 2 예시적인 방법과 도 11에 따라 제조된) 제 2 예시적인 장치를 참조하면, 기판은 해당기술분야에 공지된 임의의 타입의 적절한 기판 재료(예컨대, 글래스 시트, 웨이퍼, 슬립, 플라스틱 및/또는 금속박 또는 슬라브, Si 웨이퍼 등)를 구비할 수 있다. 그러나, 바람직한 실시예에서, 이 예시적인 실시예에서 상기 기판은 절연재 및/또는 다른 경우로는 전기 불활성 재료를 구비한다. 예컨대, 적절한 전기 불활성 기판 또는 비활성 기판은 글래스(예컨대, 석영), 세라믹, 유전체 및/또는 플라스틱으로 된 판, 디스크 및/또는 시트를 구비할 수 있다. 전기 도전성 기판(예컨대, 금속박, 또는 본 명세서에 기술된 도전성 기판 중 어느 하나)을 구비한 실시예에서, 상기 기판은 상기 기판과 상기 기판상에 연이어 형성된 전기 활성구조 사이에 절연층을 더 구비해야 한다. 예컨대, 상기 절연층은 두께가 약 $1\mu\text{m}$ 인 스핀-온 글래스 장벽층을 구비할 수 있다.

[0097] 글래스 및/또는 플라스틱 기판을 포함한 수단에서, 상기 기판은 상기 기판의 표면 거칠기를 줄이기 위해 그 위에 평탄층을 더 구비할 수 있다. 일반적으로, 상기 기판 및/또는 도전성 단일 재료는 두께가 5에서 $200\mu\text{m}$ (바람직하게는 20에서 $100\mu\text{m}$)의 공칭두께와, 실시예에서, 도전성 기판을 이용해, $0.1\text{--}10\mu\text{ohm}\cdot\text{cm}$ (바람직하게는 0.5에서 $5\mu\text{ohm}\cdot\text{cm}$, 및 일실시예에서 약 $3\mu\text{ohm}\cdot\text{cm}$)의 저항을 갖는다.

하단 및 상단 커패시터 전극

[0099] 일반적으로, 하단 커패시터 전극은 제 1 금속을 구비하고, (1) 도전성 기판으로부터 형성되며 따라서 예시적인 도전성 기판(예컨대, 금속시트, 금속박, 등)에 대하여 상술한 도전성 재료들 중 하나를 구비하거나, (2) 상기 기판상에 증착되고 임의의 적절한 도전성 재료(예컨대, 금속/도체 잉크, 금속 전구체 잉크, 시드/밸크 금속, 반도체 잉크, 등)을 구비한다. 상단 커패시터 전극은 프린트되거나 다른 경우로는 상기 유전체층에 증착되고 본 명세서에 기술된 임의의 적절한 도전성 재료를 구비한다. 상단 커패시터 전극은 일반적으로 제 1 금속과 동일할 수 있거나 상기 하단 커패시터 전극의 제 1 금속과는 다른 금속을 구비할 수 있는 제 2 금속을 구비한다. 바람직하기로, 상기 커패시터 전극(예컨대, 상단 전극, 하단 전극 또는 둘 다) 중 적어도 하나는 돔형 프로파일을

갖는다.

[0100] 상기 커판시터 전극의 길이를 따라 횡단면 프로파일은 그 길이의 적어도 일부분을 따라 그리고 이상적으로는 전체 폭과 길이를 따라 실질적으로 둠형일 수 있다. 그러나, 대안으로, 상기 커판시터 전극은 실질적으로 그 길이의 일부분을 따라 둠형태로 형성될 수 있다. 일실시예에서, 상기 커판시터 전극의 최대 높이(H)는 전극의 폭(W)보다 작다. 일반적으로 전극의 최대 높이는 폭보다 적어도 1차수 또는 2차수 작은 크기이다.

[0101] 프린팅에 의해 얻은 이상적인 구조(예컨대, 둠형 커판시터 전극)의 횡단면 프로파일은 수평(x) 차원의 함수로서 횡단면의 상부면을 따르는 지점에서 수학적으로 접선 값으로 정의될 수 있다. 둠형 프로파일의 표면에서 곡선을 나타내는 함수는 연속적이어야 하고 연속함수인 제 1 차 도함수(예컨대, dy/dx)와 2차 도함수(예컨대 d^2y/dx^2) 모두를 가져야 한다. 이런 표면은 본 발명의 실시예에 대한 이상적인 프로파일에 따라 "완만한" 및/또는 "구배진" 것을 간주될 수 있다.

[0102] 특징부(예컨대, 전극)의 최대 높이에서 수평지점이 (선택적으로 완만한 또는 둠형 프로파일의 수평 중앙점일 수 있는) X_0 로 표현되면, 변수(x_i)는 X_0 로 미만인 수평값(즉, $0 \leq x_i \leq X_0$)을 나타내고, 변수(x_{ii})는 X_0 로 보다 큰 수평값(즉, $0 \leq x_{ii} \leq W$)을 나타내고, 여기서, W 는 프린트된 특징부의 횡단면 폭임)을 나타내고, x_i 의 어떤 값에서 접선은 dy/dx_i 로 주어지고, X_0 에서 접선은 dy/dX_0 로 주어진다. 둠형 프로파일은 $dy/dx_i > dy/dX_0$ 에 의해 기본적으로 x_i 의 임의의 값에 대해 정의될 수 있고, 여기서 dy/dx_{ii} 는 각각의 연속해서 증가하는 x_i 의 값에서 (연속적으로 또는 실질적으로 연속해서) 감소한다. 둠형 프로파일은 또한 $dy/dx_{ii} < dy/dX_0$ 에 의해 기본적으로 x_{ii} 의 임의의 값에 대해 정의될 수 있고, 여기서 dy/dx_{ii} 는 각각의 연속해서 증가하는 x_{ii} 의 값에서 (연속적으로 또는 실질적으로 연속해서) 감소한다. 예컨대, x_i 와 x_{ii} 의 복수의 (예컨대, 적어도 5, 10, 15, 25, 등, 10^2 , 10^3 , 10^4 , 또는 그 이상의 차수까지의) 값에서 접선이 결정될 수 있고, 이로부터 횡단면 프로파일의 그래프가 좌표로 도시될 수 있다. 기본적으로 x_i , x_{ii} , dy/dx_i , 및 dy/dx_{ii} 의 임의의 선택된 값의 개수는 이 단락에서 수학적 설명을 만족해야 한다.

[0103] 상술한 바와 같이, 몇몇 수단에서, 하단 커판시터는 도전성 기판(예컨대, 도전성 단일 재료)으로부터 형성되고, 알루미늄, 티타늄, 구리, 은, 크롬, 몰리브덴, 텉스텐, 니켈, 금, 팔라듐, 백금, 아연, 철, 강(예컨대, 스테인레스 강) 또는 그 임의의 합금을 구비할 수 있다. 여전히, 다른 수단에서, 하단 커판시터층은 도핑된 폴리티오펜, 폴리아미드, 폴리아세틸렌, 폴리싸이클로부타디엔 및 폴리싸이클로옥타테트라엔과 같은 도전성 폴리머; 티타늄 질화물, 탄탈륨 질화물, 인듐 주석산화물 등과 같은 도전성 무기 화합물막; 및/또는 도핑된 실리콘, 도핑된 게르마늄, 도핑된 실리콘-게르마늄, 도핑된 갈륨 아스나이드, (자동 도핑된 것을 포함한)도핑된 아연산화물, 아연황화물 등과 같은 도핑된 반도체를 포함할 수 있다. 다양한 실시예에서, 도전성 기판에 사용되는 금속/합금은 얇은 구리시트 또는 박막(예컨대, 스퍼터링 또는 CVD에 의해) 증착된 알루미늄, 탄탈륨 또는 지르코늄, 또는 얇은 알루미늄 시트 또는 박막(예컨대, 전기도금에 의해) 증착된 구리와 같은 다층 구조를 구비할 수 있다. 바람직하게는, 도전성 기판/단일 재료는 알루미늄을 구비한다.

[0104] 다양한 수단에서, 도체 잉크는 하단 및 상단 커판시터 전극을 형성하기 위해 코팅 및/또는 프린팅 단계에서 사용된다. 이런 도체 잉크는 알루미늄, 티타늄, 바나듐, 크롬, 몰리브덴, 텉스텐, 철, 니켈, 팔라듐, 백금, 구리, 아연, 은, 금 등과 같은 단일 금속의 전구체를 구비할 수 있다. 바람직한 실시예에서, 상기 금속은 Pd이다. 추가로, 또는 대안으로, 상기 도체 잉크는 알루미늄-구리 합금, 알루미늄-실리콘 합금, 알리미늄-구리-실리콘 합금, 티타늄-텅스텐 합금, Mo-W 합금, 알루미늄-티타늄 합금 등과 같은 종래의 이런 기본 금속의 합금을 포함할 수 있다. 다른 수단으로, 단일 금속의 질화물 및 실리사이드(예컨대, 티타늄 질화물, 티타늄 실리사이드, 탄탈륨 질화물, 코발트 실리사이드, 몰리브덴 실리사이드, 텉스텐 실리사이드, 백금 실리사이드 등)와 같은 전기 도전성 금속 화합물이 도체 잉크 재료로 사용될 수 있다. 다른 수단에서, 금속/도체 잉크는 상기 금속 전구체(들)가 용해될 수 있는 용매속에 금속 나노입자, 유기금속 화합물 및 금속염으로 구성된 그룹으로부터 하나 이상의 금속 전구체를 구비한다.

[0105] 바람직한 실시예에서, 크롬, 몰리브덴, 텉스텐, 니켈, 팔라듐, 백금 및 이의 종래 금속합금(예컨대, 알루미늄-구리 합금, 알루미늄-실리콘 합금, 알리미늄-구리-실리콘 합금, 알루미늄-티타늄 합금, 티타늄-텅스텐 합금, Mo-W 합금 등)과 같은 도체 잉크의 금속은 고온처리에 견딜 수 있다. 바람직하기로, 금속 합금은 기본 금속의 질화물 및 실리사이드(예컨대, 티타늄 질화물, 티타늄 실리사이드, 탄탈륨 질화물, 코발트 실리사이드, 몰리브

텐 실리사이드, 텅스텐 실리사이드, 텅스텐 질화물, 텅스텐 실리콘 질화물, 백금 실리사이드 등)와 같은 전기도전성 금속 화합물을 구비한다.

[0106] 몇몇 수단에서, (반)도전층(예컨대, 하단 및/또는 상단 커패시터 전극)에 대한 잉크 전구체는 나노입자 및/또는 분자, 실리콘의 올리고 및/또는 폴리머 화합물, 실리사이드 형성 금속(silicide forming metals.), 내화금속(refractory metals), 또는 그 조합을 포함한다. 이런 실리사이드 형성 금속은 Ni, Co, Pd, Pt, Ti, W, 및/또는 Mo를 포함할 수 있고, 이와 같은 내화금속은 Pd, Mo, 및/또는 W를 포함할 수 있다. 잉크 제재에서 나노입자 또는 나노결정은 패시베이션되거나 언패시베이션될 수 있다.

[0107] 몇몇 실시예에서, 제재는 기본적으로 하나 이상의 4, 5, 6, 7, 8, 9, 10, 11, 또는 12족 금속염(들) 및/또는 금속착물(들), 상기 제제의 코팅 및/또는 프린팅을 용이하게 하도록 맞추어진 하나 이상의 용매로 구성될 수 있다. 선택적으로, 상기 제재는 금속염 또는 금속착물을 단일 금속 또는 그 합금으로의 환원시 가스성 또는 휘발성 부산물을 이루는 하나 이사의 참가제를 포함할 수 있다. 다른 실시예에서, 잉크 제재(또는 첨가제)는 용매 속에 금속염 또는 금속착물의 용해를 용이하게 하도록 맞추어진 양이온 소스를 기본적으로 더 구성할 수 있다. 이런 실시예에서, 4, 5, 6, 7, 8, 9, 10, 11, 또는 12족 금속염은 팔라듐, 니켈, 코발트 또는 백금염을 구비한다.

[0108] 용매(들)은 물, 유기용매, 유기용매의 혼합물, 또는 하나 이상의 유기용매와 물의 혼합물을 구비할 수 있다. 그러나, 다른 실시예에서, 상기 제재는 실질적으로 무수(anhydrous)일 수 있다. 이런 무수 제재에서, (어느 정도 초기에 있는)물이 제거되거나 최소화되며, 이 경우, (예컨대 제조 및/또는 선적후 하지만 프린팅 전에, 농도 짙은 잉크를 희석하기 위해 필요한 경우 물이 추가될 수 있으나) 물은 일반적으로 첨가되지 않는다. 이런 잉크 제재는 일반적으로 2% 미만의 물(예컨대, 1% 미만의 물, 0.5% 미만의 물, 또는 2% 아래의 다른 량)을 포함한다. 몇몇 실시예에서, 프린트 금속층(예컨대, Pd)은 다른 벌크 도전성 재료의 무전기도금 증착 또는 전기도금 및/또는 필요한 경우 금속 실리사이드의 형성을 위한 시드층으로서 역할을 할 수 있다. 이들 실시예에서, 금속의 시드층을 형성하는데 사용된 잉크는 가령 $PdCl_2$ -함유 잉크와 같은 나노입자 및/또는 화합물 기반의 금속일 수 있다. 다른 실시예에서, 시드층은 코발트, 니켈, 백금, 팔라듐, 티타늄, 텅스텐 또는 몰리브덴을 구비한 금속 나노입자를 포함할 수 있다. 그러나, 바람직한 실시예에서, 상기 시드층은 팔라듐을 구비한다. 이러한 실시예에서 상기 도전성 벌크 금속은 Al, Ag, Au, Cu, Pd, Pt, Ni, Cr, Mo, W, Ru, Rh, 및 그 합금 및/또는 혼합물을 구비할 수 있다.

[0109] 예시적인 수단에서, 도전성 잉크는 반도체를 포함한다. 다양한 실시예에서, 반도체는 가볍게 또는 질게 도핑될 수 있다. 실리콘 또는 실리콘-게르마늄의 경우, 도판트는 일반적으로 종래 농도의(예컨대, 가볍게 또는 질게, 및/또는 10^{13} 에서 10^{15} , 10^{15} 에서 10^{17} , 10^{16} to 10^{18} , 10^{17} 에서 10^{19} , 10^{19} 에서 10^{21} 원자/cm² 또는 그 내의 임의의 범위의 값) 봉소, 인 및 비소로 구성된 그룹으로부터 선택될 수 있다. 적절한 반도체 잉크는 액상(폴리) 및/또는 (싸이클로)실란을 포함한다. 액상 반도체 잉크는 반도체(패시베이션된 Si,Ge, 또는 SiGe 나노입자와 같은) 나노입자 및/또는 용매(예컨대, 싸이클로알칸)를 더 포함할 수 있다. 이런 제재의 나노입자 또는 나노결정은 통상적으로 하나 이상의 계면활성제 또는 (알킬, 알아크릴, 알콜, 알콕시, 메르캅탄(mercaptan), 알킬티오(alkylthio), 카르복실산 및/또는 카르복실레이트 족과 같은) 표면 리간드로 패시베이션될 수 있다. 대안으로, 나노입자/나노결정은 언패시베이션될 수 있다.

[0110] 다른 실시예에서, 반도체 잉크는 하나 이상의 반도체 화합물(예컨대, SiGe 또는 SiC와 같은 (도핑된)IV족 화합물, GaAs와 같은 III-B 화합물, ZnO 및 ZnS와 같은 칼코겐(chalcogenide) 만도체, 유기 반도체 등), 및/또는 나노입자/화합물이 용해 또는 혼탁될 수 있는 용매(예컨대, 하나 이상의 할로겐들로 대체될 수 있는 C₆-C₂₀ 브랜치 또는 언브랜치 알칸(unbranched alkane); C₆-C₂₀ 브랜치 또는 언브랜치 알켄; 하나 이상의 할로겐들로 대체된 C₂-C₆ 브랜치 또는 언브랜치 알켄; 싸이클로헥산, 싸이클로옥탄 또는 테칼린(decalin)과 같은 C₅-C₂₀ 싸이클로알칸; 톨루엔, 크실렌(xylene), 테트랄린(tetralin)과 같은 C₅-C₁₀ 방향성 용매; 총 적어도 4개의 탄소원자를 갖는 디-C₁-C₁₀ 알킬 에테르; 및/또는 테트라하이드로푸란 또는 디옥산 등과 같은 C₄-C₁₀ 싸이클 알킬 에테르)에 따른 하나 이상의 반도체 나노입자(예컨대, Si,Ge, SiGe 등)를 포함할 수 있다. 잉크 제재는 또한 표면장력을 줄이는 시약, 계면활성제, 바인더 및/또는 증점제(thickening agent)를 포함할 수 있다. 그러나, 이런 첨가제 또는 시약은 생략될 수 있다.

[0111] 본 발명의 감시 및/또는 식별 장치에서, 하단 커패시터 전극은 공칭 두께가 5에서 200 μ m(바람직하게는 20에서

100 μm) 및/또는 저항이 0.1-10 $\mu\text{ohm}\cdot\text{cm}$, 일실시예에서는 약 3 $\mu\text{ohm}\cdot\text{cm}$)일 수 있다. 하단 전극이 실질적으로 장치 전극의 중앙에 위치되는 한편(예컨대, 도 6a의 104 및 도 7a의 210 참조), 설계 선택 및/또는 우선순위에 따라 장치의 임의의 영역에 위치될 수 있다. 또한, 하단 커패시터 전극(예컨대, 104 및/또는 210)은 예컨대, 원형, 정사각형, 직사각형, 삼각형 등의 임의의 소정의 형태와, 대체로 감시/식별 장치에 및/또는 감시/식별 장치상에 고정되게 하는 임의의 치수를 가질 수 있다. 바람직하게는, 상기 하단 커패시터 전극(예컨대 104 및/또는 210)은 (i) 폭, 길이 및 두께의 치수를 갖거나, (ii) 반경 및 두께의 치수를 가지며, 상기 두께는 실질적으로 다른 치수(들)보다 작다. 예컨대, 상기 하단 커패시터 전극(예컨대 104 및/또는 210)은 반경이 25에서 10,000 μm (바람직하게는 50에서 5,000 μm , 100에서 2,500 μm 또는 그 범위 내에 있는 임의의 값), 또는 폭 및/또는 길이가 50-20,000 μm , 100에서 10,000 μm , 250에서 5,000 μm , 또는 그 범위 내에 있는 임의의 값일 수 있다.

[0112] 몇몇 실시예에서, 상단 커패시터 전극(120)은 제 1 유전체층(112) 위에 직접형성될 수 있어, 도 6a에 도시된 바와 같이 상단 커패시터 전극(120)이 상기 유전체층(112)을 완전히 덮는다. 다른 실시예에서, 제 1 유전체층(220)을 완전히 덮지 않고 따라서 하나 이상의 부분들이 노출되도록 상단 커패시터 전극(230)이 형성될 수 있다(예컨대, 도 9a 및 도 9b를 참조).

[0113] 하단 커패시터 전극의 경우와 마찬가지로, 상단 커패시터 전극도 또한 예컨대, 원형, 정사각형, 직사각형, 삼각형 등의 임의의 소정의 형태와, 대체로 감시/식별 장치에 및/또는 감시/식별 장치상에 고정되게 하는 임의의 치수를 가질 수 있다. 바람직한 실시예에서, 상단 커패시터 전극(120)은 둠형 프로파일을 갖는다. 예시적인 실시예에서, 상단 커패시터 전극(120 및/또는 230)은 (i) 폭, 길이 및 두께의 치수를 갖거나, (ii) 반경 및 두께의 치수를 가지며, 상기 두께는 실질적으로 다른 치수(들)보다 작다. 예컨대, 상기 상단 커패시터 전극(예컨대 120 및/또는 230)은 반경이 20에서 10,000 μm (바람직하게는 40에서 5,000 μm , 80에서 2,500 μm 또는 그 범위 내에 있는 임의의 값), 또는 폭 및/또는 길이가 40에서 20,000 μm , 80에서 10,000 μm , 150에서 5,000 μm , 또는 그 범위 내에 있는 임의의 값일 수 있다.

인덕터 및/또는 안테나

[0114] 기판의 경우와 마찬가지로, 인덕터 및/또는 안테나의 다양한 특성을 중 일부는 상술한 방법들 중 어떤 방법이 장치를 제조하는데 사용되느냐에 주로 따른다. 그러나, 일반적으로, 안테나 및/또는 인덕터는 금속을 구비한다. 금속은 통상적으로 이용될 수 있는 금속(예컨대, 알루미늄, 스테인레스 강, 구리 또는 그 임의의 합금을 포함한 박)일 수 있다. 도전성 기판/단일 도전성 재료로부터 인덕터/안테나가 형성되는 실시예에서, 인덕터는 기판 및/또는 하단 커패시터 전극과 동일한 재료를 구비한다. 그러나, 인덕터/안테나는 일반적으로 본 명세서에 기술된 금속들 중 어느 하나를 구비할 수 있다. 다른 실시예에서, 인덕터/안테나는(예컨대, 제 1 일반적인 방법의 전기 도전성 특징부와 유사한 형태로) 상기 구조의 상단에 프린트될 수 있다.

[0115] 인덕터/안테나는 커패시터 전극에 인덕터를 연결시키기 위한 하나 이상의 접촉/상호연결 패드 영역을 더 구비할 수 있다(예컨대, 도 6a 및 도 6b의 102 및/또는 도 11의 312/314 참조). 인덕터는 연속 구조를 구비할 수 있거나 불연속적일 수 있으며, 한 커패시터 전극에 결합되는 제 1 (외부) 인덕터와 제 2 커패시터 전극에 결합되는 제 2 (내부) 인덕터를 구비한다. 다양한 실시예에서, 받침층 및/또는 지지층이 상기 인덕터에 부착될 수 있다. 상기 받침층 및/또는 지지층은 감시/식별 장치에 부착 또는 배치하기 위한 접착면을 추적되거나 감시되는 물품에 제공할 수 있다.

[0116] 몇몇 실시예(예컨대, 도 11에 따른 실시예 참조)에서, 인덕터는 안테나, 인덕터 또는 둘 다를 구비할 수 있다. 이런 실시예에서, 인덕터/안테나의 제 1 또는 외부 접촉패드(예컨대, 도 11의 312)는 제 2 유전체층에 형성된 접촉홀(235)에 의해 노출된 상단 커패시터 전극(230)에 전기 접촉한다. 또한, 제 2 또는 내부 접촉패드(예컨대, 도 11의 314)는 제 2 유전체층에 형성된 접촉홀(215)에 의해 노출된 제 1 (반)도전층/하단 커패시터 전극(210)에 전기 접촉한다. 예시적인 실시예에서, 접촉패드(312, 314)는 금속 범프 또는 이방도전성 페이스트(ACP)를 구비한다. 인덕터(예컨대, 312 및 314)의 접촉패드는 도전성 또는 비도전성일 수 있는 접착제에 의해 상기 커패시터 전극(예컨대, 235 및 215)에 부착 및/또는 고정될 수 있다.

[0117] 예시적인 실시예에서, 인덕터/안테나는 복수의 루프 또는 링을 갖는 코일을 구비한다. 도 6b에 도시된 인덕터는 3개의 루프, 링 또는 코일을 갖는다. 그러나, 적용 요건 및 설계 선택/우선순위에 따라, 임의의 적절한 개수의 루프, 링 또는 코일이 이용될 수 있다. 인덕터는 통상적으로 이런 인덕터에 사용되는 임의의 형태 및/또는 형상을 취할 수 있으나, 바람직하게는 코일 또는 동심형 나선 루프 형태를 갖는다. 제조의 용이성 및/또는 장치 면적의 효율성을 위해, 코일 루프는 일반적으로 정사각형 또는 직사각형을 가지나, 또한 직사각형, 팔각형, 원형, 라운드형 또는 타원형, 몇몇 다른 다각형, 또는 그 임의의 조합을 가질 수 있고/있거나, 각 면이은 루프가 실

질적으로 선행 루프와 태그/장치의 최외각 외주 사이에 완전히 위치되는 한, 적용 요건 및 설계 선택/우선순위에 따라, 하나 이상의 절단된 코너들을 가질 수 있다.

[0119] 도 6a, 도 6b 및 도 11을 참조하면, 인덕터 코일의 동심 루프 또는 링(예컨대, 106a-106e 및/또는 310)은 임의의 적절한 폭과 폭(즉, 내부링 간격)를 가질 수 있고, 상기 폭 및/또는 폭은 루프에서 루프로 또는 링에서 링으로 변할 수 있다. 그러나, 소정 실시예에서, 각 루프에서(또는 각 루프 또는 링의 각 면에서) 와이어는 (인덕터 와이어의 길이가 EAS 장치의 치수를 초과하지 않는 한) 폭이 2에서 1,000 μm (바람직하게는 5에서 500 μm , 10에서 200 μm , 또는 그 범위 내에 있는 임의의 값)일 수 있고, 길이는 100에서 500,000 μm , 250에서 25,000 μm , 500에서 20,000 μm 또는 그 범위 내에 있는 임의의 값일 수 있다. 대안으로, 인덕터에서 각 와이어 루프 또는 링의 반경은 250에서 25,000 μm (바람직하게는 500에서 20,000 μm)일 수 있다. 마찬가지로, 인덕터의 인접한 동심 루프 또는 링들에서 와이어들 간의 폭은 2에서 1,000 μm , 3에서 500 μm , 5에서 250 μm , 10에서 200 μm 또는 그 범위 내에 있는 임의의 값일 수 있다. 또한, 폭 대 폭의 비율은 하한이 약 1:10, 1:5, 1:3, 1:2 또는 1:1, 상한이 약 1:2, 1:1, 2:1, 4:1 또는 6:1, 또는 그 범위 내에 있는 임의의 값으로 될 수 있다.

[0120] 마찬가지로, 하단 및/또는 상단 커패시터 전극(예컨대, 도 11의 312/314 참조)과 전기 소통 및/또는 물리적 접촉을 제공하도록 일반적으로 구성되는 상호연결 패드(들)(예컨대, 도 6a 및 도 6b의 102 및/또는 도 11의 312/314)은 원형, 정사각형, 직사각형, 삼각형 등의 임의의 소정의 형태를 가질 수 있다. 또한, 상호연결/접촉 패드는 대체로 감시/식별 태그 또는 장치에 및/또는 감시/식별 태그 또는 장치상에 고정되게 하는 임의의 치수를 가질 수 있다. 바람직하게는, 상호연결 패드(들)(예컨대, 도 6a 및 도 6b의 102 및/또는 도 11의 312/314)는 (i) 폭, 길이 및 두께의 치수를 갖거나, (ii) 반경 및 두께의 치수를 가지며, 상기 두께는 실질적으로 다른 치수(들)보다 작다. 예컨대, 상기 상호연결 패드는 반경이 25에서 2,000 μm (바람직하게는 50에서 1,000 μm , 100에서 500 μm 또는 그 범위 내에 있는 임의의 값), 또는 폭 및/또는 길이가 50에서 5,000 μm , 100에서 2,000 μm , 200에서 1,000 μm , 또는 그 범위 내에 있는 임의의 값일 수 있다.

제 1 및 제 2 유전체층

[0122] 제 1 유전체층(예컨대, 도 6a의 112 및/또는 도 10의 220)은 바람직하게는 태그 회로가 더 이상 소정 주파수에서 공명하지 않도록 유전체층의 절연파괴를 통해 태그/장치를 단락상태 또는 변경된 경전용량으로 비활성화시키는 비활성화 무선주파수 전자기장의 인가로 유전체층에 걸쳐 커패시터에 전압차(예컨대, 약 4에서 약 50V, 바람직하게는 약 5에서 30V 미만, 더 바람직하게는 약 10에서 20V, 또는 그 범위 내에 있는 임의의 소정의 양끝점 범위)가 유도되도록 설계 및 제조된다. 따라서, 소정 실시예에서, 제 1 유전체층은 (i) 두께가 50에서 400Å 및/또는 (ii) 절연파괴 전압이 약 10에서 약 20V이다.

[0123] 제 1 및 제 2 유전체층(들)은 산소 및/또는 질화물 세라믹 또는 글래스(예컨대, 실리콘 이산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 탄탈륨 산화물, 지르코늄 산화물 등)와 같은 임의의 전기 절연성 유전체 재료; 폴리실록산, 파릴렌, 폴리에틸렌, 폴리프로필렌, 언도핑된 폴리이미드, 폴리카보네이트, 폴라아미드, 폴리에테르, 그의 코폴리머, 그의 플루오르화 유도체 등과 같은 폴리머를 포함할 수 있다. 바람직한 실시예에서, 제 1 유전체층(예컨대, 커패시터 유전체층)은 알루미늄 산화물을 및/또는 하단 커패시터 전극에 사용되는 해당 금속 산화물을 구비하거나 기본적으로 구성될 수 있다(예컨대, 도 6a의 104 및/또는 도 10의 210).

[0124] 몇몇 실시예에서, 제 1 및/또는 제 2 유전체층은 무기 절연체일 수 있다. 예컨대, 유전체는 제재 $M_xO_yN_z$ 의 금속 산화물 및/또는 질화물을 구비할 수 있으며, 여기서, M은 알루미늄, 티타늄, 지르코늄, 탄탈륨, 하프늄, 바나듐, 크롬, 몰리브덴, 텉스텐, 로듐(rhodium), 레늄(rhenium), 철, 류테늄(ruthenium), 구리, 아연, 인듐, 주석, 란탄족 금속(lanthanide metals), 악티나이드(actinide), 금속 및 그 혼합물로 구성된 그룹에서 선택된 실리콘 또는 금속이다. 다른 실시예에서, 무기 절연체는 이런 금속 및/또는 혼합물의 실리케이트, 알루미네이트, 및/또는 알루미노실리케이트(aluminosilicates)를 포함할 수 있으며, $y/2 + z/3$ 은 M의 x 경우의 결합된 산화상태이다. 예시적인 실시예에서, 유전체는 도전성 기판 및/또는 (반)도전층의 금속에 사용된 해당 금속산화물을 구비한다(예컨대, 상단 커패시터 전극).

[0125] 상단 커패시터 전극(예컨대, 도 3a의 120 및/또는 도 10의 230)상에 제 2 유전체층(예컨대, 도 3a의 130 및/또는 도 10의 240)은 그 내에 하나 이상의 접촉홀을(예컨대, 도 3a의 135 및/또는 도 10의 235 및 215) 구비한다. 도 3a를 참조하면, 접촉홀(130)은 상단 커패시터 전극(120)의 일부분을 노출시키기 위해 제 2 유전체층(130)에 형성된다. 이는 전기 도전성 특징부(예컨대, 도 4a의 140)를 통해 상단 커패시터 전극(120)과 인덕터/안테나 사이에 전기 접촉을 제공한다. 도 10 및 도 11을 참조하면, 제 1 접촉홀(215)은 제 1 (반)도전층(210)(예컨대, 하단 커패시터 전극)을 노출시키기 위해 제 2 유전체층(240)에 형성되고, 상호연결 패드(314)를 이용해 전기 접촉

을 제공한다. 제 2 접촉홀(235)도 또한 상단 커패시터 전극(230)을 노출시키기 위해 제 2 유전체층(240)에 형성되고, 상호연결 패드(312)를 이용해 전기 접촉을 제공한다.

[0126] 제 2 유전체층은 액상 유전체 전구체 잉크로 형성될 수 있다. 액상 유전체 전구체 잉크는 제재 A_nH_y 의 화합물을 포함할 수 있고, 여기서, n은 3에서 12이고, 각 A는 무관하게 Si 또는 Ge이며, y는 n에서 $2n+2$ 의 짹수이고, 그리고 바람직하게는 제재 $(AH_z)_n$ 의 화합물을 포함할 수 있으며, 여기서 n은 5에서 10이고, 각 A는 별도로 Si 또는 Ge이며, z의 n 경우의 각각은 별도로 1 또는 2이다. 해당 실리콘 및/또는 게르마늄 산화물은 상술한 바와 같이 전구체막(예컨대, IVA원소 전구체막)을 경화시킴으로써 형성될 수 있다.

[0127] 예시적인 실시예에서, 제 2 유전체층은 (감광성 또는 비감광성일 수 있고, 비감광성인 경우, 직접 프린팅 또는 리소그래피 증착후에 패턴화될 수 있는) 스펀 온 글래스; (열 레이저 패터닝에 의해 감광성 및/또는 열에 민감 할 수 있거나, 직접 프린팅 또는 증착후 리소그래피에 의해 패턴화를 위해 비감광성일 수 있는) 폴리아미드; BCB 또는 SiLK® 유전체 재료(SILK는 마이애미 미들랜드의 다우 케미컬 주식회사의 등록된 상표임)와 같은 다른 유기 유전체; 콜겔 기술에 의해 형성된 낮은-k 중간층 유전체; 플라즈마 강화(PE) TEOS(즉, 테트라에틸오르소실리케이트의 플라즈마 강화 CVD에 의해 형성된 SiO_2); 폴리에틸렌(PE), 폴리에스테르, 또는 PES, 폴리이미드 또는 연이은 고온 처리와 호환될 수 있는 다른 것과 같은 고온 폴리머 적층 폴리머막을 포함할 수 있다.

[0128] 바람직한 실시예에서, 제 2 유전체층은 IVA족 원소의 산화물 및/또는 질화물을 구비하고, 통상적인 봉소 및/또는 통상적인 양의 인 산화물 조절제(phosphorous oxidizer modifier)를 더 포함할 수 있다. 따라서, IVA족 원소는 실리콘을 구비하거나 기본적으로 실리콘으로 구성되며, 이 경우, 제 2 유전체층(예컨대, 도 3a의 130 및/또는 도 10의 240)은 실리콘 산화물, 실리콘 산질화물, 보로실리케이트 글래스, 포스포실리케이트 글래스 또는 보로포스포실리케이트 글래스(바람직하게는 실리콘 이산화물)을 구비하거나 기본적으로 구성된다. 제 2 유전체층은 두께가 적어도 1 마이크론, 바람직하게는 2에서 $25\mu m$, 더 바람직하게는 5에서 $10\mu m$ 일 수 있다.

전기 도전성 특징부

[0130] 제 1 예시적인 장치(예컨대, 도 1a 내지 도 6b 참조)는 커패시터(예컨대, 상단 커패시터 전극)(120)와 인덕터(106a-106e) 사이에 전기 소통을 제공하기 위한 전기 도전성 특징부(140)를 구비한다. 상기 특징부는 도전성 또는 비도전성 접착제를 이용해 커패시터 전극과 인덕터에 연결될 수 있다. 상기 특징부는 커패시터 전극(120) 및/또는 인덕터 코일(106a-106e)/접촉 패드(102)에 연결하기 위한 하나 이상의 상호연결/접촉 패드(예컨대, 패드부)를 가질 수 있다. 상기 특징부는 임의의 적절한 형태(예컨대, 정사각형, 직사각형, 등근형 등)를 가질 수 있다. 다양한 실시예에서, 상기 특징부는 두께가 30nm에서 5000nm, 바람직하게는 50nm에서 2000nm, 더 바람직하게는 80nm에서 500nm이다.

[0131] 상기 특징부는 임의의 전기 도전성 재료를 구비할 수 있다. 그러나, 예시적인 실시예에서, 상기 특징부(140)는 제 1 (반)도전층(예컨대, 하단 커패시터 전극)에 대해 상술한 동일한 재료 및/또는 금속으로부터 선택될 수 있는 제 2 금속을 구비한다. 예컨대, 바람직한 실시예에서, 상기 특징부는 알루미늄, 티타늄, 구리, 은, 크롬, 몰리브덴, 텉스텐, 니켈, 금, 팔라듐, 백금, 아연, 철, 스테인레스강 또는 그 임의의 합금을 구비할 수 있다. 예시적인 실시예에서, 상기 특징부는 필수적으로 은, 금, 구리 또는 알루미늄(또는 그 도전성 합금)으로 구성된다. 다양한 수단으로 상기 특징부 및 상기 커패시터 전극은 동일한 재료를 구비한다. 그러나, 본 발명은 이에 국한되지 않는다. 따라서, 다른 실시예에서, 상기 특징부 및 커패시터 전극은 다른 재료를 구비한다. 몇몇 수단에서, 도판트, 실리사이딩 구성요소 또는 다른 일함수 변경 시약 및/또는 터널링 장벽 재료들이 상기 특징부(140)에 포함될 수 있다. 이런 포함은 직렬 저항을 줄이고 Q를 높여, 감시 및/또는 식별장치의 전체 성능을 향상시킨다.

패시베이션층

[0133] 몇몇 실시예에서, 본 장치는 전기 도전성 특징부(140), 및 상단 커패시터 전극을 포함하나 이에 국한되지 않는 구조의 패시베이션층(예컨대, 도 6a의 구조(150) 참조)을 더 포함할 수 있다. 패시베이션층은 접적회로/장치의 열화 또는 고장을 유발할 수 있는 물, 산소 및/또는 다른 종류의 침투를 억제 또는 방지할 수 있다. 더욱이, 패시베이션층은 특히 연이은 처리단계동안 장치에 소정의 기계적 지지를 제공할 수 있다. 상기 패시베이션층은 일반적으로 통상적이며 파릴렌(parylene), 폴리에틸렌, 폴리프로필렌, 폴리이미드, 이들의 코폴리머와 같은 유기 폴리머, 플루오르화 유기 폴리머, 또는 임의의 다른 장벽 재료를 포함할 수 있다. 다른 실시예에서, 패시베이션층은 알루미늄 산화물, 실리콘 이산화물(예컨대, 통상적으로 도핑될 수 있고/있거나 혼합물 또는 다층구조로서

스핀-온-클래스, 실리콘 질화물, 실리콘 산질화물, 폴리실론산, 또는 이들의 조합을 포함할 수 있는)과 같은 무기 유전체를 포함할 수 있다.

[0134] 대안으로, 패시베이션층은 하부 유전체층을 더 구비할 수 있고, 상기 하부 유전체층은 위에 놓인 패시베이션층보다 스테레스가 낮은 재료를 구비할 수 있다. 예컨대, 유전체층은 SiO₂와 같은 산화물(예컨대, TEOS, USG, FSG, BPSG, 등)을 구비할 수 있고, 상기 패시베이션층은 실리콘 질화물 또는 실리콘 산질화물을 구비할 수 있다. 이런 실시예에서, 상기 패시베이션층은 아래에 있는 유전체층보다 두께가 약간 더 두꺼울 수 있다.

[0135] 예시적인 실시예에서, 상기 패시베이션층은 일반적으로 감시/식별 장치와 같은 치수의 폭과 길이를 갖는다. 또한 감시/식별 태그 또는 장치에 적합한 임의의 두께로 될 수 있다. 예컨대, 패시베이션층(150)은 두께가 3에서 100μm, 5에서 50μm, 10에서 25μm 또는 그 내의 임의의 값의 범위일 수 있다.

[0136] 본 장치는 또한 인덕터의 표면에 지지층 및/또는 받침층(미도시)을 더 구비한다(예컨대, 도 6b의 106a-106e 및/또는 도 11의 310 참조). 상기 지지층 및/또는 받침층은 (1) 추적되거나 감시되는 물품에 연이은 부착 또는 배치를 위한 접착면 및/또는 (2) 감시/식별 장치 자체에 대한 어떤 기계적 지지를 제공한다. 예컨대, 본 발명의 태그/장치는 종래 감시/식별/장치 시스템에 사용하기 적합한 가격라벨 또는 물품식별라벨을 형성하기 위해 가격라벨 또는 물품 식별라벨의 뒷면에 부착될 수 있고, (선택적으로 캐그가 사용을 위해 준비될 때까지 통상적인 해제 시트에 의해 덮여져 있는) 태그의 반대면에 접착코팅 또는 배치될 수 있다.

본 발명의 감시 및/또는 식별 태그/장치를 이용한 물품 검출의 예시적인 방법

[0138] 본 발명은 (a) 본 장치에서 상기 장치가 검출가능한 전자기 복사(바람직하게는 인가된 전자기장의 정수배 또는 정수 제수(integer divisor)인 주파수로)를 복사하기에 충분한 전류를 유발 또는 유도하는 단계, (b) 상기 검출 가능할 전자기 복사를 검출하는 단계, 및 선택적으로 (c) 상기 장치를 비활성화 및/또는 상기 장치가 행동을 하게 유발하는 단계를 포함하는 검출지역에서 물품 또는 물체를 검출하는 방법에 관한 것이다. 일반적으로, 전류 및 전압은 본 장치에서 상기 장치가 전동하는 전자기장을 포함한 검출지역에 있을 때 검출가능한 전자기 복사를 복사하기에 충분하다. 이 전동 전자기장은 종래 감시/식별 검출 장비 및/또는 시스템에 의해 발생 또는 산출된다.

[0139] 본 발명의 사용 방법은 피검출 물체 또는 물품에 또는 그 위에 본 장치를 부착, 고정 또는 다른 경우로는 구비하는 것을 더 포함할 수 있다. 더욱이, 본 장치의 이점에 따르면, 임계치의 비휘발성 편이(즉, CV 전류 특징 대전압의 위치) 또는 장치에서 전류, 전압 및/또는 공진을 유발하기에 충분한 세기 및 유효한 전동 주파수를 갖는 인가된 전자기장에 응답한 상기 장치의 정전용량에 의해 비활성화될 수 있다. 일반적으로, 상기 장치는 검출영역에서 물체 또는 물품의 존재가 검출되지 않거나 다른 경우로는 알려져 있지 않은 경우 비활성화된다.

[0140] 매점 시설 및/또는 도서관과 같은 다른 시설로부터 다른 물품 또는 상품의 절도 또는 비인가 이동을 검출 및/또는 방지하기 위한 전자 물품 감시, 보안 및/또는 식별 시스템의 사용이 광범위해지고 있다. 일반적으로, 감시/식별 장치 시스템은 피검출 물품 또는 물건 또는 그 포장에 부착, 결합 또는 다른 경우로는 고정되는 EAS, RF 및/또는 RFID 태그로 알려진 라벨 또는 보안 태그를 이용한다. 감시/식별 태그는 용도, 타입 및 크기 등에 있어 특별한 타입의 시스템에 따라 크기, 형상 및 형태가 다를 수 있다. 일반적으로, 이런 시스템은 보안 태그로서 활성 보안 태그의 유무를 검출하기 위해 사용되고, 태그가 부착된 피보호 물품은 보안지역 또는 감시지역을 통과하거나 보안 검문소 또는 감시대를 지나거나 부근을 지난다. 그러나, 본 발명은 보안에 국한되지 않는다. 예를 들어, 본 발명의 감시/식별 장치는 장치가 검출지역에서 검출시 작동을 수행하게 하는 로직을 더 구비할 수 있다.

[0141] 본 발명의 태그는 적어도 부분적으로 무선주파수(RF) 전자기장에서 교란을 감지하는 전자보안시스템과 작동하도록 설계된다. 이런 전자기 보안 시스템은 일반적으로 물품이 통제지구(예컨대, 소매장)를 떠나거나 들어오거나 하는 입구에 의해 정의된 통제지역에서 전자기장을 확립한다. 공진회로를 갖는 태그/장치가 각 물품에 부착되고, 통제영역에서 태그의 존재는 물품의 비인가 이동을 나타내도록 수신 시스템에 의해 감지된다. 태그 회로는 경보작동이 갖추어진 통제지역을 통한 물품의 통과를 허용하게 구내를 나가도록 인증된 임의의 물품으로부터 인가된 사람이 비활성화, 탈동조(detune) 및 제거될 수 있다. 이 원리로 작동하는 대부분의 태그들은 단일 사용 또는 일회용 태그이며, 따라서 매우 대용량으로 저가로 생산하도록 설계된다.

[0142] 본 발명의 태그는 임의의 상업적 EAS, RF 및/또는 RFID 애플리케이션에 그리고 기본적으로 이런 애플리케이션에 대한 임의의 주파수 범위에 사용될 수 있다. 예컨대, 본 발명의 태그는 아래 표에 하기에 기술된 주파수, 전기

장 및/또는 범위에서 사용될 수 있다:

표 1

[0143]

예시적인 적용들

| 주파수 | 바람직한 주파수 | 검출/응답 범위 /영역 | 바람직한 검출/응답 범위/영역 | 예시적인 상업적 적용(들) |
|-------------|------------|-----------------|---------------------|---|
| 100~150kHz | 125~134kHz | 10피트까지 | 5피트까지 | 동물ID, 자동차도난방지시스템, 배어캐그추적 |
| 약8.2MHz | 8.2MHz | 10피트까지 | 5피트까지 | 재고추적(예컨대, 도서관, 의류, 자동차/오토바이부품), 건물보안/접근 |
| 약13.56MHz | 13.56MHz | 10피트까지 | 5피트까지 | 재고추적(예컨대, 도서관, 의류, 자동차/오토바이부품), 건물보안/접근 |
| 800~1000MHz | 868~928MHz | 10피트까지 | 5피트까지 | 밸럿 및 선적컨테이너 추적, 조선소 컨테이너 추적 |
| 2.4~2.5GHz | 약2.45GHz | 30피트까지 | 20피트까지 | 자동차 통행료 태그 |

[0144]

비활성화 방법은 일반적으로 비활성화 태그가 적절히 구내를 나가는 물품에 남아 있도록 공진 태그회로의 원격 전자 비활성화를 포함한다. 공진 감시/식별 태그의 전자 비활성화는 보안 태그가 더 이상 보안 시스템에 의한 활성화 보안 태그로서 검출되지 않도록 검출 주파수 공진을 변경 또는 파괴하는 것을 포함한다. 전자 비활성화를 위해 사용한 많은 방법들이 있다. 그러나, 일반적으로, 공지된 방법은 공진회로의 일부분을 단락시키거나 회로의 Q를 망가뜨리거나 공진 주파수를 검출 시스템의 주파수범위 밖으로 이동시키거나 둘 다를 이용해 공진회로의 일부내에 개방회로를 만드는 것을 포함한다.

[0145]

일반적으로 검출신호보다 더 높지만 일반적으로 FCC 규제내의 에너지 레벨에서, 비활성화 장치는 하단 커패시터 전극(10a)과 반도체 구성요소(30) 사이에 유전체막(20)을 절연파괴시키게 할 정도로 충분한 전압을 태그(100)의 공진회로에 유도한다. 따라서, 본 명세서에 기술된 본 발명의 감시/식별 장치(들)은 통상적으로 비활성화 장치 위에 또는 부근에 상기 태그를 순간적으로 놓음으로써 계산대 또는 다른 유사한 위치에서 비활성화될 수 있다.

[0146]

따라서, 본 발명은 또한 기본 주파수(예컨대, 13.56MHz)에서 보호되는 구내의 지역에 전자기파가 전송되고, 본 발명의 감시/식별 장치(들)에 의해 방출된 전자기 복사의 수신 및 검출에 의해 상기 지역내 비인가 물품이 있는 것이 감지되는 물품감시기술에 속한다. 이 방출된 전자기 복사는 라벨 또는 막이 구내로부터 인가된 제거를 위해 비활성화되지 않은 상황하에서 센서-이미터 요소, 라벨 또는 물품에 부착되거나 물품에 박혀있는 본 발명의 EAS를 포함한 막으로부터 재복사된 제 2 고조파 또는 연이은 고조파를 포함할 수 있다.

[0147]

본 발명의 태양에 따른 물품감시방법, 절도검출, 또는 다른 식별방법들은 이용된 연이은 단계들의 잇따른 설명으로 이해될 수 있다. 본 발명의 (예컨대, 가격라벨과 일체로 형성된) 감시/식별 태그가 시스템 감시하에 있을 수 있는 물품, 물건 또는 물체에 부착되거나 박혀있다. 다음, 상기 감시로부터 제거를 위해 지불되거나 그렇지 않으면 인가된 물품상에 있는 임의의 활성 태그/장치들은 구내를 감시하는 비활성화 장치 조작자(예컨대, 계산대 점원 또는 가이드)에 의해 비활성화되거나 감지되지 않게 할 수 있다. 그런 후, 물품들이 기본 주파수 전자기파 또는 전기 공간에너지장이 있는 검출지역(예컨대, 출구 또는 검증지역)을 통해 이동할 때 비활성화되지 않거나 감지않되지 않은 장치/태그로부터의 고조파 방출 또는 복사 신호 또는 전자기파 또는 전자기 에너지가 검출된다. 이 지역에서 고조파 신호의 검출은 그 위에 활성장치/태그가 있는 미확인 물건의 비인가 존재 또는 시도된 이동을 알리고, 경고신호를 알리거나 일으키거나 출입구 또는 회전식 출입문을 잠그는데 사용될 수 있다. 반송파 또는 리더(reader)의 2배 또는 1/2배 주파수의 태그 신호의 검출은 사용방법의 바람직한 형태를 나타내고 있으나, 제 3 및 연이은 고조파 신호 뿐만 아니라 기본 및 다른 부고조파 신호와 같은 다른 고조파 신호들이 이용될 수 있다.

[0148]

결론/요약

[0149]

따라서, 본 발명은 커패시터, 감시 및/또는 식별장치를 제조하는 방법과, 이런 장치의 제조 및 사용방법을 제공한다. 본 발명의 방법에 따른 커패시터를 제조하는 제 1 일반적인 방법은 (a) 도전성 기판에 제 1 유전체층을 형성하는 단계와, (b) 상기 제 1 유전체의 적어도 일부분에 (반)도전층을 프린팅하는 단계와, (c) 마스크로서 상기 (반)도전층을 이용해 상기 유전체층을 에칭하는 단계와, (d) 상기 도전성 기판 및/또는 (반)도전층에 제 2

유전체층을 형성하는 단계와, (e) 일부분이 상기 (반)도전층을 접촉하고 제 2 부분이 상기 도전성 기판에 접촉하는 전기 도전성 특징부를 상기 제 2 유전체층에 형성하는 단계와, (f) 상기 도전성 기판으로부터 하단 전극을 형성하는 단계를 포함한다. 감시 및/또는 식별장치는 또한 상기 도전성 기판으로부터 인덕터를 형성함으로써 연이어 형성될 수 있다.

[0150] 커패시터를 제조하는 제 2 일반적인 방법은 (a) 기판상에 하단 커패시터 전극을 포함한 제 1 (반)도전층을 프린팅하는 단계와, (b) 상기 제 1 (반)도전층에 패턴으로 제 1 유전체층을 형성하는 단계와, (c) 상기 제 1 유전체층에 상부 커패시터판을 프린팅하는 단계와, (d) 그 내에 있는 제 1 접촉홀이 제 1 (반)도전층을 노출시키고, 제 2 접촉홀이 상단 커패시터 전극을 노출시키는 제 2 유전체층을 상기 기판에 형성하는 단계를 포함한다. 감시 및/또는 식별장치는 또한 상기 제 1 (반)도전층과 상단 커패시터판에 안테나 및/또는 인덕터를 결합 및/또는 다른 경로로는 연결함으로써 상기 커패시터로부터 형성될 수 있다.

[0151] 본 발명의 감시 및/또는 식별장치는 일반적으로 (a) 하단 커패시터 전극과 인덕터를 구비한 단일 도전성 구조와, (b) 상기 하단 커패시터 전극과 인덕터상에 제 1 유전체층과, (c) 상기 제 1 유전체층상에 둠형 프로파일을 갖는 상단 커패시터 전극과, (d) 상기 상단 커패시터 전극 및 상기 도전체 상에 제 2 유전체층과, (e) 한 부분은 상기 상단 커패시터 전극상에 접촉하고 제 2 부분은 상기 도전성 재료에 접촉하는 전기 도전성 특징부를 상기 제 2 유전체층 위에 구비한다.

[0152] 본 발명의 제 2 감시 및/또는 식별장치는 일반적으로 (a) 기판상에 둠형 프로파일을 갖는 하단 커패시터 전극과, (b) 상기 하단 커패시터 전극상에 제 1 유전체층과, (c) 상기 제 1 유전체층상에 둠형 프로파일을 갖는 상단 커패시터 전극과, (d) 상기 하단 커패시터 전극과 상기 상단 커패시터 전극을 노출시키는 제 1 및 제 2 접촉홀을 갖는 상기 기판상의 제 2 유전체층과, (e) 상기 하단 커패시터 전극에 결합 및/또는 연결된 제 1 단부와 상기 상단 커패시터 전극에 결합 및/또는 연결된 제 2 단부를 갖는 안테나 및/또는 인덕터를 구비한다.

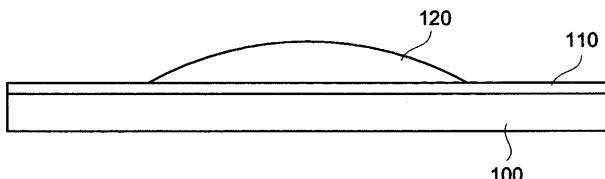
[0153] 본 발명의 감시 및/또는 식별장치를 갖는 물품 검출방법은 (1) 상기 장치가 검출가능한 복사를 재복사 및/또는 후방산란하기에 충분한 전류를 유발 또는 유도하는 단계와, (2) 상기 검출가능한 전자기 복사를 검출하는 단계를 포함한다. 선택적으로, 검출된 감시 및/또는 식별 장치는 선택적으로 비활성화될 수 있다. 추가적으로 또는 대안으로, 상기 방법은 상기 전자기 복사가 검출될 때 장치가 작동을 취하도록 하는 단계를 포함할 수 있다.

[0154] 본 발명의 방법 및/또는 장치는 (1) 제조 허용오차를 향상시키고 (2) 태그 비활성화를 위해 더 신뢰할 수 있는 유전체 파괴를 보장하며, (3) 비활성화 후 유전체의 우발적 힐링 및 복원을 실질적으로 줄여, 감시 및/또는 식별 장치의 의도하지 않은 재활성을 방지함으로써 감시/식별 장치의 신뢰도를 향상시킬 수 있다.

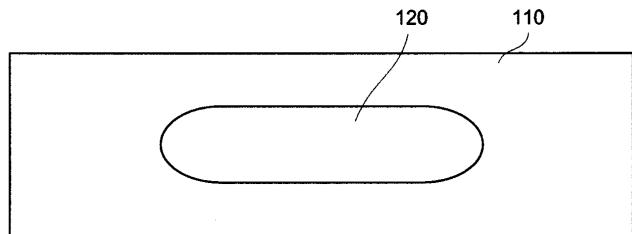
[0155] 예시 및 설명을 위해 본 발명의 특정 실시예에 대한 상기 설명들이 소개되었다. 이들은 본 발명을 개시된 정확한 형태로 제한하거나 완전한 것으로 의도한 것이 아니며, 명백히 많은 변형 및 변경들이 상기 교시에 비추어 가능하다. 본 발명의 원리와 실제 응용을 가장 잘 설명하기 위해 실시예들을 선택하고 기술하였으며, 이로써 당업자들이 본 발명 및 고려된 특정 사용에 맞는 다양한 변형들과 함께 다양한 실시예들을 가장 잘 이용할 수 있게 된다. 본 발명의 범위는 하기 특허청구범위와 균등물에 의해 정의되도록 의도되어 있다.

도면

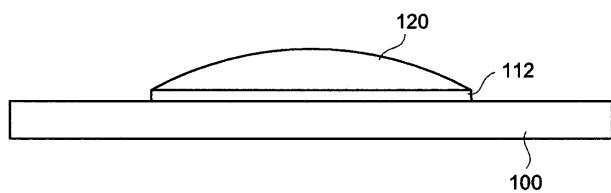
도면 1a



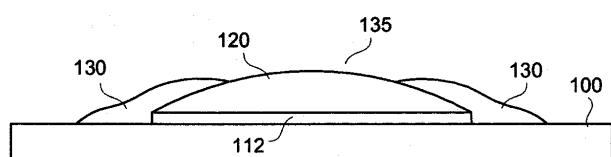
도면1b



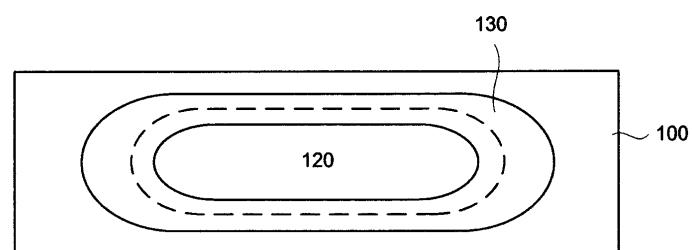
도면2



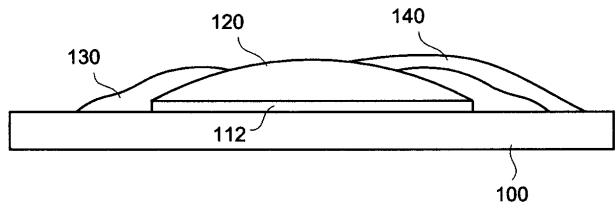
도면3a



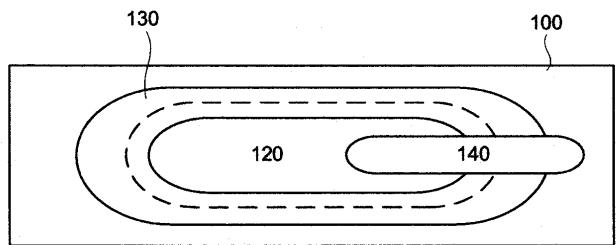
도면3b



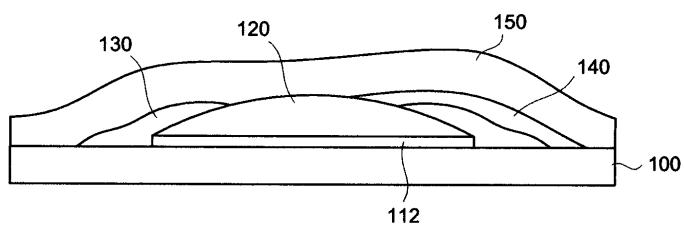
도면4a



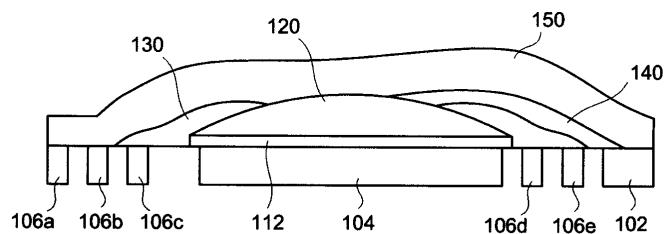
도면4b



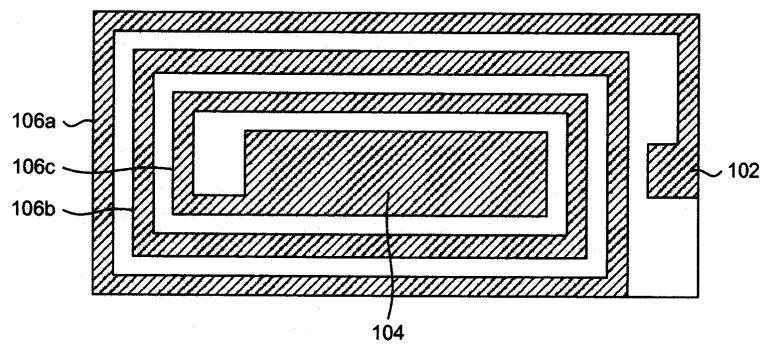
도면5



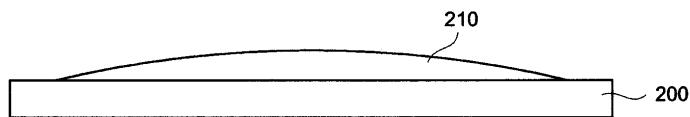
도면6a



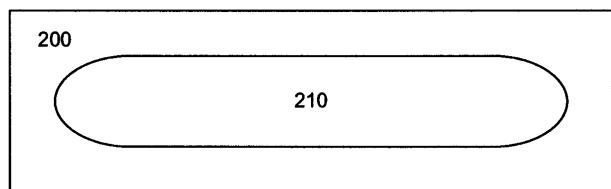
도면6b



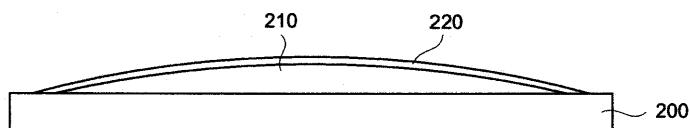
도면7a



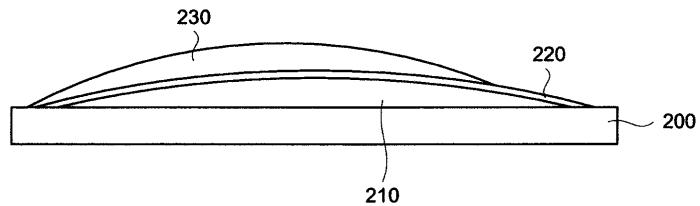
도면7b



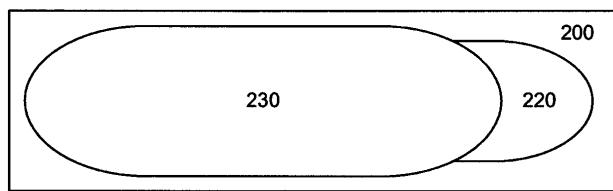
도면8



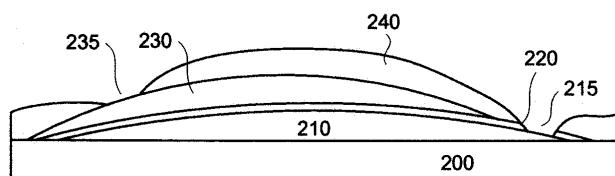
도면9a



도면9b



도면10



도면11

