

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

H01L 23/12

H01L 23/50 H01L 23/28

H01L 23/36 H01L 21/60

[12] 发明专利申请公开说明书

[21] 申请号 99103387.6

[43]公开日 1999年12月8日

[11]公开号 CN 1237791A

[22]申请日 99.2.5 [21]申请号 99103387.6

[30]优先权

[32]98.6.2 [33]JP [31]153206/98

[71]申请人 三菱电机株式会社

地址 日本东京都

[72]发明人 国清辰也

[74]专利代理机构 中国专利代理(香港)有限公司

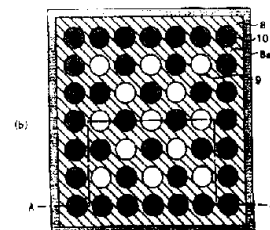
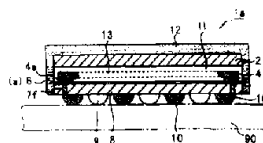
代理人 叶恺东

权利要求书 2 页 说明书 15 页 附图页数 11 页

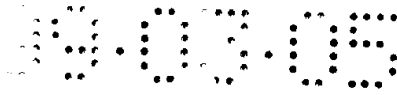
[54]发明名称 半导体器件

[57]摘要

利用应力缓冲膜把半导体芯片叠置在绝缘基板上，同时(a)在由于热膨胀产生的应力密度最高区域的芯片周围部分连接应力缓冲膜，在绝缘基板的周围部分设置遮蔽用电极，则减少了芯片和信号用电极的分担应力；(b)在芯片周围连接遮蔽层应力缓冲膜。或对于绝缘基板上的每个信号用电极，设置同轴状筒形遮蔽层阵列。(c)制造装配散热片的封壳。(d)绝缘基板，密封材料，封壳等构件任何一个构件，由包含重氢的树脂构成。



ISSN 1008-4274



权 利 要 求 书

1. 一种半导体器件，其特征是具有：在主面上形成电路元件的半导体芯片，具有和用于在主板上安装该半导体芯片的所述的半导体芯片大致相同面积的绝缘基板，在该绝缘基板主面以引线栅格阵列结构设置的信号用的电极，包围在所述绝缘基板主面周围部分设置的所述的信号用电极，同时接地或连接电源电位，遮蔽所述的信号用电极的遮蔽电极，在粘接所述的半导体芯片主面和所述的绝缘基板背面各面至少周围部分，缓和半导体芯片产生的应力的应力缓冲膜，在所述的半导体芯片主面和所述的绝缘基板背面之间密封的树脂密封材料，容纳具有和所述的半导体芯片大致相同面积，树脂封装的所述的半导体芯片和所述的应力缓冲膜以及所述的绝缘基板的树脂封壳，似的绝缘基板主面的信号用电极和遮蔽电极连接在主板的电极上。

2. 按照权利要求 1 的半导体器件，其特征是，所述的应力缓冲膜具有内部遮蔽膜，通过连接至所述的遮蔽层的遮蔽层电极，遮蔽连接接地或电源电位所述的半导体芯片主面上的芯片电极和所述的绝缘基板内部电路。

3. 按照权利要求 1 或 2 的半导体器件，其特征是，所述的绝缘基板在背面具有载体膜，所述的载体膜包含能切换电连接所述的芯片电极和所述的信号用电极或遮蔽电极的方法的内部电路。

4. 按照权利要求 1~3 中任何一项的半导体器件，其特征是，所述的绝缘基板在内部具有遮蔽构件，所述的遮蔽构件各以同轴状包围在所述的绝缘基板主面以引线栅格状设置的所述的信号用电极和所述的遮蔽用电极的各电极。

5. 按照权利要求 1~4 中任何一项的半导体器件，其特征是，所述的绝缘基板由从所述的绝缘基板的主面突出的焊接突起构成在所述的绝缘基板主面设置的所述的信号用电极和所述的遮蔽用电极。

6. 按照权利要求 1~4 中任何一项的半导体器件，其特征是，所述的绝缘基板由从所述的绝缘基板的主面不突出的焊接突起构成在所述的绝缘基板主面设置的所述的信号用电极和所述的遮蔽用电极。

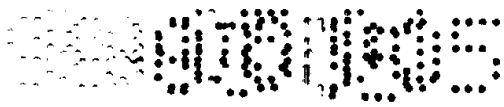
7. 按照权利要求 1~6 中任何一项的半导体器件，其特征是，所述的树脂封壳具有散热片。

8. 按照权利要求 1~7 中任何一项的半导体器件，其特征是，由包含重氢



的树脂材料构成所述的绝缘基板，所述的载体膜，所述的密封材料，所述的封壳以及在所述的半导体芯片背面粘贴薄膜中的至少一个。

9. 按照权利要求 1~8 中任何一项的半导体器件，其特征是，连接所述的半导体芯片至少周围部分的应力缓冲膜的形状，包括中空矩形，环行，或+字形。
- 5



说明书

半导体器件

5 本发明涉及安装在主板上的半导体器件，特别涉及封装尺寸和半导体芯片（下面写作芯片）尺寸大致相同的球形栅阵列构造树脂密封形的半导体器件。

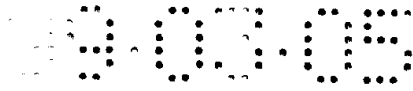
球形栅格阵列（下面把 Ball Grid Array 写作 BGA）在装载芯片的绝缘性基板的主面配置矩阵状焊锡突起，适合小形芯片尺寸封装（下面把 Chip Size Package 写作 CSP）的构成。下面把 BGA 构造和 CSP 构成的组合方式写作
10 BGA/CSP 方式。BGA/CSP 方式，近年来多用于携带电话用的 LSI 和个人计算机用的 DRAM 的高密度安装。

对于体积膨胀率为 $3\sim 4\times 10^{-6}/^{\circ}\text{C}$ 的芯片，形成电连接芯片和它的半导体元件或半导体器件和电容器、电阻等它的电子零件的安装电路的玻璃环氧树脂基
15 材主板的体积膨胀率是 $20\sim 60\times 10^{-6}/^{\circ}\text{C}$ 。

因为这样的芯片和主板的热膨胀率差大，在 BGA/CSP 方式的情况，对于
20 成为安装的外部电极的电极突起的连接部存在应力缓和等的问题，例如（1）日本专利公开平 5-129366，（2）日本专利公开平 7-321157，（3）日本专利公开平 8-102473 等公报所示。

上述公报（1）的聚酰亚胺 TAB（Tape, Automated Bonding）带，在芯片
25 对面设置多个第 1 突起，在主板对面排列成为安装用外部电极的 BGA 结构的多个第 2 突起，在带的两面用叠层片下面的铜箔布线层连接这两个突起的间隔。倒装第 1 突起的芯片电极，通过 TAB 带的铜箔布线层和第 2 突起电连接主板的电极端。对于该例，利用 TAB 带的柔软性，突起接合操作的低温化，树脂不密封等的作用，既缓和了芯片和主板之间的应力，又使芯片的大致投影面积
30 内的主板的电极端小型化。但是由于树脂不密封，存在机械强度和耐气候性问题。

上述公报（2）中的绝缘膜，在芯片对侧布线层直接连接芯片电极，利用
密封树脂粘接其相对各面的带，通过绝缘膜的主板对侧的安装用的外部电极，电连接主板的电极端。为了提高绝缘膜的柔软性谋求电极突起应力平缓，即使
30 用树脂密封芯片外周，成型品也大致成为芯片尺寸。



还有，表示在比绝缘膜的主板对侧芯片尺寸大的周围部分也形成上述第 2 突起和布线层的例子，以及表示希望能直接安装散热片、在芯片背面不密封树脂的例子。但是，如果这样，存在不符合 CSP 方式的大形化问题。

5 还有，公报 (3)，在比公报 (2) 所述的芯片大的区域，为了包围芯片电极和绝缘膜的信号电极突起，设置噪声遮蔽层和接地或电源突起，通过连接该噪声遮蔽层、接地或电源突起和芯片电极的接地或电源电极，谋求降低噪声。但是。即使在比芯片大的区域设置噪声遮蔽层，当然照样存在所谓遮蔽作用弱的问题。如上所述，如果按照 BGA 方式配置，使安装电极突起小型化除了缓和电极突起的应力外，还存在几个问题。

10 首先，连接阵列栅格中央附近的电极突起和对应的芯片电极的布线长必然地变长。还有，如果为了制造多引线而增加电极突起数目，则间距变小，为此使布线变细。为了兼容多插引线和小面积安装，要使布线长变成细长，总之存在所谓容易选择噪声的问题。

15 其次，不限于携带电话和个人计算机，频率数为几百 MHz 到 GHz 范围的微波用芯片，不但必须降低外来噪声，还要抑制信号用电极突起之间的串音，变为安装高密度的问题。

还有，不但不能无视通常使用芯片的自然环境，而且不能无视 α 射线和中子射线辐射的宇宙空间和人工环境，要提高实际防止成为芯片某时误动作原因的软误差的必要性，高密度安装成为大问题。

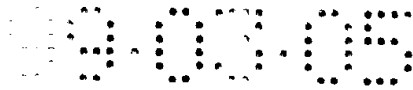
20 还有，要提高有效地向外散发高集成化芯片运作时发热的必要性，高密度小形地安装成为大问题。

因为本发明为了解决上述问题，所以第 1 个目的是提供以 BGA/CSP 方式为前提，谋求缓和电极突起应力，同时难于接收噪声的安装用的半导体器件。

25 本发明的第 2 个目的是提供以 BGA/CSP 方式为前提，谋求缓和电极突起应力，难于接收噪声以及同时难于引起和外部信号串音的安装用的半导体器件。

本发明的第 3 个目的是提供以 BGA/CSP 方式为前提，谋求缓和电极突起应力，难于接收噪声以及同时难于引起和外部信号串音以及难于引起各电极突起之间串音的安装用的半导体器件。

30 本发明的第 4 个目的是提供以 BGA/CSP 方式为前提，谋求缓和电极突起



应力，难于接收噪声、难于引起和外部信号串音、难于引起各电极突起之间串音以及同时散热能力高的安装用的半导体器件。

本发明的第 5 个目的是提供以 BGA/CSP 方式为前提，谋求缓和电极突起应力，难于接收噪声、难于引起和外部信号串音、难于引起各电极突起之间串音以及同时提高阻止射来中子通过能力的安装用的半导体器件。

按照本发明权利要求 1 的半导体器件，其特征是具有，在主面上形成电路元件的半导体芯片，具有和在主板上安装该半导体芯片的所述的半导体芯片大致相同面积的绝缘极板，在该绝缘基板的主面上以引线栅格阵列结构的信号电极，遮蔽所述信号用电极的遮蔽用电极，包围设置在上述绝缘基板主面周围的所述的信号用电极同时接地或电源电位，缓和在所述的半导体芯片产生应力的应力缓和膜，连接在所述半导体芯片的主面和所述的绝缘基板背面各自至少周围部分，其密封装在所述半导体芯片的主面和所述绝缘基板背面的间隙的树脂密封材料，收纳具有和所述的半导体芯片大致相同面积树脂密封的所述的半导体芯片、所述的应力缓和膜、所述的绝缘基板的树脂封壳，在主板电极连接
15 所述的绝缘基板主面的信号用电极和遮蔽用电极。

还有，按照本发明权利要求 2 的半导体器件，其特征是，所述的应力缓和膜在内部具有遮蔽层，通过连接在所述的遮蔽层遮蔽电极，遮蔽连接地或电源电位的所述的半导体芯片主面上的芯片电极和所述的绝缘基板的内部电路。

还有，按照本发明权利要求 3 的半导体器件，其特征是，所述绝缘基板在
20 背面具有载体膜，所述的载体膜包括切换电连接所述的芯片电极和所述的信号用电极或所述的遮蔽用电极方法的内部电路。

还有，按照本发明权利要求 4 的半导体器件，其特征是，所述绝缘基板在内部具有遮蔽构件，所述的遮蔽构件对于每个电极用同轴状包围在所述的绝缘基板主面上以引线栅格阵列形状设置的所述的信号用电极和所述遮蔽用电极的
25 各电极。

还有，按照本发明权利要求 5 的半导体器件，其特征是，所述绝缘基板用由从所述的绝缘基板主面突出的焊锡突起构成在所述的绝缘基板主面设置的信号用电极和所述的遮蔽用电极。

还有，按照本发明权利要求 6 的半导体器件，其特征是，所述绝缘基板用
30 由从所述的绝缘基板主面不突出的焊锡突起构成在所述的绝缘基板主面设置的

信号用电极和所述的遮蔽用电极。

还有，按照本发明权利要求 7 的半导体器件，其特征是，所述的树脂封壳具有散热片。

5 还有，按照本发明权利要求 8 的半导体器件，其特征是，所述绝缘基板，所述的载体薄膜，所述的密封材料，所述的封壳及所述的半导体芯片背面粘贴的薄膜的至少之一由包含重氢的树脂材料构成。

还有，按照本发明权利要求 9 的半导体器件，其特征是，在所述的半导体芯片至少周围部分连接的所述的应力缓和膜形状包括中空的矩形，环形，或十字形。

10 下面，参照附图说明本发明的实施例。还有，图中同一符号表示各同一或相应的部分。

图 1 是表示本发明实施例 1 的半导体器件的横截面图和下面图。

图 2 是说明本发明实施例 1 的半导体器件结构和和工序的立体图。

图 3 是说明本发明实施例 1 的半导体器件结构和和工序的立体图。

15 图 4 是表示本发明实施例 2 的半导体器件的横截面图和下面图。

图 5 是表示包含本发明实施例 2 的半导体器件遮蔽层的应力缓冲膜的横截面图和下面图。

图 6 是表示本发明实施例 3 的半导体器件的平面图和横截面图。

20 图 7 是说明包含本发明实施例 3 的筒型遮蔽层阵列的绝缘基板的形成工序的横截面图。

图 8 是说明包含本发明实施例 3 的方形焊接电极形成工序的横截面图。

图 9 是表示本发明实施例 4 的半导体器件的横截面图。

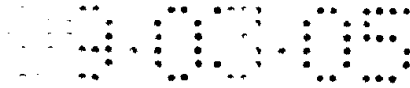
图 10 是说明包含本发明实施例 4 的半导体器件重氢的树脂材料的说明图。

25 图 11 是关于包含本发明实施例 4 的半导体器件重氢的树脂材料的中子散射的说明图。

实施例 1

图 1 (a) 表示按照本发明实施例 1 的安装用的半导体器件，图 1 (a) 是剖面图，图 1 (b) 位于图 1 (a) 的下面，还有，图 1 (a) 表示沿图 1 (b) 点划线 A-A' 切断的剖面图。

30 还有，图 2 是说明该半导体器件的立体图，图 2 (a) 是表示除了半导体



芯片所见到半导体器件的立体图。图 2 (b) 是表示叠层半导体芯片的立体图。还有, 图 3 是表示用于说明半导体器件的上下相反情况的立体图, 图 3 (a) 表示绝缘基板突起形成前的立体图, 图 3 (b) 表示形成突起后的立体图。

首先, 参照图 1 (a), 说明安装入主板的半导体器件。在图 1 (a), 2 表示由硅基板构成的芯片, 3 表示由热可塑性弹性树脂构成的应力缓和膜, 6 表示由聚酰亚胺树脂构成的载体膜, 8 表示由聚酰亚胺树脂构成的绝缘基板, 11 表示密封材料, 12 表示封壳, 由这些构件构成半导体器件。

还有, 5a, 5b 表示由环氧树脂构成的粘接材料, 5c 表示部分连接材料, 5d 表示粘接原先载体膜 6 和绝缘基板 8 的预备粘接材料。

还有, 2a 表示芯片 2 的多个芯片电极的代表例, 7a 表示载体膜 6 的膜上电极, 9 表示绝缘基板 8 主面信号用的焊锡突起, 10 表示绝缘基板 8 的主面遮蔽用焊锡突起。

还有, 90a 表示主板的信号用电极, 90b 表示主板的遮蔽电极。

图 1b 表示半导体器件 1 的下面图, 在绝缘基板 8 的主面 8a 具有多个焊锡突起 9, 10 表示按照栅格状配置的相对于主板 90 的外部电极。还有, 7e 是用破折线表示的埋置在绝缘基板 8 内部的多个内部引线。

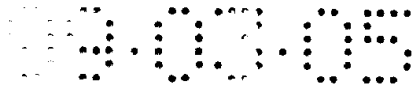
图 2a 表示除半导体芯片 2 从半导体器件 1 看的立体图。图 2 (a) , 以中空环状形成应力缓冲膜 3, 表示由该中空部分见到载体膜 6 的状态。5c 表示在载体膜 6 上面, 使部分面积膜厚和载体膜 6 大致相同约 1mm 的形成粘接材料 (附图上的黑色方形部分)。

7a 表示在载体膜 6 上形成的薄膜电极 (灰色方形部分), 7b 是表示在载体膜 6 下面与薄膜上电极 7a 不同位置形成的多个薄膜下电极的代表例 (由于看不见所以用破折线表示)。而且, 7c 表示使连接薄膜上电极 7a 和薄膜下电极 7b 之间在载体膜 6 内部形成多个薄膜内部引线。

图 2 (b) 表示利用图 2 (a) 应力缓和膜 3 上的粘接剂 5a, 压接半导体芯片 2 的状态。

如图 1~图 2 所示, 使设置多个半导体芯片电极 2a 的主面向下, 利用在环状的或中空矩形应力缓冲 3 上面涂布的粘接材料 5a 压住粘接固定芯片 2。

应力缓冲膜 3, 由于具有膜厚约 1mm 以及和芯片 2 大致相同的面积, 对于芯片 2 的体积膨胀率 (约 $3.1 \times 10^{-6}/^{\circ}\text{C}$), 变成与此相同程度的约 $2.7 \times 10^{-6}/^{\circ}\text{C}$



的热可塑性弹性树脂，在常温呈橡胶弹性，在高温具有可塑性特性，所以在后述的安装工序和使用开始后的热循环，能大致恒定的吸收在芯片 2 所加的热应力。

5 还有，应力缓冲膜 3 采用外径和芯片 2 大致相同的中空矩形的形状，粘接面对应每单位面积应力分布密度最大的芯片外周的周围部分，能够分担高应力，同时，能够在图 2 (a) 的 X-X 方向，Y-Y 方向均匀的缓和加在芯片 2 上的应力。

载体膜 6 和绝缘基板 8 都具有芯片 2 大致相同的面积，在原先的载体膜 6 的下面，利用预备的粘接材料 5d，粘接在绝缘基板 8 的上面。载体膜 6，膜厚
10 约 1mm，由和绝缘基板 8 类似的聚酰亚胺树脂构成。

如图 2 所示，在载体膜 6 上面，设置粘接材料 5c，通过压住粘接固定芯片 2。还有薄膜电极 7a 分别直接连接多个芯片 2。

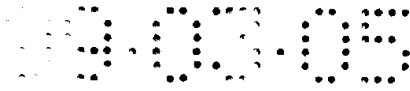
在载体膜 6 下面，设置与薄膜上电极 7a 的不同位置上设置多个薄膜下电极 7b，还有，在载体膜 6 的内部，埋置连接薄膜上电极 7a 和薄膜下电极 7b
15 之间的多个薄膜内引线 7c。

芯片 2 和应力缓冲膜 3 的上面，通过连接材料 5a 连接固定，应力缓冲膜 3 下面和载体膜 6 的上面，通过粘接材料 5b 连接固定。还有，在芯片 2 和载体膜 6 上面，通过粘接材料 5c 压接固定，多个芯片电极 2a 分别和多个薄膜上电极 7a 直接连接。这些机械的压接或连接，以及电连接总的同时进行。

20 其次，参照图 2 (a) 和图 1，总的说明从芯片电极 2a 到绝缘基板 8 的电连接。首先，在芯片 2 下面形成多个电极突起成为芯片电极 2a，直接连接载体膜 6 上面的薄膜上电极 7a，通过载体膜 6 内部埋置内部引线 7c，到达载体膜 6 下面的薄膜下电极 7b 。

从薄膜下电极 7b 经过绝缘基板 8 上面的多个基板上电极 7d，经过埋置在
25 绝缘基板 8 内部的多个内引线 7e，连接设置在绝缘基板 8 的主面的信号用焊锡突起 9 和遮蔽用焊锡突起 10。

图 3 (a) 是表示上下相对的如图 2 (b) 所示的半导体器件 1 上下相反时的上面立体图。参照图 3，说明成为与主板 90 相对的半导体器件 1 的外部电极的信号用焊锡突起 9 和遮蔽用焊锡突起 10 的形成方法和电连接。在已经完成的
30 粘接装配和内部布线的半导体器件 1，以栅格状设置多个形成焊锡突起 9 和



焊锡突起 10 的半球状穴 51。在半球状穴 51，利用例如由 Pb-Sn 构成的焊锡引线，由引线焊接方法形成球状焊锡，在半球状穴 51 上焊接球状焊锡后，只残留焊锡突起 9 和 10，切断引线。

绝缘基板 8 的内部引线 7e，已经到达半球状穴 51 的表面，形成焊锡突起 9 和 10，从内部引线 7e 经由所述的电连接路径，分别连接多个芯片电极 2a。根据绝缘基板 8 的内部引线 7e 和载体膜 6 的内部引线 7c 的设置方法，为了能适应主板 90 的各种要求，能够变换芯片电极 2a 和信号用焊锡突起 9 的连接。

在图 3 (b) 用白圆圈表示信号用的焊接突起 9，排列在绝缘基板 8 靠近中央的区域。另一方面，为了包围多个信号用的焊接突起 9 组的周围，把用斜阴影线表示的遮蔽用的焊锡突起 10 设置在绝缘基板 8 的周围区域。即对应芯片 2 的周围部分的区域，换言之，设置在对应连接应力缓冲膜 3 中空矩形连接面的每单位面积应力分布密度最大的芯片外周部分的区域，因此遮蔽用焊锡突起 10 的应力负担大，同时信号用焊锡突起 9 的应力负担小。

返回到图 1 (a)，把完成电连接的半导体器件 1 装入密封用的金属模，注入成型由环氧树脂构成的密封材料 11。密封材料 11 粘接固定芯片 2 的下面和应力缓冲膜 3 的上面，即应力缓冲膜 3 的中空部分（参照图 2 (a)）等叠层装配构成部件的间隙，同时进行密封，由此使芯片 2 和外部环境隔绝。然后，用环氧树脂构成的封壳 12 覆盖由密封材料 11 固定的半导体器件 1，其特征是，不但封壳 12 的尺寸和芯片 2 的尺寸大致相同，而且在芯片 2 和焊锡突起 9，10 之间具有由应力缓冲膜 3 形成的应力缓和构件。

最后，信号用焊锡突起 9 是输入芯片 2 和主板 90 之间信号的半导体器件 1 的外部电极，涂覆焊锡连接主板 90 信号用电极 90a，还有，涂覆焊锡连接遮蔽用焊锡突起 10 到主板 90 接地电位的遮蔽电极 90b，完成对半导体器件 1 的主板 90 的安装。

这里，由于利用焊锡机械地固定多个焊锡突起 9 和 10 到主板 90 的多个电极 90a 和 90b，所以起到把加在绝缘基板 8 的应力分散到主板 90 上。特别是，由于在对应应力分布密度最大的芯片 2 的周围部分，设置多个遮蔽用的焊接突起 10，所以大幅度的降低每个信号用的焊接突起 9 的分担应力，从而提高关于主板 90 的弯曲载荷和温度循环的连接可靠性。

接着，通过接地电位的遮蔽用的焊锡突起 10 包围周围的信号用的焊接突



起9，通过遮蔽用的焊接突起10电气地遮蔽芯片2和主板90以外的外部信号。从而减少外来的噪声，实现防止外来信号和信号用的焊接突起9的串音的CSP封装的器件1。

其次，说明实施例1的变形例。

5 (1) 以上说明了应力缓冲膜3的形状为中空矩形的情况，但这只不过1个事例，只要使用和每单位面积应力密度分布最大的芯片2的周围部分连接面积大的环形，就能利用方形~8角形以上的多角形或椭圆形。

(2) 还有，如果和芯片2周围部分的粘接面积比所定值大，具有对称形状，应力缓冲膜3可以为非环形形状。例如，和芯片2相同外径为+字形和X形，或关于芯片2的4角或4边对称。这种情况，例如由于在+字形以外的位置设置芯片电极2a，向非环形应力缓冲膜3芯片2的间隙注入密封材料11的导电性大，构成可靠性高的半导体器件1。

(3) 关于形成焊锡突起的方法，虽以经叙述了用焊锡引线焊接方法的情况，但是不限定这种情况的实施例3，也可以利用后面所述的电镀方法。

15 (4) 虽以经说明对应绝缘基板8的周围部分的焊锡突起，全部用作遮蔽焊锡突起10，但是不限于此，可以设置包围多个信号用的焊锡突起9周围的多个遮蔽用的焊锡突起10。换句话说，例如，在[田字形]的4个区域形成芯片电极2a，以+字形形成应力缓冲膜3，同样，在4个区域形成焊锡突起的情况，在每个区域遮蔽信号用焊锡突起9用的焊锡突起10可以作为包围的配置图形。

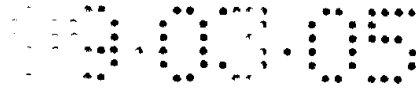
20 (5) 而且根据适用电路的必要性，可以设置连接电源电位的遮蔽用焊锡突起代替连接接地电位的遮蔽用焊锡突起10。

按照上述本发明实施例1的半导体器件1，在具有和芯片2大致相同面积的绝缘基板8的背面8b(图1(a)上面)粘接原先的载体膜6，利用连接载体膜6上部分面积的材料5c至少连接芯片2和绝缘基板8周围部分

25 的应力缓冲膜3两面的材料5b，压接芯片2，应力缓冲膜3和绝缘基板8，同时，直接连接芯片电极2a和薄膜上电极7a，形成叠层。

此后，在绝缘基板的主面8a上，以栅格状排列关于芯片2和主板90的输入输出的多个信号用的焊锡突起9，在至少绝缘基板主面8a的周围区域，设置多个遮蔽用的焊锡突起10，包围焊锡突起9，同时遮蔽接地或电源电位的多个

30 信号用的焊锡突起9。其特征是，其后，用密封材料11进行密封，封入大体上



芯片大小封壳。

实施例 2

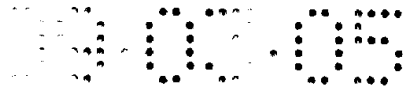
图 4 (a) 是表示本发明实施例 2 的安装半导体器件的横截面图。图 4 (b) 是表示该半导体器件的下面图。还有, 图 5 (a) 是表示包含遮蔽层的应力缓冲膜的平面图, 图 5 (b) 和图 5 (c) 是表示其横截面图。还有, 和实施例 1 的图 1~图 3 中相同的或相应的部分符号, 省略说明。只说明和实施例 2 有关的部分。

参照图 4 (a) 说明半导体器件 1a 的叠层结构。图 4 表示和实施例 1 不同的第 1 点在于把由埋置在内部的遮蔽层 4 和遮蔽层电极 4a 的复合膜构成的应力缓冲膜 13 连接在芯片 2 和载体膜 6 上。

下面说明包含遮蔽层 4 的复合应力缓冲膜 13 的结构。图 5 (b) 表示沿图 5 (a) 平面图的点划线 B-B' 切开的横截面图, 图 5 (c) 表示沿图 5 (a) 平面图的点划线 C-C' 切开的横截面图。遮蔽层 4 作为 0.1~0.5mm 膜厚的例如铝, 铜, 金等导电膜埋入内部, 不露出由热可塑性弹性料树脂构成的应力缓冲膜 3。还有, 由和遮蔽层 4 相同的导电膜构成的遮蔽电极 4a, 例如, 在图 5 中有 4 个, 每个位于在应力缓冲膜的 4 角并且和遮蔽层 4 连接, 通过薄膜上电极 7a, 和连接接地电位的遮蔽用焊锡突起 10 电连接。

其中, 如果在所述的图 2 (a) 工序利用包括遮蔽层 4 的复合应力缓冲膜 13, 由于从最近距离包围没有图示遮蔽层 4 芯片 2 和载体膜 6 的薄膜内引线 7c 和绝缘基板 8 没有图示内部引线 7e 的全部的这样设置, 所以应力缓冲膜 13, 不但具有和应力缓冲膜 3 相同的面积, 而且具有优良的抑制噪声的性能。

如图 4 (b) 所示, 半导体器件 1a 特征的第 2 点是这样设置, 在绝缘基板 8 的主面 8a 交替地设置信号用的焊接突起 9 和遮蔽用的焊接突起 10, 每个信号用的焊接突起 9 周围被 4 个遮蔽用的焊接突起 10 包围。还有, 如图 4 (a) 所示, 在绝缘基板 8 的 4 角设置的 4 个遮蔽用的焊接突起 10, 通过绝缘基板 8 的通孔内部的引线 7f, 连接在 4 角设置的 4 个遮蔽层电极 4a。实施例 1 的半导体器件 1, 能防止外部信号和信号用的焊接突起 9 的串音, 而且增加这个的实施例 2 的半导体器件 1a, 包围信号用的焊接突起 9 的 4 个遮蔽用的焊接突起 10 的每个突起和遮蔽层 4 以及相同电位的焊接突起 10, 连接在接地电位的芯片电极 2a 或接地电位的内引线 7e 等, 所以能防止信号用焊接突起之间的串音。



还有，通过主板 90 的电极 90a 把遮蔽层 4 和同电位遮蔽用的焊接突起 10 电连接地电位，电遮蔽信号用的焊接突起 9，也能防止信号用的焊接突起 9 之间的串音。

接着说明实施例 2 的变形例。

5 (1) 遮蔽层 4 的形状已经叙述了中空矩形平板的情况，但是这只不过 1 个事例，也能以例如栅格状设置有多个中空穴的平板。这种情况能更有效地防止信号用焊接突起 9 之间的串音。

(2) 遮蔽层电极 4a，设置在应力缓冲膜 13 的 4 角中的各角。但是不限于 4 角，也可以这样构成，例如，把连接遮蔽层 4 全周形成浅筒形，即把遮蔽层 4 和遮蔽层电极 4a 作为连接层形成中空矩形皿状。

(3) 对于遮蔽层 4 和遮蔽层电极 4a 虽以叙述了金属膜的情况，也可以是导电的树脂膜，这种情况，由于和由热可塑弹性树脂构成的应力缓冲膜 3 的体积膨胀率近似，所以不能损坏应力缓冲膜 3 的本来性能。

(4) 在信号用的焊锡突起 9 的各突起周围设置包围的 4 个遮蔽用的焊锡突起 10，而且不限于此，例如，能这样设置，输入输出辅助信号的相互邻接的 2 个信号用焊锡突起 9 由 6 个遮蔽用的焊锡突起 10 包围。在这种情况下，不但绝缘基板 8 不但具有相同的面积还比图 4 所示的多。

(5) 已经叙述了以接地电位方式连接遮蔽用的焊锡突起 10 的情况，而且不只限于这种情况，可以包含连接电源电位的至少 1 个遮蔽用的焊锡突起 10。

20 如上所述，按照本发明实施例 2 的半导体器件 1a，由内部埋置遮蔽层 4 和遮蔽层电极 4a 复合膜构成的应力缓冲膜 13 连接在芯片 2 和载体膜 6 上，由于以最近距离包围芯片电极 2a 和薄膜内部引线 7c 以及绝缘基板 8 内部引线 8 内引线 7e 的全周，所以应力缓冲膜 13 不但具有和应力缓冲膜 3 相同的面积，而且具有优良的抑制噪声的性能。

25 还有，其特征是，不但防止外部信号和信号用焊锡突起 9 的串音，而且把包围信号用焊锡突起 9 的多个遮蔽用焊锡突起 10 的各突起和同电位的遮蔽用焊锡突起 10，连接在接地电位的芯片电极 2a 或接地电位的内引线 7e 或主板 90 的电极 90a，通过接地电位的遮蔽用焊锡突起 10 遮蔽信号用焊锡突起 9，防止信号用焊锡突起 9 之间的串音。

30 实施例 3

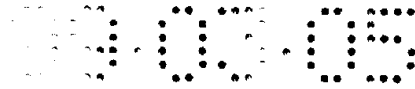


图 6 是表示本发明实施例 3 的安装用的半导体器件的横截面图和下面图，图 7 是说明形成包含筒形遮蔽层阵列的绝缘基板步骤的横截面图，图 8 是说明形成包含方形焊接电极的绝缘基板步骤的横截面图。还有，省略说明和所述的图 1~图 5 相同或相应部分的符号，只说明和实施例 3 相关的部分。

5 参照图 6，半导体器件 1b 和所述的实施例 1, 2 不同的第 1 点，是在绝缘基板 18 的内部包含遮蔽层阵列 14，图 7 和图 8 表示包含遮蔽层阵列 14 的绝缘基板 18 的形成步骤。

第 2 点其构成是，在绝缘基板的主面 18a 上，使成为半导体器件 1b 的外部电极形成栅格状信号用方形电极 19，并且不突出绝缘基板 18 的主面 18a。

10 图 8 表示信号用和遮蔽用的方形电极 19 和 20 的形成步骤。

第 3 点是，在绝缘基板 18 的内部形成筒形遮蔽层，以同轴形包围每个方形信号用电极 19 的各周围，以矩阵形状埋设该筒形遮蔽层阵列 14，图 7 表示筒形遮蔽层阵列 14 的形成步骤。

第 4 点是，筒形遮蔽层阵列 14 的一端电连接在载体膜 6 的薄膜内引线 7c，另一方面，连接接地电位的遮蔽用电极 20，通过绝缘基板 18 的基板通孔 63 的内引线 7f 电连接在薄膜的内引线 7c，然后通过薄膜上电极把薄膜内引线 7c 连接到芯片电极 2a。还有，在图 6 只在下面图的 4 角的每个角设置遮蔽用电极，此外全部设置信号用电极 19。

并且，第 5 点是，利用安装散热片的封壳。

20 其次参照图 7 说明包含筒形遮蔽层阵列 14 绝缘基板 18 的形成步骤。图 7 (a) 是表示向铸型注入聚酰亚胺树脂成型的绝缘基板 18 的成型体 60 的横截面图，图中的筒形穴 61 是沟宽约 1mm 的四边形沟，该沟宽为筒形遮蔽层阵列 14 的膜厚。筒形遮蔽层阵列 14 的导电材料 14a 和所述的应力缓冲膜 13 内的遮蔽层 4 相同，此处如 (b) 图所示蒸发金。此后，以聚酰亚胺树脂作为停止层，
25 通过化学机械研磨除掉涂覆在成型体 60 两面的金，形成埋置在成型体 60 的 (c) 图所示的筒形遮蔽层阵列 14。

接着参照图 7 (c) (d) 和图 8，说明包含信号用和遮蔽用方形电极 19, 20 的绝缘基板 18 的形成步骤。

在形成筒形遮蔽层阵列 14 后，关于图 7 (c) 的上下图，利用布图用的掩模 64，腐蚀成型体 60，形成如图 7 (d) 那样的方形电极用的方形开口 62，贯
30

穿方形开口 62 的底部基底的通孔 63。

参照图 8 (a)，用和所述的实施例 1 不同的方法，构成形成方形电极用方形开口 62 和基板通孔 63 的图 7 (d) 的绝缘基板 18，载体膜 6，应力缓冲膜 3 和芯片 2。

- 5 参照图 8 (b)，接着利用电解电镀方法在方形开口 62 埋置方形电极用的焊锡材料，例如，由 Pb-Sn 构成的焊锡，处于比绝缘基板 18 突出的状态。这时由于在表面不露出筒形遮蔽层阵列 14，所以不用担心信号用方形电极 19 和筒形遮蔽层阵列 14 短路。

10 图 8 (c) 表示利用研磨盘 65 均匀地研磨方形电极 19 和绝缘基板 18 。在研磨工序研磨了绝缘基板 18，注意不露出筒形遮蔽层阵列 14，还要调整图 8 (d) 所示的绝缘基板 18 的埋入量，即残存板厚度最低在 1mm 以上，完成研磨使方形电极 19 的焊接金属处于不突出绝缘基板 18 的主面 18a。也就是使电极不是突出突起，成为不突出的突起。

15 均匀地研磨信号用方形焊锡突起 19 和绝缘基板 18 后，注入如图 6a 所示环氧树脂密封材料 11 用加热成型的金属模进行膜制，最后完成安装具有散热片封壳 23 和图 6 所示的半导体器件 1b。

20 然后，把以同轴形状遮蔽每个信号用方形电极 19 的遮蔽层阵列 14 连接在连接地电位的电极 20 上，即使通过芯片电极 2a 或主板 90 电极 90a 把信号用方形电极 19 连接在地电位，也能防止信号用方形电极 19 之间的串音，和所述的半导体器件 1a 相同。

接着说明实施例 3 的变形例。

(1) 如果利用包含遮蔽层的应力缓冲膜 13 代替图 6 所示的应力缓冲膜 3，则更能抑制信号用方形电极 19 之间的串音。

25 (2) 不但可以用方形沟形成筒形遮蔽层阵列 14，还可以用例如 6 角形或 8 角形的沟或圆筒形的沟形成阵列，在这种情况下为了不变成阴影部，用电解电镀法能提高电镀膜的均匀性。

(3) 已经叙述了不突出绝缘基板 18 主面 18a 构成形成外部电极 19 的情况，在适合主板 90 电极的装配要求的情况，可以利用所述的信号用焊锡突起 9。

30 (4) 还有为了代替信号用方形电极 19，在方形开口 62 代替的底部用所述的图 3 所示的焊锡引线，利用引线焊接方法在半球形圆柱穴中埋入球状焊锡

突起后，通过研磨作为信号用的圆柱状电极。

(5) 装配散热片的封壳 23 (图 6) 由于比芯片尺寸大，在要求封壳小形化优先的情况，可以取消图 6 左右所示的散热片。

如上所述，本发明实施例 3 的半导体器件 1b 的特征是，由于具有利用面积高的方形外部电极 19, 20, 和高效率散发芯片 2 产生热量的具有散热片的封壳 23, 所以比所述的半导体器件 1, 1a 适合于高密度和小型化，同时还具有包含遮蔽层阵列的绝缘基板 18, 由于用各筒形遮蔽层 14 同轴状地遮蔽信号用方形电极 19, 并且, 构成不突出绝缘基板主面 18 的电极突起, 所以即使在 30GHZ 微波频段, 也能保持芯片尺寸, 同时确实地抑制信号用电极 19 之间的串音。

10 实施例 4

图 9 是表示本发明实施例 4 安装用的半导体器件 1c 的横截面图, 图 10 是表示包含重氢树脂材料的说明图, 图 11 是根据包含重氢树脂材料表示中子散射的说明图。还有, 和所述的图 1~图 8 相同的或相应的部分省略说明, 只说明和实施例 4 相关的部分。

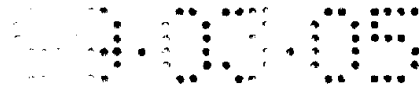
15 认为通常屡次使用的半导体器件的制造工艺和材料, 在质量数为 11 的 B11 中, 在包含该同位素具有质量数为 10 的 B10 的情况下, 如果中子射线射在例如硼磷硅玻璃 BPSG 等中, 则中子射线和 B10 反应产生 α 射线, 产生的 α 射线射入芯片 2 的硅基板, 由于产生大量的电荷, 引起软误差。

现在, 即使完全不用 BSTG 等, 一旦包含中子射线的宇宙射线穿透芯片 2, 则在硅板上产生电子空穴对, 由于这些电荷使硅基板上的电场和电势变化大, 成为芯片 2 暂时产生误动作的原因。

实施例 4 的半导体器件 1c, 即使在不能忽视中子射线射来的宇宙空间和人工环境使用的情况, 也能提供阻止中子穿透的半导体器件。

图 9 所示的半导体器件 1c 的横截面图, 和所述的实施例 1~3 不同的第 1 点是, 用包含重氢的聚酰亚胺树脂 32, 形成绝缘基板 38 和载体膜的一个或两个。第 2 点是, 树脂密封材料 31 和树脂封壳 32 的一个或 2 个是由包含重氢的树脂构成。第 3 点是, 在芯片 2 的背面 2c, 粘贴包含重氢的聚酰亚胺树脂膜 35。可以按照所述的第 1~3 点的全部内容进行装配, 也可以只按照所述的之一内容进行装配。还有, 其他结构和实施例 1~3 的情况一样。

30 接着, 参照图 10, 说明用于实施例 4 的如图 9 所示的半导体器件 1c 的包



含重氢的树脂材料。图 10 (a) 表示利用把氢替换成重氢的 C_2D_5 的化学结构，代用包含在绝缘基板 8 和载体膜 6 聚酰亚胺树脂中的烷基 C_2H_5 。还有，图 10 (b) 表示利用把氢替换成重氢的 CD_3 的化学结构，代用包含在密封材料 11 和封壳 12 的环氧树脂中的双酚 CH_3 。

5 不限于这样的聚酰亚胺树脂和环氧树脂，由于一般的树脂包含多个氢原子，即使用该氢原子 H 代替其同位素重氢 D，化学性质完全相同，两者具有完全相同的化学反应。发明者着眼于该点认为，利用和过去大体相同的制造方法，能生成包含重氢的聚酰亚胺树脂和环氧树脂。

接着，参照图 11，根据实施例 4 的图 9 所示的使用的包含重氢的树脂材料，10 说明中子的散射动作。中子通过散射过程减速，散射面积大和吸收面积小的重氢是优良的减少中子速度的材料。图 11 (a) 表示在重氢中运行的中子散射面积，如果中子的能量变小则面积增加。图 11 (b) 表示基本计算这种关系的重氢对中子遮蔽性能的模拟结果。

如上所述，本发明实施例 4 的半导体器件 1c，其特征是，绝缘基板 38，15 载体膜 36，树脂封装材料 31，树脂封壳 32 以及粘贴在芯片背面的树脂膜 35 的任何一个上面，由阻止中子穿透的包含重氢的聚酰亚胺树脂和环氧树脂构成。

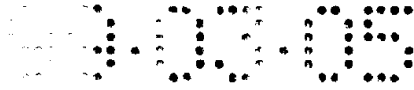
本发明由于象上述那样的构成，收到如下所述的效果。

按照权利要求 1 的发明，由于在应力分布密度最大的芯片周围部分粘接应20 力缓冲膜，则减轻芯片的分担应力，还有，由于在应力分布密度最大的绝缘基板的周围设置遮蔽用的电极，则减轻在应力分布密度低的绝缘基板的中央部分设置的信号用的电极分担的应力，收到能大幅度的提高连接主板电极的可靠性的效果。

按照权利要求 2 的发明，由于埋置在应力缓冲膜的遮蔽层以最近距离遮蔽25 芯片电极，同时遮蔽用电极遮蔽信号用的电极，收到能防止减低噪声信号用电极和外部信号的串音的效果。

按照权利要求 3 的发明，通过替换内部电路，收到满足主板侧和芯片侧双方要求实现相互匹配连接的效果。

按照权利要求 4 的发明，由于分别以同轴状遮蔽信号用电极和遮蔽用电30 极，不但收到能防止和外部信号的串音，而且能防止和信号用电极串音的效果。



特别是，用方筒形遮蔽层阵列每个以同轴形遮蔽方形信号用电极和遮蔽用电极的结构，收到面积利用率高使芯片和封壳小型化的效果。

按照权利要求 5 的发明，由于由从绝缘基板主面突出的焊锡突起构成外部电极，所以收到容易连接主板的效果。

- 5 按照权利要求 6 的发明，由于由从绝缘基板主面不突出的焊锡突起构成外部电极，所以收到信号传输可靠性高的能有效抑制信号用电极相互串音的效果。

按照权利要求 7 的发明，由于虽然是相同面积的封壳但是能有效地散发芯片产生的热量，所以收到能提高长期运作的可靠性。

- 10 按照权利要求 8 的发明，可能在射来中子的环境使用，同时收到阻止中子通过防止软误差的效果。

按照权利要求 9 的发明，中空的矩形和环行应力缓冲膜，由于能埋设遮蔽层，所以能抑制串音，同时由于+字形应力缓冲膜可以向芯片和应力缓冲膜之间注入密封树脂材料，所以能收到提高密封可靠性的效果。

说明书附图

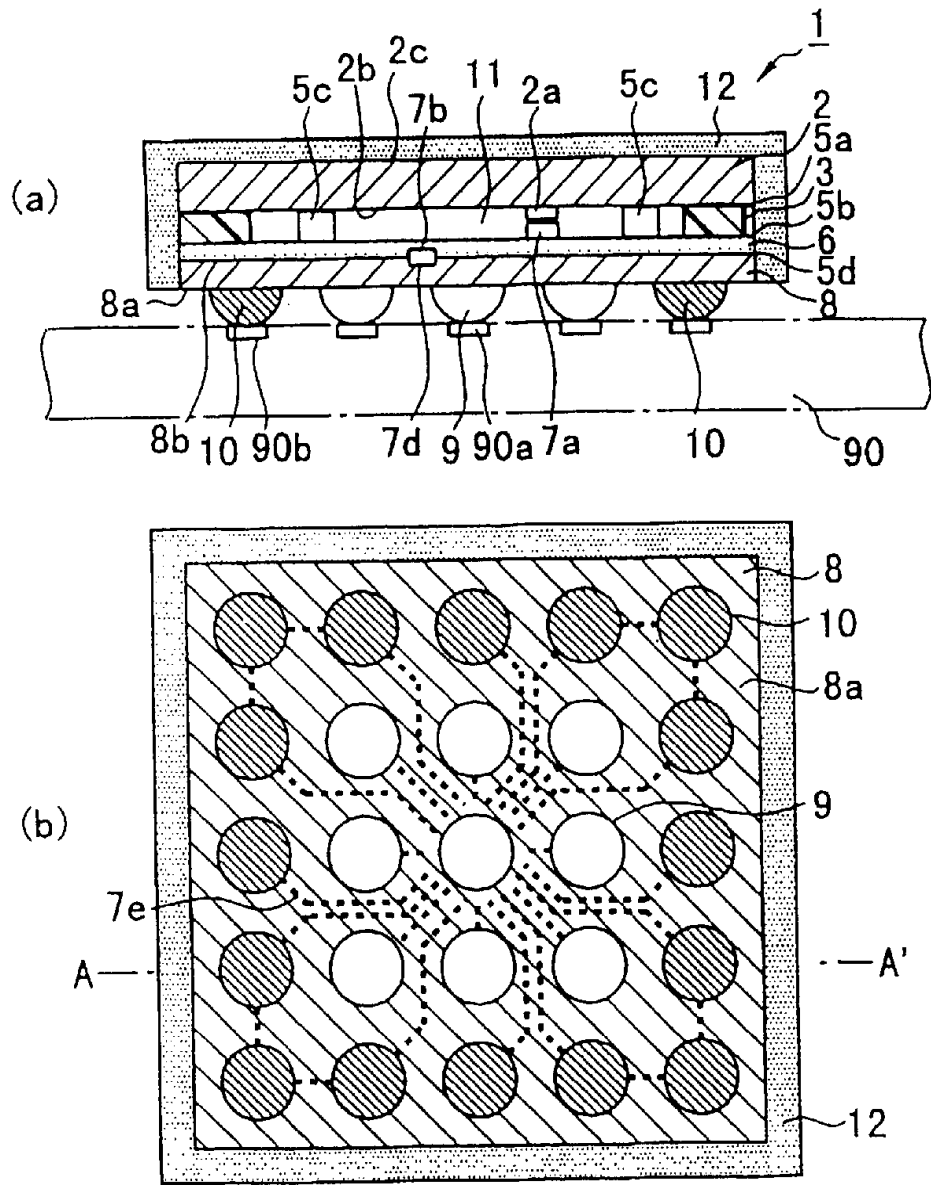


图 1

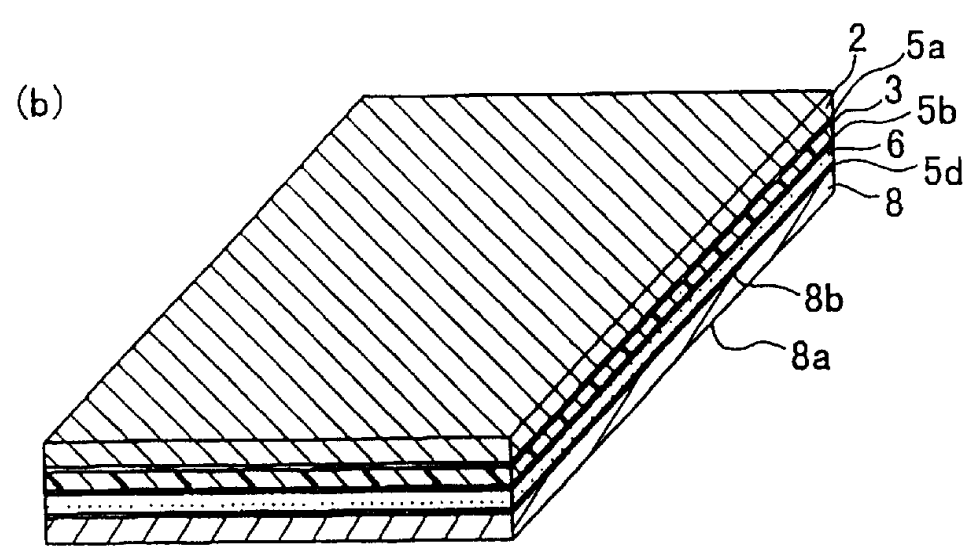
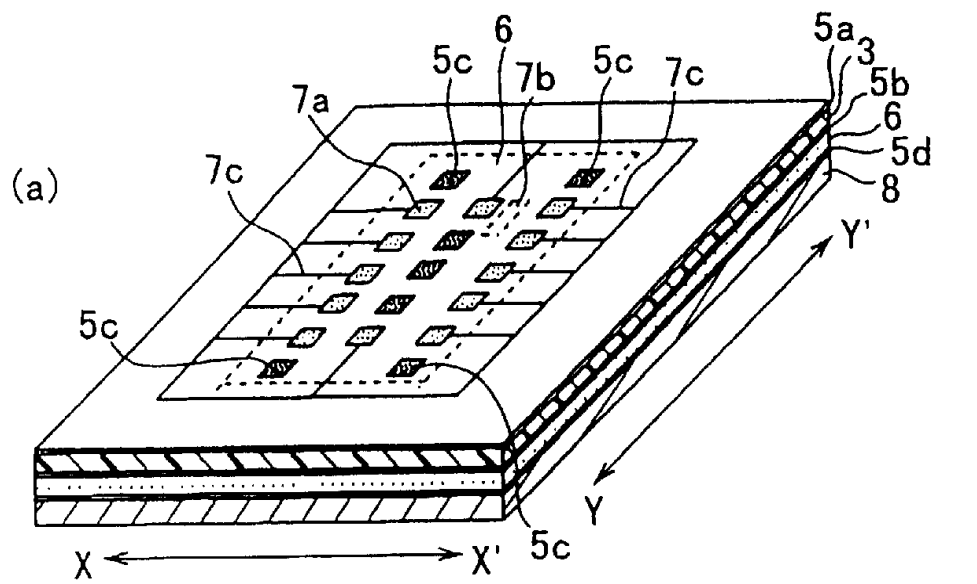


图 2

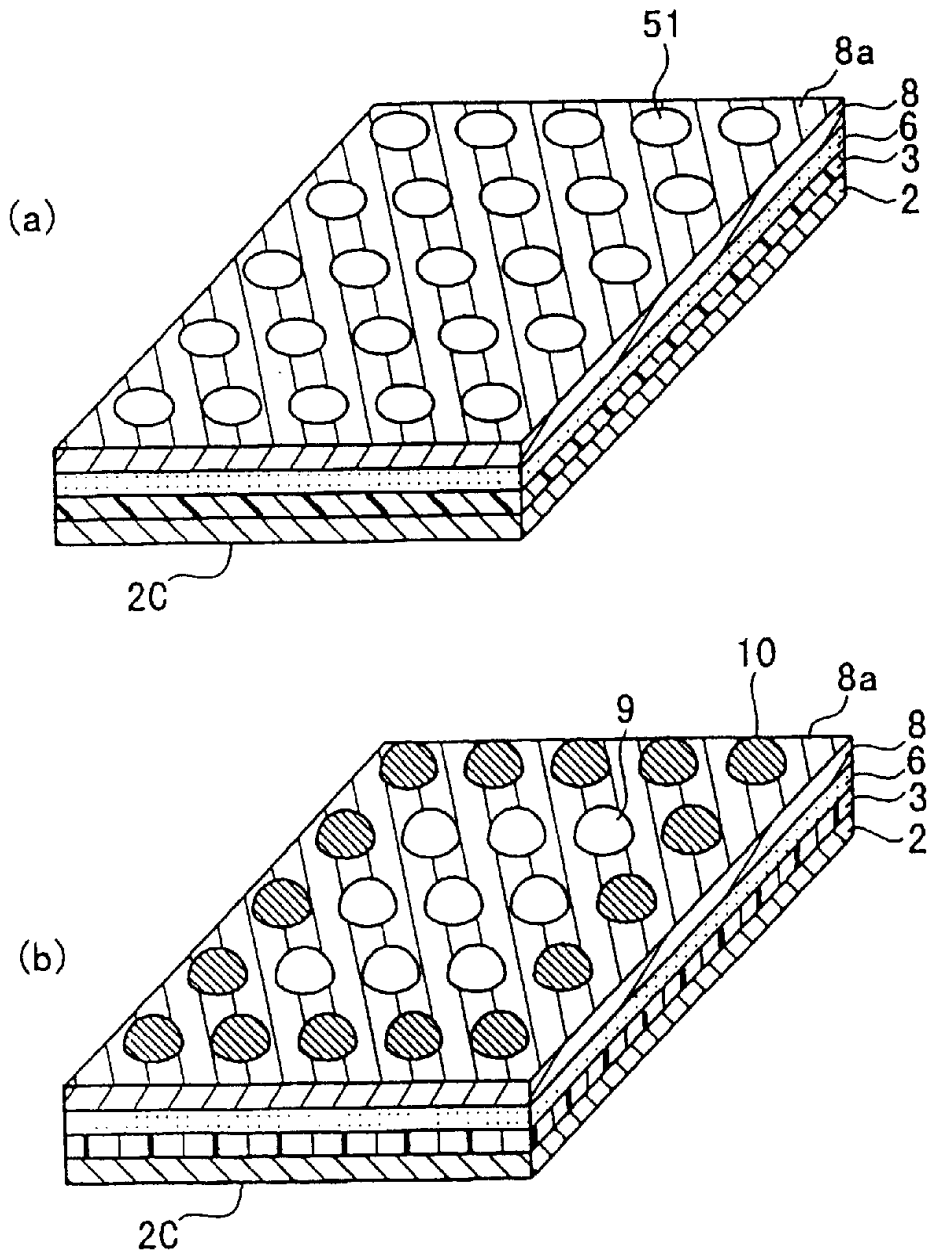


图 3

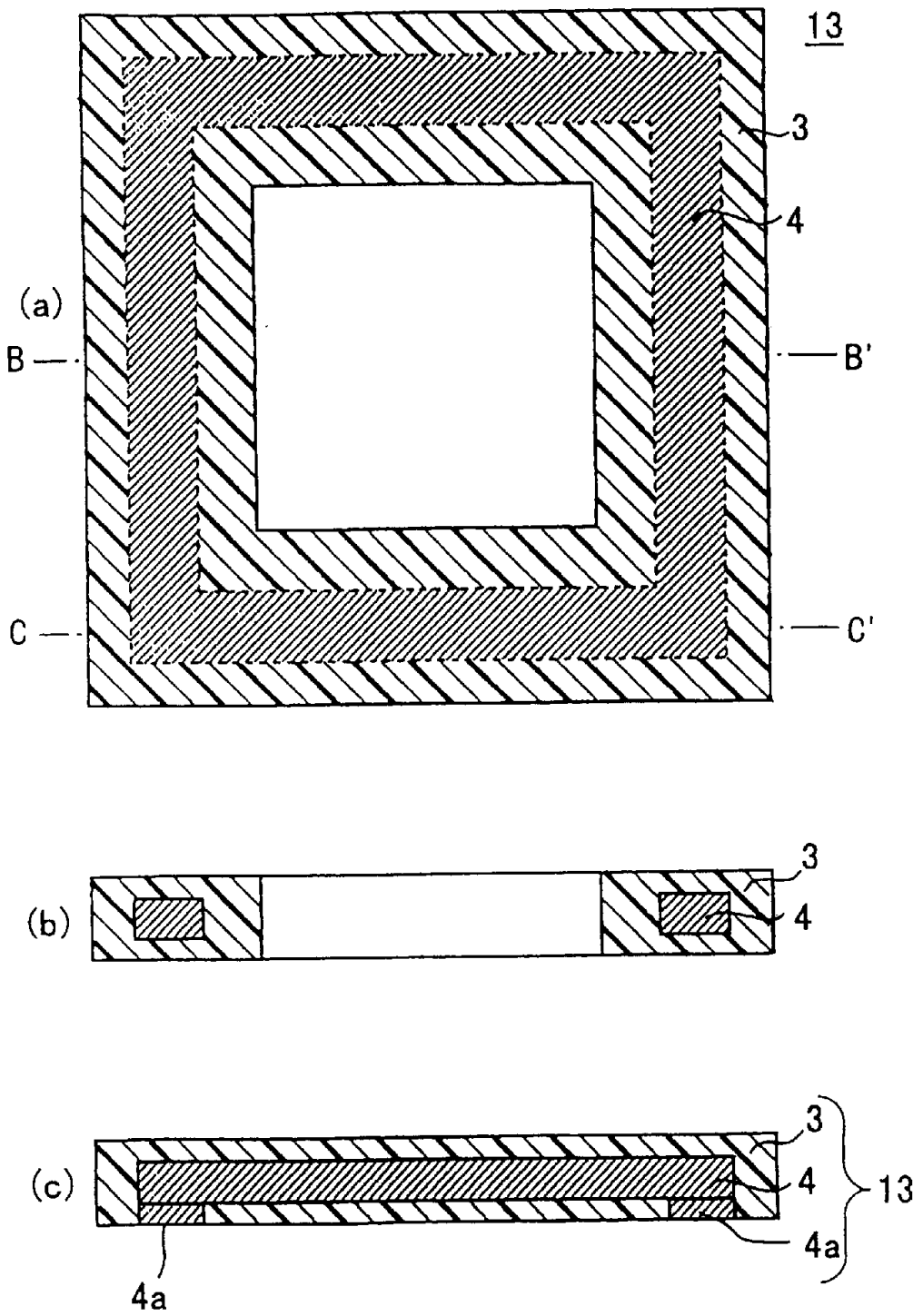


图 5

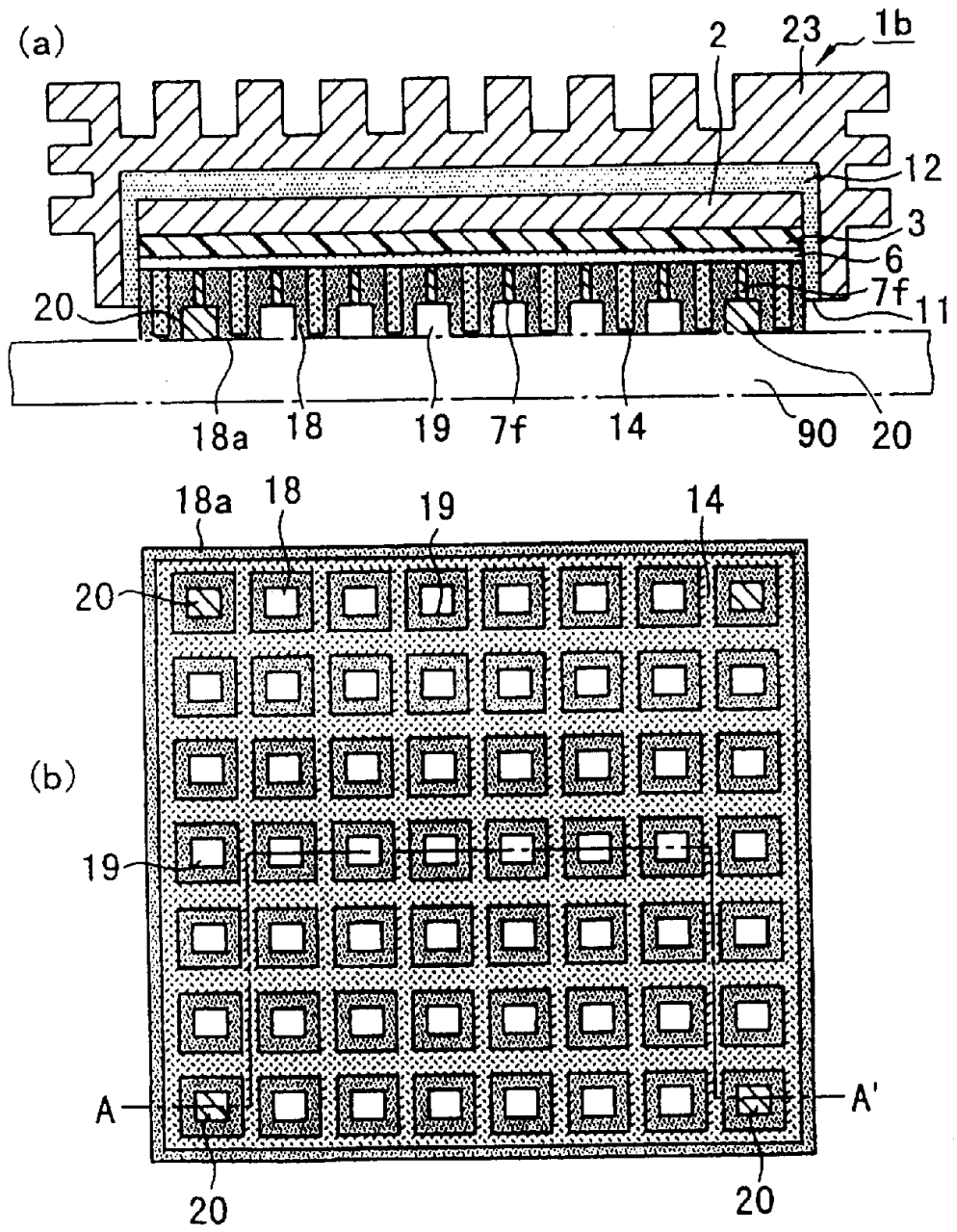


图 6

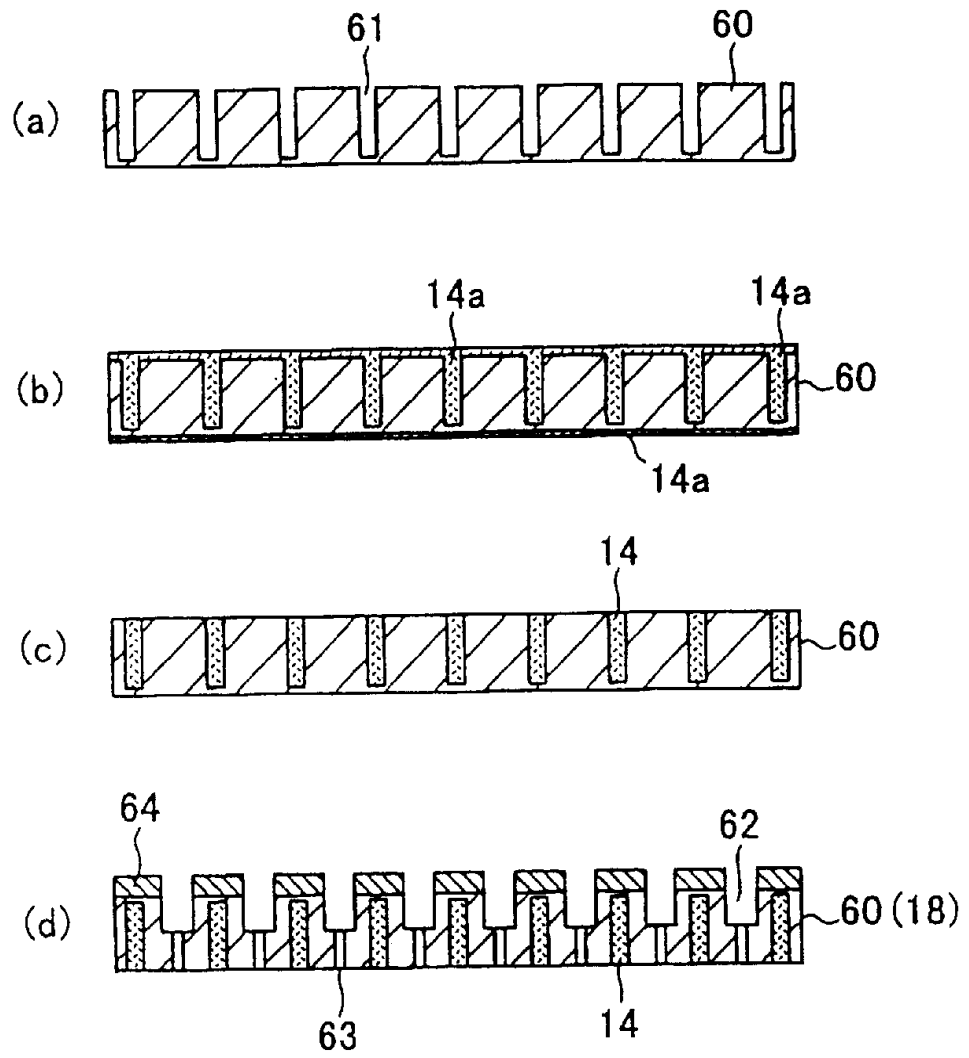


图 7

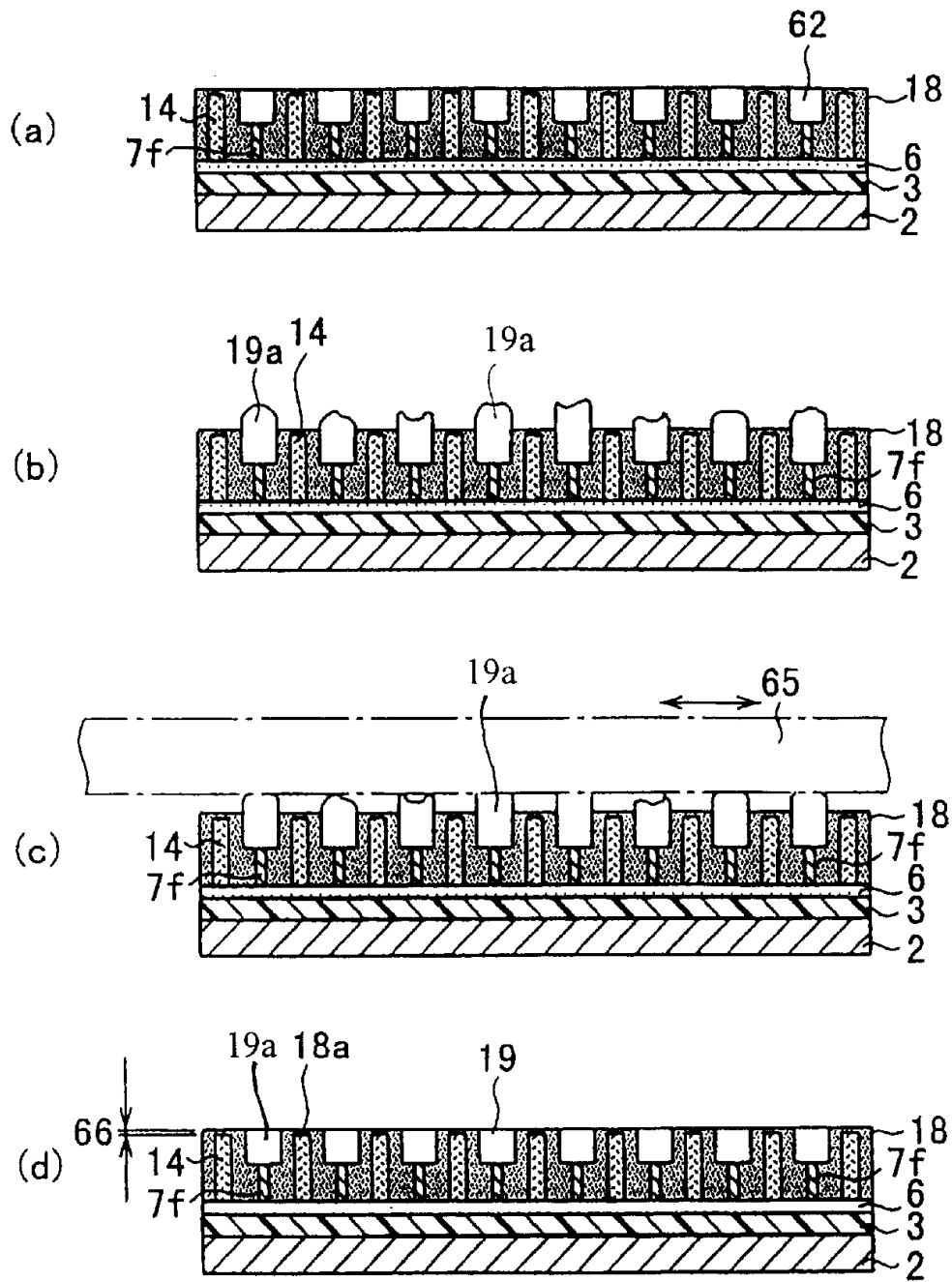


图 8

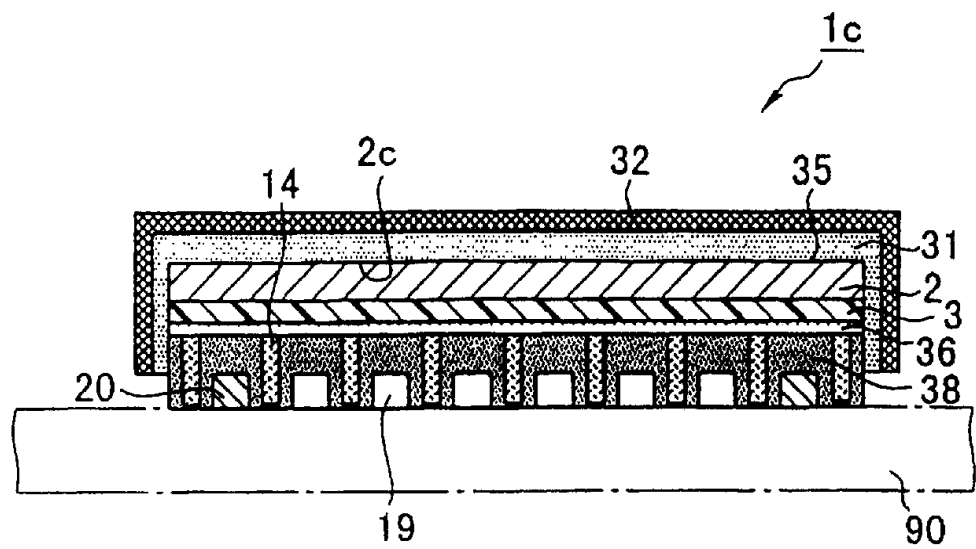
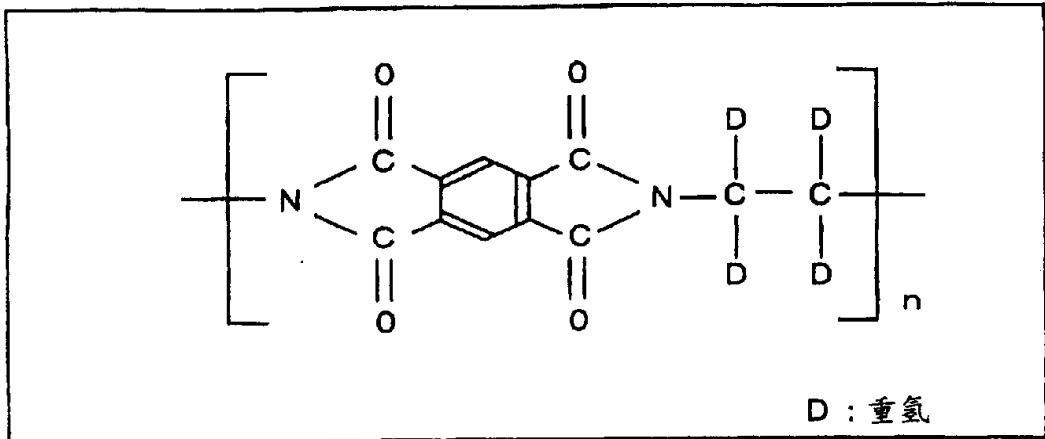


图 9



(a)

包含重氢的聚酰亚胺树脂



(b)

包含重氢的环氧树脂

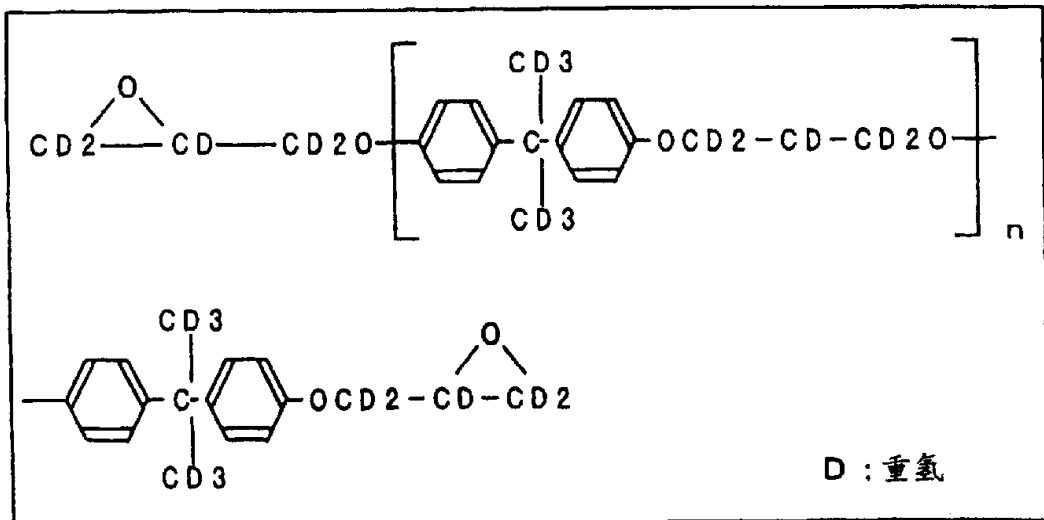
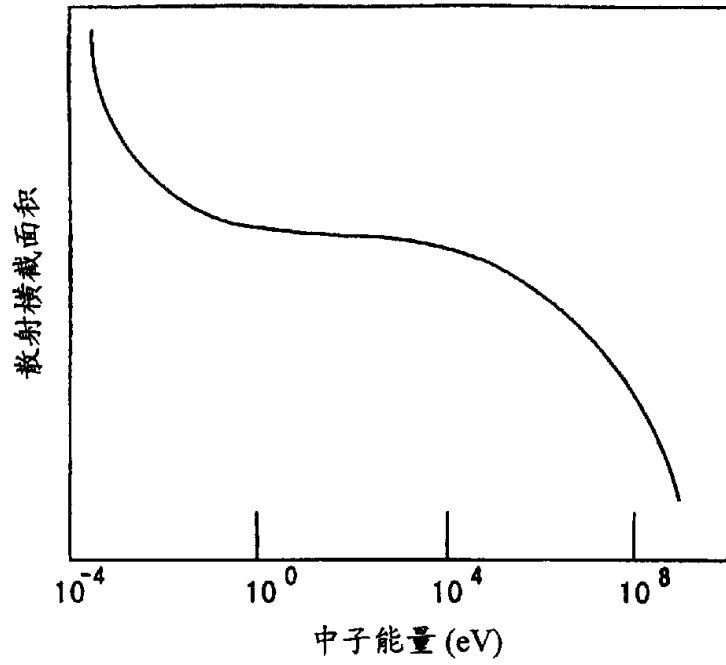


图 10

(a)



(b)

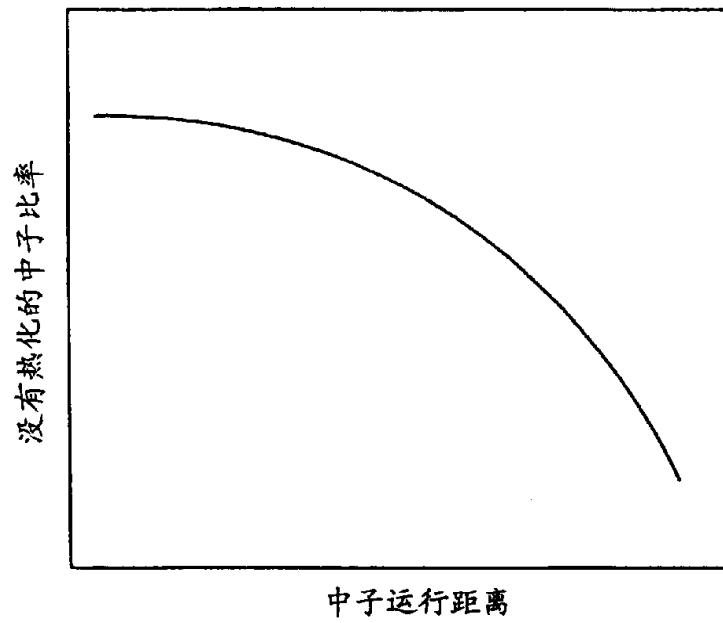


图 11