

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4136943号
(P4136943)

(45) 発行日 平成20年8月20日(2008.8.20)

(24) 登録日 平成20年6月13日(2008.6.13)

(51) Int.Cl. F I
H03K 17/62 (2006.01) H03K 17/62 B

請求項の数 5 (全 7 頁)

(21) 出願番号	特願2003-564893 (P2003-564893)	(73) 特許権者	390039147
(86) (22) 出願日	平成15年1月29日 (2003.1.29)		レイセオン・カンパニー
(65) 公表番号	特表2005-539407 (P2005-539407A)		Raytheon Company
(43) 公表日	平成17年12月22日 (2005.12.22)		アメリカ合衆国、マサチューセッツ州 O
(86) 国際出願番号	PCT/US2003/002539		2451-1449、ウォルサム、ウィン
(87) 国際公開番号	W02003/065395		ター・ストリート 870
(87) 国際公開日	平成15年8月7日 (2003.8.7)	(74) 代理人	100058479
審査請求日	平成18年1月19日 (2006.1.19)		弁理士 鈴江 武彦
(31) 優先権主張番号	10/066,011	(74) 代理人	100084618
(32) 優先日	平成14年1月31日 (2002.1.31)		弁理士 村松 貞男
(33) 優先権主張国	米国 (US)	(74) 代理人	100092196
			弁理士 橋本 良郎

最終頁に続く

(54) 【発明の名称】 電流スイッチの熱ヒステリシスをキャンセルする回路

(57) 【特許請求の範囲】

【請求項 1】

差動対として接続され、ベース端子において差動論理信号(OUTX,OUT)を受信する第1のトランジスタ(Q9)および第2のトランジスタ(Q10)を備えている電流スイッチと、

前記第1および第2のトランジスタの自己加熱によって誘起された前記電流スイッチのスイッチング閾値電圧のシフトと等しいオフセット電圧を生成するように前記第1のトランジスタおよび第2のトランジスタの熱履歴を複製する論理信号制御回路(Q11,Q12,R1,R2)とを具備して前記シフトが0になるように前記差動論理信号を調節している電流スイッチ回路。

【請求項 2】

前記論理信号制御回路は第3のトランジスタ(Q11)と、

前記第3のトランジスタのエミッタ端子と前記第1のトランジスタのベース端子の間に接続された第1の負荷抵抗(R1)と、

第4のトランジスタ(Q12)と、

前記第4のトランジスタのエミッタ端子と前記第2のトランジスタのベース端子の間に接続された第2の負荷抵抗(R2)とを含んでいる請求項1記載の電流スイッチ回路。

【請求項 3】

前記第3および第4のトランジスタは前記第1および第2のトランジスタの熱履歴を複製する請求項2記載の電流スイッチ回路。

【請求項 4】

前記第3および第4のトランジスタが前記第3および第4のトランジスタの時間対電力消費が第1および第2のトランジスタの時間対電力消費と実質上同じであるように構成されている請求項2記載の電流スイッチ回路。

【請求項5】

前記第3および第4のトランジスタが前記第3および第4のトランジスタの時間対電力消費の変化が第1および第2のトランジスタの時間対電力消費の変化と同じであるように構成されている請求項2記載の電流スイッチ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電流スイッチング技術、特に熱ヒステリシスをキャンセルする回路に関する。

【0002】

【背景技術】

【0003】

電流スイッチはデジタルアナログ変換器(DAC)のような様々な応用に適用される。切換え時間が重要である応用において、電流スイッチは通常クロックされたラッチあるいはフリップフロップから直接駆動されており、図1は高速差動ラッチ20の差動出力OUT/OUTXにより駆動される差動電流スイッチ10の概略回路図である。一般的な損失なく、電流出力DACの1ビットと判断される。電流スイッチ10は電流 I_{dac} を一方または他方の相補的な負荷端子DACAUT, DACOUTX切換える2つの差動接続されたトランジスタQ9, Q10を含んでいる。

【0004】

差動ラッチ20は差動接続されたトランジスタQ1, Q2を含んでおり、それらのトランジスタQ1, Q2はベース端子において差動論理入力D/DXのそれぞれの位相を受信し、共に接続されたエミッタ端子を有する。差動対トランジスタQ1, Q2のコレクタ端子はそれぞれ差動対のトランジスタQ3, Q4のコレクタ端子と、エミッタホロワ - Q7, Q8のベース端子とに接続されている。エミッタホロワ - Q7, Q8のエミッタ端子はそれぞれ電流源I2, I3に接続され、ラッチ20の差動出力OUT/OUTXを含んでいる。エミッタホロワ - Q7, Q8のエミッタ端子は差動対のトランジスタQ3, Q4のベース端子にそれぞれ接続されている。抵抗R1は電源電圧 $V+$ 端子とトランジスタQ1のコレクタとトランジスタQ3のコレクタ、エミッタホロワ - Q7のベースと相互接続によって形成されたノードとの間に接続されている。抵抗R2は電源電圧 $V+$ 端子とトランジスタQ2のコレクタとトランジスタQ4のコレクタ、エミッタホロワ - Q8のエミッタのベースと相互接続によって形成されたノードとの間に接続されている。

【0005】

接続されたトランジスタQ5, Q6の差動対はベース端子において差動クロック信号CLK/CLKXの各位相を受信し、電流源I1に接続されたエミッタ端子を有する。トランジスタQ5のコレクタ端子は差動トランジスタQ1, Q2のエミッタ端子に接続され、トランジスタQ6のコレクタ端子は差動トランジスタQ3, Q4のエミッタ端子に接続される。

【0006】

差動接続されたスイッチトランジスタQ9, Q10の電力放散はほぼ I_{dac} (ベース電流を無視して)×オンに切換えられたトランジスタのコレクタ・エミッタ電圧であり、他方のトランジスタにおいては0である。トランジスタの熱応答特性は熱抵抗および熱時定数によって近似されることができ、任意の時間におけるトランジスタの温度上昇はトランジスタがオンにされている過去の時間シ - ケンスの関数である。

【0007】

電流スイッチが一方の状態から他方の状態へ切換えられる閾値電圧はトランジスタQ9, Q10のベース間の名目上0ボルトの差電圧である。しかしながらトランジスタQ9, Q10はオン状態で電流を伝送するトランジスタのより高い電力放散による差動加熱にさらされる。これによってベース - エミッタ電圧の温度依存により切換えの閾値電圧に変化を生じさせる。この作用は通常一般に“熱ヒステリシス”と言われている。

10

20

30

40

50

【 0 0 0 8 】

自己加熱による閾値電圧のシフトはスイッチの2つのトランジスタの間の温度差とベース-エミッタ電圧の温度係数の温度差の積としてモデル化される。スイッチを駆動するラッチ出力の切換は有限スル-レ-トを有し、スイッチの閾値電圧が変化する場合、スイッチ切換の実効時間はラッチ出力のスル-レ-トによって除算された閾値電圧変化と等しい量だけ変化する。このようなスイッチング時間の変化はスイッチ切換の以前のパターンに依存しているので、DACの出力を歪ませる。生じたひずみの生成物はDACのスパ- (spur) のないダイナミック範囲を制限する可能性がある。

【 発明の開示 】

【 発明が解決しようとする課題 】

10

【 0 0 0 9 】

差動自己加熱によるスイッチング時間変化を減少させるための既知の技術は、熱閾値のシフトによる時間変化が短く、および/あるいは差動加熱が最小になるようにスイッチングトランジスタの電力密度を低くする十分に高いスル-レ-トで電流スイッチの差動トランジスタ対を駆動しようと試みている。低い電力密度は大装置を使用して達成され、必然的により高い寄生容量を有する。駆動信号の高いスル-レ-トは存在している寄生装置のキャパシタンスを通して駆動信号の出力に結合する結果を生じる。

【 課題を解決するための手段 】

【 0 0 1 0 】

本発明は、電流スイッチとして接続されている差動トランジスタ対の第1のトランジスタおよび第2のトランジスタを含み、それらトランジスタのベースにおいて差動論理信号を受信する電流スイッチ回路に関するものであり、それにおいて論理信号制御回路は電流スイッチのスイッチング閾値の自己加熱により誘起されたシフトをオフセットするように差動論理信号の転移スタートをオフセットするために第1および第2のトランジスタに結合されている。

20

【 0 0 1 1 】

本発明のこれらおよびその他の特徴は添付図面を参照にした以下の例示的な実施形態の詳細な説明から明らかになるであろう。

【 発明を実施するための最良の形態 】

【 0 0 1 2 】

30

図2は差動電流スイッチ100の熱ヒステリシスを補償する回路構成を有する差動ラッチ200によって駆動される差動電流スイッチ100を含んでいる本発明によるラッチおよび電流スイッチの実施例の概略図である。

【 0 0 1 3 】

差動ラッチ200はさらに特にベース端子における差動論理入力D/DXのそれぞれの位相を受信するトランジスタQ1,Q2の差動対を含んでいる。差動対のトランジスタQ1,Q2のコレクタ端子はノードN1,N2においてトランジスタQ3,Q4のコレクタ端子にそれぞれに接続される。トランジスタQ3のコレクタ端子はノ-ドN1においてトランジスタQ4のベース端子にさらに接続され、トランジスタQ4のコレクタ端子はノードN2においてトランジスタQ3のベース端子にさらに接続される。

40

【 0 0 1 4 】

差動対のトランジスタQ1,Q2のエミッタはトランジスタQ5のコレクタ端子に共に接続され、そのトランジスタQ5は差動対としてトランジスタQ6に接続されている。差動対のトランジスタQ3,Q4のエミッタは共にトランジスタトランジスタQ6のコレクタ端子に接続される。トランジスタQ5,Q6の差動対はベース端子において差動クロック入力CLK/CLKXの差動クロックのそれぞれの位相を受信する。

【 0 0 1 5 】

負荷抵抗R1はノードN1と基準トランジスタQ11のエミッタ端子の間に接続され、負荷抵抗R2はノードN2と基準トランジスタQ12のエミッタ端子の間に接続される。基準トランジスタQ11,Q12のベース端子は電圧Vbに接続され、それらのトランジスタのコレクタ端子は

50

電圧 V_c に接続されている。“キ - プアライブ”電流源 I_4 は抵抗 R_1 の接続によって形成されたノードおよび基準トランジスタ Q_{11} のエミッタ端子に接続され、“キ - プアライブ”電流源 I_5 は抵抗 R_2 の接続によって形成されたノードおよび基準トランジスタ Q_{12} のエミッタ端子に接続されている。

【 0 0 1 6 】

ラッチ200の差動出力OUT/OUTXのそれぞれの位相は電流スイッチ100を構成している差動対のトランジスタ Q_{10} , Q_9 のベースにそれぞれ接続されたノード N_2 , N_1 に与えられる。動作において、差動出力OUT/OUTXは差動入力D/DXの論理レベルにしたがい、一方差動クロック入力CLK/CLKXがそれぞれ高/低レベルである。クロック入力CLK/CLKXが低/高レベルにあるとき、差動出力OUT/OUTXは差動入力D/DXが以前のクロック変化を有する論理状態を持続する。すなわちデータ入力はクロック入力CLK/CLKXが低/高レベルの場合、クロックインタ - バル中ラッチされる。

10

【 0 0 1 7 】

動作において、基準トランジスタ Q_{11} はスイッチトランジスタ Q_{10} が電流を流すとき、電流を流し、基準トランジスタ Q_{12} はスイッチトランジスタ Q_9 が電流を流すとき、電流を流し、 Q_{11} および Q_{12} は電力および熱を同様に放散し、 Q_{12} および Q_9 も同様である。トランジスタ Q_{11} および Q_{10} のベースエミッタ電圧は同様に変化し、一方トランジスタ Q_{12} および Q_9 のベースエミッタ電圧は同様に変化する。それ故基準トランジスタ Q_{11} , Q_{12} はスイッチトランジスタ Q_9 , Q_{10} の熱オフセットを0にする極性を有するノード N_1 , N_2 のラッチ出力と直列のエミッタ端子の間の熱的に生成されたオフセット電圧を生成する。

20

【 0 0 1 8 】

一般に基準トランジスタ Q_{11} , Q_{12} はエミッタ間の電圧が実質上スイッチトランジスタ Q_9 , Q_{10} の閾値電圧のシフトと整合するように形成されることができる。

【 0 0 1 9 】

基準トランジスタ Q_{11} , Q_{12} は特に電流スイッチの閾値電圧のシフトを追跡して、スイッチトランジスタ Q_9 , Q_{10} の閾値電圧の熱的に誘導されたシフトを0にしようとする極性を有するトランジスタ Q_{11} , Q_{12} のエミッタの電圧を生ずるようにスイッチトランジスタ Q_9 , Q_{10} の熱履歴を密接に繰り返すように特に構成されおよび動作される。特に Q_{11} および Q_{12} のエミッタの電圧差の信号が公称のスイッチング時間から実質上変化が熱オフセット電圧の結果生じないように Q_9 , Q_{10} を駆動する論理変化のスタート地点をオフセットする。トランジスタ Q_{11} , Q_{12} はスイッチング閾値の熱的に誘導されたシフトがスイッチング時間を変化しないように、信号OUT,OUTXのレベルを制御する。このようには明らかなスイッチング閾値は電流スイッチの状態の以前のシ - ケンス (“熱履歴”)に依存しない。

30

【 0 0 2 0 】

スイッチトランジスタ Q_9 , Q_{10} の熱履歴はスイッチトランジスタ Q_9 , Q_{10} と時間に対する電力消費特性が実質上同じになるように基準トランジスタ Q_{11} , Q_{12} を構成し、動作することによって正確に複製することができる。スイッチの熱履歴の非常に良好な近似は、基準トランジスタ Q_{11} , Q_{12} の電力消費の時間に対する変化が実質上スイッチトランジスタ Q_9 , Q_{10} の電力消費の時間に対する変化に等しい場合に生成されることができる。スイッチトランジスタ Q_9 , Q_{10} の熱履歴の若干正確度の劣る近似は基準トランジスタ Q_{11} , Q_{12} の電力消費の時間に対する変化がスイッチトランジスタ Q_9 , Q_{10} の電力消費の時間に対する変化に実質上等しい場合に得ることができる。

40

【 0 0 2 1 】

例示的な実施例によって、トランジスタ Q_{11} , Q_{12} の大きさはスイッチが状態を変化した場合に、 Q_{11} および Q_{12} の電力密度の変化がトランジスタ Q_9 , Q_{10} の電力密度の変化と等しいように I_1 および I_{dac} の値に関して選択される。電力密度がトランジスタのアクティブな面積によって除算された電力消費であり、トランジスタの消費電力は(ベース電流を無視して)エミッタ電流とコレクタとエミッタとの間の電圧との積である。エミッタの面積はトランジスタのアクティブな面積の非常に良好な近似である。電力密度の変化は論理状態が切換えられたときにトランジスタのアクティブ面積によって除算された2つの論理状態

50

の間の電力消費の差である。トランジスタの熱抵抗がほぼアクティブ面積と反比例しているため、電力密度は電力消費および熱抵抗の積にほぼ比例しており、それは温度上昇とほぼ等しい。電力密度の変化はトランジスタの温度の時間変化に回答し、したがって電流スイッチの閾値電圧を変化させる。

【0022】

トランジスタの大きさが同じトランジスタである場合、熱応答特性は全トランジスタと同じである。電力がQ11で高い場合にQ9では低く、反対の場合は反対である同じ関係がQ12およびQ10に保持される。電圧差動はトランジスタ対Q9およびQ10のスイッチング閾値電圧の変化に整合する変化をトランジスタQ11のエミッタとQ12のエミッタ間に発生される。

10

【0023】

別の例において、トランジスタQ9, Q10, Q11, Q12は実質上等しいスイッチングされた電流密度を有し、実質上同じコレクタ - エミッタ電圧で動作され、温度および電源変化を正確にたどる。電圧VcはQ9およびQ10のコレクタが負荷において終端する電圧に等しくなければならない。電圧VbはトランジスタQ11, Q12が動作するコレクタ - エミッタ電圧を決定する。トランジスタQ9, Q10, Q11, Q12は実質上等しいスイッチングされた電流密度を有することができ、同じコレクタ - エミッタ電圧で動作される。トランジスタの電流密度はエミッタの面積で割算されたエミッタ電流である。トランジスタの電流の一部が一定であり、および論理状態が切換えられたときにその電流の一部が変化する場合、論理状態が切換えられたときに切換えられた電流密度は電流の変化であり、エミッタの面積によって割算される。

20

【0024】

“キープアライブ”電流I4およびI5が省略可能であり、実行される場合は好ましくは等しく一定である。これらの電流源はトランジスタQ11, Q12がラッチ電流を伝送しない場合でもエミッタの電圧軌跡を制限するよう供給する。これらの電流からの電力消費はわずかにQ11およびQ12を加熱するが、温度差動を全く生成しない。

【0025】

本願発明はここで特定の例示的な実施形態を参照にして説明しているが、それは本発明の原理を単に示したものであり、それに限定されないことを理解すべきである。当業者は本発明の技術的範囲内において付加的な変形、応用および実施形態、ならびに本発明が顕著に利用される付加的な分野を認識するであろう。

30

【図面の簡単な説明】

【0026】

【図1】通常のラッチおよび電流スイッチ回路の概略回路図。

【図2】本発明による技術を使用したラッチおよび電流スイッチ回路の概略回路図。

フロントページの続き

(72)発明者 コサンド、アルバート・イー
アメリカ合衆国、カリフォルニア州 9 1 3 0 1、アゴウラ・ヒルズ、チェセプロ・ロード 6 1
5 2

審査官 石田 勝

(56)参考文献 特開昭63-121313(JP,A)
特開平3-7423(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03K 17/00-17/70
H03K 3/26-3/36
H03K 5/00-5/02;5/08-5/12;5/15-5/26
H03K 19/00-19/00、103;19/01-19/082;19/092-19/096