

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012 年 1 月 19 日(19.01.2012)

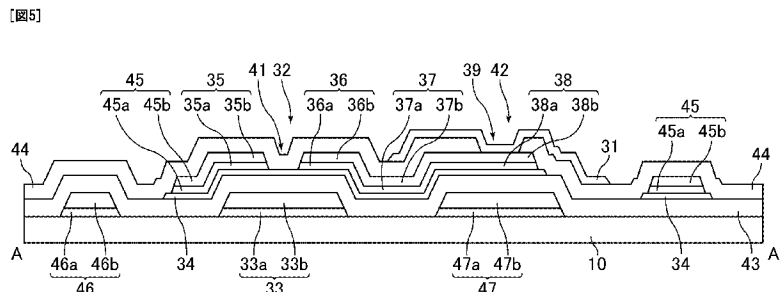
PCT

(10) 国際公開番号
WO 2012/008192 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/3205 (2006.01)
G02F 1/1368 (2006.01) H01L 21/3213 (2006.01)
G09F 9/30 (2006.01) H01L 21/336 (2006.01)
H01L 21/28 (2006.01) H01L 23/52 (2006.01)
H01L 21/306 (2006.01) H01L 29/417 (2006.01)
- (21) 国際出願番号: PCT/JP2011/059198
- (22) 国際出願日: 2011 年 4 月 13 日(13.04.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-161077 2010 年 7 月 15 日(15.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (Sharp Kabushiki Kaisha)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 齊藤 裕一
(SAITO Yuichi) [JP/—]. 神崎 庸輔 (KANZAKI
Yohsuke) [JP/—]. 高西 雄大 (TAKANISHI Yudai)
[JP/—]. 岡本 哲也 (OKAMOTO Tetsuya) [JP/—].
中谷 喜紀 (NAKATANI Yoshiki) [JP/—]. 近間 義
雅 (CHIKAMA Yoshimasa) [JP/—].
- (74) 代理人: 特許業務法人 安富国際特許事務所
(YASUTOMI & Associates); 〒5320003 大阪府大阪
市淀川区宮原 3 丁目 5 番 3 6 号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: CIRCUIT BOARD, DISPLAY DEVICE, AND PROCESS FOR PRODUCTION OF CIRCUIT BOARD

(54) 発明の名称: 回路基板、表示装置、及び、回路基板の製造方法



(57) Abstract: The present invention provides: a circuit board having excellent productivity, particularly a circuit board having excellent productivity with respect to the step of forming a semiconductor layer or a source layer; a display device; and a process for producing a circuit board. The circuit board of the present invention is a circuit board comprising an oxide semiconductor layer and an electrode connected to the oxide semiconductor layer, wherein the electrode is formed by laminating essentially a layer comprising a metal other than copper and a layer containing copper on each other.

(57) 要約: 本発明は、生産性に優れた回路基板、特に半導体層・ソース層形成工程に関する生産性に優れた回路基板、表示装置、及び、回路基板の製造方法を提供する。本発明の回路基板は、酸化半導体層及びそれに接続された電極を有する回路基板であって、上記電極は、銅以外の金属からなる層と銅を含む層とを必須として積層して形成した回路基板である。

WO 2012/008192 A1

明 細 書

発明の名称： 回路基板、表示装置、及び、回路基板の製造方法 技術分野

[0001] 本発明は、回路基板、表示装置、及び、回路基板の製造方法に関する。より詳しくは、薄膜トランジスタ（Thin Film Transistor；以下、「TFT」ともいう。）を用いたアクティブマトリクス基板、表示装置、及び、回路基板の製造方法に関するものである。

背景技術

[0002] 回路基板は、一般的に基板上に配線、電極及びスイッチング素子などを含んで構成される電子回路を有し、表示装置等を始めとする電子機器の基幹部品の一つとして用いられている。回路基板の一種であるアクティブマトリクス基板は、複数の配線と、複数の画素と、画素に対応したスイッチング素子であるTFTなどを備える。アクティブマトリクス基板は、例えば、携帯電話、PDA（携帯情報通信端末）、テレビジョン受像機等として使用される液晶表示装置、EL（Electroluminescence）表示装置等の製造において広く用いられている。

[0003] アクティブマトリクス基板が有するTFTとしては、従来、アモルファスシリコンからなるアモルファスシリコン層を活性層とするTFT（以下、「アモルファスシリコンTFT」）が広く用いられている。

[0004] 近年アモルファスシリコンに代わる新たな半導体として、Zn-O系半導体（ZnO半導体）、In-Ga-Zn-O系半導体（IGZO半導体）などの金属酸化物半導体が考えられ、これらの金属酸化物半導体からなる酸化物半導体層を活性層とするTFT（酸化物半導体TFT）が提案されている。非特許文献1には、移動度（飽和移動度）が約 $5.6 \sim 8.0 \text{ cm}^2/\text{Vs}$ 、閾値が約 $-6.6 \sim -9.9 \text{ V}$ の特性を有する酸化物半導体TFTが記載されている。これに対して、一般的なアモルファスシリコンTFTの移動度は概ね $1 \text{ cm}^2/\text{Vs}$ 以下である。

- [0005] このようにアモルファスシリコンTFTの移動度と比べて、酸化物半導体TFTの移動度は高いので、酸化物半導体TFTを用いれば、より多機能な回路基板を作製することができるメリットがある。例えば酸化物半導体TFTを用いたアクティブマトリクス基板では、ゲートドライバ（走査信号線ドライバ）を回路基板上に一体として（モノリシック化して）形成しても、アモルファスシリコンTFTの場合のような大きな占有面積を必要としない。
- [0006] 従来のアモルファスシリコンTFTは、例えば特許文献1に示されているような4枚マスクプロセスで作成することが可能である。この4枚マスクプロセスでは、ハーフトーン露光技術が用いられ、ソース電極、ドレイン電極及びデータ信号線などを形成するためのソース金属層上に、2種類の膜厚を有するレジストパターン膜が形成され、ソース金属層とその下の半導体層は略同一のレジストパターン膜を用いて加工される。

先行技術文献

特許文献

- [0007] 特許文献1：特開2009-4787号公報

非特許文献

- [0008] 非特許文献1：Jeon-hun Lee他、「World's Largest (15-inch) XGA AMLCD Panel Using IGZO Oxide TFT」、SID 08 DIGEST、(米国)、Society for Information Display、2008年、第39巻、第1版、p. 625-628

発明の概要

発明が解決しようとする課題

- [0009] 上述した特許文献においては、半導体層、配線及び電極の形成の際にウェットエッチングを好適に適用し、生産性に優れる回路基板とすることについては言及がなかった。
- [0010] 従来のアモルファスシリコンTFTを用いたアクティブマトリクス基板の製

造方法としては、例えば、5枚マスクプロセス、すなわちゲート層形成工程、半導体層形成工程、ソース層形成工程、層間絶縁層形成工程、画素電極層形成工程の5つの工程それぞれで異なるマスク（レジストパターン膜）を用いるプロセスがある。この方法では、半導体層形成工程とソース層形成工程とを異なるマスクにて行うことになるが、レジストパターン膜形成のための露光装置などの設備投資が大きくなる方法であり、生産性をより向上させるための工夫の余地があった。より生産性を向上させるためのアクティブマトリクス基板の製造方法としては、透過、非透過、中間透過の3つの透過率を持つフォトマスクを用いてレジストパターン膜を段階的に設けることにより半導体層形成工程及びソース層形成工程を1枚のマスクで行うことができる4枚マスクプロセスがある。なお、本明細書中、1枚のマスクで行われる半導体層形成工程及びソース層形成工程を半導体層・ソース層形成工程ともいう。しかし、この4枚マスクプロセスにおいても、半導体層とコンタクト層がそれぞれ耐薬品性の高いアモルファスシリコン膜と n^+ アモルファスシリコン膜から形成される場合は、ソース層を形成するためのソース金属層や形成されたデータ信号線等にダメージを与えないようにしながら、アモルファスシリコン膜及び n^+ アモルファスシリコン膜のウェットエッチングを行うのは困難であり、アモルファスシリコン膜及び n^+ アモルファスシリコン膜のエッチングには一般的にドライエッチングが用いられている。

[0011] 従って、ソース金属層のエッチングにウェットエッチングを用いたとしても、アモルファスシリコン膜及び n^+ アモルファスシリコン膜のエッチングにはウェットエッチングに比べてスループットが劣るドライエッチングを用いる必要があり、設備投資が増大していた。このように従来の回路基板及びその製造方法では、スループットや設備投資などの生産性を向上するという点で工夫の余地があった。

[0012] より詳細に説明すると、従来の4枚マスクプロセスでアクティブマトリクス基板を製造する場合、半導体層・ソース層形成工程では、半導体層の形成→ソース層を形成する導電体層（ソース金属層）の形成→フォトリソグラフィ

法による２段階の膜厚を有するレジストパターン膜（厚いレジストパターン膜及び薄いレジストパターン膜）の形成→第１エッチング工程→第２エッチング工程→レジストパターン膜の剥離の順（矢印が次の操作への移行を示す）に操作を行っている。

[0013] ここで、第１エッチング工程では、主にＴＦＴのギャップ部以外の部分での加工が行われ、ソース金属層、 n^+ アモルファスシリコン膜及びアモルファスシリコン膜のエッチングが順次行われる。第２エッチング工程では、主にＴＦＴギャップ部（ＴＦＴのソース・ドレイン電極間に相当する部位）における加工が行われ、ＴＦＴギャップ部における薄いレジストパターン膜のドライエッチング除去→ＴＦＴのギャップ部におけるソース金属層のエッチング→ＴＦＴのギャップ部における n^+ アモルファスシリコン膜のエッチング（矢印が次の操作への移行を示す）が行われる。

[0014] すなわち、第１エッチング工程、第２エッチング工程の両方でアモルファスシリコン膜及び／又は n^+ アモルファスシリコン膜をドライエッチングする工程が含まれる。このような方法では、従来の５枚マスクプロセスと同様にドライエッチング回数を削減できないため、設備投資のさらなる削減は困難であった。

[0015] なお、従来の５枚マスクプロセスにおいても、半導体層形成工程、ソース層形成工程ではその両方でアモルファスシリコン膜及び／又は n^+ アモルファスシリコン膜をドライエッチングでエッチングする工程が含まれる。このような方法では、ドライエッチング回数を削減できないため、エッチング関連についての設備投資のさらなる削減は困難であった。

[0016] 本発明は、上記現状に鑑みてなされたものであり、生産性に優れる回路基板、特に半導体層・ソース層形成工程に関する生産性に優れ、製造良品率に優れる回路基板、表示装置、及び、回路基板の製造方法を提供することを目的とするものである。

課題を解決するための手段

[0017] 本発明者らは、生産性に優れる回路基板、表示装置、及び、回路基板の製造

方法について種々検討したところ、回路基板の構成部材である半導体層及びそれに接続された電極に関する形成工程に着目した。そして、従来の回路基板においてはソース金属層及びソース金属層から形成される構成部材（例えばソース電極、ドレイン電極、データ信号線等）にダメージを与えないようにしながら半導体層に対して制御性よくウェットエッチングを行うことができなかったことを見いだすとともに、酸化物半導体層及びそれに接続された電極を有する回路基板であって、上記電極は、銅以外の金属からなる層と銅を含む層とを必須として積層して形成したものとするによりウェットエッチングにおける酸化物半導体層とソース金属層及びソース金属層から形成される構成部材との選択率比を十分に調整することが可能となり、生産性を十分に向上することができることを見だし、上記課題をみごとに解決することができることに想到し、本発明に到達したものである。

[0018] すなわち、本発明は、酸化物半導体層及びそれに接続された電極を有する回路基板であって、上記電極は、銅（Cu）以外の金属からなる層と銅を含む層とを必須として積層して形成したものである回路基板である。ここで、銅以外の金属は、例えばモリブデン（Mo）、チタン（Ti）を含む金属である。

[0019] 半導体層として酸化物半導体層（特に、IGZO半導体層）を用い、上記電極を、銅以外の金属からなる層と銅を含む層とを必須として積層して形成したものとするにより、例えば4枚マスクプロセスにおける半導体層・ソース層形成工程において、ウェットエッチングにおける酸化物半導体と電極の上層及び／又は下層との選択率比を十分に調整することができ、ソース金属層、ソース金属層1次加工層及び半導体層に対してウェットエッチングを制御性よく行うことが可能となる。その結果、回路基板を効率よく得ることができ、製造良品率を向上させることができる。また、上記構成の回路基板においてウェットエッチングを行うことにより、本発明の4枚マスク（例えば、IGZOを用いたTFT、ソース：Cu/Mo積層膜又はCu/Ti積層膜等）における半導体層・ソース層形成工程では、上述した半導体層として

アモルファスシリコンを用いた従来の4枚マスクプロセスと比較して、第1エッチング工程、第2エッチング工程における半導体層のドライエッチングを2回減少させることができ、設備投資をより削減できるものとなる。

[0020] 上記電極は、銅以外の金属からなる層と銅を含む層とを必須として積層して形成したものであればよく、上記銅以外の金属からなる層の前、上記銅以外の金属からなる層と上記銅を含む層との間、上記銅を含む層の後にその他の導電体層を適宜積層することができるが、電極の最下層が銅以外の金属からなる層により構成されていることが好ましい。また、上記電極が実質的に銅以外の金属からなる層と銅を含む層とだけを積層して形成したものであることが好ましい。なお、上記電極が酸化物半導体層に接続されたとは、電気的な導通が可能となる程度に電極と酸化物半導体層とが接続されていればよく、具体的形状としては上記電極が酸化物半導体層の表面と接していてもよく、上記電極が酸化物半導体層のパターンエッジと接していてもよく、上記電極が薄膜の絶縁層を介して酸化物半導体層と接していてもよく、以下同様とする。

上記銅以外の金属からなる層と銅を含む層とは、厚さの比が、1 : 3 ~ 1 : 100であることが好ましい。より好ましくは、1 : 10 ~ 1 : 100である。このような場合、上記電極の端縁のテーパ形状を良好にするため、特に製造良品率を向上させることができる。また同様の理由で、上記銅以外の金属からなる層の厚さは3 nm ~ 50 nmであることが望ましい。

[0021] 本発明において好適なソース・ゲート電極の種類と、エッチャントの種類について、以下に詳述する。

本発明の回路基板の好ましい形態としては、上記銅以外の金属からなる層が、チタン及びモリブデンからなる群より選択される少なくとも1種を含むものである形態が挙げられる。例えば、チタン、チタン合金、モリブデン、モリブデン合金又はこれらが積層されたもの等を適宜用いることができる。より好ましい形態としては、上記銅以外の金属からなる層が、チタン及びモリブデンからなる群より選択される少なくとも1種からなるものである形態で

ある。また、上記銅を含む層は、銅からなる形態であることが好ましい。

[0022] 上記酸化物半導体層は、通常は複合金属酸化物半導体層であり、インジウム酸化物 (In_2O_3)、ガリウム酸化物 (Ga_2O_3)、亜鉛酸化物 (ZnO) を含んだインジウムガリウム亜鉛複合酸化物 (以下、IGZOともいう。) を含むことが好ましい。本発明の回路基板のより好ましい態様としては、上記酸化物半導体層が、インジウムガリウム亜鉛複合酸化物からなる形態が挙げられる。さらに、本発明の回路基板の別の態様としては、上記酸化物半導体層が、複数の組成が互いに異なるインジウムガリウム亜鉛複合酸化物からなる形態が挙げられ、同様に本発明を実施することができる。

[0023] 本発明の回路基板の好ましい形態としては、上記電極は、ソース電極及びドレイン電極を含み、該ソース電極及びドレイン電極は、それぞれ上記酸化物半導体層と接続された部分を有し、該ソース電極の該半導体層と接続された部分と該ドレイン電極の該半導体層と接続された部分とが間隔をあけて対向する形態が挙げられる。TFTとして広く一般的に用いられる、上記形態を有する回路基板に本発明を好適に適用することができる。

[0024] 上記ソース電極の上記半導体層と接続された部分及び上記ドレイン電極の該半導体層と接続された部分は、基板主面を平面視したときに、該半導体層よりも内側であることが好ましい。回路基板の製造工程において上述したようにウェットエッチングの制御性を高めることにより、上記形態とすることができる。言い換えれば、該半導体層が、ソース電極及びドレイン電極のいずれよりも幅広である形態が好ましい。より好ましくは、該半導体層が、データ信号線、ソース電極、ドレイン電極、及び、ドレイン引出線のいずれよりも幅広である形態である。

[0025] 本発明はまた、本発明の回路基板を備える表示装置でもある。これにより、上述した回路基板と同様の効果を発揮することができる。上記表示装置が備える回路基板の好ましい形態は、上述した回路基板の好ましい形態と同様である。

[0026] 本発明は更に、酸化物半導体層及びそれに接続された電極を有する回路基板

の製造方法であって、上記製造方法は、酸化物半導体層を形成する半導体層形成工程、銅以外の金属からなる層と銅を含む層とを必須として積層することにより導電体層を形成する導電体層形成工程、該導電体層をウェットエッチングにより処理する処理工程を含み、上記処理工程は、該電極を形成する回路基板の製造方法でもある。これにより、上述した本発明の回路基板と同様に、生産性を向上することができる。本発明の回路基板の製造方法の好ましい形態は、本発明の回路基板の好ましい形態と同様である。なお、上記銅以外の金属からなる層と銅を含む層とを必須として積層するとは、酸化物半導体層を形成し、銅以外の金属からなる層と銅を含む層とを必須として積層して形成したものであればよく、上記銅以外の金属からなる層の前、上記銅以外の金属からなる層と上記銅を含む層との間、上記銅を含む層の後にその他の導電体層を適宜積層することができるが、電極の最下層が銅以外の金属からなる層により構成されていることが好ましい。また、実質的に銅以外の金属からなる層と銅を含む層とだけを積層する形態が特に好適である。

[0027] 本発明の回路基板の製造方法の好ましい形態としては、例えば、以下の（１）、（２）の形態が挙げられる。（１）上記処理工程は、上記導電体層、及び、酸化物半導体層をエッチングする第１エッチング工程、並びに、該導電体層をウェットエッチングによりエッチングする第２エッチング工程を含み、上記第２エッチング工程は、該導電体層をソース電極とドレイン電極に分離して、該ソース電極の該半導体層と接続された部分と該ドレイン電極の該半導体層と接続された部分とが間隔をあけて対向するようにするものである形態、（２）上記処理工程は、該導電体層をウェットエッチングによりエッチングするギャップ部エッチング工程を含み、上記ギャップ部エッチング工程は、該導電体層をソース電極とドレイン電極に分離して、該ソース電極の該半導体層と接続された部分と該ドレイン電極の該半導体層と接続された部分とが間隔をあけて対向するようにする形態。

[0028] まず、本発明の回路基板の製造方法の一つの好ましい形態である上記（１）の形態について説明する。上記（１）の形態は、半導体層形成工程とソース

層形成工程とを1枚のマスクを用いて行う4枚マスクプロセスに適用した際に特に好適なものである。

[0029] 上記第2エッチング工程は、本発明の回路基板としての機能を損なわないものである限り、酸化物半導体層を部分的に除去するものであってもよい。

[0030] 上記第1エッチング工程及び／又は第2エッチング工程において、上記銅を含む層を、過酸化水素及び酸を含むエッチャントでエッチングする形態が好ましい。例えば、上記第2エッチング工程は、過酸化水素及び酸を含むエッチャントを用いる形態であることが好ましい。

また、上記銅以外の金属からなる層はモリブデンを含む金属からなる層であって、第1エッチング工程及び／又は第2エッチング工程において、該モリブデンを含む金属からなる層を、過酸化水素及び酸を含むエッチャントでエッチングする形態が好ましい。

[0031] また上記第1エッチング工程及び／又は第2エッチング工程において、上記銅を含む層を、アルカリ性エッチャントでエッチングする形態が好ましい。例えば、上記第2エッチング工程が、アルカリ性のエッチャントを用いる形態であることが好ましい。更に、上記銅以外の金属からなる層はチタンを含む金属からなる層であって、第1エッチング工程及び／又は第2エッチング工程において、該チタンを含む金属からなる層を、アルカリ性エッチャントでエッチングする形態が好ましい。

[0032] また本発明の回路基板の製造方法において、上記アルカリ性のエッチャントとしては、具体的には、アンモニア、過酸化水素を含むエッチャントが挙げられる。例えば、上記アルカリ性エッチャントは、過酸化水素及びアンモニアを含むエッチャントであることが好ましい。なお、例えば銅をエッチングするのに用いられるアルカリ性エッチャントは、銅アルカリ性エッチャントともいう。

また、上記第1エッチング工程において、上記酸化物半導体層を、シュウ酸を含むエッチャントでエッチングする形態が好ましい。

更に、上記アルカリ性エッチャントは、過酸化水素、アンモニア及び酸を含

むエッチャントであることが好ましい。このような場合、上記銅を含む層と、上記チタンを含む金属からなる層を一括でエッチングすることが好ましい。

- [0033] 次に、本発明の回路基板の製造方法のもう一つの好ましい形態である上記（２）の形態について説明する。上記（２）の形態は、半導体層形成工程とソース層形成工程とを別個のマスクを用いて行う５枚マスクプロセスに適用した際に特に好適なものである。

本発明の回路基板の製造方法における上記処理工程は、該導電体層をウェットエッチングによりエッチングするギャップ部エッチング工程を含み、上記ギャップ部エッチング工程は、該導電体層をソース電極とドレイン電極に分離して、該ソース電極の該半導体層と接続された部分と該ドレイン電極の該半導体層と接続された部分とが間隔をあけて対向するようにするものであることが好ましい。

- [0034] 上記ギャップ部エッチング工程において、上記銅を含む層を、過酸化水素及び酸を含むエッチャントでエッチングする形態が好ましい。

上記銅以外の金属からなる層は、モリブデンを主体とした金属からなる層であって、上記ギャップ部エッチング工程において、該モリブデンを主体とした金属からなる層を、過酸化水素及び酸を含むエッチャントでエッチングする形態が好ましい。

- [0035] 上記ギャップ部エッチング工程において、上記銅を含む層を、アルカリ性エッチャントでエッチングする形態が好ましい。

上記銅以外の金属からなる層は、チタンを主体とした金属からなる層であって、上記ギャップ部エッチング工程において、該チタンを主体とした金属からなる層を、アルカリ性エッチャントでエッチングする形態が好ましい。上述したアルカリ性エッチャントは、過酸化水素及びアンモニアを含むエッチャントであることが好適である。

更に、上記ギャップ部エッチング工程において、上記アルカリ性エッチャントは、過酸化水素、アンモニア及び酸を含むエッチャントであることが好ま

しい。このような場合、上記銅を含む層と、上記チタンを含む金属からなる層を一括でエッチングすることが好ましい。

また上記半導体層形成工程において、上記酸化物半導体層を、シュウ酸を含むエッチャントでエッチングする形態が好適である。

[0036] このようなエッチャントは、IGZOからなる半導体層へのエッチングダメージを低減し、パターン不良を十分に防ぐことができる点で、酸化物半導体TFTを作製するときのエッチャントとして特に適するものであり、生産性を十分に向上することができる。

[0037] 本発明の回路基板の構成としては、上述した酸化物半導体層及びそれに接続された電極を有し、上記電極は、銅以外の金属からなる層と銅を含む層とを必須として積層して形成したものであるという必須の構成要素や上述した好ましい構成要素以外にも、通常、回路基板を構成するその他の構成要素を有することになる。本発明の表示装置及び回路基板の製造方法についても同様である。このような他の構成要素については、特に限定されるものではない。

[0038] 上述した各形態は、本発明の要旨を逸脱しない範囲において適宜組み合わせられてもよい。

発明の効果

[0039] 本発明の回路基板、表示装置、及び、回路基板の製造方法によれば、回路基板及びそれを備える表示装置において、生産性を十分に向上することができる。

図面の簡単な説明

[0040] [図1] 本発明の実施形態1に係る液晶表示装置を模式的に示す平面図である。

[図2] 図1中のA-A'線における断面図である。

[図3] 実施形態1、2のアクティブマトリクス基板1の平面図を示す。

[図4] 実施形態1、2のアクティブマトリクス基板1を示す図面であって、表示領域における画素19の構成を示す平面図である。

[図5] 図4のA-A'線における断面図である。

[図6]実施形態1におけるゲート端子21の構成を示す平面模式図である。

[図7]実施形態1におけるソース端子24の構成を示す平面模式図である。

[図8]実施形態1におけるコンタクト25の構成を示す平面模式図である。

[図9]図6のB-B'線における断面模式図である。

[図10]図7のC-C'線における断面模式図である。

[図11]図8のD-D'線における断面模式図である。

[図12]実施形態1のアクティブマトリクス基板1を作製する工程を示す工程図である。

[図13]実施形態1の半導体層・ソース層形成工程S102を詳細に説明する工程図である。

[図14]ゲート層形成工程S101が完了した状態での図4のA-A'線に相当する断面を示す断面図である。

[図15]ゲート層形成工程S101が完了した状態での図6のB-B'線に相当する断面を示す断面図である。

[図16]ゲート層形成工程S101が完了した状態での図7のC-C'線に相当する断面を示す断面図である。

[図17]ゲート層形成工程S101が完了した状態での図8のD-D'線に相当する断面を示す断面図である。

[図18]レジストパターン膜形成工程S106が完了した状態での図4のA-A'線に相当する断面を示す断面図である。

[図19]レジストパターン膜形成工程S106が完了した状態での図6のB-B'線に相当する断面を示す断面図である。

[図20]レジストパターン膜形成工程S106が完了した状態での図7のC-C'線に相当する断面を示す断面図である。

[図21]レジストパターン膜形成工程S106が完了した状態での図8のD-D'線に相当する断面を示す断面図である。

[図22]第1エッチング工程S107が完了した状態での図4のA-A'線に相当する断面を示す断面図である。

[図23]第1エッチング工程S107が完了した状態での図6のB-B'線に相当する断面を示す断面図である。

[図24]第1エッチング工程S107が完了した状態での図7のC-C'線に相当する断面を示す断面図である。

[図25]第1エッチング工程S107が完了した状態での図8のD-D'線に相当する断面を示す断面図である。

[図26]アッシング工程S108が完了した状態での図4のA-A'線に相当する断面を示す断面図である。

[図27]アッシング工程S108が完了した状態での図6のB-B'線に相当する断面を示す断面図である。

[図28]アッシング工程S108が完了した状態での図7のC-C'線に相当する断面を示す断面図である。

[図29]アッシング工程S108が完了した状態での図8のD-D'線に相当する断面を示す断面図である。

[図30]第2エッチング工程S109が完了した状態での図4のA-A'線に相当する断面を示す断面図である。

[図31]第2エッチング工程S109が完了した状態での図6のB-B'線に相当する断面を示す断面図である。

[図32]第2エッチング工程S109が完了した状態での図7のC-C'線に相当する断面を示す断面図である。

[図33]第2エッチング工程S109が完了した状態での図8のD-D'線に相当する断面を示す断面図である。

[図34]半導体層・ソース層形成工程S102が完了した状態での図4のA-A'線に相当する断面を示す断面図である。

[図35]半導体層・ソース層形成工程S102が完了した状態での図6のB-B'線に相当する断面を示す断面図である。

[図36]半導体層・ソース層形成工程S102が完了した状態での図7のC-C'線に相当する断面を示す断面図である。

[図37]半導体層・ソース層形成工程S 1 0 2が完了した状態での図8のD－D' 線に相当する断面を示す断面図である。

[図38]層間絶縁層形成工程S 1 0 3が完了した状態での図4のA－A' 線に相当する断面を示す断面図である。

[図39]層間絶縁層形成工程S 1 0 3が完了した状態での図6のB－B' 線に相当する断面を示す断面図である。

[図40]層間絶縁層形成工程S 1 0 3が完了した状態での図7のC－C' 線に相当する断面を示す断面図である。

[図41]層間絶縁層形成工程S 1 0 3が完了した状態での図8のD－D' 線に相当する断面を示す断面図である。

[図42]実施形態3のアクティブマトリクス基板1を示す図面であって、表示領域における画素19の構成を示す平面図である。

[図43]実施形態3のアクティブマトリクス基板1を示す図面であって、図42のA－A' 線における断面図である。

[図44]実施形態3におけるゲート端子21の構成を示す平面模式図である。

[図45]実施形態3におけるソース端子24の構成を示す平面模式図である。

[図46]実施形態3におけるコンタクト25の構成を示す平面模式図である。

[図47]図44のB－B' 線における断面模式図である。

[図48]図45のC－C' 線における断面模式図である。

[図49]図46のD－D' 線における断面模式図である。

[図50]実施形態3のアクティブマトリクス基板1を作製する工程を示す工程図である。

[図51]実施形態3のソース層形成工程S 1 2 3を詳細に説明する工程図である。

[図52]半導体層形成工程S 1 2 2が完了した状態での図42のA－A' 線に相当する断面を示す断面図である。

[図53]半導体層形成工程S 1 2 2が完了した状態での図44のB－B' 線に相当する断面を示す断面図である。

[図54]半導体層形成工程S 1 2 2が完了した状態での図4 5のC－C' 線に相当する断面を示す断面図である。

[図55]半導体層形成工程S 1 2 2が完了した状態での図4 6のD－D' 線に相当する断面を示す断面図である。

[図56]ギャップ部エッチング工程S 1 2 7が完了した状態での図4 2のA－A' 線に相当する断面を示す断面図である。

[図57]ギャップ部エッチング工程S 1 2 7が完了した状態での図4 4のB－B' 線に相当する断面を示す断面図である。

[図58]ギャップ部エッチング工程S 1 2 7が完了した状態での図4 5のC－C' 線に相当する断面を示す断面図である。

[図59]ギャップ部エッチング工程S 1 2 7が完了した状態での図4 6のD－D' 線に相当する断面を示す断面図である。

[図60]テレビジョン受像機用の液晶表示装置8 0 0の構成を示すブロック図である。

[図61]液晶表示装置8 0 0にチューナ部9 0が接続された本実施形態のテレビジョン受像機6 0 1の構成を示すブロック図である。

[図62]本実施形態のテレビジョン受像機の一構成例を示す分解斜視図である。

発明を実施するための形態

[0041] 以下に実施形態を掲げ、本発明を図面を参照して更に詳細に説明するが、本発明はこれらの実施形態のみに限定されるものではない。本発明は、実施形態の液晶表示装置のみならず、例えば有機EL表示装置、無機EL表示装置等のEL表示装置等にも適用することが可能である。説明の便宜のため、以下では、走査信号線の延伸方向を行方向とし、データ信号線の延伸方向を列方向とする。ただし、本実施形態の液晶パネル（又はこれに用いられるアクティブマトリクス基板）を備えた液晶表示装置の利用（視聴）状態において、その走査信号線が横方向に延伸していても縦方向に延伸していてもよいことはいうまでもない。なお、液晶パネルを示す図面では、配向規制用構造物

を適宜省略して記載している。また、本明細書中、画素と対応するとは、当該画素を駆動する際に用いられる部材であることを意味する。

[0042] <実施形態 1>

(液晶表示装置の構成例)

図 1 は、本発明の実施形態 1 に係る液晶表示装置 1000 を模式的に示す平面図である。液晶表示装置 1000 は、主として回路基板の一種であるアクティブマトリクス基板 1 と、アクティブマトリクス基板 1 にシール材 2 を用いて貼り合わされた対向基板（カラーフィルタ基板）3 とからなる液晶パネル 4 と、ゲートドライバ 5、ソースドライバ 6、ポリイミドフィルム 7、8 及び外部基板 9 とからなる。

[0043] ゲートドライバ 5、ソースドライバ 6 は、ポリイミドフィルム 7、8 やアクティブマトリクス基板 1 に設けられた配線（図示せず）や、ゲート端子部 11 及びソース端子部 12 における端子等を介して、外部基板 9 から駆動に必要な電源、信号類を受け取り、液晶パネル 4 へ所定の出力を行う。

[0044] 図 2 は、図 1 中の A-A' 線における断面図であって、アクティブマトリクス基板 1 と対向基板 3 との間には、液晶材料 13 が保持されている。本実施形態では、対向基板 3 には、液晶材料 13 側の面において、カラーフィルタ層とブラックマトリクス層と、対向電極が設けられるが、ここでは記載を略している。また、液晶表示装置は、このほかに偏光フィルム等の光学フィルム、バックライトユニット、その他光学部品、回路部品、これらの部品を所定の位置に保持するためのベゼル等を備えるが、これらも図 1 及び図 2 では記載を略している。

[0045] なお、図 1、図 2 では、ゲートドライバ 5 は、液晶表示装置 1000 の両端部（図面左右端部）に列をなして設けられているが、本発明はこれに限定されず、例えば、液晶表示装置 1000 の一端部（左端部又は右端部）のみに設けられていてもよい。同様に、図 1、図 2 においては、ソースドライバ 6 は、液晶表示装置 1000 の一端部（図面上端部）に列をなして設けられているが、例えば、液晶表示装置 1000 の上下端部（図面上下端部）に設け

られていてもよい。

[0046] (アクティブマトリクス基板の構成例)

図3に、実施形態1、2のアクティブマトリクス基板1の平面図を示す。

本発明のアクティブマトリクス基板1上の領域は、複数の画素を有する表示領域15と、その周囲の周辺領域16とに分けることができる。図3において、表示領域15は斜線(破線)で示されている領域である。周辺領域16はその外側の領域である。なお、液晶パネルの作製のためには、シール材は、その外側の領域の破線で示したシール線17において、表示領域15を外側から取り囲むように配置される。

[0047] アクティブマトリクス基板1は、ガラス基板18上に画素と各種配線を有していて、 m 本の走査信号線 $GL1 \sim GLm$ と、 m 本の保持容量配線 $CSL1 \sim m$ と、 n 本のデータ信号線 $SL1 \sim n$ を有し、これらに対応した $m \times n$ 個の画素を有する(m 及び n は、自然数である)。

図3の画素19は、 i 番目の走査信号線 GLi と、 i 番目の保持容量配線 $CSLi$ と、 j 番目のデータ信号線 SLj とに対応する画素である。

走査信号線 $GL1 \sim m$ は、それぞれ、走査信号線 $GL1 \sim m$ と同層の金属層からなるゲート引出線20を介し、ゲート端子21に接続されている。ここで、ゲート端子21はゲート端子部11において多数設けられている。

[0048] データ信号線 $SL1 \sim n$ は、それぞれ、データ信号線 $SL1 \sim n$ と同層の金属層からなるソース引出線23を介し、ソース端子24に接続されている。ここで、ソース端子24はソース端子部12において多数設けられている。

[0049] 保持容量配線 $CSL1 \sim m$ は、それぞれ、コンタクト25を介して、データ信号線 $SL1 \sim n$ と同層の金属層からなる保持容量配線幹26に接続され、保持容量配線幹26は、データ信号線 $SL1 \sim n$ と同層の金属層からなる保持容量配線幹引出線27を介して保持容量配線端子28に接続されている。ここで、保持容量配線端子28はソース端子部12の一部において少数設けられて、これと図1に示されるポリイミドフィルム8に設けられた配線を介して、外部基板9から供給される信号を受け取る。

[0050] 図4～図11において、本発明のアクティブマトリクス基板1を詳細に説明する。

ここでは、画素19は、 i 番目の走査信号線46（ GL_i ）と、 j 番目のデータ信号線45（ SL_j ）と対応し、これらの交点付近に設けられ、 i 番目の保持容量配線47（ CSL_i ）が画素19を横切るように配置されている。ここで、 i 、 j は、それぞれ、 m 、 n 以下の任意の自然数である。画素19は、例えば透過型液晶表示装置においては、バックライト光の透過率を液晶材料13を用いて変化させて表示を行う領域である。

[0051] 図4及び図5は、実施形態1、2のアクティブマトリクス基板1を示す図面であって、図4は、表示領域における画素19の構成を示す平面図である。図5は、図4のA-A'線における断面図である。画素19は画素電極31と、TFT32とを有する。TFT32は、ゲート電極33、ソース電極35、及び、ドレイン電極36を有し、ここで、ゲート電極33は、走査信号線46（ GL_i ）から分岐されて形成され、ソース電極35はデータ信号線45（ SL_j ）から分岐されて形成されている。

[0052] ドレイン電極36は、ドレイン引出線（ドレイン配線）37に接続され、ドレイン引出線37は電極38に接続され、電極38はコンタクト39を介して画素電極31に接続されている。酸化物半導体層34は、データ信号線45とソース電極35と、ドレイン電極36と、ドレイン引出線37と、電極38の下層側（ガラス基板10側）の全体にあるが、酸化物半導体層34のパターンエッジは、データ信号線45とソース電極35と、ドレイン電極36と、ドレイン引出線37と、電極38のパターンエッジより外側、すなわち、酸化物半導体層34はデータ信号線45とソース電極35と、ドレイン電極36と、ドレイン引出線37と、電極38よりも幅広である。TFT32のギャップ部41は、ソース電極35とドレイン電極36の間における領域で、酸化物半導体層34はこの領域でも残されている。

[0053] 保持容量形成部42は、ゲート絶縁層43と層間絶縁層44を介して、保持容量配線47が画素電極31と重なっている部分と、ゲート絶縁層43を介

して、保持容量配線 47 が電極 38 と重なっている部分との両方からなり、ここで形成される容量は保持容量として、画素電極 31 の電位の安定に寄与する。

[0054] 図 5 を用いて、更に詳細に説明すると、走査信号線 46、ゲート電極 33、保持容量配線 47 はそれぞれモリブデンからなる下層 46a、33a、47a と、それぞれ銅からなる上層 46b、33b、47b からなり、後に説明するように、同一のゲート金属層から形成されている。

また、データ信号線 45、ソース電極 35、ドレイン電極 36、ドレイン引出線 37、電極 38 は、それぞれモリブデンからなる下層 45a、35a、36a、37a、38a と、それぞれ銅からなる上層 45b、35b、36b、37b、38b からなり、同一のソース金属層から形成されている。

[0055] 図 6～図 11 は、本実施形態のアクティブマトリクス基板 1 を示す図面である。

図 6 は、本実施形態におけるゲート端子 21 の構成を示す平面模式図である。図 7 は、本実施形態におけるソース端子 24 の構成を示す平面模式図である。図 8 は、本実施形態におけるコンタクト 25 の構成を示す平面模式図である。

図 9、図 10、図 11 は、それぞれ図 6 の B-B' 線における断面模式図、図 7 の C-C' 線における断面模式図、図 8 の D-D' 線における断面模式図である。

[0056] 図 6 及び図 6 の B-B' 線における断面を示す図 9 において、ゲート端子 21 は、ゲート引出線 20 が、ゲート端子金属層 51 と接続されていて、ゲート絶縁層 43 と層間絶縁層 44 が取り除かれた部分で、ゲート端子金属層 51 は透明電極層 52 と接続されている。ここで、透明電極層 52 はゲート端子金属層 51 をパターン端を含めて完全に覆っている。ゲート引出線 20 とゲート端子金属層 51 とは、それぞれモリブデンからなる下層 20a、51a と、それぞれ銅からなる上層 20b、51b からなり、図 4 及び図 5 における走査信号線 46 等と同一のゲート金属層から形成されている。

[0057] 図 7 及び図 7 の C-C' 線における断面を示す図 10 において、ソース端子 24 は、ソース引出線 23 が、ソース端子金属層 53 と接続されていて、層間絶縁層 44 が取り除かれた部分で、ソース端子金属層 53 は透明電極層 54 と接続されている。ここで、透明電極層 54 はソース端子金属層 53 のパターン端を含めて完全に覆っている。ソース引出線 23 とソース端子金属層 53 は、それぞれモリブデンからなる下層 23a、53a と、それぞれ銅からなる上層 23b、53b からなり、図 4 及び図 5 におけるデータ信号線 45 等と同一のソース金属層から形成されている。

[0058] 図 8 及び図 8 の D-D' 線における断面を示す図 11 において、保持容量配線 47 と、保持容量配線幹 26 の両方と重なってこれらの一部を露出する開口部 55 が設けられ、上層の接続電極 56 を経由して保持容量配線 47 と、保持容量配線幹 26 が接続されている。保持容量配線幹 26 は、それぞれモリブデンからなる下層 26a と、それぞれ銅からなる上層 26b からなり、図 4 及び図 5 におけるデータ信号線 45 等と同一のソース金属層から形成されている。

[0059] なお、保持容量配線端子 28 はソース端子 24 と同様の構造であって、図 7 及び図 10 においてソース引出線 23 を保持容量配線幹引出線 27 に置き換えて考えればよく、詳細な説明は略する。

[0060] なお、本実施形態における他の画素の構成（各部材の形状及び配置並びに接続関係）は、図 4～図 5 において示された画素 19 のそれと同様である。

[0061] （アクティブマトリクス基板 1 の製造方法）

本実施形態のアクティブマトリクス基板 1 は、図 12 及び図 13 に示した工程図のとおり作成される。なお、以下ではアクティブマトリクス基板について説明するが、本発明は別の回路基板についても適用することが可能である。

図 12 は、本実施形態のアクティブマトリクス基板 1 を作製する工程を示す工程図である。

図 13 は、本実施形態の半導体層・ソース層形成工程 S102 を詳細に説明

する工程図である。

[0062] アクティブマトリクス基板 1 の具体的な製造工程としては、TFT のチャンネル部が酸化物半導体（例えば、IGZO）、走査信号線がCu/Mo積層膜、データ信号線がCu/Mo積層膜からなる回路基板を 4 枚マスクプロセスで作製した一例（実施形態 1）を挙げると、以下のようなになる。すなわち、上記製造工程は、図 12 に示されるとおりであり、4 枚マスクプロセスを用いてゲート層形成工程 S101、半導体層・ソース層形成工程 S102、層間絶縁層形成工程 S103、画素電極層形成工程 S104 を含む。なお、本発明は、このように 4 枚マスクプロセス（ソース金属層・半導体層同一マスク加工）を用いた場合に特に適する。

[0063] ゲート層形成工程 S101

図 14～図 17 は、ゲート層形成工程 S101 が完了した状態を示す。図 14 は、ゲート層形成工程 S101 が完了した状態での図 4 の A-A' 線に相当する断面を示す断面図である。図 15 は、ゲート層形成工程 S101 が完了した状態での図 6 の B-B' 線に相当する断面を示す断面図である。図 16 は、ゲート層形成工程 S101 が完了した状態での図 7 の C-C' 線に相当する断面を示す断面図である。図 17 は、ゲート層形成工程 S101 が完了した状態での図 8 の D-D' 線に相当する断面を示す断面図である。

[0064] ゲート層形成工程 S101 は、Cu/Mo 積層膜を形成する工程、フォトリソグラフィ法により、フォトレジスト材料によるレジストパターン膜を形成する工程、Cu/Mo 積層膜に対してウェットエッチングを行う工程、レジストパターン膜を剥離する工程を含む。まず、アルゴン（Ar）ガスを用いたスパッタ法により、ガラス、プラスチック等の透明絶縁性基板（図 3 ではガラス基板 18）上にモリブデン（Mo）、銅（Cu）を順に堆積（デポジション）して、Cu/Mo 積層膜であるゲート金属層（図示せず）を形成する。このとき、モリブデンの膜厚は例えば 10 nm とし、銅の膜厚は例えば 300 nm とする。本実施形態では、ゲート金属層を形成する際のガラス基板 10 の温度は例えば 100～200℃とする。

[0065] 続いて、フォトリソグラフィ法、すなわち対象となる膜上にフォトレジスト材料によるレジストパターン膜を形成する。このレジストパターン膜をマスクとしてCu/Mo積層膜のパターニングを行う方法を用いて、ゲート金属層から、走査信号線46、ゲート電極33、保持容量配線47、ゲート引出線20、及びゲート端子金属層51を形成する。

ここで、走査信号線46、ゲート電極33、保持容量配線47、ゲート引出線20、及びゲート端子金属層51は2層構造であって、それぞれの下層はモリブデンからなり、上層は銅からなる。

[0066] このときのゲート金属層のエッチングには、過酸化水素 (H_2O_2) 及び硝酸 (HNO_3) を含んだエッチャントを用いて、ウェットエッチング法によって行うことができる。より具体的には、過酸化水素 (H_2O_2) 及び硝酸 (HNO_3) を含んだエッチャントは、過酸化水素 (H_2O_2) を2重量%、及び硝酸 (HNO_3) を1重量%含み、残部水からなるエッチャントであってもよく、このエッチャントの液温は例えば24℃として用いてもよい。

[0067] なお、ゲート金属層のエッチングにおいては、硝酸の代わりに任意の酸を用いることができ、過酸化水素 (H_2O_2) 及び硝酸 (HNO_3) を含んだエッチャントは、過酸化水素 (H_2O_2) 及び任意の酸を含んだエッチャントであってもよい。この任意の酸としては、硫酸、過硫酸（ペルオキソー硫酸）、塩酸、りん酸、臭化水素酸などの無機酸、クエン酸、シュウ酸、酢酸などの有機酸などを用いることができ、同様に実施することができる。

また、ゲート金属層のエッチングにおいては、りん酸、酢酸及び硝酸を含む従来のエッチャントを用いることもできる。

[0068] 本実施形態において、ゲート金属層はガラス基板10側から、モリブデンを含んだ金属の層、銅を含んだ金属の層で構成されていてもよく、同様のエッチャントを用いて、同様にアクティブマトリクス基板の製造良品率を向上させることができる。

[0069] 本実施形態において、それぞれモリブデンを含んだ金属は、モリブデンを主体とした金属であって、モリブデンの含有率が50重量%以上、銅を含んだ

金属は銅の含有量が50重量%以上であればよい。より好ましくは、モリブデンを含んだ金属はモリブデンの含有率が80重量%以上、銅を含んだ金属は銅の含有量が80重量%以上であればよい。モリブデンを含んだ金属としては、窒素、酸素、バナジウム、ニオブ、ネオジウム、銅、タングステン、チタン、及び、タンタルから選ばれる1種類以上の元素とモリブデンを含有したモリブデン合金であってもよく、銅を含有した金属は窒素、酸素、バナジウム、ニオブ、ネオジウム、モリブデン、タングステン、チタン、及び、タンタルから選ばれる1種類以上の元素と銅を含む合金（銅合金）であってもよい。さらに、モリブデンを含んだ金属の層、銅を含んだ金属の層は、それぞれ積層構造を有してもよく、それぞれ、全体としてモリブデンを含んだ金属の層、銅を含んだ金属の層であればよい。

[0070] 半導体層・ソース層形成工程S102

半導体層・ソース層形成工程S102は、成膜工程S105、レジストパターン膜形成工程S106、第1エッチング工程（ウェットエッチング）S107、アッシング工程S108、第2エッチング工程（ウェットエッチング）S109、レジスト剥離工程S110を含む。

[0071] 成膜工程S105、及び、レジストパターン膜形成工程S106

図18～図21は、半導体層・ソース層形成工程S102工程中の、レジストパターン膜形成工程S106が完了した状態を示す。図18は、レジストパターン膜形成工程S106が完了した状態での図4のA-A'線に相当する断面を示す断面図である。図19は、レジストパターン膜形成工程S106が完了した状態での図6のB-B'線に相当する断面を示す断面図である。図20は、レジストパターン膜形成工程S106が完了した状態での図7のC-C'線に相当する断面を示す断面図である。図21は、レジストパターン膜形成工程S106が完了した状態での図8のD-D'線に相当する断面を示す断面図である。

[0072] 成膜工程S105、及び、レジストパターン膜形成工程S106では、図14～図17に示したゲート層形成工程S101が完了した状態から、絶縁層

61、酸化物半導体層（IGZO）62、ソース金属層63を順次成膜し、先のフォトリソグラフィ法によりレジストパターン膜65を形成している。

[0073] ギャップ部41にはレジストパターン膜厚が他と比べて薄い部分（ハーフレジスト部）があり、これは、部位によって、透過、非透過、中間透過の3つの透過率をもつフォトマスクを用いて、露光量を調整することで作られている。

[0074] 絶縁層61は、ガラス基板10側から、窒化シリコン膜（ SiN_x ）、酸化シリコン膜（ SiO_x ）からなっている。これらの膜の成膜にはプラズマCVD法を用いており、成膜用のガスとしては、窒化シリコン膜の場合は、シラン（ SiH_4 ）、アンモニア（ NH_3 ）、水素（ H_2 ）及び窒素（ N_2 ）等、酸化シリコンの場合はシラン（ SiH_4 ）と一酸化二窒素（ N_2O ）等のガスを用いる。窒化シリコン膜の膜厚は、例えば325nm、酸化シリコン膜の膜厚は50nmとする。これらの成膜時のガラス基板10の温度は例えば200～300℃とする。

[0075] ただし、本発明は絶縁層61の膜厚や構成によって限定されることはなく、別の形態として、絶縁層61は窒化シリコン膜（ SiN_x ）、酸化シリコン膜（ SiO_x ）のどちらか一方のみが成膜されてもよいし、さらに、酸化アルミニウム（ Al_2O_3 ）、五酸化タンタル（ Ta_2O_5 ）、二酸化チタン（ TiO_2 ）を含んで構成されてもよい。

[0076] 酸化物半導体層62は、アルゴン（Ar）ガスを用いたスパッタ法により堆積され、スパッタターゲットとしては、インジウム酸化物（ In_2O_3 ）、ガリウム酸化物（ Ga_2O_3 ）、亜鉛酸化物（ ZnO ）の混合物を焼結体に加工したスパッタターゲットを用いた。得られた酸化物半導体層62に含まれるインジウム：ガリウム：亜鉛の比（原子数比）は、1：1：1の組成比となるように調整した。本実施形態では、酸化物半導体層62を形成する際のガラス基板10の温度は例えば100～200℃とする。

[0077] ただし、本発明は酸化物半導体層62の膜厚や構成によってこの範囲に限定されるわけではなく、インジウム：ガリウム：亜鉛の比（原子数比）は異な

っていても同様に適用できる。

[0078] ソース金属層 63 は Cu/Mo 積層膜からなり、ゲート金属層と同様に、モリブデン (Mo)、銅 (Cu) を順に堆積 (デポジッション) されて形成される。このとき、モリブデンの膜厚は例えば 10 nm とし、銅の膜厚は例えば 300 nm とする。本実施形態では、ソース金属層 63 を形成する際のガラス基板 10 の温度は例えば 100 ~ 200 °C とする。

[0079] 第 1 エッチング工程 (ウェットエッチング) S107

図 22 ~ 図 25 は、半導体層・ソース層形成工程 S102 工程中の、第 1 エッチング工程 S107 が完了した状態を示す。図 22 は、第 1 エッチング工程 S107 が完了した状態での図 4 の A-A' 線に相当する断面を示す断面図である。図 23 は、第 1 エッチング工程 S107 が完了した状態での図 6 の B-B' 線に相当する断面を示す断面図である。図 24 は、第 1 エッチング工程 S107 が完了した状態での図 7 の C-C' 線に相当する断面を示す断面図である。図 25 は、第 1 エッチング工程 S107 が完了した状態での図 8 の D-D' 線に相当する断面を示す断面図である。図 18 ~ 図 21 に示したレジストパターン膜形成工程 S106 が完了した状態から、過酸化水素及び硝酸を含んだエッチャント及びシュウ酸 ($\text{HOOC}-\text{COOH}$) を含んだエッチャントを用いて、2 段階のウェットエッチング法によって、酸化物半導体層 62、ソース金属層 63 のパターニングを行っている。

より具体的には、過酸化水素及び硝酸を含んだエッチャントは、過酸化水素 (H_2O_2) を 2 重量%、及び硝酸 (HNO_3) を 1 重量% 含み、残部水からなるエッチャントであってもよく、また、シュウ酸 ($\text{HOOC}-\text{COOH}$) を含んだエッチャントは、シュウ酸 ($\text{HOOC}-\text{COOH}$) を 4 ~ 5 重量% 含み、残部水からなるエッチャントであってもよく、これらのエッチャントの液温は例えば 24 °C として用いてもよい。

これにより酸化物半導体層 62 からは酸化物半導体層 34 が形成され、ソース金属層 63 からはソース金属層 1 次加工層 66 が形成される。

[0080] この 2 段階のウェットエッチング法についてより詳細に説明すれば、第 1 段

階として過酸化水素及び硝酸を含んだエッチャントを用いてソース金属層 6 3 のエッチングを行い、第 2 段階としてシュウ酸 ($\text{HOOC}-\text{COOH}$) を含んだエッチャントを用いて酸化物半導体層 6 2 のエッチングを行う。過酸化水素及び硝酸を含んだエッチャントでは酸化物半導体層 6 2 をほとんどエッチングすることがない。前記第 2 段階においては、シュウ酸 ($\text{HOOC}-\text{COOH}$) を含んだエッチャントでは、モリブデンの層と銅の層からなるソース金属層 6 3 をほとんどエッチングすることがない。従って、このような 2 段階のウェットエッチングでソース金属層 1 次加工層 6 6 に不要なエッチングダメージを与えることがなく、アクティブマトリクス基板の製造良品率を向上させることができる。

[0081] 従来の技術のように、ソース金属層 6 3 と酸化物半導体層 6 2 のエッチングに、りん酸、酢酸及び硝酸を含むエッチャントを用いれば、酸化物半導体層 6 2、ソース金属層 6 3 を一括してエッチング可能であるが、このようなエッチング方法では制御性が低い。それはりん酸、酢酸及び硝酸を含む従来のエッチャントでは酸化物半導体層 6 2 のエッチングレートがソース金属層 6 3 のエッチングレートと比べて著しく大きく、レジストパターン膜 6 5 下の酸化物半導体層 6 2 が著しくエッチングされて、ソース金属層 1 次加工層 6 6 の剥離が発生しやすい。従って、アクティブマトリクス基板の製造が困難であった。

[0082] ここで、ソース金属層 1 次加工層 6 6 はモリブデンからなる下層 6 6 a と、銅からなる上層 6 6 b とからなり、下層 6 6 a、上層 6 6 b のパターン端（エッジ）は、下層 6 6 a 側が幅広である（順積層状態）。しかし、酸化物半導体層 3 4、下層 6 6 a とのパターン端（エッジ）は、下層 6 6 a 側が幅広である（逆積層状態）。これは、第 2 段階である酸化物半導体層 6 2 のエッチングを確実にするため、オーバーエッチングを行ったためである。このような逆積層状態のパターン端形状は、酸化物半導体層 6 2 のエッチングが確実に行われるため、アクティブマトリクス基板の製造良品率を向上させることができる。

[0083] なお、先に説明した第１段階において、硝酸の代わりに任意の酸を用いることができ、過酸化水素（ H_2O_2 ）及び硝酸（ HNO_3 ）を含んだエッチャントは、過酸化水素（ H_2O_2 ）及び任意の酸を含んだエッチャントであってもよい。この任意の酸としては、硫酸、過硫酸（ペルオキソー硫酸）、塩酸、りん酸、臭化水素酸などの無機酸、クエン酸、シュウ酸、酢酸などの有機酸などを用いることができ、同様に実施することができる。

[0084] なお、本実施形態の第１エッチング工程Ｓ１０７において、過酸化水素及び硝酸を含んだエッチャントと、シュウ酸（ $\text{HOOC}-\text{COOH}$ ）を含んだエッチャントは別のエッチング槽内に満たされ、それぞれの槽内でソース金属層６３と酸化物半導体層６２が別々にエッチング処理されることが、エッチャントの混合を防ぐ観点から望ましい。さらに、ソース金属層６３と酸化物半導体層６２のエッチング槽の間に純水洗浄設備を設けて洗浄を行うことが、エッチャントの混合を防ぐ観点からさらに望ましい。

[0085] アッシング工程Ｓ１０８

図２６～図２９は、半導体層・ソース層形成工程Ｓ１０２工程中の、アッシング工程Ｓ１０８が完了した状態を示す。図２６は、アッシング工程Ｓ１０８が完了した状態での図４のＡ－Ａ′線に相当する断面を示す断面図である。図２７は、アッシング工程Ｓ１０８が完了した状態での図６のＢ－Ｂ′線に相当する断面を示す断面図である。図２８は、アッシング工程Ｓ１０８が完了した状態での図７のＣ－Ｃ′線に相当する断面を示す断面図である。図２９は、アッシング工程Ｓ１０８が完了した状態での図８のＤ－Ｄ′線に相当する断面を示す断面図である。

[0086] 図２２～図２５に示した第１エッチング工程Ｓ１０７が完了した状態から、大気圧プラズマ装置を用いて、ギャップ部４１にあるハーフレジスト部のレジストパターン膜６５が消失するように、アッシングを行い、レジストパターン膜６５からレジストパターン膜６７を得る。なお、図２６、図２８及び図２９においては、参考のため、アッシング工程Ｓ１０８の直前のレジストパターン膜６５の形状を破線を用いて示している。また、このときのアッシ

ングには、例えば酸素（ O_2 ）、アルゴン（Ar）ガスなどの混合ガスを用いて、基板10の温度は100℃としてもよい。

[0087] 第2エッチング工程S109

図30～図33は、半導体層・ソース層形成工程S102工程中の、第2エッチング工程S109が完了した状態を示す。図30は、第2エッチング工程S109が完了した状態での図4のA-A'線に相当する断面を示す断面図である。図31は、第2エッチング工程S109が完了した状態での図6のB-B'線に相当する断面を示す断面図である。図32は、第2エッチング工程S109が完了した状態での図7のC-C'線に相当する断面を示す断面図である。図33は、第2エッチング工程S109が完了した状態での図8のD-D'線に相当する断面を示す断面図である。

[0088] 図26～図29に示したアッシング工程S108が完了した状態から、過酸化水素及び硝酸を含むエッチャントを用いて、ウェットエッチング法によって、ソース金属層1次加工層66をエッチングして、ソース金属層1次加工層66より、データ信号線45、ソース電極35、ドレイン電極36、ドレイン引出線37、電極38、ソース引出線23、ソース端子金属層53を形成する。ここで、IGZO膜からなる酸化物半導体層34がエッチングされないよう、ソース金属層1次加工層66の酸化物半導体層34に対するエッチング選択比が2以上となる条件で行うが、望ましくは同選択比は5以上がよい。本実施形態では本工程のエッチャントに過酸化水素及び硝酸を含むエッチャントを用いており、前記の選択比を5以上とすることができる。このような高い選択比をもってエッチングを行った場合、レジストパターン膜67下において、酸化物半導体層34はほとんどエッチングされず、実質上ソース金属層1次加工層66のみをエッチングシフト（サイドシフト）させることができる。本実施形態では、図のようにデータ信号線45、ソース電極35、ドレイン電極36等のパターン端（エッジ）は酸化物半導体層34のパターン端（エッジ）よりも内側であって、酸化物半導体層34が幅広である。従って、酸化物半導体層34のパターン端（エッジ）がデータ信号線4

5、ソース電極35、ドレイン電極36等のパターン端（エッジ）よりも内側に入り込むことが無く、データ信号線45、ソース電極35、ドレイン電極36等に断線や膜はがれが発生せず、製造良品率が向上する。また、TFTのギャップ部41において、酸化物半導体層34の膜厚の減少量が小さく、基板面内分布率の影響が低減できることから、TFTの特性を基板面内で安定化させ、表示不良を防ぎ、製造良品率を向上させることができる。このとき、データ信号線45、ソース電極35、ドレイン電極36等のパターン端（エッジ）における角度（テーパー角）は略同一である。

[0089] 第2エッチング工程S109においては、第1エッチング工程S107で述べた場合と同様、特にはエッチャントとして過酸化水素及び硝酸を含むエッチャントを用いており、より具体的には、過酸化水素及び硝酸を含んだエッチャントは、過酸化水素（ H_2O_2 ）を2重量%、及び硝酸（ HNO_3 ）を1重量%含み、残部水からなるエッチャントであってもよく、このエッチャントの液温は例えば24℃として用いてもよい。

[0090] ここで、硝酸の代わりに任意の酸を用いることができ、過酸化水素及び硝酸を含むエッチャントは、過酸化水素及び任意の酸を含むエッチャントであってもよい。この任意の酸としては、硝酸、硫酸、過硫酸（ペルオキソー硫酸）、塩酸、りん酸、臭化水素酸などの無機酸、クエン酸、シュウ酸、酢酸などの有機酸などを用いることができ、同様に実施することができる。

[0091] なお、ギャップ部41におけるソース電極35、ドレイン電極36等のテーパー角は、ギャップ部41以外の場所におけるソース電極35、ドレイン電極36等のテーパー角と略同一である。それは、ギャップ部41及びギャップ部41以外の場所におけるソース電極35、ドレイン電極36等のテーパー角が本第2エッチング工程S109で決定されているからであり、このような場合、例えばギャップ部41のソース電極35、ドレイン電極36等のテーパー角が、ギャップ部41以外の場所と比べて著しく低いことがなくなり、ソース電極35とドレイン電極36間のリーク不良を防ぐので、アクティブマトリクス基板の製造良品率を向上させることができる。

[0092] また、本実施形態のソース金属層 63 は、ガラス基板 10 側から、モリブデンを含んだ金属の層、銅を含んだ金属の層で構成されてもよく、第 1 エッチング工程 S107、第 2 エッチング工程 S109 は同様に実施できる。

[0093] ここで、モリブデンを含んだ金属は、モリブデンを主体とした金属であって、モリブデンの含有率が 50 重量%以上、銅を含んだ金属は銅の含有量が 50 重量%以上であればよい。より好ましくは、モリブデンを含んだ金属はモリブデンの含有率が 80 重量%以上、銅を含んだ金属は銅の含有量が 80 重量%以上であればよい。モリブデンを含んだ金属としては、窒素、酸素、バナジウム、ニオブ、ネオジウム、銅、タングステン、チタン、及び、タンタルから選ばれる 1 種類以上の元素とモリブデンを含有したモリブデン合金であってもよく、銅を含有した金属は窒素、酸素、バナジウム、ニオブ、ネオジウム、モリブデン、タングステン、チタン、及び、タンタルから選ばれる 1 種類以上の元素と銅を含む合金であってもよい。さらに、モリブデンを含んだ金属の層、銅を含んだ金属の層は積層構造を有してもよく、それぞれ、全体としてモリブデンを含んだ金属の層、銅を含んだ金属の層であれば同様に実施することができる。

[0094] レジスト剥離工程 S110

図 34～図 37 は、半導体層・ソース層形成工程 S102 が完了した状態を示す。図 34 は、半導体層・ソース層形成工程 S102 が完了した状態での図 4 の A-A' 線に相当する断面を示す断面図である。図 35 は、半導体層・ソース層形成工程 S102 が完了した状態での図 6 の B-B' 線に相当する断面を示す断面図である。図 36 は、半導体層・ソース層形成工程 S102 が完了した状態での図 7 の C-C' 線に相当する断面を示す断面図である。図 37 は、半導体層・ソース層形成工程 S102 が完了した状態での図 8 の D-D' 線に相当する断面を示す断面図である。

図 30～図 33 に示した第 2 エッチング工程 S109 が完了した状態から、レジストパターン膜 67 を剥離除去することで得られる。

[0095] 層間絶縁層形成工程 S103

図 38～図 41 は、層間絶縁層形成工程 S103 が完了した状態を示す。図 38 は、層間絶縁層形成工程 S103 が完了した状態での図 4 の A-A' 線に相当する断面を示す断面図である。図 39 は、層間絶縁層形成工程 S103 が完了した状態での図 6 の B-B' 線に相当する断面を示す断面図である。図 40 は、層間絶縁層形成工程 S103 が完了した状態での図 7 の C-C' 線に相当する断面を示す断面図である。図 41 は、層間絶縁層形成工程 S103 が完了した状態での図 8 の D-D' 線に相当する断面を示す断面図である。

図 34～図 37 に示した半導体層・ソース層形成工程 S102 が完了した状態から、層間絶縁層 44 及びゲート絶縁層 43 を形成している。

[0096] ここでは、図示されていないが、層間絶縁層 44 は、下層側（ガラス基板 10 側）から、膜厚 30 nm の酸化シリコン膜（ SiO_x ）と、膜厚 3 μm の有機絶縁層から構成されている。ここで、酸化シリコン膜の成膜にはプラズマ CVD 法を用いており、成膜用のガスとしては、シラン（ SiH_4 ）と一酸化二窒素（ N_2O ）等のガスを用いる。本実施形態では、酸化シリコン膜を形成する際のガラス基板 10 の温度は例えば 100～200℃とする。

[0097] 有機絶縁層はアクリル樹脂を含有した感光性レジスト材料を用いて形成されていて、フォトリソグラフィ法によって、前記材料からなるレジストパターン膜を形成してから、200℃で熱処理して形成される。

次に、ガラス基板 10 上の、有機絶縁層、酸化物半導体層 34、データ信号線 45、ソース電極 35 及びドレイン電極 36 などのパターン膜をエッチングマスクとして、有機絶縁層の下層側の酸化シリコン膜と、酸化シリコン膜と窒化シリコン膜からなる絶縁層 61 とをエッチングして、層間絶縁層 44 とゲート絶縁層 43 を形成する。このときのエッチングには、例えば四塩化炭素（ CF_4 ）ガス、酸素（ O_2 ）ガスを適宜組み合わせて用いたドライエッチングを用いる。この後、必要に応じて水洗などの基板洗浄を行う。

[0098] 本発明は層間絶縁層 44 の膜厚や構成によって限定されることはなく、層間絶縁層 44 は窒化シリコン膜（ SiN_x ）、酸化シリコン膜（ SiO_x ）、酸

化アルミニウム (Al_2O_3)、五酸化タンタル (Ta_2O_5)、二酸化チタン (TiO_2) から選ばれる少なくとも 1 種類の材料を含んで構成されてもよい。

[0099] 画素電極層形成工程 S 1 0 4

画素電極層形成工程 S 1 0 4 は、ITO 膜を堆積する工程、フォトリソグラフィ法により、フォトレジスト材料によるレジストパターン膜を形成する工程、ITO 膜 (インジウム錫酸化物) に対してウェットエッチングを行う工程、レジストパターン膜を剥離する工程を含む。具体的には、層間絶縁層 4 4 上に、例えば、ITO 膜を、アルゴン (Ar) ガスを用いたスパッタ法等により 100 nm 程度の膜厚で成膜し、これをフォトリソグラフィ法にて必要な形状にパターニングすることによって図 4 ~ 図 1 1 に示された画素電極 3 1、透明電極層 5 2、透明電極層 5 4、接続電極 5 6 を形成する。ITO 膜のエッチングにはシュウ酸 ($\text{HOOC}-\text{COOH}$) 又は塩化第 2 鉄液等を用いることができる。

[0100] このようにして、図 4 ~ 図 1 1 に示された本発明のアクティブマトリクス基板 1 を製造することができる。

なお、アクティブマトリクス基板 1 を用いて液晶パネル 4 を作製するためには、さらに液晶配向のための配向膜を形成してもよいし、液晶配向規制用構造物を形成してもよいが、ここでは説明を略している。

[0101] 実施形態 1 の構成を纏めると、以下のものである。ゲート金属層 (走査信号線が形成されている層) は Cu/Mo 積層膜、ソース金属層 (データ信号線が形成されている層) は Cu/Mo 積層膜から形成され、ゲート端子はゲート金属層から形成され、ソース端子はソース金属層から形成されている。

(1) 上述したゲート層形成工程 S 1 0 1 のウェットエッチング (ゲート金属層のエッチング) においては、過酸化水素と任意の酸を含んだエッチャント、特に過酸化水素と硝酸を含んだエッチャントを用いて Cu/Mo の一括エッチングを行う。

(2) 半導体層・ソース層形成工程 S 1 0 2 での 1 回目のウェットエッチン

グ（第1エッチング工程）では、主にTFTのギャップ部以外の部分での加工が行われる。ここでは2段階のウェットエッチング法を用いており、その第1段階として過酸化水素及び硝酸を含んだエッチャントを用いてソース金属層63のエッチングを行い、第2段階としてシュウ酸（ HOOC-COOH ）を含んだエッチャントを用いて酸化物半導体層62のエッチングを行う。

（3）半導体層・ソース層形成工程S102の2回目のウェットエッチング（第2エッチング工程）では、主にTFTのギャップ部での加工が行われる。ここでも、過酸化水素及び硝酸を含んだエッチャントを用いてソース金属層1次加工層66のエッチングを行う。（1）～（3）において、過酸化水素及び硝酸を含んだエッチャントは、過酸化水素及び任意の酸を含んだエッチャントであってもよい。

[0102] このように本実施形態では、ソース金属層の構成をCu/Moとし、ソース金属層63及びソース金属層1次加工層66を過酸化水素及び任意の酸を含んだエッチャントを用いてエッチングを行えば、酸化物半導体層62、32にエッチングダメージを与えることがなく、制御性よくエッチングを行うことができる。

同時に、TFTの半導体層として酸化物半導体層（特に、IGZO半導体層）を用いて、酸化物半導体層のエッチングに、シュウ酸（ HOOC-COOH ）を含んだエッチャントを用いれば、ソース金属層1次加工層66にエッチングダメージを与えることがなく、制御性よくエッチングを行うことができる。

[0103] 従来の4枚マスクプロセスでは、ソース・半導体層形成工程において、半導体層（アモルファスシリコン膜及び／又はn⁺アモルファスシリコン膜）のドライエッチングを2回行っていた。アモルファスシリコン膜及びn⁺アモルファスシリコン膜のドライエッチングは、下層のゲート絶縁層等との選択比をとるために精密な制御によって行われねばならず、装置が高価であり、かつスループットが課題となっていた。

実施形態 1 では、半導体層は I G Z O とし、ソース金属層と半導体層との一括ウェットエッチングを行い、従来のような半導体層のドライエッチングは行わない。ウェットエッチング装置は、比較的装置が安価であり、かつスループットが高い。従って、設備投資費用を抑えて、効率的なアクティブマトリクス基板の製造が可能となる。

実施形態 1 でのハーフトーン露光部のレジストのアッシング除去において、配線やコンタクトホール形成に用いられるような真空チャンバーを備えたドライエッチング装置の他、大気圧プラズマ装置等、安価で、スループットの高い装置の使用が可能であることから、効率的なアクティブマトリクス基板の製造が可能となる。

[0104] なお、近年、テレビジョン受像機用途を中心として、より高精細で、かつより高速な駆動に対応したアクティブマトリクス基板が求められ、アクティブマトリクス基板上の配線及び電極の材料として、アルミニウムまたは銅といった低電気抵抗材料を用いることが一般的となっている。

[0105] 銅と並ぶ低電気抵抗材料としては、アルミニウムがあるが、ソース金属層をアルミニウムを含んで形成し、りん酸、酢酸及び硝酸を含む従来のエッチャントを用いて加工を行えば、このエッチャントでの酸化物半導体層のエッチングレートが著しく大きいため、前述のエッチャントの浸みこみまたはエッチャントの接触により、酸化物半導体層に不要なオーバーエッチングを与えるという課題があった。

[0106] 本発明では、アルミニウムではなく銅（あるいは銅を含んだ金属）と、モリブデン（あるいはモリブデンを含んだ金属）を用いてソース金属層を形成し、本実施形態に示したエッチャントを用いれば、酸化物半導体層に不要なオーバーエッチングを与えることなくソース金属層の加工が可能であることを見出している。さらにこれを用いて、本発明では、低電気抵抗材料を用いつつ、設備投資費用を抑えて、効率的なアクティブマトリクス基板の製造する方法を見出している。

[0107] なお、本実施形態において用いた過酸化水素と硝酸を含むエッチャントでは

、アルミニウムのエッチングレートは著しく小さいために実用的なアルミニウムのエッチングは難しく、ソース金属層は前述のように、特に銅（あるいは銅を含んだ金属）を含んで形成されることが好ましい。

[0108] <実施形態２>

実施形態２では、ゲート金属層及びソース金属層として、Cu/Mo積層膜の代わりにCu/Ti積層膜、すなわちガラス基板１０側から、チタン（Ti）、銅（Cu）が順に堆積されたゲート金属層及びソース金属層を用いる。

なお、アクティブマトリクス基板の製造上、チタンのほうがモリブデンよりも材料費が安価であり、さらにチタンはモリブデンよりも高温高湿下における耐食性に優れるので、それを用いたアクティブマトリクス基板の端子部等の信頼性が高くなるという利点がある。

[0109] 本実施形態では、ゲート層形成工程S１０１と、半導体層・ソース層形成工程S１０２における成膜工程S１０５、第１エッチング工程S１０７及び第２エッチング工程S１０９が実施形態１と異なるため、順次説明する。

[0110] なお、これらの工程以外は、実施形態１と同様であって、本実施形態における構成部材の形状（平面形状、断面形状）と配置、及び製造方法は、実施形態１と同様であるため、実施形態２は、実施形態１と図面が共通である。

[0111] ゲート層形成工程S１０１

実施形態１の場合と同様、ゲート層形成工程S１０１が完了した状態は、図１４～図１７に示されるようである。

本実施形態では、アルゴン（Ar）ガスを用いたスパッタ法により、ガラス、プラスチック等の透明絶縁性基板（図３ではガラス基板１８）上にチタン（Ti）、銅（Cu）を順に堆積（デポジッション）して、Cu/Ti積層膜であるゲート金属層（図示せず）を形成する。このとき、チタンの膜厚は例えば１０nmとし、銅の膜厚は例えば３００nmとする。本実施形態では、ゲート金属層を形成する際のガラス基板１０の温度は例えば１００～２００℃とする。

次に、ゲート金属層のエッチングにおいては、過酸化水素 (H_2O_2) と硝酸 (HNO_3) とフッ化水素 (HF) を含んだエッチャントを用いてゲート金属層の一括エッチングを行う。また、実施形態 1 において示した過酸化水素 (H_2O_2) と硝酸 (HNO_3) を含んだエッチャントを用いて銅からなる上層をエッチングし、フッ化水素 (HF) を 0.5～1 重量%程度含んだフッ化水素酸でチタンからなる下層をエッチングするという 2 段階からなる方法でもよい。その他は実施形態 1 と同様である。

[0112] 成膜工程 S 1 0 5

ソース金属層 6 3 は Cu/Ti 積層膜からなり、ゲート金属層と同様に、チタン (Ti)、銅 (Cu) を順に堆積 (デポジッション) されて形成される。このとき、チタンの膜厚は例えば 10 nm とし、銅の膜厚は例えば 300 nm とする。本実施形態では、ゲート金属層を形成する際のガラス基板 1 0 の温度は例えば 100～200℃とする。その他の絶縁層 6 1、酸化物半導体層 6 2 等の形成方法は同様である。

[0113] 第 1 エッチング工程 (ウェットエッチング) S 1 0 7

実施形態 1 の場合と同様、半導体層・ソース層形成工程 S 1 0 2 工程中の、第 1 エッチング工程 S 1 0 7 が完了した状態は、図 2 2～図 2 5 に示されるようである。

ここでは、図 1 8～図 2 1 に示したレジストパターン膜形成工程 S 1 0 6 が完了した状態から、過酸化水素及びアンモニア及びクエン酸を含んだアルカリ性エッチャント及びシュウ酸 (HOOC-COOH) を含んだエッチャントを用いて、2 段階のウェットエッチング法によって、酸化物半導体層 6 2、ソース金属層 6 3 のパターニングを行っている。

より具体的には、過酸化水素及びアンモニア及びクエン酸を含んだアルカリ性エッチャントは、過酸化水素 (H_2O_2) を 4 重量%、アンモニア (NH_4) を 4 重量%、及びクエン酸 ($\text{C}_6\text{H}_8\text{O}_7$) を 1 重量%含み、残部水からなるエッチャントであってもよく、また、シュウ酸 (HOOC-COOH) を含んだエッチャントは、シュウ酸 (HOOC-COOH) を 4～5 重量%含み、

残部水からなるエッチャントであってもよく、これらのエッチャントの液温は例えば24℃として用いてもよい。ここで、過酸化水素及びアンモニア及びクエン酸を含んだアルカリ性エッチャントにおけるクエン酸の役割は、銅のエッチングレートを大きくして、チタンと銅の一括エッチングを可能にすることであって、特にこの場合、クエン酸が好適である。

これにより酸化物半導体層62からは酸化物半導体層34が形成され、ソース金属層63からはソース金属層1次加工層66が形成される。

[0114] この2段階のウェットエッチング法についてより詳細に説明すれば、第1段階として過酸化水素及びアンモニア及びクエン酸を含んだアルカリ性エッチャントを用いてソース金属層63のエッチングを行い、第2段階としてシュウ酸($\text{HOOC}-\text{COOH}$)を含んだエッチャントを用いて酸化物半導体層62のエッチングを行う。過酸化水素及びアンモニア及びクエン酸を含んだアルカリ性エッチャントでは酸化物半導体層62をほとんどエッチングすることがない。前記第2段階においては、シュウ酸($\text{HOOC}-\text{COOH}$)を含んだエッチャントでは、チタンの層と銅の層からなるソース金属層63をほとんどエッチングすることがない。従って、このような2段階のウェットエッチングでソース金属層1次加工層66に不要なエッチングダメージを与えることがなく、アクティブマトリクス基板の製造良品率を向上させることができる。

[0115] 従来の技術のように、ソース金属層63と酸化物半導体層62のエッチングに、フッ化水素などのフッ化物を含むエッチャントを用いれば、酸化物半導体層62、ソース金属層63を一括してエッチング可能であるが、このようなエッチング方法では制御性が低い。それはフッ化水素などのフッ化物を含む従来のエッチャントでは酸化物半導体層62のエッチングレートがソース金属層と比べて著しく大きく、レジストパターン膜65下の酸化物半導体層62が著しくエッチングされて、ソース金属層1次加工層66の剥離が発生しやすい。従って、アクティブマトリクス基板の製造が困難であった。

[0116] ここで、ソース金属層1次加工層66はチタンからなる下層66aと、銅が

らなる上層 6 6 b とからなり、下層 6 6 a、上層 6 6 b のパターン端（エッジ）は、下層 6 6 a 側が幅広である（順積層状態）。しかし、酸化物半導体層 3 4、下層 6 6 a とのパターン端（エッジ）は、下層 6 6 a 側が幅広である（逆積層状態）。これは、第 2 段階である酸化物半導体層 6 2 のエッチングを確実にするため、オーバーエッチングを行ったためである。このような逆積層状態のパターン端形状は、酸化物半導体層 6 2 のエッチングが確実に行われるため、アクティブマトリクス基板の製造良品率を向上させることができる。

[0117] なお、本実施形態の第 1 エッチング工程 S 1 0 7 において、過酸化水素及びアンモニア及びクエン酸を含んだアルカリ性エッチャントと、シュウ酸（ HOOC-COOH ）を含んだエッチャントは別のエッチング槽内に満たされ、それぞれの槽内でソース金属層 6 3 と酸化物半導体層 6 2 が別々にエッチング処理されることが、エッチャントの混合を防ぐ観点から望ましい。さらに、ソース金属層 6 3 と酸化物半導体層 6 2 のエッチング槽の間に純水洗浄設備を設けて洗浄を行うことが、エッチャントの混合を防ぐ観点からさらに望ましい。

[0118] なお、第 1 エッチング工程（ウェットエッチング）S 1 0 7 では、別の形態として、3 段階のウェットエッチング法によって、酸化物半導体層 6 2、ソース金属層 6 3 のパターニングを行ってもよい。すなわち、図 1 8 ～図 2 1 に示したレジストパターン膜形成工程 S 1 0 6 が完了した状態から、過酸化水素及び硝酸を含んだエッチャント、過酸化水素及びアンモニアを含んだアルカリ性エッチャント及びシュウ酸（ HOOC-COOH ）を含んだエッチャントを用いて、3 段階のウェットエッチング法によって、酸化物半導体層 6 2、ソース金属層 6 3 のパターニングを行ってもよい。

[0119] より具体的には、過酸化水素及び硝酸を含んだエッチャントは実施形態 1 と同様、過酸化水素（ H_2O_2 ）を 2 重量%、及び硝酸（ HNO_3 ）を 1 重量%含み、残部水からなるエッチャントであってもよい。

過酸化水素及びアンモニアを含んだアルカリ性エッチャントは、過酸化水素

(H_2O_2) を 6 重量%、アンモニア (NH_4) を 3 重量% 含み、残部水からなるエッチャントであってもよく、また、シュウ酸 ($\text{HOOC}-\text{COOH}$) を含んだエッチャントは、シュウ酸 ($\text{HOOC}-\text{COOH}$) を 4~5 重量% 含み、残部水からなるエッチャントであってもよく、これらのエッチャントの液温は例えば 24°C として用いてもよい。

[0120] この 3 段階のウェットエッチング法についてより詳細に説明すれば、第 1 段階として過酸化水素及び硝酸を含んだエッチャントを用いてソース金属層 63 のうちの銅からなる上層 63b のエッチングを行い、第 2 段階として過酸化水素及びアンモニアを含んだエッチャントを用いてソース金属層 63 のうちのチタンからなる下層 63a のエッチングを行い、第 3 段階としてシュウ酸 ($\text{HOOC}-\text{COOH}$) を含んだエッチャントを用いて酸化物半導体層 62 のエッチングを行う。過酸化水素及び硝酸を含んだエッチャント、及び過酸化水素及びアンモニアを含んだアルカリ性エッチャントでは酸化物半導体層 62 をほとんどエッチングすることがない。前記第 3 段階においては、シュウ酸 ($\text{HOOC}-\text{COOH}$) を含んだエッチャントでは、チタンの層と銅の層からなるソース金属層 63 をほとんどエッチングすることがない。このような 3 段階のウェットエッチングでもソース金属層 1 次加工層 66 に不要なエッチングダメージを与えることがなく、アクティブマトリクス基板の製造良品率を向上させることができる。

[0121] なお、ここで、上層 63b のエッチングのときに酸化物半導体層 62 がエッチングされないようにしているのは、下層 63a を構成する膜にカバレッジ不良やピンホールなどの膜面異常部があって酸化物半導体層 62 にまでエッチャントの浸みこんだ場合を想定しており、このような場合でも本実施形態では表示不良を防ぎ、製造良品率を向上させることができる。

[0122] 第 2 エッチング工程 S109

実施形態 1 の場合と同様、半導体層・ソース層形成工程 S102 工程中の、第 2 エッチング工程 S109 が完了した状態は、図 30~図 33 に示されるようである。

[0123] 図26～図29に示したアッシング工程S108が完了した状態から、過酸化水素及びアンモニア及びクエン酸を含むアルカリ性エッチャントを用いて、ウェットエッチング法によって、ソース金属層1次加工層66をエッチングして、ソース金属層1次加工層66より、データ信号線45、ソース電極35、ドレイン電極36、ドレイン引出線37、電極38、ソース引出線23、ソース端子金属層53を形成する。ここで、IGZO膜からなる酸化物半導体層34がエッチングされないよう、ソース端子金属層53の酸化物半導体層34に対するエッチング選択比が2以上となる条件で行うが、望ましくは同選択比は5以上がよい。本実施形態では本工程のエッチャントに過酸化水素及びアンモニア及びクエン酸を含むアルカリ性エッチャントを用いており、前記の選択比を5以上とすることができる。このような高い選択比をもってエッチングを行った場合、レジストパターン膜67下において、酸化物半導体層34はほとんどエッチングされず、実質上ソース金属層1次加工層66のみをエッチングシフト（サイドシフト）させることができる。本実施形態では、図のようにデータ信号線45、ソース電極35、ドレイン電極36等のパターン端（エッジ）は酸化物半導体層34のパターン端（エッジ）よりも内側であって、酸化物半導体層34が幅広である。従って、酸化物半導体層34のパターン端（エッジ）がデータ信号線45、ソース電極35、ドレイン電極36等のパターン端（エッジ）よりも内側に入り込むことが無く、データ信号線45、ソース電極35、ドレイン電極36等に断線や膜はがれが発生せず、製造良品率が向上する。また、TFTのギャップ部41において、酸化物半導体層34の膜厚の減少量が小さく、基板面内分布率の影響が低減できることから、TFTの特性を基板面内で安定化させ、表示不良を防ぎ、製造良品率を向上させることができる。このとき、データ信号線45、ソース電極35、ドレイン電極36等のパターン端（エッジ）における角度（テーパー角）は略同一である。

[0124] なお、ギャップ部41におけるソース電極35、ドレイン電極36等のテーパー角は、ギャップ部41以外の場所におけるソース電極35、ドレイン電

極 3 6 等のテーパー角と略同一である。それは、ギャップ部 4 1 及びギャップ部 4 1 以外の場所におけるソース電極 3 5、ドレイン電極 3 6 等のテーパー角が本第 2 エッチング工程 S 1 0 9 で決定されているからであり、このような場合、例えばギャップ部 4 1 のソース電極 3 5、ドレイン電極 3 6 等のテーパー角が、ギャップ部 4 1 以外の場所と比べて著しく低いことがなくなり、ソース電極 3 5 とドレイン電極 3 6 間のリーク不良を防ぐので、アクティブマトリクス基板の製造良品率を向上させることができる。

[0125] また、本実施形態のソース金属層 6 3 は、ガラス基板 1 0 側から、チタンを含んだ金属の層、銅を含んだ金属の層で構成されてもよく、第 1 エッチング工程 S 1 0 7、第 2 エッチング工程 S 1 0 9 は同様に実施できる。

[0126] ここで、チタンを含んだ金属は、チタンを主体とした金属であって、チタンの含有率が 5 0 重量%以上、銅を含んだ金属は銅の含有量が 5 0 重量%以上であればよい。より好ましくは、チタンを含んだ金属はチタンの含有率が 8 0 重量%以上、銅を含んだ金属は銅の含有量が 8 0 重量%以上であればよい。チタンを含んだ金属としては、窒素、酸素、バナジウム、ニオブ、ネオジウム、銅、タングステン、モリブデン、及び、タンタルから選ばれる 1 種類以上の元素とチタンを含有したチタン合金であってもよく、銅を含有した金属は窒素、酸素、バナジウム、ニオブ、ネオジウム、モリブデン、タングステン、チタン、及び、タンタルから選ばれる 1 種類以上の元素と銅を含む合金であってもよい。さらに、チタンを含んだ金属の層、銅を含んだ金属の層は積層構造を有してもよく、それぞれ、全体としてチタンを含んだ金属の層、銅を含んだ金属の層であれば同様に実施することができる。

[0127] なお、第 2 エッチング工程 S 1 0 9 では、別の形態として、2 段階のウェットエッチング法によって、ソース金属層 1 次加工層 6 6 をエッチングして、ソース金属層 1 次加工層 6 6 より、データ信号線 4 5、ソース電極 3 5、ドレイン電極 3 6、ドレイン引出線 3 7、電極 3 8、ソース引出線 2 3、ソース端子金属層 5 3 を形成してもよい。

すなわち、図 2 6 ~ 図 2 9 に示したアッシング工程 S 1 0 8 が完了した状態

から、過酸化水素及び硝酸を含んだエッチャント、過酸化水素及びアンモニアを含んだアルカリ性エッチャントを用いて、２段階のウェットエッチング法によって、ソース金属層１次加工層６６のパターニングを行ってもよい。より具体的には、過酸化水素及び硝酸を含んだエッチャントは実施形態１と同様、過酸化水素（ H_2O_2 ）を２重量％、及び硝酸（ HNO_3 ）を１重量％含み、残部水からなるエッチャントであってもよい。

過酸化水素及びアンモニアを含んだアルカリ性エッチャントは、過酸化水素（ H_2O_2 ）を６重量％、アンモニア（ NH_4 ）を３重量％含み、残部水からなるエッチャントであってもよく、これらのエッチャントの液温は例えば２４℃として用いてもよい。

[0128] この２段階のウェットエッチング法についてより詳細に説明すれば、第１段階として過酸化水素及び硝酸を含んだエッチャントを用いてソース金属層１次加工層６６のうちの銅からなる上層６６ｂのエッチングを行い、第２段階として過酸化水素及びアンモニアを含んだエッチャントを用いてソース金属層１次加工層６６のうちのチタンからなる下層６６ａのエッチングを行う。過酸化水素及び硝酸を含んだエッチャント、及び過酸化水素及びアンモニアを含んだアルカリ性エッチャントでは酸化物半導体層６２をほとんどエッチングすることがない。ＴＦＴのギャップ部４１において、酸化物半導体層３４の膜厚の減少量が小さく、基板面内分布率の影響が低減できることから、ＴＦＴの特性を基板面内で安定化させ、表示不良を防ぎ、製造良品率を向上させることができる。

なお、ここで、上層６６ｂのエッチングのときに酸化物半導体層６２がエッチングされないようにしているのは、下層６６ａを構成する膜にカバレッジ不良やピンホールなどの膜面異常部があって酸化物半導体層６２にまでエッチャントの浸みこんだ場合を想定しており、このような場合でも本実施形態では表示不良を防ぎ、製造良品率を向上させることができる。

[0129] なお、実施形態２においても、過酸化水素及び硝酸を含んだエッチャントは、過酸化水素及び任意の酸を含んだエッチャントであってもよく、過酸化水

素とアンモニアとクエン酸を含んだエッチャントは、過酸化水素とアンモニアと任意の酸を含んだエッチャントであってもよい。ここで、これらの共通する任意の酸としては、硫酸、過硫酸（ペルオキソー硫酸）、塩酸、りん酸、臭化水素酸などの無機酸、クエン酸、シュウ酸、酢酸などの有機酸などを用いることができ、実施形態 2 を同様に実施することができる。

[0130] 実施形態 2 においても、実施形態 1 と同様、ソース金属層をアルミニウムを含んで形成し、りん酸、酢酸及び硝酸を含む従来のエッチャントを用いて加工を行えば、このエッチャントでの酸化物半導体層のエッチングレートが著しく大きいため、前述のエッチャントの浸みこみまたはエッチャントの接触により、酸化物半導体層に不要なオーバーエッチングを与えるという課題があった。

[0131] 本実施形態で説明したように、本発明では、アルミニウムではなく銅（あるいは銅を含んだ金属）と、チタン（あるいはチタンを含んだ金属）を用いてソース金属層を形成し、本実施形態に示したエッチャントを用いれば、酸化物半導体層に不要なオーバーエッチングを与えることなくソース金属層の加工が可能であることを見出している。さらにこれを用いて、本発明では、低電気抵抗材料を用いつつ、設備投資費用を抑えて、効率的なアクティブマトリクス基板の製造する方法を見出している。

[0132] なお、本実施形態において用いた過酸化水素と硝酸を含むエッチャント、過酸化水素とアンモニアを含んだアルカリ性エッチャント、及びでは過酸化水素とアンモニアとクエン酸を含んだアルカリ性エッチャントでは、アルミニウムのエッチングレートは著しく小さいためにアルミニウムの実用的なエッチングは難しく、ソース金属層は前述のように、特に銅（あるいは銅を含んだ金属）を含んで形成されることが好ましい。

[0133] なお、本実施形態における、過酸化水素及びアンモニアを含んだエッチャント、及び過酸化水素及びアンモニア及びクエン酸を含んだエッチャントの水素イオン指数 pH は、両方とも概ね 9 以上（9～14）である。

[0134] <実施形態 3>

実施形態 3 は、5 枚マスクプロセス、すなわちゲート層形成工程、半導体層形成工程、ソース層形成工程、層間絶縁層形成工程、画素電極層形成工程の 5 つの工程でそれぞれで異なるマスク（レジストパターン膜）を用いるプロセスに係るものである。そして、5 枚マスクプロセスのギャップ部エッチング工程を、上述した 4 枚マスクプロセスの実施形態における第 2 エッチング工程と同様に行うものである。

[0135] 図 4 2 ～図 4 9 において、本発明のアクティブマトリクス基板 1 を詳細に説明する。

ここでは、画素 1 9 は、 i 番目の走査信号線 4 6（ GL_i ）と、 j 番目のデータ信号線 4 5（ SL_j ）と対応し、これらの交点付近に設けられ、 i 番目の保持容量配線 4 7（ CSL_i ）が画素 1 9 を横切るように配置されている。ここで、 i 、 j は、それぞれ、 m 、 n 以下の任意の自然数である。画素 1 9 は、例えば透過型液晶表示装置においては、バックライト光の透過率を液晶材料 1 3 を用いて変化させて表示を行う領域である。

[0136] 図 4 2 及び図 4 3 は、実施形態 3 のアクティブマトリクス基板 1 を示す図面であって、図 4 2 は、表示領域における画素 1 9 の構成を示す平面図である。図 4 3 は、図 4 2 の A-A' 線における断面図である。画素 1 9 は画素電極 3 1 と、TFT 3 2 とを有する。TFT 3 2 は、ゲート電極 3 3、ソース電極 3 5、及び、ドレイン電極 3 6 を有し、ここで、ゲート電極 3 3 は、走査信号線 4 6（ GL_i ）から分岐されて形成され、ソース電極 3 5 はデータ信号線 4 5（ SL_j ）から分岐されて形成されている。

[0137] ドレイン電極 3 6 は、ドレイン引出線（ドレイン配線）3 7 に接続され、ドレイン引出線 3 7 は電極 3 8 に接続され、電極 3 8 はコンタクト 3 9 を介して画素電極 3 1 に接続されている。酸化物半導体層 3 4 c は、図のように TFT 3 2 を中心とした領域に島状に残され、データ信号線 4 5 とソース電極 3 5 と、ドレイン電極 3 6 との下層側（ガラス基板 1 0 側）にあるが、酸化物半導体層 3 4 c のパターンエッジは、データ信号線 4 5 とソース電極 3 5 と、ドレイン電極 3 6 のパターンエッジより外側、すなわち、酸化物半導体

層 3 4 c はデータ信号線 4 5 とソース電極 3 5 と、ドレイン電極 3 6 よりも幅広である。T F T 3 2 のギャップ部 4 1 は、ソース電極 3 5 とドレイン電極 3 6 の間における領域で、酸化物半導体層 3 4 c はこの領域でも残されている。

[0138] 保持容量形成部 4 2 は、ゲート絶縁層 4 3 と層間絶縁層 4 4 を介して、保持容量配線 4 7 が画素電極 3 1 と重なっている部分と、ゲート絶縁層 4 3 を介して、保持容量配線 4 7 が電極 3 8 と重なっている部分との両方からなり、ここで形成される容量は保持容量として、画素電極 3 1 の電位の安定に寄与する。

[0139] 図 4 3 を用いて、更に詳細に説明すると、走査信号線 4 6、ゲート電極 3 3、保持容量配線 4 7 はそれぞれモリブデンからなる下層 4 6 a、3 3 a、4 7 a と、それぞれ銅からなる上層 4 6 b、3 3 b、4 7 b からなり、後に説明するように、同一のゲート金属層から形成されている。

また、データ信号線 4 5、ソース電極 3 5、ドレイン電極 3 6、ドレイン引出線 3 7、電極 3 8 は、それぞれモリブデンからなる下層 4 5 a、3 5 a、3 6 a、3 7 a、3 8 a と、それぞれ銅からなる上層 4 5 b、3 5 b、3 6 b、3 7 b、3 8 b からなり、同一のソース金属層から形成されている。

[0140] 図 4 4 ~ 図 4 9 は、本実施形態のアクティブマトリクス基板 1 を示す図面である。

図 4 4 は、本実施形態におけるゲート端子 2 1 の構成を示す平面模式図である。図 4 5 は、本実施形態におけるソース端子 2 4 の構成を示す平面模式図である。図 4 6 は、本実施形態におけるコンタクト 2 5 の構成を示す平面模式図である。

図 4 7、図 4 8、図 4 9 は、それぞれ図 4 4 の B - B' 線における断面模式図、図 4 5 の C - C' 線における断面模式図、図 4 6 の D - D' 線における断面模式図である。

[0141] 図 4 4 及び図 4 4 の B - B' 線における断面を示す図 4 7 において、ゲート端子 2 1 は、ゲート引出線 2 0 が、ゲート端子金属層 5 1 と接続されていて

、ゲート絶縁層 4 3 と層間絶縁層 4 4 が取り除かれた部分で、ゲート端子金属層 5 1 は透明電極層 5 2 と接続されている。ここで、透明電極層 5 2 はゲート端子金属層 5 1 をパターン端を含めて完全に覆っている。ゲート引出線 2 0 とゲート端子金属層 5 1 とは、それぞれモリブデンからなる下層 2 0 a、5 1 a と、それぞれ銅からなる上層 2 0 b、5 1 b からなり、図 4 2 及び図 4 3 における走査信号線 4 6 等と同一のゲート金属層から形成されている。

[0142] 図 4 5 及び図 4 5 の C-C' 線における断面を示す図 4 8 において、ソース端子 2 4 は、ソース引出線 2 3 が、ソース端子金属層 5 3 と接続されていて、層間絶縁層 4 4 が取り除かれた部分で、ソース端子金属層 5 3 は透明電極層 5 4 と接続されている。ここで、透明電極層 5 4 はソース端子金属層 5 3 のパターン端を含めて完全に覆っている。ソース引出線 2 3 とソース端子金属層 5 3 は、それぞれモリブデンからなる下層 2 3 a、5 3 a と、それぞれ銅からなる上層 2 3 b、5 3 b からなり、図 4 2 及び図 4 3 におけるデータ信号線 4 5 等と同一のソース金属層から形成されている。

[0143] 図 4 6 及び図 4 6 の D-D' 線における断面を示す図 4 9 において、保持容量配線 4 7 と、保持容量配線幹 2 6 の両方と重なってこれらの一部を露出する開口部 5 5 が設けられ、上層の接続電極 5 6 を経由して保持容量配線 4 7 と、保持容量配線幹 2 6 が接続されている。

保持容量配線幹 2 6 は、それぞれモリブデンからなる下層 2 6 a と、それぞれ銅からなる上層 2 6 b からなり、図 4 2 及び図 4 3 におけるデータ信号線 4 5 等と同一のソース金属層から形成されている。

[0144] なお、保持容量配線端子 2 8 はソース端子 2 4 と同様の構造であって、図 4 5 及び図 4 8 においてソース引出線 2 3 を保持容量配線幹引出線 2 7 に置き換えて考えればよく、詳細な説明は略する。

[0145] なお、本実施形態における他の画素の構成（各部材の形状及び配置並びに接続関係）は、図 4 2 ～図 4 3 において示された画素 1 9 のそれと同様である。

[0146] (アクティブマトリクス基板 1 の製造方法)

本実施形態のアクティブマトリクス基板 1 は、図 50 及び図 51 に示した工程図のとおり作成される。なお、以下ではアクティブマトリクス基板について説明するが、本発明は別の回路基板についても適用することが可能である。

図 50 は、本実施形態のアクティブマトリクス基板 1 を作製する工程を示す工程図である。

図 51 は、本実施形態のソース層形成工程 S 1 2 3 を詳細に説明する工程図である。

[0147] アクティブマトリクス基板 1 の具体的な製造工程としては、TFT のチャンネル部が酸化物半導体（例えば、IGZO）、走査信号線が Cu/Mo 積層膜、データ信号線が Cu/Mo 積層膜からなる回路基板を 5 枚マスクプロセスで作製した一例（実施形態 3）を挙げると、以下のようになる。すなわち、上記製造工程は、図 50 に示されるとおりであり、5 枚マスクプロセスを用いてゲート層形成工程 S 1 0 1、半導体層形成工程 S 1 2 2、ソース層形成工程 S 1 2 3、層間絶縁層形成工程 S 1 0 3、画素電極層形成工程 S 1 0 4 を含む。

[0148] 本実施形態では、半導体層形成工程 S 1 2 2 と、ソース層形成工程 S 1 2 3 中のレジストパターン膜形成工程 S 1 2 6、ギャップ部エッチング工程 S 1 2 7 とが実施形態 1 と異なるため、順次説明する。

[0149] なお、これらの工程以外である（ゲート層形成工程 S 1 0 1、層間絶縁層形成工程 S 1 0 3、及び、画素電極層形成工程 S 1 0 4）は、実施形態 1 におけるものと同様であり、ソース層形成工程 S 1 2 3 中の成膜工程 S 1 2 5、レジスト剥離工程 S 1 3 0 は、実施形態 1 における成膜工程 S 1 0 5、レジスト剥離工程 S 1 1 0 と同様であるため、説明を略する。また、実施形態 3 のアクティブマトリクス基板 1 の平面図は、図 3 に示した実施形態 1 のアクティブマトリクス基板 1 の平面図と共通である。

[0150] 半導体層形成工程 S 1 2 2

図52～図55は、半導体層形成工程用のマスクを用いた半導体層形成工程S122が完了し、絶縁層61上に酸化物半導体層(IGZO)34cが形成された状態を示す。図52は、半導体層形成工程S122が完了した状態での図42のA-A'線に相当する断面を示す断面図である。図53は、半導体層形成工程S122が完了した状態での図44のB-B'線に相当する断面を示す断面図である。図54は、半導体層形成工程S122が完了した状態での図45のC-C'線に相当する断面を示す断面図である。図55は、半導体層形成工程S122が完了した状態での図46のD-D'線に相当する断面を示す断面図である。

[0151] なお、絶縁層61は、ガラス基板10側から、窒化シリコン膜(SiN_x)、酸化シリコン膜(SiO_x)からなっている。これらの膜の成膜にはプラズマCVD法を用いており、成膜用のガスとしては、窒化シリコン膜の場合は、シラン(SiH_4)、アンモニア(NH_3)、水素(H_2)及び窒素(N_2)等、酸化シリコンの場合はシラン(SiH_4)と一酸化二窒素(N_2O)等のガスを用いる。窒化シリコン膜の膜厚は、例えば325nm、酸化シリコン膜の膜厚は50nmとする。これらの成膜時のガラス基板10の温度は例えば200～300℃とする。

[0152] ただし、本発明は絶縁層61の膜厚や構成によって限定されることはなく、別の形態として、絶縁層61は窒化シリコン膜(SiN_x)、酸化シリコン膜(SiO_x)のどちらか一方のみが成膜されてもよいし、さらに、酸化アルミニウム(Al_2O_3)、五酸化タンタル(Ta_2O_5)、二酸化チタン(TiO_2)を含んで構成されてもよい。

[0153] 酸化物半導体層34cは、アルゴン(Ar)ガスを用いたスパッタ法により堆積された酸化物半導体層62をフォトリソグラフィ法により加工して得られる。このとき実施形態1と同様なウェットエッチング法を用いて、また、スパッタターゲットとしては、インジウム酸化物(In_2O_3)、ガリウム酸化物(Ga_2O_3)、亜鉛酸化物(ZnO)の混合物を焼結体に加工したスパッタターゲットを用いた。得られた酸化物半導体層34cに含まれるインジ

ウム：ガリウム：亜鉛の比（原子数比）は、1：1：1の組成比となるように調整した。本実施形態では、酸化物半導体層62を形成する際のガラス基板10の温度は例えば100～200℃とする。

[0154] ただし、本発明は酸化物半導体層34cの膜厚や構成によってこの範囲に限定されるわけではなく、インジウム：ガリウム：亜鉛の比（原子数比）は異なっているとしても同様に適用できる。

[0155] ソース層形成工程S123

ソース層形成工程S123は、図51に示すように、成膜工程S125、レジストパターン膜形成工程S126、ギャップ部エッチング工程S127、レジスト剥離工程S110を含む。ここで、レジスト剥離工程S110は実施形態1と同様なので説明は略する。

[0156] 成膜工程S125

ここでは、実施形態1に示された方法と同様にして、ソース金属層（図示せず）を形成する。ソース金属層はCu/Mo積層膜からなり、モリブデンの膜厚は例えば10nmとし、銅の膜厚は例えば300nmである。

[0157] レジストパターン膜形成工程S126

レジストパターン膜形成工程S126では、成膜工程S125で成膜されたソース金属層上に、フォトリソグラフィ法によりレジストパターン膜を形成する。ここで、実施形態1及び2とは異なり、レジストパターン膜厚が他と比べて薄い部分（ハーフレジスト部）は形成されない。

[0158] ギャップ部エッチング工程S127

図56～図59は、ソース層形成工程S123工程中の、ギャップ部エッチング工程S127が完了した状態を示す。図56は、ギャップ部エッチング工程S127が完了した状態での図42のA-A'線に相当する断面を示す断面図である。図57は、ギャップ部エッチング工程S127が完了した状態での図44のB-B'線に相当する断面を示す断面図である。図58は、ギャップ部エッチング工程S127が完了した状態での図45のC-C'線に相当する断面を示す断面図である。図59は、ギャップ部エッチング工程

S 1 2 7 が完了した状態での図 4 6 の D-D' 線に相当する断面を示す断面図である。

[0159] ギャップ部エッチング工程 S 1 2 7 では、成膜工程 S 1 2 5 で形成されたソース金属層に対して、過酸化水素及び硝酸を含んだエッチャントを用いてウェットエッチングによるパターニングを行っている。より具体的には、過酸化水素及び硝酸を含んだエッチャントは、過酸化水素 (H_2O_2) を 2 重量%、及び硝酸 (HNO_3) を 1 重量%含み、残部水からなるエッチャントであってもよく、このエッチャントの液温は例えば 24°C として用いてもよい。上述したように、過酸化水素及び硝酸を含んだエッチャントではギャップ部における酸化物半導体層 3 4 c をほとんどエッチングすることがない。

これによりソース金属層 6 3 から、データ信号線 4 5、ソース電極 3 5、ドレイン電極 3 6、ドレイン引出線 3 7、電極 3 8、ソース引出線 2 3、ソース端子金属層 5 3 を形成する。このとき、データ信号線 4 5、ソース電極 3 5、ドレイン電極 3 6、電極 3 8、ソース引出線 2 3、ソース端子金属層 5 3 等のパターン端（エッジ）における角度（テーパ角）は略同一である。

[0160] ここで、硝酸の代わりに任意の酸を用いることができ、この任意の酸としては、硝酸、硫酸、過硫酸（ペルオキソー硫酸）、塩酸、りん酸、臭化水素酸などの無機酸、クエン酸、シュウ酸、酢酸などの有機酸などを用いることができ、同様に実施することができる。

[0161] また、本実施形態のソース金属層は、ガラス基板 1 0 側から、モリブデンを含んだ金属の層、銅を含んだ金属の層で構成されてもよく、ギャップ部エッチング工程 S 1 2 7 は同様に実施できる。

[0162] ここで、モリブデンを含んだ金属は、モリブデンを主体とした金属であって、モリブデンの含有率が 5 0 重量%以上、銅を含んだ金属は銅の含有量が 5 0 重量%以上であればよい。より好ましくは、モリブデンを含んだ金属はモリブデンの含有率が 8 0 重量%以上、銅を含んだ金属は銅の含有量が 8 0 重量%以上であればよい。モリブデンを含んだ金属としては、窒素、酸素、バナジウム、ニオブ、ネオジウム、銅、タングステン、チタン、及び、タタ

ルから選ばれる１種類以上の元素とモリブデンを含有したモリブデン合金であってもよく、銅を含有した金属は窒素、酸素、バナジウム、ニオブ、ネオジウム、モリブデン、タングステン、チタン、及び、タンタルから選ばれる１種類以上の元素と銅を含む合金（銅合金）であってもよい。さらに、モリブデンを含んだ金属の層、銅を含んだ金属の層は積層構造を有してもよく、それぞれ、全体としてモリブデンを含んだ金属の層、銅を含んだ金属の層であれば同様に実施することができる。

[0163] このようにして、図４２～図４９に示された本発明のアクティブマトリクス基板１を製造することができる。

なお、アクティブマトリクス基板１を用いて液晶パネル４を作製するためには、さらに液晶配向のための配向膜を形成してもよいし、液晶配向規制用構造物を形成してもよいが、ここでは説明を略している。

[0164] 実施形態３の構成を纏めると、以下のものである。ゲート金属層（走査信号線が形成されている層）はCu/Mo積層膜、ソース金属層（データ信号線が形成されている層）はCu/Mo積層膜から形成され、ゲート端子はゲート金属層から形成され、ソース端子はソース金属層から形成されている。

（１）上述したゲート層形成工程S101のウェットエッチング（ゲート金属層のエッチング）においては、過酸化水素と任意の酸を含んだエッチャント、特に過酸化水素と硝酸を含んだエッチャントを用いてCu/Moの一括エッチングを行う。

（２）ソース層形成工程S123でのギャップ部エッチング工程S127では、TFEのギャップ部と、ギャップ部以外の部分での加工とが行われる。過酸化水素及び硝酸を含んだエッチャントを用いてソース金属層のエッチングを行う。

（１）～（２）において、過酸化水素及び硝酸を含んだエッチャントは、過酸化水素及び任意の酸を含んだエッチャントであってもよい。

[0165] このように本実施形態では、ソース金属層の構成をCu/Moとし、ソース金属層を過酸化水素及び任意の酸を含んだエッチャントを用いてエッチング

を行えば、酸化物半導体層 3 4 c にエッチングダメージを与えることがなく、制御性よくエッチングを行うことができる。

- [0166] 従来の 5 枚マスクプロセスでは、半導体層形成工程、ソース層形成工程の両方において、半導体層（アモルファスシリコン膜及び／又は n⁺アモルファスシリコン膜）をドライエッチングによりエッチングを行っていた。アモルファスシリコン膜及び n⁺アモルファスシリコン膜のドライエッチングは、下層のゲート絶縁層等との選択比をとるために精密な制御によって行われねばならず、装置が高価であり、かつスループットが課題となっていた。

実施形態 3 では、半導体層は I G Z O とし、半導体層とソース金属層の両方をウェットエッチングによりエッチングを行い、従来のような半導体層のドライエッチングは行わない。ウェットエッチング装置は、比較的装置が安価であり、かつスループットが高い。従って、設備投資費用を抑えて、効率的なアクティブマトリクス基板の製造が可能となる。

- [0167] 実施形態 3 において、ソース金属層の構成を C u / T i とした場合には、実施形態 2 における第 2 エッチング工程 S 1 0 2 に示した方法を用いて、ソース金属層をエッチングして、アクティブマトリクス基板の作成を行うことができる。この場合でも、半導体層とソース金属層の両方をウェットエッチングによりエッチングを行うので、設備投資費用を抑えて、効率的なアクティブマトリクス基板の製造が可能となる。

- [0168] 実施形態 3 においても、実施形態 1、2 と同様、ソース金属層はアルミニウムではなく銅（あるいは銅を含んだ金属）を用いてソース金属層を形成することで、低電気抵抗材料を用いつつ、設備投資費用を抑えて、効率的なアクティブマトリクス基板の製造を可能としている。

- [0169] 以下、実施形態 1 ～ 3 について補足する。

実施形態 1 ～ 3 においては、酸化物半導体層として、金属酸化物半導体である I G Z O 半導体を用いた例を示した。しかしながら、本発明での酸化物半導体層としては、亜鉛酸化物である Z n - O 系半導体（Z n O 半導体）、チタン酸化物である T i - O 系半導体（T i O₂ 半導体）、亜鉛チタン複合酸化

物であるZn-Ti-O系半導体（ZTO半導体）などを単層または異なる半導体からなる積層として同様に用いることができ、特にIGZO半導体、ZTO半導体は、アモルファス（非晶質）状態であることが望ましい。

[0170] なお、本実施形態1～3において、ソース金属層や酸化物半導体層のエッチングにはウェットエッチングのみが用いられているが、本発明の他の形態として、ソース金属層や酸化物半導体層を構成する一部の膜あるいは層のエッチングにドライエッチングが補助的に用いられてもよく、この場合でも、ドライエッチング装置の使用を低減し、設備投資費用を抑えられ、効率的なアクティブマトリクス基板の製造を可能である。

[0171] （テレビジョン受像機の構成例）

最後に、本実施形態のテレビジョン受像機の構成例について説明する。以下では、上述した本実施形態の液晶表示装置1000等をテレビジョン受像機に適用するときの一構成例について説明する。また、ここでは上述した本実施形態の液晶表示装置1000等を、液晶表示装置800として表す。なお、本明細書中、テレビジョン受像機等もまた液晶表示装置の一つである。図60は、テレビジョン受像機用の液晶表示装置800の構成を示すブロック図である。液晶表示装置800は、液晶表示ユニット84と、Y/C分離回路80と、ビデオクロマ回路81と、A/Dコンバータ82と、液晶コントローラ83と、バックライト駆動回路85と、バックライト86と、マイクロコンピュータ87と、階調回路88とを備えている。なお、液晶表示ユニット84は、液晶パネルと、これを駆動するためのソースドライバ及びゲートドライバとで構成される。

[0172] 上記構成の液晶表示装置800では、まず、テレビジョン信号としての複合カラー映像信号Scvが外部からY/C分離回路80に入力され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路81にて光の3原色に対応するアナログRGB信号に変換され、更に、このアナログRGB信号はA/Dコンバータ82により、デジタルRGB信号に変換される。このデジタルRGB信号は液晶コントローラ83に入力さ

れる。また、Y/C分離回路80では、外部から入力された複合カラー映像信号S_{c v}から水平及び垂直同期信号も取り出され、これらの同期信号もマイクロコンピュータ87を介して液晶コントローラ83に入力される。

[0173] 液晶表示ユニット84には、液晶コントローラ83からデジタルRGB信号が、上記同期信号に基づくタイミング信号と共に所定のタイミングで入力される。また、階調回路88では、カラー表示の3原色R、G、Bそれぞれの階調電位が生成され、それらの階調電位も液晶表示ユニット84に供給される。液晶表示ユニット84では、これらのRGB信号、タイミング信号及び階調電位に基づき内部のソースドライバやゲートドライバ等により駆動用信号（データ信号＝信号電位、走査信号等）が生成され、それらの駆動用信号に基づき、内部の液晶パネルにカラー画像が表示される。なお、この液晶表示ユニット84によって画像を表示するには、液晶表示ユニット内の液晶パネルの後方から光を照射する必要がある、この液晶表示装置800では、マイクロコンピュータ87の制御の下にバックライト駆動回路85がバックライト86を駆動することにより、液晶パネルの裏面に光が照射される。上記の処理を含め、システム全体の制御はマイクロコンピュータ87が行う。なお、外部から入力される映像信号（複合カラー映像信号）としては、テレビジョン放送に基づく映像信号のみならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号等も使用可能であり、この液晶表示装置800では、様々な映像信号に基づいた画像表示が可能である。

[0174] 液晶表示装置800でテレビジョン放送に基づく画像を表示する場合には、図61に示すように、液晶表示装置800にチューナ部90が接続され、これによって本テレビジョン受像機601が構成される。このチューナ部90は、アンテナ（不図示）で受信した受信波（高周波信号）の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号S_{c v}を取り出す。この複合カラー映像信号S_{c v}は、既述のように液晶表示

装置 800 に入力され、この複合カラー映像信号 S c v に基づく画像が液晶表示装置 800 によって表示される。

[0175] 図 6 2 は、本実施形態のテレビジョン受像機の一構成例を示す分解斜視図である。同図に示すように、本テレビジョン受像機 601 は、その構成要素として、液晶表示装置 800 の他に第 1 筐体 801 及び第 2 筐体 806 を有しており、液晶表示装置 800 を第 1 筐体 801 と第 2 筐体 806 とで包み込むようにして挟持した構成となっている。第 1 筐体 801 には、液晶表示装置 800 で表示される画像を透過させる開口部 801 a が形成されている。また、第 2 筐体 806 は、液晶表示装置 800 の背面側を覆うものであり、液晶表示装置 800 を操作するための操作用回路 805 が設けられると共に、金具 600 及びユニット 700 を介して下方に支持用部材 808 が取り付けられる。

[0176] 本発明は上記の実施の形態に限定されるものではなく、上記実施の形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施の形態に含まれる。

[0177] 上述した実施形態における各形態は、本発明の要旨を逸脱しない範囲において適宜組み合わせられてもよい。

[0178] なお、本願は、2010年7月15日に出願された日本国特許出願2010-161077号を基礎として、パリ条約ないし移行する国における法規に基づく優先権を主張するものである。該出願の内容は、その全体が本願中に参照として組み込まれている。

符号の説明

- [0179] 1000 : 液晶表示装置
- 1 : アクティブマトリクス基板
 - 2 : シール材
 - 3 : 対向基板 (カラーフィルタ基板)
 - 4 : 液晶パネル
 - 5 : ゲートドライバ

- 6 : ソースドライバ
- 7、8 : ポリイミドフィルム
- 9 : 外部基板
- 10、18 : ガラス基板
- 11 : ゲート端子部
- 12 : ソース端子部
- 13 : 液晶材料
- 15 : 表示領域
- 16 : 周辺領域
- 17 : シール線
- 19 : 画素
- 20 : ゲート引出線
- 21 : ゲート端子
- 22 : コンタクト
- 23 : ソース引出線
- 24 : ソース端子
- 25、39 : コンタクト
- 26 : 保持容量配線幹
- 27 : 保持容量配線幹引出線
- 28 : 保持容量配線端子
- 31 : 画素電極
- 32 : TFT
- 33 : ゲート電極
- 34、34c : 酸化物半導体層
- 35 : ソース電極
- 36 : ドレイン電極
- 37 : ドレイン引出線
- 38 : 電極

- 4 1 : ギャップ部
- 4 2 : 保持容量形成部
- 4 3 : ゲート絶縁層
- 4 4 : 層間絶縁層
- 4 5 : データ信号線
- 4 5 a : 下層
- 4 5 b : 上層
- 4 6 : 走査信号線
- 4 6 a : 下層
- 4 6 b : 上層
- 4 7 : 保持容量配線
- 4 7 a : 下層
- 4 7 b : 上層
- 5 1 : ゲート端子金属層
- 5 1 a : 下層
- 5 1 b : 上層
- 5 2 : 透明電極層
- 5 3 : ソース端子金属層
- 5 4 : 透明電極層
- 5 5、7 5 : 開口部
- 5 6 : 接続電極
- 6 1 : 絶縁層
- 6 2 : 酸化物半導体層
- 6 3 : ソース金属層
- 6 5 : レジストパターン膜
- 6 6 : ソース金属層 1 次加工層
- 6 7 : レジストパターン膜
- 7 6 : 接続電極

S 1 0 1 : ゲート層形成工程
S 1 0 2 : 半導体層・ソース層形成工程
S 1 0 3 : 層間絶縁層形成工程
S 1 0 4 : 画素電極層形成工程
S 1 0 5 : 成膜工程
S 1 0 6 : レジストパターン膜形成工程
S 1 0 7 : 第 1 エッチング工程
S 1 0 8 : アッシング工程
S 1 0 9 : 第 2 エッチング工程
S 1 1 0 : レジスト剥離工程
S 1 2 2 : 半導体層形成工程
S 1 2 3 : ソース層形成工程
S 1 2 5 : 成膜工程
S 1 2 6 : レジストパターン膜形成工程
S 1 2 7 : ギャップ部エッチング工程
6 0 0 : 金具
6 0 1 : テレビジョン受像機
7 0 0 : ユニット
8 0 0 : 液晶表示装置
8 0 1 : 第 1 筐体
8 0 1 a : 開口部
8 0 5 : 操作回路
8 0 6 : 第 2 筐体
8 0 8 : 支持用部材
G L 1 ~ G L m : 走査信号線
S L 1 ~ n : データ信号線
C S L 1 ~ m : 保持容量配線
S c v : カラー映像信号

請求の範囲

- [請求項1] 酸化物半導体層及びそれに接続された電極を有する回路基板であって、
該電極は、銅以外の金属からなる層と銅を含む層とを必須として積層して形成したものである
ことを特徴とする回路基板。
- [請求項2] 前記銅以外の金属からなる層は、チタン及びモリブデンからなる群より選択される少なくとも1種を含むものである
ことを特徴とする請求項1に記載の回路基板。
- [請求項3] 前記酸化物半導体層は、インジウムガリウム亜鉛複合酸化物からなることを特徴とする請求項1又は2に記載の回路基板。
- [請求項4] 前記電極は、ソース電極及びドレイン電極を含み、
該ソース電極及びドレイン電極は、それぞれ前記酸化物半導体層と接続された部分を有し、該ソース電極の該半導体層と接続された部分と該ドレイン電極の該半導体層と接続された部分とが間隔をあけて対向する
ことを特徴とする請求項1～3のいずれかに記載の回路基板。
- [請求項5] 前記ソース電極の前記半導体層と接続された部分及び前記ドレイン電極の該半導体層と接続された部分は、基板主面を平面視したときに、該半導体層よりも内側である
ことを特徴とする請求項4に記載の回路基板。
- [請求項6] 請求項1～5のいずれかに記載の回路基板を備えることを特徴とする表示装置。
- [請求項7] 酸化物半導体層及びそれに接続された電極を有する回路基板の製造方法であって、
該製造方法は、酸化物半導体層を形成する半導体層形成工程、銅以外の金属からなる層と銅を含む層とを必須として積層することにより導電体層を形成する導電体層形成工程、該導電体層をウェットエッチン

グにより処理する処理工程を含み、
該処理工程は、該電極を形成する
ことを特徴とする回路基板の製造方法。

[請求項8] 前記処理工程は、前記導電体層、及び、酸化物半導体層をエッチングする第1エッチング工程、並びに、該導電体層をウェットエッチングによりエッチングする第2エッチング工程を含み、
該第2エッチング工程は、該導電体層をソース電極とドレイン電極に分離して、該ソース電極の該半導体層と接続された部分と該ドレイン電極の該半導体層と接続された部分とが間隔をあけて対向するようにするものである

ことを特徴とする請求項7に記載の回路基板の製造方法。

[請求項9] 前記第1エッチング工程及び／又は第2エッチング工程において、前記銅を含む層を、過酸化水素及び酸を含むエッチャントでエッチングすることを特徴とする請求項8に記載の回路基板の製造方法。

[請求項10] 前記銅以外の金属からなる層はモリブデンを含む金属からなる層であって、第1エッチング工程及び／又は第2エッチング工程において、該モリブデンを含む金属からなる層を、過酸化水素及び酸を含むエッチャントでエッチングすることを特徴とする請求項8に記載の回路基板の製造方法。

[請求項11] 前記第1エッチング工程及び／又は第2エッチング工程において、前記銅を含む層を、アルカリ性エッチャントでエッチングすることを特徴とする請求項8に記載の回路基板の製造方法。

[請求項12] 前記銅以外の金属からなる層はチタンを含む金属からなる層であって、第1エッチング工程及び／又は第2エッチング工程において、該チタンを含む金属からなる層を、アルカリ性エッチャントでエッチングすることを特徴とする請求項8に記載の回路基板の製造方法。

[請求項13] 前記アルカリ性エッチャントは、過酸化水素及びアンモニアを含むエッチャントであることを特徴とする請求項11又は12に記載の回路

基板の製造方法。

- [請求項14] 前記アルカリ性エッチャントは、過酸化水素、アンモニア及び酸を含むエッチャントであることを特徴とする請求項 11 又は 12 に記載の回路基板の製造方法。
- [請求項15] 前記第 1 エッチング工程において、前記酸化物半導体層を、シュウ酸を含むエッチャントでエッチングすることを特徴とする請求項 8 に記載の回路基板の製造方法。
- [請求項16] 前記処理工程は、該導電体層をウェットエッチングによりエッチングするギャップ部エッチング工程を含み、
該ギャップ部エッチング工程は、該導電体層をソース電極とドレイン電極に分離して、該ソース電極の該半導体層と接続された部分と該ドレイン電極の該半導体層と接続された部分とが間隔をあけて対向するようにするものである
ことを特徴とする請求項 7 に記載の回路基板の製造方法。
- [請求項17] 前記ギャップ部エッチング工程において、前記銅を含む層を、過酸化水素及び酸を含むエッチャントでエッチングすることを特徴とする請求項 16 に記載の回路基板の製造方法。
- [請求項18] 前記銅以外の金属からなる層は、モリブデンを主体とした金属からなる層であって、前記ギャップ部エッチング工程において、該モリブデンを主体とした金属からなる層を、過酸化水素及び酸を含むエッチャントでエッチングすることを特徴とする請求項 16 に記載の回路基板の製造方法。
- [請求項19] 前記ギャップ部エッチング工程において、前記銅を含む層を、アルカリ性エッチャントでエッチングすることを特徴とする請求項 16 に記載の回路基板の製造方法。
- [請求項20] 前記銅以外の金属からなる層は、チタンを主体とした金属からなる層であって、前記ギャップ部エッチング工程において、該チタンを主体とした金属からなる層を、アルカリ性エッチャントでエッチングする

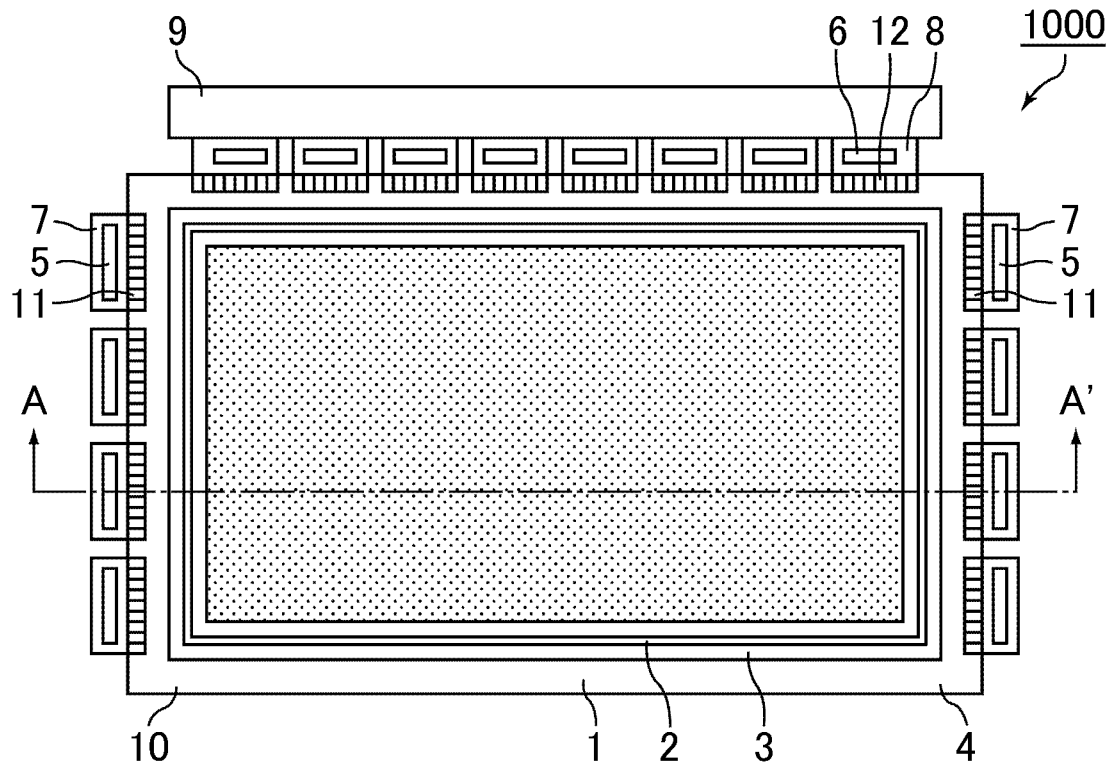
ことを特徴とする請求項 16 に記載の回路基板の製造方法。

[請求項21] 前記アルカリ性エッチャントは、過酸化水素及びアンモニアを含むエッチャントであることを特徴とする請求項 19 又は 20 に記載の回路基板の製造方法。

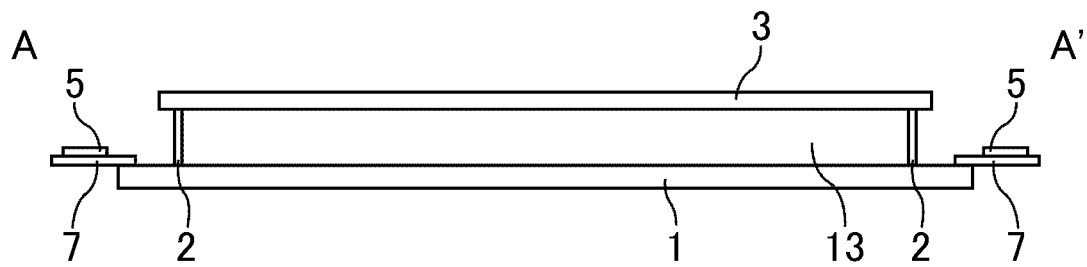
[請求項22] 前記アルカリ性エッチャントは、過酸化水素、アンモニア及び酸を含むエッチャントであることを特徴とする請求項 19 又は 20 に記載の回路基板の製造方法。

[請求項23] 前記半導体層形成工程において、前記酸化物半導体層を、シュウ酸を含むエッチャントでエッチングすることを特徴とする請求項 16 に記載の回路基板の製造方法。

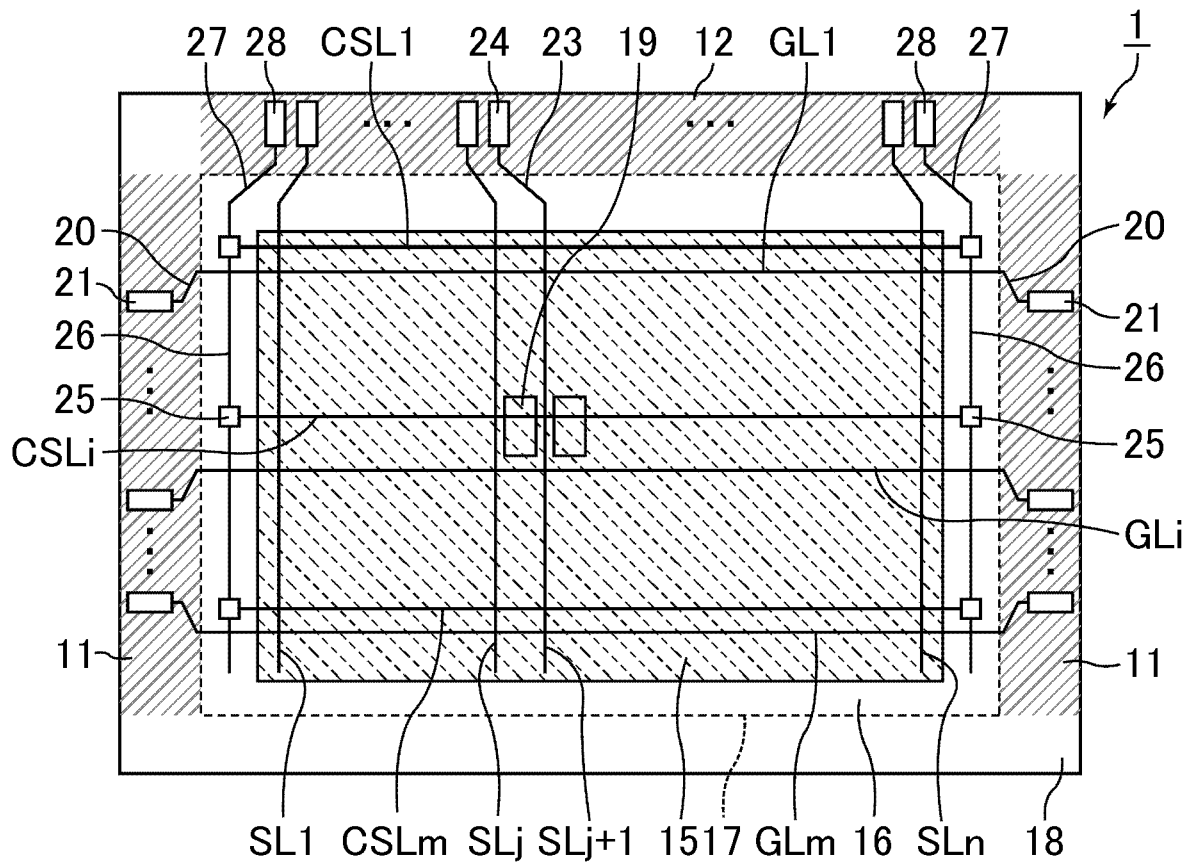
[図1]



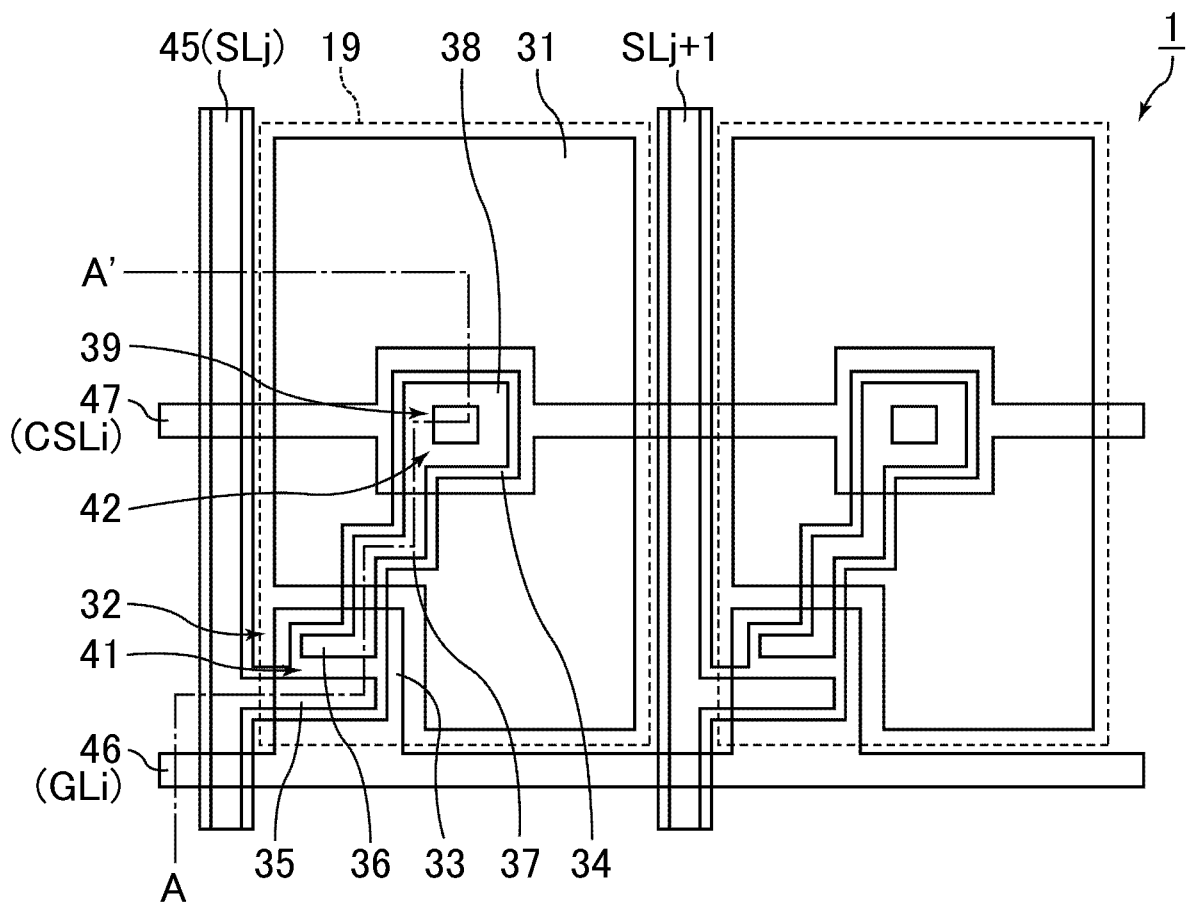
[図2]



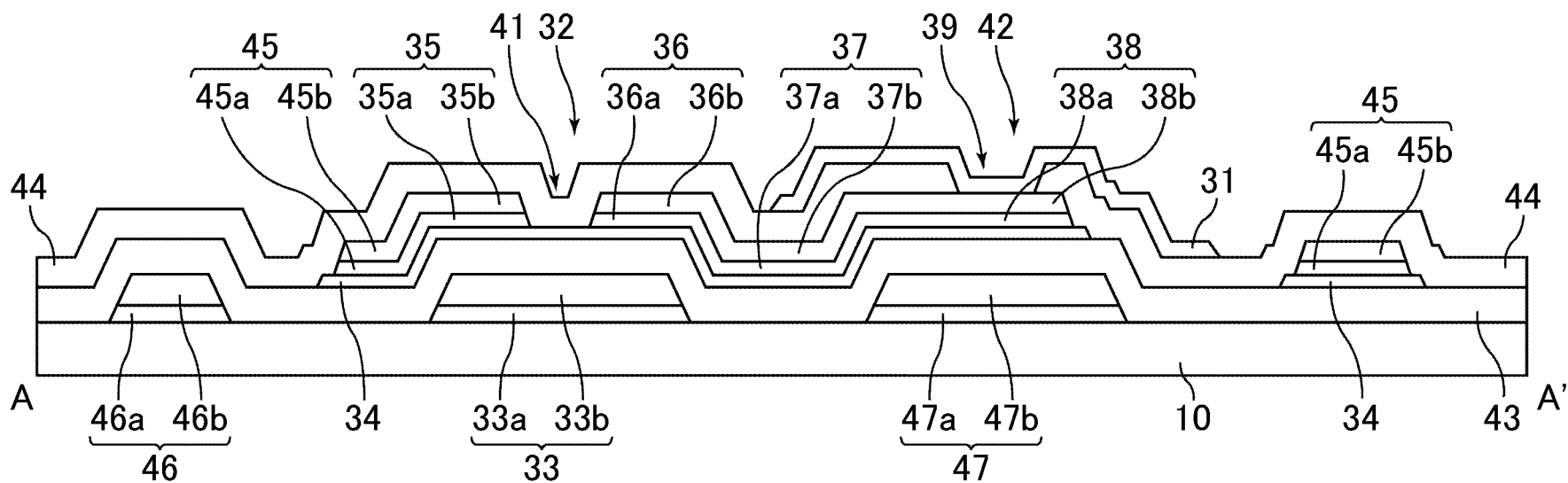
[図3]



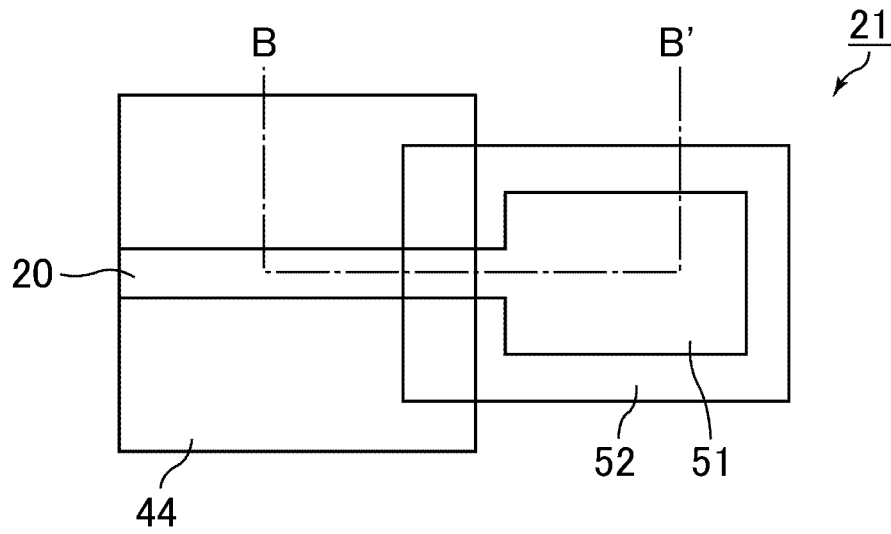
[図4]



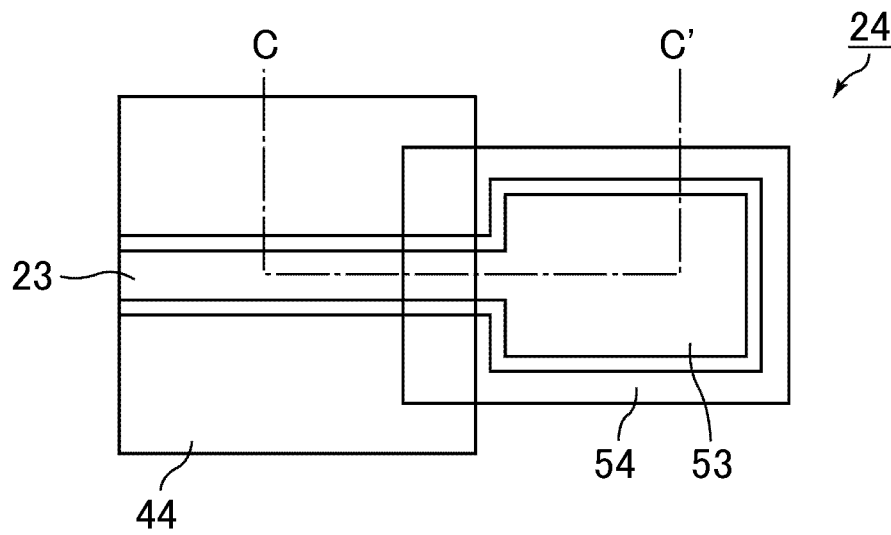
[図5]



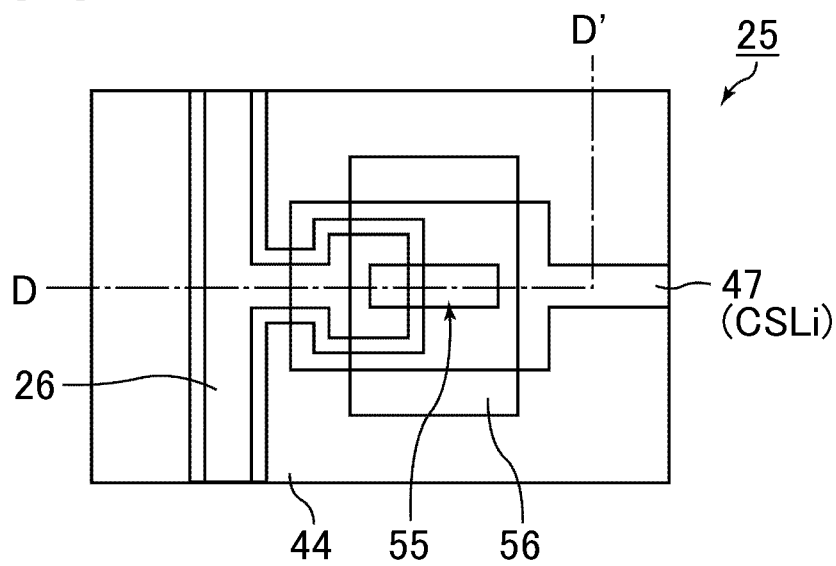
[図6]



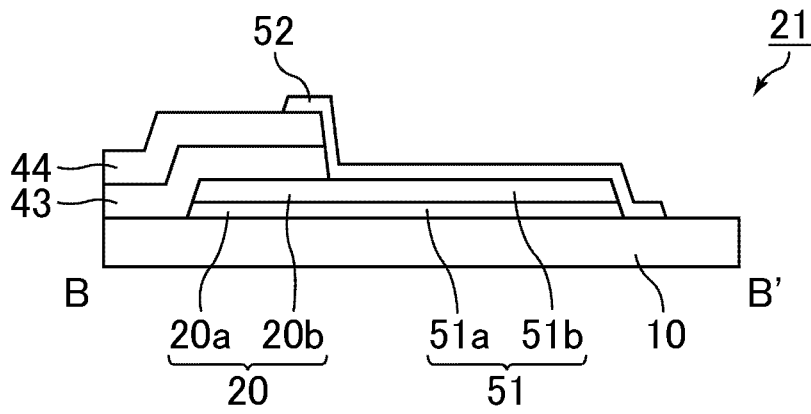
[図7]



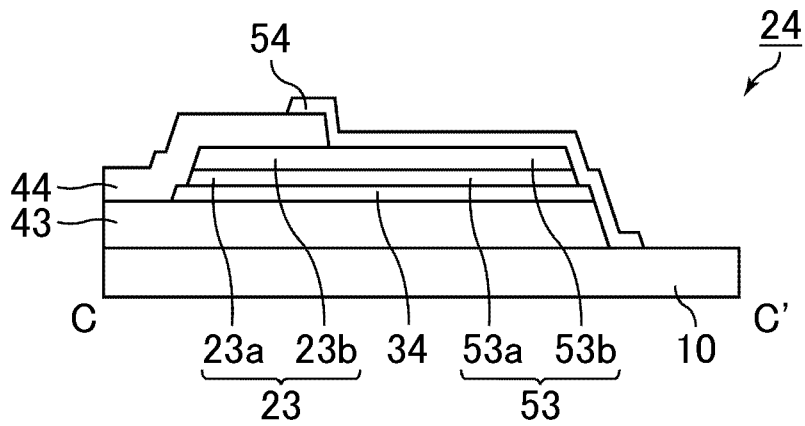
[図8]



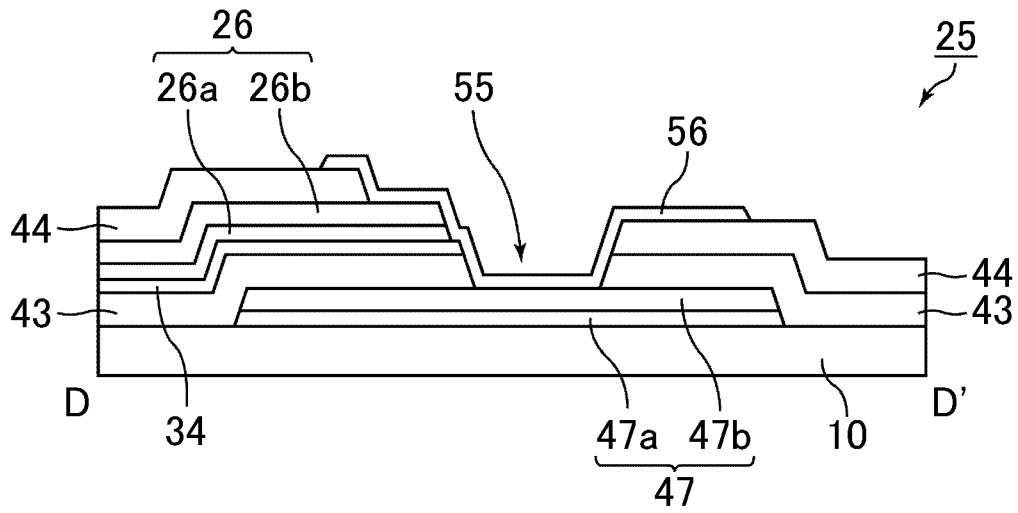
[図9]



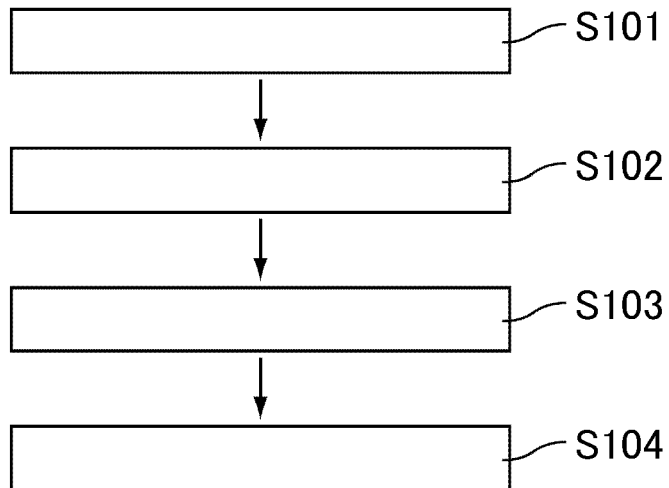
[図10]



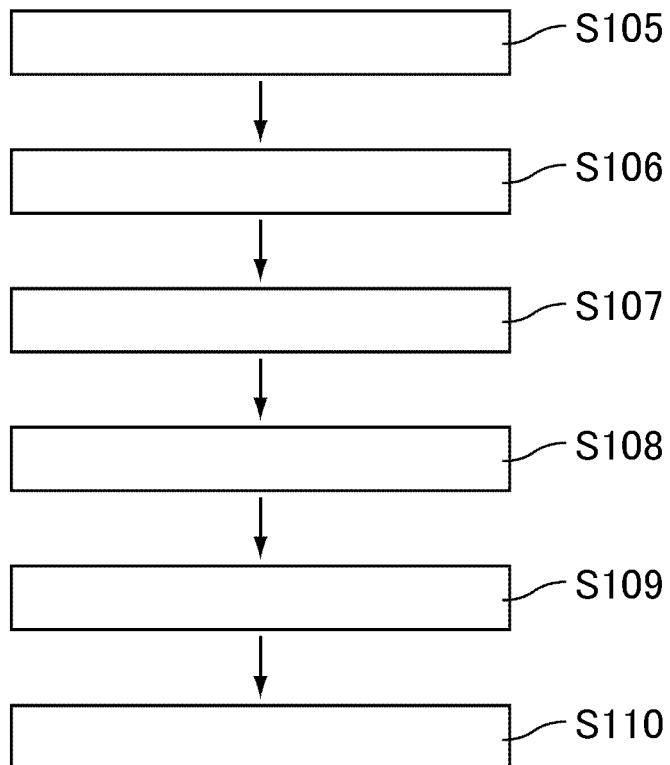
[図11]



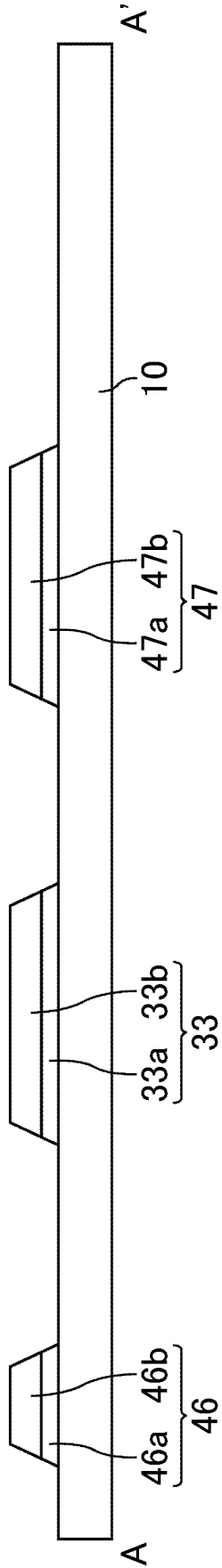
[図12]



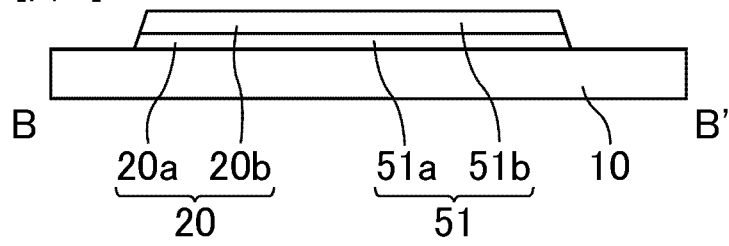
[図13]



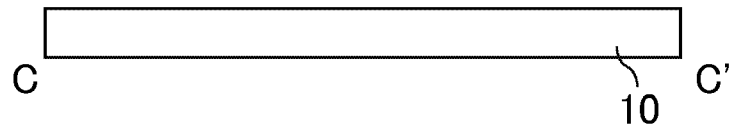
[図14]



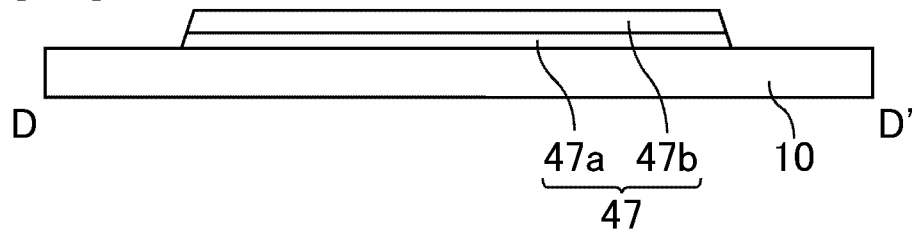
[図15]



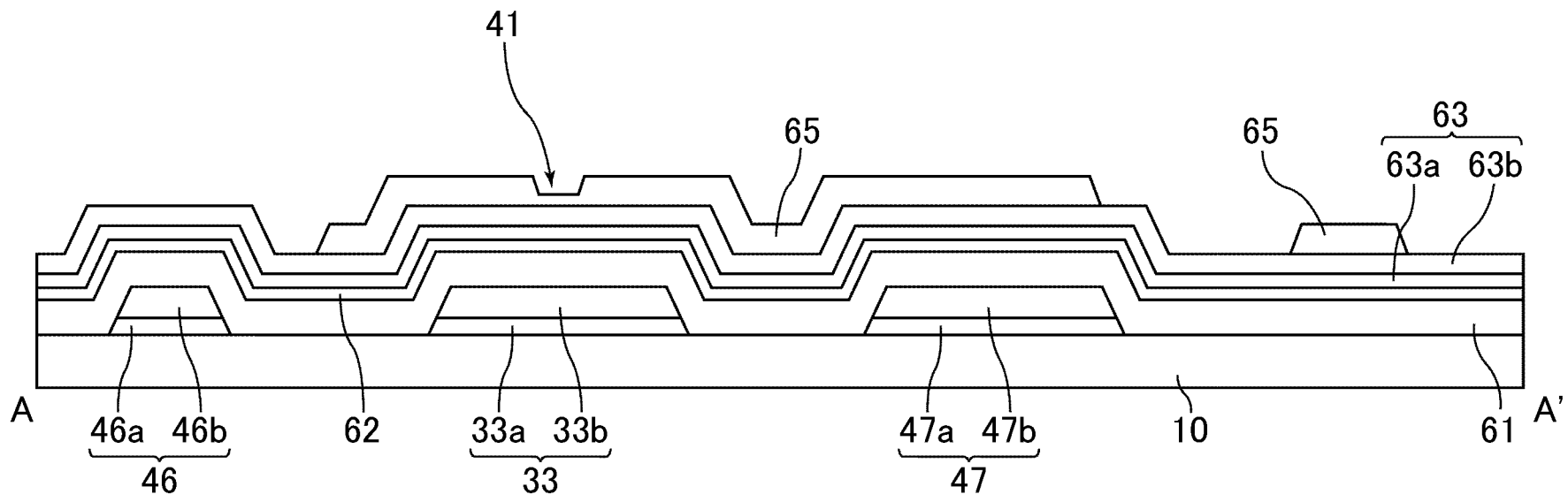
[図16]



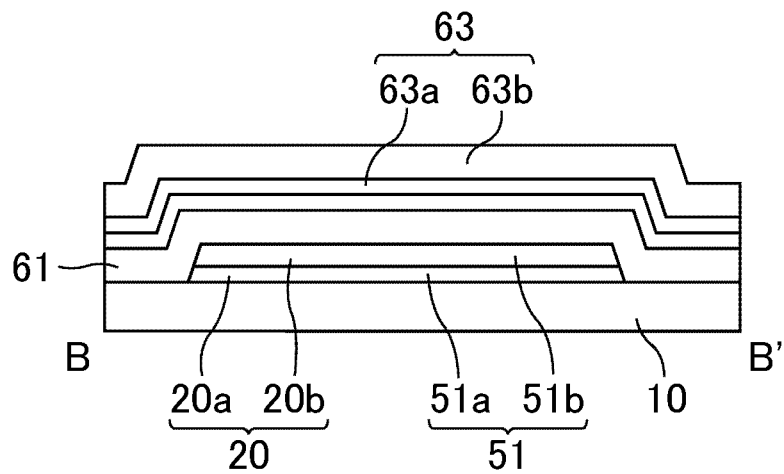
[図17]



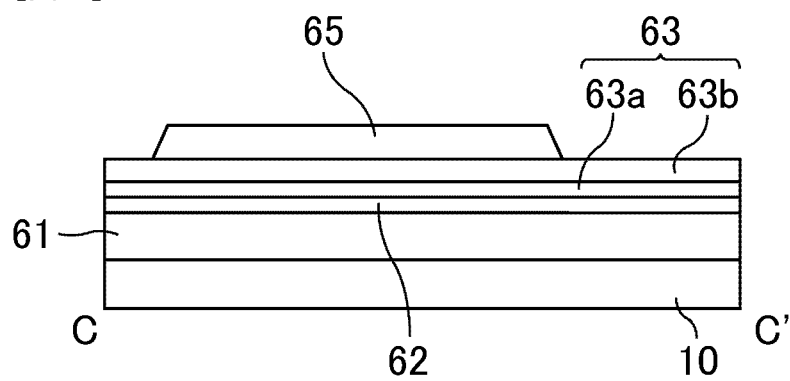
[図18]



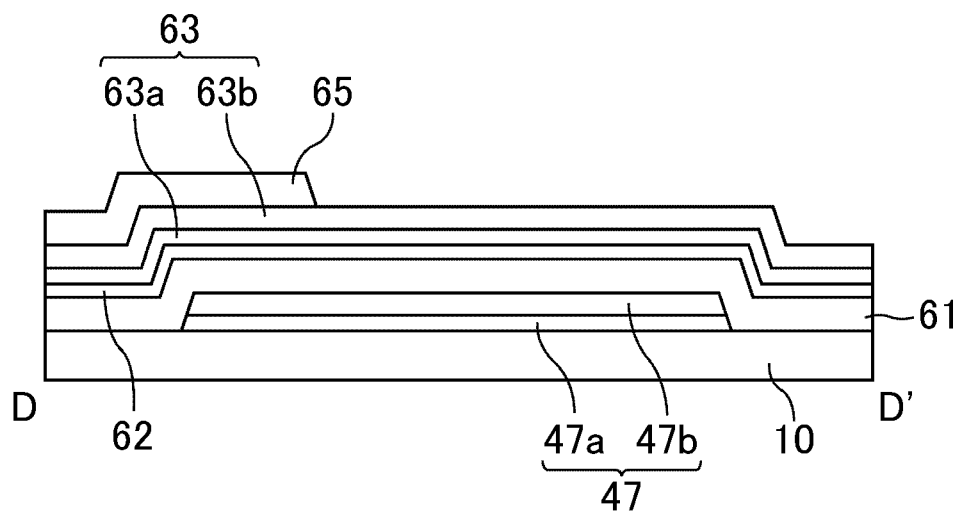
[図19]



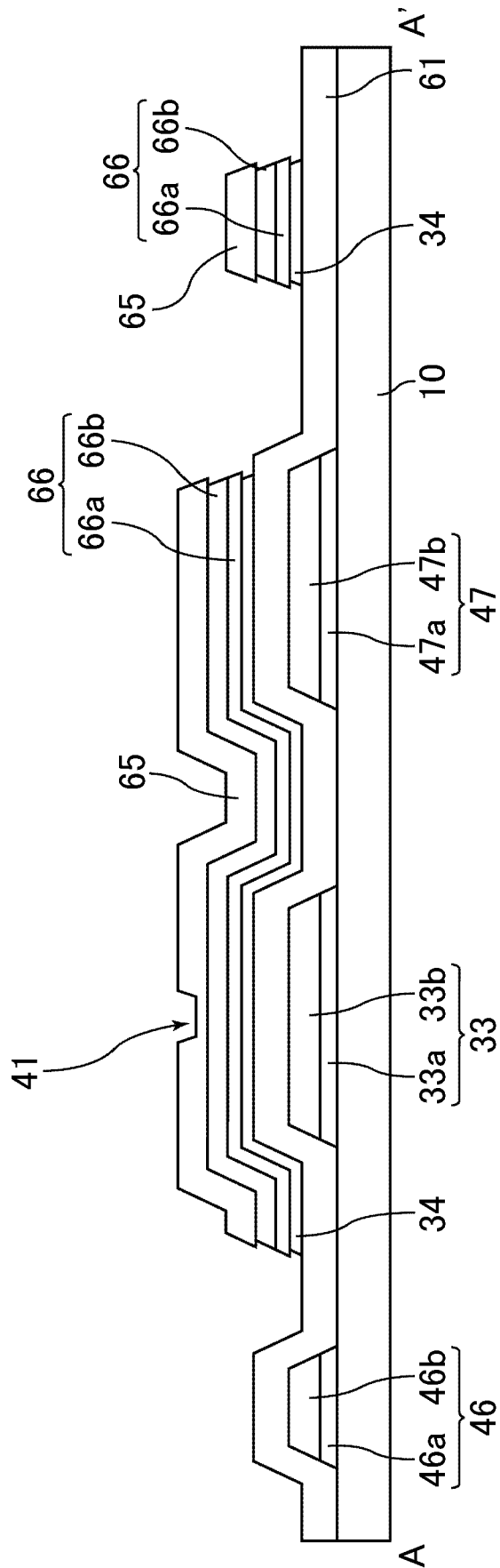
[図20]



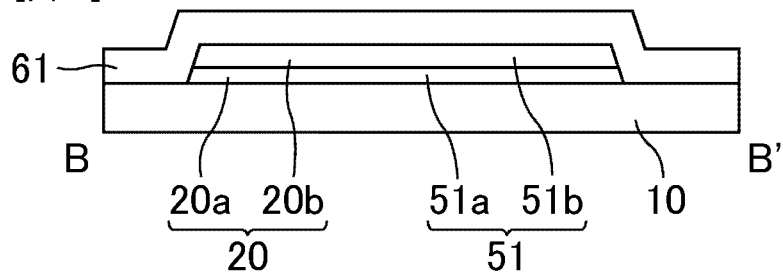
[図21]



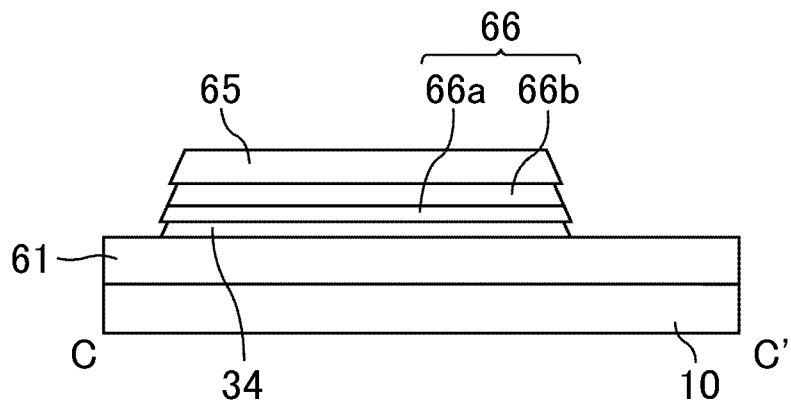
[図22]



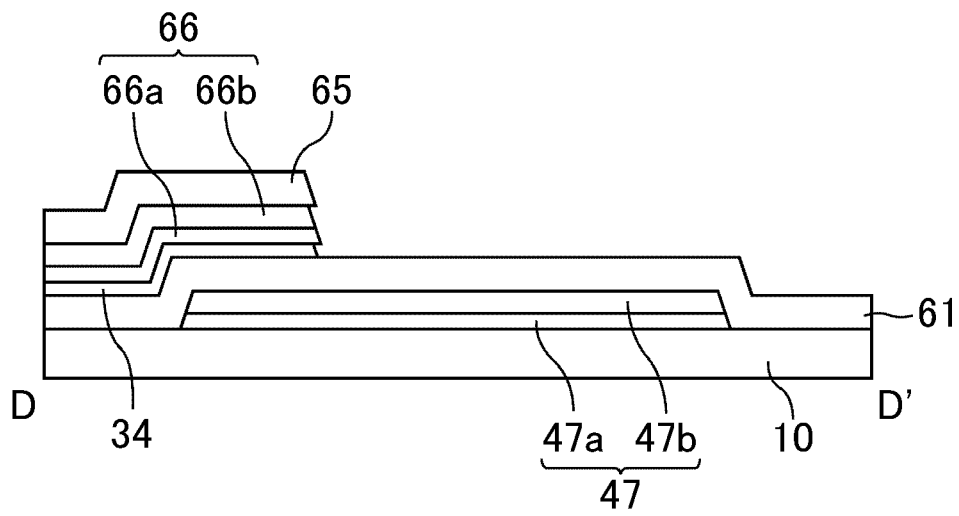
[図23]



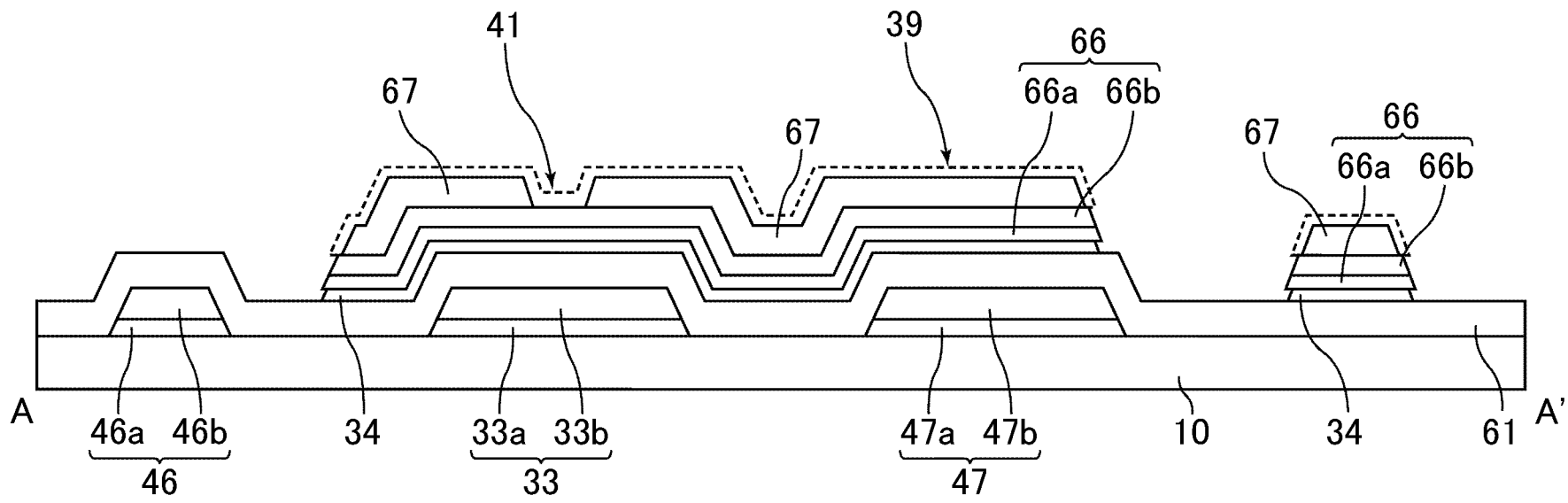
[図24]



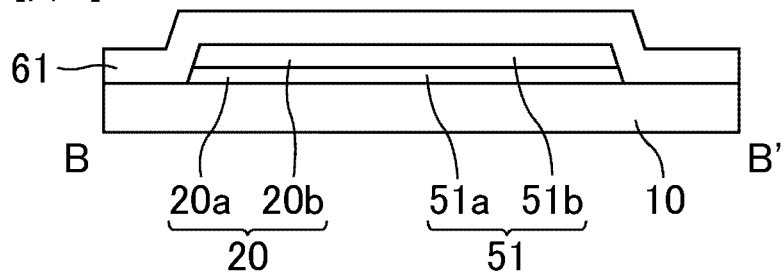
[図25]



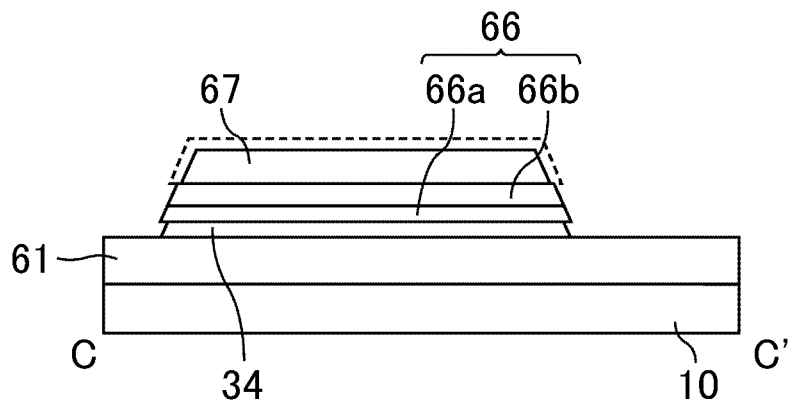
[図26]



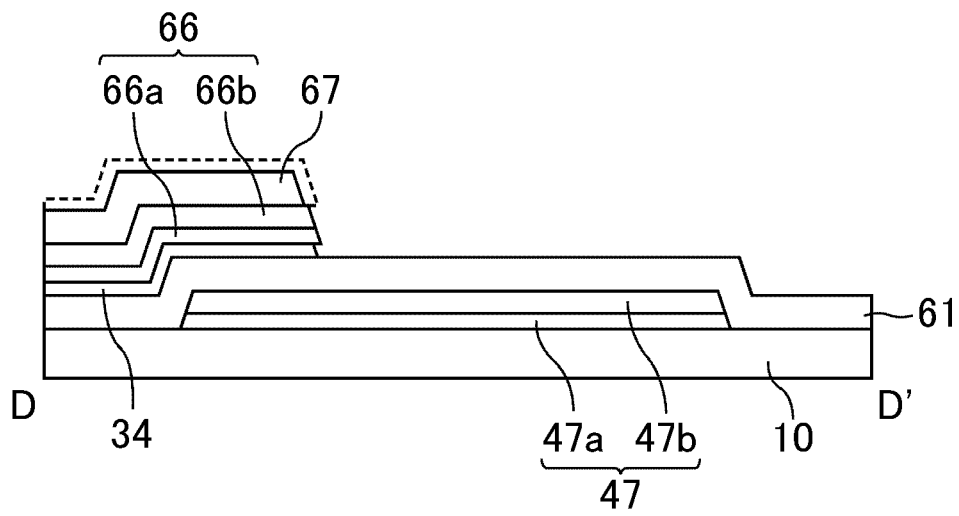
[図27]



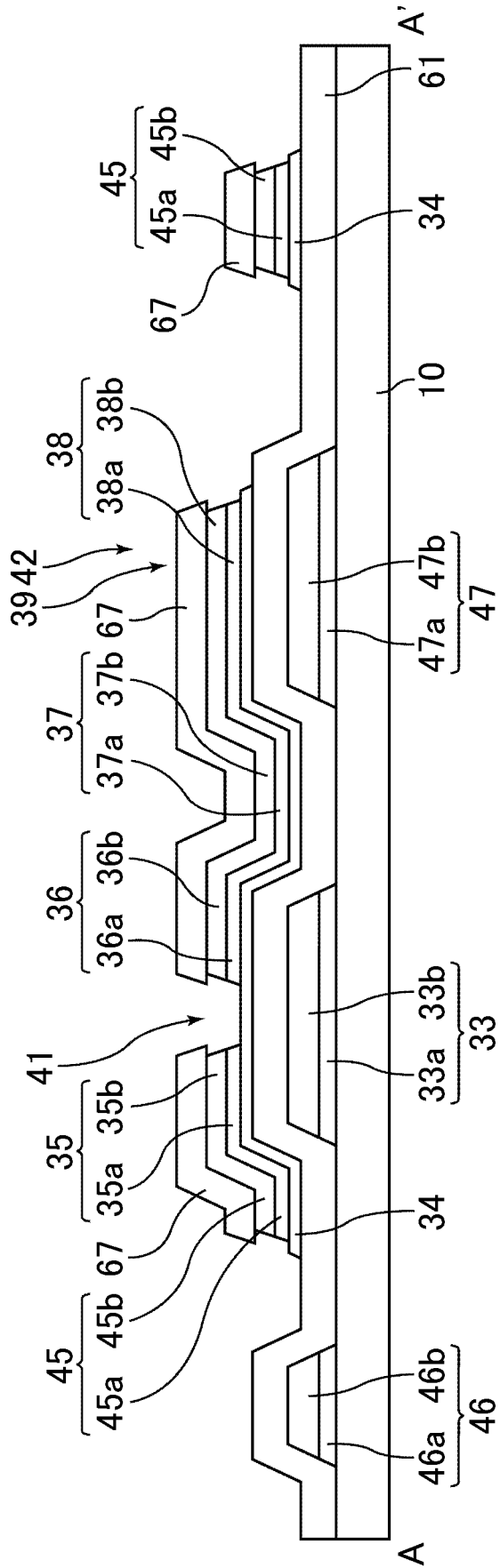
[図28]



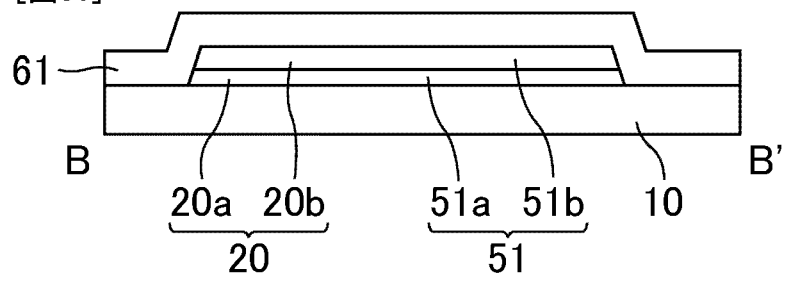
[図29]



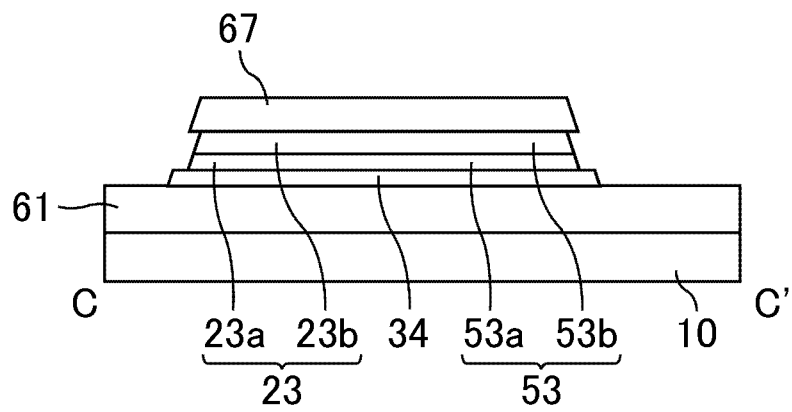
[図30]



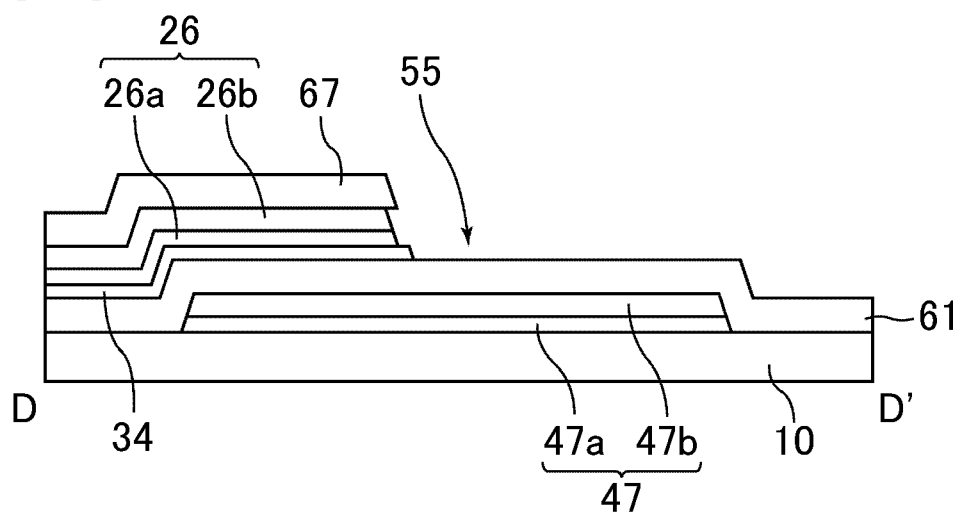
[図31]



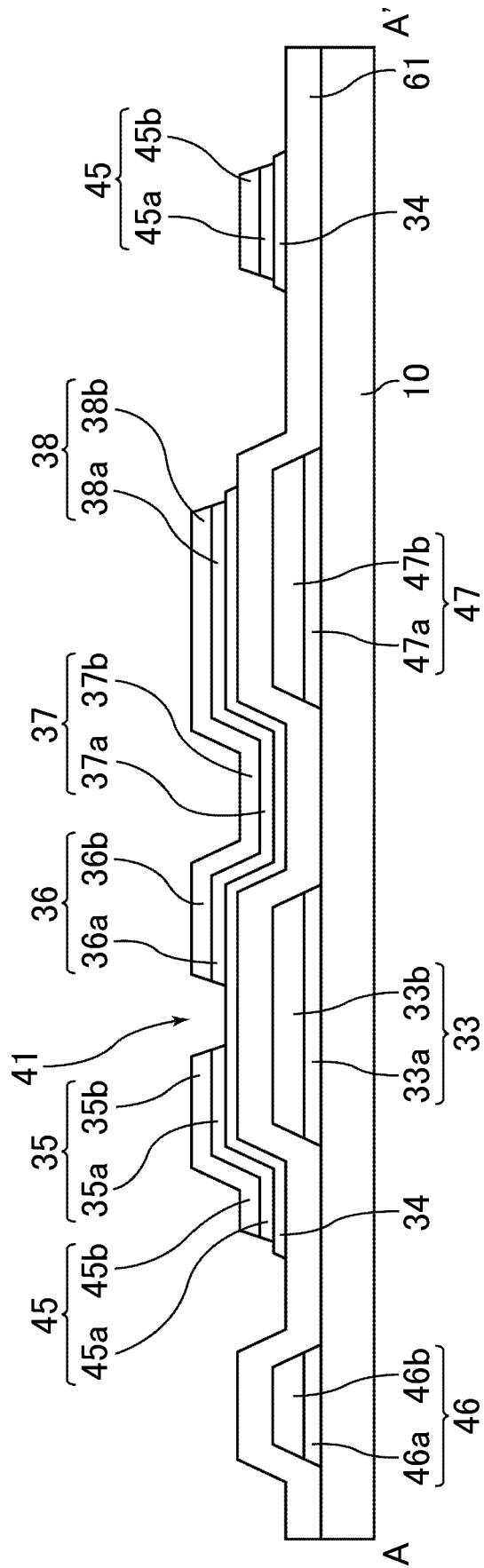
[図32]



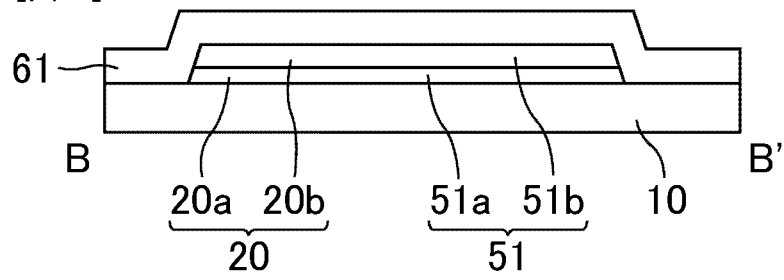
[図33]



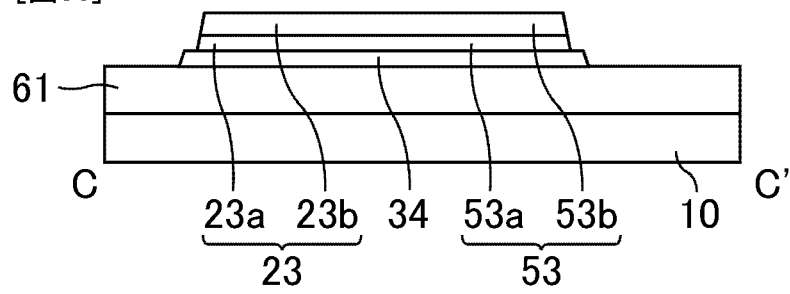
[図34]



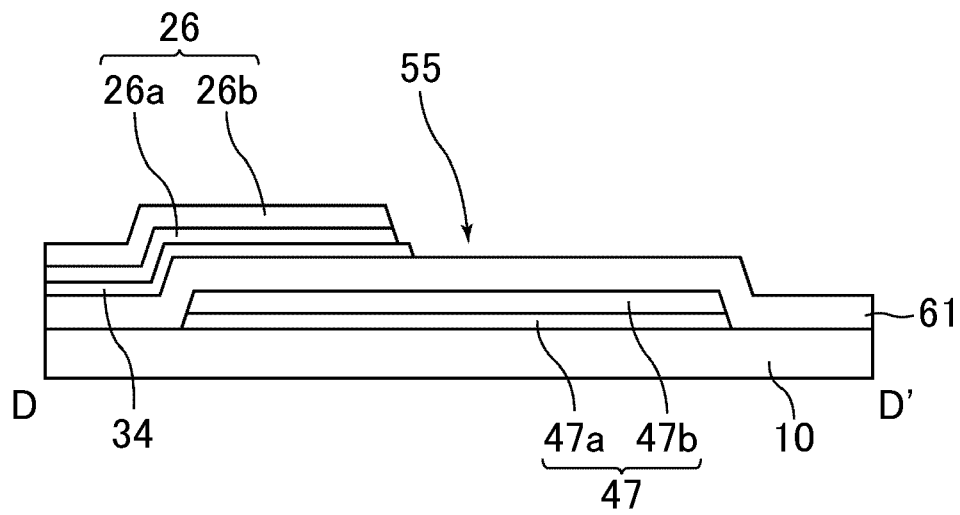
[図35]



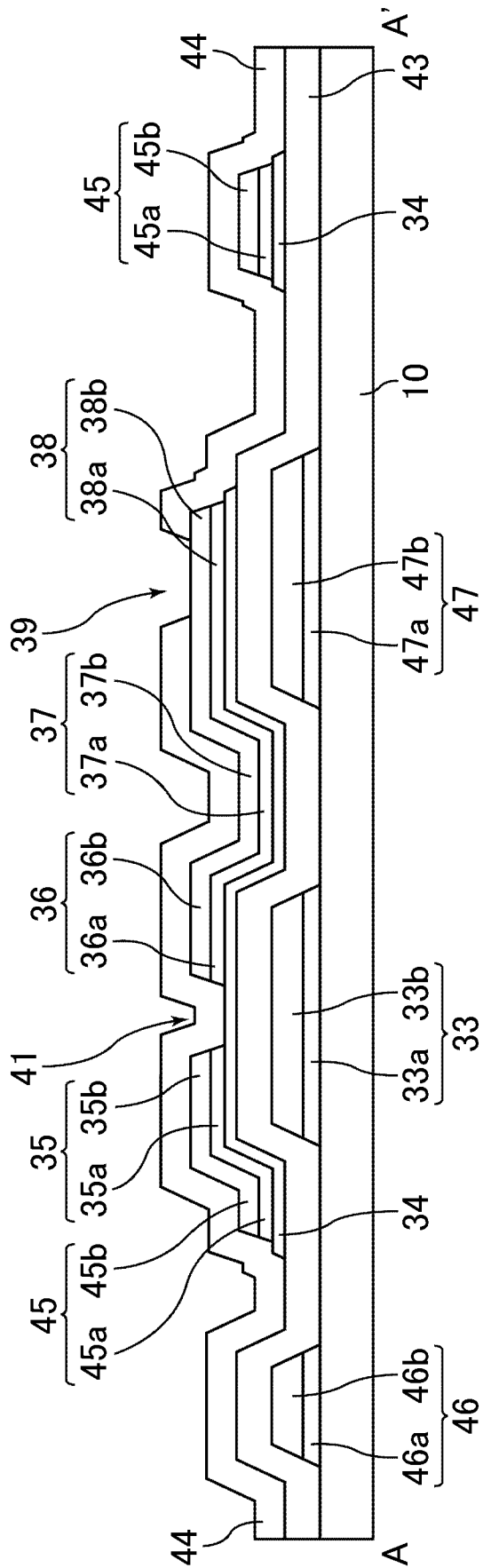
[図36]



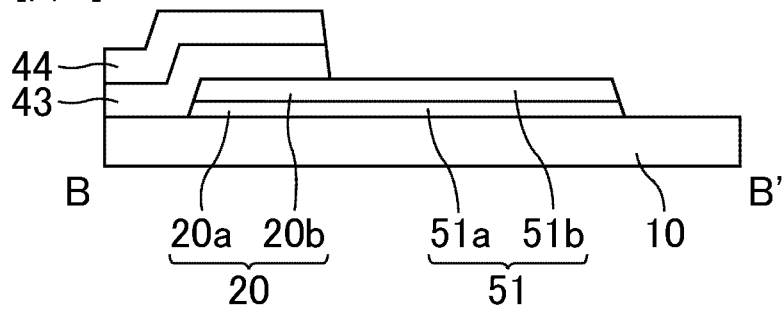
[図37]



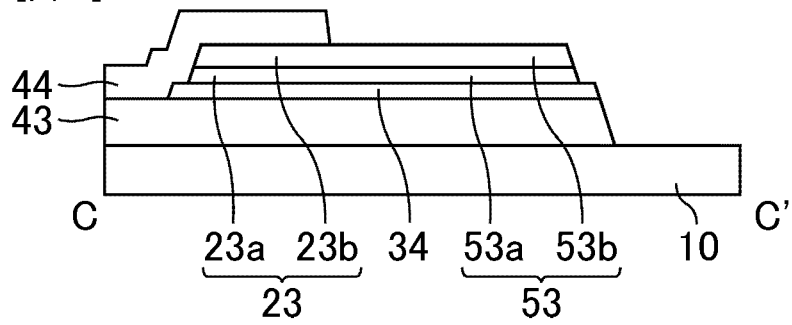
[図38]



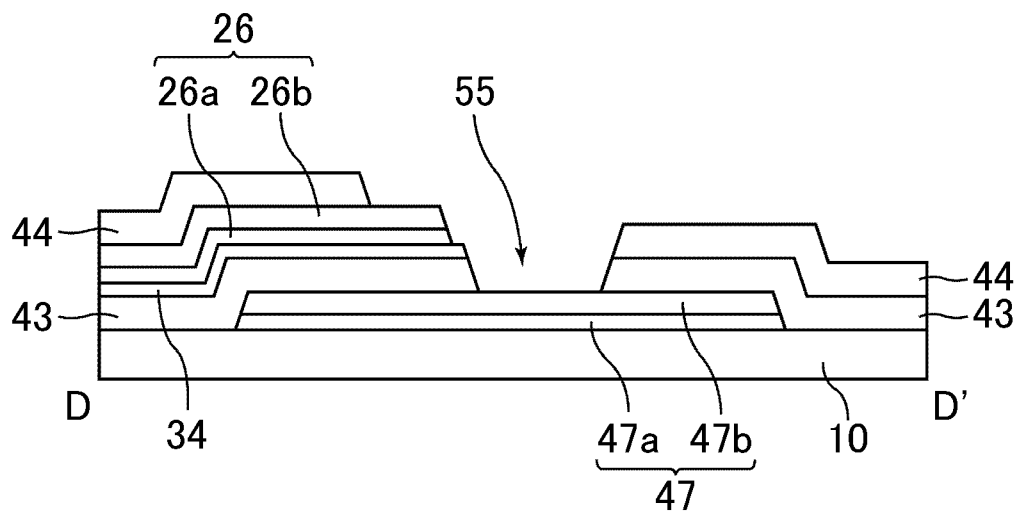
[図39]



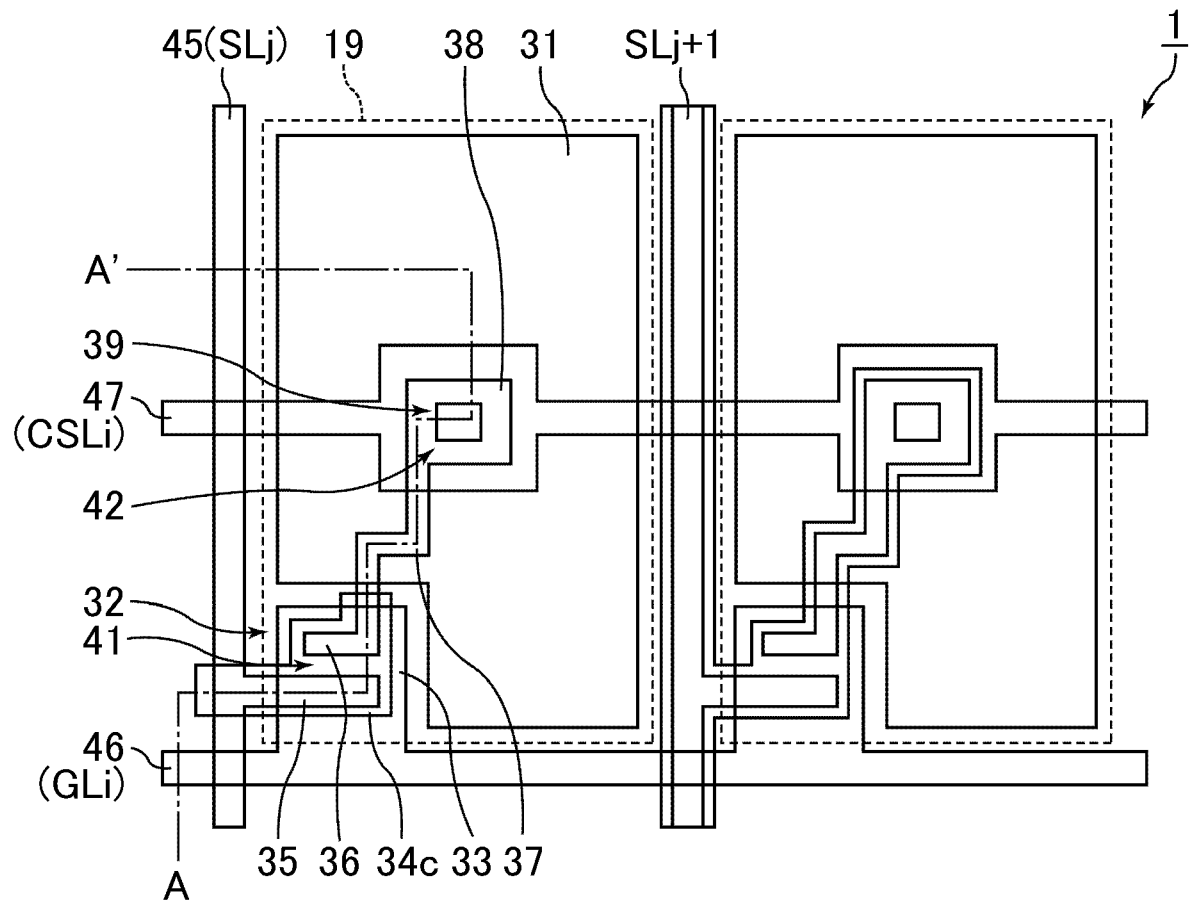
[図40]



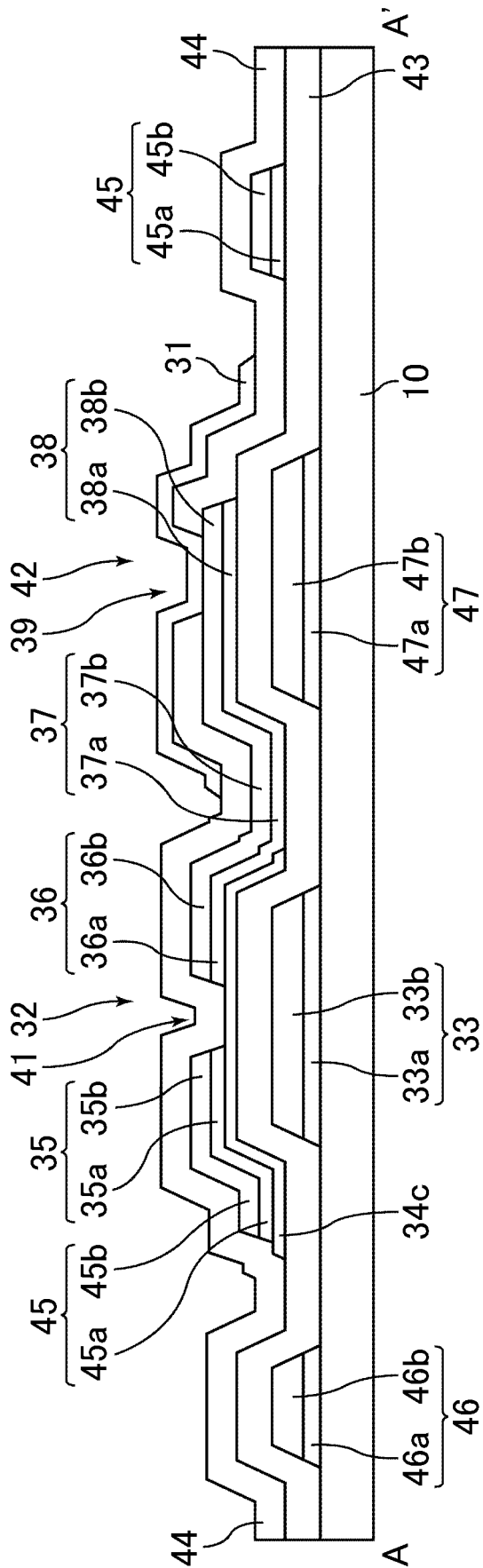
[図41]



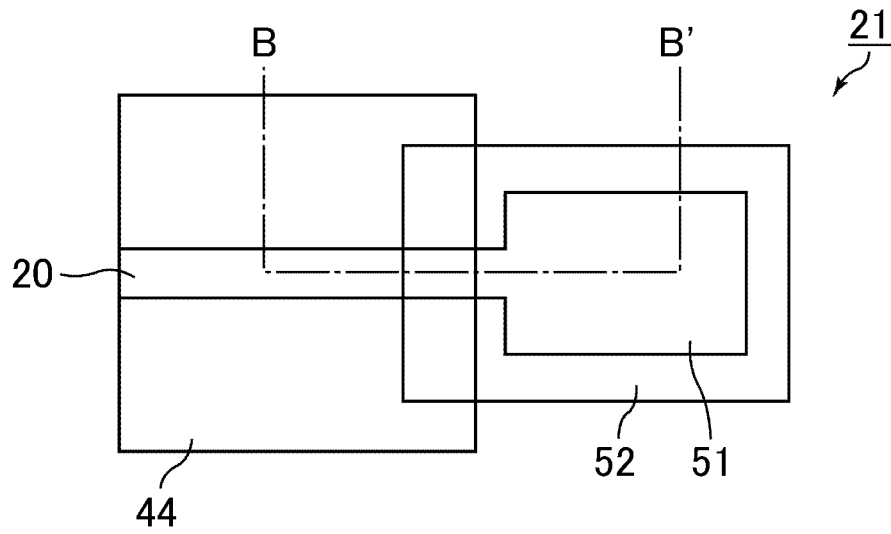
[図42]



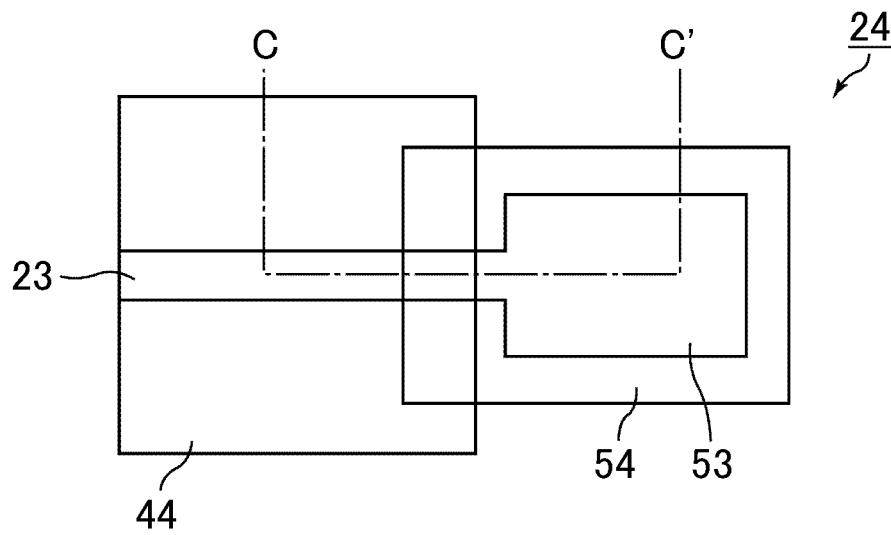
[図43]



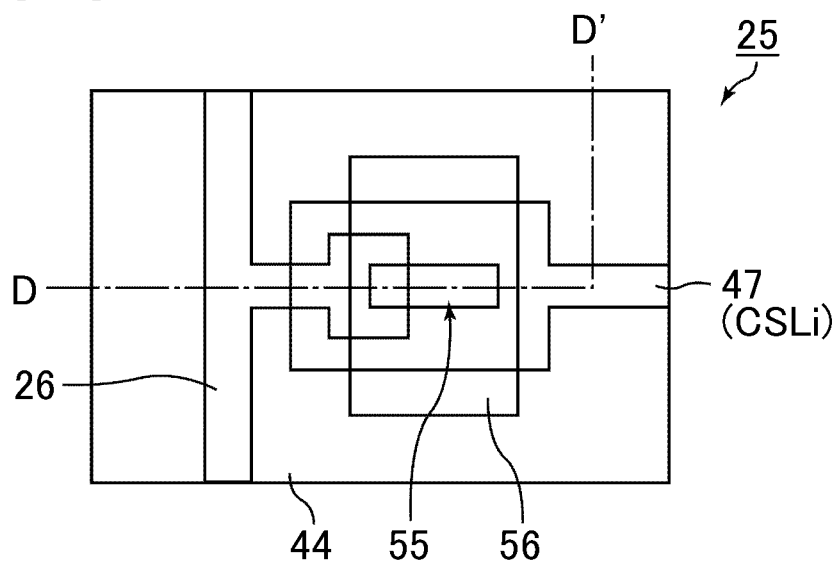
[図44]



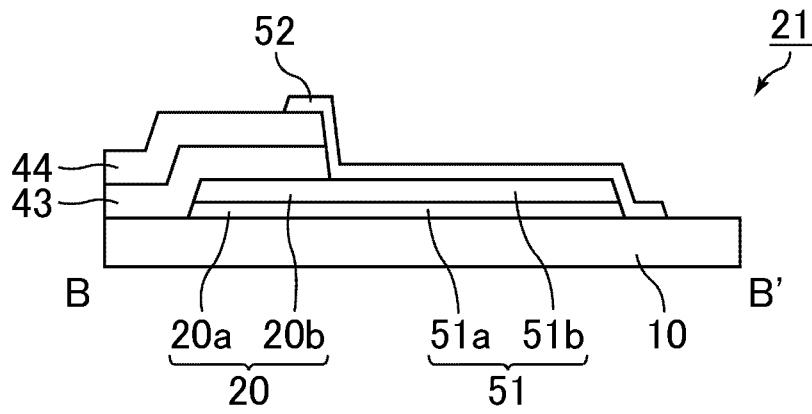
[図45]



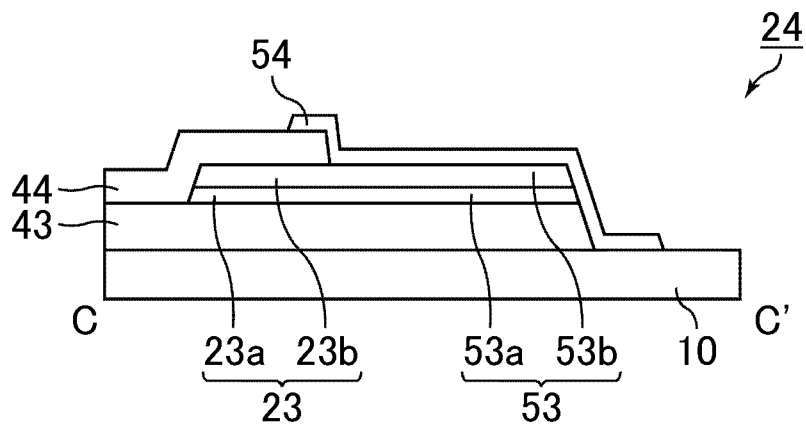
[図46]



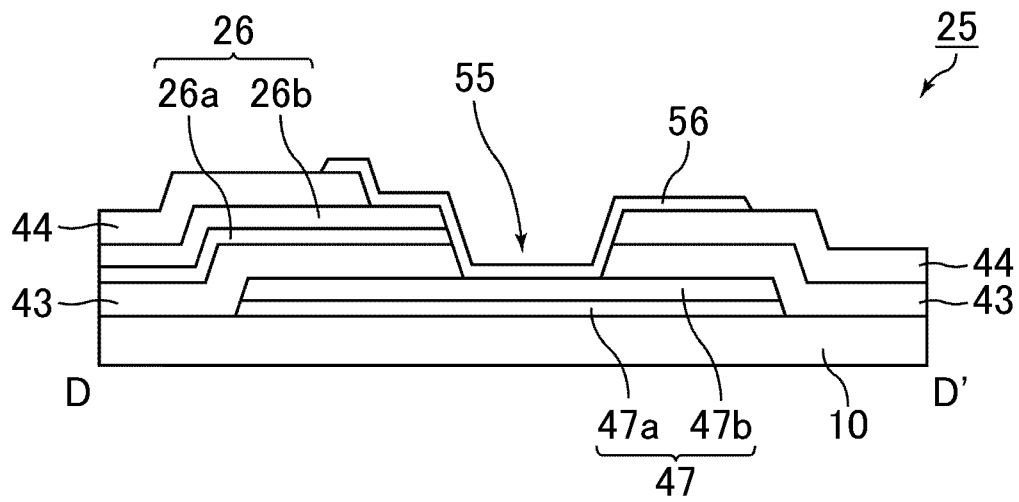
[図47]



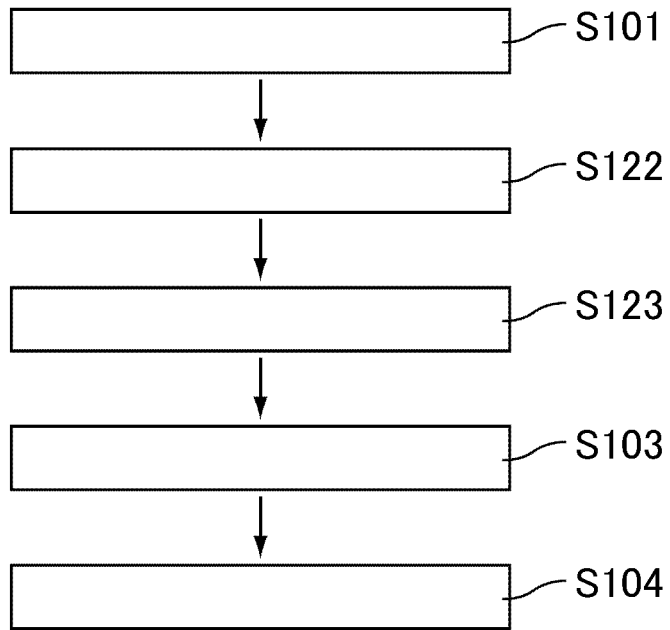
[図48]



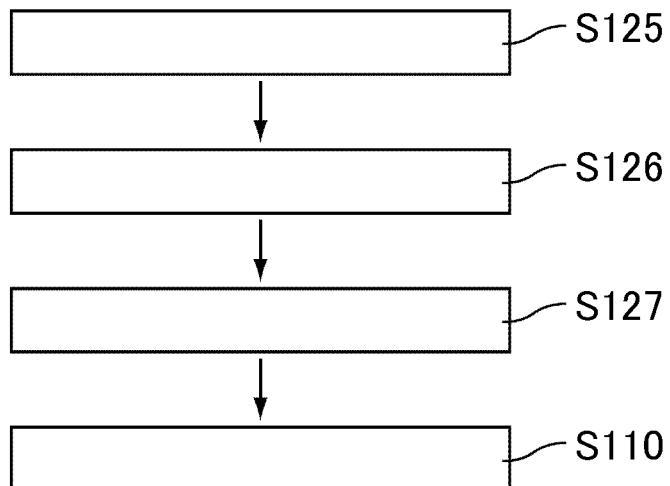
[図49]



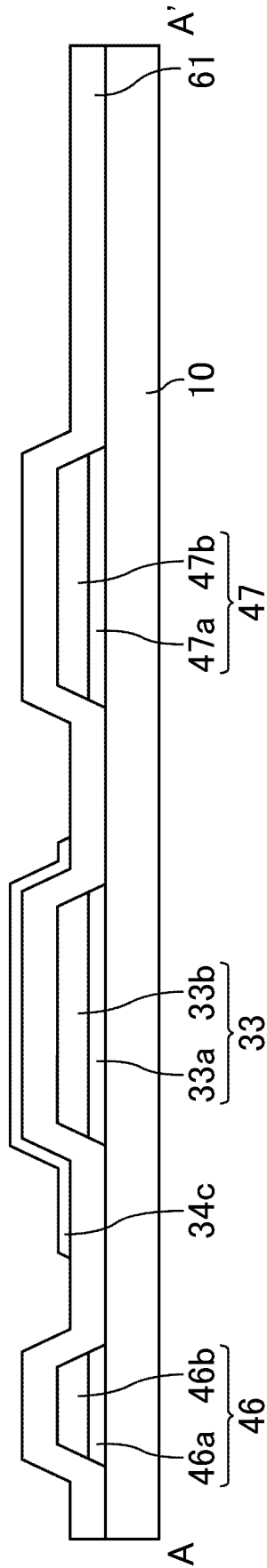
[図50]



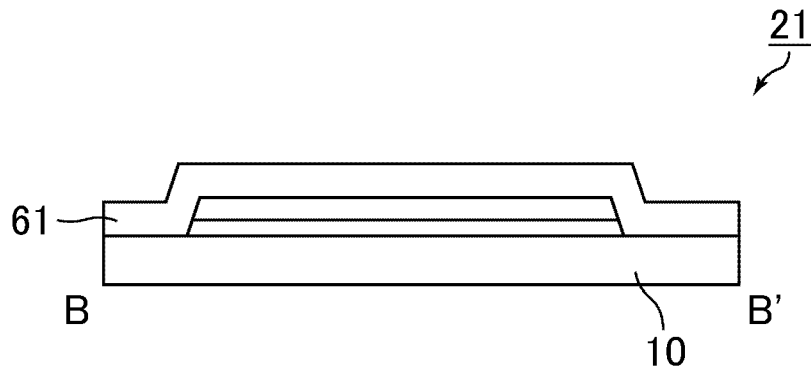
[図51]



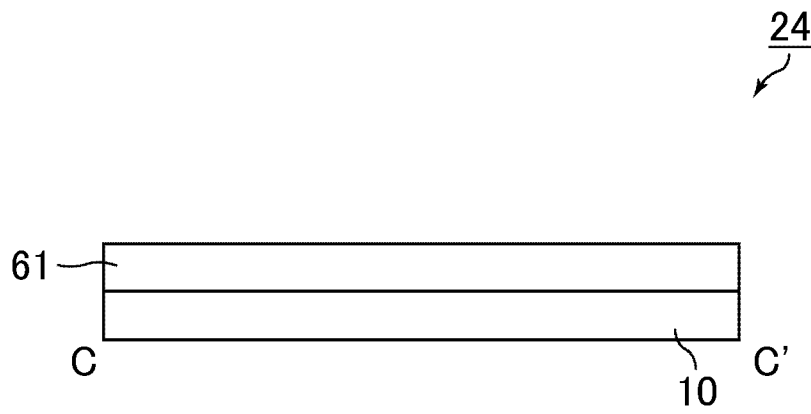
[図52]



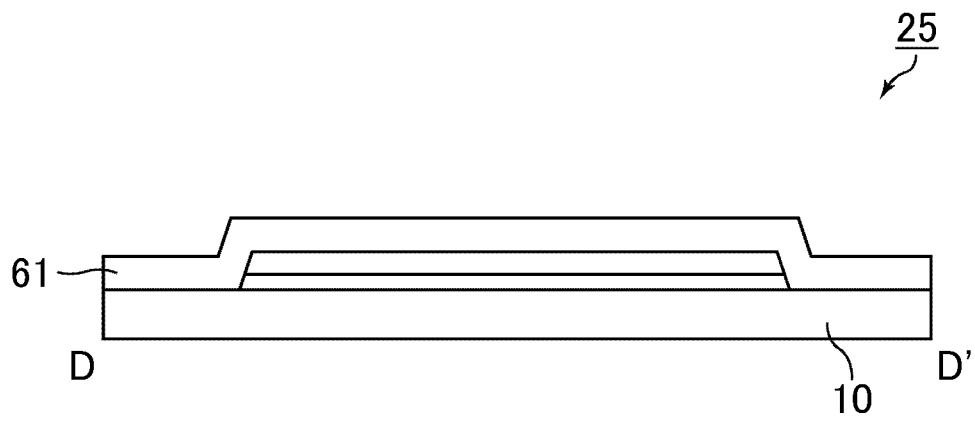
[図53]



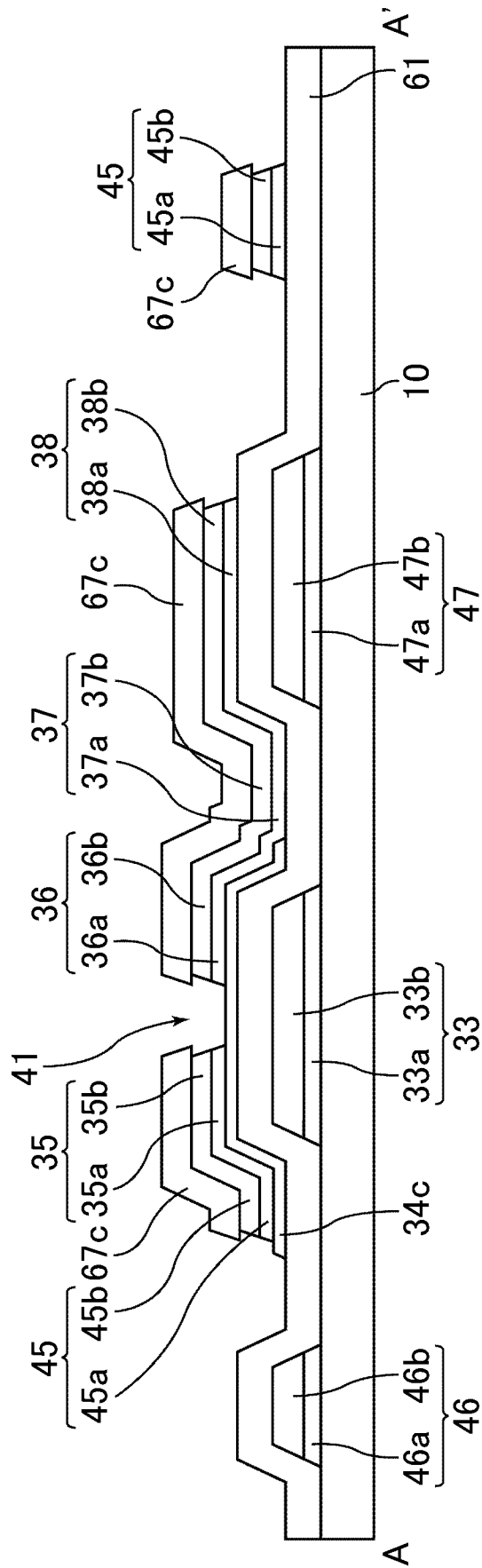
[図54]



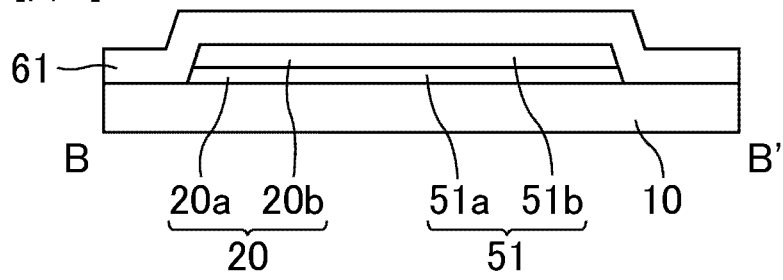
[図55]



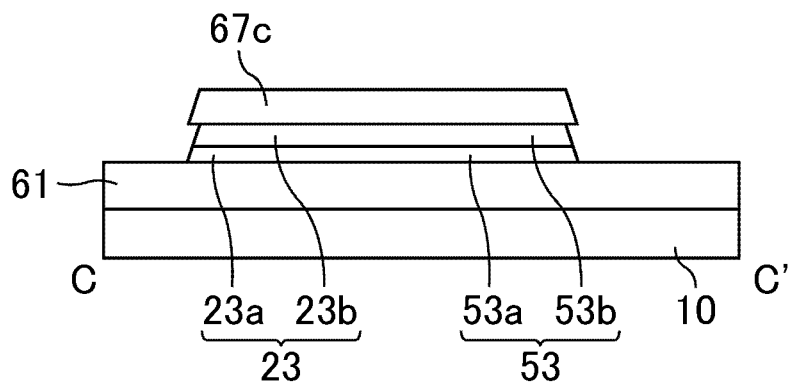
[図56]



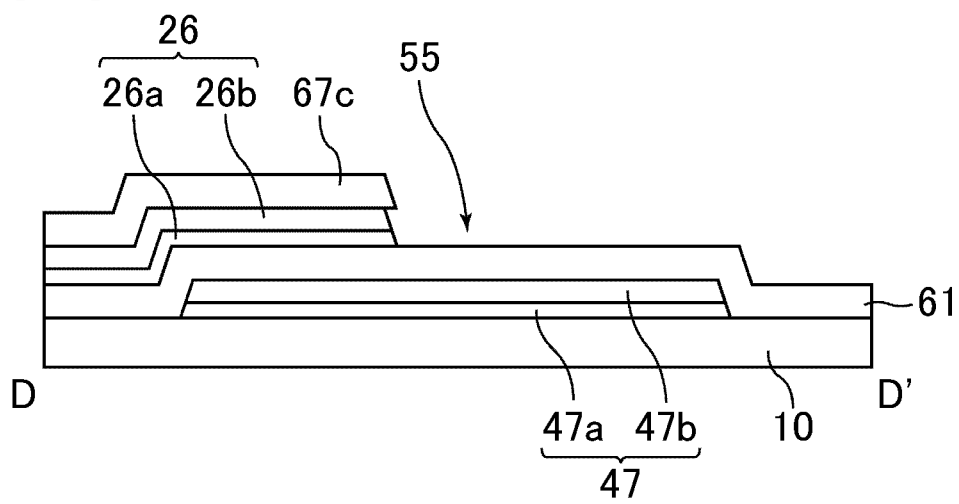
[図57]



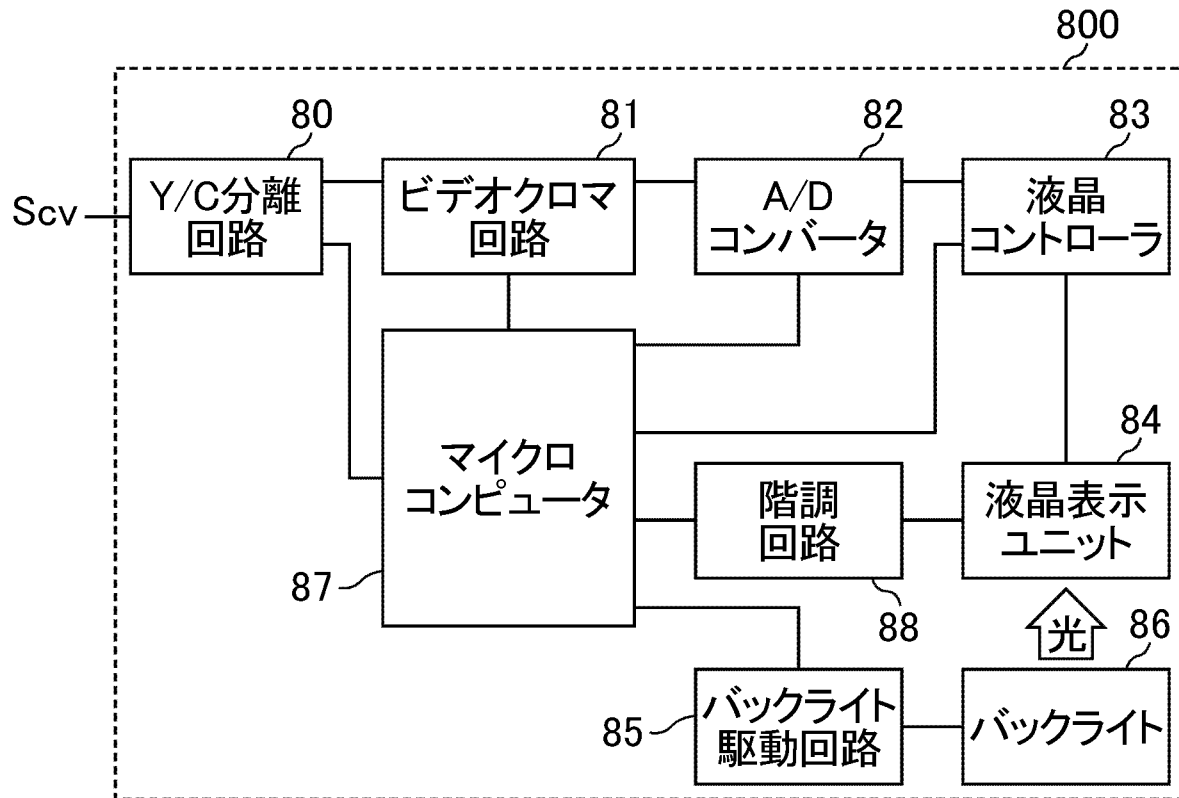
[図58]



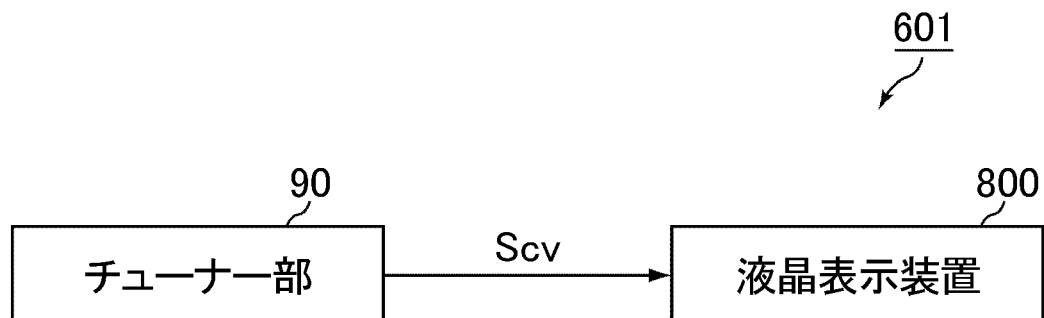
[図59]



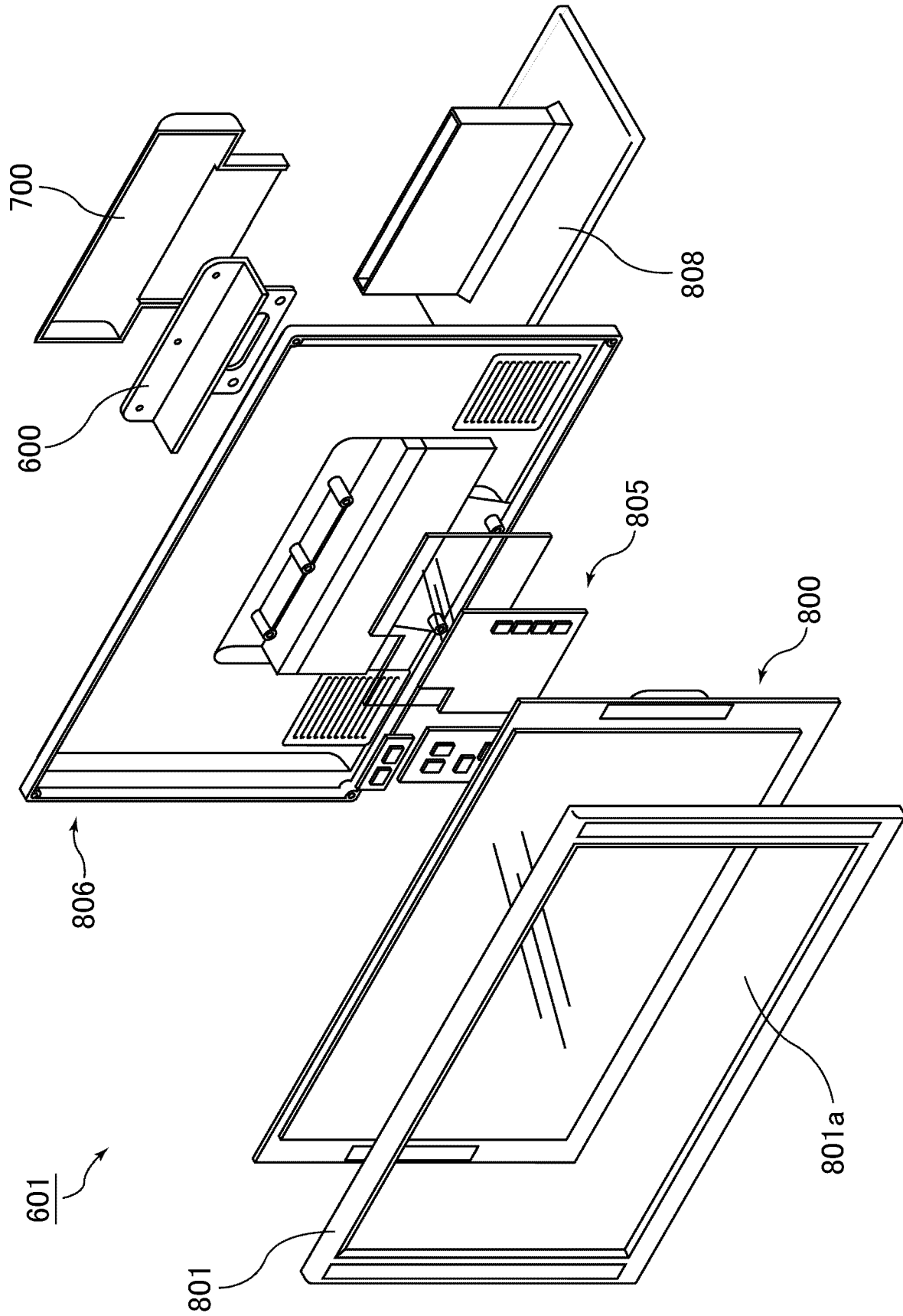
[図60]



[図61]



[図62]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/059198

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H01L21/28(2006.01)i, H01L21/306(2006.01)i, H01L21/3205(2006.01)i, H01L21/3213(2006.01)i, H01L21/336(2006.01)i, H01L23/52(2006.01)i, H01L29/417(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G02F1/1368, G09F9/30, H01L21/28, H01L21/306, H01L21/3205, H01L21/3213, H01L21/336, H01L23/52, H01L29/417

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2009-170905 A (Samsung Electronics Co., Ltd.), 30 July 2009 (30.07.2009), paragraphs [0021] to [0036]; fig. 2 & US 2009/0180045 A1 & KR 10-2009-0078568 A & CN 101487961 A	1-4, 6 1-23
Y	JP 2010-123937 A (Semiconductor Energy Laboratory Co., Ltd.), 03 June 2010 (03.06.2010), paragraphs [0031] to [0076]; fig. 1 to 2 & US 2010/0105164 A & WO 2010/047288 A1	1-23

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 July, 2011 (08.07.11)Date of mailing of the international search report
19 July, 2011 (19.07.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/059198

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-005790 A (Samsung Electronics Co., Ltd.), 11 January 2007 (11.01.2007), paragraphs [0012], [0013] & US 2006/0292888 A1 & KR 10-2006-0134380 A & CN 1884618 A	9, 10, 17, 18
Y	JP 2008-066443 A (Mitsubishi Electric Corp.), 21 March 2008 (21.03.2008), paragraph [0129] (Family: none)	11-14, 19-22
Y	JP 2010-080954 A (Semiconductor Energy Laboratory Co., Ltd.), 08 April 2010 (08.04.2010), paragraph [0058] & US 2010/0055832 A1 & KR 10-2010-0027069 A	15, 23

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/059198

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention in claim 1 does not have a special technical feature, since the invention is disclosed in JP 2009-170905 A (Samsung Electronics Co., Ltd.), 30 July 2009 (30.07.2009), paragraphs 0021 - 0036, fig. 2, & US 2009/0180045 A1 & KR 10-2009-0078568 A & CN 101487961 A that are found in course of this search.

As a result, there is no special technical feature common to all claims.

Consequently, this international patent application does not comply with the requirement of unity of invention.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1に係る発明は、調査の際に発見したJP 2009-170905 A（三星電子株式会社）2009.07.30, 段落0021-0036, 図2 & US 2009/0180045 A1 & KR 10-2009-0078568 A & CN 101487961 Aに開示されているため、特別な技術的特徴を有しない。

結果として、すべての請求項に共通する特別な技術的特徴は存在しない。

よって、この国際特許出願は、発明の単一性の要件を満たしていない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H01L21/28(2006.01)i,
H01L21/306(2006.01)i, H01L21/3205(2006.01)i, H01L21/3213(2006.01)i, H01L21/336(2006.01)i,
H01L23/52(2006.01)i, H01L29/417(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/786, G02F1/1368, G09F9/30, H01L21/28, H01L21/306, H01L21/3205, H01L21/3213, H01L21/336,
H01L23/52, H01L29/417

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2009-170905 A (三星電子株式会社) 2009.07.30,	1-4, 6
Y	段落 0021-0036, 図 2 & US 2009/0180045 A1 & KR 10-2009-0078568 A & CN 101487961 A	1-23
Y	JP 2010-123937 A (株式会社半導体エネルギー研究所) 2010.06.03, 段落 0031-0076, 図 1-2 & US 2010/0105164 A & WO 2010/047288 A1	1-23
Y	JP 2007-005790 A (三星電子株式会社) 2007.01.11, 段落 0012, 0013 & US 2006/0292888 A1 & KR 10-2006-0134380 A & CN 1884618 A	9, 10, 17, 18

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 0 7 . 2 0 1 1

国際調査報告の発送日

1 9 . 0 7 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

柴山 将隆

4 M

4 6 6 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-066443 A (三菱電機株式会社) 2008.03.21, 段落 0129 (ファミリーなし)	11-14, 19-22
Y	JP 2010-080954 A (株式会社半導体エネルギー研究所) 2010.04.08, 段落 0058 & US 2010/0055832 A1 & KR 10-2010-0027069 A	15, 23