



- (51) 국제특허분류:
H01L 33/36 (2010.01)
- (21) 국제출원번호: PCT/KR2015/014276
- (22) 국제출원일: 2015년 12월 24일 (24.12.2015)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2014-0187918 2014년 12월 24일 (24.12.2014) KR
- (71) 출원인: 엘지이노텍 주식회사 (LG INNOTEK CO., LTD.) [KR/KR]; 04637 서울시 중구 한강대로 416 번지 서울스퀘어, Seoul (KR).
- (72) 발명자: 이견화 (LEE, Keon Hwa); 04637 서울시 중구 한강대로 416 번지 서울스퀘어, Seoul (KR).
- (74) 대리인: 김기문 (KIM, Ki Moon); 06252 서울시 강남구 역삼로 114 번지 현죽빌딩 6 층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO,

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

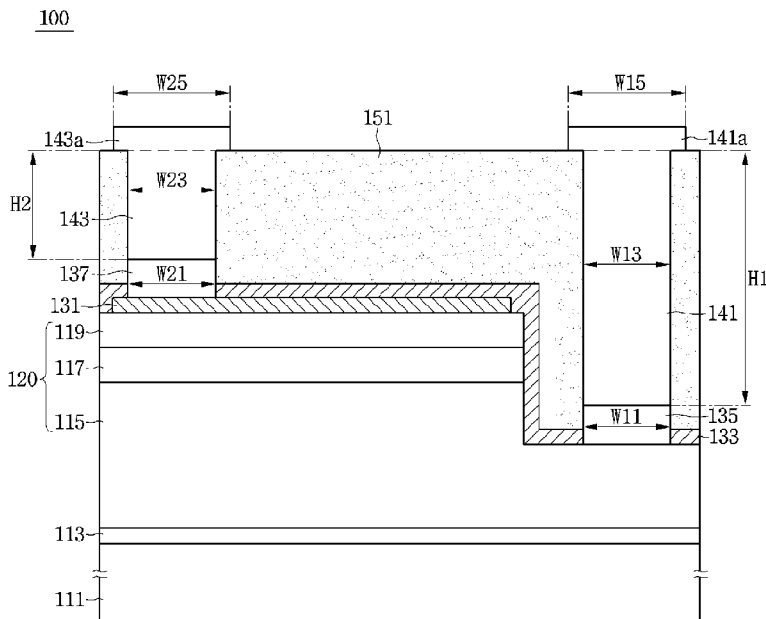
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서와 함께 (조약 제 21 조(3))
- 청구범위 보정 기한 만료 전의 공개이며, 보정서를 접수하는 경우 그에 관하여 별도 공개함 (규칙 48.2(h))

(54) Title: LIGHT EMITTING DEVICE, LIGHT EMITTING DEVICE PACKAGE, LIGHT UNIT, AND METHOD OF MANUFACTURING SAME

(54) 발명의 명칭 : 발광소자, 발광소자 패키지, 라이트 유닛 및 그 제조방법



(57) Abstract: The embodiments relate to a light emitting device, a method of manufacturing a light emitting device, a light emitting device package, and a lighting system. A light emitting device according to the embodiments comprises: a light emitting structure including a first conductive semiconductor layer, an active layer, and a second conductive semiconductor layer; a first electrode electrically connected to the first conductive semiconductor layer; a second electrode electrically connected to the second conductive semiconductor layer; an insulating member disposed on the light emitting structure while exposing the first electrode and the second electrode; a third electrode disposed on the first electrode; and a fourth electrode disposed on the second electrode. The third electrode has a first portion of the third electrode directly contacting the first electrode, and a second portion of the third electrode disposed on the first portion of the third electrode has a horizontal width that is greater than that of the first portion of the third electrode. The fourth electrode has a first portion of the fourth electrode directly contacting the second electrode, and a second portion of the fourth electrode disposed on the first portion of the fourth electrode has a horizontal width that is greater than that of the first portion of the fourth electrode. Thus, the light emitting device can have improved light extracting efficiency and heat dissipating characteristics and can have an increased reliability.

second electrode, and a second portion of the fourth electrode disposed on the first portion of the fourth electrode has a horizontal width that is greater than that of the first portion of the fourth electrode. Thus, the light emitting device can have improved light extracting efficiency and heat dissipating characteristics and can have an increased reliability.

(57) 요약서:

[다음 쪽 계속]



실시예는 발광소자, 발광소자의 제조방법, 발광소자 패키지 및 조명시스템에 관한 것이다. 실시예에 따른 발광소자는 제 1 도전형 반도체층, 활성층 및 제 2 도전형 반도체층을 포함하는 발광구조물; 상기 제 1 도전형 반도체층에 전기적으로 연결된 제 1 전극; 상기 제 2 도전형 반도체층에 전기적으로 연결된 제 2 전극; 상기 제 1 전극과 상기 제 2 전극을 노출하면서 상기 발광구조물 상에 배치되는 절연부재; 상기 제 1 전극 상에 배치된 제 3 전극; 상기 제 2 전극 상에 배치된 제 4 전극; 상기 제 3 전극은 상기 제 1 전극과 직접 접하는 제 3 전극의 제 1 부 및 상기 제 3 전극의 제 1 부 상에 상기 제 3 전극의 제 1 부 보다 넓은 수평폭을 갖는 제 3 전극의 제 2 부; 및 상기 제 4 전극은 상기 제 2 전극과 직접 접하는 제 4 전극의 제 1 부 및 상기 제 4 전극의 제 1 부 상에 상기 제 4 전극의 제 1 부 보다 넓은 수평폭을 갖는 제 4 전극의 제 2 부를 포함하여 광추출 효율 및 방열 특성을 개선할 수 있고, 신뢰성을 향상시킬 수 있다.

명세서

발명의 명칭: 발광소자, 발광소자 패키지, 라이트 유닛 및 그 제조방법

기술분야

- [1] 실시예는 발광소자, 발광소자 패키지, 라이트 유닛 및 그 제조방법에 관한 것이다.

배경기술

- [2] 발광소자(Light Emitting Device)는 전기에너지가 빛 에너지로 변환되는 특성의 p-n 접합 다이오드를 주기율표상에서 3-5족의 원소 또는 2-6족 원소가 화합되어 생성될 수 있고, 화합물 반도체의 조성비를 조절함으로써 다양한 색상구현이 가능하다.
- [3] 예를 들어, 질화물 반도체는 높은 열적 안정성과 폭 넓은 밴드갭 에너지에 의해 광소자 및 고출력 전자소자 개발 분야에서 큰 관심을 받고 있다. 예를 들어, 질화물 반도체를 이용한 청색(Blue) 발광소자, 녹색(Green) 발광소자, 자외선(UV) 발광소자, 적색(RED) 발광소자 등은 상용화되어 널리 사용되고 있다.
- [4] 한편, 최근의 반도체 산업은 각종 전자제품의 크기가 소형화되는 추세에 따라, 소형이면서도 고집적의 반도체 패키지를 제조하여 한정된 크기의 기판에 보다 많은 수의 반도체 칩을 실장시키기 위한 다양한 연구가 진행되고 있다.
- [5] 반도체소자인 발광소자 분야에는 고집적 추세에 따라 발광소자 실장기술로 플립칩 실장기술이 적용되고 있다.
- [6] 발광소자의 플립칩 실장기술은 도전성 재질의 솔더범프를 이용하여 발광소자 칩을 패키지 기판에 직접 실장하는 기술로서, 패키지 기판과 발광소자 칩의 접촉길이를 최소화시킬 수 있으며 별도의 와이어 공정이 필요하지 않다.
- [7] 예를 들어, 종래기술의 플립칩 실장구조는 소정의 패키지 기판에 솔더 범프들이 형성되고, 발광소자 칩에는 상기 각각의 솔더 범프에 대응되는 금속 범프들이 형성되어, 솔더 범프와 금속 범프를 접합시키게 된다.
- [8] 그런데, 이와 같은 종래기술에 따른 플립칩 실장구조에서는 발광소자 칩의 전극과 플립칩을 위해 형성되는 연결전극인 금속 범프의 계면에서 필링(peeling)이 발생하여 전기적 신뢰성에 저하되는 문제가 있다.
- [9] 또한 종래기술에 의하면, 패키지 기판의 솔더 범프와 발광소자 칩의 금속 범프간의 접합 면적이 충분치 않아 전기적인 특성이 저하되는 문제가 있다.
- [10] 또한 종래기술에 의하면, 발광소자 칩의 금속 범프 상에 Ni/Au 플레이팅(plating)에 의해 추가적인 접촉전극을 형성하는데, 금속 범프와 접촉전극의 열팽창계수의 차이에 의해 전기적이 신뢰성이 저하되는 문제가 있다.

[11] 또한 종래기술에 의하면, 발광소자 칩에서 발생된 열에 의해 발광소자의 전기적인 특성이 저하되는 문제가 있다.

[12] 또한 종래기술에 의하면, 발광소자 칩에서 발광된 빛의 상측으로의 반사율이 낮아 광추출 효율이 낮은 문제가 있다.

발명의 상세한 설명

기술적 과제

[13] 실시예에는 신뢰성이 우수한 발광소자, 발광소자의 제조방법, 발광소자 패키지 및 조명시스템을 제공하고자 한다.

[14] 또한 실시예에는 방열특성이 향상된 발광소자, 발광소자의 제조방법, 발광소자 패키지 및 조명시스템을 제공하고자 한다.

[15] 또한 실시예에는 광추출 효율이 향상된 발광소자, 발광소자의 제조방법, 발광소자 패키지 및 조명시스템을 제공하고자 한다.

과제 해결 수단

[16] 실시예에 따른 발광소자는 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함하는 발광구조물; 상기 제1 도전형 반도체층에 전기적으로 연결된 제1 전극; 상기 제2 도전형 반도체층에 전기적으로 연결된 제2 전극; 상기 제1 전극과 상기 제2 전극을 노출하면서 상기 발광구조물 상에 배치되는 절연부재; 상기 제1 전극 상에 배치된 제3 전극; 상기 제2 전극 상에 배치된 제4 전극; 상기 제3 전극은 상기 제1 전극과 직접 접하는 제3 전극의 제1 부 및 상기 제3 전극의 제1 부 상에 상기 제3 전극의 제1 부 보다 넓은 수평폭을 갖는 제3 전극의 제2 부; 및 상기 제4 전극은 상기 제2 전극과 직접 접하는 제4 전극의 제1 부 및 상기 제4 전극의 제1 부 상에 상기 제4 전극의 제1 부 보다 넓은 수평폭을 갖는 제4 전극의 제2 부를 포함하여 광추출 효율 및 방열 특성을 개선할 수 있고, 신뢰성을 향상시킬 수 있다.

[17] 실시예에 따른 발광소자 패키지는 패키지 기판; 상기 패키지 기판 상에 배치된 제1 패드 전극과 제2 패드 전극; 및 상기 패키지 기판 상에 배치되며 상기 제1 패드 전극, 제2 패드 전극과 전기적으로 연결되는 제1 항 내지 제11 항 중 어느 하나에 기재된 발광소자를 포함할 수 있다.

[18] 실시예에 다른 라이트 유닛은 이상의 발광소자를 포함할 수 있다.

[19] 실시예에 따른 발광소자 제조방법은 기판 상에 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함하는 발광 구조물을 형성하는 단계; 상기 활성층 및 제2 도전형 반도체층의 일부가 제거되어 제1 도전형 반도체층의 상부가 노출되는 리세스를 형성하는 단계; 상기 제1 도전형 반도체층과 전기적으로 연결되는 제1 전극 및 상기 제2 도전형 반도체층과 전기적으로 연결되는 제2 전극을 형성하는 단계; 상기 발광구조물 상에 절연층을 형성하고, 상기 절연층, 제1 및 제2 전극 상에 절연부재를 형성하는 단계; 상기 절연부재 상에 제1 마스크가 배치되고, 상기 제1 및 제2 전극의 상면을 노출시키는 단계; 및 스크린

프린팅 공정으로 노출된 상기 제1 전극 상에 제1 전극과 연결되는 제3 전극의 제1 부 및 상기 제3 전극의 제1 부 보다 넓은 수평폭을 갖는 제3 전극의 제2 부를 포함하는 제3 전극, 상기 제2 전극 상에 제2 전극과 연결되는 제4 전극의 제1 부 및 상기 제4 전극의 제1 부 보다 넓은 수평폭을 갖는 제4 전극의 제2 부를 포함하는 제4 전극을 형성하는 단계를 포함할 수 있다.

발명의 효과

- [20] 실시예는 신뢰성이 우수한 발광소자, 발광소자의 제조방법, 발광소자 패키지 및 조명시스템을 제공할 수 있다.
- [21] 또한 실시예는 광추출 효율이 향상된 발광소자, 발광소자의 제조방법, 발광소자 패키지 및 조명시스템을 제공할 수 있다.
- [22] 또한 실시예는 방열특성이 향상된 발광소자, 발광소자의 제조방법, 발광소자 패키지 및 조명시스템을 제공할 수 있다.

도면의 간단한 설명

- [23] 도 1은 제1 실시예에 따른 발광소자의 단면도.
- [24] 도 2는 제2 실시예에 따른 발광소자의 단면도.
- [25] 도 3은 제1 실시예에 따른 발광소자 패키지의 단면도.
- [26] 도 4는 제2 실시예에 따른 발광소자 패키지의 단면도.
- [27] 도 5는 제3 실시예에 따른 발광소자의 단면도.
- [28] 도 6은 제4 실시예에 따른 발광소자의 단면도.
- [29] 도 7은 제3 실시예에 따른 발광소자 패키지의 단면도.
- [30] 도 8은 제4 실시예에 따른 발광소자 패키지의 단면도.
- [31] 도 9 내지 도 15는 실시예에 따른 발광소자 및 발광소자 패키지의 제조방법 공정단면도.
- [32] 도 16은 실시예에 따른 조명 장치의 사시도.

발명의 실시를 위한 최선의 형태

- [33] 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on/over)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on/over)"와 "아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 아래에 대한 기준은 도면을 기준으로 설명한다.
- [34] (실시예)
- [35] 도 1은 제1 실시예에 따른 발광소자(100)의 단면도이며, 도 3은 제1 실시예에 따른 발광소자 패키지(200)의 단면도이며, 우선 도 1을 중심으로 실시예에 따른 발광소자를 설명하기로 한다.
- [36] 실시예에 따른 발광소자(100)는 제1 도전형 반도체층(115), 활성층(117) 및 제2 도전형 반도체층(119)을 포함하는 발광구조물(120)과, 상기 제1 도전형

반도체층(115)에 전기적으로 연결된 제1 전극(135)과, 상기 제2 도전형 반도체층(119)에 전기적으로 연결된 제2 전극(137)과, 상기 제1 전극(135)과 상기 제2 전극(137)을 노출하면서 상기 발광구조물(120) 상에 배치되는 절연부재(151)와, 상기 제1 전극(135) 상에 제3 전극(141, 141a)과, 상기 제2 전극(137) 상에 제4 전극(143, 143a)을 포함할 수 있다.

- [37] 종래기술에 따른 플립칩 실장구조에서는 패키지 기판의 솔더 범프와 발광소자 칩의 금속 범프간의 접촉면적이 충분치 않아 전기적인 특성이 저하되는 문제가 있다.
- [38] 이러한 문제를 해결하기 위해, 실시예의 상기 제3 전극(141, 141a)은 상기 제1 전극(135)과 직접 접하는 제3 전극의 제1 부(141)와, 상기 제3 전극의 제1 부(141)의 상측에서 적어도 일측면으로 연장된 제3 전극의 제2 부(141a)를 포함할 수 있다. 또한, 실시예의 상기 제4 전극(143, 143a)은 상기 제2 전극(137)과 직접 접하는 제4 전극의 제1 부(143)와, 상기 제4 전극의 제1 부(143)의 상측에서 적어도 일측면으로 연장된 제4 전극의 제2 부(143a)를 포함할 수 있다. 보다 구체적으로 상기 제3 전극의 제2 부(141a)는 상기 제3 전극의 제1 부(141) 상에 배치될 수 있고, 상기 제4 전극의 제2 부(143a)는 상기 제4 전극의 제1 부(143) 상에 배치될 수 있다. 상기 제3 전극의 제2 부(141a) 및 제4 전극의 제2 부(143a)의 상부면은 상기 절연부재(151)로부터 외부에 노출될 수 있다. 상기 제3 전극의 제2 부(141a) 및 제4 전극의 제2 부(143a)의 일부는 상기 절연부재(151) 상부면으로 연장될 수 있다. 상기 제3 전극의 제2 부(141a) 및 제4 전극의 제2 부(143a)의 일부는 상기 절연부재(151) 상부면 위에 배치될 수 있으나, 이에 한정되는 것은 아니다. 예컨대 상기 제3 전극의 제2 부(141a) 및 제4 전극의 제2 부(143a)의 상부면은 상기 절연부재(151)로부터 노출되고, 상기 제3 전극의 제2 부(141a) 및 제4 전극의 제2 부(143a)의 측부들은 상기 절연부재(151)에 수용될 수 있다.
- [39] 실시예에 의하면 도 3과 같이, 상기 제3 전극의 제1 부(141) 또는 상기 제4 전극의 제1 부(143)의 상측에서 적어도 일측면으로 연장된 제3 전극의 제2 부(141a) 또는 제4 전극의 제2 부(143a)를 포함함으로써, 이후 패키징 공정에서 제1 패드 전극(173) 또는 제2 패드 전극(174)과 접하는 상기 제3 전극의 제2 부(141a) 또는 제4 전극의 제2 부(143a)의 수평폭을 넓게 확보함으로써 결합력의 확대에 따른 물리적 신뢰성 및 전기적 신뢰성이 증대될 수 있다.
- [40] 예를 들어, 도 1과 같이, 실시예에서 상기 제3 전극의 제2 부(141a)의 수평폭(W15)은 상기 제3 전극의 제1 부(141)의 수평폭(W13)보다 넓게 형성될 수 있다. 또는, 실시예에서 상기 제4 전극의 제2 부(143a)의 수평폭(W25)은 상기 제4 전극의 제1 부(143)의 수평폭(W23)보다 넓게 형성될 수 있다.
- [41] 실시예에 의하면 상기 제3 전극의 제2 부(141a)의 수평폭(W15) 또는 제4 전극의 제2 부(143a)의 수평폭(W25)이 상기 제3 전극의 제1 부(141)의 수평폭(W13) 또는 제4 전극의 제2 부(143)의 수평폭(W23)에 비해 넓게 형성됨으로써, 제3 전극의 제2 부(141a) 또는 제4 전극의 제2 부(143a)이 제1 패드 전극(173) 또는 제2 패드

전극(174)과 각각 넓은 접촉면적으로 접하게 함으로써 물리적 또는 전기적인 신뢰성을 향상시킬 수 있다.

- [42] 예를 들어, 상기 제3 전극의 제2 부(141a)의 수평폭(W15) 또는 상기 제4 전극의 제2 부(143a)의 수평폭(W25)이 상기 제3 전극의 제1 부(141)의 수평폭(W13) 또는 제4 전극의 제1 부(143)의 수평폭(W23)에 비해 약 1.1 배 이상의 폭으로 형성되어 넓은 접촉면적을 확보함에 따라 전기적, 물리적 신뢰성이 향상될 수 있다.
- [43] 상기 제3 전극의 제2 부(141a)의 수평폭(W15) 또는 상기 제4 전극의 제2 부(143a)의 수평폭(W25)은 상호간에 전기적인 단락이 발생하지 않는 범위에서 넓은 폭으로 형성될 수 있다.
- [44] 예를 들어, 상기 제3 전극의 제2 부(141a)의 수평폭(W15) 또는 상기 제4 전극의 제2 부(143a)의 수평폭(W25)이 상기 제3 전극의 제1 부(141)의 수평폭(W13) 또는 제4 전극의 제1 부(143)의 수평폭(W23)에 비해 약 1.2배 내지 3.0배 범위의 폭을 구비할 수 있으나 이에 한정되는 것은 아니다.
- [45] 예를 들어, 상기 제3 전극의 제2 부(141a)의 수평폭(W15) 또는 상기 제4 전극의 제2 부(143a)의 수평폭(W25)이 상기 제3 전극의 제1 부(141)의 수평폭(W13) 또는 제4 전극의 제2 부(143)의 수평폭(W23)에 비해 약 1.2배 내지 1.4배 넓은 폭을 구비할 수 있으나 이에 한정되는 것은 아니다.
- [46] 예를 들어, 상기 제3 전극의 제1 부(141)의 수평폭(W13) 또는 제4 전극의 제1 부(143)의 수평폭(W23)이 약 $50\mu\text{m}$ 내지 $500\mu\text{m}$ 인 경우, 상기 제3 전극의 제2 부(141a)의 수평폭(W15) 또는 상기 제3 전극의 제2 부(143a)의 수평폭(W25)이 약 $70\mu\text{m}$ 내지 $600\mu\text{m}$ 일 수 있으나 이에 한정되는 것은 아니다.
- [47] 또한 실시예에 의하면 상기 제3 전극의 제2 부(141a)의 수평폭(W15) 또는 제4 전극의 제2 부(143a)의 수평폭(W25)이 상기 제1 전극(135)의 수평폭(W11) 또는 제2 전극(137)의 수평폭(W21)보다 넓게 형성됨으로써 전기적 성능을 향상시킬 수 있다.
- [48] 한편 종래기술에 의하면, 발광소자 칩의 금속 범프 상에 Ni/Au 플레이팅(plating)에 의해 추가적인 접촉전극을 형성하는데, 금속 범프와 접촉전극의 열팽창계수의 차이에 의해 전기적이 신뢰성이 저하되는 문제가 있다.
- [49] 이러한 문제를 해결하기 위해, 실시예에서 상기 제3 전극의 제2 부(141a) 또는 제4 전극의 제2 부(143a)의 물질은 상기 제3 전극의 제1 부(141) 또는 제4 전극의 제1 부(143)와 각각 같은 물질로 형성될 수 있다. 이를 통해 발광소자 또는 발광소자 패키지의 온도가 상승하더라도 제3 전극의 제2 부(141a), 제4 전극의 제2 부(143a)과 제3 전극의 제1 부(141), 제4 전극의 제1 부(143)의 열팽창 계수가 같으므로 전기적인 신뢰성이 증대될 수 있다.
- [50] 한편, 종래기술에 따른 플립칩 실장구조에서는 발광소자 칩 상의 전극과 금속 범프의 계면에서 필링(peeling)이 발생하여 전기적 신뢰성에 저하되는 문제가

있다.

- [51] 이에 실시예에서 상기 제3 전극의 제2 부(141a) 또는 제4 전극의 제2 부(143a)은 상기 절연부재(151)의 상면과 접하도록 형성됨으로써 물리적인 구조의 견고성을 높임에 따라 제1 전극(135)과 제3 전극(141, 141a) 사이 및 제2 전극(137)과 제4 전극(143, 143a) 사이 간의 물리적인 결합성, 전기적인 신뢰성을 향상시킬 수 있다.
- [52] 상기 절연부재(151)는 감광성 물질, 레진 또는 에폭시 등을 포함할 수 있다.
- [53] 예를 들어, 상기 절연부재(151)가 감광성 물질로 형성되는 경우 폴리이미드(polyimide)를 포함할 수 있으나 이에 한정되는 것은 아니다.
- [54] 또한 상기 절연부재(151)는 실리콘 또는 에폭시와 같은 수지물 내에 열 확산제를 첨가하여 형성될 수 있다. 상기 열 확산제는 Al, Cr, Si, Ti, Zn, Zr과 같은 물질을 갖는 산화물, 질화물, 불화물, 황화물 중 적어도 하나의 물질 예컨대, 세라믹 재질을 포함할 수 있다. 상기 열 확산제는 소정 크기의 분말 입자, 알갱이, 필러(filler), 첨가제로 정의될 수 있다.
- [55] 한편, 도 1 및 도 3에 도시된 구성 중 미설명 도면부호는 이하 제조방법에서 설명하기로 한다.
- [56] 도 2는 제2 실시예에 따른 발광소자(100)의 단면도이며, 도 4는 제2 실시예에 따른 발광소자 패키지(202)의 단면도이다.
- [57] 제2 실시예는 제1 실시예의 기술적인 특징을 채용할 수 있으며, 이하 제2 실시예의 기술적인 특징을 위주로 설명하기로 한다.
- [58] 종래기술에 의하면, 발광소자 칩에서 발광된 빛의 상측으로 반사율이 낮아 광추출 효율이 낮은 문제가 있으며, 발광소자 칩에서 발생된 열에 의해 발광소자의 전기적인 특성이 저하되는 문제가 있다.
- [59] 이에 제2 실시예는 상기 제1 전극(135)의 적어도 일측면으로 연장된 제1 측면 전극(135a)을 포함할 수 있다. 예를 들어, 상기 제1 측면 전극(135a)은 상기 제1 전극(135)에서 절연층(133)을 개재하여 제1 도전형 반도체층(115) 상면을 따라 측면으로 연장될 수 있다.
- [60] 예를 들어, 제2 실시예는 상기 제1 전극(135)의 일측면으로 연장된 제1 측면 전극(135a)을 포함할 수 있다. 또한, 제2 실시예는 상기 제1 전극(135)의 양측면으로 연장된 제1 측면 전극(135a)을 포함할 수 있다.
- [61] 또한 제2 실시예는 상기 제2 전극(137)의 적어도 일측면으로 연장된 제2 측면 전극(137a)을 포함할 수 있다. 예를 들어, 상기 제2 측면 전극(137a)은 상기 제2 전극(137)에서 절연층(133)을 개재하여 제2 도전형 반도체층(119) 상면을 따라 측면으로 연장될 수 있다.
- [62] 제2 실시예는 상기 제2 전극(137)의 일측면으로 연장된 제2 측면 전극(137a)을 포함할 수 있다. 또한 제2 실시예는 상기 제2 전극(137)의 적어도 양측면으로 연장된 제2 측면 전극(137a)을 포함할 수 있다.
- [63] 제2 실시예에 의하면, 상기 발광구조물(120), 상기 제1 측면 전극(135a), 상기

제2 측면 전극(137a)의 측면에 절연층으로 패시베이션층이 형성되어 전기적인 단락을 방지할 수 있다.

- [64] 제2 실시예에 의하면, 상기 제1 전극(135) 또는 제2 전극(137)의 적어도 일측면으로 연장된 제1 측면 전극(135a) 또는 제2 측면 전극(137a)을 포함으로써, 발광소자에서 발생된 빛이 제1 측면 전극(135a) 또는 제2 측면 전극(137a)에 의해 발광소자 패키지의 상측으로 반사됨으로써 광추출 효율을 향상시켜 광 효율을 향상시킬 수 있다.
- [65] 또한 제2 실시예에 의하면, 상기 제1 전극(135) 또는 제2 전극(137)의 적어도 일측면으로 연장된 제1 측면 전극(135a) 또는 제2 측면 전극(137a)을 포함함으로써, 발광소자에서 발생된 열이 제1 측면 전극(135a) 또는 제2 측면 전극(137a)에 의해 제1 전극(135) 또는 제2 전극(137)으로 효과적으로 전달됨으로써 방열특성이 현저히 향상될 수 있다.
- [66] 또한 도 4와 같이, 제2 실시예에 의하면 제1 기판(111) 상에 광추출 패턴(P)을 구비하여 광추출 효율을 향상시킬 수 있다.
- [67] 또한 제2 실시예에 의하면 광추출 패턴이 제1 기판(111)이 제거된 후, 노출되는 제1 도전형 반도체층(115)에 형성될 수도 있으나 이에 한정되는 것은 아니다.
- [68] 실시예는 신뢰성이 우수한 발광소자 및 발광소자 패키지를 제공할 수 있다.
- [69] 또한 실시예는 광추출 효율이 향상되고, 방열특성이 향상된 발광소자 및 발광소자 패키지를 제공할 수 있다.
- [70] 이하 도 5 내지 도 8을 참조하여 제3, 제4 실시예에 따른 발광소자, 발광소자 패키지를 설명하기로 한다.
- [71] 도 5는 제3 실시예에 따른 발광소자(103)의 단면도이며, 도 7은 제3 실시예에 따른 발광소자 패키지(203)의 단면도이다.
- [72] 제3 실시예는 제1 실시예 또는 제2 실시예의 특징을 채용할 수 있으며, 이하 제3 실시예의 특징 위주로 설명하기로 한다.
- [73] 제3 실시예에 따른 발광소자(103)는 제1 도전형 반도체층(115), 활성층(117) 및 제2 도전형 반도체층(119)을 포함하는 발광구조물(120)과, 상기 제2 도전형 반도체층(119)과 상기 활성층(117)을 일부 관통하여 상기 제1 도전형 반도체층(115)에 전기적으로 연결된 관통 전극(136)과, 상기 관통 전극(136)에 전기적으로 연결된 제1 전극(138)과, 상기 제2 도전형 반도체층(119)에 전기적으로 연결된 제2 전극(139)과, 상기 제1 전극(138)과 상기 제2 전극(139)을 노출하면서 상기 발광구조물(120) 상에 배치되는 절연부재(151)를 포함할 수 있다.
- [74] 제3 실시예에서 상기 발광구조물(120)은 제2 기판(112) 상에 형성될 수 있다. 상기 제2 기판(112)은 열전도성이 뛰어난 물질로 형성될 수 있으며, 전도성 기판 또는 절연성 기판일 수 있다. 예를 들어, 상기 제2 기판(112)은 사파이어(Al_2O_3), SiC, Si, GaAs, GaN, ZnO, GaP, InP, Ge, 또는 Ga_2O_3 중 적어도 하나를 사용할 수 있다.

- [75] 제3 실시예는 제2 도전형 반도체층(119) 상에 오믹층(132a)과 반사층(132b)을 포함할 수 있다. 상기 오믹층(132a)은 캐리어 주입을 효율적으로 할 수 있도록 단일 금속 혹은 금속합금, 금속산화물 등을 다중으로 적층하여 형성할 수 있다.
- [76] 예를 들어, 상기 오믹층(132a)은 반도체와 전기적인 접촉인 우수한 물질로 형성될 수 있다. 예를 들어, 상기 오믹층(132a)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 및 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으며, 이러한 재료에 한정되는 않는다.
- [77] 또한, 상기 반사층(132b)은 반사성이 우수하고, 전기적인 접촉이 우수한 물질로 형성될 수 있다. 예를 들어, 상기 반사층(132b)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하는 금속 또는 합금으로 형성될 수 있다.
- [78] 상기 관통 전극(136)은 제1 절연층(134)을 개재하여 발광구조물(120) 상에 형성될 수 있으며, 제2 절연층(135)은 반사층(132b)과 관통 전극(136)의 일부를 노출하면서 발광구조물(120) 상에 형성될 수 있다. 상기 제1 절연층(134) 또는 제2 절연층(135)은 산화물 또는 질화물 등의 절연물질로 형성될 수 있으나 이에 한정되는 것은 아니다.
- [79] 상기 제1 전극(138)과 상기 제2 전극(139)은 노출된 관통 전극(136) 및 반사층(132b)에 각각 전기적으로 연결될 수 있다.
- [80] 상기 절연부재(151)는 감광성 물질, 레진 또는 에폭시 등을 포함할 수 있다.
- [81] 예를 들어, 상기 절연부재(151)가 감광성 물질로 형성되는 경우 폴리이미드(polyimide)를 포함할 수 있으나 이에 한정되는 것은 아니다.
- [82] 또한 상기 절연부재(151)는 실리콘 또는 에폭시와 같은 수지물 내에 열확산제를 첨가하여 형성될 수 있다. 상기 열 확산제는 Al, Cr, Si, Ti, Zn, Zr과 같은 물질을 갖는 산화물, 질화물, 불화물, 황화물 중 적어도 하나의 물질 예컨대, 세라믹 재질을 포함할 수 있다. 상기 열 확산제는 소정 크기의 분말 입자, 알갱이, 필러(filler), 첨가제로 정의될 수 있다.
- [83] 제3 실시예는 상기 제1 전극(138) 상에 배치된 제3 전극(145, 145a)을 포함할 수 있다. 상기 제3 전극(145, 145a)은 상기 제1 전극(138)과 직접 접하는 제3 전극의 제1 부(145)와, 제3 전극의 제1 부(145) 상의 제3 전극의 제2 부(145a)를 포함할 수 있다. 상기 제3 전극의 제2 부(145a)는 제3 전극의 제1 부(145)의 상측에서 적어도 일측면으로 연장될 수 있다. 예를 들어, 제3 실시예는 상기 제3 전극의 제1 부(145)의 상측에서 일측면으로 연장된 제3 전극의 제2 부(145a)를 포함할 수 있다. 또한, 제3 실시예는 상기 제3 전극의 제1 부(145)의 상측에서 적어도 양측면으로 연장된 제3 전극의 제2 부(145a)를 포함할 수 있다.

- [84] 또한 제3 실시예는 상기 제2 전극(139) 상에 배치된 제4 전극(147, 147a)을 포함할 수 있다. 상기 제4 전극(147, 147a)은 상기 제2 전극(139)과 직접 접하는 제4 전극의 제1 부(147)와, 상기 제4 전극의 제1 부(147) 상의 제4 전극의 제2 부(147a)를 포함할 수 있다. 상기 제4 전극의 제2 부(147a)는 상기 제4 전극의 제1 부(147)의 상측에서 적어도 일측면으로 연장될 수 있다. 예를 들어, 제3 실시예는 상기 제4 전극의 제1 부(147)의 상측에서 일측면으로 연장된 상기 제4 전극의 제2 부(147a)를 포함할 수 있다. 또한, 제3 실시예는 상기 제4 전극의 제1 부(147)의 상측에서 양측면으로 연장된 제4 전극의 제2 부(147a)를 포함할 수 있다. 보다 구체적으로 상기 제3 전극의 제2 부(145a)는 상기 제3 전극의 제1 부(145) 상에 배치될 수 있고, 상기 제4 전극의 제2 부(147a)는 상기 제4 전극의 제1 부(147) 상에 배치될 수 있다. 상기 제3 전극의 제2 부(145a) 및 제4 전극의 제2 부(147a)의 상부면은 상기 절연부재(151)로부터 외부에 노출될 수 있다. 상기 제3 전극의 제2 부(145a) 및 제4 전극의 제2 부(147a)의 일부는 상기 절연부재(151) 상부면으로 연장될 수 있다. 상기 제3 전극의 제2 부(145a) 및 제4 전극의 제2 부(147a)의 일부는 상기 절연부재(151) 상부면 위에 배치될 수 있으나, 이에 한정되는 것은 아니다. 예컨대 상기 제3 전극의 제2 부(145a) 및 제4 전극의 제2 부(147a)의 상부면은 상기 절연부재(151)로부터 노출되고, 상기 제3 전극의 제2 부(145a) 및 제4 전극의 제2 부(147a)의 측부들은 상기 절연부재(151)에 수용될 수 있다.
- [85] 제3 실시예에 의하면, 상기 제3 전극의 제1 부(145) 또는 상기 제4 전극의 제1 부(147)의 상측에서 적어도 일측면으로 연장된 제3 전극의 제2 부(145a) 또는 제4 전극의 제2 부(147a)를 포함함으로써, 도 7과 같이 이후 패키징 공정에서 제3 패드 전극(173) 또는 제4 패드 전극(174)과 접하는 제3 전극의 제2 부(145a) 또는 제4 전극의 제2 부(147a)의 수평폭을 넓게 확보함으로써 결합력의 확대에 따른 물리적 신뢰성 및 전기적 신뢰성이 증대될 수 있다.
- [86] 예를 들어 도 7과 같이, 제3 실시예에 의하면 상기 제3 전극의 제2 부(145a)의 수평폭(W35) 또는 제4 전극의 제2 부(147a)의 수평폭(W45)이 상기 제3 전극의 제1 부(145)의 수평폭(W33) 또는 제3 전극의 제1 부(147)의 수평폭(W43)에 비해 넓게 형성됨으로써, 제3 전극의 제2 부(145a) 또는 제4 전극의 제2 부(147a)이 제3 패드 전극(173) 또는 제4 패드 전극(174)과 각각 넓은 접촉면적으로 접하게 함으로써 물리적 또는 전기적인 신뢰성을 향상시킬 수 있다.
- [87] 예를 들어, 상기 제3 전극의 제2 부(145a)의 수평폭(W35) 또는 상기 제4 전극의 제2 부(147a)의 수평폭(W45)이 상기 제3 전극의 제1 부(145)의 수평폭(W33) 또는 제4 전극의 제1 부(147)의 수평폭(W43)에 비해 약 1.1 배 이상의 폭으로 형성되어 넓은 접촉면적을 확보함에 따라 전기적, 물리적 신뢰성이 향상될 수 있다.
- [88] 상기 제3 전극의 제2 부(145a)의 수평폭(W35) 또는 상기 제4 전극의 제2 부(147a)의 수평폭(W45)은 상호간에 전기적인 단락이 발생하지 않는 범위에서 넓은 폭으로 형성될 수 있다.

- [89] 예를 들어, 상기 제3 전극의 제2 부(145a)의 수평폭(W35) 또는 상기 제4 전극의 제2 부(147a)의 수평폭(W45)이 상기 제3 전극의 제1 부(145)의 수평폭(W33) 또는 제3 전극의 제1 부(147)의 수평폭(W43)에 비해 약 1.2배 내지 3.0배 범위의 폭을 구비할 수 있으나 이에 한정되는 것은 아니다.
- [90] 예를 들어, 상기 제3 전극의 제2 부(145a)의 수평폭(W35) 또는 상기 제4 전극의 제2 부(147a)의 수평폭(W45)이 상기 제3 전극의 제1 부(145)의 수평폭(W33) 또는 제4 전극의 제1 부(147)의 수평폭(W43)에 비해 약 1.2배 내지 1.4배 넓은 폭을 구비할 수 있으나 이에 한정되는 것은 아니다.
- [91] 예를 들어, 상기 제3 전극의 제1 부(145)의 수평폭(W33) 또는 제4 전극의 제1 부(147)의 수평폭(W43)이 약 $50\mu\text{m}$ 내지 $500\mu\text{m}$ 인 경우, 상기 제3 전극의 제2 부(145a)의 수평폭(W35) 또는 상기 제4 전극의 제2 부(147a)의 수평폭(W45)이 약 $70\mu\text{m}$ 내지 $600\mu\text{m}$ 일 수 있으나 이에 한정되는 것은 아니다.
- [92] 또한 제3 실시예에 의하면 상기 제1 전극(138)의 수평폭(W31) 또는 제2 전극(139)의 수평폭(W41)이 상기 제3 전극의 제2 부(145a)의 수평폭(W35) 또는 제4 전극의 제2 부(147a)의 수평폭(W45) 보다 각각 넓게 형성되어 열방출 효율을 향상시킬 수 있고, 발광된 빛의 반사율을 높여 광추출 효율을 향상시킬 수 있다.
- [93] 또한 실시예에 의하면, 상기 제1 전극(138)과 상기 제2 전극(139) 사이의 제2 거리(D2)는 상기 제3 전극의 제2 부(145a)와 상기 제4 전극의 제2 부(147a) 사이의 제1 거리(D1)에 비해 좁게 형성되어, 상기 제1 전극(138)의 수평폭(W31) 또는 제2 전극(139)의 수평폭(W41)의 수평폭을 최대한 확보함으로써 반사율 향상에 따른 광출력 향상과, 열방출 효율 향상에 따른 신뢰성을 향상시킬 수 있다.
- [94] 제3 실시예에서 상기 제3 전극의 제2 부(145a) 또는 제4 전극의 제2 부(147a)의 물질은 상기 제3 전극의 제1 부(145) 또는 제4 전극의 제1 부(147)과 각각 같은 물질로 형성될 수 있다. 이를 통해 발광소자 또는 발광소자 패키지의 온도가 상승하더라도 제3 전극의 제2 부(145a), 제4 전극의 제2 부(147a)와 제3 전극의 제1 부(145), 제4 전극의 제1 부(147)의 열팽창 계수가 같으므로 전기적인 신뢰성이 증대될 수 있다.
- [95] 제3 실시예에서 상기 제3 전극의 제2 부(145a) 또는 제4 전극의 제2 부(147a)은 상기 절연부재(151)의 상면과 접하도록 형성됨으로써 물리적인 구조의 견고성을 높임에 따라 제1 전극(138), 제2 전극(139)과 제3 전극의 제1 부(145), 제4 전극의 제1 부(147) 간의 물리적인 결합성, 전기적인 신뢰성을 향상시킬 수 있다.
- [96] 도 6은 제4 실시예에 따른 발광소자(104)의 단면도이며, 도 8은 제4 실시예에 따른 발광소자 패키지(204)의 단면도이다.
- [97] 제4 실시예는 제3 실시예의 기술적인 특징을 채용할 수 있으며, 이하 제4 실시예의 기술적인 특징을 위주로 설명하기로 한다.
- [98] 종래기술에 의하면, 발광소자 칩에서 발광된 빛의 상측으로 반사율이 낮아 광추출 효율이 낮은 문제가 있으며, 발광소자 칩에서 발생된 열에 의해 발광소자의 전기적인 특성이 저하되는 문제가 있다.

- [99] 이에 제4 실시예는 상기 제1 전극(138)의 적어도 일측면으로 연장된 제3 측면 전극(138a)을 포함할 수 있다. 예를 들어, 상기 제3 측면 전극(138a)은 발광구조물(120)의 일측이 일부 제거된 메사 에지 영역으로 하측 연장될 수 있다. 예를 들어, 상기 제3 측면 전극(138a)은 제1 절연층(134)을 개재하여 발광구조물(120)의 측면을 따라 하측으로 연장될 수 있고, 상기 제3 측면 전극(138a)의 저면은 활성층(117) 보다 낮게 위치할 수 있다.
- [100] 또한 제4 실시예는 상기 제2 전극(139)의 적어도 일측면으로 연장된 제4 측면 전극(139a)을 포함할 수 있다. 예를 들어, 상기 제4 측면 전극(139a)은 발광구조물(120)의 타측이 일부 제거된 메사 에지 영역으로 하측 연장될 수 있다. 예를 들어, 상기 제4 측면 전극(139a)은 제1 절연층(134)을 개재하여 발광구조물(120)의 측면을 따라 하측으로 연장될 수 있고, 상기 제4 측면 전극(139a)의 저면은 활성층(117) 보다 낮게 위치할 수 있다.
- [101] 제4 실시예에 의하면, 상기 제1 전극(138) 또는 제2 전극(139)의 적어도 일측면으로 연장된 제3 측면 전극(138a) 또는 제4 측면 전극(139a)을 포함함으로써, 발광소자에서 발생된 빛이 제3 측면 전극(138a) 또는 제4 측면 전극(139a)에 의해 발광소자 패키지의 상측으로 반사됨으로써 광추출 효율을 향상시켜 광 효율을 향상시킬 수 있다.
- [102] 또한 제4 실시예에 의하면, 상기 제1 전극(138) 또는 제2 전극(139)의 적어도 일측면으로 연장된 제3 측면 전극(138a) 또는 제4 측면 전극(139a)을 포함함으로써, 발광소자에서 발생된 열이 제3 측면 전극(138a) 또는 제4 측면 전극(139a)에 의해 제1 전극(138) 또는 제2 전극(139)으로 효과적으로 전달됨으로써 방열특성이 현저히 향상될 수 있다.
- [103] 도 7과 제8은 제3 또는 제4 실시예에 따른 발광소자 패키지(203, 204)이다.
- [104] 제3 또는 제4 실시예에서 발광소자(103, 104)는 모듈 기판(170) 상에 플립 방식으로 탑재될 수 있으나 이에 한정되는 것은 아니다.
- [105] 예를 들어, 제3 또는 제4 실시예에 따른 발광소자 패키지(203, 204)는 패키지 기판(171)과, 상기 패키지 기판(171) 상에 배치된 제1 패드 전극(173)과 제2 패드 전극(174) 및 상기 패키지 기판(171) 상에 배치되며 상기 제1 패드 전극(173), 제2 패드 전극(174)과 전기적으로 연결되는 제3 또는 제4 실시예에 따른 발광소자(103, 104)를 포함할 수 있다.
- [106] 상기 모듈 기판(170)은 회로패턴(미도시)을 포함하는 인쇄회로기판(PCB, Printed Circuit Board)일 수 있다. 다만, 상기 모듈 기판(170)은 수지 계열의 PCB, 메탈 코어 PCB(MCPCB, Metal Core PCB), 연성 PCB(FPCB, Flexible PCB) 등을 포함할 수도 있으며, 이에 대해 한정하지는 않는다.
- [107] 실시예에서 모듈 기판(170)은 패키지 기판(171), 절연층(172)을 포함하며, 상기 절연층(172)을 관통하여 형성되는 제1 패드 전극(173) 및 제2 패드 전극(174)을 포함할 수 있다. 상기 제1 패드 전극(173) 및 제2 패드 전극(174)는 제3 또는 제4 발광소자(103, 104)에 전원을 공급해 주게 된다.

- [108] 상기 절연층(172) 상에는 상기 제1 패드 전극(173), 제2 패드 전극(174) 영역을 제외한 영역에 보호층(175)이 형성되며, 상기 보호층(175)은 솔더 레지스트(Solder resist) 층으로서, 백색 또는 녹색 보호층을 포함할 수 있다.
- [109] 상기 보호층(175)은 광을 효율적으로 반사시켜 주어, 반사 광량을 개선시켜 줄 수 있다.
- [110] 실시예에서 상기 제1 패드 전극의 수평폭(W37)은 상기 제3 연결전극의 수평폭(W33)에 비해 넓게 형성되어, 제1 패드 전극(173)이 제3 돌출 전극(145a)과 접하는 면적을 넓게 확보하여 물리적 신뢰성 및 전기적 신뢰성이 증대될 수 있다.
- [111] 또한 실시예에서 상기 제2 패드 전극의 수평폭(W47)은 상기 제4 연결전극의 수평폭(W43)에 비해 넓게 형성되어, 제2 패드 전극(174)이 제4 돌출 전극(147a)과 접하는 면적을 넓게 확보하여 물리적 신뢰성 및 전기적 신뢰성이 증대될 수 있다.
- [112] 이하 도 9 내지 도 15를 참조하여 실시예에 따른 발광소자 및 발광소자 패키지의 제조방법을 설명하기로 한다. 한편, 도 9 내지 도 15는 제1 실시예를 기준으로 도시되어 있으나 실시예가 이에 한정되는 것은 아니다.
- [113] 먼저, 도 9와 같이 제1 기판(111)을 준비한다. 상기 제1 기판(111)은 열전도성이 뛰어난 물질로 형성될 수 있으며, 전도성 기판 또는 절연성 기판일 수 있다.
- [114] 예를 들어, 상기 제1 기판(111)은 사파이어(Al_2O_3), SiC, Si, GaAs, GaN, ZnO, GaP, InP, Ge, Ga_2O_3 중 적어도 하나를 사용할 수 있다. 상기 제1 기판(111) 위에는 요철 구조가 형성될 수 있으며, 이에 대해 한정하지는 않는다. 상기 제1 기판(111)에 대해 습식세척을 하여 표면의 불순물을 제거할 수 있다.
- [115] 이후, 상기 제1 기판(111) 상에 제1 도전형 반도체층(115), 활성층(117) 및 제2 도전형 반도체층(119)을 포함하는 발광구조물(120)이 형성될 수 있다.
- [116] 한편, 상기 제1 기판(111) 위에는 버퍼층(113)이 형성될 수 있다. 상기 버퍼층(113)은 상기 발광구조물(120)의 재료와 제1 기판(111)의 격자 부정합을 완화시켜 줄 수 있다.
- [117] 예를 들어, 상기 버퍼층(113)은 3족-5족 화합물 반도체 예컨대, GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN 중 적어도 하나로 형성될 수 있다. 상기 버퍼층(113) 위에는 언도프드(undoped) 반도체층이 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [118] 상기 제1 도전형 반도체층(115)은 반도체 화합물, 예를 들어 3족-5족, 2족-6족 등의 화합물 반도체로 구현될 수 있으며, 제1 도전형 도펀트가 도핑될 수 있다.
- [119] 상기 제1 도전형 반도체층(115)이 n형 반도체층인 경우, 상기 제1 도전형 도펀트는 n형 도펀트로서, Si, Ge, Sn, Se, Te를 포함할 수 있으나 이에 한정되지 않는다.
- [120] 상기 제1 도전형 반도체층(115)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 예를 들어, 상기 제1 도전형

반도체층(115)은 GaN, InN, AlN, InGaN, AlGaP, InAlGaP, AlInN, AlGaAs, InGaAs, AlInGaAs, GaP, AlGaP, InGaP, AlInGaP, InP 중 어느 하나 이상으로 형성될 수 있다.

- [121] 상기 제1 도전형 반도체층(115)은 화학증착방법(CVD) 혹은 분자선 에피택시(MBE) 혹은 스퍼터링 혹은 수산화물 증기상 에피택시(HVPE) 등의 방법을 사용하여 N형 GaN층을 형성할 수 있다. 또한, 상기 제1 도전형 반도체층(115)은 챔버에 트리메틸 갈륨 가스(TMGa), 암모니아 가스(NH₃), 질소 가스(N₂), 및 실리콘(Si)와 같은 n 형 불순물을 포함하는 실란 가스(SiH₄)가 주입되어 형성될 수 있다.
- [122] 다음으로, 상기 제1 도전형 반도체층(115) 상에 전류확산층(미도시)을 형성될 수 있다. 상기 전류확산층은 언도프트 질화갈륨층(undoped GaN layer)일 수 있으나 이에 한정되는 것은 아니다.
- [123] 또한, 실시예는 전류확산층 상에 스트레인 제어층(미도시)이 형성될 수 있다. 예를 들어, 상기 스트레인 제어층은 In_yAl_xGa_(1-x-y)N(0≤x≤1, 0≤y≤1)/GaN 등으로 형성될 수 있으며, 제1 도전형 반도체층(115)과 활성층(117) 사이의 격자 불일치로 인한 응력을 효과적으로 완화시킬 수 있다.
- [124] 실시예에서 상기 활성층(117)은 제1 도전형 반도체층(115)을 통해서 주입되는 전자와 이후 형성되는 제2 도전형 반도체층(119)을 통해서 주입되는 정공이 서로 만나서 활성층(발광층) 물질 고유의 에너지 밴드에 의해서 결정되는 에너지를 갖는 빛을 방출하는 층이다.
- [125] 상기 활성층(117)은 단일 양자 우물 구조, 다중 양자 우물 구조(MQW: Multi Quantum Well), 양자 선(Quantum-Wire) 구조, 또는 양자 점(Quantum Dot) 구조 중 적어도 어느 하나로 형성될 수 있다.
- [126] 예를 들어, 상기 활성층(117)은 트리메틸 갈륨 가스(TMGa), 암모니아 가스(NH₃), 질소 가스(N₂), 및 트리메틸 인듐 가스(TMIn)가 주입되어 다중 양자우물구조가 형성될 수 있으나 이에 한정되는 것은 아니다.
- [127] 상기 활성층(117)의 우물층/장벽층 구조를 포함할 수 있다. 예를 들어, 상기 활성층(117)은 InGaP/GaN, InGaP/InGaP, GaP/AlGaP, InAlGaP/GaN, GaAs/AlGaAs, InGaAs/AlGaAs, GaP/AlGaP, InGaP/AlGaP 중 어느 하나 이상의 패어 구조로 형성될 수 있으나 이에 한정되지 않는다. 상기 우물층은 상기 장벽층의 밴드 갭보다 낮은 밴드 갭을 갖는 물질로 형성될 수 있다.
- [128] 실시예에서 상기 활성층(117) 상에는 전자차단층(미도시)이 형성될 수 있고, 상기 전자차단층은 전자 차단(electron blocking) 및 활성층의 클래딩(MQW cladding) 역할을 해줌으로써 발광효율을 개선할 수 있다. 예를 들어, 상기 전자차단층은 Al_xIn_yGa_(1-x-y)N(0≤x≤1, 0≤y≤1)계 반도체로 형성될 수 있으며, 상기 활성층(117)의 에너지 밴드 갭보다는 높은 에너지 밴드 갭을 가질 수 있다.
- [129] 또한, 상기 전자차단층은 Al_zGa_(1-z)N/GaN(0≤z≤1) 초격자(superlattice)로 형성될 수 있으나 이에 한정되는 것은 아니다. 상기 전자차단층은 p형으로

이온주입되어 오버플로우되는 전자를 효율적으로 차단하고, 홀의 주입효율을 증대시킬 수 있다.

[130] 상기 제2 도전형 반도체층(119)은 반도체 화합물, 예를 들어 3족-5족, 2족-6족 등의 화합물 반도체로 구현될 수 있으며, 제2 도전형 도펀트가 도핑될 수 있다.

[131] 예를 들어, 상기 제2 도전형 반도체층(119)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 상기 제2 도전형 반도체층(119)이 p형 반도체층인 경우, 상기 제2 도전형 도펀트는 p형 도펀트로서, Mg, Zn, Ca, Sr, Ba 등을 포함할 수 있다.

[132] 상기 제2 도전형 반도체층(119)은 챔버에 트리메틸 갈륨 가스(TMGa), 암모니아 가스(NH_3), 질소 가스(N_2), 및 마그네슘(Mg)과 같은 p형 불순물을 포함하는 비세틸 사이클로 펜타디에닐 마그네슘(EtCp_2Mg){ $\text{Mg}(\text{C}_2\text{H}_5\text{C}_5\text{H}_4)_2$ }가 주입되어 p형 GaN층이 형성될 수 있으나 이에 한정되는 것은 아니다.

[133] 실시예에서 상기 제1 도전형 반도체층(115)은 n형 반도체층, 상기 제2 도전형 반도체층(119)은 p형 반도체층으로 구현할 수 있으나 이에 한정되지 않는다.

[134] 또한 상기 제2 도전형 반도체층(119) 위에는 상기 제2 도전형과 반대의 극성을 갖는 반도체 예컨대 n형 반도체층(미도시)이 형성될 수 있다.

[135] 이에 따라 실시예의 발광구조물(120)은 n-p 접합 구조, p-n 접합 구조, n-p-n 접합 구조, p-n-p 접합 구조 중 어느 한 구조로 구현할 수 있다.

[136] 다음으로 도 9와 같이, 상기 제2 도전형 반도체층(119), 상기 전자차단층, 상기 활성층(117)의 일부가 제거되는 리세스(A1)를 형성하여 제1 도전형 반도체층(115)의 상면이 노출될 수 있다. 이때, 상기 제1 도전형 반도체층(115)의 일부 상면도 제거될 수 있으나 이에 한정되는 것은 아니다.

[137] 다음으로 도 10과 같이, 상기 제2 도전형 반도체층(119) 상에 전극층(131)이 형성될 수 있다.

[138] 예를 들어, 상기 전극층(131)은 오믹층을 포함할 수 있으며, 정공주입을 효율적으로 할 수 있도록 단일 금속 혹은 금속합금, 금속산화물 등을 다층으로 적층하여 형성할 수 있다.

[139] 예를 들어, 상기 전극층(131)은 반도체와 전기적인 접촉인 우수한 물질로 형성될 수 있다. 예를 들어, 상기 전극층(131)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 및 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으며, 이러한 재료에 한정되는 않는다.

[140] 다음으로 도 11과 같이, 상기 전극층(131)과 상기 제1 도전형 반도체층(115) 상에 제2 전극(137)과 제1 전극(135)이 각각 형성될 수 있다.

[141] 상기 제1 전극(135)과 제2 전극(137)은 티탄(Ti), 크롬(Cr), 니켈(Ni),

알루미늄(Al), 백금(Pt), 금(Au), 텅스텐(W), 몰리브덴(Mo) 중 적어도 어느 하나로 형성될 수도 있으나 이에 한정되는 것은 아니다.

- [142] 다음으로 도 12와 같이, 상기 전극층(131) 위에 절연층(133)이 형성될 수 있다. 상기 절연층(133)은 스퍼터 또는 증착 방식으로 형성될 수 있다. 상기 절연층(133)은 상기 제1 전극(135) 및 상기 제2 전극(137)을 제외한 영역 상에 형성되어, 상기 전극층(131) 및 상기 제2 도전형 반도체층(119)의 상면, 상기 제1도전형 반도체층(115)의 노출된 영역을 커버하게 된다.
- [143] 상기 절연층(133)은 Al, Cr, Si, Ti, Zn, Zr과 같은 물질의 산화물, 질화물, 불화물, 황화물 등 절연물질 또는 절연성 수지를 포함할 수 있다. 상기 절연층(133)은 예컨대, SiO₂, Si₃N₄, Al₂O₃, TiO₂ 중에서 선택적으로 형성될 수 있다. 상기 절연층(133)은 단층 또는 다층으로 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [144] 다음으로, 상기 제1 전극(135), 상기 제2 전극(137) 및 상기 절연층(133) 상에 절연부재(151)가 형성될 수 있다.
- [145] 상기 절연부재(151)는 감광성 물질, 레진 또는 에폭시 등을 포함할 수 있다. 예를 들어, 상기 절연부재(151)가 감광성 물질로 형성되는 경우 폴리이미드(polyimide)를 포함할 수 있으나 이에 한정되는 것은 아니다.
- [146] 또한 상기 절연부재(151)는 실리콘 또는 에폭시와 같은 수지물 내에 열확산제를 첨가하여 형성될 수 있다. 상기 열 확산제는 Al, Cr, Si, Ti, Zn, Zr과 같은 물질을 갖는 산화물, 질화물, 불화물, 황화물 중 적어도 하나의 물질 예컨대, 세라믹 재질을 포함할 수 있다. 상기 열 확산제는 소정 크기의 분말 입자, 알갱이, 필러(filler), 첨가제로 정의될 수 있다.
- [147] 상기 열 확산제는 세라믹 재질을 포함하며, 상기 세라믹 재질은 동시 소성되는 저온 소성 세라믹(LTCC: low temperature co-fired ceramic) 또는 고온 소성 세라믹(HTCC: high temperature co-fired ceramic)을 포함할 수 있다.
- [148] 상기 세라믹 재질은 질화물 또는 산화물과 같은 절연성 물질 중에서 열전도도가 질화물이나 산화물보다 높은 금속 질화물로 형성될 수 있으며, 상기 금속 질화물은 예컨대, 열 전도도가 140 W/mK 이상의 물질을 포함할 수 있다.
- [149] 상기 세라믹 재질은 SiO₂, Si_xO_y, Si₃N₄, Si_xN_y, SiO_xN_y, Al₂O₃, BN, Si₃N₄, SiC(SiC-BeO), BeO, CeO, AlN와 같은 세라믹 (Ceramic) 계열일 수 있다. 상기 열전도성 물질은 C(탄소), CNT 등의 성분을 포함할 수 있다. 상기 열 확산제는 상기 절연부재(151) 내에 1~99Wt/% 정도로 포함될 수 있어, 열 확산 효율을 위해 50% 이상으로 첨가될 수 있다.
- [150] 상기 절연부재(151)는 잉크 또는 페이스트에 고분자 물질을 혼합하여 형성될 수 있으며, 상기 고분자 물질의 혼합 방식은 볼밀, 유성 볼밀, 임펠라 믹싱, 비드밀(Bead Mill), 바스켓 밀(Basket Mill) 등을 이용할 수 있다. 이 경우 고른 분산을 위하여 용매와 분산제가 사용될 수 있으며, 용매는 점도 조절을 위해 첨가될 수 있다.

- [151] 용매로는 물, 메탄올(Methanol), 에탄올(ethanol), 이소프로판올(isopropanol), 부틸카비톨(butylcabitol), MEK, 톨루엔(toluene), 자일렌(xylene), 디에틸렌글리콜(DiethyleneGlycol; DEG), 포름아미드(Formamide; FA), α -테르핀네올(α -terpineol; TP), γ -부티로락톤(γ -butyrolactone; BL), 메틸셀룰로솔브(Methylcellosolve; MCS), 프로필메틸셀룰로솔브(Propylmethylcellosolve; PM) 중 단독 또는 복수의 조합을 포함할 수도 있다. 추가로 입자간 결합을 증가시키기 위해, 실란계열의 첨가물이 들어갈 수 있다.
- [152] 다음으로 도 13과 같이, 제1 마스크(191)가 절연부재(151) 상에 형성되고, 제3 전극과 제4 전극이 형성될 영역에 제1 홀(B1) 및 제2 홀(B2)이 형성되어 제1 전극(135) 및 제2 전극(137)의 상면이 노출될 수 있다. 상기 제1 마스크(191)는 스텐실 마스크(stencil mask)일 수 있으나 이에 한정되는 것은 아니다.
- [153] 실시예에서 상기 절연부재(151)가 양성 감광성 수지인 경우, 노광에 의해 노출된 절연부재 영역이 반응하여 제거됨에 따라 제1 전극(135) 및 제2 전극(137)의 상면이 노출될 수 있으나 이에 한정되는 것은 아니다.
- [154] 다음으로 도 14와 같이, 상기 제1 리세스(B1) 및 제2 리세스(B2)에 제3 전극(141, 141a), 제4 전극(143, 143a)을 형성할 수 있다.
- [155] 실시예에서 상기 제1 마스크(191)가 제거된 후, 제2 마스크(192)가 형성될 수 있으며, 제2 마스크(192)도 스텐실 마스크(stencil mask)일 수 있다.
- [156] 제2 마스크(192)가 노출하는 수평 폭이 제1 전극(135)이나 제2 전극(137)의 수평폭 또는 제3 전극의 제1 부(141) 또는 제4 전극의 제1 부(143)의 수평폭보다 크게 형성할 수 있고, 이를 통해 제3 전극의 제2 부(141a) 또는 제4 전극의 제2 부(143a)가 제3 전극의 제1 부(141) 또는 제4 전극의 제1 부(143)의 수평폭보다 넓게 형성될 수 있다. 상기 제3 전극의 제1 부(141), 제4 전극의 제1 부(143), 제3 전극의 제2 부(141a) 및 제4 전극의 제2 부(143a)는 스크린 프린팅(Screen printing) 공정에 의해 형성될 수 있다.
- [157] 또는 도식된 바와 달리, 제1 마스크(191)가 제거되지 않고, 제3 전극(141, 141a) 또는 제4 전극(143, 143a)을 형성하는 경우, 제3 전극의 제1 부(141) 또는 제4 전극의 제1 부(143)가 스크린 프린팅 공정에 의해 형성시 일부 전극물질이 제3 전극의 제1 부(141) 또는 제4 전극의 제1 부(143) 상측에 추가로 형성됨에 따라 제3 전극의 제2 부(141a) 또는 제4 전극의 제2 부(143a)가 형성될 수도 있다.
- [158] 상기 제3 전극의 제1 부(141), 제3 전극의 제2 부(141a), 제4 전극의 제1 부(143), 제4 전극의 제2 부(143a)의 물질은 같은 전극물질로 형성될 수 있다.
- [159] 예를 들어, 상기 제3 전극의 제1 부(141), 제3 전극의 제2 부(141a), 제4 전극의 제1 부(143), 제4 전극의 제2 부(143a)의 전극물질로 메탈 페이스트 물질로 형성될 수 있다. 예를 들어, 메탈 페이스트 물질은 AuSi, AuGe, AuSn, PbIn, SnCu, SnCuNi, SnAg, SnAgCu, SnAgCuSb, SnPb, BiSn 중 어느 하나의 물질을 포함할 수 있으나 이에 한정되는 것은 아니다.

- [160] 실시예의 제3 및 4 전극(141, 141a, 143, 143a)은 스크린 프린팅을 이용한 메탈 페이스트(Metal paste) 공법이 사용될 수 있다. 예컨대 스크린 프린팅을 이용한 메탈 페이스트 공법은 약 5분 이내 연결 전극공정이 가능하여 대량생산(Mass production)이 가능하며, 양품의 재현 가능성이 높아 고품질의 제품을 제공할 수 있다.
- [161] 실시예에서 상기 제3 전극의 제1 부(141)의 길이(H1)는 상기 제4 전극의 제1 부(143)의 길이(H2)보다 길게 형성될 수 있다.
- [162] 도 14를 기준으로 실시예에 따른 발광소자의 특징을 좀 더 상술하기로 한다.
- [163] 실시예에 의하면, 상기 제3 전극(141, 141a) 또는 상기 제4 전극(143, 143a)은 적어도 일측면으로 연장된 제3 전극의 제2 부(141a) 또는 제4 전극의 제2 부(143a)를 포함함으로써, 이후 패키징 공정에서 제1 패드 전극(173) 또는 제2 패드 전극(174)과 접하는 제3 전극의 제2 부(141a) 또는 제4 전극의 제2 부(143a)의 수평폭을 넓게 확보함으로써 결합력의 확대에 따른 물리적 신뢰성 및 전기적 신뢰성이 증대될 수 있다.
- [164] 또한 실시예에 의하면 상기 제3 전극의 제2 부(141a)의 수평폭(W15) 또는 제4 전극의 제2 부(143a)의 수평폭(W25)이 상기 제1 전극(135)의 수평폭(W11) 또는 제2 전극(137)의 수평폭(W21) 보다 각각 넓게 형성됨으로써 전기적 성능을 향상시킬 수 있다.
- [165] 실시예에서 상기 제3 전극의 제2 부(141a) 또는 제4 전극의 제2 부(143a)의 물질은 상기 제3 전극의 제1 부(141) 또는 제4 전극의 제1 부(143)와 각각 같은 물질로 형성될 수 있다. 이를 통해 발광소자 또는 발광소자 패키지의 온도가 상승하더라도 제3 전극의 제2 부(141a), 제4 전극의 제2 부(143a)과 제3 전극의 제1 부(141), 제4 전극의 제2부(143)의 열팽창 계수가 같으므로 전기적인 신뢰성이 증대될 수 있다.
- [166] 실시예에서, 상기 제3 전극의 제2 부(141a) 또는 제4 전극의 제2 부(143a)는 상기 절연부재(151)의 상면과 접하도록 형성됨으로써 물리적인 구조의 견고성을 높임에 따라 제1 전극(135)과 제3 전극(141, 141a), 제2 전극(137)과 제4 전극(143, 143a) 간의 물리적인 결합성, 전기적인 신뢰성을 향상시킬 수 있다.
- [167] 또한 도 2와 같이, 실시예는 상기 제1 전극(135) 또는 제2 전극(137)의 적어도 일측면으로 연장된 제1 측면 전극(135a) 또는 제2 측면 전극(137a)을 포함함으로써, 발광소자에서 발생된 빛이 제1 측면 전극(135a) 또는 제2 측면 전극(137a)에 의해 발광소자 패키지의 상측으로 반사됨으로써 광추출 효율을 향상시켜 광 효율을 향상시킬 수 있고, 발광소자에서 발생된 열이 제1 측면 전극(135a) 또는 제2 측면 전극(137a)에 의해 제1 전극(135) 또는 제2 전극(137)으로 효과적으로 전달됨으로써 방열특성이 현저히 향상될 수 있다.
- [168] 또한 실시예에 의하면 제1 기판(111) 상에 광추출 패턴(P)을 구비하여 광추출 효율을 향상시킬 수 있다. 또한, 실시예에 의하면 광추출 패턴이 제1 기판(111)이 제거된 후, 노출되는 제1 도전형 반도체층(115)에 형성될 수도 있으나 이에

한정되는 것은 아니다.

- [169] 다음으로 도 15와 같이, 실시예에서 발광소자(100)는 모듈 기판(170) 상에 플립 방식으로 탑재될 수 있으나 이에 한정되는 것은 아니다.
- [170] 상기 모듈 기판(170)은 회로패턴(미도시)을 포함하는 인쇄회로기판(PCB, Printed Circuit Board)일 수 있다. 예를 들어, 상기 모듈 기판(170)은 수지 계열의 PCB, 메탈 코어 PCB(MCPCB, Metal Core PCB), 연성 PCB(FPCB, Flexible PCB) 등을 포함할 수도 있으며, 이에 대해 한정하지는 않는다.
- [171] 실시예에서 모듈 기판(170)은 패키지 기판(171), 절연층(172)을 포함하며, 상기 절연층(172)을 관통하여 형성되는 제1 패드 전극(173) 및 제2 패드 전극(174)을 포함할 수 있다. 상기 제1 패드 전극(173) 및 제2 패드 전극(174)는 발광소자(100)에 전원을 공급할 수 있다.
- [172] 상기 절연층(172) 상에는 상기 제1 패드 전극(173), 제2 패드 전극(174) 영역을 제외한 영역에 보호층(175)이 형성되며, 상기 보호층(175)은 솔더 레지스트(Solder resist) 층으로서, 백색 또는 녹색 보호층을 포함할 수 있다. 상기 보호층(175)은 광을 효율적으로 반사시켜 주어, 반사 광량을 개선시켜 줄 수 있다.
- [173] 실시예에서 상기 제1 패드 전극의 수평폭(W17)은 상기 제1 전극의 수평폭(W11) 또는 제3 전극의 제1 부(141)의 수평폭(W13)에 비해 넓게 형성되어, 제1 패드 전극(173)이 제3 전극의 제2 부(141a)와 접하는 면적을 넓게 확보하여 물리적 신뢰성 및 전기적 신뢰성이 증대될 수 있다.
- [174] 또한 실시예에서 상기 제2 패드 전극의 수평폭(W27)은 상기 제2 전극의 수평폭(W21) 또는 제4 전극의 제1 부(143)의 수평폭(W23)에 비해 넓게 형성되어, 제2 패드 전극(174)이 제4 전극의 제2 부(143a)와 접하는 면적을 넓게 확보하여 물리적 신뢰성 및 전기적 신뢰성이 증대될 수 있다.
- [175] 실시예에 따른 발광소자, 발광소자 패키지는 백라이트 유닛, 조명 유닛, 디스플레이 장치, 지시 장치, 램프, 가로등, 차량용 조명장치, 차량용 표시장치, 스마트 시계 등에 적용될 수 있으나 이에 한정되는 것은 아니다.
- [176] 도 16은 실시예에 따른 조명시스템의 분해 사시도이다.
- [177] 실시예에 따른 조명 장치는 커버(2100), 광원 모듈(2200), 방열체(2400), 전원 제공부(2600), 내부 케이스(2700), 소켓(2800)을 포함할 수 있다. 또한, 실시예에 따른 조명 장치는 부재(2300)와 홀더(2500) 중 어느 하나 이상을 더 포함할 수 있다. 상기 광원 모듈(2200)은 실시예에 따른 발광소자(100, 103, 104) 또는 발광소자 패키지(200, 202, 203, 204)를 포함할 수 있다.
- [178] 상기 광원 모듈(2200)은 광원부(2210), 연결 플레이트(2230), 커넥터(2250)를 포함할 수 있다. 상기 부재(2300)는 상기 방열체(2400)의 상면 위에 배치되고, 복수의 광원부(2210)들과 커넥터(2250)이 삽입되는 가이드홈(2310)들을 갖는다.
- [179] 상기 홀더(2500)는 내부 케이스(2700)의 절연부(2710)의 수납홈(2719)를 막는다. 따라서, 상기 내부 케이스(2700)의 상기 절연부(2710)에 수납되는 상기

전원 제공부(2600)는 밀폐된다. 상기 홀더(2500)는 가이드 돌출부(2510)를 갖는다.

- [180] 상기 전원 제공부(2600)는 돌출부(2610), 가이드부(2630), 베이스(2650), 연장부(2670)를 포함할 수 있다. 상기 내부 케이스(2700)는 내부에 상기 전원 제공부(2600)와 함께 몰딩부를 포함할 수 있다. 몰딩부는 몰딩 액체가 굳어진 부분으로서, 상기 전원 제공부(2600)가 상기 내부 케이스(2700) 내부에 고정될 수 있도록 한다.
- [181] 이상에서 실시예들에 설명된 특징, 구조, 효과 등은 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [182] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 실시예를 한정하는 것이 아니며, 실시예가 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 설정하는 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

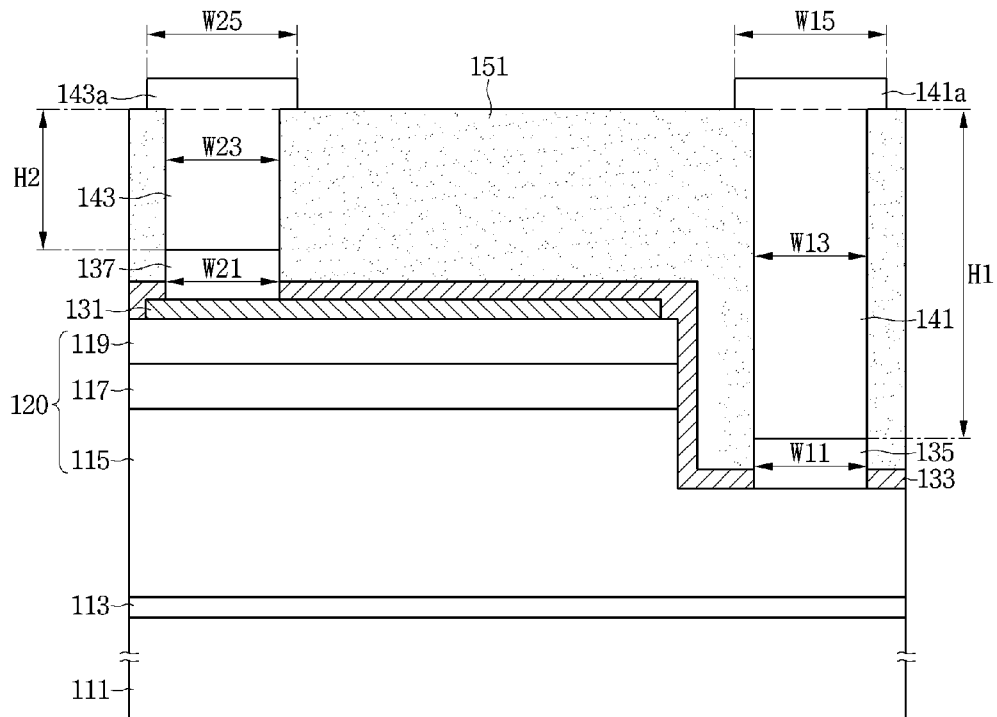
청구범위

- [청구항 1] 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함하는 발광구조물;
 상기 제1 도전형 반도체층에 전기적으로 연결된 제1 전극;
 상기 제2 도전형 반도체층에 전기적으로 연결된 제2 전극;
 상기 제1 전극과 상기 제2 전극을 노출하면서 상기 발광구조물 상에 배치되는 절연부재;
 상기 제1 전극 상에 배치된 제3 전극;
 상기 제2 전극 상에 배치된 제4 전극;
 상기 제3 전극은 상기 제1 전극과 직접 접하는 제3 전극의 제1 부 및 상기 제3 전극의 제1 부 상에 상기 제3 전극의 제1 부 보다 넓은 수평폭을 갖는 제3 전극의 제2 부; 및
 상기 제4 전극은 상기 제2 전극과 직접 접하는 제4 전극의 제1 부 및 상기 제4 전극의 제1 부 상에 상기 제4 전극의 제1 부 보다 넓은 수평폭을 갖는 제4 전극의 제2 부를 포함하는 발광소자.
- [청구항 2] 제1 항에 있어서,
 상기 제3 전극의 제2 부 및 제4 전극의 제2 부는 상기 절연부재로부터 상부면이 노출된 발광소자.
- [청구항 3] 제1 항에 있어서,
 상기 제3 전극의 제2 부 및 제4 전극의 제2 부의 일부는 상기 절연부재의 상부면 위에 배치되는 발광소자.
- [청구항 4] 제1 항에 있어서,
 상기 제3 전극의 제2 부 및 제4 전극의 제2 부는 상기 절연부재의 상부면 보다 위에 배치되는 발광소자.
- [청구항 5] 제1 항에 있어서,
 상기 제3 전극의 제1 부 및 상기 제3 전극의 제2 부는 서로 같은 물질이고, 상기 제4 전극의 제1 부 및 상기 제4 전극의 제2 부는 서로 같은 물질인 발광소자.
- [청구항 6] 제1 항에 있어서,
 상기 제3 전극의 제1 부는 상기 제4 전극의 제1 부보다 높은 높이를 갖는 발광소자.
- [청구항 7] 제1 항에 있어서,
 상기 절연부재는
 감광성 물질, 레진 또는 에폭시 중 어느 하나를 포함하는 발광소자.
- [청구항 8] 제1 항에 있어서,
 상기 제3 전극 및 제4 전극은 AuSi, AuGe, AuSn, PbIn, SnCu, SnCuNi, SnAg, SnAgCu, SnAgCuSb, SnPb, BiSn 중 어느 하나의

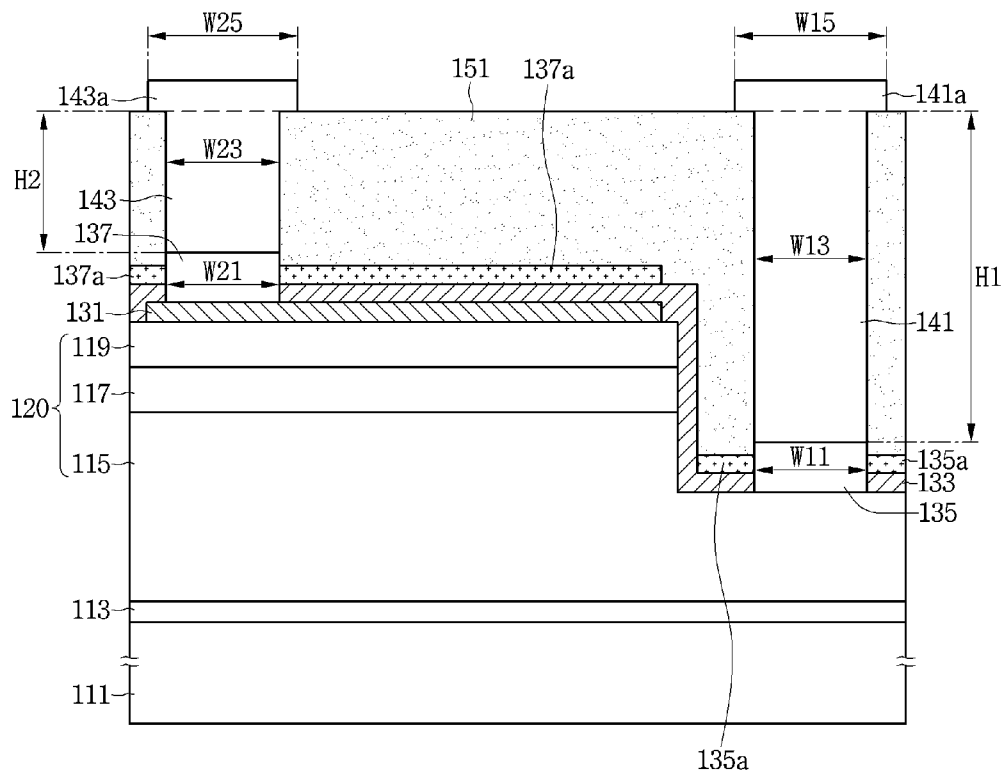
- 물질을 포함하는 발광소자.
- [청구항 9] 제1 항에 있어서,
상기 제1 전극의 적어도 일측면으로 연장된 제1 측면 전극; 및
상기 제2 전극의 적어도 일측면으로 연장된 제2 측면 전극을 더
포함하는 발광소자.
- [청구항 10] 제1 항에 있어서,
상기 제2 도전형 반도체층과 상기 활성층을 일부 관통하여 상기
제1 도전형 반도체층에 전기적으로 연결된 관통 전극을 더
포함하고, 상기 관통 전극은 상기 제1 전극과 전기적으로 연결된
발광 소자.
- [청구항 11] 제10 항에 있어서,
상기 제1 전극과 상기 제2 전극 사이의 거리는 상기 제3 전극의 제2
부와 제4 전극의 제2 부 사이의 거리보다 좁은 발광소자.
- [청구항 12] 패키지 기판;
상기 패키지 기판 상에 배치된 제1 패드 전극과 제2 패드 전극; 및
상기 패키지 기판 상에 배치되며 상기 제1 패드 전극, 제2 패드
전극과 전기적으로 연결되는 제1 항 내지 제11 항 중 어느 하나에
기재된 발광소자를 포함하는 발광소자 패키지.
- [청구항 13] 제12 항에 있어서,
상기 제1 패드 전극의 수평폭은 상기 제1 전극의 수평폭보다 넓고,
상기 제2 패드 전극의 수평폭은 상기 제2 전극의 수평폭보다 넓은
발광소자 패키지.
- [청구항 14] 제1 항 내지 제11항 중 어느 하나의 발광소자를 포함하는 라이트
유닛.
- [청구항 15] 기판 상에 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을
포함하는 발광 구조물을 형성하는 단계;
상기 활성층 및 제2 도전형 반도체층의 일부가 제거되어 제1
도전형 반도체층의 상부가 노출되는 리세스를 형성하는 단계;
상기 제1 도전형 반도체층과 전기적으로 연결되는 제1 전극 및
상기 제2 도전형 반도체층과 전기적으로 연결되는 제2 전극을
형성하는 단계;
상기 발광구조물 상에 절연층을 형성하고, 상기 절연층, 제1 및 제2
전극 상에 절연부재를 형성하는 단계;
상기 절연부재 상에 제1 마스크가 배치되고, 상기 제1 및 제2
전극의 상면을 노출시키는 단계; 및
스크린 프린팅 공정으로 노출된 상기 제1 전극 상에 제1 전극과
연결되는 제3 전극의 제1 부 및 상기 제3 전극의 제1 부 보다 넓은
수평폭을 갖는 제3 전극의 제2 부를 포함하는 제3 전극, 상기 제2

전극 상에 제2 전극과 연결되는 제4 전극의 제1 부 및 상기 제4 전극의 제1 부 보다 넓은 수평폭을 갖는 제4 전극의 제2 부를 포함하는 제4 전극을 형성하는 단계를 포함하는 발광소자 제조방법.

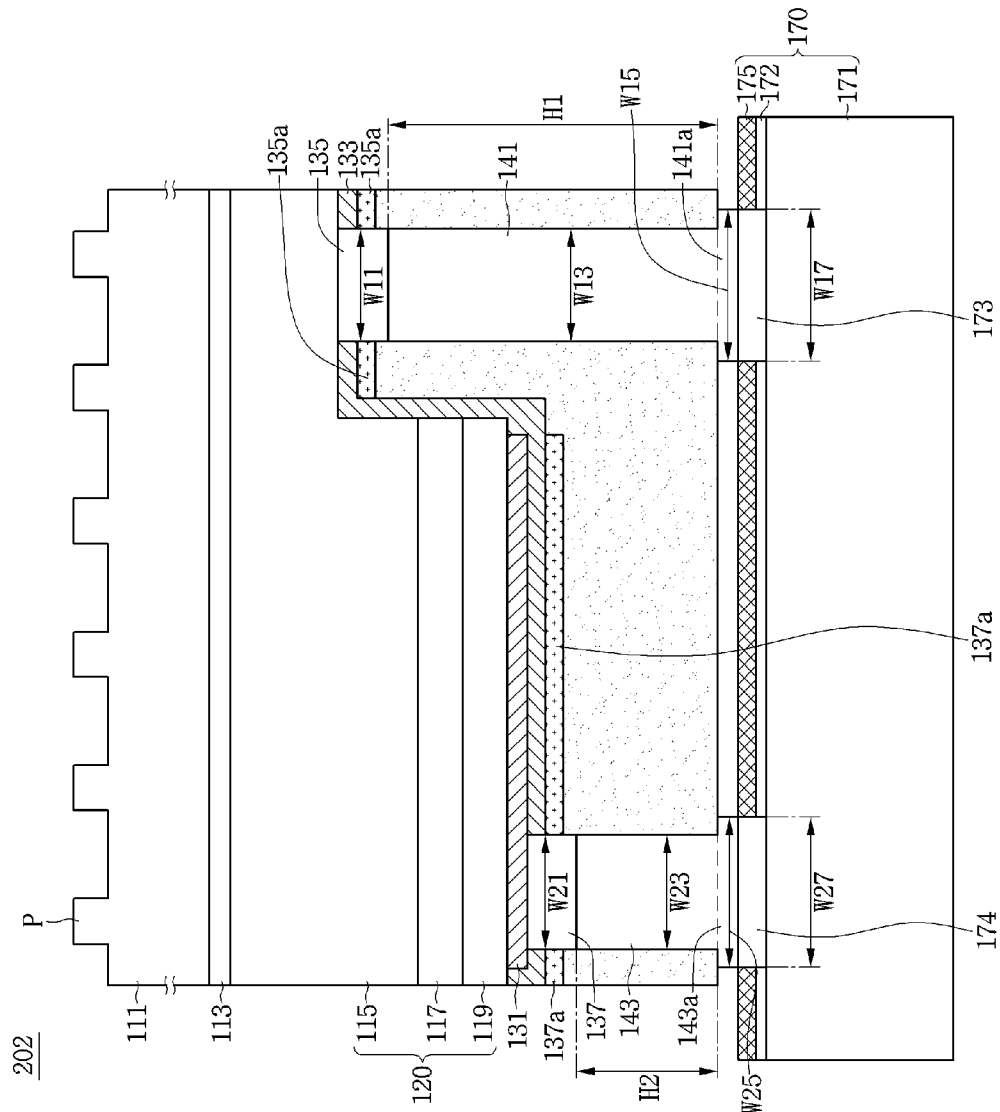
[Fig. 1]
100



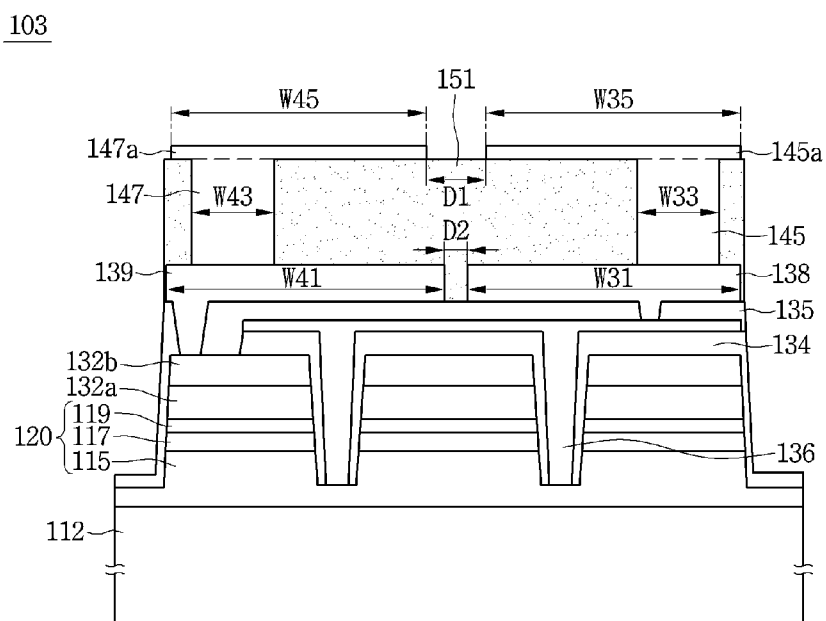
[Fig. 2]
100



[Fig. 4]

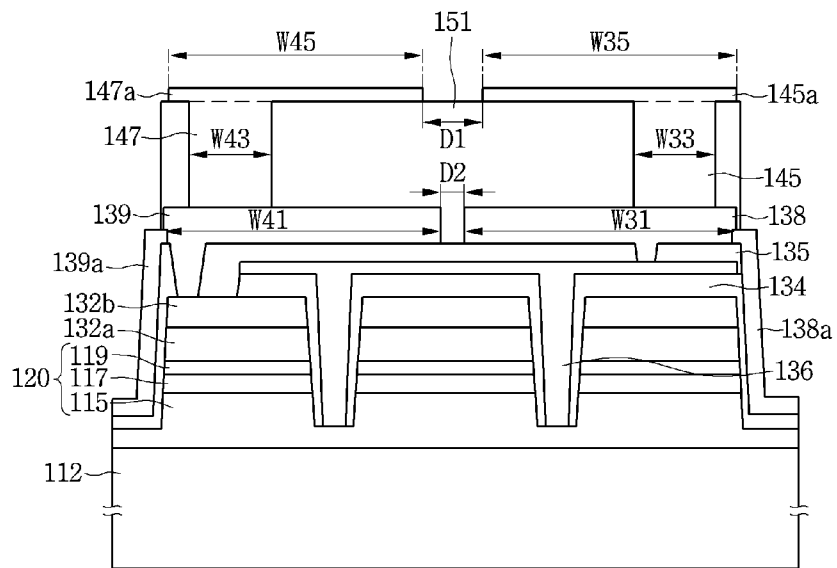


[Fig. 5]



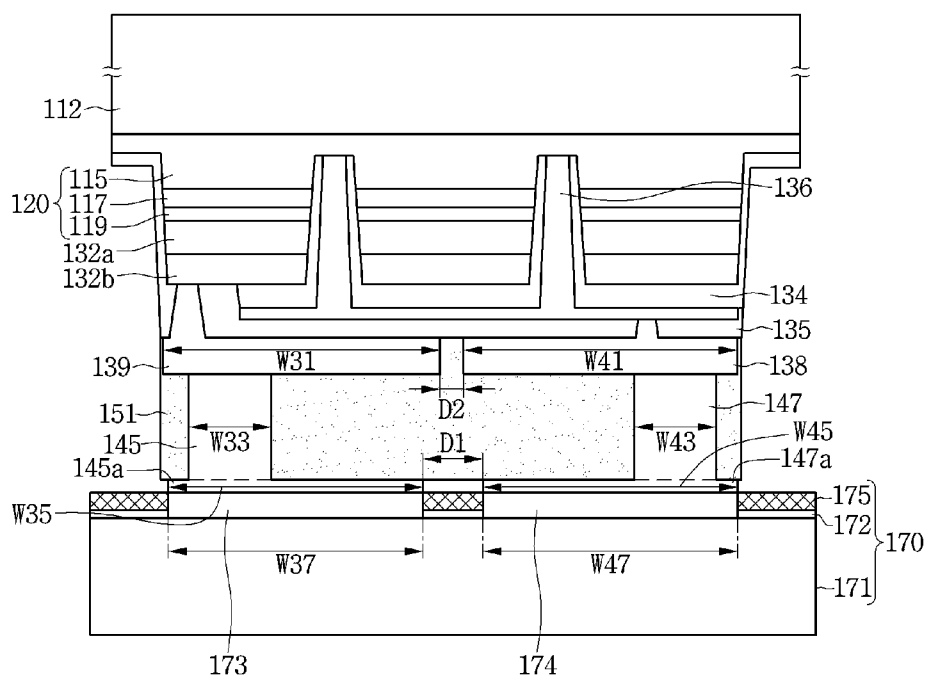
[Fig. 6]

104

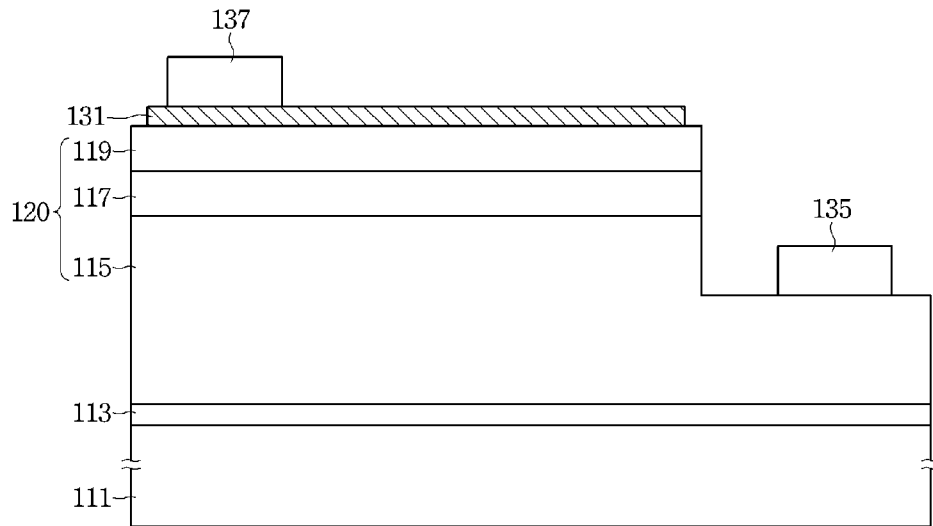


[Fig. 7]

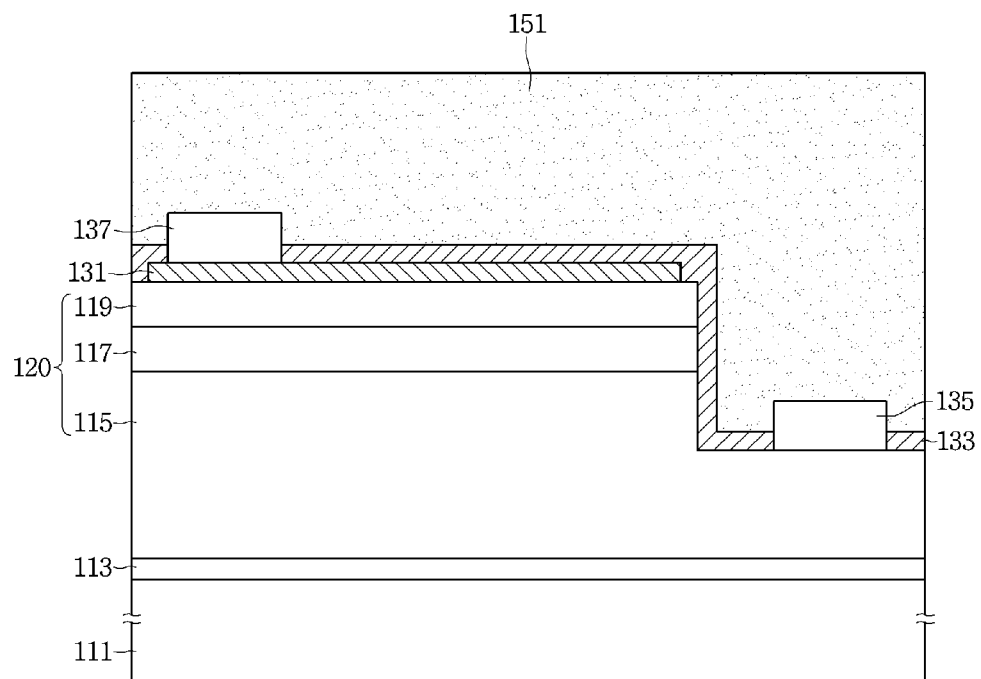
203



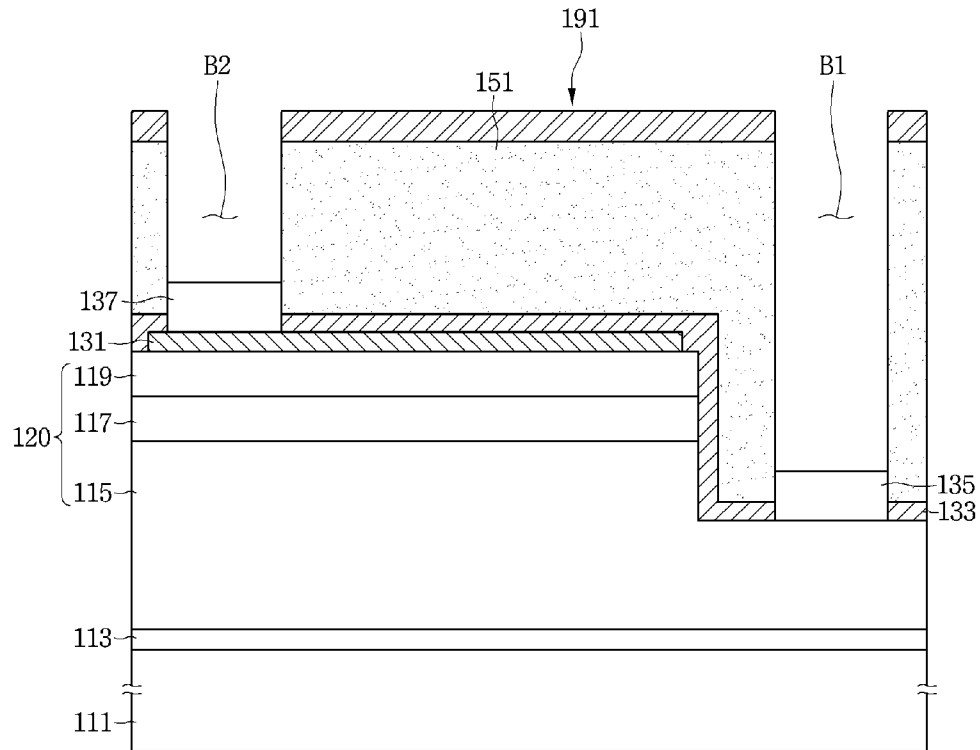
[Fig. 11]



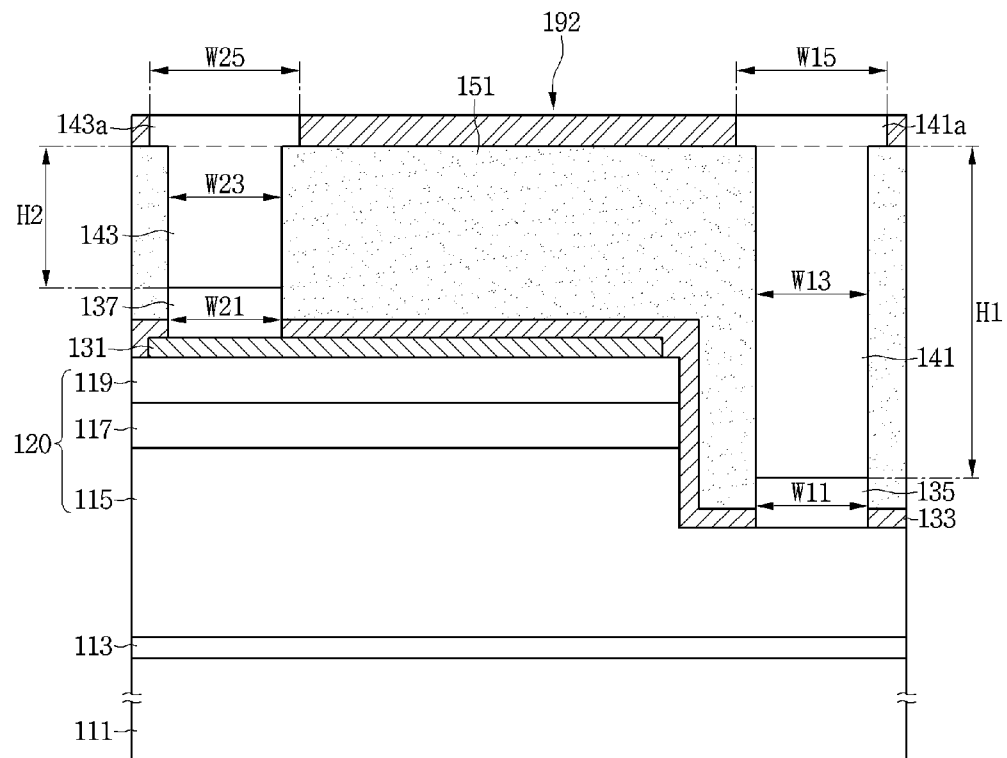
[Fig. 12]



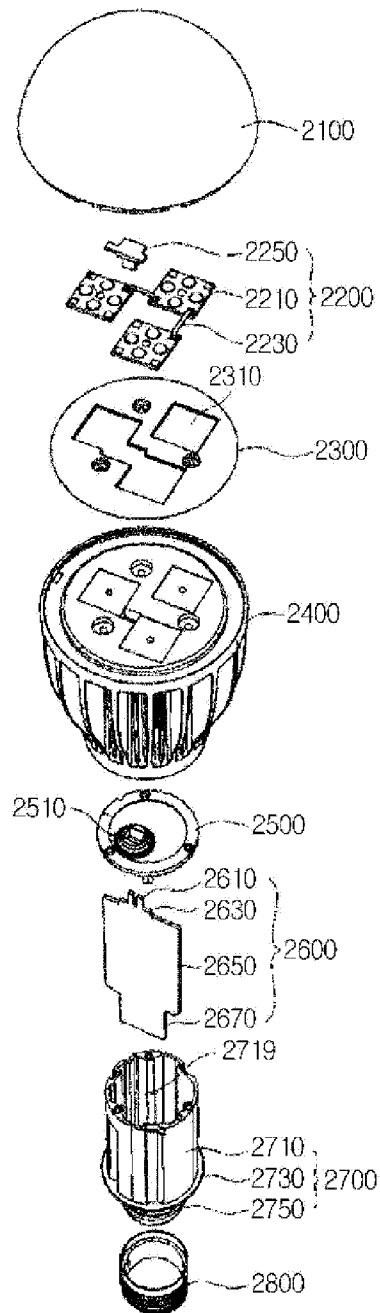
[Fig. 13]



[Fig. 14]



[Fig. 16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2015/014276**A. CLASSIFICATION OF SUBJECT MATTER*****H01L 33/36(2010.01)ï***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/36; H01L 33/44; H01L 33/58; H01L 33/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: horizontal width, third electrode, fourth electrode, electrode exposure, screen printing, insulating member

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2004-0063851 A (EPIVALLEY CO., LTD. et al.) 14 July 2004 See pages 2-4; and figures 2, 4g-4h.	1-8,14
Y		9-13,15
Y	US 2013-0119429 A1 (EPISTAR CORP.) 16 May 2013 See paragraphs [4], [12] and figure 2A.	9
Y	KR 10-2012-0004876 A (LG INNOTEK CO., LTD.) 13 January 2012 See paragraphs [17], [43] and figure 1.	10-11
Y	KR 10-2013-0054041 A (LG INNOTEK CO., LTD.) 24 May 2013 See paragraphs [141]-[143] and figure 10.	12-13
Y	US 2014-0093990 A1 (TSMC SOLID STATE LIGHTING LTD.) 03 April 2014 See paragraphs [18], [22], [25], [29]-[32], [50], claim 1, figure 5A.	15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

20 APRIL 2016 (20.04.2016)

Date of mailing of the international search report

22 APRIL 2016 (22.04.2016)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2015/014276

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2004-0063851 A	14/07/2004	KR 10-0447029 B1	07/09/2004
US 2013-0119429 A1	16/05/2013	US 2012-0286317 A1	15/11/2012
		US 8344392 B2	01/01/2013
		US 8754439 B2	17/06/2014
KR 10-2012-0004876 A	13/01/2012	NONE	
KR 10-2013-0054041 A	24/05/2013	CN 103117347 A	22/05/2013
		EP 2595204 A2	22/05/2013
		EP 2595204 A3	29/01/2014
		JP 2013-106048 A	30/05/2013
		US 2013-0119424 A1	16/05/2013
		US 2015-0179884 A1	25/06/2015
US 2014-0093990 A1	03/04/2014	US 2012-0104450 A1	03/05/2012
		US 8610161 B2	17/12/2013
		US 8889440 B2	18/11/2014

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/36(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/36; H01L 33/44; H01L 33/58; H01L 33/22

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 수평폭, 제3 전극, 제4 전극, 전극 노출, 스크린 프린팅, 절연 부재

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2004-0063851 A (에피밸리 주식회사 등) 2004.07.14 페이지 2-4; 및 도면 2, 4g-4h 참조.	1-8, 14
Y		9-13, 15
Y	US 2013-0119429 A1 (EPISTAR CORP.) 2013.05.16 단락 4, 12 및 도면 2A 참조.	9
Y	KR 10-2012-0004876 A (엘지이노텍 주식회사) 2012.01.13 단락 17, 43 및 도면 1 참조.	10-11
Y	KR 10-2013-0054041 A (엘지이노텍 주식회사) 2013.05.24 단락 141-143 및 도면 10 참조.	12-13
Y	US 2014-0093990 A1 (TSMC SOLID STATE LIGHTING LTD.) 2014.04.03 단락 18, 22, 25, 29-32, 50, 청구항 1, 도면 5A 및 참조.	15

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2016년 04월 20일 (20.04.2016)

국제조사보고서 발송일

2016년 04월 22일 (22.04.2016)

ISA/KR의 명칭 및 우편주소



대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

한중섭

전화번호 +82-42-481-3578



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2004-0063851 A	2004/07/14	KR 10-0447029 B1	2004/09/07
US 2013-0119429 A1	2013/05/16	US 2012-0286317 A1	2012/11/15
		US 8344392 B2	2013/01/01
		US 8754439 B2	2014/06/17
KR 10-2012-0004876 A	2012/01/13	없음	
KR 10-2013-0054041 A	2013/05/24	CN 103117347 A	2013/05/22
		EP 2595204 A2	2013/05/22
		EP 2595204 A3	2014/01/29
		JP 2013-106048 A	2013/05/30
		US 2013-0119424 A1	2013/05/16
		US 2015-0179884 A1	2015/06/25
US 2014-0093990 A1	2014/04/03	US 2012-0104450 A1	2012/05/03
		US 8610161 B2	2013/12/17
		US 8889440 B2	2014/11/18