



(12)发明专利

(10)授权公告号 CN 103855079 B

(45)授权公告日 2017.04.26

(21)申请号 201310206507.8

(22)申请日 2013.05.29

(65)同一申请的已公布的文献号
申请公布号 CN 103855079 A

(43)申请公布日 2014.06.11

(30)优先权数据
13/706,366 2012.12.06 US

(73)专利权人 南亚科技股份有限公司
地址 中国台湾桃园县龟山乡华亚科技园区
复兴三路669号

(72)发明人 朴仁镐 海涅克·拉尔斯

(74)专利代理机构 北京同立钧成知识产权代理
有限公司 11205
代理人 臧建明

(51)Int.Cl.

H01L 21/768(2006.01)

H01L 23/528(2006.01)

(56)对比文件

US 2012/0286358 A1,2012.11.15,

US 2010/0102371 A1,2010.04.29,

US 7892982 B2,2011.02.22,

US 2012/0292716 A1,2012.11.22,

审查员 王一帆

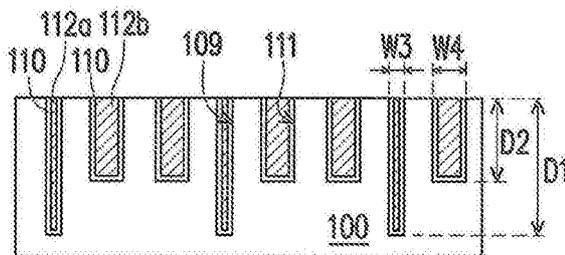
权利要求书2页 说明书5页 附图3页

(54)发明名称

埋入式字线结构及其形成方法

(57)摘要

本发明提供一种埋入式字线结构及其形成方法。方法包括在基底上依序形成第一掩膜层、夹层以及第二掩膜层,其中第二掩膜层具有交替排列的多个掩膜图案与多个间隙,且间隙包括交替排列的多个第一间隙与多个第二间隙。在各第一间隙中形成介电图案且同时在各第二间隙的侧壁上形成间隙壁,其中在相邻的间隙壁之间形成第一沟槽且第一沟槽暴露部分第一掩膜层。移除掩膜图案以形成第二沟槽。使用介电图案与间隙壁作为掩膜来进行蚀刻制程,以使第一沟槽加深至基底中且第二沟槽加深至第一掩膜层中。



1. 一种埋入式字线结构的形成方法,其特征在于,包括:

在基底上依序形成第一掩膜层、夹层以及第二掩膜层,其中所述第二掩膜层具有交替排列的多个掩膜图案与多个间隙,且所述间隙包括交替排列的多个第一间隙与多个第二间隙;

在各第一间隙中形成介电图案且同时在各第二间隙的二侧壁上形成二间隙壁,其中在各第二间隙中相邻的所述间隙壁之间形成第一沟槽且所述第一沟槽暴露部分所述第一掩膜层;

移除所述掩膜图案以形成多个第二沟槽;以及

使用所述介电图案与所述间隙壁作为掩膜来进行蚀刻制程,以使所述第一沟槽加深至所述基底中且所述第二沟槽加深至所述第一掩膜层中。

2. 根据权利要求1所述的埋入式字线结构的形成方法,其特征在于,所述第二沟槽比所述第一沟槽宽。

3. 根据权利要求1所述的埋入式字线结构的形成方法,其特征在于,在所述蚀刻制程之后,还包括:

移除所述介电图案及所述间隙壁;

移除所述夹层;以及

使用所述第一掩膜层作为掩膜来加深所述第一沟槽与所述第二沟槽。

4. 根据权利要求3所述的埋入式字线结构的形成方法,其特征在于,在加深所述第一沟槽与所述第二沟槽的步骤之后,还包括:

移除所述第一掩膜层;以及

将多个第一导体填入所述第一沟槽中且将多个第二导体填入所述第二沟槽中。

5. 根据权利要求4所述的埋入式字线结构的形成方法,其特征在于,所述第一导体用作多个隔离字线且所述第二导体用作多个主动字线。

6. 根据权利要求5所述的埋入式字线结构的形成方法,其特征在于,在加深所述第一沟槽与所述第二沟槽的步骤之后且在填入所述第一导体与所述第二导体的步骤之前,还包括形成栅介电层使各主动字线及各隔离字线与所述基底分开。

7. 根据权利要求1所述的埋入式字线结构的形成方法,其特征在于,所述第二间隙比所述第一间隙宽。

8. 根据权利要求1所述的埋入式字线结构的形成方法,其特征在于,形成所述介电图案及所述间隙壁的步骤包括:

在所述基底上形成介电层以完全填满所述第一间隙,但不完全填满所述第二间隙;以及

对所述介电层进行间隙壁蚀刻直到所述掩膜图案的顶表面暴露为止,以使剩余的所述介电层在所述第一间隙中形成所述介电图案且在所述第二间隙的所述侧壁上形成所述间隙壁,其中进行所述间隙壁蚀刻的步骤还移除在所述第二间隙中未被所述间隙壁覆盖的所述夹层。

9. 根据权利要求8所述的埋入式字线结构的形成方法,其特征在于,所述介电层的材料包括氧化硅。

10. 根据权利要求1所述的埋入式字线结构的形成方法,其特征在于,所述第一掩膜层

与所述第二掩膜层由相同材料形成。

11. 根据权利要求10所述的埋入式字线结构的形成方法,其特征在于,在移除所述掩膜图案的步骤期间移除所述第一沟槽所暴露的所述第一掩膜层以及所述第二沟槽所暴露的所述夹层与部分所述第一掩膜层。

12. 根据权利要求1所述的埋入式字线结构的形成方法,其特征在于,所述夹层与所述第一掩膜层或所述第二掩膜层不同。

13. 根据权利要求1所述的埋入式字线结构的形成方法,其特征在于,所述第一掩膜层的材料包括碳。

14. 根据权利要求1所述的埋入式字线结构的形成方法,其特征在于,所述第二掩膜层的材料包括碳。

15. 根据权利要求1所述的埋入式字线结构的形成方法,其特征在于,所述夹层的材料包括氮氧化硅或氮化硅。

16. 一种埋入式字线结构,其特征在于,包括:

基底,在所述基底中具有多个第一沟槽与多个第二沟槽,其中所述第一沟槽相较于所述第二沟槽是较窄且较深的;

多个第一导体,分别填入所述第一沟槽中;以及

多个第二导体,分别填入所述第二沟槽中,其中所述第一导体用作多个隔离字线且所述第二导体用作多个主动字线,

其中所述第二导体填满所述第二沟槽,且所述第一导体的宽度窄于所述第二导体的宽度。

17. 根据权利要求16所述的埋入式字线结构,其特征在于,还包括栅介电层,所述栅介电层经配置以将各主动字线及各隔离字线与所述基底分开。

18. 根据权利要求16所述的埋入式字线结构,其特征在于,两个分开的所述第二沟槽被配置在两个相邻的所述第一沟槽之间。

19. 根据权利要求16所述的埋入式字线结构,其特征在于,所述第一沟槽的宽度为所述第二沟槽的宽度的 $\frac{2}{3}$ 至 $\frac{1}{2}$,且所述第二沟槽的深度为所述第一沟槽的深度的 $\frac{2}{3}$ 至 $\frac{1}{2}$ 。

埋入式字线结构及其形成方法

技术领域

[0001] 本发明涉及一种半导体结构及其形成方法,尤其涉及一种埋入式字线(buried word line,简称buried WL)结构及其形成方法。

背景技术

[0002] 非易失性存储器有可多次进行数据的存入、读取、擦除等特性,且即使当电源关闭时仍能够保留已储存的信息。因此,非易失性存储器被广泛应用于个人电脑及消费性电子产品中。

[0003] 随着非易失性存储器的集成度越来越高,非易失性存储器的关键尺寸也越来越小。埋入式字线结构通常使用在次28纳米(sub-28nm)或更小的存储器技术中以满足元件尺寸缩小的需求。

[0004] 举例来说,在埋入式字线动态随机存取存储器(dynamic random access memory,简称DRAM)结构中,为了有效地整合主动区域(active area)与隔离区域,可将一部分埋入式字线用作单元(cell)中用于控制晶体管的主动字线,而另一部分埋入式字线可用作单元与单元之间(cell-to-cell)的隔离字线。然而,要用现有的制程步骤来有效形成上述结构是很困难的。

发明内容

[0005] 有鉴于此,本发明提供一种埋入式字线结构及其形成方法。

[0006] 本发明提供一种埋入式字线结构的形成方法,其中可用现有的制程步骤(诸如逻辑制程)来有效地整合主动区域与隔离区域。

[0007] 本发明也提供一种埋入式字线结构,其中隔离字线相较于主动字线是较深且较窄的。

[0008] 本发明提出一种埋入式字线结构的形成方法。在基底上依序形成第一掩膜层、夹层(interlayer)以及第二掩膜层,其中第二掩膜层具有交替排列的多个掩膜图案与多个间隙(gap),且间隙包括交替排列的多个第一间隙与多个第二间隙。在各第一间隙中形成介电图案且同时在各第二间隙的二侧壁上形成二间隙壁(spacer),其中在各第二间隙中相邻的间隙壁之间形成第一沟槽(trench)且第一沟槽暴露部分第一掩膜层。移除掩膜图案以形成多个第二沟槽。使用介电图案与间隙壁作为掩膜来进行蚀刻制程,以使第一沟槽加深至基底中且第二沟槽加深至第一掩膜层中。

[0009] 在本发明的一实施例中,上述的第二沟槽比第一沟槽宽。

[0010] 在本发明的一实施例中,在蚀刻制程之后,所述形成方法还包括:将介电图案及间隙壁移除;将夹层移除;以及使用第一掩膜层作为掩膜来加深第一与第二沟槽。

[0011] 在本发明的一实施例中,在加深第一与第二沟槽的步骤之后,还包括:移除第一掩膜层;将第一导体填入第一沟槽中且将第二导体填入第二沟槽中。

[0012] 在本发明的一实施例中,上述的第一导体用作隔离字线且第二导体用作主动字

线。

[0013] 在本发明的一实施例中,在加深第一与第二沟槽的步骤之后且在填入第一与第二导体的步骤之前,所述形成方法还包括形成栅介电层,所述栅介电层使主动字线与隔离字线中的每一者与基底分开。

[0014] 在本发明的一实施例中,上述的第二间隙比第一间隙宽。

[0015] 在本发明的一实施例中,上述的形成介电图案及间隙壁的步骤包括以下步骤。在基底上形成介电层以完全填满第一间隙,但不完全填满第二间隙。对介电层进行间隙壁蚀刻直到掩膜图案的顶表面暴露为止,以使剩余的介电层在第一间隙中形成介电图案且在第二间隙的侧壁上形成间隙壁。此外,进行间隙壁蚀刻的步骤还移除在第二间隙中未被间隙壁覆盖的夹层。

[0016] 在本发明的一实施例中,上述的介电层的材料包括氧化硅。

[0017] 在本发明的一实施例中,上述的第一掩膜层与第二掩膜层由相同材料形成。

[0018] 在本发明的一实施例中,在移除上述的掩膜图案的步骤期间移除第一沟槽所暴露的第一掩膜层以及第二沟槽所暴露的夹层与部分第一掩膜层。

[0019] 在本发明的一实施例中,上述的夹层与第一掩膜层或第二掩膜层不同。

[0020] 在本发明的一实施例中,上述的第一掩膜层的材料包括碳。

[0021] 在本发明的一实施例中,上述的第二掩膜层的材料包括碳。

[0022] 在本发明的一实施例中,上述的夹层的材料包括氮氧化硅或氮化硅。

[0023] 本发明也提出一种埋入式字线结构。此埋入式字线结构包括:基底,在基底中具有多个第一沟槽与多个第二沟槽;多个第一导体,分别填入第一沟槽中;以及多个第二导体,分别填入第二沟槽中。此外,第一沟槽相较于第二沟槽是较窄且较深的。

[0024] 在本发明的另一实施例中,上述的第一导体用作隔离字线且第二导体用作主动字线。

[0025] 在本发明的另一实施例中,埋入式字线结构还包括栅介电层,所述栅介电层经配置以将主动字线及隔离字线中的每一者与基底分开。

[0026] 在本发明的另一实施例中,上述的两个分开的第二沟槽被配置在两个相邻的第一沟槽之间。

[0027] 在本发明的另一实施例中,上述的第一沟槽的宽度为第二沟槽的宽度的约 $2/3$ 至 $1/2$,且第二沟槽的深度为第一沟槽的深度的约 $2/3$ 至 $1/2$ 。

[0028] 基于上述,本发明的方法可轻易实现极窄的隔离字线沟槽,其相较于较宽的主动字线沟槽更深。因此,可使单元的尺寸缩小且可相应地增加单元的密度。

[0029] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合附图作详细说明如下。

附图说明

[0030] 图1A至图1G为依照本发明的一实施例所示出的一种埋入式字线结构的形成方法的剖面示意图。

[0031] 附图标记说明:

[0032] 100:基底;

- [0033] 102:第一掩膜层;
- [0034] 104:夹层;
- [0035] 105:掩膜图案;
- [0036] 106:第二掩膜层;
- [0037] 107:间隙;
- [0038] 107a:第一间隙;
- [0039] 107b:第二间隙;
- [0040] 108:介电层;
- [0041] 108a:介电图案;
- [0042] 108b:间隙壁;
- [0043] 109:第一沟槽;
- [0044] 110:栅介电层;
- [0045] 111:第二沟槽;
- [0046] 112a:第一导体;
- [0047] 112b:第二导体;
- [0048] D1、D2:深度;
- [0049] W1、W2、W3、W4:宽度。

具体实施方式

[0050] 图1A至图1G为依照本发明的一实施例所示出的一种埋入式字线结构的形成方法的剖面示意图。

[0051] 请参照图1A,在基底100上依序形成第一掩膜层102及夹层(interlayer)104。基底100可为半导体基底,例如是硅基底。第一掩膜层102的材料包括碳。第一掩膜层102的材料实例包括非晶碳、含碳的氧化物、含碳的氮氧化物、含碳的氮化物以及所有旋涂式硬掩膜。夹层104的材料包括氮化硅或氮化硅。第一掩膜层102及夹层104的形成方法包括常压化学气相沉积法(atmospheric pressure CVD,简称APCVD)、低压化学气相沉积法(low pressure CVD,简称LPCVD)、电浆增强型化学气相沉积法(plasma-enhanced CVD,简称PECVD)、高密度电浆化学气相沉积法(high-density plasma CVD,简称HDP-CVD)、自由基增强型化学气相沉积法(radical-enhanced CVD,简称RECVD)、原子层沉积法(atomic layer deposition,简称ALD)、原子层化学气相沉积法(atomic-layer CVD,简称ALCVD)或任何其他适当方法。第一掩膜层102比夹层104厚。举例来说,第一掩膜层102的厚度约在1000埃(angstrom)至2000埃的范围内,且夹层104的厚度约在150埃至260埃的范围内。

[0052] 此后,在夹层104上形成第二掩膜层106。第二掩膜层106具有交替排列的多个掩膜图案105与多个间隙107,且间隙107包括交替排列的第一间隙107a与第二间隙107b。具体言之,第二掩膜层106具有依序重复排列的一个掩膜图案105、一个第一间隙107a、另一个掩膜图案105、一个第二间隙107b。应注意,第二间隙107b比第一间隙107a宽。如图1A所示,第二间隙107b的宽度W2大于第一间隙107a的宽度W1。举例来说,宽度W1约在15纳米至20纳米的范围内且宽度W2约在45纳米至60纳米的范围内。第二掩膜层106的材料包括碳。第二掩膜层106的材料实例包括非晶碳、含碳的氧化物、含碳的氮氧化物、含碳的氮化物以及所有旋

涂式硬掩膜。夹层104可与第一掩膜层102或第二掩膜层106不同。另外,第二掩膜层106的材料可与第一掩膜层102的材料相同或不同。在本实施例中,第一掩膜层102与第二掩膜层106可由相同材料形成。第二掩膜层106的形成方法包括用沉积制程在基底100上形成掩膜层(未示出),且接着用微影与蚀刻制程来将掩膜层图案化。第二掩膜层106比夹层104厚。举例来说,第二掩膜层106的厚度约在500埃至1000埃的范围内。

[0053] 请参照图1B,在基底100上形成介电层108以完全填满第一间隙107a,但不完全填满第二间隙107b。此介电层108的材料包括氧化硅,例如是四乙氧基硅烷(tetraethosiloxane,简称TEOS)氧化硅。介电层108的形成方法包括APCVD、LPCVD、PECVD、HDP-CVD、RECVD、ALD、ALCVD或任何其他适当方法。

[0054] 请参照图1C,对介电层108进行间隙壁蚀刻直到掩膜图案105的顶表面暴露为止,以使剩余的介电层108在各第一间隙107a中形成介电图案108a且同时在各第二间隙107b的侧壁上形成间隙壁108b。在本实施例中,进行间隙壁蚀刻的步骤还移除在第二间隙107b中未被间隙壁108b覆盖的夹层104,以使在相邻的间隙壁108b之间形成第一沟槽109且暴露部分第一掩膜层102。

[0055] 请参照图1D,移除掩膜图案105以形成第二沟槽111。此移除步骤包括进行蚀刻制程。由于第一掩膜层102与(第二掩膜层106的)掩膜图案105由相同材料形成且夹层104是足够薄的,因此在移除掩膜图案105的步骤期间,可同时移除第一沟槽109所暴露的第一掩膜层102、以及第二沟槽111所暴露的夹层104与部分第一掩膜层102。换言之,在移除掩膜图案105的步骤之后,第一沟槽109穿过第一掩膜层102(或甚至稍微地延伸至基底100中),且第二沟槽111延伸至第一掩膜层102中。具体言之,由于夹层104在第一沟槽109的位置中被打开(opened)但在第二沟槽111的位置中未被打开(如图1C所示),因此在图1D的步骤之后第一沟槽109相较于第二沟槽111可被蚀刻成更深。应注意,第二沟槽111比第一沟槽109宽。如图1D所示,第二沟槽111的宽度W4大于第一沟槽109的宽度W3。在一实施例中,宽度W3约为宽度W4的2/3至1/2。举例来说,宽度W3约在10纳米至15纳米的范围内且宽度W4约在15纳米至20纳米的范围内。

[0056] 请参照图1E,使用介电图案108a与间隙壁108b作为掩膜来进行蚀刻制程,以使第一沟槽109加深至基底100中且第二沟槽111加深至第一掩膜层102中。在图1E的蚀刻制程之后,第一沟槽109的深度(稍后将形成隔离字线)几乎到达所要的值,而第二沟槽111(稍后将形成主动字线)的深度实质上到达基底100与第一掩膜层102之间的界面。图1E中的蚀刻制程可被视为隔离沟槽的蚀刻步骤。

[0057] 请参照图1F,通过蚀刻制程移除介电图案108a及间隙壁108b。此后,通过另一蚀刻制程移除夹层104。

[0058] 之后,使用第一掩膜层102作为蚀刻掩膜来加深第一沟槽109与第二沟槽111。具体言之,在加深第一沟槽109与第二沟槽111的步骤期间,聚合物可累积在较窄的第一沟槽109的侧壁上并使在第一沟槽109处的蚀刻速率变慢。因此,较宽的第二沟槽111相较于较窄的第一沟槽109有较快的蚀刻速率而可被加深,但所产生的第二沟槽111相较于第一沟槽109仍然较浅。如图1F所示,第一沟槽109的深度D1大于第二沟槽111的深度D2。在一实施例中,深度D2约为深度D1的2/3至1/2。举例来说,深度D1约在220纳米至260纳米的范围内且深度D2约在130纳米至170纳米的范围内。在图1F中,加深第一沟槽109与第二沟槽111的步骤可

视为主动沟槽的蚀刻步骤。

[0059] 请参照图1G,通过蚀刻制程移除第一掩膜层102。此后,在第一沟槽109与第二沟槽111中的每一者的表面上形成栅介电层110。栅介电层110的材料包括氧化硅,且其形成方法包括进行热氧化制程。之后,将第一导体112a填入第一沟槽109中且同时将第二导体112b填入第二沟槽111中。第一导体112a与第二导体112b的材料包括多晶硅及金属(例如TiN或W/TiN、TiN/TaN)中至少一者。第一导体112a与第二导体112b的形成方法包括在基底100上形成填入第一沟槽109与第二沟槽111中的导体层(未示出),且接着通过微影与蚀刻制程来将导体层图案化,以移除在第一沟槽109与第二沟槽111外的导体层。其他构件(例如是源极/汲极区域、位元线等)为所属领域具有通常知识者所已知,故其配置、材料及形成方法在此则不予赘述。至此,完成本发明的埋入式字线结构。第一导体112a用作隔离字线,第二导体112b用作主动字线,以及栅介电层110用于使主动字线与隔离字线中的每一者与基底100分开。

[0060] 以下,将参照图1G来描述本发明的埋入式字线结构。

[0061] 请参照图1G,埋入式字线结构包括基底100、多个第一导体112a以及多个第二导体112b。在基底100中具有多个第一沟槽109与多个第二沟槽111,其中第一沟槽109相较于第二沟槽111是较窄且较深的。在一实施例中,第一沟槽109的宽度W3约为第二沟槽111的宽度W4的2/3至1/2,且第二沟槽111的深度D2约为第一沟槽109的深度D1的2/3至1/2。第一导体112a分别填入第一沟槽109中。第二导体112b分别填入第二沟槽111中。

[0062] 第一导体112a用作隔离字线且第二导体112b用作主动字线。在一实施例中,埋入式字线结构还包括栅介电层110,此栅介电层110经配置以将主动字线及隔离字线中的每一者与基底100分开。

[0063] 如图1G所示,在一实施例中,依序重复排列一个第一沟槽109、一个第二沟槽111、另一个第二沟槽111以及另一个第一沟槽109。换言之,两个分开的第二沟槽111被配置在两个相邻的第一沟槽109之间。然而,本发明不限于此。在另一实施例中,可根据实际需求将一个或两个以上的第二沟槽111配置在两个相邻的第一沟槽109之间。

[0064] 综上所述,在本发明的埋入式字线结构中,可形成相较于主动字线沟槽较窄且较深的隔离字线沟槽,以提高主动区域中的效能、使单元的尺寸缩小进而增加单元的密度。此外,本发明的方法简单的且能与已知技术相容。换言之,本发明所揭示的方法可用现有的制程步骤(诸如逻辑制程)来有效地整合主动区域与隔离区域。

[0065] 最后应说明的是:以上各实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述各实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

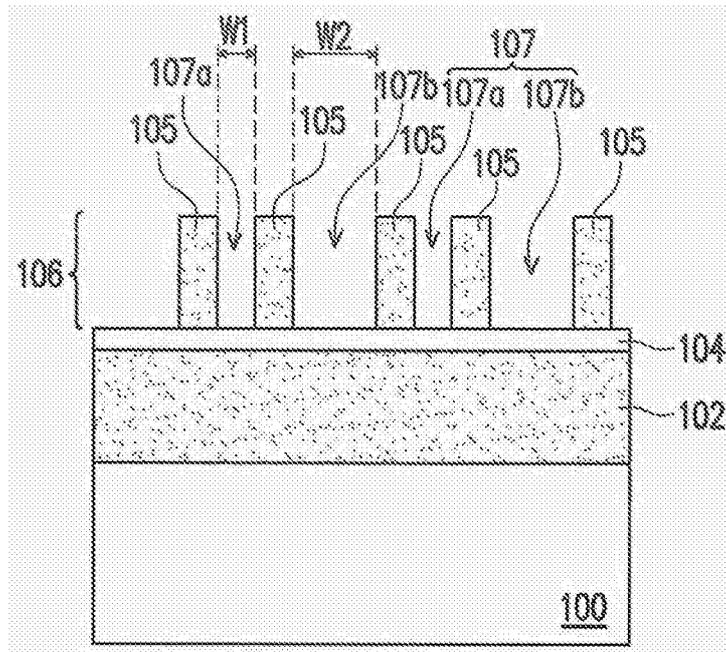


图1A

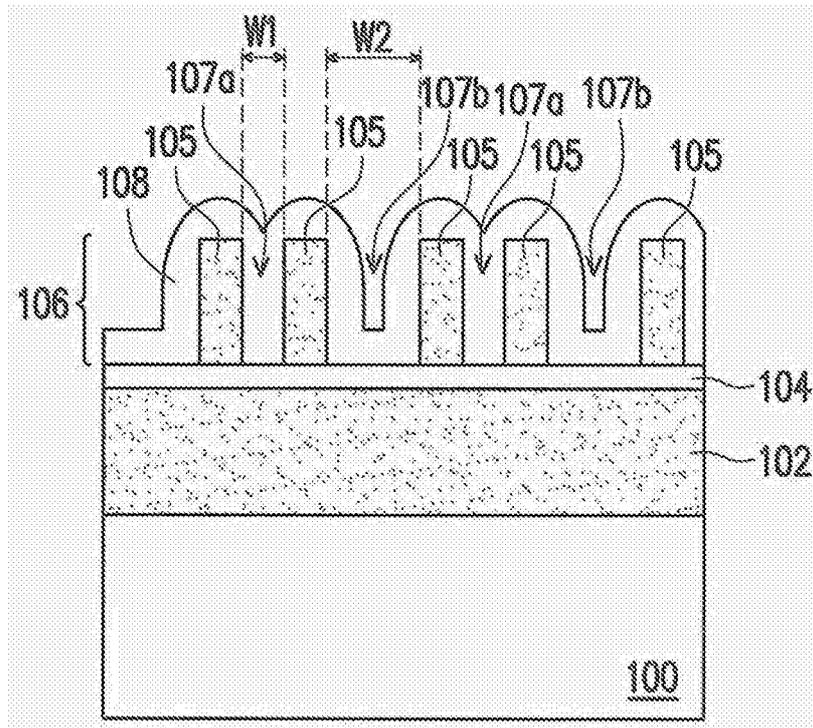


图1B

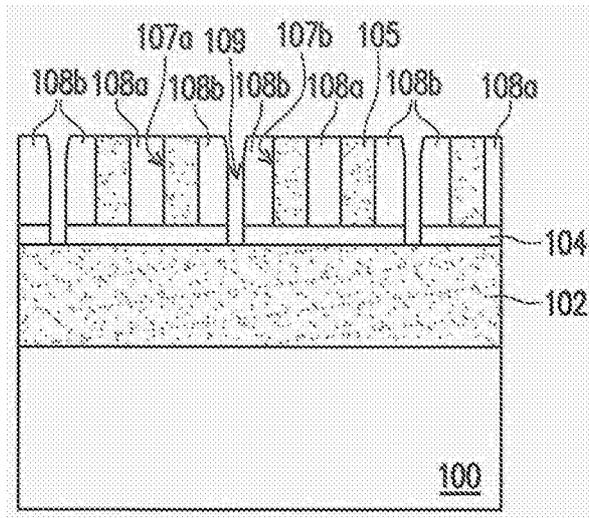


图1C

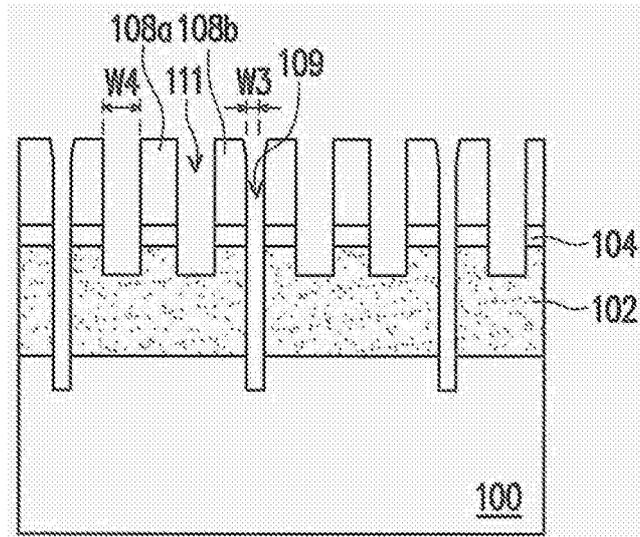


图1D

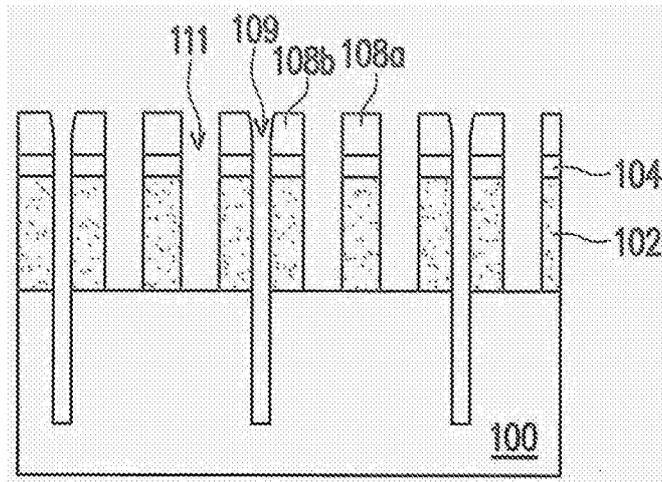


图1E

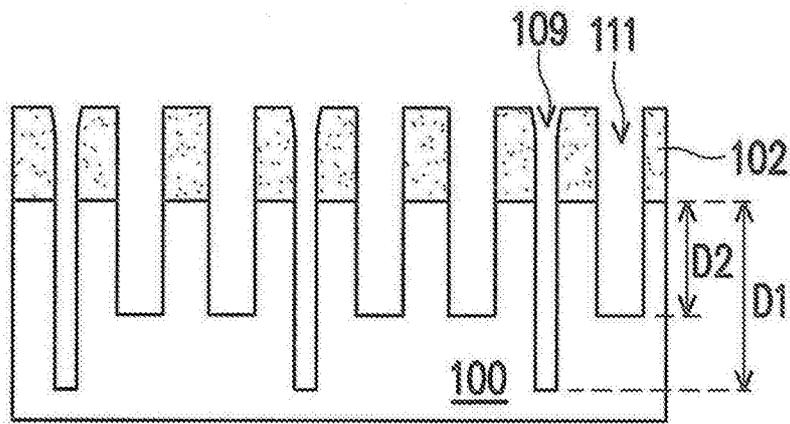


图1F

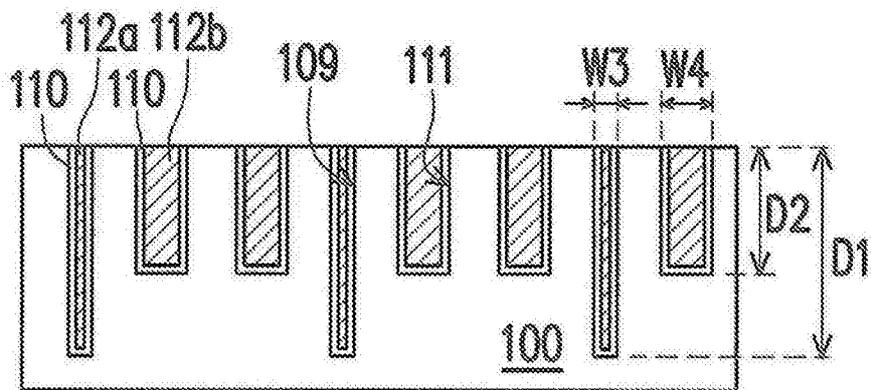


图1G