(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G06F 17/50

(45) 공고일자 2001년10월22일
(11) 등록번호 10-0296183
(24) 등록일자 2001년05월08일

(21) 출원번호 10-1996-0015991
(22) 출원일자 1996년05월14일

(65) 공개번호 특1996-0043163
(43) 공개일자 1996년12월23일

(30) 우선권주장 95-127,819 1995년05월26일 일본(JP)

(73) 특허권자 마츠시타 덴끼 산교 가부시키가이샤
일본 오오사카후 가도마시 오오아자 가도마 1006

(72) 발명자 오하라 가즈타케
일본국 오사카후 이바라키시 시모호즈미 4-13-317

(74) 대리인 김영철

심사관 : 강갑연

(54) 반도체집적회로의설계방법,반도체집적회로및연산회로

요약

복수의 레지스터와 그 레지스터 사이에 위치하는 복수의 조합회로로 구성되는 반도체 집적회로의 톱다운 설계에 있어서, 상기 반도체 집적회로를 레지스터 트랜스퍼 레벨로부터 논리합성하는 경우에, 최상 경로를 가지는 조합회로의 전부를 고전압원을 전압원으로서 구도함과 동시에, 그 잔여부 및 최상 경로를 가지는 조합회로의 전단에 위치하는 레지스터에, 저전압의 신호를 고전압의 신호로 변환하는 레벨변화회로를 설치한다. 따라서, 최상 경로의 최대 신호전과 지연시간을 증대시키지 않고, 조합회로 중의 레벨변환회로를 불필요하게 하여 저소비전력인 반도체 집적회로를 간편하게 논리합성할 수 있다.

대표도
도 1

명세서

도면의 간단한 설명

제1도는 화상처리 시스템의 전체 개략 구성도

제2도는 반도체 칩의 전체 개략 구성도

제3도는 본 발명 제1실시예에서의 반도체 집적회로의 복수의 레지스터 및 복수의 조합회로의 접속관계를 나타낸 도면

제4도는 레벨변환회로를 가지지 않는 플립플롭회로의 구성도

제5도는 레벨변환회로를 가지는 플립플롭회로의 구성도

제6도 (a)는 레벨변환회로의 구체적 구성도

제6도 (b)는 다른 구체적 구성도

제7도는 레벨변환회로를 가지지 않는 래치회로의 구성도

제8도는 레벨변환회로를 가지는 래치회로의 구성도

제9도는 논리합성장치의 전체 개략 구성도

제10도는 하드웨어 기술(記述) 언어를 나타내는 도면

제11도는 네트리스트를 나타내는 도면

제12도는 스키마틱(schematic;논리회로도)을 나타내는 도면

제13도는 본 발명의 제1실시예에 의한 반도체 집적회로의 논리합성방법을 나타내는 도면

제14도는 셀 라이브러리의 표를 나타내는 도면

제15도는 반도체 집적회로의 일부분을 나타내는 도면

제16도는 반도체 집적회로의 일부분을 변경한 회로를 나타내는 도면

제17도는 래지스터 트랜스퍼 레벨의 기술(記述)을 나타내는 도면

제18도는 논리합성할 수 없는 경우의 수정한 레지스터 트랜스퍼 레벨의 기술을 나타내는 도면

제19도 (a)는 본 발명의 제1실시예에 의한 논리합성방법의 제1 순서를 설명한 도면

제19도 (b)는 본 발명의 제1실시예에 의한 논리합성방법의 제2 순서를 설명한 도면

제19도 (c)는 본 발명의 제1실시예에 의한 논리합성방법의 제3 순서를 설명하는 도면

제19도 (d)는 상기 제3 순서까지를 실행한 결과를 나타내는 도면

제19도 (e)는 하나의 제안예를 나타내는 도면

제20도는 본 발명의 제2 실시예에 의한 논리합성방법을 나타내는 도면

제21도는 본 발명의 제3 실시예에 의한 논리합성방법을 나타내는 도면

제22도는 본 발명 제4 실시예에 의한 논리합성방법을 나타내는 도면

제23도는 본 발명 논리합성방법의 입력으로 되는 기능기술(記能記述)을 나타내는 도면

제24도는 종래 논리합성방법의 입력이 되는 기능기술을 나타내는 도면

제25도 (a)는 기본적인 가산기의 구성도

제25도 (b)는 본 발명의 논리합성방법에 의하여 생성되는 가산기를 나타내는 도면

제25도 (c)는 하나의 제안예의 논리합성방법에 의하여 생성되는 가산기를 나타내는 도면

제26도는 본 발명의 제5실시예에 의한 논리합성방법의 전반부를 나타내는 도면

제27도는 본 발명의 제5실시예에 의한 논리합성방법의 후반부를 나타내는 도면

제28도 (a)는 본 발명 제5실시예의 논리합성방법의 제1 윈도우 내의 조합부를 나타내는 도면

제28도 (b)는 본 발명의 제5실시예에 의한 논리합성방법의 제2 윈도우 내의 조합부를 나타내는 도면

제28도 (c)는 본 발명의 제5실시예에 의한 논리합성방법의 제3 윈도우 내의 조합부를 나타내는 도면

제29도는 레지스터 트랜스퍼 레벨의 기술을 나타내는 도면

제30도는 종래의 반도체 집적회로의 논리회로도

제31도는 임의의 반도체 집적회로에서 임계경로(critical path)만을 고전압원으로 구동하는 경우의 레벨변환회로의 배치위치도

제32도는 다른 임의의 반도체 집적회로에서 임계경로만을 고전압원으로 구동하는 경우의 레벨변환회로의 배치위치도

제33도는 본 발명의 제6실시예에 의한 논리합성방법의 입력이 되는 기능기술의 다른 예를 나타내는 도면

제34도는 본 발명의 제6실시예에 의한 논리합성방법에 의하여 생성되는 캐리 세이브(carry save) 방식의 병렬 승산기를 나타내는 회로도

제35도 (a)는 종래예에 의한 반도체 집적회로의 신호전파 지연시간과 그 지연시간을 가지는 조합회로 개수의 분포도

제35도 (b)는 본 발명에서의 상기 분포도

제36도는 본 발명의 제7실시예에 의한 논리합성방법에 의하여 생성되는 반도체 집적회로의 구성도

제37도는 본 발명의 제7실시예에 의한 논리합성방법의 흐름도

제38도는 본 발명이 제7실시예에 의한 다른 논리합성방법의 흐름도

제39도는 본 발명의 제7실시예에 의한 논리합성방법의 실행결과를 나타내는 도면

제40도는 본 발명의 제7실시예에 의한 논리합성방법의 또 다른 흐름도

제41도 (a)는 종래예에 의한 반도체 집적회로의 신호전파 지연시간과 그 지연시간을 가지는 조합회로 개수의 분포도

제41도 (b)는 본 발명의 예에 의한 상기 분포도

제42도는 레지스터 내에 구비하는 인버터의 구성도

도면의 주요부분에 대한 부호의 설명

10:A/D 변환기 11:DRAM

12:제1반도체 집적회로 13:제어용 마이크로 컴퓨터

14:제2반도체 집적회로 15:고전압원

16:저전압원 17:고전압 배선

18:저전압 배선

[발명의 상세한 설명]

[발명의 배경]

본 발명은 레지스터 트랜스퍼 레벨로부터 반도체 집적회로를 생성하기 위한 논리합성방법의 개량에 관한 것으로, 특히 저소비전력인 반도체 집적회로를 생성하는 반도체 집적회로의 설계방법과 그 방법에 의하여 얻어지는 저소비 전력의 반도체 집적회로 및 연산회로에 관한 것이다.

최근 반도체 집적회로의 설계에서는 개발대상의 반도체 집적회로를 레지스터 트랜스퍼 레벨(이하, RTL이라 함)의 기능기술(記能記述)로 표현하고, 이 RTL 기술을 이용하여 논리합성함으로써, 개발대상의 반도체 집적회로를 생성하는 톱다운(top-down) 설계가 채용되어 있다.

제29도는 종래의 RTL 기술(記述), 제30도는 상기 RTL 기술을 이용하여 논리합성에 의해 생성된 논리회로(반도체 집적회로)를 나타낸다.

제29도의 RTL 기술은 복수의 레지스터 사이의 데이터 전송을 기능레벨로 명확하게 규정한 기술이다. 제29도의 RTL 기술에서, r1, r2, r3, r4는 레지스터, func1, func2, func3, func4는 상기 레지스터 사이의 조합회로 기능의 기술, assign문과 always문은 각 레지스터와 각 조합회로의 접속관계를 기술한 것이다.

제29도의 RTL 기술로부터 논리를 합성하는 경우, 면적 또는 속도의 제약조건을 부여함으로써 면적과 속도의 트레이드오프(tradeoff) 곡선 상에서 회로가 결정된다.

상기 RTL 기술로부터 생성된 제30도에 나타낸 논리회로에서, 101, 103, 105 및 107은 상기 RTL 기술에 명시된 레지스터 r1, r2, r3, r4가 논리합성에 의하여 매핑된 플립플롭회로로서, 상기 제29도의 RTL 기술에 명시된 레지스터 r1, r2, r3, r4에 직접 대응한다. 108은 클록버퍼, 100, 102, 104 및 106은 제29도의 RTL 기술의 func1, func2, func3, func4에 대응하는 조합회로이다. 상기 조합회로(100, 102, 104, 106)는 제29도의 RTL 기능기술로부터 면적과 속도의 트레이드오프 곡선 상의 하나의 회로로서 매핑된 것이다.

그런데 반도체 집적회로의 소비전력 P는 동작주파수를 f, 부하용량을 C, 전압을 V라 하면 [식 1]과 같이,

[식 1]

$$P=f\times C\times V^2$$

나타낸다. 따라서, 반도체 집적회로의 소비전력을 삭감하기 위해서는 동작주파수의 저하, 부하용량의 저하 또는 전원전압의 저하라고 하는 3가지 방법이 있고, 전원전압의 저하에 의한 경우의 저감효과가 가장 크다.

그러나 전원전압을 낮게 설정하면 논리회로를 구성하는 다수의 경로 중에서 최대 지연시간을 가지는 임계경로의 지연시간도 증대한다.

그래서, 예를 들면 일본특허 공개공보 제5-299624호에 개시된 기술, 즉 다수의 논리게이트 중 저속 동작으로 충분한 논리게이트를 저전압원으로 구동하고, 다른 고속동작이 필요한 논리게이트를 고전압원으로 구동하는 기술을 이용하여, 상기 임계경로를 구성하는 논리게이트만을 고전압원으로 구동하고, 다른 논리게이트를 저전압원으로 구동함으로써 임계경로의 최대 지연시간의 증대를 초래하지 않고 반도체 집적회로 전체의 소비전류를 저전압원의 사용에 의해 삭감하여 저소비전력화를 도모하는 것이 고려된다. 그러나 이 고안에서는 다음과 같은 결점이 생긴다.

상기 결점의 상세한 내용은 다음과 같다. 상기와 같이 저전압원으로 구동되는 저속 동작형의 논리게이트로부터, 고전압원으로 구동되는 고속동작형의 논리게이트에 데이터를 전달하는 경우에는, 예를들면 일본특허 공개공보 제5-67963호에 개시되는 바와 같이, 그 2개의 논리게이트 사이에 저전압원으로 구동되는 논리게이트의 출력레벨을 높게 변환하는 레벨변환회로를 배치할 필요가 있다. 그러나 상기 제30도에 도시된 각각의 조합회로는, 예를 들면 제31도 또는 제32도에 도시된 바와 같은 가수의 논리게이트로 구성되는 회로이기 때문에, 이 각 도면의 조합회로에서 임계경로가 도면 중 굵은 선으로 나타낸 경로라고 가정하면, 이 임계경로를 고전압원으로 구동하기에는 각 도면 중 기호(로 나타낸 복수의 위치(이 위치의 수는 제31도에서는 8군데, 제32도에서는 12군데임)에 레벨변환회로가 필요하다고 판단하여 배치할 필요가 있다. 집적도가 높은 반도체 집적회로에서는 조합회로의 수는 매우 다수임과 동시에 각 조합회로를 구성하는 논리게이트의 수도 매우 많다. 따라서, 이와 같은 집적도가 높은 반도체 집적회로에서는 임계경로를 가지는 하나의 조합회로에서 레벨변환회로를 필요로 하는 위치의 수는 다수가 되고, 또 임계경로를 가지는 조합회로의 수도 많기 때문에, 반도체 집적회로 전체에서 레벨변환회로를 필요로 하는 위치의 수는 막대한 수가 된다. 그 결과, 집적도가 높은 반도체 집적회로의 설계에서는 극히 일부에 한정한 조합회로로 상기와 같이 레벨변환회로를 필요로 하는 위치를 판단하여 배치하는 것은 가능하지만, 반도체 집적회로 전체로서는 상기 레벨변환회로 배치위치의 판단이 번잡하고 귀찮으며, 또 장시간을 필요로 하고 설계가 곤란하게 되는 결점이 있다.

[발명의 개요]

본 발명의 목적은 RTL 기술로부터 반도체 집적회로를 생성하는 논리합성방법에서, 개발 대상으로 하는 반도체 집적회로의 각 조합회로의 임계경로 지연시간의 증대를 초래하지 않고, 저소비전력인 반도체 집적회로를 간편하게 생성할수 있는 반도체 집적회로의 설계방법 및 그와 같은 임계경로 지연시간의 증대가 없는 저소비전력의 반도체 집적회로 및 연산회로를 제공하기 위한 것이다.

상기 목적을 달성하기 위하여, 본 발명에서는 다음과 같은 점에 착안하였다. 첫째, 반도체 집적회로는 상기 제30도에 도시된 바와 같이, 다수의 레지스터와 그 각 레지스터 사이에 위치하는 다수의 조합회로로 구성되므로, 레지스터에 레벨변환회로를 배치하면 복수의 조합회로에는 그 내부의 각 장소, 즉 임계경로를 고전원으로 구동하는 경우 레벨변환회로를 필요로 하는 복수의 위치에, 각각 레벨변환회로를 배치할 필요가 없고, 레벱변환회로의 배치위치 수를 적게 삭감할 수 있다는 것, 둘째, 상기와 같이 레지스터에 레벨변환회로를 배치하면 이 레벨변환회로로부터 데이터가 전달되는 조합회로에서는 임시로 그 조합회로의 전체를 고전원으로 구동하여도 반도체 집적회로에서는 임계경로에 의존하는 논리게이트의 수는 집적회로 전체를 구성하는 논우리를게이트 수의 약 5% 정도인 통계로 하면, 임계경로를 가지는 조합

회로의 조합회로 전체에 대한 비율은 적고, 따라서 임계경로를 가지는 조합회로 전체를 고전원으로 구동하여도 별로 소비전력의 증대를 초래하지 않는다는 것, 셋째, 임계경로의 최대 지연시간은 설계상의 지연상한값 이하로 제한되면 충분한 관계상, 임계경로를 가지는 조합회로 전체를 고전원으로 구동하지 않아도 그 일부만을 고전원으로 구동하면 임계경로의 최대 지연시간이 단축되어 설계상의 지연 상한값 이하로 제안할 수 있어 소비전력의 증대를 작게 억제할 수 있다는 것에 착안하였다.

이상과 같은 점 때문에 본 발명에서는 원칙으로서 레지스터에만 레벨변환회로를 배치하는 것과 함께 임계경로를 가지는 조합회로의 일부만을 고전원으로 구동하는 구성을 채용한다.

본 발명의 반도체 집적회로의 럴계방법은 하나의 신호 전파경로를 갖는 조합회로를 복수개 구비하는 것과 함께 상기 적어도 하나의 조합회로의 전단 및 후단에 배치되는 레지스터를 구비하는 반도체 집적회로의 설계방법으로서, 상기 어느 하나의 조합회로의 신호전파 경로의 신호전파 지연시간이 설계상의 지연 상한값 이하인 경우에는 이 조합회로를 저전압원을 전압원으로 하는 제1조합회로로 생성하는 공정과, 상기 어느 하나의 조합회로의 신호 전파경로의 신호전파 지연시간이 설계상의 지연 상한값을 초과하는 경우에는 이 조합회로이 신호전파경로의 신호 전파 지연시간이 설계상의 지연 상한값 미만으로 되도록 이 조합회로의 일부를 고전압원을 전압원으로 하는 것과 함께, 이 조합회로의 잔여부를 저전압원을 전압원으로 하는 제2조합회로로 생성하는 공정을 구비하는 것을 특징으로 한다.

또한, 본 발명의 반도체 집적회로의 설계방법은 상기 조합회로의 생성공정에서 신호전파 지연시간이 설계상의 지연 상한값을 초과하는 제1조합회로가 있는 경우에는, 그 제1조합회로를 복수의 조합부에 개념적으로 구획하여 우선 제1번째의 조합부를 제2조합회로로 재합성하고, 그 후, 상기 재합성 후의 조합회로의 신호전파 지연시간이 설계상의 지연 상한값을 초과하는지 여부를 판정하며, 이어서, 재합성후의 조합회로의 신호전파 지연시간이 아직 설계상의 지연 상한값을 초과하는 경우에는, 상기 제1조합회로내의 신호전파 방향을 향하여 다음에 위치하는 조합부에 대하여 상기 제2조합회로로의 재합성 및 상기 합성후의 신호전파 지연시간의 판정을 반복하는 것을 특징으로 한다.

또한, 본 발명의 반도체 집적회로의 설계방법은 상기 조합 회로의 생성공정에서, 신호전파 지연시간이 설계상의 지연 상한값을 초과하는 조합회로 중에 검색범위로서의 소정 사이즈의 윈도우를 복수개 설정하고, 상기 복수개의 윈도우중 그 각 윈도우 내에 있는 조합부의 합계면적이 최소 또는 지연이 최소인 윈도우를 선택하며, 이 선택한 윈도우 내의 조합부를 상기 조합회로의 일부로서 제2조합회로로 합성하는 것과 함께, 상기 합성한 제2조합회로의 전단에 고전압원을 전압원으로 하는 레벨변환회로를 배치하는 것을 특징으로 한다.

본 발명의 반도체 집적회로는 복수의 레지스터 및 상기 각 레지스터 사이에 각각 배치된 1개의 조합회로를 구비한 반도체 집적회로로서, 상기 복수의 조합회로 중 일부의 조합회로는 저전압원을 전압원으로 하는 제1조합회로로 구성되고, 상기 복수의 조합회로 중 다른 조합회로는 각각 그 내부의 일부가 고전압원을 전압원으로 하는 제2조합회로에 의하여 구성되며, 그 내부의 잔여부가 상기 제1조합회로에 의하여 구성되고, 상기 복수의 레지스터 중, 출력측에 제2조합회로가 위치하는 레지스터는 상기 고전압원을 포함하는 전압원을 전압원으로 하는 레지스터로 구성되는 것을 특징으로 한다.

또한, 본 발명의 반도체 집적회로는 하나의 신호전파경로를 갖는 조합회로를 복수개 구비하는 것과 함께 상기 적어도 하나의 조합회로의 전단 및 후단에 배치되는 레지스터를 구비하는 반도체 집적회로로서, 상기 복수의 조합회로는 저전압원을 전압원으로 하는 제1조합회로와 고전압원을 전압원으로 하는 제2조합회로를 포함하며, 상기 복수의 레지스터는 상기 저전압원을 전압원으로 하는 레지스터로 구성되는 것을 특징으로 한다.

본 발명의 연산회로는 일렬로 배치된 소정 개수의 연산소자를 하나의 단으로 하여 이 일렬의 연산소자가 복수단 배치되며, 최전단의 연산소자는 외부로부터 신호를 수신하고, 상기 최전단의 연산소자를 제외한 각 단의 연산소자는 전단에 위치하는 연산소자로부터의 출력을 수신하며, 최후난의 연산소자는 연산결과를 외부로 출력하는 연산회로로서, 상기 최후단의 연산소자는 고전압원을 전압원으로 하고, 상기 최후단의 연산소자를 제외한 연산소자는 저전압원을 전압원으로 하며, 상기 최후단의 연산소자와 그 전단의 연산소자 사이에는, 상기 고전압원을 전압원으로 하고 상기 최후단의 연산소자의 전단에 위치하는 연산소자로부터의 저전압의 출력신호를 상기 고전압원의 고전압을 갖는 출력신호로 레벨 변환하는 레벨변환회로가 배치되는 것을 특징으로 한다.

이상의 구성에 의하여 본 발명은 다음의 작용을 갖는다. 즉, 반도체 집적회로는 다수의 레지스터와, 그 복수의 레지스터 사이에 각각 1개의 조합회로가 위치하는 구성으로 이루어지고, 그 복수의 조합회로 중 일부의 조합회로가 임계경로를 갖는다. 그 임계경로를 갖는 조합회로의 전단에 위치하는 레지스터, 즉 이 조합회로에 데이터를 전달하는 레지스터에 레벨변환회로를 배치하고, 상기 임계경로를 가지는 조합회로의 일부만을 고전압원으로 구동하며, 잔여부는 저전압원으로 구동한다. 다른 임계경로를 가지지 않는 조합회로는 저전압원으로 구동한다.

이 때문에, 임계경로를 가지는 조합회로의 일부가 고전원으로 구동되므로, 그 임계경로의 시간지연을 설계상 허용되는 지연 상한값 미만으로 억제할 수 있다. 또 임계경로를 가지는 조합회로의 전단에 위치하는 레지스터에 1개의 레벨변환회로를 배치하므로, 임계경로만을 고전압원으로 구동하는 경우에 비하여, 필요로 하는 레벨변환회로의 수를 적게 삭감할 수 있고, 따라서 반도체 집적회로의 설계가 매우 용이하게 된다. 게다가, 임계경로를 가지는 조합회로의 수는 조합회로 전체로 보아 매우 적고, 그 매우 적은 수의 조합회로 일부만을 고전압원으로 구동하므로, 소비전력의 증대는 적게 억제된다. 한편, 상기 임계경로를 가지는 조합회로의 잔여부 및 임계경로를 가지지 않는 많은 조합회로는 저전원으로 구동되므로 소비전력이 현저하게 저하된다. 그 결과, 반도체 집적회로 전체로서는 저소비전력화가 현저하게 도모된다.

또 본 발명에서는 하나의 조합회로 중에서 신호의 입력측으로부터 차례로 1개씩 조합부를 제2조합회로로 합성하므로, 하나의 조합회로 일부와 잔여부의 경계, 즉 하나의 조합회로 중에서 제1조합회로로 합성해야 할 영역과 제2조합회로로 합성해야 할 영역의 경계를 정확하게 찾아낼 수 있으므로, 고전압원을 전압원으로 하는 제2조합회로의 개수를 최소한으로 제한하여 더 한층 저소비전력으로 된다.

또 본 발명에서는 하나의 조합회로 중에서 제2조합회로로 합성해야 할 일부를 윈도우를 이용하여 검색하고, 조합부의 합계면적(개수)이 최소 또는 지연이 최소인 부분을 상기 제2조합회로로 합성해야 할 일부로 설정하여 이 부분을 제2조합회로로 합성하므로 더 한층 저소비전력화 또는 처리속도의 향상이 가능하다.

또 본 발명의 연산회로는 다입력-소출력형의 연산회로로서, 최후부의 연산소자만이 고전압원으로 구동되므로, 입력측에 가까운 부분에 위치하는 복수의 연산소자를 고전압원으로 구동하는 경우에 비하여 저소비전력이다. 게다가 레벨변환회로는 상기 최후부 연산소자의 전단에 배치할 뿐이므로, 입력측에 가까운 부분에 위치하는 복수의 연산소자 전단에 각각 레벨변환회로를 배치하는 경우에 비하여 레벨변환회로의 개수가 적어진다.

상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.

[실시예]

이하, 본 발명의 실시예를 첨부도면을 참조하여 상세히 설명하기로 한다.

(제1실시예)

제1도는 본 발명의 반도체 집적회로를 구비한 화상처리장치 A의 전체구성을 나타낸다. 제1도에서, 10은 외부로부터의 신호를 아날로그/디지털 변환하는 A/D 변환기, 11은 범용의 DRAM, 12는 본 발명의 반도체 집적회로이며 상기 DRAM(11)으로부터 데이터를 인출 또는 데이터를 기억시키면서 화상처리를 실행하는 제1반도체 집적회로(제1LSI), 13은 상기 제1반도체 집적회로(12)를 제어하는 범용의 제어용 마이크로컴퓨터, 14는 상기 제1반도체 집적회로(12)로 부터 신호를 받아 화상처리를 실행하는 제2반도체 집적회로(제2LSI)이다.

또 15는 외부에 배치된, 예를들면 3V의 고전압원, 16은 마찬가지로 외부에 배치된, 예를들면 2V의 저전압원이다. 제1도의 화상처리장치 A는 상기 고전압원(15)에 접속된 고전압 배선(17)과, 상기 저전압원(16)에 접속된 저전압 배선(18)을 갖는다. 화상처리장치 A의 저소비전력화를 도모하기 위하여 저전압원(16)은 화상처리용의 제1및 제2반도체 집적회로(12, 14)의 전압원으로서 사용되고, 저전압 배선(18)의 저전압이 제 1 및 제 2 반도체 집적회로(12, 14)에만 공급된다. 한편, 고전압 배선(17)의 고전압은 다른 범용의 회로(10, 11, 13)에 공급된다. 각 회로(10 14) 사이의 인터페이스 전압을 고전압으로 할 필요가 있기 때문에, 고전압 배선(17)의 고전압은 화상처리용 2개의 반도체 집적회로(12, 14)에도 공급된다.

상기 저전압원(16)은 고전압 배선(17)의 전압을 내부 트랜지스터에서 그 임계치 전압 분량만큼 강압한 내부 저전압원으로 하여도 된다. 그 구성은 예를 들면 일본국 특개평4-96369호 공보에 기재되어 있으므로 그에 대한 상세한 설명은 생략한다. 이 경우, 외부에 배치한 저전압원(16)은 불필요하다.

상기 화상처리용 제1반도체 집적회로(12)의 내부 구성을 제2도에 나타낸다. 제2도에서, 20은 칩, 21은 상기 칩(20)의 바깥 테두리에 복수 배치된 입력/출력패드, 22는 상기 복수의 입력/출력패드(21…)의 배치영역을 제외한 내부 코어부로서, 상기 내부 코어부(22)에는 5개의 기능블록 A E가 설치되어 있다. 상기 기능블록 A D는 각각 다른 연산처리를 실행하는 연산처리회로이고, 기능블록 E는 예를 들면 ROM, RAM등의 소용량의 메모리셀부이다.

본 발명은 상기 화상처리용 제1반도체 집적회로(12)에서, 상기 내부 코어부(22) 내의 상기 메모리셀부로 구성되는 기능블록 E 이외의 기능블록 A D에 대하여 적용된다.

제3도는 상기 제1반도체 집적회로(12)의 임의의 하나의 기능블록(예를들면, A)의 논리 회로도를 나타낸다.

제3도의 기능블록(반도체 집적회로의 일부)은 상기 제29도의 RTL 기술(記述)로부터 논리합성한 논리회로를 나타낸다. 제3도에서, 2, 4, 6 및 8은 각각 상기 제29도의 RTL 기술의 레지스터(r1, r2, r3, r4)를 구성하는 플립플롭 회로이다. 이 각 레지스터(r1 r4)는 컴퓨터의 파이프라인 처리회로의 일부를 구성하는 레지스터 등, 여러 종류의 레지스터의 적용된다. 또 1, 3, 5 및 7은 각각 상기 제29도의 RTL 기술의 조합회로(func1, func2, func3 및 func4)를 구성하고 각 레지스터(r1 r4) 사이 또는 전단(前段)에 위치하는 조합회로이다. 이 조합회로는 1개의 논리게이트로 구성될 수도 있으며, 복수의 논리게이트로 구성될 수도 있다. 제3도에서는 설명을 간단하게 하기 위하여, 각 조합회로의 출력은 다음 단의 플립플롭회로에만 입력되지만, 다른 조합회로에 신호를 전송하는 경우도 있다.

상기 플립플롭회로(2, 6, 8)는 상기 2V의 저전압원(16)을 전압원으로 하는 2V계이고, 나머지 플립플롭회로(4)는 2V의 저전압원(16) 및 3V의 고전압원(15)의 양 전원을 전압원으로 하는 2V/3V계이다. 상기 2V/3V계의 플립플롭회로(4)는 후술하는 바와 같이 레벨변환회로를 가지며, 2V계의 플립플롭회로(2, 6, 8)는 레벨변환회로를 가지지 않는다. 또 상기 조합회로(1, 3, 7)는 2V의 저전압원(16)을 전압원으로 하는 2V계의 조합회로(제1조합회로)로 구성되고, 나머지 조합회로(5)는 고속동작의 요구 때문에 그 앞부분이 3V의 고전압원(15)을 전압원으로 하는 3V계의 조합회로(제2조합회로)로 구성되며, 그 뒷부분이 2V의 저전압원(16)을 전압원으로 하는 2V계의 조합회로(제1조합회로)로 구성된다.

또한, 9는 2V의 저전압원(16)을 전압원으로 하는 2V계의 클록버퍼(클록공급수단)로서, 상기 4개의 플립플롭회로(2, 4, 6, 8)에 클록을 공급한다.

상기 2V계의 레벨변환회로를 가지지 않는 플립플롭회로(2, 6, 8)의 구성을 제4도에 나타낸다. 제4도에서, 30은 하나의 외부신호(D)를 받아들이는 마스터·래치, 31은 상기 마스터·래치(30)의 출력측에 직렬 접속되고 상보의 2개 신호를 출력하는 슬레이브·래치로서, 이 직렬 접속된 마스터·래치(30) 및 슬레이브·래치(31)에 의해 데이터 일시기억부(36)가 구성된다. 상기 각 래치(30, 31)는 각각 인버터(34a, 34b)를 내장한다. 32는 상기 슬레이브·래치(31)의 출력측에 접속되는 출력버퍼, 33은 외부로부터 입력되는 클록 CLK로부터 상보의 내부클록 CK, NCK를 생서하는 내부클록 생성회로(클록 공급수단)로서, 이러한 회로(30 33)는 2V의 저전압원(16)을 전압원으로 하는 2V계이다.

상기 2V/3V계의 레벨변환회로를 가지는 플립플롭회로(4)의 구성을 제5도에 나타낸다. 제5도의 플립플롭회로(4)는 상기 제4도에 나타낸 2V계의 플립플롭회로(2)와 같은 구성의 직렬 접속된 마스터·래치(30) 및 슬레이브·래치(31)와, 내부클록 생성회로(33)를 구비하는 동시에 3V의 고전압원(15)을 전압원으로 하는 출력버퍼(34)와, 상기 슬레이브·래치(31)와 상기 출력버퍼(34) 사이에 설치된 레벨변환회로(35)를 구비한다. 상기 레벨변환회로(35)는 2V/3V계로서, 2V계의 슬레이브·래치(31)의 상보 신호 사이의 전위차는 저전압(2V)이지만, 이 저전압 신호를 입력하고, 이 저전압 신호를 그 상보 신호 사이의 전위차가 고전압(3V)인 고전압 신호로 레벨 변환하여 출력하는 기능을 갖는다.

상기 레벨변환회로(35)의 구체적 구성을 제6도(a) 및 (b)에 나타낸다. 제6도(a)의 레벨변환회로(35)에서, 40 및 41은 PMOS형 트랜지스터, 42 및 43은 NMOS형 트랜지스터로서, 한 쪽의 PMOS형 트랜지스터(40)와 한 쪽의 NMOS형 트랜지스터(42)는 직렬 접속되고, 또 다른 쪽의 PMOS형 트랜지스터(41)와 다른 쪽의 NMOS형 트랜지스터(43)는 직렬 접속되며, 이 쌍방의 직렬회로는 각각 3V의 고전압원(15)과 접지 사이에 배치된다. 상기 한 쪽의 PMOS형 트랜지스터(40)의 게이트는 긱렬 접속되지 않는 측의 NMOS형 트랜지스터(43)의 드레인에, 다른 쪽의 PMOS형 트랜지스터(41)의 게이트는 NMOS형 트랜지스터(42)의 드레인에 접속된다. 상보 출력은 각 NMOS형 트랜지스터(42, 43)의 드레인으로부터 인출된다.

상기 구성에 의하여, PMOS형 트랜지스터(40)와 NMOS형 트랜지스터(42), PMOS형 트랜지스터(41)와 NMOS형 트랜지스터(43)는 각각 인버터의 기능을 갖는다. 즉, 제5도 슬레이브·래치(31)의 상보 출력에 의하여 한 쪽의 NMOS형 트랜지스터(43)의 게이트에 2V의 저전압이 공급되는 동시에 다른 쪽의 NMOS형 트랜지스터(42)의 게이트에 0V가 공급되면, 상기 한 쪽의 NMOS형 트랜지스터(43)가 온(ON)으로 되는 동시에 상기 다른 쪽의 NMOS형 트랜지스터(42)가 오프(OFF)로 되고, 이에 따라 한 쪽의 PMOS형 트랜지스터(40)가 ON으로 되는 동시에 다른 쪽의 PMOS형 트랜지스터(41)가 OFF로 되므로, 한 쪽의 NMOS형 트랜지스터(42)의 드레인이 3V의 고전압원(15)에 접속되는 동시에 다른 쪽의 NMOS형 트랜지스터(43)의 드레인이 접지되어 3V의 고전위차의 상보 출력이 얻어진다.

제6도(a)의 구성에서는 3V의 고전압원(15)으로부터 2V의 저전압원(16)으로의 관통전류 및 3V의 고전압원(15)으로부터 2V의 저전압원(16)으로의 관통전류 및 3V의 고전압원(15)으로부터 OV(접지)로의 관통전류를 흐르게 하지 않고, 제5도 슬레이브·래치(31)의 상보 출력을 2V의 저전압으로부터 3V의 고전압으로 레벨 변환할 수 있다.

제6도(b)는 상기와는 다른 그 외의 구체적 구성의 레벨변환회로(35')를 나타낸다. 제6도(b)의 레벨변환회로(35')는 상기 제6도(a)의 레벨변환회로(35)의 2개의 NMOS형 트랜지스터(42, 43) 대신에 2개의 CMOS형 인버터(45, 46)를

배치한 것이다. 이 양 CMOS형 인버터(45, 46)는 각각 1개의 PMOS형 트랜지스터(47, 49)와 1개의 NMOS형 트랜지스터(48, 50)를 직렬 접속하여 이루어진다. 양 CMOS형 인버터(45, 46)의 입력단자, 즉 직렬 접속된 PMOS형 및 NMOS형의 양 트랜지스터(47, 48, 49, 50)의 양 게이트에는 제5도 슬레이브·래치(31)의 상보출력신호가 입력된다. 한 쪽의 CMOS형 인버터(45)의 출력단자, 즉 PMOS형 트랜지스터(47)와 NMOS형 트랜지스터(48)의 접속부는 CMOS형 인버터(45)와 직렬 접속되지 않는 PMOS형 트랜지스터(41)의 게이트에, 다른 쪽의 CMOS형 인버터(46)의 출력단자는 CMOS형 인버터(46)와 직렬 접속되지 않는 PMOS형 트랜지스터(40)의 게이트에 각각 접속된다. 양 CMOS형 인버터(45, 46)의 출력이 레벨변환회로(35')의 상보 출력이다.

이상의 구성에 의하여, 3V의 고전압원(15)으로부터 2V의 저전압원(16)으로의 관통전류 및 3V의 고전압원(15)으로부터 접지로의 관통전류를 흐르게 하지않고, 제5도 슬레이브·래치(31)의 상보 출력을 2V의 저전압으로부터 3V의 고전압으로 레벨 변환할 수 있다. 또 CMOS형 인버터(45, 46)를 구성하는 PMOS형 트랜지스터는 과도 상태에서의 3V의 고전압원(15)으로부터 접지로의 관통전류를 억제한다.

제3도의 반도체 집적회로는 이상의 설명으로부터 알 수 있는 바와 같이, 입력 및 출력과 동시에 2V계의 조합회로(1, 3)를 가지는 플립플롭회로(2)는 저전압의 2V계로 구성되고, 입력에 2V계의 조합회로(3)를 가지고 출력에 3V/2V계의 조합회로(5)를 가지는 플립플롭회로(4)는 저전압/고전압계(2V/3V계)로 구성되며, 또 입력에 3V/2V계의 조합회로(5)를 가지고 출력에 2V계의 조합회로(7)를 가지는 플립플롭회로(6)는 저전압의 2V계로 구성된다.

이상의 설명에서는 레지스터(r1, r2, r3, r4)를 플립플롭회로로 구성하였으나, 이 플립플롭회로 대신 래치회로로 구성하여도 된다.

상기 래치회로의 구체적 구성을 제7도 및 제8도에 나타낸다. 제7도는 저전압의 2V계의 래치회로(51)를 나타낸다. 제7도의 래치회로(51)는 하나의 신호 D를 입력하고 래치하여 상보 출력을 얻는 래치부(데이터 일시기억부)(52)와, 상기 래치부(52)의 출력측에 접속된 출력버퍼(53)와, 외부클록 G로부터 내부클록 NG를 생성하고 이 내부클록 NG를 상기 래치부(52)에 출력하는 내부클록 생성회로(54)를 구비하는 것과 함께, 외부클록 G도 상기 래치부(52)에 부여된다. 이상의 회로(52 54)는 2V의 저전압원(16)을 전압원으로 하는 2V계이다.

제8도는 저전압/고전압계(2V/3V계)의 래치회로(51')를 나타낸다. 제8도으 래치회로(51')는 상기 저전압의 2V계 래치회로의 구성과 마찬가지로 2V의 저전압원(16)을 전압원으로 하는 래치부(52) 및 내부클록 생성회로(54)와, 3V의 고전압원(15)을 전압원으로 하는 출력버퍼(55)와, 상기 래치부(52)와 상기 출력버퍼(55) 사이에 개재되어 입력신호를 저전압(2V)으로부터 고전압(3V)으로 레벨변환하는 레벨변환회로(56)를 구비한다. 이 레벨변환회로(56)의 구체적 구성은 상기 제6도(a) 또는 (b)에 나타낸 구체적 구성과 동일하다.

다음으로, 상기 제3도에 나타낸 반도체 집적회로를 논리셀의 접속정보에 기초하여 논리합성하는 논리합성방법의 알고리즘을 제9도의 논리합성장치 및 제13도의 흐름도를 참조하여 설명한다.

제9도는 논리합성장치(60)의 전체 개략 구성을 나타낸다. 제9도에서, 61은 판독 기입부, 62는 번역부, 63은 최적화 처리부, 64는 셀 할당부, 65는 타이밍 검증부, 66은 회로도 생성부, 67은 출력부이다.

상기 판독기입부(61)는 상기 제29도 혹은 제10도에 나타낸 RTL 기술(記述)(하드웨어 기술언어), 상기 RTL 기술에 기초하여 레지스터 사이의 신호전송 관계를 논리셀의 접속정보 레벨로 명확하게 규정한 제11도에 나타낸 네트리스트 또는 상기 네트리스트를 도식화한 제12도에 나타낸 스키마틱(schematic;논리회로도)을 입력한다.

상기 번역부(62)는 판독기입부(61)로부터 읽어들인 RTL 기술을 상태 천이도와, 불 대수(boolean algebra) 표기와, 타이밍도와, 메모리의 타입과 비트 수및 워드 수 등의 메모리 사양으로 변환한다.

상기 최적화 처리부(63)는 얻어진 상태 천이도를 최적화하는 상태천이도 최적화 처리부(63a)와, 최적화된 상태 천이도에 대응하는 회로(스테이트머신)를 생성하는 스테이트머신 생성부(63b)와, 얻어진 타이밍도를 콤파일하는 타이밍도의 콤파일(63c)과, 얻어진 메모리 사양에 따라 메모리를 합성하는 메모리 합성부(63d)와, 상기 콤파일된 타이밍도 및 합성된 메모리에 따라 인터페이스부를 합성하는 인터페이스부의 합성부(63e)를 갖는다. 또 최적화 처리부(63)는 판독기입부(61)에 대한 입력이 RTL 기술인 경우에는 상기 얻어진 스테이트머신, 얻어진 불 대수 표기 및 합성된 인터페이스부에 기초하여 논리를 최적화하여 최적화된 논리셀의 접속정보를 생성하는 한편, 판독기입부(61)에 대한 입력이 네트리스트 또는 스키마틱인 경우에는 이 입력된 네트리스트 또는 스키마틱의 논리를 최적화하여 최적화된 논리셀의 접속정보를 생성하는 논리 최적화부(63f)를 갖는다.

또 상기 출력부(67)는 상기 제3도의 논리회로를 나타내는 네트리스트 또는 이 네트리스트를 도식화한 스키마틱(논리회로도)을 외부 출력한다.

본 발명은 상기 제9도에 나타낸 셀 할당부(64)에 존재한다. 이어서, 이 셀 할당부(64)에 의한 셀 할당(셀매핑)처리, 즉 상기 논리최적화부(63f)에 의하여 얻어진 셀 접속정보에 의거하여 제3도에 나타내는 반도체 집적회로를 논리합성하는 알고리즘을 제13도의 흐름도를 기초하여 설명한다. 또 제13도에서는 본 발명의 특징부분을 주체로 설명하고 있다.

제13도에서, 논리합성을 시작하여 스텝 S1에서 HDL(하드웨어 기술 언어)을 이용한 기능설계를 실행한 후, 스텝 S2에서 상기 HDL 기술(記述)을 입력하고, 이 입력한 HDL 기술에 기초하여 제14도의 표로 나타낸 논리셀 라이브러리 중에서 고전압(3V)의 논리셀 라이브러리(lib)(이하, 3V lib라 함)를 선택하고, 이 3V lib에 의하여 조합회로를 매핑한다.

이어서, 스텝 S3에서 상기 매핑한 조합회로의 최대 지연시간을 산출한후, 이 최대 지연시간이 설계상의 지연 상한값을 초과하는지 여부를 판단하고, 지연 상한값을 초과하는 경우에는 스텝 S4에서 상기 입력한 HDL 기술을 수정하거나 또는 기능설계를 다시 고쳐 새로운 HDL 기술을 작성한다. 예를들면, 제15도에 나타낸 일부회로에 있어서, 2개의 레지스터(r1, r2) 사이에 조합회로 f가 위치하고, 그 조합회로 f의 기능이 기능 A와 기능 B로 구성되는 경우에, 이 조합회로 f의 최대 지연시간이 지연 상한값을 초과할 때에는, 제16도에 나타내는 바와 같이, 상기 조합회로 f를 2개의 조합회로 f1, f2로 분할하고, 그 조합회로 f1에 기능 A를, 조합회로 f2에 기능 B를 가지도록 함과 동시에, 이 양 조합회로 f1, f2 사이에 별도 1개의 레지스터를 배치하여 합계 3개의 레지스터 r1 r3을 설치하는 구성으로 하도록, HDL 기술을 제17도에 나타낸 기능기술로부터 제18도에 나타낸 기능기술로 수정한다.

그 후, 스텝 S5 S9(제1공정)에 있어서, 각 조합회로의 신호전파 지연시간이 설계상의 지연 상한값 이하의 조합회로는 2V의 저전압원(16)을 전압원으로 하는 제1 조합회로로 합성하고, 그 반대로 신호전파 지연시간이 설계상의 지연 상한값을 초과하는 조합회로는 그 앞부분을 3V의 고전압원(15)을 전압원으로 하는 제2조합회로로 합성하는 동시에, 그 뒷부분을 2V의 저전압원(16)을 전압원으로 하는 제2조합회로로 합성한다.

상기 제1공정은 본 실시예에서는 다음과 같이 실행한다. 즉, 최초로 스텝 S5에서 모든 조합회로를 저전압(2V)계의 조합회로(제1조합회로)에 의하여 합성하고, 그 후, 스텝 S6에서 상기 합성한 각 조합회로의 신호전파 지연시간을 각 신호전파 경로마다 산출한다. 그리고 그 산출한 지연시간이 설계상의 상한값을 초과하는 지 여부를 판단하고, 상한값을 초과하는 경우에는 스텝 S7에서 지연시간이 설계상의 상한값을 초과하는 모든 조합회로를 추출한 후, 그 추출한 각 조합회로에 대하여 스텝 S8, S9의 합성동작을 실행한다. 즉, 상기 추출한 조합회로가 각각 복수(m개)의 조합부로 구성되는 것으로 하여 스텝 S8에서 n번째(최초는 n=1)의 조합부를 고전압(3V)계의 조합회로(제2조합회로)에 의하여 재합성한 후, 스텝 S9에서 그 재합성 후의 조합회로의 최대 지연시간을 설계상의 상한값과 비교하고, 상한값을 초과하는 경우에는 신호전파 방향을 향하여 다음에 위치하는 조합부(n=2번째의 조합부)를 고전압(3V)계의 조합회로(제2조합회로)에 의하여 재합성한다. 이상의 동작을, 재합성 후의 조합회로의 최대 지연시간이 설계상의 상한값 이하가 되기까지 반복한다.

계속하여, 스탭 S10 S12(제2공정)에서는 다음의 처리를 실행한다. 즉, 스텝 S10에서, 저전압계(2V계) 조합회로의 출력이 고전압계(3V계) 조합회로의 입력이 되는 형태로 2V계의 조합회로와 3V계의 조합회로가 혼재하는지 여부를 조사하고, 상기한 형태의 혼재가 존재하는 경우는 스텝 S11에서 상기 혼재하는 형태에서의 2V계 조합회로를 모두 추출한 후, 스텝 S12에서 상기 추출한 2V계의 조합회로(제1조합회로)를 3V lib의 조합회로(제2조합회로)에 의해 치환하도록 재차 매핑한다. 이 리매핑 후는 스텝 S10으로 되돌아가고, 재차 스텝 S11, S12의 동작을 반복한다. 이것은, 상기 스텝 S12에서의 3V계 조합회로로의 리매핑에 기인하여 2V계 조합회로와 3V계 조합회로의 혼재가 새롭게 생기게 되는 경우가 있는 점을 고려한 것이다.

그 후, 레지스터에서는 그 입력측 및 출력측에 위치하는 조합회로의 전압계가 상술한 논리합성에 의하여 이미 결정되어 있으므로, 스텝 S13 S15(제3공정)에서는 다음의 처리를 실행한다. 즉, 스텝 S13에서 각 레지스터가 저전압(2V)의 입력으로부터 고전압(3V)의 출력으로 전위를 레벨 변환하는지 여부를 조사하고, 레벨변환하기 않는 경우는 스텝 S14에서 그 레벨변환하지 않는 레지스터를 제4도의 2V계 플립플롭회로 또는 제7도의 2V계 래치회로로 매핑하고, 레벨 변환하는 경우는 스텝 S15에서 그 레벨 변환하는 레지스터(플립플롭회로 또는 래치회로)를 제5도의 2V/3V계 플립플롭회로 또는 제8도의 2V/3V계 래치회로로 매핑한다.

따라서, 제13도에 나타낸 논리합성방법의 알고리즘에서는, 모든 조합회로를 저전압(2V)의 조합회로(제1조합회로)에 의하여 매핑한 경우에, 예를들면 제19도(a)에 나타내는 바와 같이, 소정의 2개의 레지스터 사이에 위치하는 1개의 조합회로(70)의 신호전파 지연시간이 설계상의 지연상한값을 초과할 때에는 제13도(b)에 나타내는 바와 같이, 그 조합회로 중, 도면중 해칭부분으로 나타내는 바와 같이 앞부분(신호전파의 기점측)에 위치하는 제1 및 제2 조합부(70a, 70b)를 3V계의 조합회로로 매핑한 후, 2V계의 조합부 출력이 3V계의 조합회로 입력이 되는 형태의 2V계의 조합부와 3V계의 조합회로가 혼재하는 경우에는, 제19도(c)에 나타내는 바와 같이 그 혼재하는 2V계 조합회로(71)의 조합부(71a)를 도면중 해칭으로 나타내는 바와 같이 3V계의 조합부로 리매핑한다. 계속하여, 상기 리매핑에 의하여 2V계 조합부와 3V계 조합부의 혼재가 새롭게 생겼는지 여부를 판단하고, 제19도(c)에서는 그 혼재가 새롭게 생기지 않으므로, 플립플롭회로가 저전압(2V)의 입력으로부터 고전압(3V)의 출력으로 전위를 레벨 변환할 필요가 있는 경우에는, 제19도(d)에 도시된 바와 같이, 그 레벨변환하는 플립플롭회로를 도면중 해칭으로 나타낸 바와 같이 2V/3V계의 플립플롭회로로 매핑하게 된다.

따라서, 최종적으로 얻어진 제19도(d)에 나타낸 반도체 집적회로에서는, 제19도(e)에 나타내는 바와 같이 신호전파 지연시간이 설계상의 지연 상한값을 초과하는 조합회로(70)의 모든 조합부를 3V계의 조합부에 의하여 매핑하는 경우에 비하여, 3V계의 조합부에 매핑하는 조합부의 개수를 적게 할 수 있고, 따라서, 저소비전력화를 도모할 수 있다.

(제2실시예)

제20도는 본 발명의 제2실시예를 나타낸다. 본 실시예에서는, 조합회로의 앞부분과 뒷부분의 경계, 즉, 3V계의 조합회로에 합성해야 할 조합부와 2V계의 조합부에 합성해야 할 조합부의 경계 판단에 2분 탐색법(binary search method)을 이용한 것이다.

즉, 스텝 S18 S27(제1공정)에 있어서, 2분 탐색법을 이용하여 조합회로의 앞부분과 뒷부분의 경계를 탐색하여 그 앞부분을 3V의 고전압원(15)을 전압원으로 하는 제2조합회로로 합성하고, 그 뒷부분을 2V의 저전압원(16)을 전압원으로 하는 제1조합회로로 합성한다.

상세하게 설명하면, 제1공정에서 스텝 S18에서는, 최초로 모든 조합회로를 저전압(2V)계의 조합회로에 의하여 매핑한 후, 스텝 S19에서 각 조합회로에 대하여, 그 각 최대 지연시간이 설계상의 상한값을 초과하는지 여부를 판단하고, 초과

하는 경우에는, 스텝 S20에서 그와 같은 조합회로의 모두를 추출한 후, 이 추출한 모든 조합회로에 대하여 스텝 S21 S27의 동작을 실행한다. 우선, 스텝 S21에서는, 2V계의 조합회로에 의하여 매핑해야 할 복수개의 조합부 중 최초 및 최후에 각각 위치하는 조합부의 번지를 ks, ke로 하여, 이 각 번지를 ks=1, ke=m으로 초기 설정하고(m은 조합회로를 구성하는 조합부의 개수임), 그 후, 스텝 S22에서 ke-ks=1인지 여부를 판단하여, ke-ks=1의 경우에는 2분 할 수 없어서 바로 제2공정으로 진행하지만, 당초는 ke-ks≠1이므로 스텝 S23에서 중간값 k를 아래 식

k=(ks+ke)/2

에 의하여 연산하여 스텝 S24에서 제1 제k번째까지의 조합부를 3V계 lib에 의하여 매핑하고, 제 k+1 제m번째까지의 조합부를 2V계 lib에 의하여 매핑한다.

그 후는, 상기 매핑 후의 조합회로의 최대 지연시간을 산출하고, 스텝 S25에서 이 지연시간을 설계상의 지연 상한값과 비교하며, 상한값을 초과하는 경우에는 제 k+1 제m번째까지의 조합부를 또 2분 해야 하고, 스텝 S26에서 최초의 번지 ks를 상기에서 구한 중간값 k로 설정(ks=k)하는 한편, 상한값 이하의 경우에는 제 1 제 k번째까지의 조합부를 또 2분 해야 하며, 스텝 S27에서 마지막의 번지 ke를 상기 중간값 k로 설정하여(ke=k) 각각 상기 스텝 S22로 되돌아간다. 그리고 스텝 S22에서 ke-ks=1이 되면, 2분 탐색법에 의한 조합회로의 앞부분과 뒷부분의 경계가 탐색되었다고 판단하여 제2 공정으로 나아간다.

제2 공정 및 제3 공정은 상기 제1 실시예와 같으므로, 제1 실시예의 제13도 흐름도와 동일 스텝에 동일 번호를 붙여 그 설명을 생략한다.

따라서, 본 실시예에서는, 예를 들면 20단의 논리게이트로 구성되는 조합회로가 임계경로를 가지는 경우에, 최초는 신호의 흐름에 따라 전반 10단을 3V lib, 후반 10단을 2V lib에서 재합성한 후, 최대 지연 〉 상한값의 조건을 조사하고, 예(YES) 라면 상기 후반 10단을 또 2분하여 종점에 연결되는 5단을 2V lib, 그 외를 3V lib로 재합성한다. 또 아니오(NO)라면 상기 전반 10단을 또 2분하여 기점에 연결되는 5단을 3V lib, 그 외를 2V lib로 재합성한다. 또 최대지연 〉 상한값의 조건을 조사하고, 이 과정을 반복한다. 2분 탐색법을 이용하면, 수회의 재합성 처리로 상기 경계의 탐색을 할 수 있으므로, 처리의 고속화가 가능하다.

(제3실시예)

제21도는 본 발명의 제3 실시예를 나타낸다. 본 실시예에서는 조합회로의 앞부분과 뒷부분의 경계를 개략적으로 견적하는 구성이다.

즉, 제21도에 있어서, 논리합성을 시작하여 스텝 S1에서 HDL을 이용한 기능설계를 실행한 후, 스텝 S2에서 상기 HDL 기술에 의거하여 고전압(3V) lib에 의하여 조합회로를 매핑한 경우의 각 조합회로의 신호전파 지연시간을 견적하고, 스텝 S3에서 이 견적 결과가 설계상의 지연 상한값을 초과하는지 여부를 판단하고, 지연 상한값을 초과하는 경우에는, 스텝 S4에서 제15도 내지 제18도에 나타낸 바와 같이 상기 입력한 HDL 기술을 수정하거나 또는 기능설계를 다시 고쳐 새로운 HDL 기술을 작성한다.

그 후, 스텝 S30 S37(제1공정)에 있어서, 조합회로의 앞부분과 뒷부분의 경계를 개략적으로 산출하여 그 앞부분을 3V의 고전압원(15)을 전압원으로 하는 제2조합회로로 합성하고, 그 뒷부분을 2V 저전압원(16)을 전압원으로 하는 제1 조합회로로 합성한다.

상세하게 설명하면, 제1 공정에서, 우선 스텝 S30에서는, 모든 조합회로를 2V lib에 의하여 매핑한 경우 각 조합회로의 신호전파 지연시간을 견적하고, 스텝 S31에서 그 각 지연시간을 설계상의 지연 상한값과 비교하여, 상한값 이하의 경우에는 스텝 S32에서 지연시간이 상한값 이하의 조합회로를 2V lib에 의하여 매핑한다.

한편, 지연시간이 상한값을 초과하는 경우에는, 스텝 S33에서 지연견적 결과가 상한값을 초과하는 모든 조합회로를 추출한 후, 그 각 조합회로에 대하여 스텝 S34 S37, S32의 동작을 실행한다. 우선, 스텝 S34에서는, 지연 견적결과를 상한값으로 제산하여 그 제산결과에 의하여 3V lib와 2V lib의 존재비율 P를 산출하고, 스텝 S35에서 조합회로를 구성하는 논리게이트(조합부)의 단수에 상기비율 P를 승산하여 3V lib의 매핑범위, 즉 앞부분을 구성하는 논리게이트의 범위를 산출한다. 그 후, 스텝 S36에서 각 논리게이트가 상기 산출한 3V lib의 매핑 범위에 있는지의 여부를 판단하고, 이 범위에 있는 경우에는 스텝 S37에서 그 논리게이트를 3V lib에 의하여 매핑하며, 이 범위에 없는 경우에는 스텝 S32에서 그 논리게이트를 2V lib에 의하여 매핑한다.

제2 공정 및 제3 공정은 상기 제1 실시예와 같으므로, 제1 실시예의 제13도 흐름도와 동일 스텝에 동일 번호를 붙여 그 설명을 생략한다.

따라서, 본 실시예에서는, 예를 들면 3V lib의 지연을 「1」로 한 경우의 2V lib의 지연을 1.8로 하고 설계상의 지연 상한값을 50ns라 가정하면, 임계경로의 지연이 90ns인 경우는 임계경로 전체를 3V lib의 합성범위로 한다. 또 임계경로의 지연이 50ns인 경우는, 임계경로 3V lib의 합성범위는 없고 모든 조합부가 2V lib에서 합성된다. 또 임계경로의 지연이 60ns인 경우는 임계경로의 기점으로부터 1/4의 범위가 앞부분이 되고, 이 범위가 3V lib의 구성범위이며, 70ns인 경우는, 임계경로의 기점으로부터 1/2의 범위가 앞부분이 되어 3V lib에서 합성되고, 80ns인 경우는 임계경로의 기점으로부터 3/4의 범위가 앞부분이 되어 3V lib에서 합성된다.

본 실시예에서는, 3V lib에 의하여 합성되는 조합부와 2V lib에 의하여 합서오디는 조합부의 경계(앞부분과 뒷부분의 경계)를 대충 계산하여 산출하므로, 논리합성의 처리속도가 빠르다. 다만, 상기 경계의 산출 정밀도는 높지 않다. 통상의 논리합성에서는, 한번 논리합성한 후 그 합성결과를 기초로 재차 합성하여 회로의 최적화를 진행시킬 수 있으므로, 이 경우에는 최초의 논리합성을 본 실시예에 의하여 실행하고, 그 후의 재합성을 상기 제1 또는 제2 실시예에 의하여 실행하면, 논리합성 처리속도의 향상을 도모하면서, 경계의 산출 정밀도를 높이고, 고전압(3V) lib에 의하여 합성되는 조합부의 개수를 최소한으로 제한할 수 있어 한층 저소비전력화를 도모할 수 있다.

(제4실시예)

제22도는 본 발명의 제4 실시예를 나타낸다. 본 실시예에서는, 조합회로를 구성하는 복수의 조합부 중 소정의 조합부를 3V lib에서 매핑한 쪽이 저소비전력의 면에서 좋은 반도체 집적회로를 합성할 수 있는 것이 미리 판명되어 있는 경우에, 이와 같은 소정의 조합부에 대하여 미리 3V lib에 의한 매핑을 실행하도록 지정하는 것이다.

즉, 제22도의 논리합성방법에서는, 제1공정(스텝 S5 S9) 전의 단계에서, 스텝 S40 S45의 공정이 추가된다. 이 추가공정에서는, 우선 스텝 S40에서 소정의 조합부를 3V lib에 의하여 매핑하는 것을 논리설계자가 지정하는지의 여부를 판단하고, 지정하는 경우에는 스텝 S41에서 HDL에 소정의 조합부를 3V lib에 의하여 매핑하도록 지정한다. 이 지정은, 예를들면 제24도에 나타내는 바와 같이 8개의 입력데이터 a, b, c, d, e, f, g ,h를 가산하는 가산기 통상의 기능 기술에 대한 것이고, 제23도에 나타내는 바와 같이 최후부에 위치하는 가산소자를 3V lib에 의하여 매핑하도록 지정한다. 제23도의 『// low_power_synthesis_high_voltage』부분이 이 지정부분이다.

그 후, 기능기술을 입력하고 스텝 S42에서 조합부의 상기와 같은 지정의 유무를 판단하며, 지정이 없는 경우에는 모든 조합부를 2V lib에 의하여 매핑하고, 지정이 있는 경우에는 스텝 S43에서 그 지정된 조합부를 3V lib에 의하여 매핑한다.

이어서, 스텝 S44에서 2V계의 조합부 출력이 3V계의 조합부에 입력된 형태에서의 2V계 조합부와 3V계 조합부의 혼재 유무를 판단하고, 그 혼재가 있는 경우에 한하여 스텝 S45에서 그 혼재에서의 3V계 조합부의 전단에 레벨변환회로를 삽입한다. 이 삽입하는 레벨변환회로는 제6도(a)에 나타낸 레벨변환회로(35), 제6도(b)에 나타낸 레벨변환회로(35')가 사용된다.

제1공정(스텝 S5 S9), 제2공정(스텝 S10 S12) 및 제3공정(스텝 S13 S15)은 상기 제1 실시예의 제13도 흐름도와 동일하므로, 동일 스텝에 동일 부호를 붙여 그 설명을 생략한다. 다만, 제2공정에서, 스텝 S10에서 혼재가 없는 경우에는, 스텝 S50에서 3V계의 조합부와 다른 3V계의 조합부 사이에 레벨변환회로가 있는지 여부를 판단하고, 레벨변환회로가 있는 경우에는 스텝 S51에서 그 레벨변환회로를 삭제하는 것이 추가된다. 이것은, 제2공정의 재합성 처리에 의하여 2V계의 조합부가 3V계의 조합부로 치환된 경우에, 그 치환된 3V계의 조합부와 다른 3V계의 조합부 사이에 레벨변환회로가 포함되는 것이 상정되기 때문이다.

따라서, 본 실시예에서는, 제24도 통상의(3V lib에 의하여 매핑하는 정의 조합부 지정이 없음) 기능기술을 이용한 제13도(제1 실시예)의 논리합성방법은 제25도(a)에 나타내는 7개의 가산소자(연산소자)를 가지는 가산기에 있어서, 제25도(c)에 해칭으로 나타낸 바와 같이, 전단에 위치하는 4개의 가산소자를 3V lib에 의하여 합성함과 동시에, 그 전단에 위치하는 8개의 레지스터를 2V/3V계의 플립플롭회로에 의하여 매핑하는 구성이 되지만, 본 실시예에서는 제25도(b)에 해칭으로 나타낸 바와 같이, 최후단에 위치하는 가산소자만을 3V lib에 의하여 합성하고, 그 전단에 레벨변환회로를 배치하는 구성이 되며, 본 실시예의 쪽이 3V lib에서 합성되는 조합부의 개수가 적고, 저소비전려고하를 도모할 수 있다.

(제5실시예)

제26도 내지 제28도는 본 발명의 제5 실시예를 나타낸다. 본 실시예에서는, 신호전파 지연시간이 상한값을 초과하는 조합회로 중, 3V의 고전압원(15)을 전압원으로 하는 제2 조합회로로 합성하는 부분을 앞부분에 한정하지 않고 면적 또는 처리속도의 관점에서 적절하게 선택하도록 한 것이다.

즉, 제26도는 상기 제3 실시예를 나타내는 제21도의 흐름도 중 전반 부분을 나타내고, 제27도는 흐름도의 후반 부분을 나타내며, 이 흐름도의 스텝 S35를 제26도의 스텝 S60 S69로 변경하고, 이 흐름도의 스텝 S10과 스텝 S13사이에 제27도의 스텝 S70 및 S71을 추가하고 있다.

구체적으로, 제26도에서는, 스텝 S34에서 신호전파 지연시간의 견적 결과와 설정상의 지연상한값에 의거하여 1개의 조합회로 중에서의 고전압(3V) lib와 저전압(2V) lib의 비율 P를 산출한 후, 스텝 S60에서 그 조합회로의 전체 게이트 단수와 상기 비율 P를 승산하여 그 조합회로 중에서 고전압(3V) lib에서 매핑되는 게이트 단수(고전압(3V) lib의 매핑범위)를 산출한다. 계속하여, 스텝 S61에서 상기 고전압(3V) lib의 매핑범위(소정 사이즈)를 검색범위(윈도우)로 하여, 1개의 조합회로 중에서의 윈도우 개수 n을 산출한 후, 스텝 S62 이후에서 복수개 n의 윈도우를 각각 평가한다. 즉, 스텝 S62에서 우선 변수 k를 초기값(=0)으로 설정한 후, 스텝 S63에서 k=k+1로 설정하여 스텝 S64에서 제1번째 윈도우내의 조합부를 설정하고, 스텝 S65에서 이 윈도우내의 조합에 대하여 그 면적 및 지연을 평가한다. 그 후, 스텝 S66에서 변수 k를 상기 윈도우의 개수 n과 비교하고, k< n 경우에는 상기 스텝 S63으로 되돌아가서 차례로 제2 제n번째 윈도우 내의 조합부에 대하여 그 합계면적 및 지연을 평가한다. 그리고 스텝 S67에서 복수개 n의 윈도우 중 그 윈도우 내에 존재하는 조합부의 합계면적이 최소 또는 지연이 최소인 윈도우를 선택하고, 스텝 S68에서 이 선택한 윈도우가 제1번째 윈도우가 아닌 경우에는 스텝 S69에서 상기 선택한 윈도우의 전단에 레벨변환회로를 삽입한다.

또 제27도에서는, 스텝 S10에서 2V계의 조합부와 3V계 조합부의 혼재가 없어진 경우에는, 스텝 S70에서 3V계의 조합부와 다른 3V계의 조합부 사이에 레벨변환회로가 있는지 여부를 판단하고, 그 레벨변환회로가 있는 경우에는, 제2공정의 재합성 처리에 의하여 3V계의 조합부와 다른 3V계의 조합부 사이에 레벨변환회로가 포함되어진 상황이므로, 스텝 S71에서 그 레벨변환회로를 삭제하는 것이 추가된다.

따라서, 본 실시예에서는 다음의 효과를 얻는다. 즉, 제28도에 나타내는 조합회로(즉, 상기 제25도에 나타낸 7개의 가산소자를 가지는 가산기)에서는, 제28도 (a), (b) 및 (c)에 각각 해칭으로 나타낸 제1, 제2 및 제3번째의 윈도우에서는 제28도(c)의 제3번째 윈도우가 가산소자의 합계면적(개수)이 최소가 되므로, 이 범위를 고전압(3V) lib에서 매핑한다. 따라서, 고전압(3V) lib에서 매핑되는 가산소자의 개수를 최소로 할 수 있어 한층 저소비 전력화가 도모된다.

(제6실시예)

제33도 및 제34도는 본 발명의 제6 실시예를 나타낸다. 상기 제4 실시예에서는 가산기에서 최후단에 위치하는 조합부를 3V lib에 의하여 합성한 것에 대신하여 캐리세이브 방식의 병렬 승산기 최후단에 위치하는 조합부를 3V lib에 의하여 합성한 것이다.

제33도는 캐리세이브 방식의 병렬승산기 최후단에 위치하는 조합부를 3V lib에 의하여 합성해야 할 지정을 포함하는 기능기술을 나타내고, 이 기능기술이 논리합성장치(60)의 판독기입부(61)에 입력된다.

제35도는 상기 판독기입부(61)에 입력되는 기능기술에 의하여 논리합성된 캐리세이브 방식의 병렬승산기를 나타낸다. 제34도의 병렬승산기는 복수의 논리곱회로(90)와 복수의 반가산기(HA) 및 전가산기(FA)가 어레이 형상으로 배치되고, 최후단에 다비트의 가산기(91)가 배치되어 구성되며, 이 최하단의 전가산기(91)가 3V lib에 의하여 합성되고, 그 외는 2V lib에 의하여 합성된다. 또 최하단의 전가산기(91) 전단에는 16개의 레벨변환회로(92)가 배치된다. 이 각 레벨변환회로(92)는 전단의 가산기로부터 입력되는 신호의 레벨(2V)을 고레벨(3V)로 변환하여 출력한다.

따라서, 본 실시예에서는 캐리세이브 방식의 병렬승산기이므로, 회로의 대부분을 차지하는 가산기의 어레이는 통상의 가산기로 좋으나, 최하단의 가산기(91)는 고속으로 할 필요가 있다. 이 경우, 고속화를 위해서는, 통상, 최하단의 가산기(91)는 올림수 예견(carry look-ahead)의 가산기 등을 이용하지만, 이 최하단의 가산기(91)를 고전압(3V)계로 하고 있으므로, 회로규모 및 소비전력의 면에서 우수한 회로를 생성할 수 있는 동시에, 종래보다도 고속인 승산기를 생성하는 것이 가능하다.

본 실시예에서는 캐리세이브 방식의 병렬승산기에 대하여 설명하였으나, 본 발명의 연산회로는 그 외ㅡ 감산기, 제산기, 누적가산기, 누적감삼기, 누적승산기 또는 누적제산기에 대해서도 마찬가지로 적용할 수 있는 것은 물론이다.

또 이상의 설명에서는 칩(20)의 내부코어부(22) 내에 형성된 메모리셀부 E 이외를 구성하는 기능블록 A에 대하여 적용하였으나, 다른 기능블록 B D에 대해서도 마찬가지로 적용할 수 있는 것은 물론이고, 메모리셀부 E 이외를 구성하는 복수의 기능블록 A D 상호간에 있어서 마찬가지로 본 발명을 적용할 수 있는 것은 물론이다.

따라서, 본 실시예의 논리합성방법에 의하면, 임계경로를 가지는 조합회로를 구성하는 조합부 중 일부의 조합부만을 3V의 고전압계로 하고, 그 조합회로의 전단에 위치하는 레지스터 내에 레벨변환회로를 배치하였으므로, 임계경로를 가지는 조합회로 내에서 그 임계경로만을 고전압원으로 구동하는 경우와 같이 그 임계경로를 가지는 조합회로 내에 복수의 레벨변환회로를 배치하는 위치를 개별적으로 판단할 필요가 없는 동시에, 필요로 하는 레벨변환회로의 개수를 적게 할 수 있어 반도체 집적회로의 설계가 매우 용이하게 된다. 게다가 임계경로를 가지는 조합회로의 개수는 반도체 집적

회로에 구비하는 조합회로의 개수에 비하여 매우 소수이고, 그와 같은 임계경로의 조합회로를 구성하는 조합부 중 일부의 조합부만이 3V 고전압원(15)으로 구동되므로, 소비전류의 증대는 매우 적게 억제되는 한편, 임계경로를 가지지 않는 모든 조합회로는 2V 저전압원(16)으로 구동되므로, 반도체 집적회로 전체로서 소비전류를 적게 할 수 있어 저소비전력화가 가능하다.

제3도의 본 실시예에 관한 반도체 집적회로와, 제30도의 종래 반도체 집적회로를 비교한다. 제30도의 종래 반도체 집적회로에 있어서, 각 조합회로(100, 102, 104, 106)의 신호전파 지연시간은 도시한 바와 같이 6ns, 12ns, 14.4ns, 8ns인 것으로 하면, 조합회로의 최대 지연은 조합회로(104)의 14.4ns이므로, 제30도의 회로의 최고 동작 주파수는

$1000/(2+14.4)=60.98\text{MHz}$

가 된다.

한편, 제3도 본 실시예의 반도체 집적회로에 있어서, 임계경로를 가지는 조합회로(5)는 그 앞부분이 고전압(3V)계, 그 뒷부분이 저전압(2V)계로 각각 구성되고, 그 지연시간은 설계상의 지연 상한값(예를들면 20ns)이다. 임계경로를 가지지 않는 조합회로(1, 3, 7)의 지연시간은 전원전압을 3V의 고전압으로부터 2V의 저전압으로 저하시켰으므로, 논리셀의 지연이 커지는 것에 따라 커진다. 또 제3도의 반도체 집적회로에서는 3V의 고전압원에 대하여 2V의 저전압원에서는 셀의 지연시간이 1.5배가 된다고 가정한다. 임계경로를 가지지 않는 조합회로(1, 3, 7)의 지연시간 중 최대는 조합회로(3)의 18ns이다.

2V 저전압원(16)과 3V 고전압원(15)의 2개의 전원을 구비한 결과, 임계경로를 가지는 조합회로(5)의 지연은 18ns가 된다(3V는 고전압원(15)으로 구동하는 경우에 대하여 지연이 1.25배가 된다고 가정하고 있다). 플립플롭회로의 클록 입력시부터 데이터 출력시까지의 각 신호전파 지연시간이 2ns, 조합회로(3) 및 조합회로(5)의 지연시간이 18ns이므로, 본 실시예의 반도체 집적회로의 최고 동작 주파수는,

$1000/(2+18)=50\text{MHz}$

가 되지만, 최대 지연시간이 설계상의 지연 상한값 이하라면 문제는 없다. 즉, 임계경로를 가지지 않는 조합회로(1, 3, 7)를 2V의 저전압원(16)으로 구동하고, 임계경로를 가지는 조합회로(5)를 3V의 고전압원(15) 및 2V의 저전압원(16)으로 구동하여도 설계상의 최고동작 주파수를 만족할 수 있다.

제35도는 설계상의 지연 상한값을 20ns로 하는 종래의 반도체 집적회로와 본 발명의 반도체 집적회로에 있어서, 플립플롭회로의 클록 입력시부터 다음단의 플립플로보히로의 데이터 입력시 까지의 지연, 즉 레지스터와 조합회로의 지연시간을 합계한 신호전파 지연시간의 분포를 표시하고 있다. 제35도(a)는 종래의 3V 전압계의 반도체 집적회로의 지연분포, 제35도(b)는 본 실시예의 2V계 및 3V계 혼재의 반도체 집적회로의 지연분포이다. 종래의 반도체 집적회로에서 전원전압만을 3V 고전압계로부터 2V 저전압계로 변경하면, 최대 지연시간이 20ns로부터 30ns가 되고, 임계경로의 지연시간이 설계상의 지연 상한값 20ns를 초과하는 것에 대하여, 제3도 본 실시예의 반도체 집적회로에서는 조합회로를 2V의 저전압계에서 합성한 경우의 지연시간이 20ns를 초과하는 임계경로를 가지는 조합회로의 각각에 대하여 그 일부의 조합부만을 3V의 고전압계로 변경하고, 나머지의 조합부 및 다른 임계경로를 가지지 않는 조합회로는 2V의 저전압계로 하고 있으므로, 설계상의 지연 상한값 20ns를 만족할 수 있다. 제35도(b)는 이 때의 지연 분포를 표시하고 있다.

이어서, 회로규모를 종래의 반도체 집적회로와 본 발명의 반도체 집적회로에 대해서 비교한다.

종래의 반도체 집적회로의 회로규모를 S, 반도체 집적회로 중에 차지하는 플립플롭회로의 비율을 20%, 플립플롭회로 전체중에서 레벨변환회로를 가지는 플립플롭회로가 차지하는 비율을 10%, 본 발명의 2V/3V계의 플립플롭회로가 종래의 플립플롭회로와 회로구성이 다른 것에 의한 면적의 증대를 10%로 하면, 본 발명의 반도체 집적회로의 회로규모는 다음 식으로 나타내는 바와 같이,

$S\times0.8+S\times0.18+S\times1.1\times0.02=S\times1.002$

가 되고, 회로 규모의 증가는 0.2%에 머무른다.

또 상술한 조건에서, 플립플롭회로 전체중에서 레벨 변환하다 회로를 가지는 플립플롭회로가 차지하는 비율을 5%로 하면, 본 발명의 반도체 집적회로의 회로규모는 다음 식으로 나타내는 바와 같이,

$S\times0.8+S\times0.19+S\times1.1\times0.01=S\times1.001$

가 되고, 회로 규모의 증가는 0.1%에 머무른다.

(제7실시예)

제36도 내지 제39도는 본 발명의 제7실시예를 나타낸다. 이상의 각 실시예에서는, 고전압계(3V계)의 조합회로를 이용하는 경우에는, 그 전단에 위치하는 레지스터는 레벨변환회로를 갖는다. 이 레벨변환회로를 설치하는 이유는, 예를들면 제4도에 나타낸 플립플롭회로(레지스터)(2)의 출력버퍼(32)를 구성하는 인버터(34c, 34d)에 관통전류가 흐르는 것을 방지하기 위한 것이다. 이 관통전류가 흐르는 이유를 이하에 상술한다. 제42도는 상기 인버터의 내부 구성을 나타낸다. 제42도에 있어서, 고전압(3V) 전원 Vo와 접지전원 VSS 사이에 P 채널형 및 N 채널형 트랜지스터 Tp, Tn이 직렬로 배치된다. 상기 트랜지스터의 게이트에는 신호가 입력되고, 접속점이 인버터의 출력단자이다. 상기 입력신호의 " H" 레벨은 저전압원(16)의 저전압, 즉 2V이다. 상기 입력신호가 " H" 레벨일 때, N 채널형 트랜지스터 Tn은 ON으로 되지만, P채널형 트랜지스터 Tp는 완전하게는 OFF 되지 않아, 그 결과, 고전압원(15)으로부터 저전압원(16)에 관통전류가 흐른다.

그러나 상기 고전압원(15)과 저전압원(16)의 전위차가 상기 P 채널형 틀내지스터 Tp의 임계치 전압 Vt 이하인 경우에는, 상기 P 채널형 트랜지스터 Tp는 확실하게 OFF로 되어 관통전류는 흐르지 않는다. 따라서, 상기 전위차를 상기 P 채널형 트랜지스터 Tp의 임계치 전압 Vt이하로 설정하고, 예를 들면 임계치 전압 Vt=0.5V 일 때 고전압원(16)의 고전압을 3V, 저전압원(15)의 저전압을 2.7V로 각각 설정하면, 레벨변환회로를 설치할 필요가 없게 된다. 본 실시예는 이 경우의 예를 나타낸다.

제36도에 나타낸 기능블록에서는 3개의 조합회로(1, 3, 7)는 2.7V의 저전압원을 전압원으로 하는 2.7V계의 조합회로(제1조합회로)로 구성되고, 그 외의 조합회로(5)는 3V의 고전압원을 전압원으로 하는 3V계의 조합회로(제2조합회로)로 구성된다. 플립플롭회로(2, 4, 6 ,8)는 2.7V의 저전압원을 전압원으로 하는 2.7V계의 것으로 구성된다. 상기 2.7V계의 플립플롭 회로는 구체적으로는 상기 제4도에 나타낸 구성과 동일하고, 그 전원전압만이 다르다.

상기 제36도의 기능블록을 구성하는 논리합성방법의 일례를 제37도에 나타낸다. 제37도에서는 스텝 S1에서 저전압(2.7V)lib에 의하여 각 조합회로를 매핑한 경우의 각 조합회로의 신호전파 지연시간을 견적하고, 스텝 S2에서 이견적 결과가 설계상의 지연 상한값을 초과하는지 여부를 판단하며, 지연 상한값 이하의 조합회로에서는, 스텝 S3에서 그 조합회로는 2.7V의 저전압원을 전압원으로 하는 제1 조합회로로 합성하고, 지연 상한값을 초과하는 조합회로에서는 스텝 S4에서 그 조합회로를 3V의 고전압원을 전압원으로 하는 제2 조합회로로 합성한다. 그 후, 스텝 S5에서 플립플롭회로를 2.7V lib의 플립플롭회로로 매핑한다.

제38도는 다른 논리합성방법의 예를 나타낸다. 제38도와 상기 제36도가 다른 점은 최초에 스텝 S1'에서 모든 조합회로 및 플립플롭회로를 2V lib의 조합회로 및 플립플롭회로에 매핑한 후, 스텝 S2'에서 신호전파 지연시간이 설계상의 지연 상한값을 초과한다고 판단한 조합회로를 스텝 S4'에서 2.7V lib의 조합회로로 리매핑하는 점이다. 따라서, 다른 구성은 생략한다.

따라서, 본 실시예에서는, 제39도에 나타내는 바와 같이, 2개의 레지스터 사이에 위치하는 1개의 조합회로(70)의 신호전파 지연시간이 설계상의 상한값을 초과하는 경우에는 이 조합회로(70)의 전체가 제39도에 해칭으로 나타내는 바와 같이 3V lib에서 매핑되고, 그 전단에 위치하는 플립플롭회로가 제39도에 해칭으로 나타내는 바와 같이 3V계이고 레벨변환회로를 가지지 않는 플립플롭회로에서 매핑된다. 이 경우, 상기 3V lib에서 매핑된 조합회로(70)에서는 2V lib에서 매핑된 조합회로(71a, 71b)로부터의 저전압(2.7V)의 신호가 입력되는 구성으로 되어 있으나, 상기 3V lib에서 매핑된 조합회로(70)는 상기 저전압의 신호를 받아도 정상으로 동작하므로, 상기 조합부(71a, 71b)는 3V lib에서 리매핑되지 않는다.

제40도는 본 실시예의 변형예를 나타낸다. 제7실시예에서는, 신호전파 지연시간이 설계상의 지연 상한값을 초과하는 조합회로에서는, 그 조합회로 전체를 3V lib로 매핑하였으나, 그 일부만을 3V lib로 매핑하고 잔여부는 2.7V lib로 매핑한 것이다. 어느 부위를 3V lib에 매핑하는가의 방법은 상기 제5실시예의 윈도우를 이용하는 제26도 및 제27도에 나타낸 방법과 동일하다. 본 변형예의 제40도에서는 레벨변환회로가 불필요하므로, 상기 제5실시예를 나타낸 제26도 및 제27도에 비하여 레벨변환회로의 삽입(제26도의 스텝 S68 및 S69)과 이것에 수반하는 레벨변환회로의 삭제(스텝 S70 및 S71)가 생략된다.

제41도는 본 실시예의 효과를 나타낸다. 제41도로부터 판명되는 바와 같이, 설계상이 지연 상한값을 20ns로 하는 경우에 제41도(a)에 나타낸 바와 같은 3V 전압계의 반도체 집적회로의 지연분포에 대하여, 상기 3V의 전압계를 2.7V의 저전압계로 변경하면 제41도(b)에 점선으로 나타낸 바와 같이 최대 지연시간이 20ns로부터 24ns로 길어지고, 설계상의 지연 상한값을 초과하지만, 제41도(b)에 실선으로 나타낸 본 실시예의 2.7V계 및 3V계 혼재의 반도체 집적회로의 지연 분포에서는 설계상의 지연 상한값 20ns를 만족할 수 있다.

상술한 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 첨부된 특허청구범위에 개시된 본 발명의 사상과 범위를 통해 각종수정, 변경, 대체 및 부가가 가능할 것이다.

(57) 청구의 범위

청구항 1.

하나의 신호 전파경로를 갖는 조합회로를 복수개 구비하는 것과 함께 상기 적어도 하나의 조합회로의 전단 및 후단에 배치되는 레지스터를 구비하는 반도체 집적회로의 설계방법에 있어서, 상기 어느 하나의 조합회로의 신호전파 경로의 신호전파 지연시간이 설계상의 지연 상한값 이하인 경우에는 이 조합회로를 저전압원을 전압원으로 하는 제1 조합회로로 생성하는 공정과, 상기 어느 하나의 조합회로의 신호 전파경로의 신호전파 지연시간이 설계상의 지연 상한값을 초과하는 경우에는, 이 조합회로의 신호 전파경로의 신호 전파 지연시간이 설계상의 지연 상한값 미만으로 되도록 이 조합회로의 일부를 고전압원을 전압원으로 하는 것과 함께, 이 조합회로의 잔여부를 저전압원을 전압원으로 하는 제2 조합회로로 생성하는 공정을 구비하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 2.

제51항에 있어서, 상기 제2 조합회로의 생성공정에서, 조합회로의 일부는 그 조합회로의 앞부분이고, 조합회로의 잔여부는 그 조합회로의 뒷부분인 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 3.

제52항에 있어서, 상기 조합회로의 생성공정은, 최초로 모든 조합회로를 제1 조합회로를 이용하여 합성하고, 다음으로, 상기 합성한 제1 조합회로의 신호전파 지연시간이 설계상의 지연 상한값을 초과하는 지 여부를 판정하여, 설계상의 지연 상한값을 초과하는 제1 조합회로가 있는 경우에는 그 모든 제1 조합회로의 앞부분을 제2 조합회로로 재합성하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 4.

제52항 또는 제53항에 있어서, 상기 조합회로의 생성공정에서, 신호전파 지연시간이 설계상의 지연 상한값을 초과하는 제1 조합회로가 있는 경우에는 그 제1 조합회로를 복수의 조합부에 개념적으로 구획하여 우선 제1 번째의 조합부를 제2 조합회로로 재합성하고, 그 후, 상기 재합성 후의 조합회로의 신호전파 지연시간이 설계상의 지연 상한값을 초과하는지 여부를 판정하며, 이어서, 재합성후의 조합회로의 신호전파 지연시간이 아직 설계상의 지연상한값을 초과하는 경우에는, 상기 제1 조합회로내의 신호전파 방향을 향하여 다음에 위치하는 조합부에 대하여 상기 제2 조합회로로의 재합성 및 상기 합성 후의 신호전파 지연시간의 판정을 반복하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 5.

제52항 또는 제53항에 있어서, 상기 조합회로의 생성공정에서, 제1 조합회로의 앞부분을 제2 조합회로에 재합성할 때, 그 제1 조합회로를 복수의 조합부로 개념적으로 구획하고, 그 복수의 조합부중 제2 조합회로로 재합성되는 앞부분으로 되는 조합부를 2분 탐색법을 이용하여, 상기 제1 조합회로의 신호전파 지연시간이 설정상의 지연 상한값 이하로 되고 제2 조합회로의 개수가 최소로 되기까지 탐색하는 것을 반복하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 6.

제52항에 있어서, 상기 조합회로의 생성공정은, 최초로, 제1 조합회로 및 저전압원에 의해 구동되는 레지스터를 이용하여 상기 저전압원에 의해 구동되는 레지스터와 상기 제1 조합회로를 합친 신호전파 지연시간을 견적하고, 다음으로, 상기 견적 결과가 설계상의 지연 상한값을 초과하는지 여부를 판정하여, 설계상의 지연 상한값 이하로 되는 제1 조합회로가 있는 경우에는 그 제1 조합회로를 제1 조합회로로 합성하고, 상기 견적결과가 설계상의 지연 상한값을 초과하는 제1 조합회로가 있는 경우에는 그 제1 조합회로의 앞부분을 제2 조합회로로 합성하는 공정인 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 7.

제56항에 있어서, 상기 조합회로의 생성공정에서, 신호전파 지연시간의 견적 결과가 설계상의 지연 상한값을 초과하는 제1 조합회로가 있는 경우에는, 그 제1 조합회로를 복수의 좋바부로 개념적으로 구획하고, 신호전파 지연시간의 견적 결과와 설계상의 지연 상한값의 비율에 따라 제2 조합회로에 합성해야 할 조합부의 개수와 제1 조합회로에 합성해야 할 조합부의 개수의 비율을 산출하며, 그 후, 상기 제1 조합 회로를 구성하는 조합부의 개수와 상기 산출한 비율에 따라 제2 조합회로로 합성해야 할 앞부분의 범위를 산출하고, 다음으로, 상기 산출한 앞부분의 범위에 있는 조합부를 제2 조합회로로 합성하며, 잔여부를 제1 조합회로로 합성하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 8.

제51항에 있어서, 상기 조합회로의 생성공정 전에, 조합회로의 구성부분중 제2 조합회로로 합성해야 할 일부를 지정하고, 상기 지정한 조합회로의 일부를 제2 조합회로로 합성하는 것과 함께, 이 합성한 제2 조합회로의 전단에 고전압원을 전압원으로 하는 레벨변환회로를 배치하는 공정을 구비하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 9.

제58항에 있어서, 지정되는 조합회로의 일부는 그 조합회로의 뒷부분인 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 10.

제58항 또는 제59항에 있어서, 지정은 조합회로의 구성부분중 제2 조합회로로 합성해야 할 일부를 지정하는 기술(記述)을 포함하는 기능기술(機能機述)에 의하여 실행되고, 상기 기능기술을 상기 조합회로의 생성공정 전에 입력하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 11.

제58항 또는 제59항에 있어서, 제2 조합회로와 다른 제2 조합회로 사이에 레벨변환회로가 있는지 여부를 판정하여, 레벨변환회로가 있는 경우에는 이 레벨변환회로를 삭제하는 공정을 추가로 구비하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 12.

제51항에 있어서, 상기 조합회로의 생성공정에서, 신호전파 지연시간이 설계상의 지연 상한값을 초과하는 조합회로 중에 검색범위로서의 소정 사이즈의 윈도우를 복수개 설정하고, 상기 복수개의 윈도우 중 그 각 윈도우 내에 있는 조합부의 합계면적이 최소 또는 지연이 최소인 윈도우를 선택하며, 이 선택한 윈도우 내의 조합부를 상기 조합회로의 일부로서 제2 조합회로로 합성하는 것과 함께, 상기 합성한 제2 조합회로의 전단에 고전압원을 전압원으로 하는 레벨변환회로를 배치하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 13.

제62항에 있어서, 상기 윈도우의 수정 사이즈는 상기 신호전파 지연시간과 상기 설계상의 지연 상한값에 기초하여 산출되는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 14.

제62항에 있어서, 제2조 조합회로와 다른 제2 조합회로 사이에 레벨변환회로가 있는지 여부를 판정하여, 레벨변환회로가 있는 경우에는 이 레벨변환회로를 삭제하는 공정을 추가로 구비하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 15.

제51항 또는 제52항에 있어서, 제1 조합회로를 제2 조합회로로 재합성한 결과, 새롭게 어느 하나의 제1 조합회로의 출력이 상기 합성된 제2 조합회로에 입력된 형태의 혼재가 생겼는지 여부를 판단하여, 그 혼재가 생긴 경우에는 그 제1 조합회로를 제2 조합회로로 재합성하는 것을 반복하는 공정을 추가로 포함하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 16.

제51항에 있어서, 복수의 레지스터 및 그 각 레지스터 사이에 위치하는 복수의 조합회로를 기술한 레지스터 트랜스퍼 레벨의 설계 데이터를 입력하고, 상기 조합회로의 생성공정에서의 논리셀의 접속정보는 상기 입력된 레지스터 트랜스퍼 레벨의 설계 데이터로부터 생성되는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 17.

제51항에 있어서, 논리셀의 접속정보를 기재한 네트리스트를 입력하고, 상기 조합회로의 생성공정에서의 논리셀의 접속정보는 상기 입력한 네트리스트에 기재된 논리셀의 접속정보로부터 생성되는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 18.

제51항에 있어서, 논리셀의 접속정보를 나타내는 스키마틱(schematic; 논리회로도)을 입력하고, 상기 조합회로의 생성공정에서의 논리셀의 접속정보는 상기 입력한 논리회로도에 나타낸 논리셀의 접속정보로부터 생성되는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 19.

제66항, 제67항 및 제68항 중 어느 한 항에 있어서, 입력된 레지스터 트랜스퍼 레벨, 입력된 네트리스트 또는 입력된 논리회로도에 기초하여 논리셀의 접속정보를 최적화하고, 상기 최적화된 논리셀의 접속정보를 상기 조합회로의 생성공정에서의 논리셀의 접속정보로서 이용하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 20.

제51항에 있어서, 상기 제2의 조합회로중 저전압원을 전압원으로 하는 잔여부의 출력이 상기 고전압원을 전압원으로 하는 다른 제2의 조합회로의 일부에 입력된 형의 존재의 유무를 판단하여, 그 혼재가 있는 경우에는 그 제2의 조합회로의 상기 저전압원을 전압원으로 하는 잔여부를 상기 고전압원을 전압원으로 하는 제2 조합회로의 일부로 재생성하는 공정을 구비하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 21.

제52항 또는 제70항에 있어서, 상기 각 레지스터가 상기 생성 또는 재생성된 제2 조합회로에 신호를 출력하는 레지스터인지의 여부를 판단하고, 어느 하나의 레지스터가 그 레지스터인 경우에는 이 레지스터를 고전압원을 포함한 전압원을 전압원으로 하는 레지스터로 생성하고, 그 레지스터가 아닌 경우에는 이 레지스터를 저전압원을 전압원으로 하는 레지스터로 생성하는 공정을 구비하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 22.

제71항에 있어서, 각 레지스터의 타이밍을 검증하는 공정을 추가로 구비하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 23.

제51항 또는 제52항에 있어서, 상기 레지스터를 저전압원을 전압원으로 하는 레지스터로 생성하는 공정을 갖는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 24.

제73항에 있어서, 상기 제2의 조합회로의 생성공정에서, 신호전파 지연시간이 설계상의 지연 상한값을 초과하는 조합회로 중에 검색 범위로서의 소정 사이즈의 윈도우를 복수개 설정하고, 상기 복수개의 윈도우 중 그 각 윈도우 내에 있는 조합부의 합계면적이 최소 또는 지연이 최소인 윈도우를 선택하여, 이 선택한 윈도우내의 조합부를 상기 제2 조합회로의 고전압원을 전압원으로 하는 일부로 생성하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 25.

제74항에 있어서, 상기 윈도우의 소정 사이즈는 상기 신호전파 지연시간과 상기 설계상의 지연 상한값에 기초하여 산출되는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 26.

일렬로 배치된 소정 개수의 연산소자를 하나의 단으로 하여 이 일렬의 연산소자가 복수단 배치되며, 최전단의 연산소자는 외부로부터 신호를 수신하고, 상기 최전단의 연산소자를 제외한 각 단의 연산소자는 전단에 위치하는 연산소자로부터의 출력을 수신하며, 최후단의 연산소자는 연산결과를 외부로 출력하는 연산회로에 있어서, 상기 최후단의 연산소자는 고전압원을 전압원으로 하고, 상기 최후단의 연산소자를 제외한 연산소자는 저전압원을 전압원으로 하며, 상기 최후단의 연산소자와 그 전단의 연산소자 사이에는, 상기 고전압원을 전압원으로 하고 상기 최후단의 연산소자의 전단에 위치하는 연산소자로부터의 저전압의 출력신호를 상기 고전압원의 고전압을 갖는 출력신호로 레벨변환하는 레벨변환회로가 배치되는 것을 특징으로 하는 연산회로.

청구항 27.

제76항에 있어서, 연산회로는 복수개의 가산소자를 갖는 가산기인 것을 특징으로 하는 연산회로.

청구항 28.

제76항에 있어서, 연산회로는, 복수개의 논리곱 회로와 복수개의 가산기가 어레이 형상으로 배치되고, 최하단에 다비트의 가산기가 배치된 캐리세이브 방식의 병렬 승산기인 것을 특징으로 하는 연산회로.

청구항 29.

하나의 신호 전파경로를 갖는 조합회로를 복수개 구비하는 것과 함께 상기 적어도 하나의 조합회로의 전단 및 후단에 배치되는 레지스터를 구비하는 반도체 집적회로의 설계방법에 있어서, 상기 어느 하나의 조합회로의 신호전파 경로의 신호전파 지연시간이 설계상의 지연 상한값 이하인 경우에는 이 조합회로를 저전압원을 전압원으로 하는 제1 조합회로로 생성하는 공정과, 상기 어느 하나의 조합회로의 신호전파경로의 신호전파 지연시간이 설계상의 지연 상한값을 초과하는 경우에는 이 조합회로를 고전압원을 전압원으로 하는 제2의 조합회로로 생성하는 공정과, 상기 레지스터를 저전압원을 전압원으로 하는 레지스터로 생성하는 공정을 구비하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 30.

제79항에 있어서, 상기 제2 조합회로는 그 내부의 일부가 고전압원을 전압원으로 하고, 그 내부의 잔여부가 저전압원을 전압원으로 하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 31.

제79항 또는 제80항에 있어서, 상기 고전압원의 전압과 상기 저전압원의 전압의 전위차는 상기 조합회로 및 레지스터를 구성하는 트랜지스터의 임계치 전압 이하의 값으로 설정되는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 32.

제79항 또는 제80항에 있어서, 상기 조합회로의 생성공정은, 최초로, 모든 조합회로를 제1 조합회로를 이용하여 합성하는 것과 함께 모든 레지스터를 상기 저전압원을 전압원으로 하는 레지스터를 이용하여 합성하고, 다음으로, 상기 합성한 제1 좋바회로의 신호전파 지연시간이 설계상의 지연 상한값을 초과하는 지 여부를 판정하여, 설계상의 지연 상한값을 초과하는 제1 조합회로가 있는 경우에는 그 모든 제1 조합회로를 제2 조합회로로 재합성하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 33.

제81항에 있어서, 상기 조합회로의 생성공정은, 최초로, 모든 조합회로를 제1 조합회로를 이용하여 합성하는 것과 함께 모든 레지스터를 상기 저전압원을 전압원으로 하는 레지스터를 이용하여 합성하고, 다음으로, 상기 합성한 제1 조합회로의 신호전파 지연시간이 설계상의 지연 상한값을 초과하는 지 여부를 판정하여, 설계상의 지연 상한값을 초과하는 제1 조합회로가 있는 경우에는 그 모든 제1 조합회로를 제2 조합회로로 재합성하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 34.

제79항 또는 제80항에 있어서, 상기 조합회로의 생성공정은, 최초로, 제1 조합회로 및 저전압원에 의하여 구동되는 레지스터를 이용하여, 상기 저전압원에 의하여 구동되는 레지스터 및 상기 제1 좋바회로를 합친 신호전파 지연시간을 견적하고, 다음으로, 상기 견적 결과가 설계상의 지연 상한값을 초과하는 지의 여부를 판정하여, 설계상의 지연 상한값 이하로 되는 제1 조합회로가 있는 경우에는 그 제1 조합회로를 제1 조합회로로 합성하고, 상기 견적 결과가 설계상의 지연 상한값을 초과하는 제1 조합회로가 있는 경우에는 그 제1조합회로를 제2 조합회로로 합성하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 35.

제81항에 있어서, 상기 조합회로의 생성공정은, 최초로, 제1 조합회로 및 저전압원에 의하여 구동되는 레지스터를 이용하여, 상기 저전압원에 의하여 구동되는 레지스터와 상기 제1 조합회로를 합친 신호전파 지연시간을 견적하고, 다음으로, 상기 견적 결과가 설계상의 지연 상한값을 초과하는지의 여부를 판정하여, 설계상의 지연 상한값 이하로 되는 제1 조합회로가 있는 경우에는 그 제1 조합되로를 제1조합회로로 합성하고, 상기 견적 결과가 설계상의 지연 상한값을 초과하는 제1 조합회로가 있는 경우에는 그 제1 조합회로를 제2 조합회로로 합성하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 36.

하나의 신호전파경로를 갖는 조합회로를 복수개 구비하는 것과 함께 상기 적어도 하나의 조합회로의 전단 및 후단에 배치되는 레지스터를 구비하는 반도체 집적회로에 있어서, 상기 복수의 조합회로는 저전압원을 전압원으로 하는 제1 조합회로와 고전압원을 전압원으로 하는 제2 조합회로를 포함하며, 상기 복수의 레지스터는 상기 저전압원을 전압원으로 하는 레지스터로 구성되는 것을 특징으로 하는 반도체 집적회로.

청구항 37.

제86항에 있어서, 상기 고전압원의 전압과 상기 저전압원의 전압의 전위차는 상기 조합회로 및 레지스터를 구성하는 트랜지스터의 임계값 전압 이하의 값으로 설정되는 것을 특징으로 하는 반도체 집적회로.

청구항 38.

제86항 또는 제37항에 있어서, 상기 제2 조합회로는 그 내부의 일부가 고전압원을 전압원으로 하고 그 내부에 잔여부가 저전압원을 전압원으로 하는 것을 특징으로 하는 반도체 집적회로.

청구항 39.

제86항 또는 제87항에 있어서, 저전압원을 전압원으로 하고 각 레지스터에 클록을 공급하는 클록 공급수단을 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 40.

제88항에 있어서, 저전압원을 전압원으로 하고 각 레지스터에 클록을 공급하는 클록 공급수단을 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 41.

제86항 또는 제87항에 있어서, 각 레지스터는 플립플롭회로로 구성되고, 상기 플립플롭회로는 저전압원을 전압원으로 하고 직렬접속된 마스터 래치 및 슬레이브 래치를 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 42.

제88항에 있어서, 각 레지스터는 플립플롭회로로 구성되고, 상기 플립플롭회로는 저전압원을 전압원으로 하고 직렬접속된 마스터 래치 및 슬레이브 래치를 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 43.

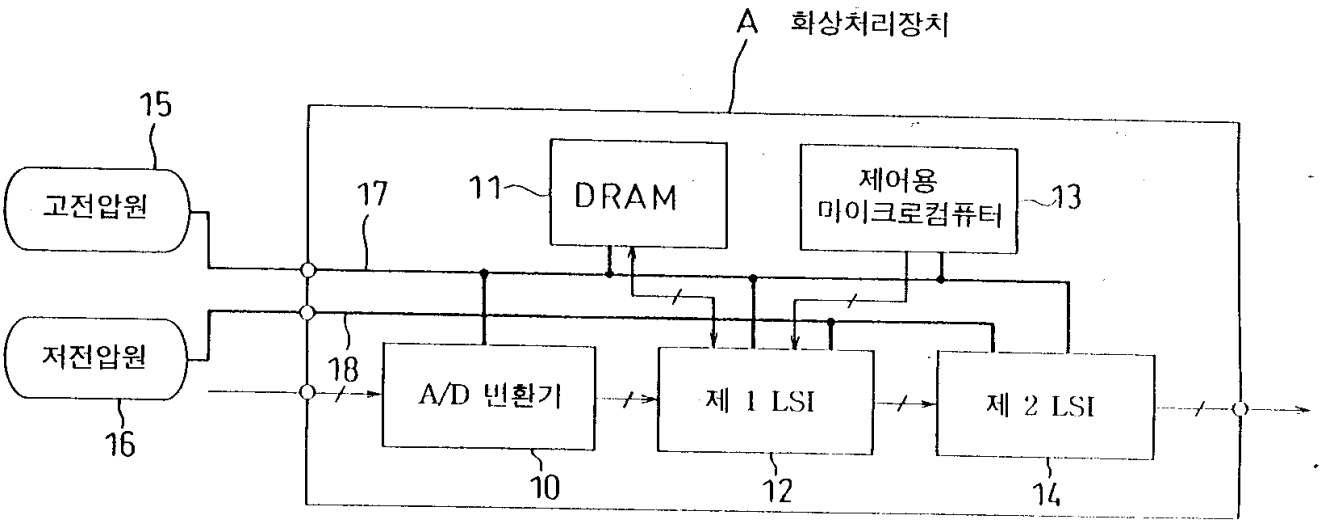
제86항 또는 제87항에 있어서, 각 레지스터는 래치회로로 구성되고, 상기 래치회로는 저전압원을 전압원으로 하는 래치부를 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 44.

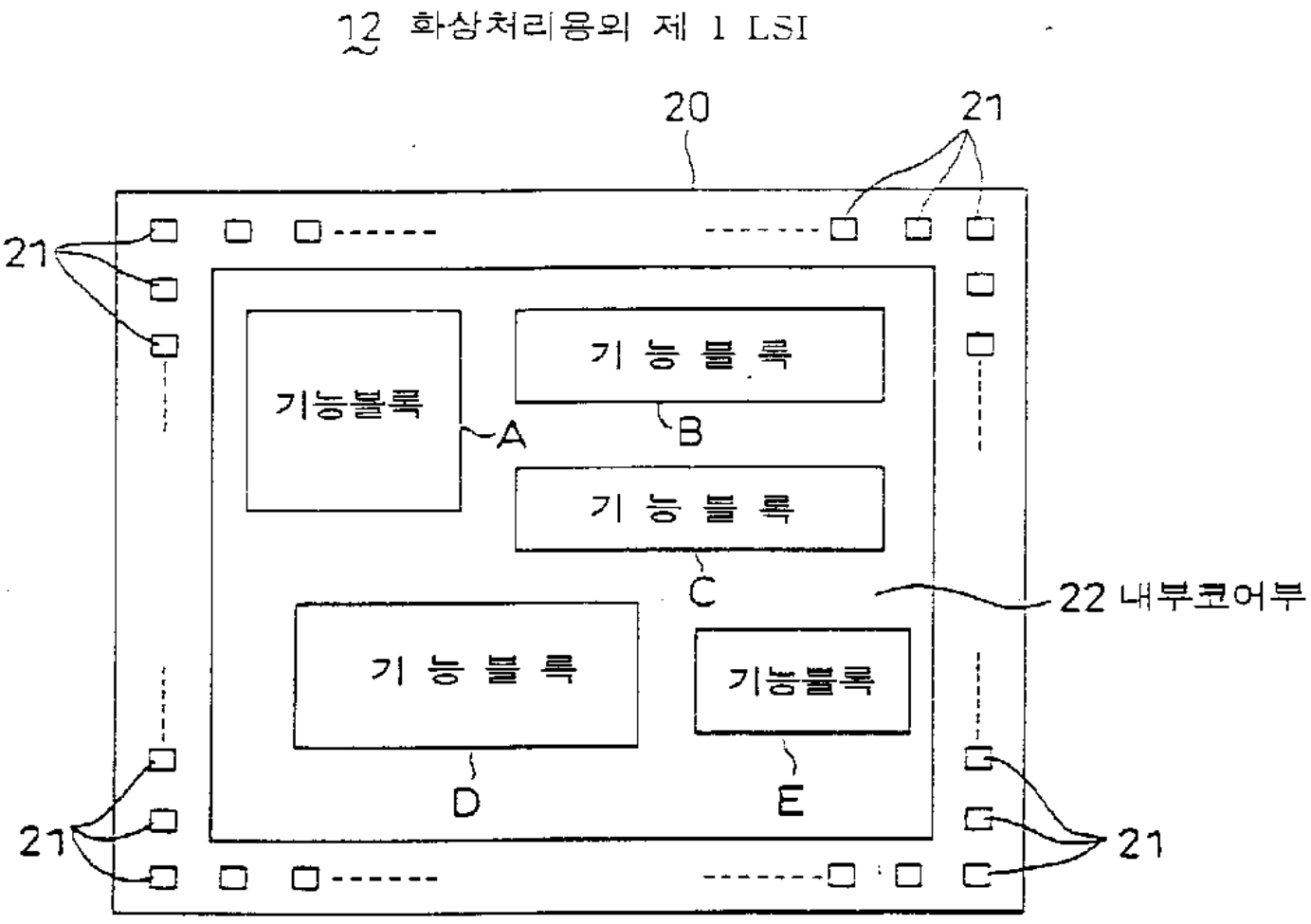
제88항에 있어서, 각 레지스터는 래치회로로 구성되고, 상기 래치회로는 저전압원을 전압원으로 하는 래치부를 구비하는 것을 특징으로 하는 반도체 집적회로.

도면

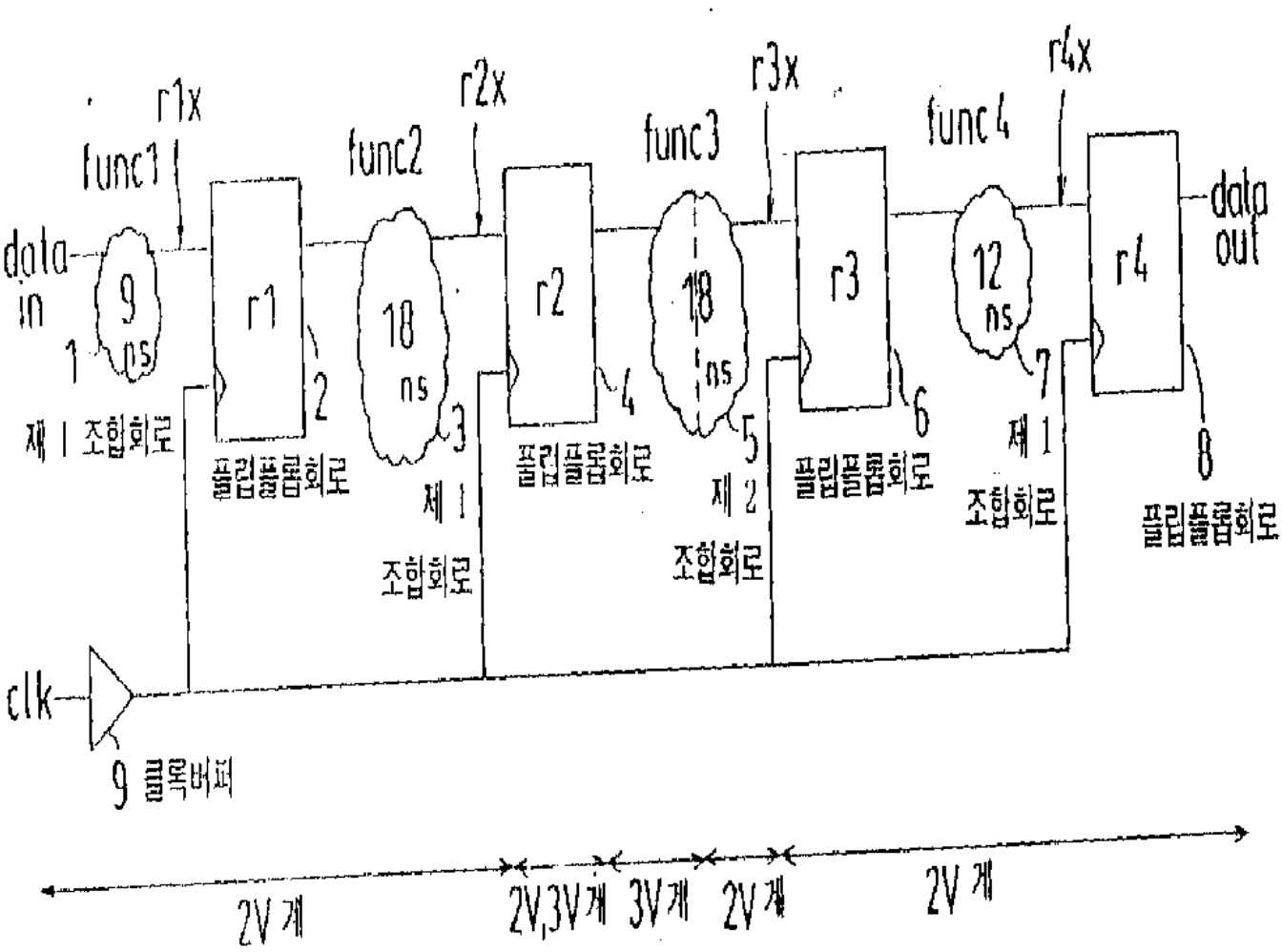
도면 1


A 화상처리장치
15
고전압원
17
11
DRAM
제어용
마이크로컴퓨터
13
저전압원
18
A/D 변환기
제 1 LSI
제 2 LSI
16
10
12
14

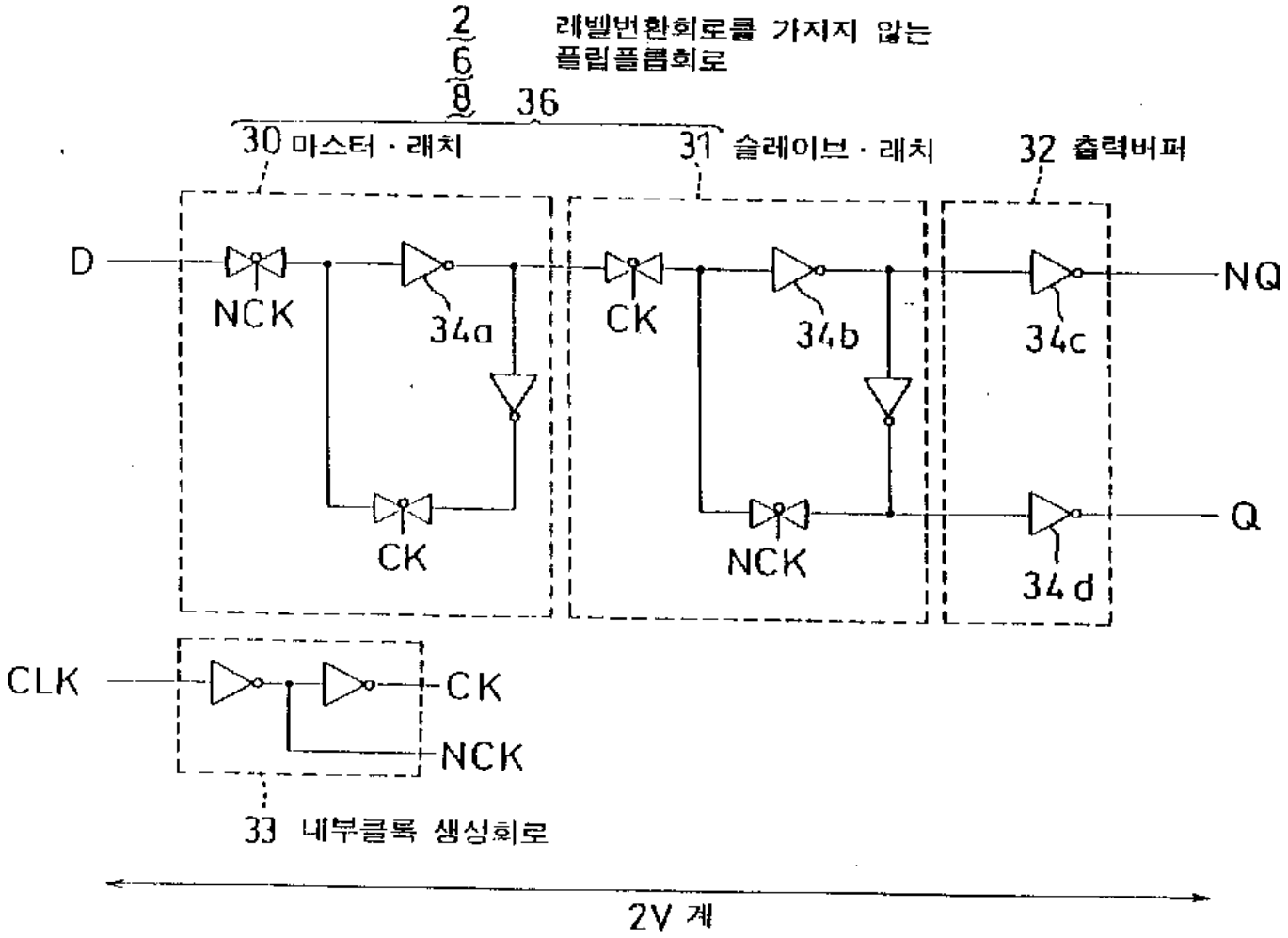
도면 2


12 화상처리용의 제 1 LSI
20
21
21
기능블록
A
기 능 블 록
B
기 능 블 록
C
22 내부코어부
기 능 블 록
D
기능블록
E
21
21

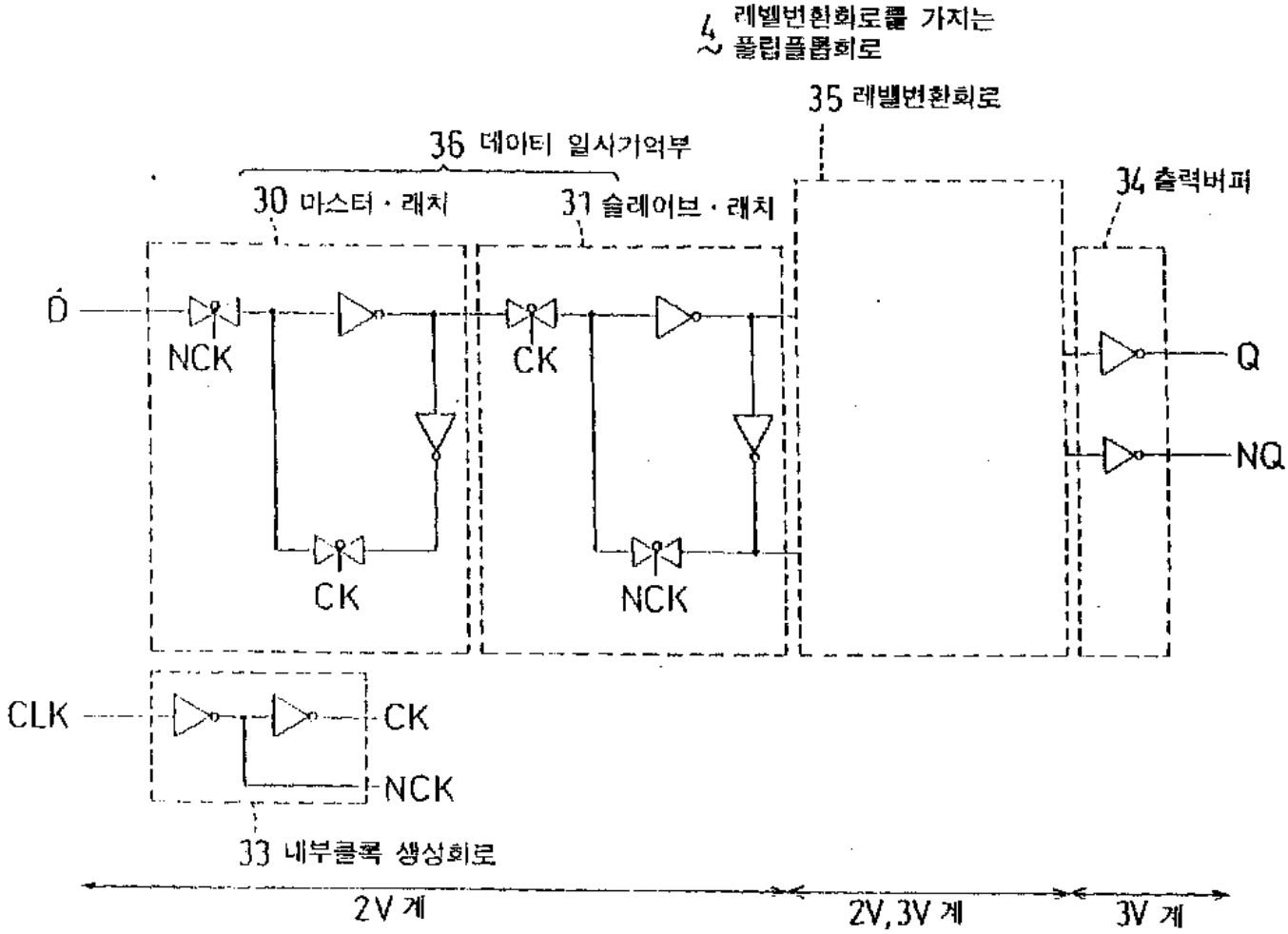
도면 3


r1x
r2x
r3x
r4x
func1
func2
func3
func4
data in
9 ns
1
제 1 조합회로
r1
플립플롭회로
2
18 ns
3
제 1 조합회로
r2
플립플롭회로
4
18 ns
5
제 2 조합회로
r3
플립플롭회로
6
12 ns
7
제 1 조합회로
r4
플립플롭회로
8
data out
clk
9 클록버퍼
2V 계
2V,3V계
3V계
2V계
2V 계

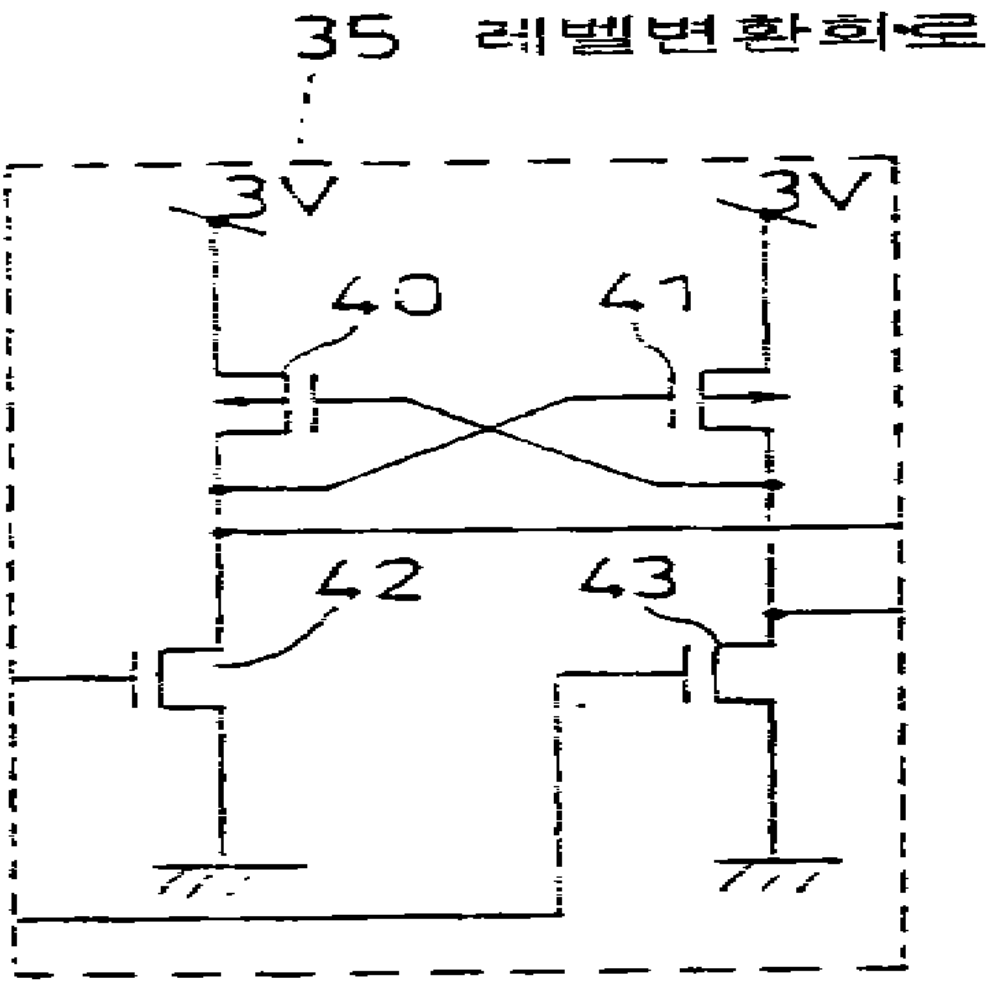
도면 4


2
6
8
레벨변환회로를 가지지 않는
플립플롭회로
36
30 마스터 · 래치
31 슬레이브 · 래치
32 출력버퍼
D
NCK
34a
CK
CK
34b
NCK
34c
34d
NQ
Q
CLK
CK
NCK
33 내부클록 생성회로
2V 계

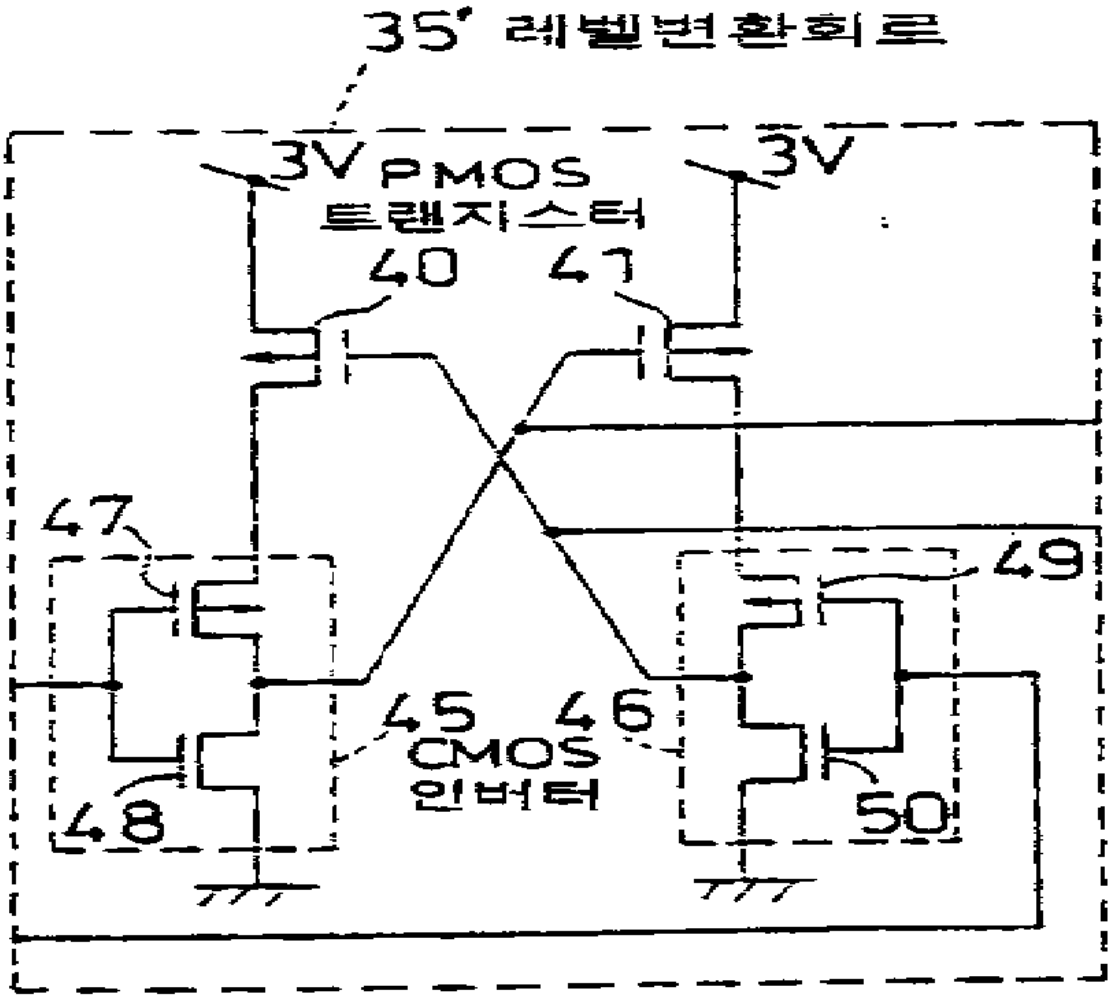
도면 5


4 레벨변환회로를 가지는 플립플롭회로
35 레벨변환회로
36 데이터 일시기억부
30 마스터 · 래치
31 슬레이브 · 래치
34 출력버퍼
D
NCK
CK
CK
NCK
Q
NQ
CLK
CK
NCK
33 내부클록 생성회로
2V 계
2V,3V 계
3V 계

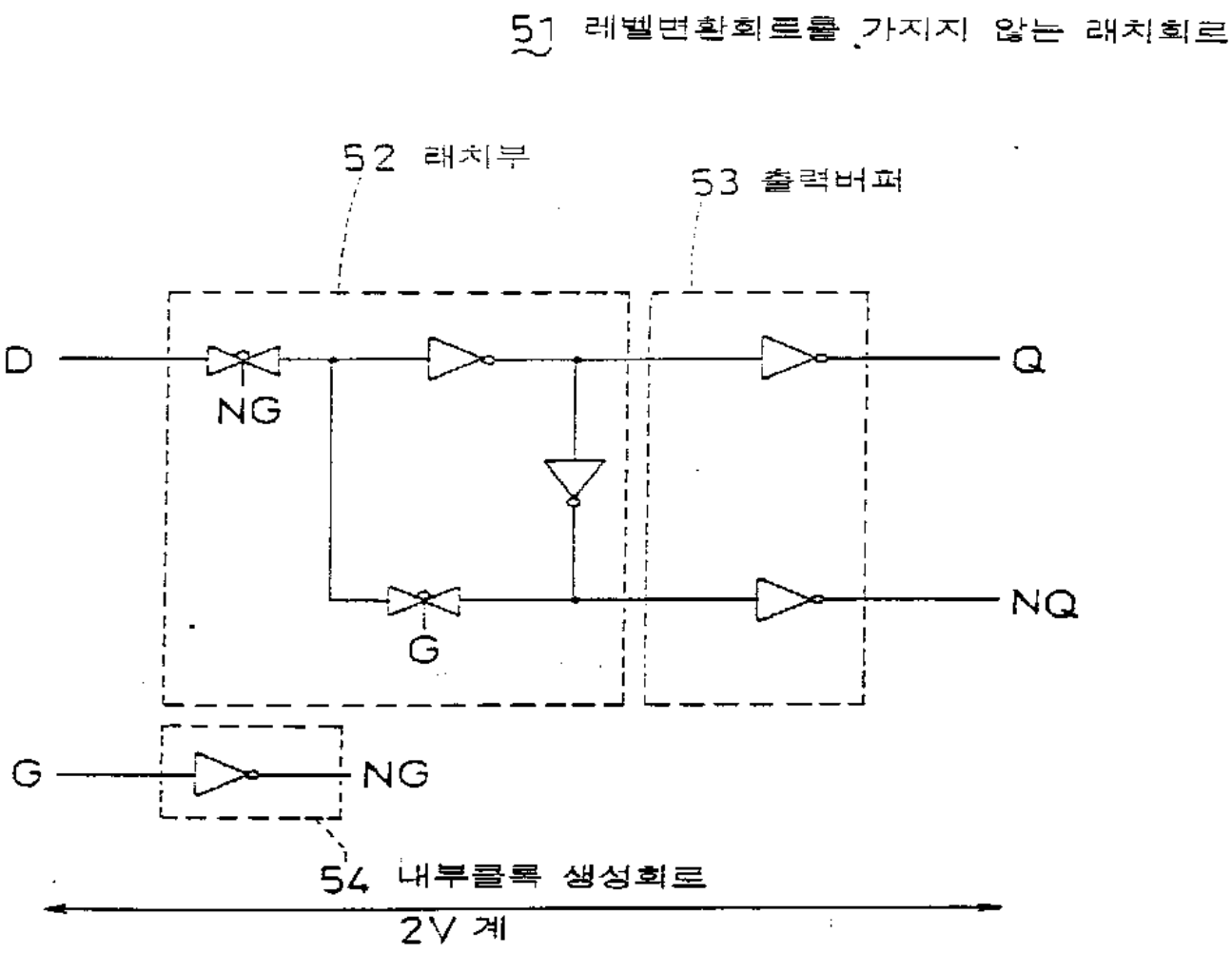
도면 6a



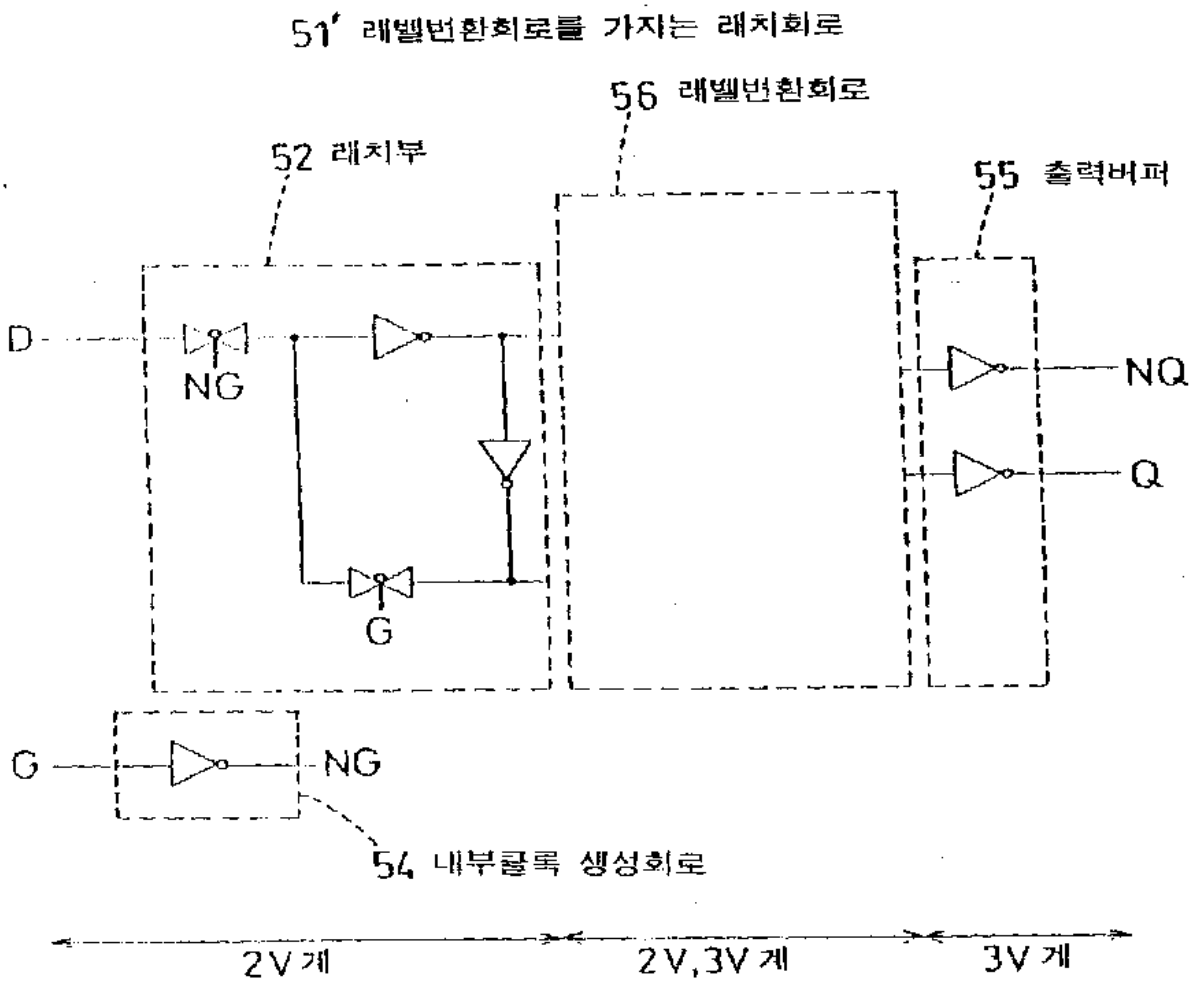
도면 6b



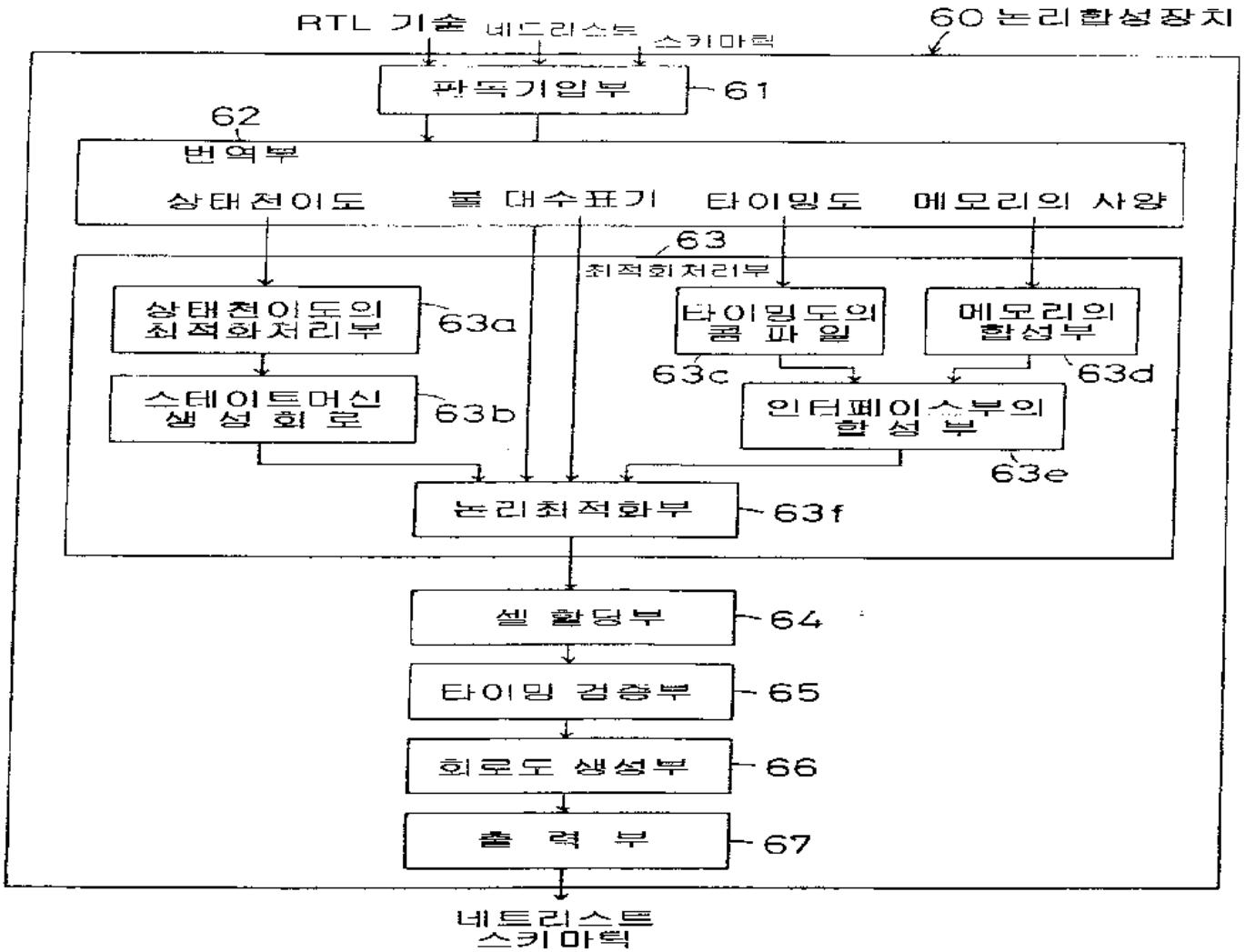
도면 7


51 레벨변환회로를 가지지 않는 래치회로
52 래치부
53 출력버퍼
D
NG
Q
G
NQ
G
NG
54 내부클록 생성회로
2V 계

도면 8


51' 래벨변환회로를 가지는 래치회로
56 래벨변환회로
52 래치부
55 출력버퍼
D
NG
NQ
Q
G
G
NG
54 내부클록 생성회로
2V계
2V,3V계
3V계

도면 9


RTL 기술
네트리스트
스키마틱
60 논리합성장치
판독기입부
61
62
번역부
상태천이도
불 대수표기
타이밍도
메모리의 사양
63
최적화처리부
상태천이도의 최적화처리부
63a
스테이트머신 생성회로
63b
타이밍도의 룸 파일
63c
메모리의 합성부
63d
인터페이스부의 합성부
63e
논리최적화부
63f
셀 할당부
64
타이밍 검증부
65
회로도 생성부
66
출 력 부
67
네트리스트 스키마틱

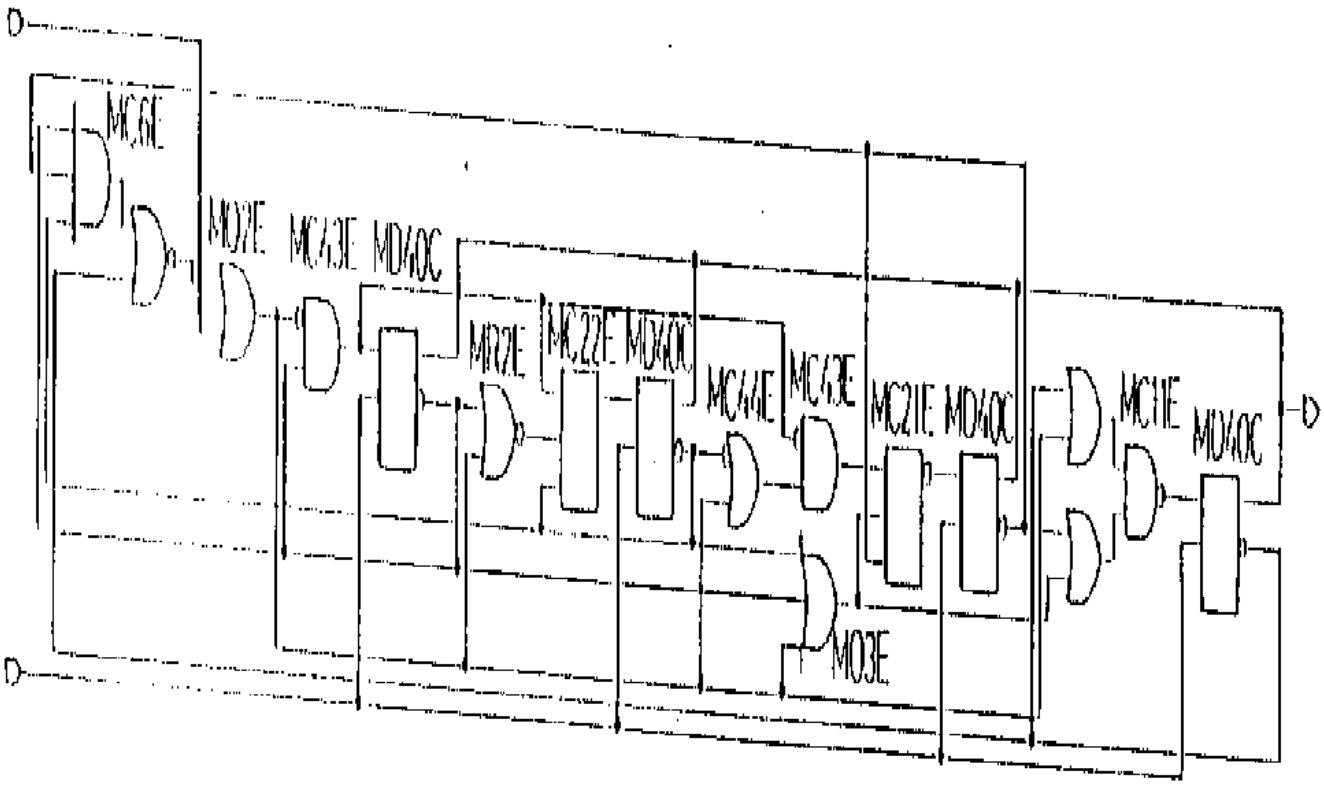
도면 10

```
module   demo4(clk, r, q);
 input              clk, r;
output [3:0]  q;
wire [3:0]       qx;
reg [3:0]         q;

function [3:0]  fq;
input               r;
input [3:0]  q;

if (r)
     fq  =  4'h0;
else
     if (q < 4'd9)
          fq  =  q + 1'b1;
     else
          ;

endfunction

assign   qx   =   fq(r,q);

always   @(posedge   clk)
     q  =  qx;

endmodule
```

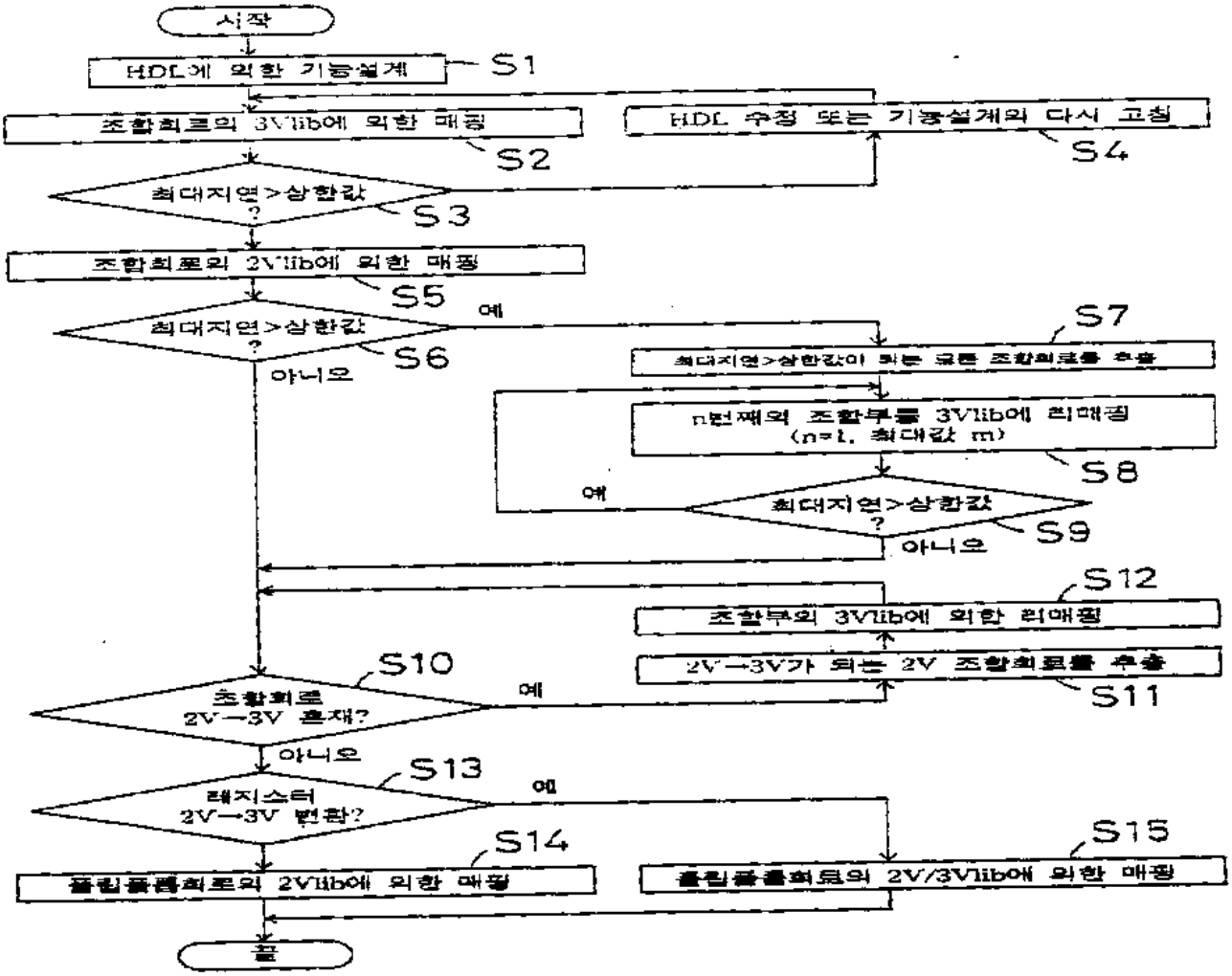
도면 11

```
module demo4 ( clk, r, q );
output [3:0] q;
input  clk, r;
    wire net7, net8, net9, net10, n60, n51, n52, n53, n54, n55, n56, n57, n58,
        n59;
    MD40C \q_reg[0]  ( .NQ(net10), .Q(q[0]), .CK(clk), .D(n60) );
    MD40C \q_reg[1]  ( .NQ(net9), .Q(q[1]), .CK(clk), .D(n59) );
    MC22E U20 ( .Y(n59), .A(n60), .B(n56), .S(net9) );
    MC11E U21 ( .Y(n57), .A(net7), .B(n51), .C(net8), .D(n52) );
    MD40C \q_reg[2]  ( .NQ(net8), .Q(q[2]), .CK(clk), .D(n58) );
    MC43E U22 ( .Y(n60), .B(net10), .NA(n51) );
    MC6E U23 ( .Y(n53), .A(net10), .B(net8), .C(net9), .D(net7) );
    MO2E U24 ( .Y(n51), .A(n53), .B(r) );
    MD40C \q_reg[3]  ( .NQ(net7), .Q(q[3]), .CK(clk), .D(n57) );
    MO3E U25 ( .Y(n52), .A(net9), .B(net10), .C(n51) );
    MC44E U26 ( .Y(n54), .B(n51), .NA(net9) );
    MC43E U17 ( .Y(n55), .B(n54), .NA(n60) );
    MC21E U18 ( .NY(n58), .A(n55), .B(n52), .S(net8) );
    MR2E U19 ( .Y(n56), .A(net10), .B(n51) );
endmodule
```

도면 12


D
MC6IE
MD7IE
MC43E
MD40C
MR7IE
MC22E
MD40C
MC44E
MC43E
MC21E
MD40C
MC1IE
MD40C
D
MD3E

도면 13


시작
HDL에 의한 기능설계
S1
조합회로의 3Vlib에 의한 매핑
S2
HDL 수정 또는 기능설계의 다시 고침
S4
최대지연>상한값 ?
S3
조합회로의 2Vlib에 의한 매핑
S5
최대지연>상한값 ?
S6
예
아니오
S7
n번째의 조합부를 3Vlib에 리매핑 (n=1, 최대값 m)
S8
예
최대지연>상한값 ?
S9
아니오
S12
조합부의 3Vlib에 의한 리매핑
2V→3V가 되는 2V 조합회로를 추출
S11
S10
조합회로 2V→3V 출현?
예
아니오
S13
레지스터 2V→3V 변환?
예
S14
플립플롭회로의 2Vlib에 의한 매핑
S15
플립플롭회로의 2V/3Vlib에 의한 매핑
끝

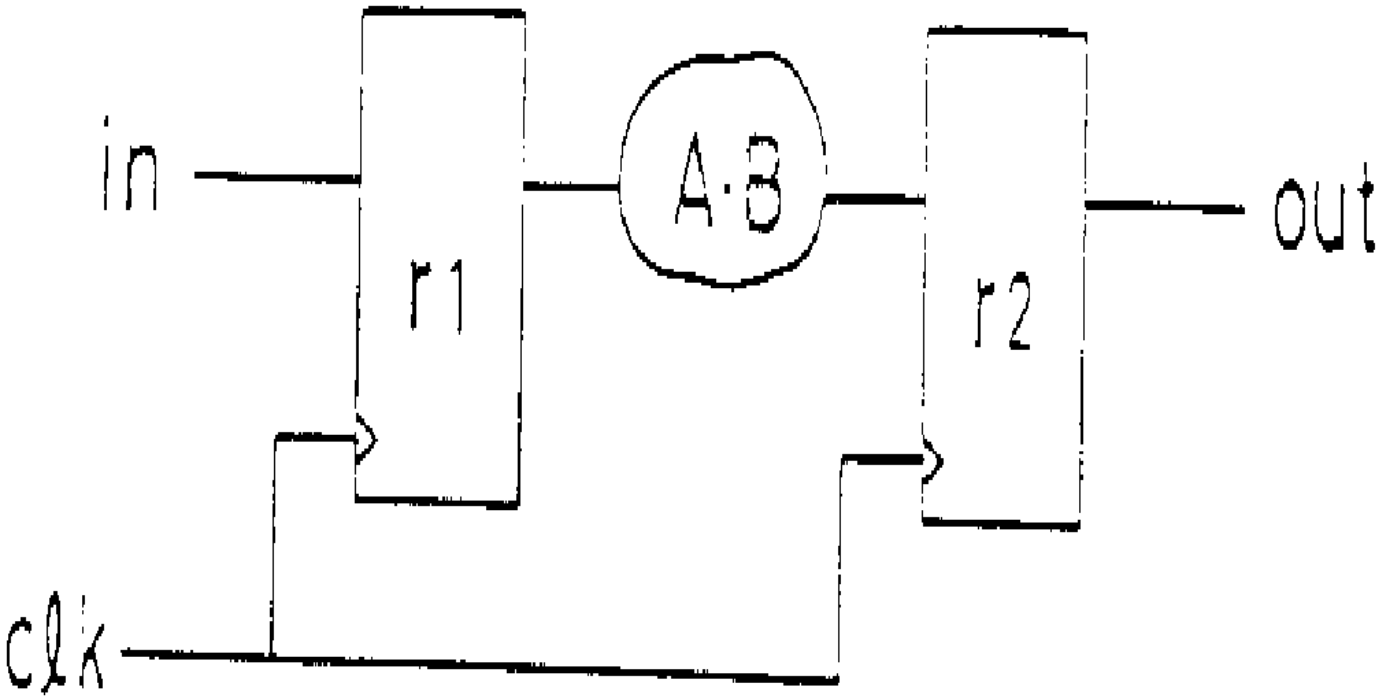
도면 14

표 1. 규약의 셀 리스트

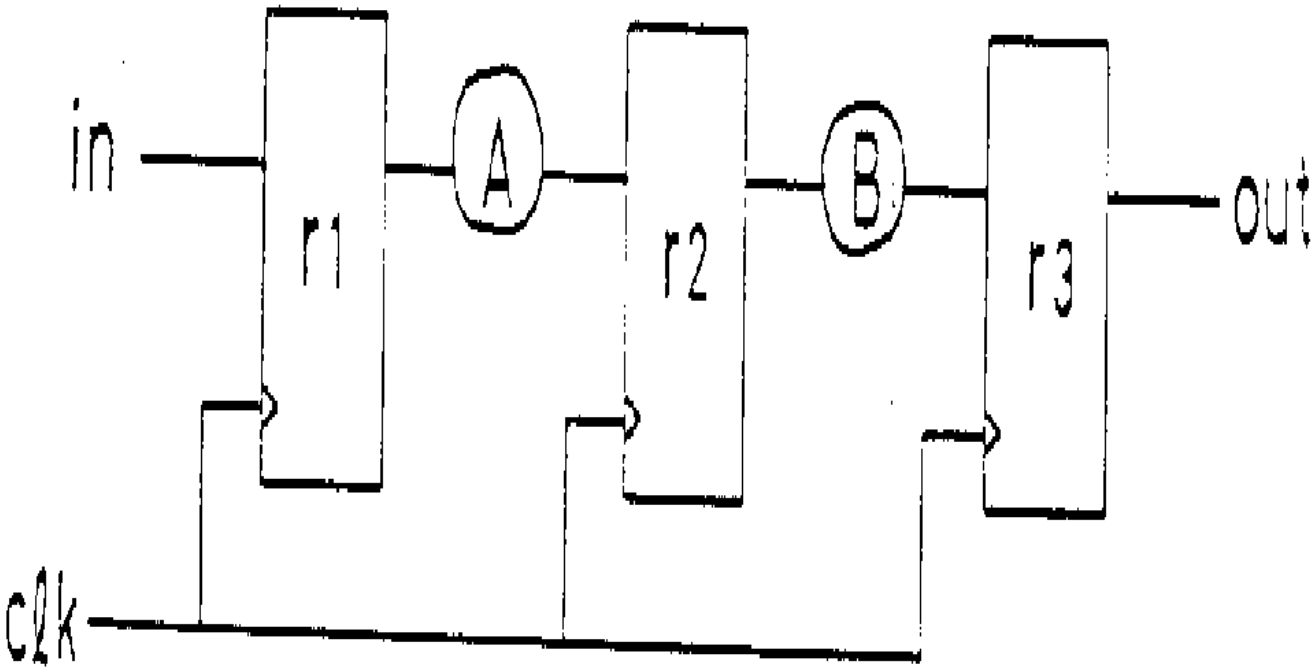
규약 CMOS 라이브러리 (61 셀)		
INVERTER	4AND	2OR/2AND
INVERTER_P2	4AND_P2	2OR/2AND_P2
INVERTER_P4	2OR	3OR/2AND
INVERTER_P8	2OR_P2	3OR/2AND_P2
2NAND	3OR	2ANDx2/2OR
3NAND	3OR_P2	2ANDx2/2OR_P2
2NOR	4OR	3ANDx2/2OR
2NOR_P2	4OR_P2	3ANDx2/2OR_P2
3NOR	2AND/2NOR	2ANDx3/3OR
3NOR_P2	2ANDx2/2NOR	2ANDx3/3OR_P2
4NOR	3AND/3NOR	2ANDx2/3OR
4NOR_P2	2OR/2NAND	2ANDx2/3OR_P2
2XOR	2OR/3NAND	2ORx2/2AND
2XOR_P2	3OR/2NAND	2ORx2/2AND_P2
2XNOR	2AND/2OR	2ANDx4/4OR
2XNOR_P2	2AND/2OR_P2	2ANDx4/4OR_P2
2AND	3AND/2OR	8NAND
2AND_P2	3AND/2OR_P2	8NAND_P2
3AND	2AND/3OR	8AND
3AND_P2	2AND/3OR_P2	8AND_P2
		8OR

(P2. __P4. __P8.은 ×2. ×4. ×8 의 전원이 공급된 셀들을 나타냄)

도면 15



도면 16



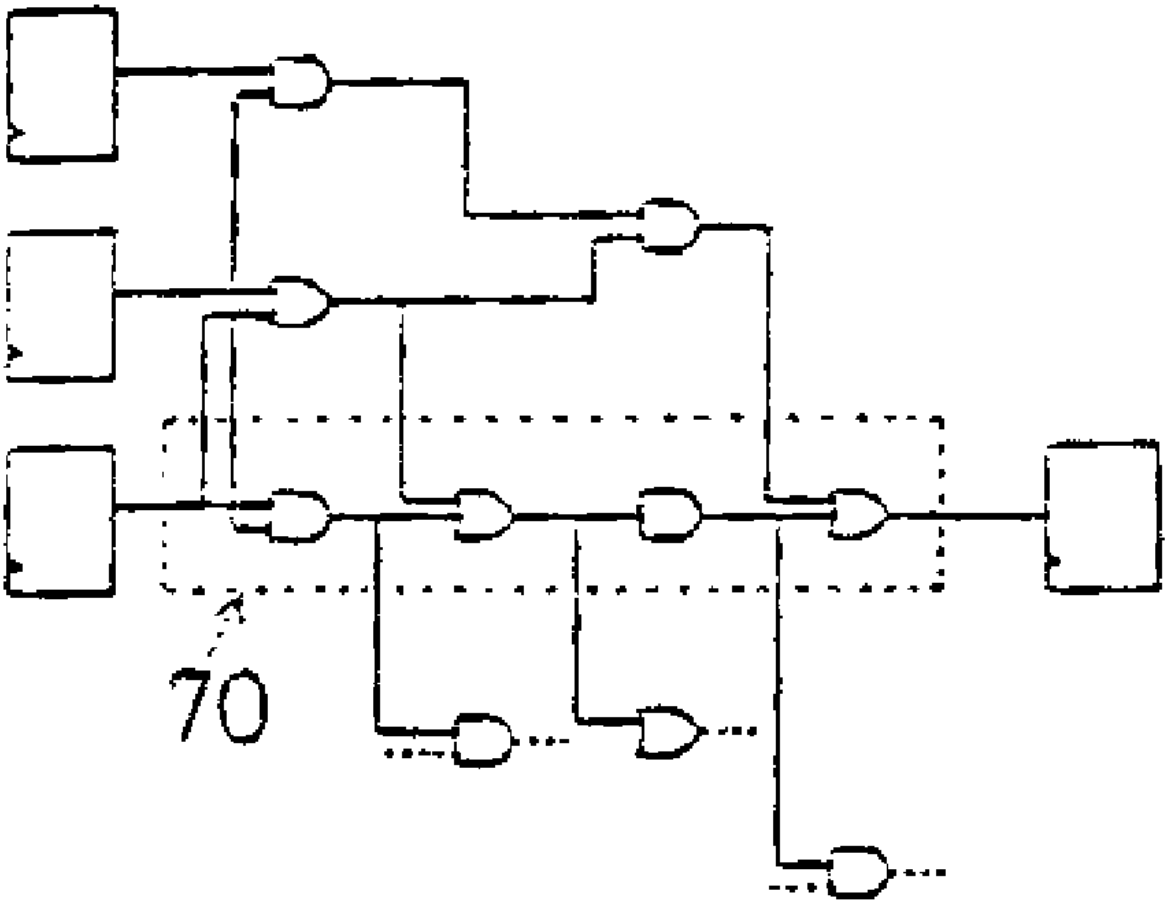
도면 17

```
module circuit ( in, out );

input  in;
output out;

reg  r1, out;
wire r2x;

function func AB
  ...
endfunction

assign r2x = func AB (r1);

always @(posedge clk)
  begin
    r1 = in;
    out = r2x;
  end

endmodule
```

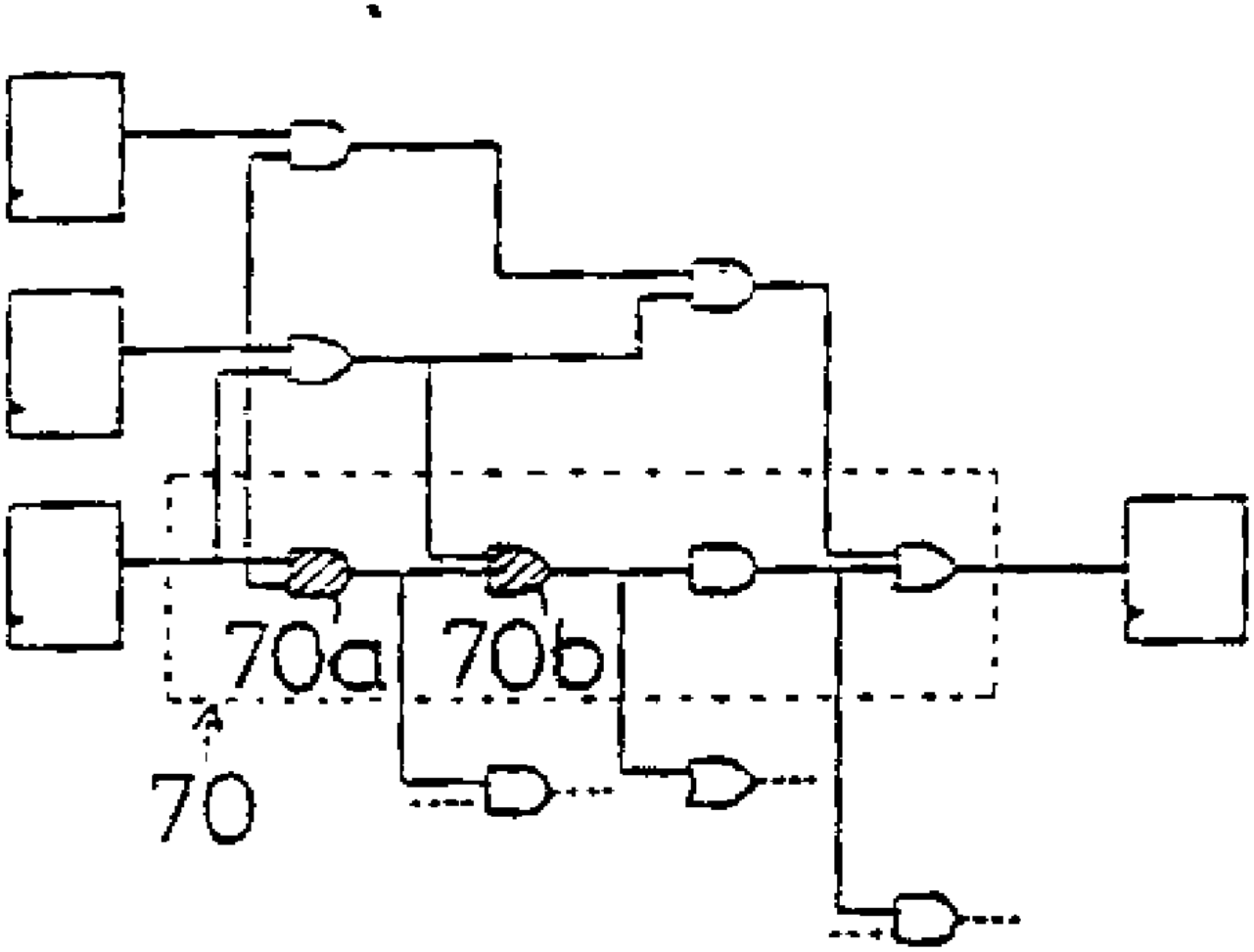
도면 18

```
module circuit (in, out);
input in;
output out;

reg r1, r2, out;
wire r2x, r3x;

function func A
  ...
endfunction

function func B
  ...
endfunction

assign r2x = func A (r1)
assign r3x = func B (r2)

always @(posedge clk)
   begin
     r1 = in;
     r2 = r2x;
    out = r3x;
   end

endmodule
```

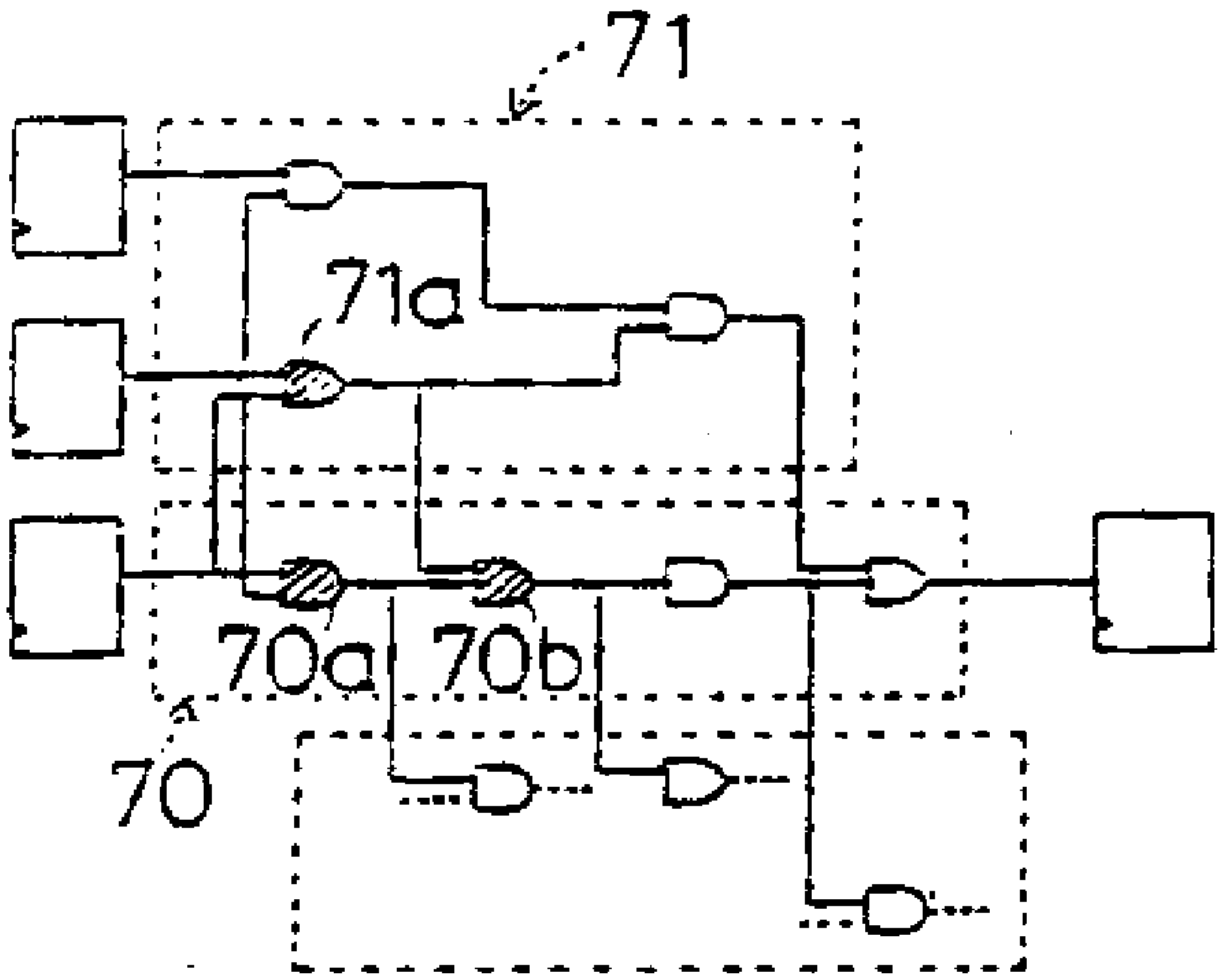
도면 19a



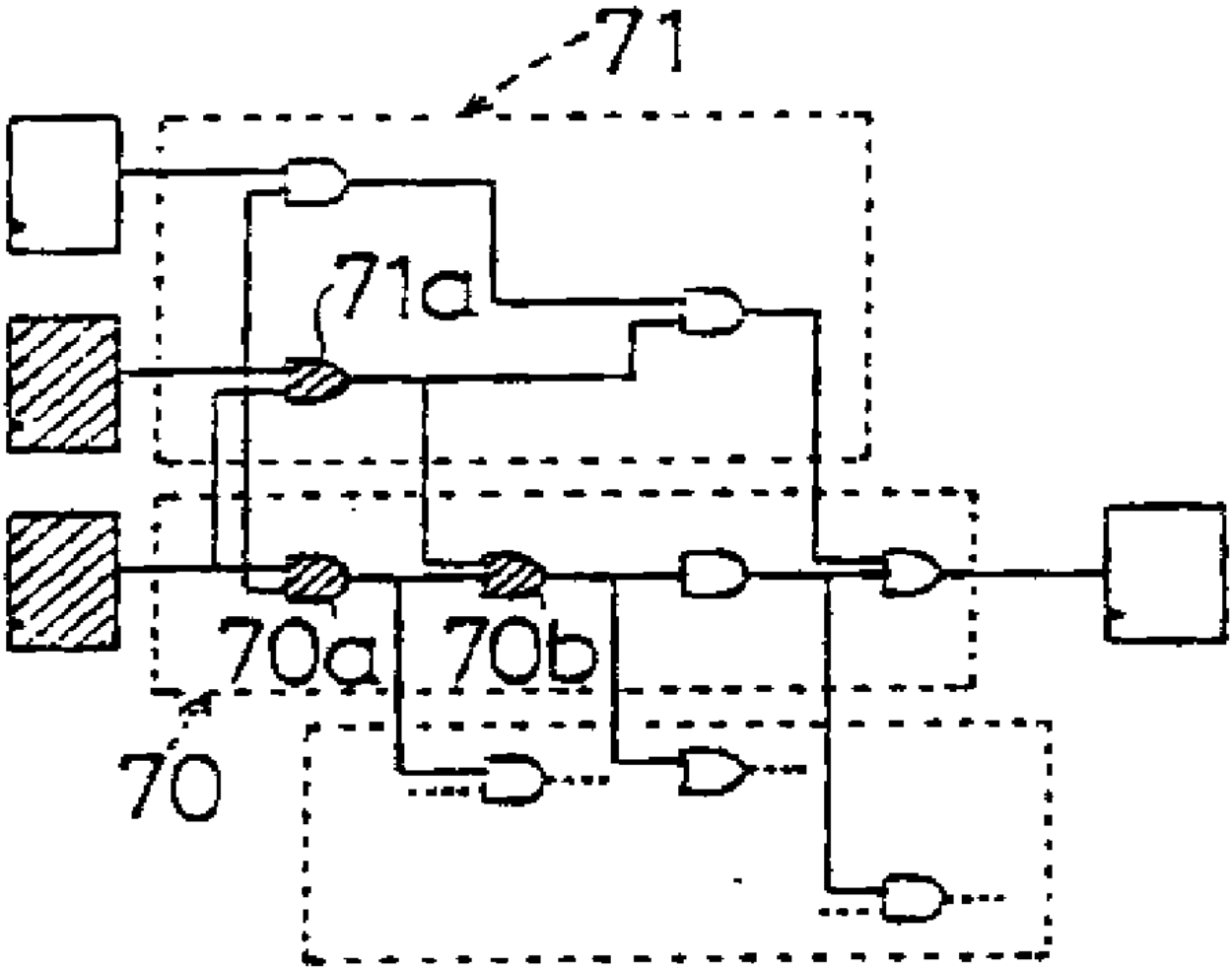
도면 19b



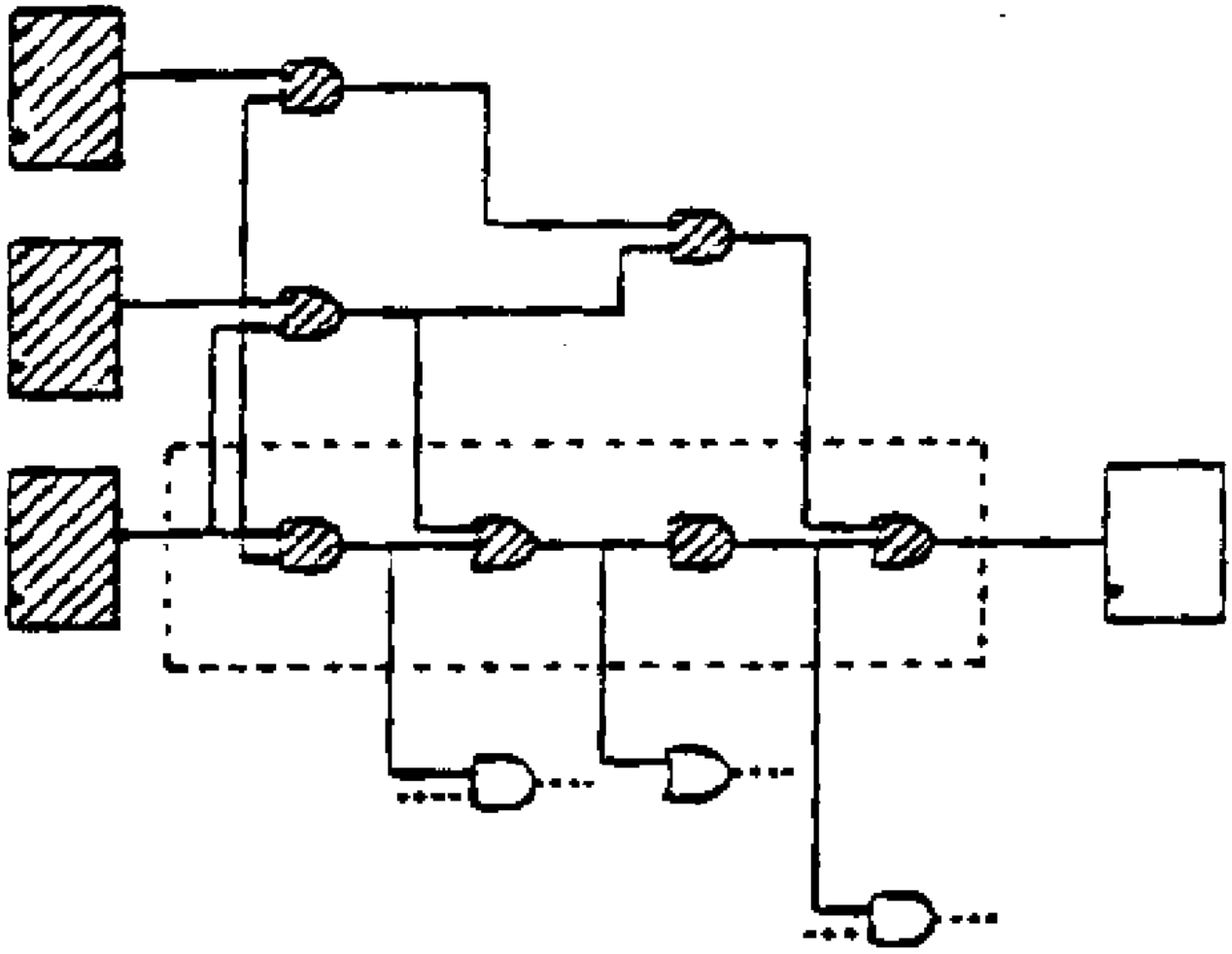
도면 19c



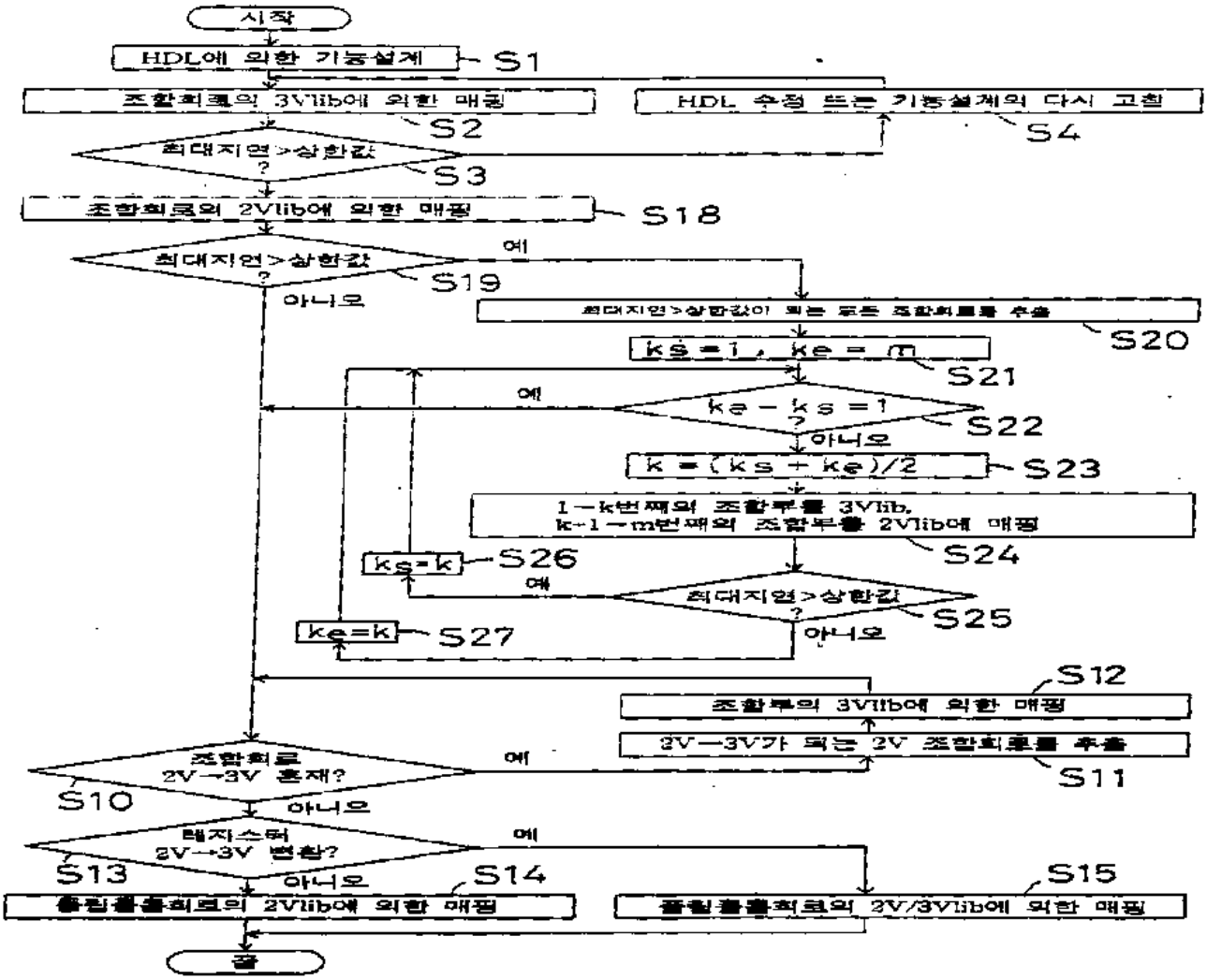
도면 19d



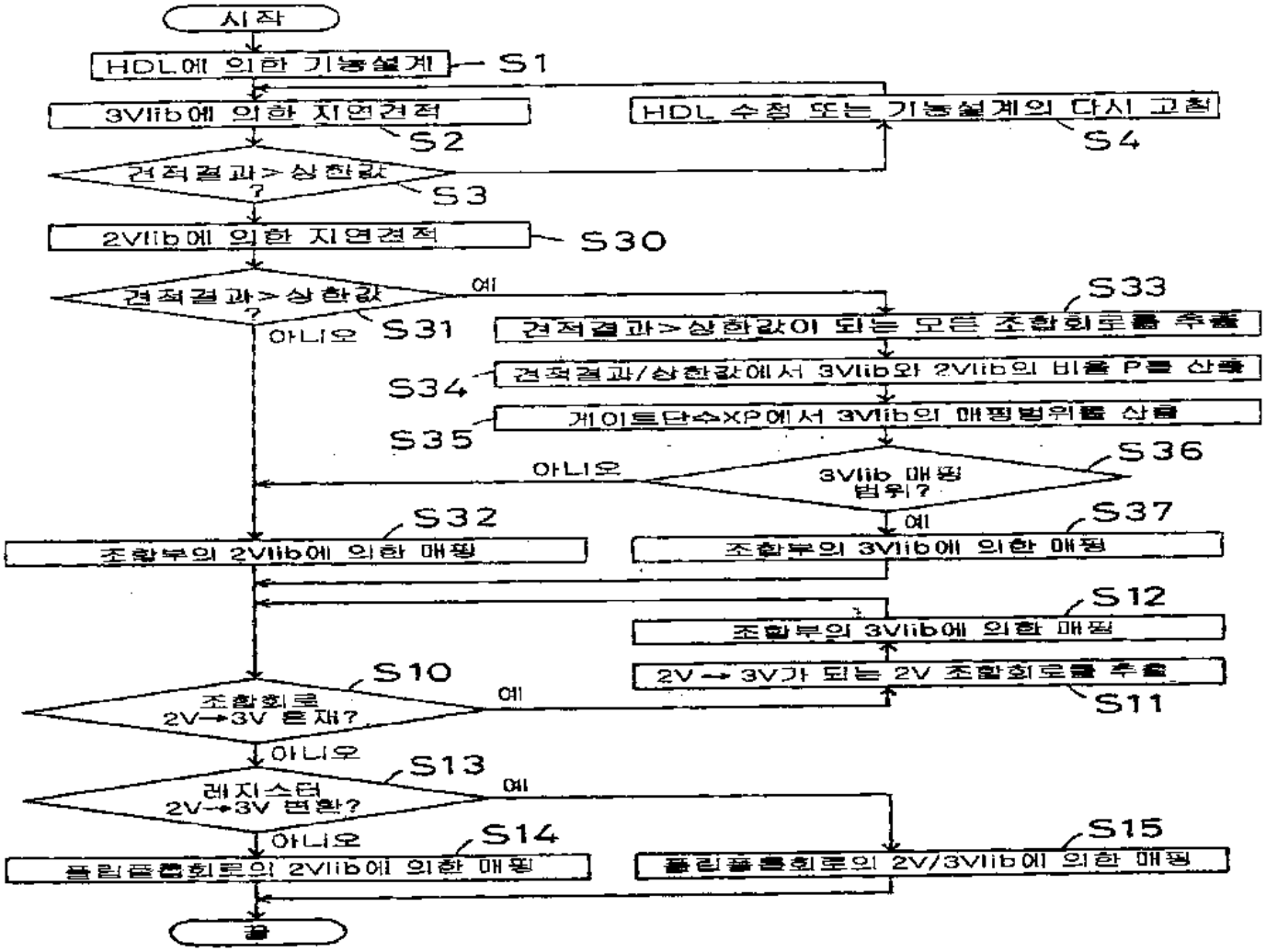
도면 19e



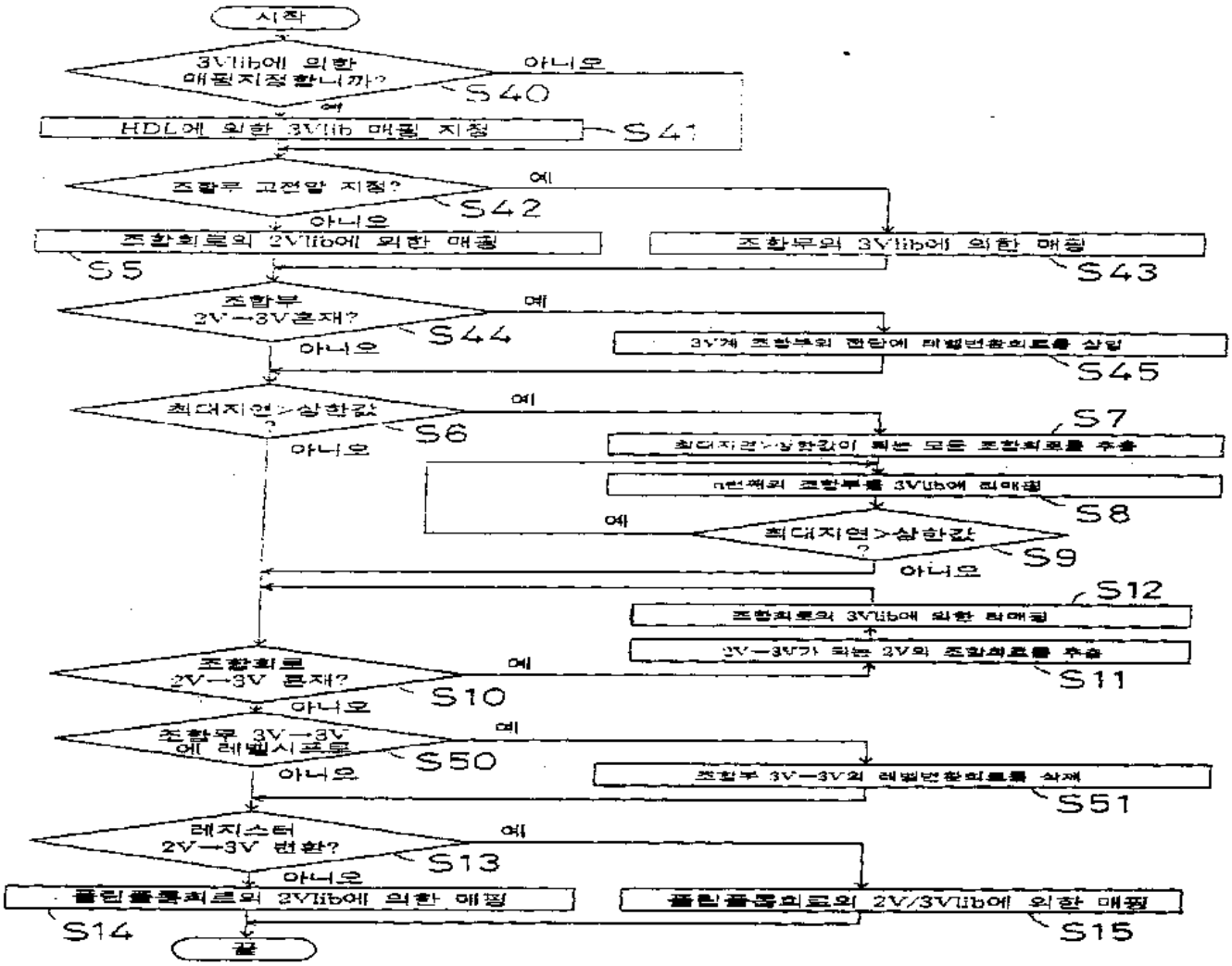
도면 20


시작
HDL에 의한 기능설계
S1
조합회로의 3Vlib에 의한 매핑
S2
HDL 수정 또는 기능설계의 다시 고침
S4
최대지연>상한값 ?
S3
조합회로의 2Vlib에 의한 매핑
S18
최대지연>상한값 ?
S19
예
아니오
최대지연>상한값이 되는 모든 조합회로를 추출
S20
ks=1, ke=m
S21
ke-ks=1 ?
S22
예
아니오
k=(ks+ke)/2
S23
1~k번째의 조합부를 3Vlib,
k+1~m번째의 조합부를 2Vlib에 매핑
S24
ks=k
S26
예
최대지연>상한값 ?
S25
ke=k
S27
아니오
S12
조합부의 3Vlib에 의한 매핑
3V→3V가 되는 2V 조합회로를 추출
S11
조합회로 2V→3V 혼재?
S10
예
아니오
래치스터 2V→3V 변환?
S13
예
아니오
S14
플립플롭회로의 2Vlib에 의한 매핑
S15
플립플롭회로의 3V/3Vlib에 의한 매핑
끝

도면 21


시작
HDL에 의한 기능설계
S1
3Vlib에 의한 지연견적
S2
견적결과>상한값 ?
S3
HDL 수정 또는 기능설계의 다시 고침
S4
2Vlib에 의한 지연견적
S30
견적결과>상한값 ?
S31
예
아니오
S33
견적결과>상한값이 되는 모든 조합회로를 추출
S34
견적결과/상한값에서 3Vlib와 2Vlib의 비율 P를 산출
S35
게이트단수XP에서 3Vlib의 매핑범위를 산출
3Vlib 매핑 범위?
S36
아니오
예
S32
조합부의 2Vlib에 의한 매핑
S37
조합부의 3Vlib에 의한 매핑
S12
조합부의 3Vlib에 의한 매핑
2V→3V가 되는 2V 조합회로를 추출
S11
조합회로 2V→3V 존재?
S10
예
아니오
레지스터 2V→3V 변환?
S13
예
아니오
S14
플립플롭회로의 2Vlib에 의한 매핑
S15
플립플롭회로의 2V/3Vlib에 의한 매핑
끝

도면 22


시작
3Vlib에 의한 매핑지정합니까?
S40
아니오
예
HDL에 의한 3Vlib 매핑 지정
S41
조합루 고전압 지정?
S42
예
아니오
조합회로의 2Vlib에 의한 매핑
S5
조합부의 3Vlib에 의한 매핑
S43
조합부 2V→3V혼재?
S44
예
아니오
3V계 조합부의 전단에 레벨변환회로를 삽입
S45
최대지연>상한값
S6
예
아니오
S7
최대지연>상한값이 되는 모든 조합회로를 추출
n번째의 조합부를 3Vlib에 매핑
S8
예
최대지연>상한값
S9
아니오
S12
조합회로의 3Vlib에 의한 매핑
2V→3V가 되는 2V의 조합회로를 추출
S11
조합회로 2V→3V 혼재?
S10
예
아니오
조합부 3V→3V에 레벨시프트
S50
예
아니오
조합부 3V→3V의 레벨변환회로를 삭제
S51
레지스터 2V→3V 변환?
S13
예
아니오
플린플롭회로의 2Vlib에 의한 매핑
S14
플린플롭회로의 2V/3Vlib에 의한 매핑
S15
끝

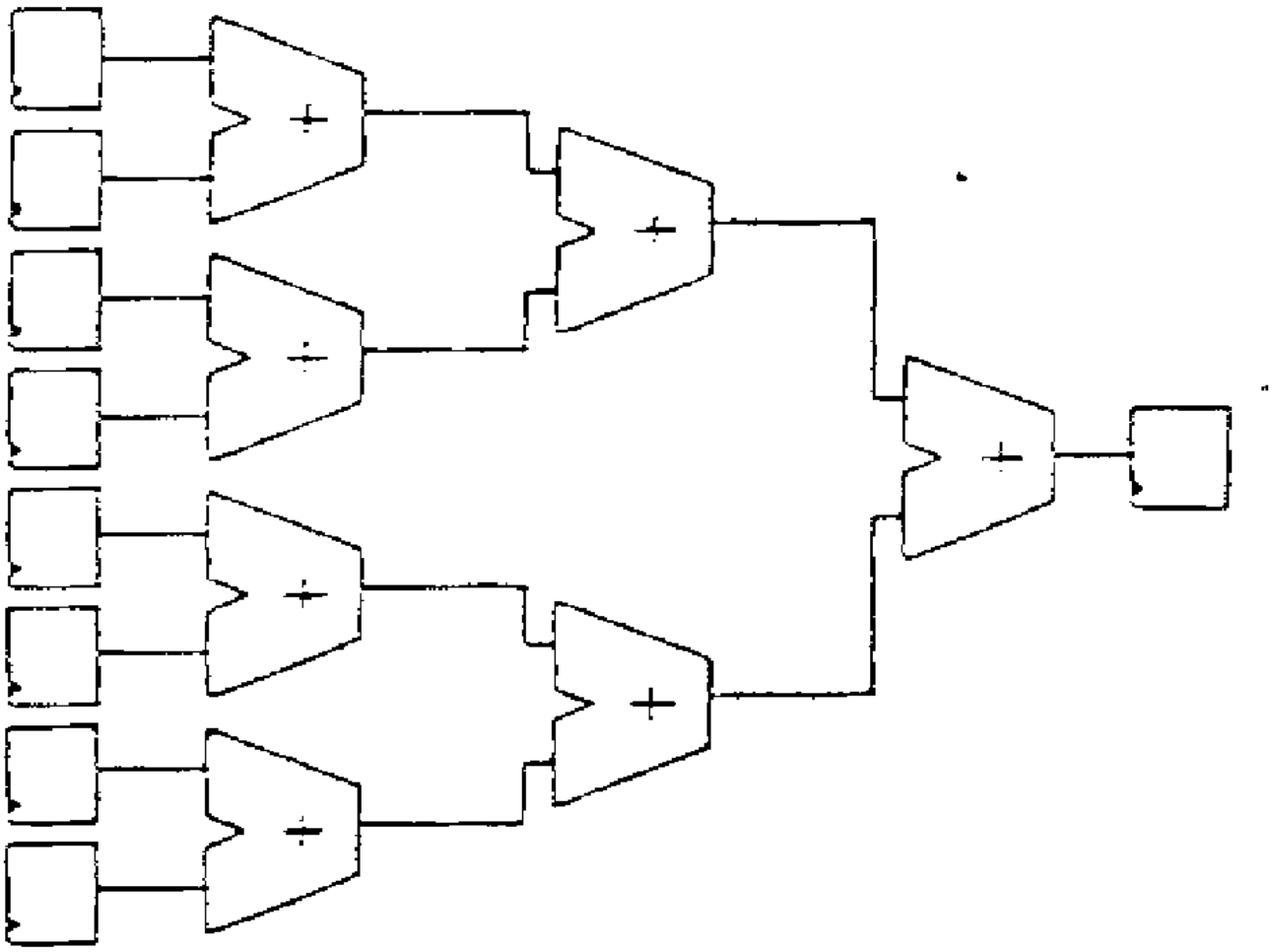
도면 23

```
module add8(a,b,c,d,e,f,g,h,y);
input  a,b,c,d,e,f,g,h;
output y;
.
wire   a1,b1;

assign a1 = (a + b) + (c + d);
assign b1 = (e + f) + (g + h);
assign y  = a1 + b1;    // low_power_synthesis_high_voltage

endmodule
```

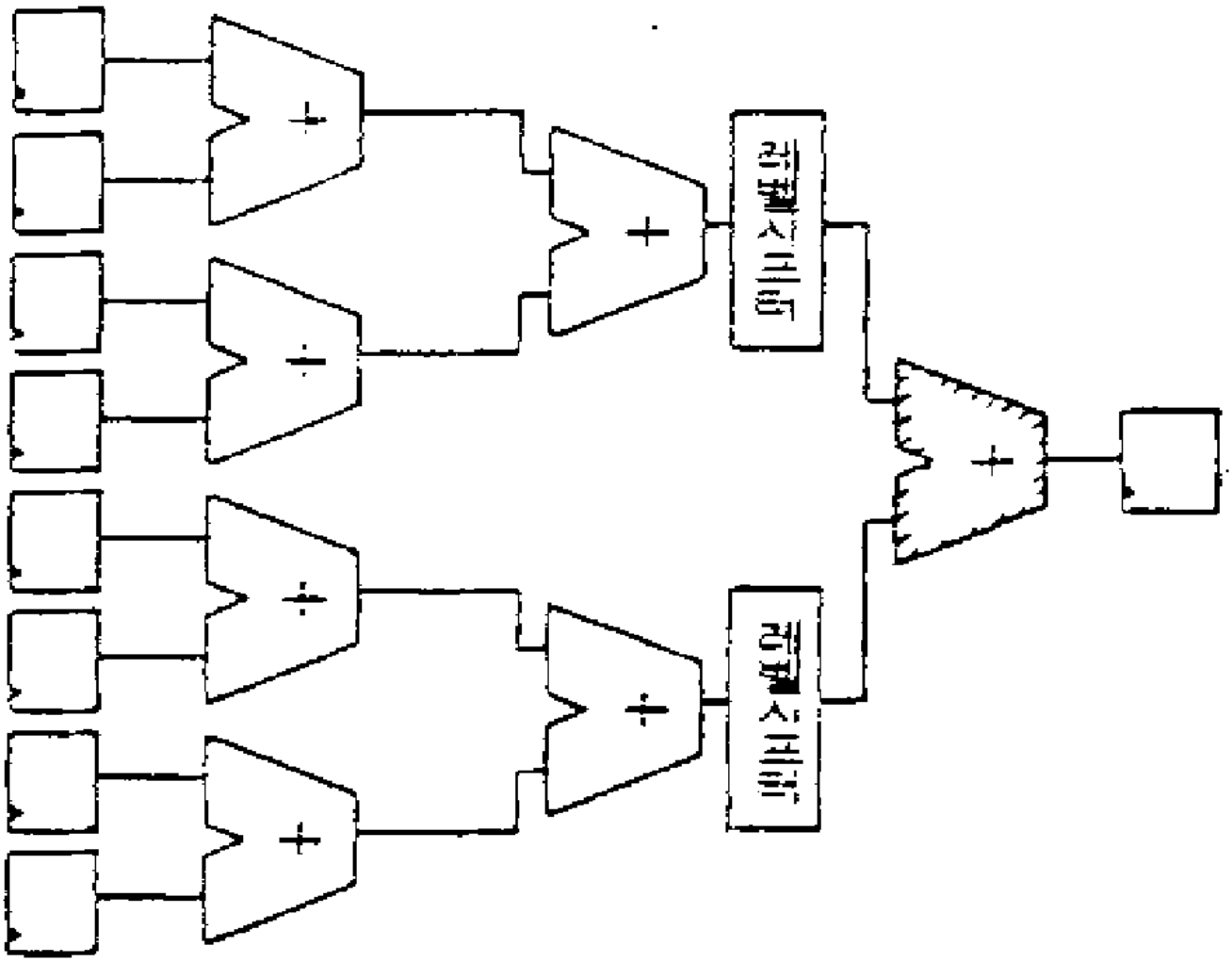
도면 24

```
module add8(a,b,c,d,e,f,g,h,y);
input  a,b,c,d,e,f,g,h;
output y;

wire   a1,b1;

assign a1 = (a + b) + (c + d);
assign b1 = (e + f) + (g + h);
assign y  = a1 + b1;

endmodule
```

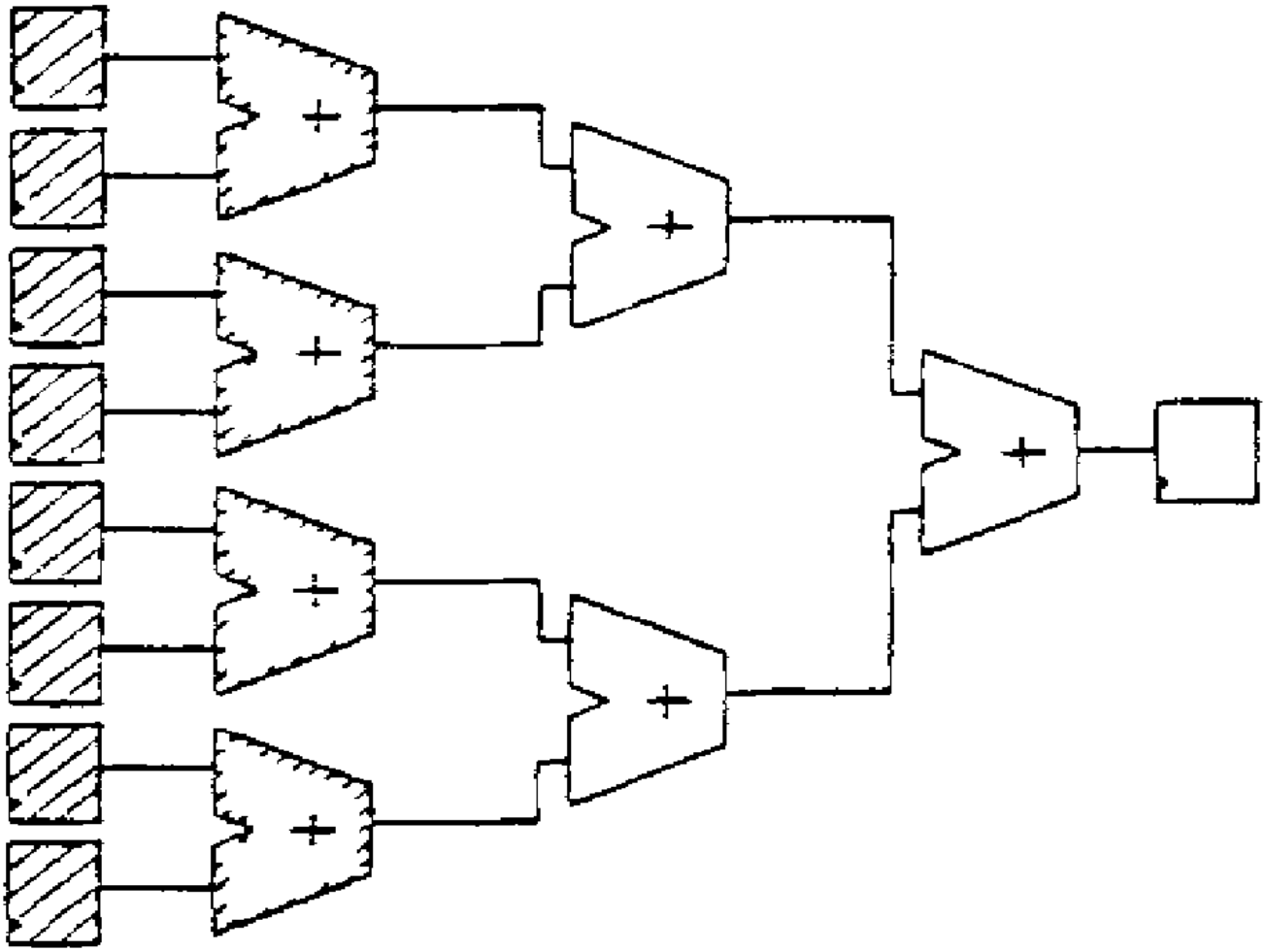
도면 25a



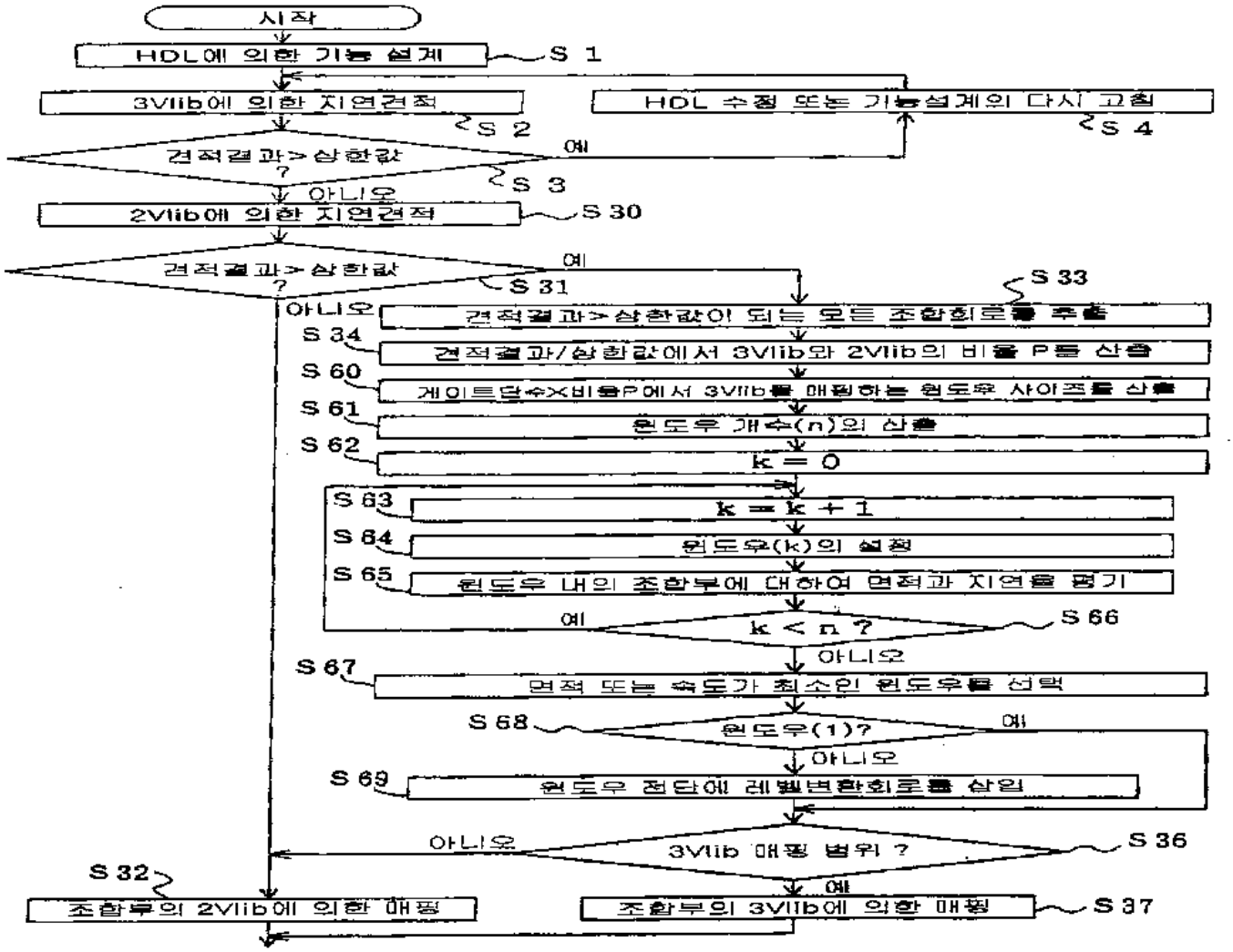
도면 25b



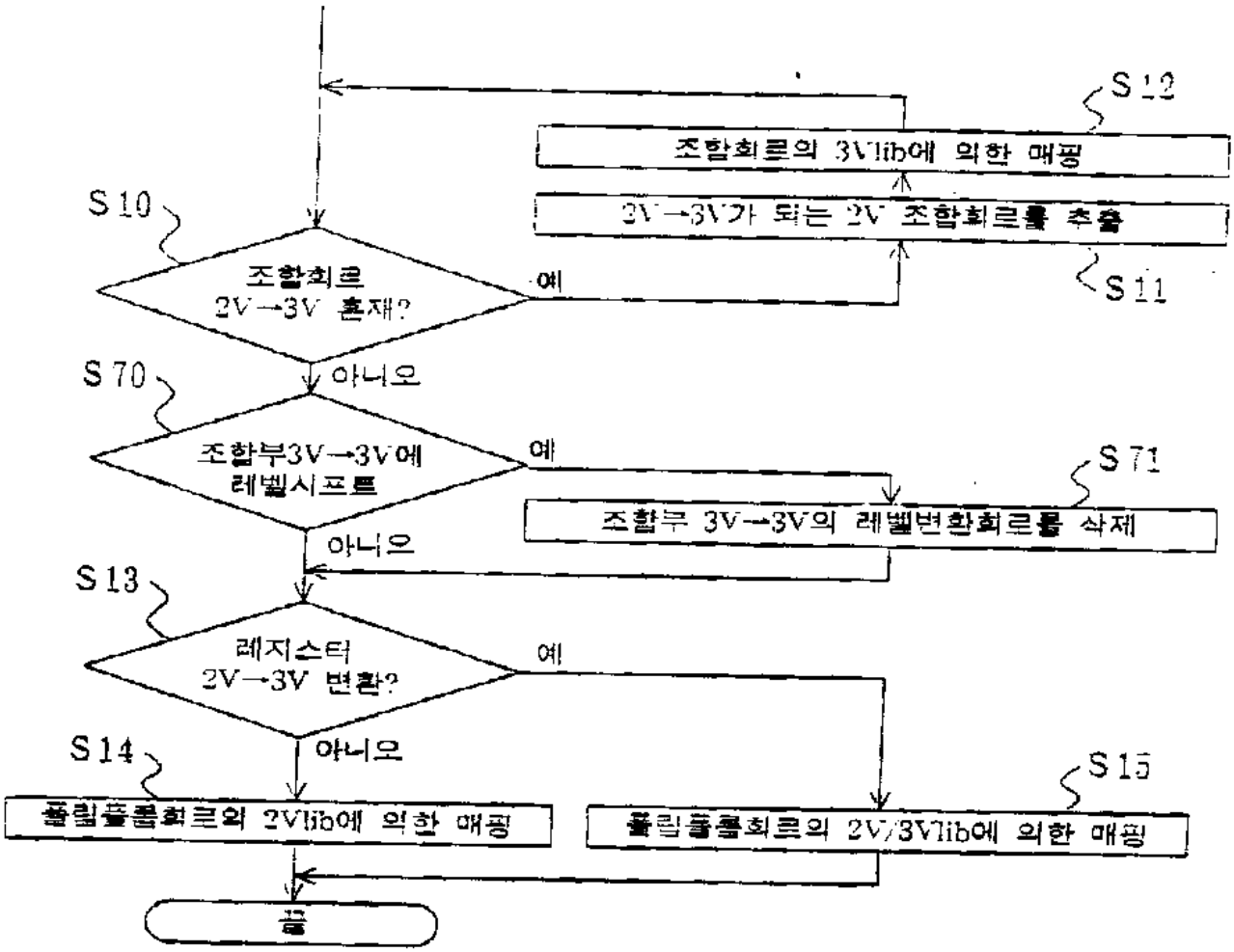
도면 25c



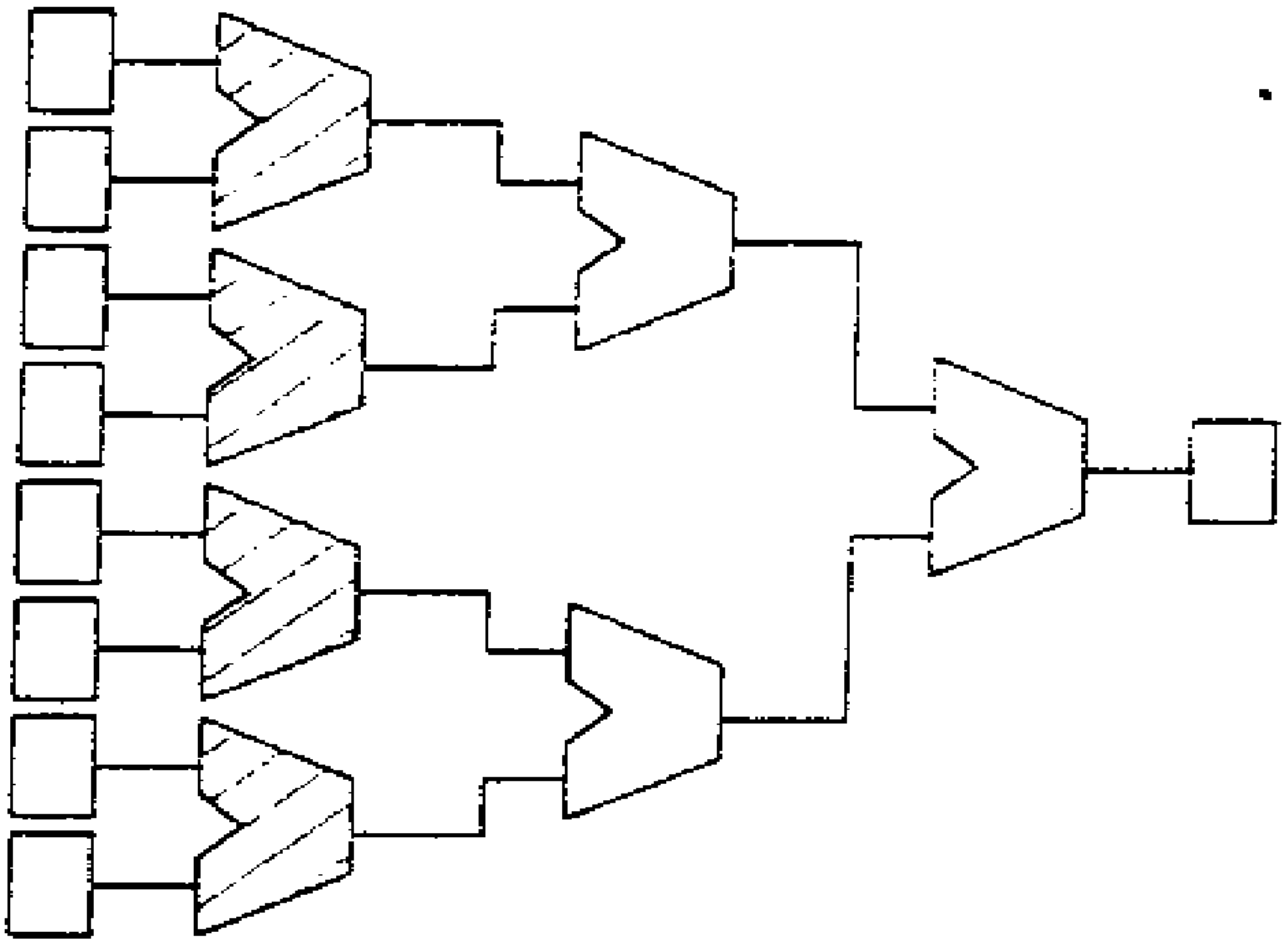
도면 26


시작
HDL에 의한 기능 설계
S 1
3Vlib에 의한 지연견적
S 2
HDL 수정 또는 기능설계의 다시 고침
S 4
견적결과>상한값 ?
예
S 3
아니오
2Vlib에 의한 지연견적
S 30
견적결과>상한값 ?
예
S 31
아니오
S 33
견적결과>상한값이 되는 모든 조합회로를 추출
S 34
견적결과/상한값에서 3Vlib와 2Vlib의 비율 P를 산출
S 60
게이트단수×비율P에서 3Vlib를 매핑하는 윈도우 사이즈를 산출
S 61
윈도우 개수(n)의 산출
S 62
k = 0
S 63
k = k + 1
S 64
윈도우(k)의 설정
S 65
윈도우 내의 조합부에 대하여 면적과 지연을 평가
예
k < n ?
S 66
아니오
S 67
면적 또는 속도가 최소인 윈도우를 선택
S 68
윈도우(1)?
예
아니오
S 69
윈도우 접단에 레벨변환회로를 삽입
아니오
3Vlib 매핑 범위 ?
S 36
예
S 32
조합부의 2Vlib에 의한 매핑
조합부의 3Vlib에 의한 매핑
S 37

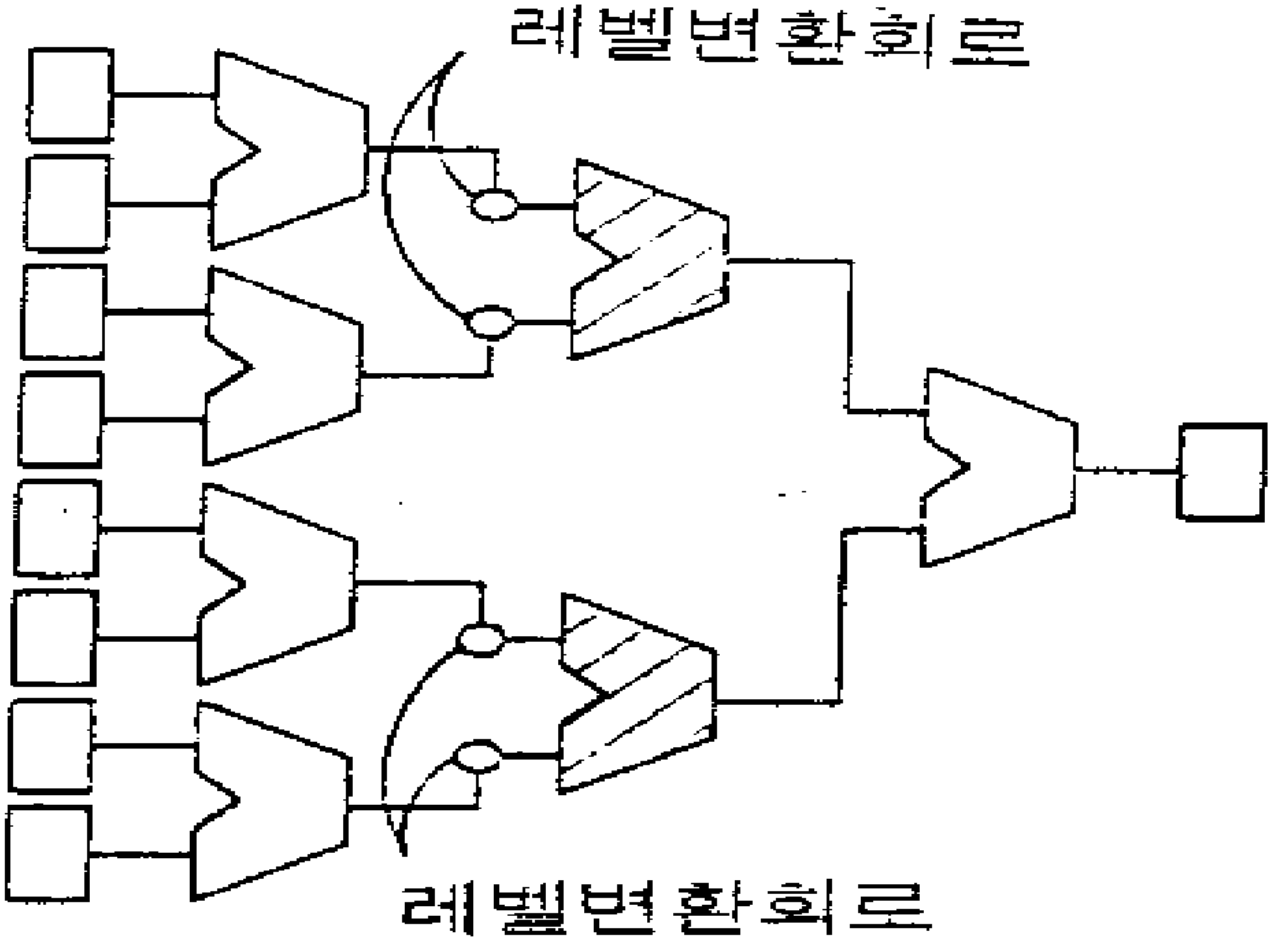
도면 27


S12
조합회로의 3Vlib에 의한 매핑
2V→3V가 되는 2V 조합회로를 추출
S11
S10
조합회로
2V→3V 혼재?
예
아니오
S70
조합부3V→3V에
레벨시프트
예
S71
조합부 3V→3V의 레벨변환회로를 삭제
아니오
S13
레지스터
2V→3V 변환?
예
아니오
S14
S15
플립플롭회로의 2Vlib에 의한 매핑
플립플롭회로의 2V/3Vlib에 의한 매핑
끝

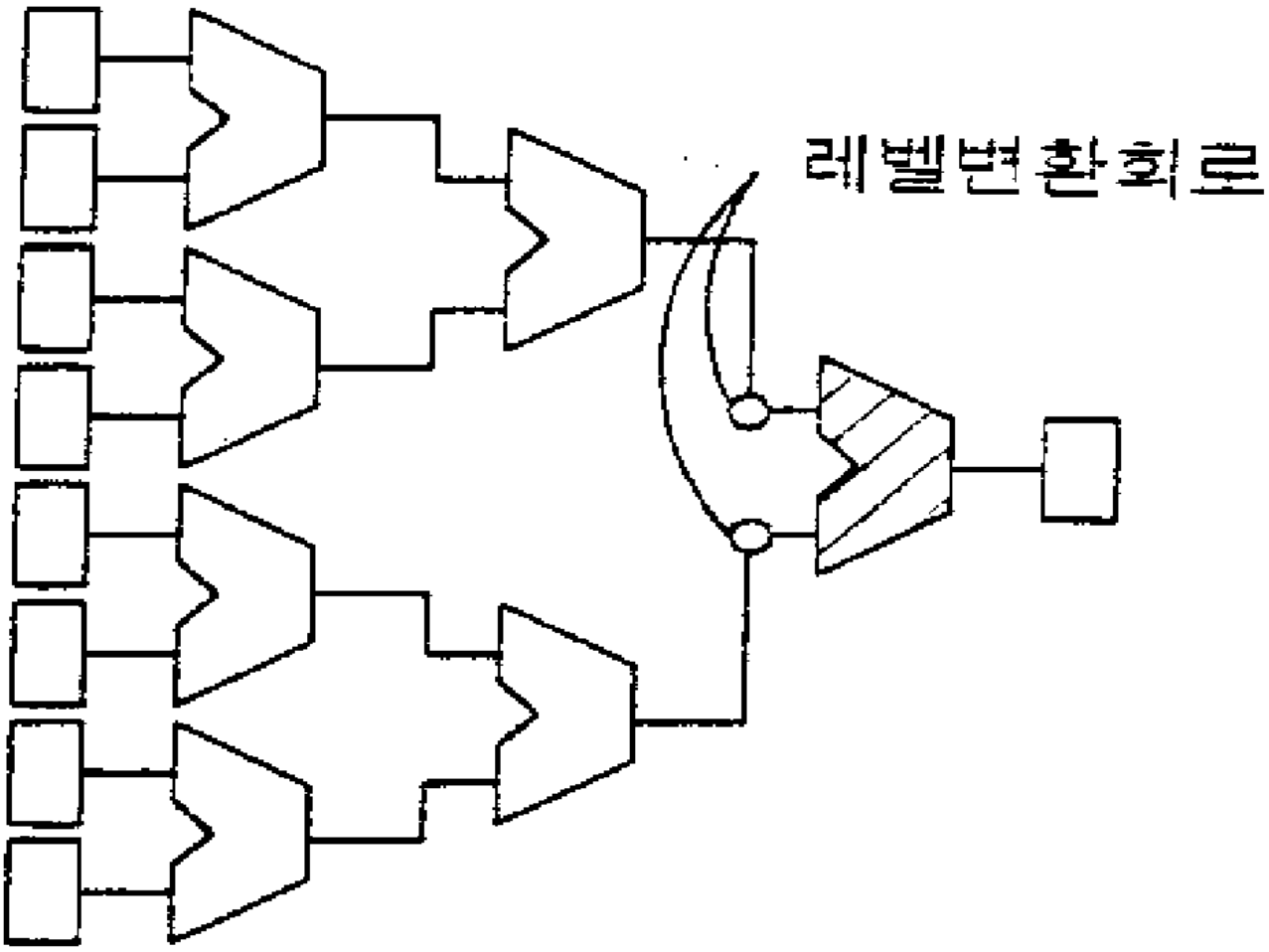
도면 28a



도면 28b



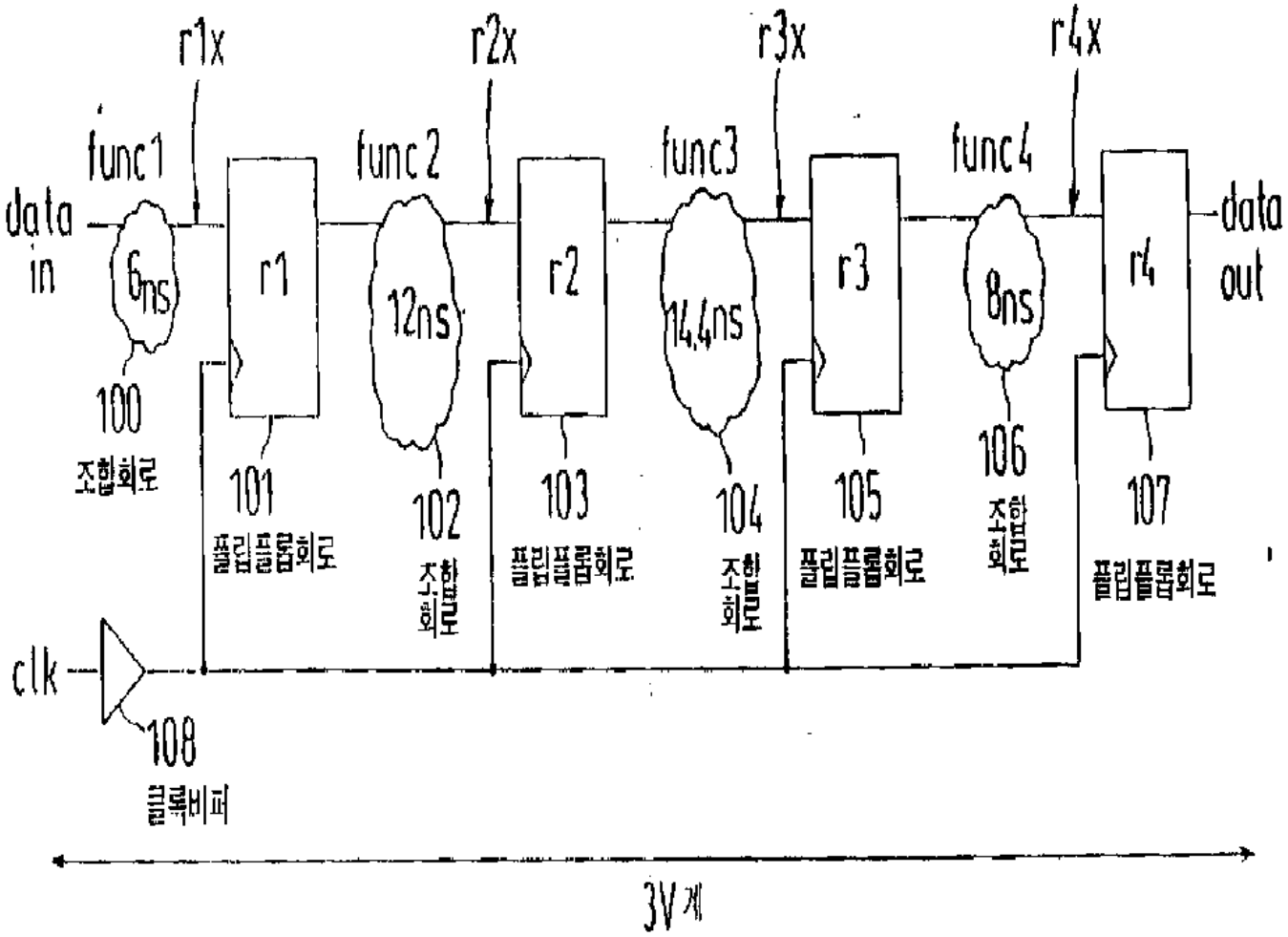
도면 28c



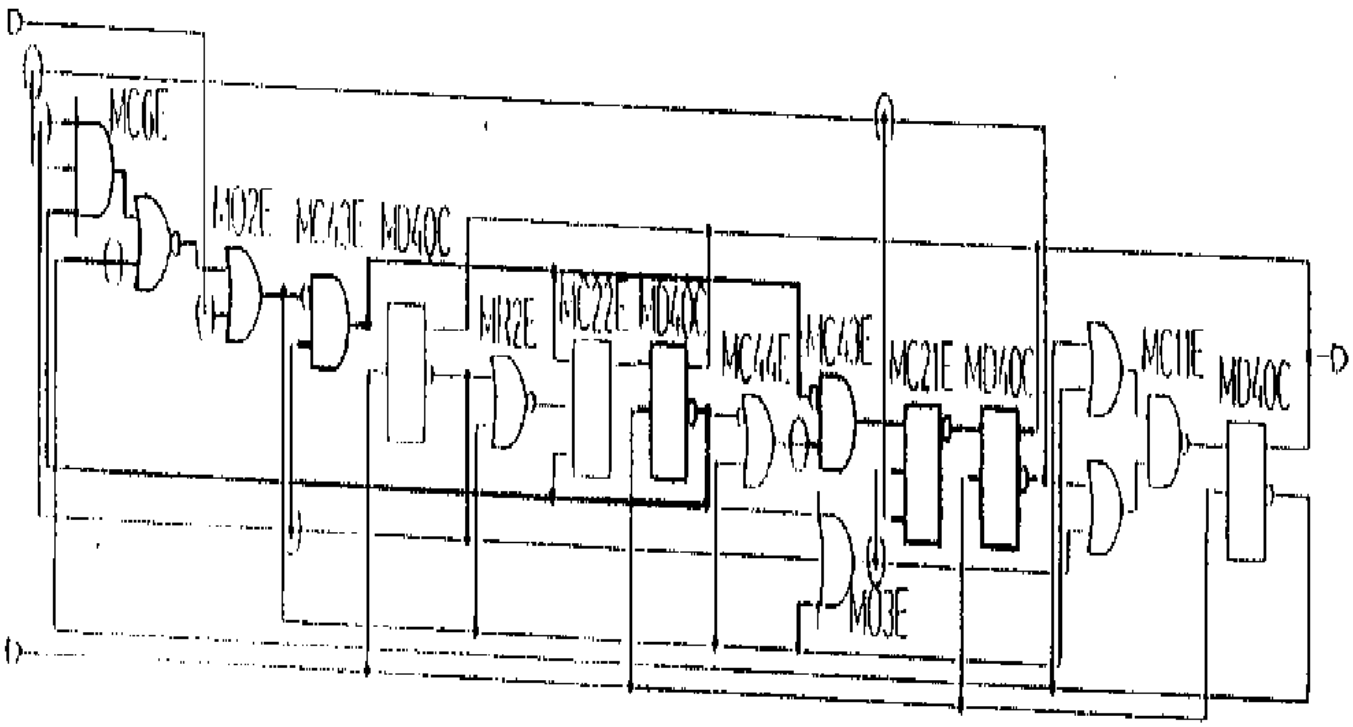
도면 29

```
module circuit (out, in, clk);

    input  in, clk;
    output out;

    reg  r1, r2, r3, r4;          //  레지스터 정의
    wire r1x, r2x, r3x, r4x;

    function func1;               //  조합회로 func1
    ...
    endfunction

    function func2;               //  조합회로 func2
    ...
    endfunction

    function func3;               //  조합회로 func3
    ...
    endfunction

    function func4;               //  조합회로 func4
    ...
    endfunction

    assign r1x = func1(...)
    assign r2x = func2(...)
    assign r3x = func3(...)
    assign r4x = func4(...)

    always@(posedge clk)          //  레지스터 전송
        begin
        r1 = r1x;
        r2 = r2x;
        r3 = r3x;
        r4 = r4x;
     end

endmodule
```

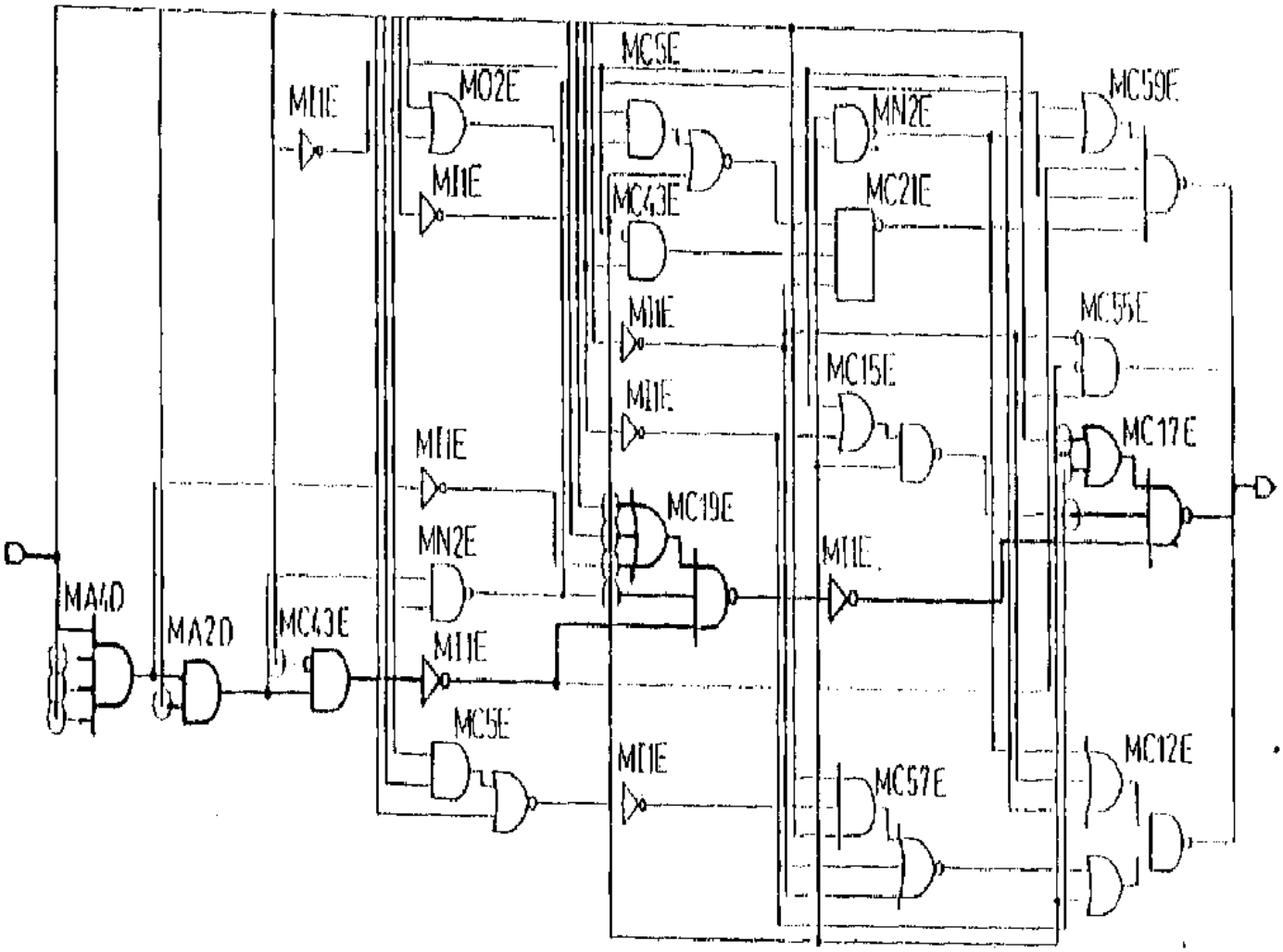
도면 30


r1x
r2x
r3x
r4x
func1
func2
func3
func4
data in
6ns
12ns
14.4ns
8ns
r1
r2
r3
r4
data out
100
조합회로
101
플립플롭회로
102
조합회로
103
플립플롭회로
104
조합회로
105
플립플롭회로
106
조합회로
107
플립플롭회로
clk
108
클록버퍼
3V 계

도면 31


MC6E
MO2E
MC43E
MD40C
MR2E
MC22E
MD40C
MC44E
MC43E
MC21E
MD40C
MC11E
MD40C
MO3E

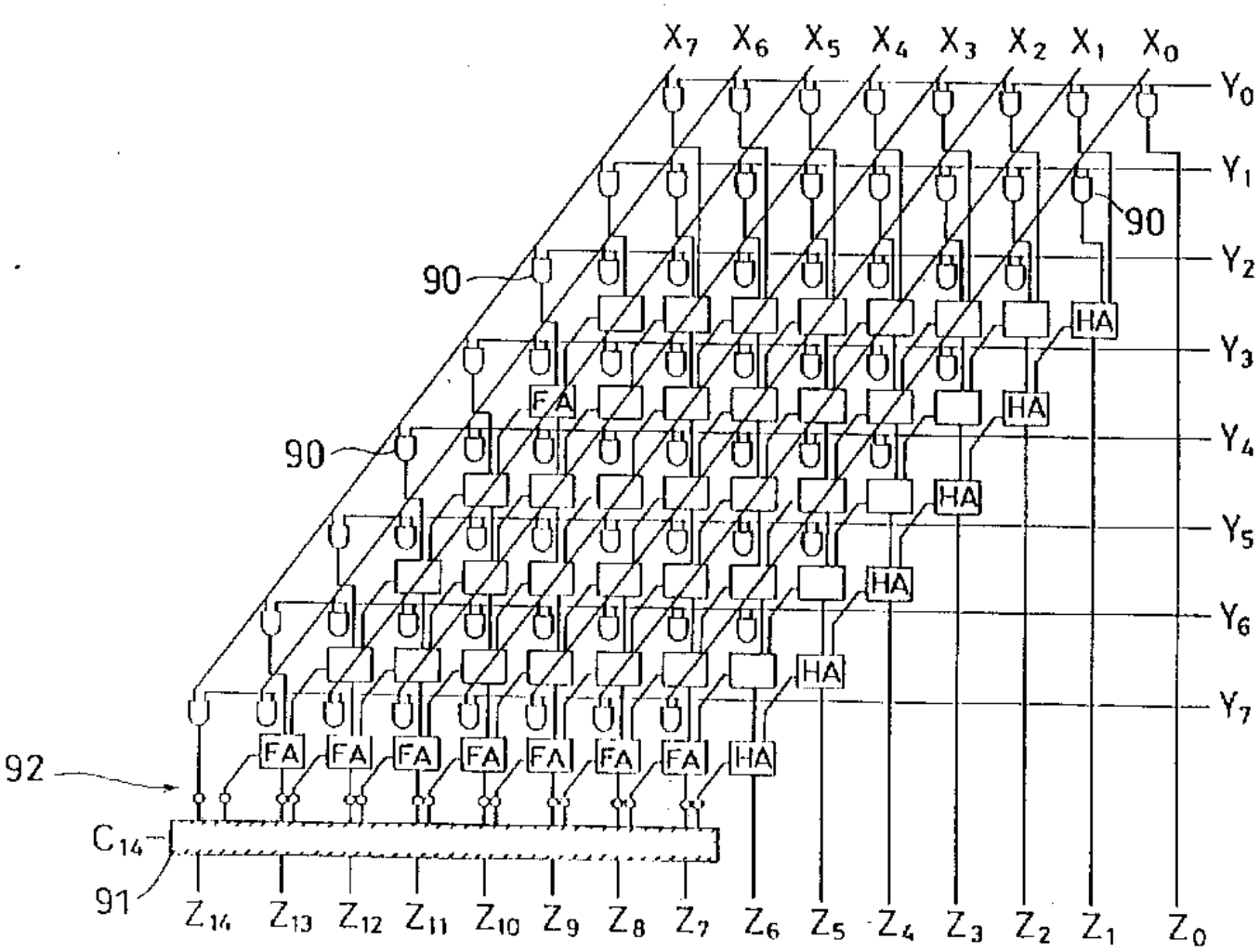
도면 32


MA4D
MA2D
MC43E
MI1E
MO2E
MI1E
MC5E
MC43E
MI1E
MI1E
MI1E
MN2E
MC19E
MC5E
MI1E
MN2E
MC21E
MC15E
MI1E
MC57E
MC59E
MC55E
MC17E
MC12E

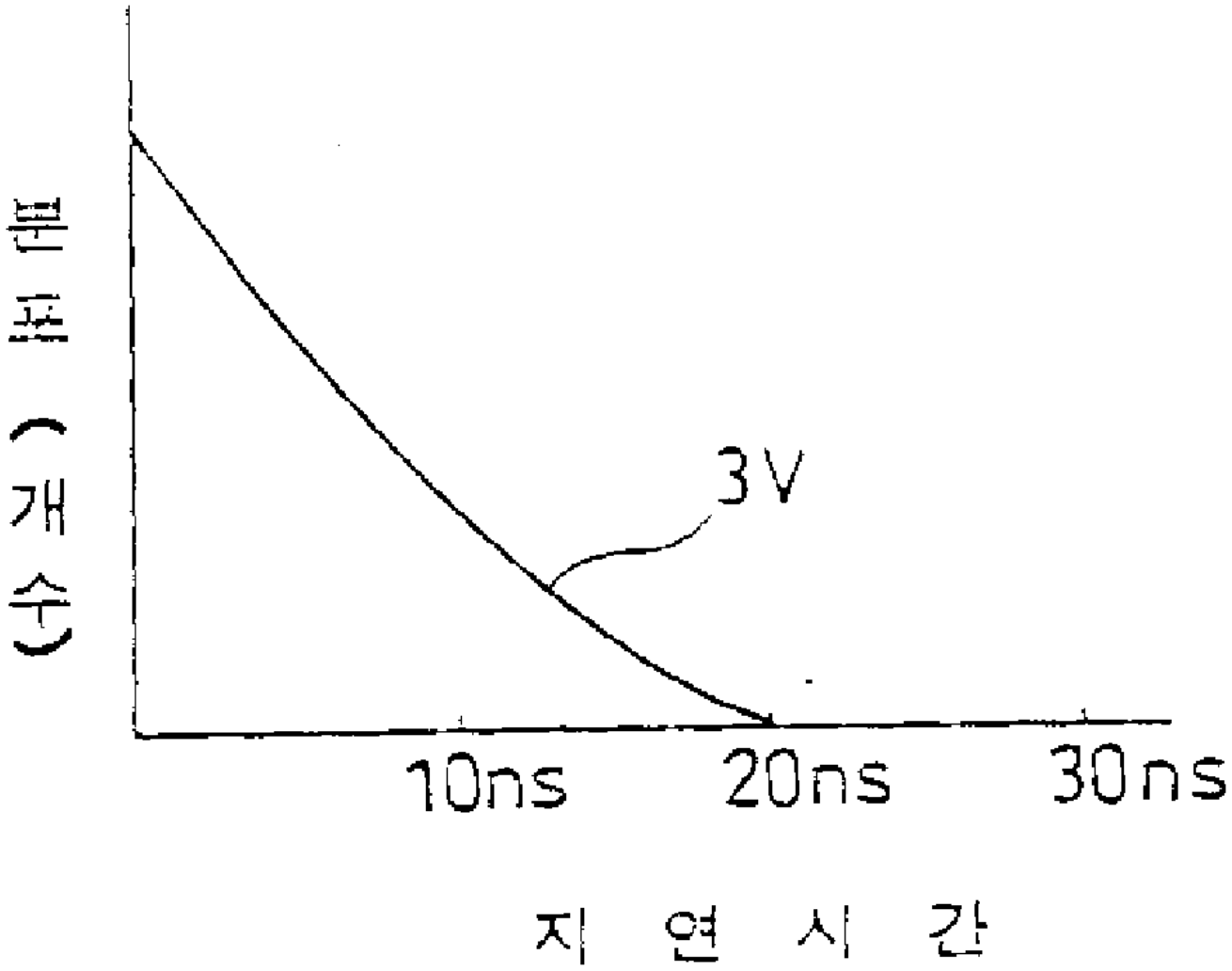
도면 33

```
/* multiplier -- carry save method */

module mul(x,y,z);
input  [7:0]  x;          //  8 bits
input  [7:0]  y;          //  8 bits
output[14:0] z;           // 15 bits

wire[14:0] s;             // sum
wire[13:6] c;             // carry

function[22:0] aroad;     // function 'array of adder'
input[7:0] x;
input[7:0] y;

. ...

endfunction

assign {c[13:6],s[14:0]} = aroad(x,y);  // call 'array of adder' .

assign z[6:0] = s[6:0];
assign z[14:7] = s[14:7] + c[13:6];     // low_power_synthesis_high_voltage

endmodule
```

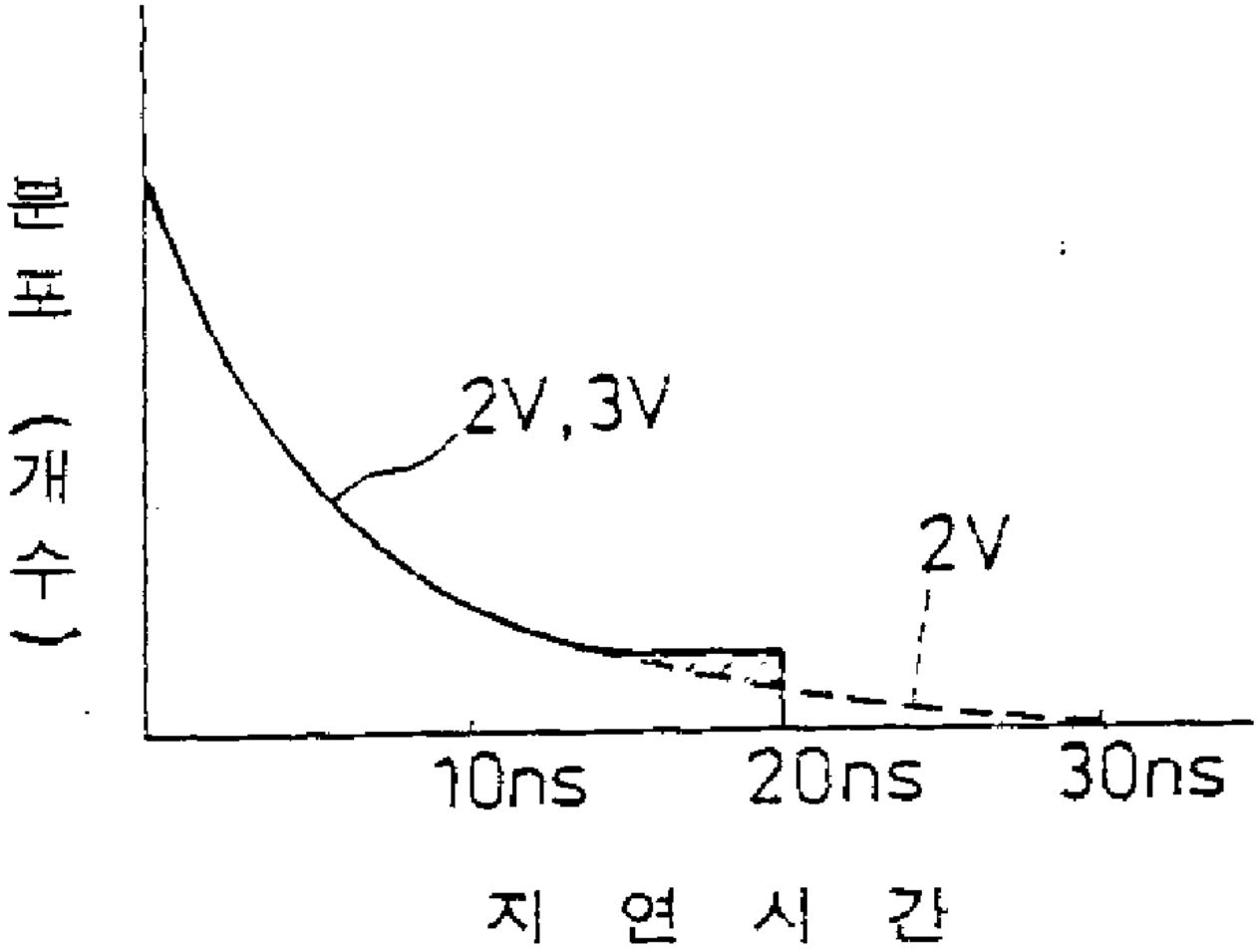
도면 34


X7 X6 X5 X4 X3 X2 X1 X0
Y0
Y1
Y2
Y3
Y4
Y5
Y6
Y7
90
90
90
FA
HA
92
C14
91
Z14 Z13 Z12 Z11 Z10 Z9 Z8 Z7 Z6 Z5 Z4 Z3 Z2 Z1 Z0

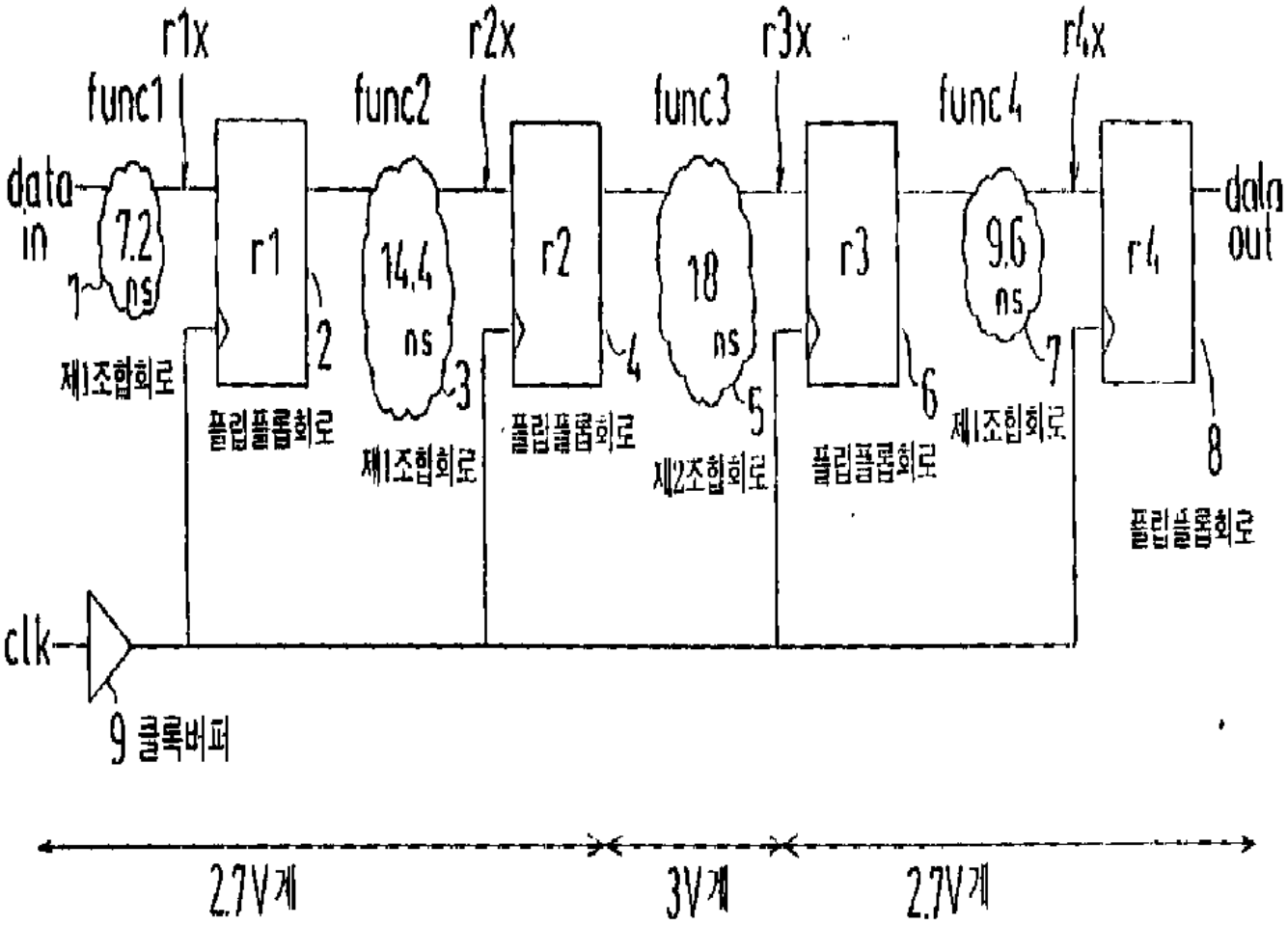
도면 35a



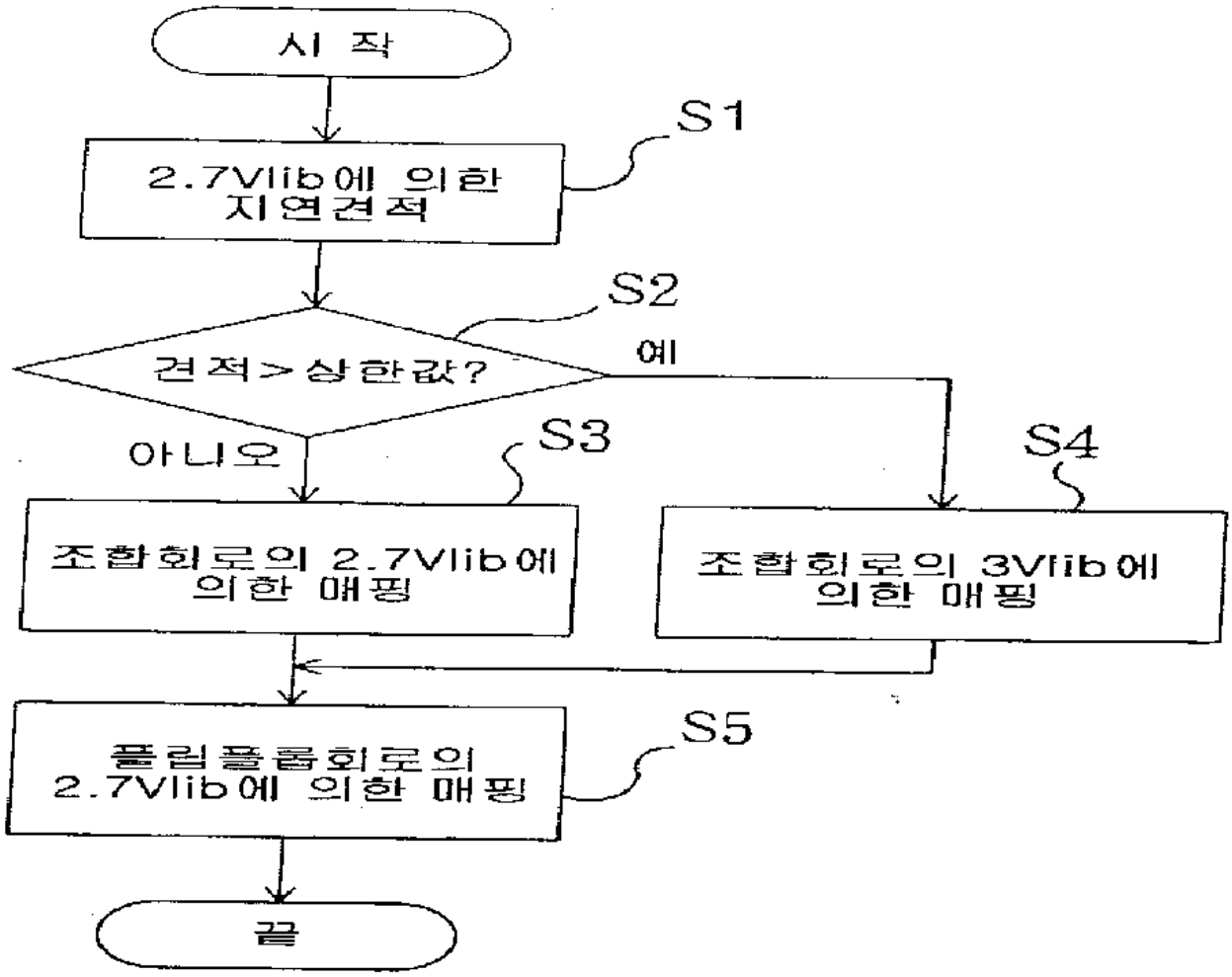
도면 35b



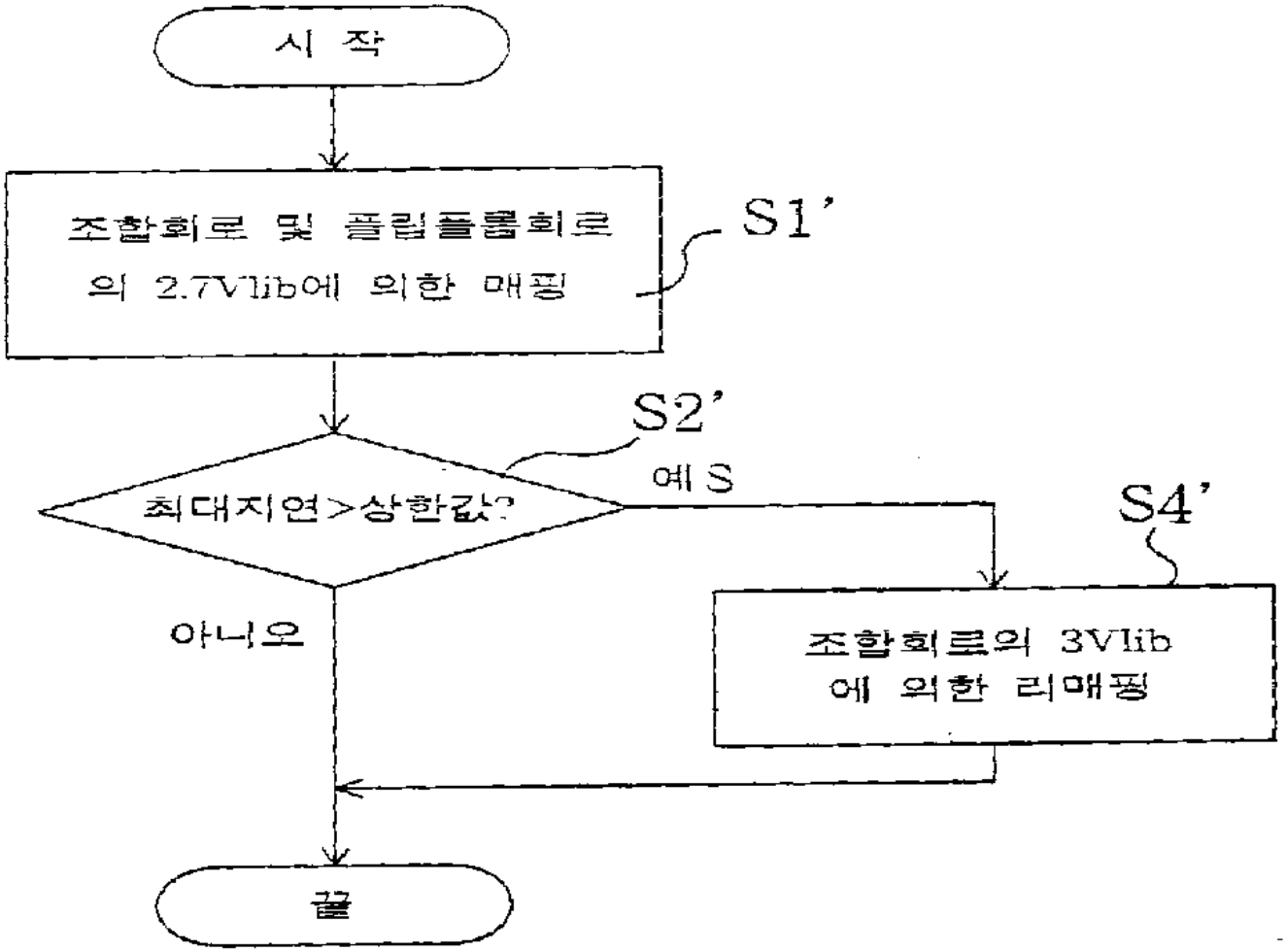
도면 36


r1x
r2x
r3x
r4x
func1
func2
func3
func4
data in
7.2 ns
14.4 ns
18 ns
9.6 ns
data out
r1
r2
r3
r4
1
2
3
4
5
6
7
8
제1조합회로
플립플롭회로
제1조합회로
플립플롭회로
제2조합회로
플립플롭회로
제1조합회로
플립플롭회로
clk
9 클록버퍼
2.7V계
3V계
2.7V계

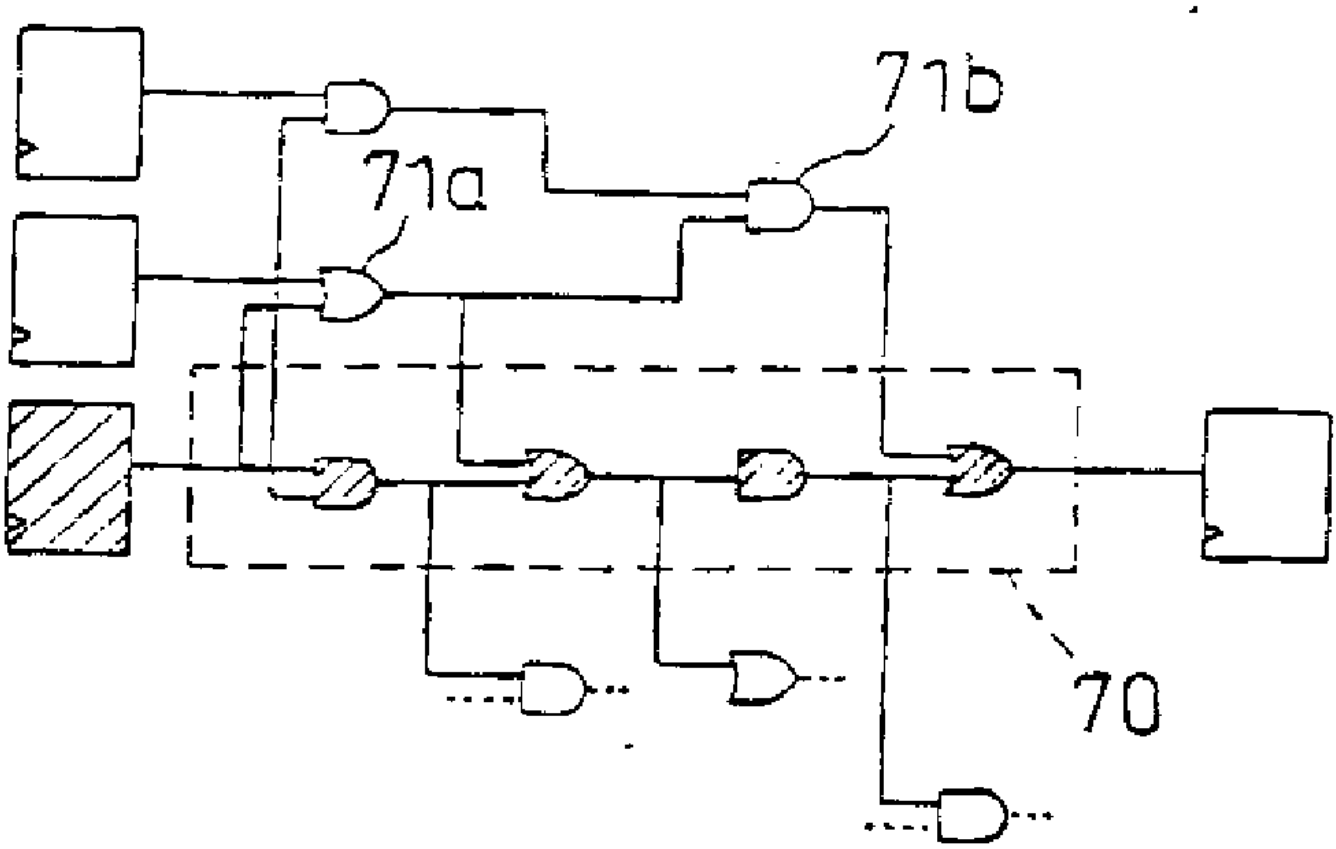
도면 37


시 작
S1
2.7Vlib에 의한
지연견적
S2
견적>상한값?
예
아니오
S3
S4
조합회로의 2.7Vlib에
의한 매핑
조합회로의 3Vlib에
의한 매핑
S5
플립플롭회로의
2.7Vlib에 의한 매핑
끝

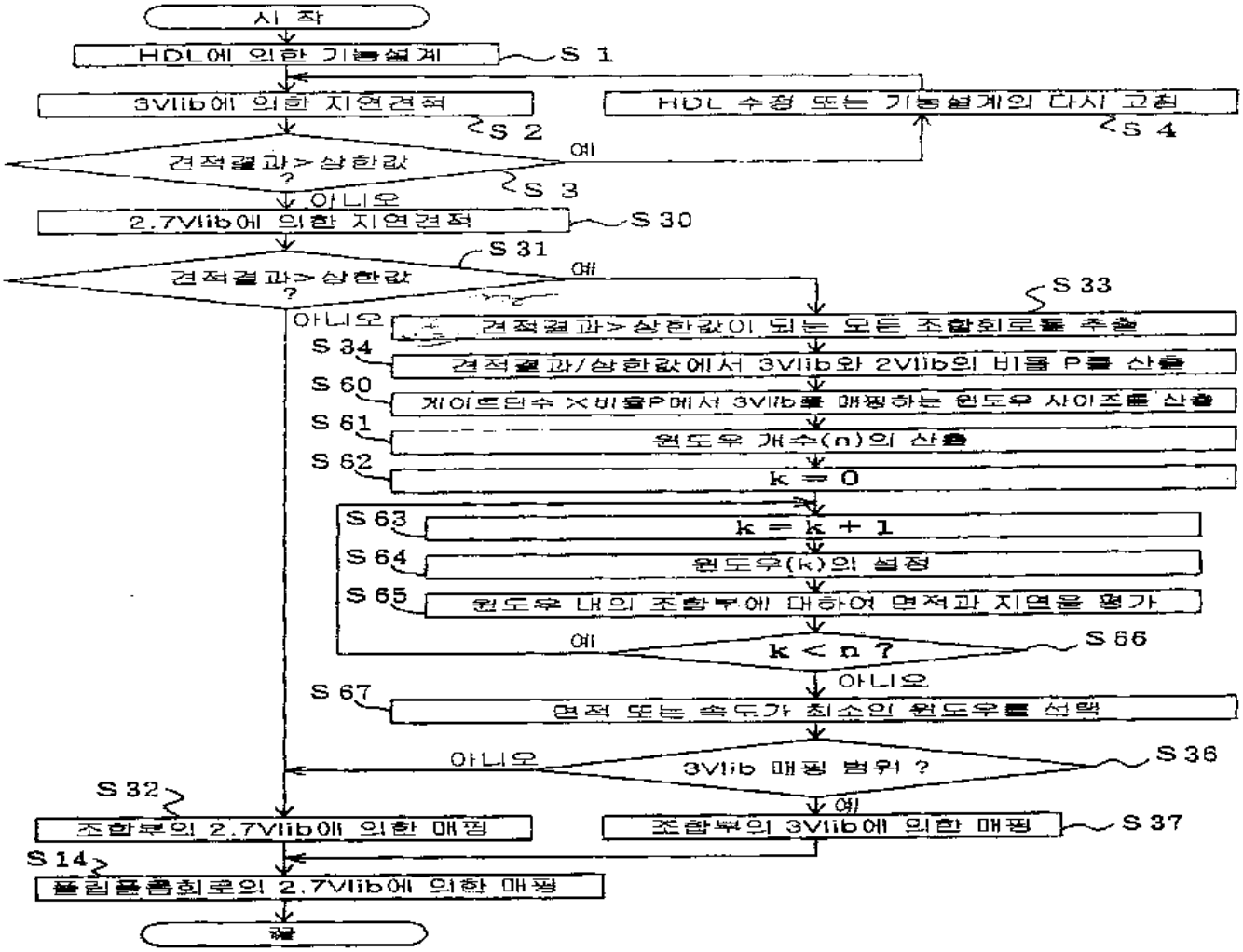
도면 38


시 작
조합회로 및 플립플롭회로의 2.7Vlib에 의한 매핑
S1'
S2'
최대지연>상한값?
예 S
아니오
S4'
조합회로의 3Vlib에 의한 리매핑
끝

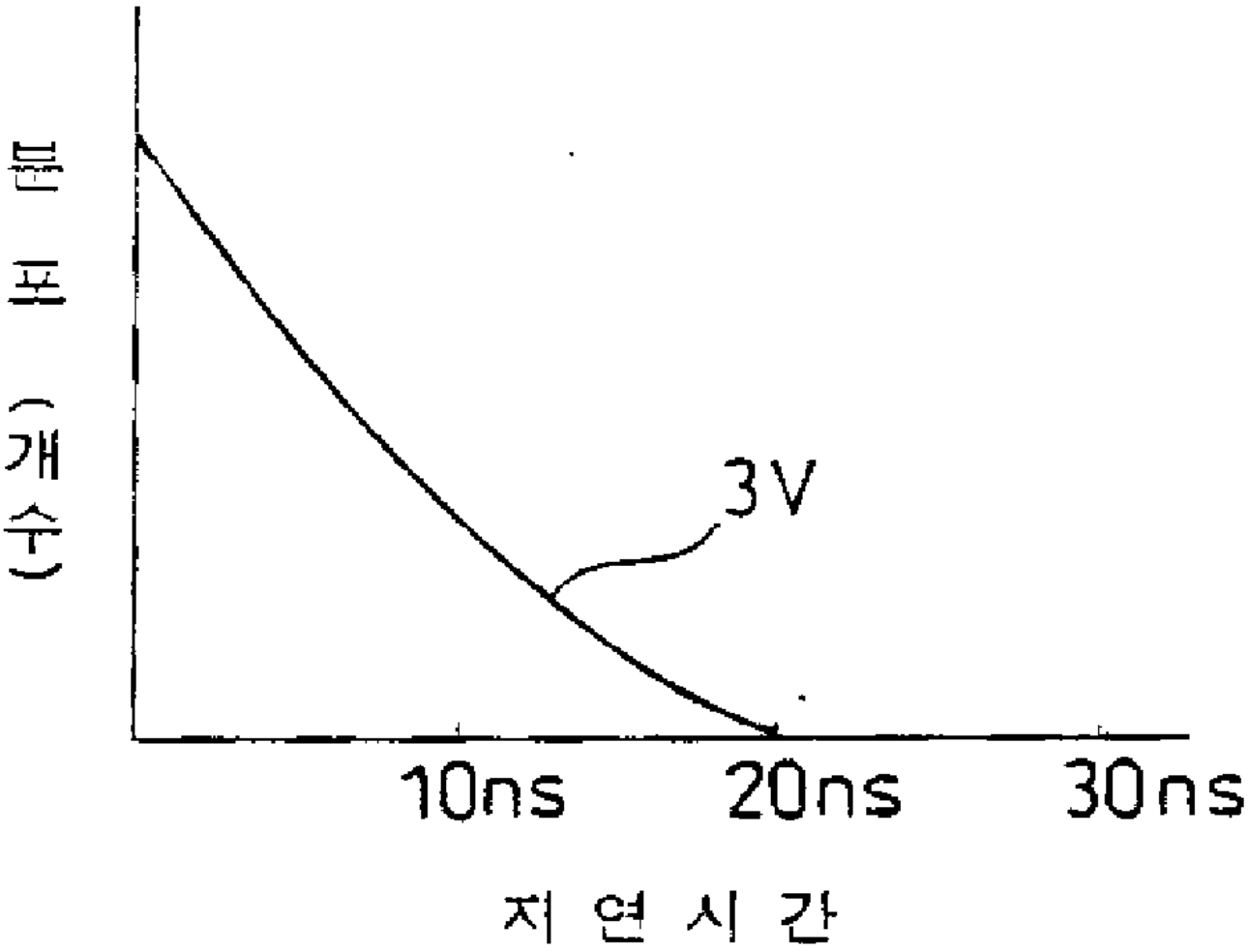
도면 39



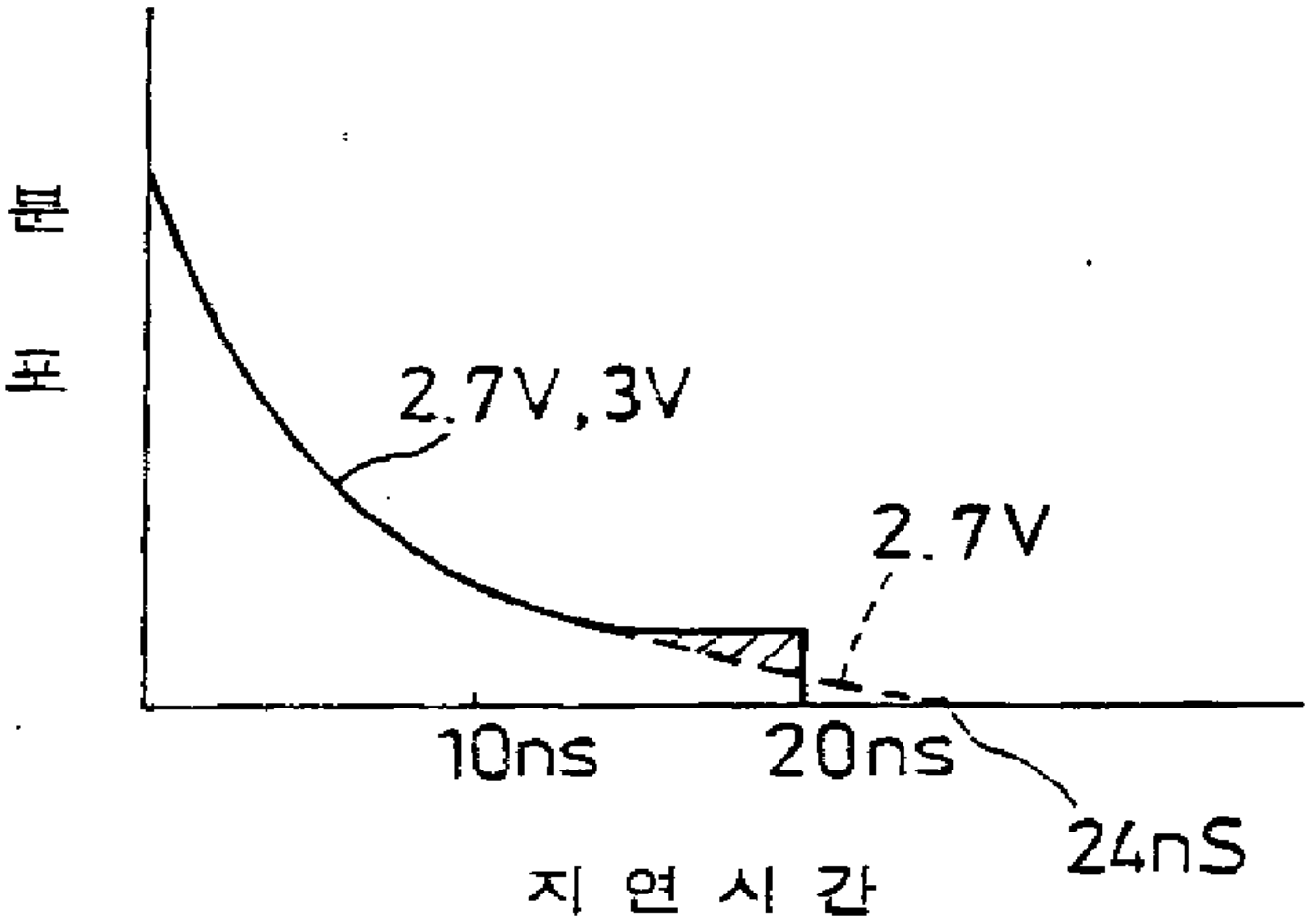
도면 40


시 작
HDL에 의한 기능설계
S 1
3Vlib에 의한 지연견적
S 2
HDL 수정 또는 기능설계의 다시 고침
S 4
견적결과>상한값 ?
예
S 3
아니오
2.7Vlib에 의한 지연견적
S 30
S 31
견적결과>상한값 ?
예
아니오
S 33
견적결과>상한값이 되는 모든 조합회로를 추출
S 34
견적결과/상한값에서 3Vlib와 2Vlib의 비율 P를 산출
S 60
게이트단수 X 비율P에서 3Vlib를 매핑하는 윈도우 사이즈를 산출
S 61
윈도우 개수(n)의 산출
S 62
k = 0
S 63
k = k + 1
S 64
윈도우(k)의 설정
S 65
윈도우 내의 조합부에 대하여 면적과 지연을 평가
예
k < n ?
S 66
아니오
S 67
면적 또는 속도가 최소인 윈도우를 선택
아니오
3Vlib 매핑 범위 ?
S 36
예
S 32
조합부의 2.7Vlib에 의한 매핑
조합부의 3Vlib에 의한 매핑
S 37
S 14
플립플롭회로의 2.7Vlib에 의한 매핑
끝

도면 41a



도면 41b



도면 42

