(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
H01S 5/323

(45) 공고일자 2001년12월17일
(11) 등록번호 10-0311632
(24) 등록일자 2001년09월27일

(21) 출원번호	10-1995-0703362	(65) 공개번호	특1996-0701463
(22) 출원일자	1995년08월11일	(43) 공개일자	1996년02월24일
번역문제출일자	1995년08월11일		
(86) 국제출원번호	PCT/US1994/01104	(87) 국제공개번호	WO 1994/18730
(86) 국제출원일자	1994년01월18일	(87) 국제공개일자	1994년08월18일
(81) 지정국	국내특허 : 일본 대한민국 EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 사이프러스 독일 덴마크 스페인 핀랜드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투칼 스웨덴		

(30) 우선권주장 08/017115 1993년02월12일 미국(US)

(73) 특허권자 미네소타 마이닝 앤드 매뉴팩쳐링 캄파니 스프레이그 로버트 월터
미합중국 55133-3427 미네소타주 세인트 폴 피.오. 박스 33427 3엠 센터

(72) 발명자 하세,마이클,에이.
미합중국,미네소타55133-3427,세인트폴,피.오.박스33427
큐,전.
미합중국,미네소타55133-3427,세인트폴,피.오.박스33427
쳉,화.
미합중국,미네소타55133-3427,세인트폴,피.오.박스33427
드퓨이트,제임스,엠.
미합중국,미네소타55133-3427,세인트폴,피.오.박스33427

(74) 대리인 나영환, 이상섭

심사관 : 박준영

(54) 매몰-리지II-VI족레이저다이오드와제조방법

명세서

[발명의 명칭]

매몰-리지 II-VI족 레이저 다이오드와 제조 방법

[발명의 배경]

본 발명은 반도체 레이저 다이오드에 관한 것으로, 특히 매몰-리지(buried-ridge) 도파관을 갖는 II-VI족 레이저 다이오드와 이것의 제조 방법에 관한 것이다.

II-VI족 반도체 재료로 제조된 레이저 다이오드는 미네소타, 세인트폴에 소재하는 3M 사의 연구에 의해 개발되어 있다. 이들 디바이스는 실온에서 스펙트럼이 청색-녹색의 파장부를 차지하는 약 520nm의 방사선을 방출한다. 이것은 1991년의 물리학회의 갈륨 비소와 관련 화합물에 대한 회보지 제120호, 페이지 9~16에서 하세(Haase) 등의 논문 "Short Wavelength II-VI Laser Diodes"에 의해 개시되어 있다.

GaAs와 AlGaAs와 같은 III-V족 화합물 반도체로 제고되고 적외선광을 방출하는 매몰-리지(매몰-헤테로구조) 레이저 다이오드가 알려져 있으며 널리 사용되고 있다. 매몰-리지 III-V족 레이저 다이오드의 제1 구현의 하나는 츠카다(Tsukada)에 의해 J.Appl. Physics, Vol. 45, p. 4899(1974년 11월)에 GaAs-$Ga_{1-x}Al_xAs$ 매몰 헤테로 구조 주입 레이저(Buried-Heterostructure Injection Lasers)로 보고되어 있다. 이들 디바이스는 초기 에피텍셜 구조가 에칭되고 이어서 측면 제한 층(피복(cladding))을 성장시키기 위해 액정 성장 장치로 되돌려지는 에피텍셜 "재성장"절차를 이용하여 제조된다. 에피텍셜 재성장은 통상 리지를 형성하는 에칭 단계 이후 디바이스가 공기에 노출될 때 디바이스 상에 형성하는 산화막을 이탈(desorb)시킬 정도의 높은 기판 온도를 수반한다.

이와노(Iwano) 등의 미국 특허 제4,856,013호는 III-V족 반도체 화합물로 형성된 활성층(active layers)과 접촉층을 갖는 레이저 다이오드를 개시한다. III-V족 반도체는 에칭되어 립(rib)을 형성하고, 상기 립은 금속 유기 화학 기상증착(MOCVD)에 의해 형성되는 II-VI족 반도체로 된 제한층에 매몰된다. 닌나(Niina) 등의 미국 특허 제4,607,369호는 MOCVD와 같은 저온 증착공정으로 형성되는 II-VI족 화합물로 매몰되는 반도체 레이저를 개시하고 있다. 그러나 이들 에피텍셜 재성장 기법은 필요한 이탈(desorption) 온도가 이전 성장 층의 전도율을 파괴할 수도 있기 때문에 II-VI족 디바이스에는 적합하지 않다.

WO 92/21170호는 II-VI족 화합물 반도체 레이저 다이오드에 관한 것이다. 다이오드는 제1 도전형의 II-VI족 반도체로 된 제1 유도층과, 상기 제1 유도층에 인접한 제2 도전형의 II-VI족 반도체로 된 제2

유도층을 구비하고, 상기 제1 및 제2유도층은 Pn 접합과, 상기 제1 및 제2 유도층 사이에 II-VI족 반도체로 된 양자 우물 활성층과, 상기 제2 유도층으로부터 상기 제1 유도층에 대향하는 제1 도전형인단결정 반도체 기판과, 상기 제1 유도층으로부터 상기 기판에 대향하는 제1 전극과 상기 제1 유도층으로부터 상기 제2 유도층에 대향하는 제2 전극을 형성한다.

II-VI족 레이저 다이오드 기술을 개선해야할 연속적인 필요성이 남아있음은 분명하다. 폭 넓은 상용화 가능성에 대해 레이저 다이오드는 비교적 단순한 구조와 저렴한 제조 비용을 갖추어야 한다. 이러한 디바이스는 비교적 낮은 임계 전류로 동작하고 양호한 광학적 특성의 출력 빔을 제공할 수 있어야만 한다.

[발명의 요약]

본 발명은 효율적으로 제조될 수 있는 비교적 단순한 구조의 매몰-리지(매몰헤테로 구조) II-VI족 레이저 다이오드에 관한 것이다. 한 실시예에서 매몰층은 p형 층의 전기 전도도(conductivity)를 파괴시키지 않는 비교적 저온의 기술로 증착 된다. 원형(prototype)은 비교적 낮은 임계 전류에서 하나의 측면 모드 동작을 나타낸다.

본 발명의 레이저 다이오드는 제1 도전형의 단결정 반도체 기판과 기판상의 II-VI족 반도체의 인접 제1 및 제2 유도층(guiding layers)을 포함한다. 제1 및 제 2 유도층은 각각 제1 및 제2 도전형으로 pn 접합을 형성한다. II-VI족 반도체의 양자 우물 활성층(quantum well active layer)은 pn접합에 인접하여 배치된다. 측면 방향의 광학적 제한 및 전류 제한을 위한 매몰-리지 도파관은 II-VI족 반도체의 층 과 상기 리지의 대향 측변부의 II-VI 반도체의 매몰층 중 적어도 한 층의 리지에 의해 형성된다. 전원은 제1 및 제2 전극에 의해 레이저 다이오드에 연결된다.

한 실시예에서 매몰층은 다결정 II-VI족 반도체로 된 층이다. 이 매몰층은 진공 증착(vacuum evaporation)에 의해 증착될 수 있다.

레이저 다이오드의 다른 실시예도 상기 기판과 상기 제1 유도층 사이에 배치 된 제1 도전형의 II-VI족 반도체의 제1 클래딩층과, 상기 제2 유도층과 상기 제2전극 사이에 배치된 제2 도전형의 II-VI족 반도체의 제2 클래딩층을 포함한다. 리지는 본 실시예에서는 적어도 제2 클래딩층(cladding layer)내로 연장한다.

또 다른 실시예는 GaAs 기판과, ZnSSe 클래딩층 및 ZnSe 유도층을 포함한다. 양자 우물층은 CdZnSe이다. 다결정 ZnSe 또는 ZnS는 매몰-리지 도파관용의 매몰층으로 이용될 수 있다.

[도면의 간단한 설명]

제1도는 본 발명에 따른 II-VI족 반도체 레이저 다이오드의 제1 실시예의 구조를 나타내는 단면도(실척 아님)이다.

제2도는 본 발명에 따른 레이저 다이오드의 제조에 이용할 수 있는 MBE(분자빔 에피텍시:molecular beam epitaxy)의 설명도이다.

제3도는 제1도의 양자 우물층의 상세한 단면도이다.

제4도는 제2도에 나타낸 MBE 시스템이 본 발명에 따른 레이저 다이오드의 양자 우물층의 제조를 위해 동작되는 셔터 순서의 그래프이다.

제5a도 내지 제51도는 본 발명에 따른 레이저 다이오드를 제조하는 동안의 여러 단계에서의 웨이퍼의 단면도(실척 아님)이다.

제6도는 본 발명에 따른 레이저 다이오드를 제조하기 위해 사용된 진공 챔버를 나타낸 도면이다.

제7도는 본 발명에 따른 원형 레이저 다이오드로부터의 측정 파·필드 빔 패턴(far field beam pattern)의 그래프이다.

제8도는 본 발명에 따른 II-VI 반도체 레이저 다이오드의 제2 실시예의 구조를 설명하는 단면도(실척 아님)이다.

제9도는 제8도의 레이저 다이오드에 관한 것으로, 광 유도층의 두께의 함수로서의 광학 모드의 하프맥시멈(FWHM) 강도에서 전체 폭과 손실계수(α)의 결과를 나타낸 그래프이다.

제10도는 제1도와 제8도에 나타낸 레이저 다이오드를 위한 대체 $_{P}$형 오옴 접촉을 나타낸 도면이다.

제11도는 제10도에 나타낸 경사형 오옴 접촉층의 제1 실시예를 설명하는 도면이다.

제12도는 제11도에 나타낸 경사형 오옴 접촉층의 제2 실시예를 설명하는 도면이다.

제13도는 제10도에 통상적으로 설명된 원형 오옴 접촉의 I-V 특성을 나타낸 그래프이다.

[실시예]

본 발명에 따른 매몰-리지(매몰 헤테로 구조) II-VI족 화합물 반도체 레이저다이오드(10)는 제1도에 개략도로 도시되어 있다. 도시된 바와 같이 레이저 다이오드(10)는 매몰-리지 도파관(15)을 형성하기 위하여 다결정 ZnS 매몰층(13)에 의해 둘러싸지거나 혹은 "매몰"되는 측변부를 갖는 1~10 μm 폭의 리지(11)를 포함한다. 이러한 지수의 유도 디바이스는 비교적 낮은 임계 전류에서 하나의 측면 모드 동작을 지지한다. 이하 설명되는 원형들은 85 K에서 4 mA 정도의 낮은 (펄스화 된)임계 전류와 실온에서 66 mA 정도의 낮은 임계 전류로 코히어런트의 청색-녹색 광을 방출하는 레이저 동작을 나타냈다.

레이저 다이오드(10)는 GaAs 기판(12)상에 제조되고, 각각 하부 및 상부(제1및 제2) ZnSe 광 유

도 층(14, 16)에 의해 형성되는 pn 접합을 포함한다. Cdznse 양자 우물 활성층(18)은 상기 실시예에서는 유도층(14, 16)사이에 위치한다. 그러나 활성층(18)은 유도층(14, 16)내에서 Pn 접합에 인접하는 다른 위치에 위치할 수 있다. 활성층(18)에 면하고 있는 광 유도층(14, 16)의 표면은 각각 하부와 상부Znsse 클래딩층(20)에 의해 고착된다. 하부 ZnSe 오옴 접촉층(24)은 광 유도층(14)에 면하고 있는 하부의 클래딩층(20)의 표면에 위치하고, 반면에 상부 ZnSe 오옴 접촉층(26)은 광 유도층(16)에 면하고 있는 상부 클래딩층(22)의 표면에 위치한다. 비록 오옴 접촉층이 상기 디바이스내에 항상 내장되지는 않더라도 상기 설명한 실시예는 접촉층과 연속적인 증착층의 높은 결정 특성을 보장할 수 있도록 하부 ZnSe접촉층(24)으로부터 기판(12)을 분리시키는 GaAs 버퍼층(28)을 포함한다. 오옴 접촉층(26)에 대한 전기 접촉은 Au층(30)에 의해 형성된다. 박막 Ti 층(31)과 이어서 최종적인 Au 층(33)이 상부 전극을 형성하기 위해 Au 층(30)의 노출부와 매몰층(13)위에 도포된다. 레이저 다이오드(10)의 하부 측변부에 대한 전기 접촉은 하부 오옴 접촉층(24)에 대향하는 기판(12)의 표면상의 In 또는 Pd-Au 전극(32)에 의해 형성된다.

층(24, 20, 14)은 레이저 다이오드(10)의 원형에 Cl(즉, 제1 도전형)을 첨가하여 모두 n형으로 도핑된다. 층(16, 22, 26)은 N(즉, 제2 도전형)을 첨가하여 모두 P형으로 도핑된다. 활성층(18)은 SPSLS(short-period strained-layer superlattice) 양자 우물일 수 있다. 광 유도층(14, 16)은 두께가 모두 0.5 μm이다. 하부의 광 유도층(14)은 $1\times10^{17}cm^{-3}$ 농도의 순수한 도우너로 도핑되고, 상부의 광 유도층(16)은 $2\times10^{17}cm^{-3}$ 농도의 순수한 억셉터로 도핑된다. 클래딩층(20, 22)은 각각 1.5μm와 1μm의 두께로 증착된 $ZnS_{0.07}Se_{0.93}$ 반도체층이다. 하부 클래딩층의 순수한 도우너 농도는 $1\times10^{17}cm^{-3}$이다. 상부 클래딩층의 순수한 억셉터는 $2\times10^{17}cm^{-3}$이다. 오옴 접촉층(24)은 이들 원형 디바이스에서 0.02 μm의 두께로 증착된다. 오옴 접촉층(26)은 0.01 μm의 두께로 증착된다. 하부 접촉층은 $7\times10^{18}cm^{-3}$의 농도의 순수한 도우너에 의해 n형으로 도핑된다. 상부 접촉층은 $2\times10^{18}cm^{-3}$ 농도의 순수한 억셉터에 의해 P형으로 도핑된다.

다른 파라미퍼와 재료 역시 본 발명에 따라 레이저 다이오드(10)의 제조에 이용될 수 있다. 예를 들어, 층(24, 20, 14, 16, 22, 26)의 두께는 특정 응용의 필요에 따라 변화될 수 있다. 접촉층, 클래딩층 및 광 유도층(24, 20, 14)의 종래의 두께 범위는 각각 0.01~1.0μm와, 0.5~5.0 μm 및 0.1~1.0 μm이다. 일반적으로, 광 유도층(14, 16)의 두께는 광학 모드의 폭을 최소화하도록 선택되어야 한다. 상기 층(14, 16)이 너무 얇게 선택되면 소실성 미소부(evanescent tails)는 클래딩층(20, 22)내로 멀리 연장한다. 클래딩층(20, 22)은 기판(12)과 전극(32)에서의 광학모드의 흡수를 무시할 수 있을 정도로 충분히 두꺼워야 한다. 양자 우물 활성층(18)은 유효 캐리어 제한을 용이하게 할 수 있도록 충분한 에너지 대역간극(bandgap) 차(대략 0.3 eV의 $\triangle E_g$)를 제공하는 대략 0.3의 X(레이저 파장을 판정)에 의해 종래의 MBE(molecular beam epitaxy)에 의한 $Cd_xzn_{1-x}Se$층으로서 성장될 수도 있다.

대략 0.07의 y를 갖는 ZnS_ySe_{1-y} 클래딩층(20, 22)의 조성은 저손실 도파관(low-loss waveguide)을 형성하기 위해 ZnSe 유도층(14, 16)의 굴절률로부터 굴절률의 충분한 차이를 제공할 수 있도록 선택되었다. 이러한 구성물은 그 형태가 300℃의 성장 온도에서 GaAs 기판에 매치된 거의 격자형이기 때문에 양호한 형태를 제공한다. 클래딩층(20, 22)은 MnZnSSe, MgZnSSe 및 CdZnS와 같은 다른 II-VI족 반조체로도 제조될 수 있다.

도파관 매몰층(13)은 ZnSe, ZnSSe, CdS, ZnTe, CdTe, CdZnS 또는 다른 반도체 화합물 또는 합금층과 같은 다른 II-VI족 반도체로 제조될 수도 있다. 도파관(15)의 저손실 지수 유도 함수(low-loss index-guided function)를 가능케하는 굴절률을 갖는 것에 추가하여, 매몰층(13)을 위해 선택된 재료는 높은 전기 저항률을 가져야하며 레이저 다이오드(10)의 효율적인 제조에 적합해야 한다.

사용될 수 있는 다른 n형 도펀트로는 Ga, Al, In, I, F, 및 Br이 있다. 산소또는 Li 억셉터는 p형 도펀트로도 사용될 수 있다. 사용될 수 있는 다른 그룹인 V족의 P형 도펀트로는 비소와 인이 포함된다. 비록 도우너와 억셉터의 농도가 과도 한 자유 캐리어의 흡수를 야기할 정도로 높거나 또는 과도한 저항을 발생시킬 정도로 낮아서는 안되지만 적절한 농도의 도우너와 억셉터가 사용될 수 있다.

레이저 다이오드(10)의 원형(prototype)은 (100)의 결정 방향을 갖고 Si로 도핑된 n^+ 형 GaAs 기판(12)에 제조된다. 이러한 형태의 기판(12)은 스미토모 전자산업(Sumitomo Electric Industries, Ltd.) 등을 포함하여 여러 제조사로부터 상업적으로 이용할 수 있다. GaAs 버퍼층(28)은 본 실시예에서 1 μm의 두께로 증착되고 $1\times10^{18}cm^{-3}$의 순수한 도우너 농도의 Si에 의해 n^+로 도핑된다. 다른 적절한 기판(예를 들어 ZnSe, GalenAs, InGaP, GaP 또는 Ge)과 AlGaAs, AlAs, GaInp, AlInP, AlInAs, Gap 또는 GaInAs와 같은 버퍼층이 사용될 수 있다. 버퍼층(28)의 두께는 II-VI족 반도체를 성장시키는 적절한 고품질의 표면을 제공하면서 변화시킬 수 있다. 적절한 고품질의 기판과 적절한 표면 조합제(preparation)가 사용되면 버퍼층(28)은 필요하지 않을 수도 있다.

ZnSSe 클래딩층(20, 22)과 인접 ZnSe 층(24, 14, 16, 26)의 격자상수는 각각 약 0.3 % 씩 부정합된다. 예비 투과 전자 현미경(transmission electron microscopy: TEM)에 의한 연구는 광 유도층(14, 16)의 ZnSe가 광 유도층과 인접 ZnSSe 클래딩층(20, 22)의 인접한 계면에서 형성된 전위(dislocation)에 의해 적어도 부분적으로 이완됨(relaxed)을 나타내고 있다. 정합된 완전한 격자인 다른 실시예(도시생략)는 CdMnZnS, CdMgZnS, CdMnZnS, CdMgZnS 또는 MgZnSSe 클래딩층(20, 22)의 어느 하나와 함께 ZnSSe 유도층을 포함한다. 더우기 광 유도층(14, 16)이 충분히 얇다면 광 유도층은 도핑될 필요가 없다(즉, 도핑되지 않거나 또는 적어도 고의로 도핑되지 않을 수도 있다).

제2도는 상기한 레이저 다이오드(10)를 제조하기 위해 사용된 MBE 시스템(50)을 설명하고 있다. MBE 시스템(50)은 초고진공 파이프라인(UHV pipeline: 56)으로 상호 접속된 2개의 MBE 챔버(52, 54)를 구비한다. 각각의 챔버(52, 54)는 고에너지 전자총(58)과, 인광성 스크린(phosphorous screen:60)과, 기판 가열기(90) 및 프럭스(flux) 모니터(62)를 포함한다. ehuas 부호 52 및 54와 같은 MBE 챔버가 일반적으로 알려져 있으며 상업적으로 이용할 수 있다. PerKin-Elmer Model 430 MBE 시스템이 원형 레이저

다이오드(10)를 생산하기 위해 사용되었다.

MBE 챔버(52)는 기판(12)의 GaAs 버퍼층(28)을 성장시키기 위해 사용되고 Ga발산 셀(effusion cell)(64)과 As 크랙킹셀(66)을 포함하고 있다. Si 발산셀(68)이 n형 도펀트의 소스로서 역시 제동된다. 기판(12)은 종래 또는 그밖의 적당한 공지 기술을 사용하여 세척되어 준비되고, 챔버(52)에 넣어지기 전에 In 땜납에 의해 몰리브덴 샘플 블록(제2도에는 도시 생략)에 고착된다. 한 예로서 J. Vac. Sci. Technol.,지 B8, 181(1990)의 쳉(Cheng) 등의 논문 "크랙된 셀레늄 소스를 사용하는 ZnSe의 분자빔 에피텍시 성장"에 의해 설명되는 기판 준비 기술은 원형 레이저 다이오드(10)를 생산하기 위해 이용되었다. Si 도핑 버퍼층(28)은 1985년 Plenum Press의 E.N.C Parker에 의해 간행된 "분자빔 에피텍시의 기술과 물리학"에서 설명된 것과 같은 종래 방법의 MBE 챔버(52)를 동작시킴으로써 기판(12)에서 성장할 수있다. 결과적인 버퍼층(28)은 고에너지 전자회절(RHEED)에 의해 관측되는 바와 같이 c(4×4) 개조(reconstruction)를 드러내는 비소가 풍부한 표면을 갖는다. GaAs기판(12)과 버퍼층(28)을 지탱하는 샘플 블록은 다음의 공정을 위해 UHV 파이프 라 인(56)을 통해 MBE 챔버로 운반된다.

디바이스층(24, 20, 14, 18, 16, 22, 26)은 모두 MBE 챔버(54)내의 버퍼층 (28)과 GaAs 기판(12) 위에 성장한다. 이 때문에 챔버(54)는 Zn 발산셀(70)과,크랙된 Se 발산셀(72)과, ZnS 발산셀(74)(S의 소스로서)과, Cd 발산셀(76) 및 종래의 Se(즉, 예비 Se_6) 발산셀(79)을 포함한다. 도시된 바와 같이 크랙된 Se 발산셀(72) 은 벌크 증발기(bulk evaporator:84)와 고온 크랙킹존(82)을 포함하고 있으며, 크랙된 Se 소스(Se_2와 원자가 6 이하의 다른 Se 분자를 포함)를 제공한다. 원형 레이저 다이오드(10)를 생산하기 위해 사용되는 벌크 증발기(84)와 고온 크랙킹존(82)은 전술한 쳉 등의 관련 논문 J.Vac. Sci. Technol.에 의해 설명되는 상세하고 가능성있는 통상적인 설계이다. $ZnCl_2$ 소스 재료를 사용하는 C1 발산셀(78)은 n형 도펀트인 C1을 공급한다. p형 도펀트는 N 유리기(free-radical) 소스(80)에 의해 공급된다. 유리기 소스(80)는 누설 밸브(88)를 통해 초순수 N_2의 소스(86)에 연결된다. 레이저 다이오드(10)의 제조에 사용되는 유리기 소스(80)는 영국, 옥스포드숴에 있는 Oxford Applied Research Ltd 로부터 상용으로 입수 가능하다(Model No.MPD21). 이 소스는 390mm의 길이를 갖는다. 소스의 단부에서의 빔 출구 플레이트는 PBN(pyrolytic boron nitride)으로 제조되고 플레이트를 통과하는 0.2mm 직경의 9개의 구멍을 구비한다. 이 소스는 10 인치(25.4cm) 연장 튜브를 통과하는 발산셀용의 표준 포트 위에 고착된다. 10인치(25.4cm)의 레이저 다이오드를 제조하기 위해 사용된 N_2 소스(86)는 Matheson Gas Products 사가 생산한 연구용의 순도 등급(research purity grade)이다.

MBE 챔버(54)는 원형 레이저 다이오드(10)의 각각의 n형 접촉층, 클래딩층 및 광 유도층(24,20,14)을 성장시키기 위해 Se의 소스로서 Se_6 소스(79)를 사용하는 J. Crystal Growth 95, 512(1989)에서 쳉 등의 논문 "Growth of P-and N-Type ZnSe By Molecuar Beam Epitaxy"에서 설명되는 방법으로 작동한다. 층(24)은 ZnSSe 성장 상태로 ZnS 오븐 온도를 증가시키기 전에 성장된다. 이렇게 하여 S 배경 압력(background pressure)이 낮게 유지되고, 이렇게 함으로써 GaAs 기판과의 S반응을 최소화한다. 하위의 ZnSSe 클래딩층(20)은 $ZnCl_2$ 소스를 사용하여 n형으로 도핑된다. 클래딩층(20, 22)을 성장시키기 위해 사용된 기술의 다른 양상이 마츠무라(Matsumura) 등의 논문 "Optimum Composition In MBE-ZnS_xSe_{1-x}/ZnSe For High Quality Heteroepitaxial Growth", J, Crys, Growth의 제99권 페이지 446(1990년판)에 설명된다.

SPSLS 양자 우물층(18)은 원자층 에피텍시(ALE) 및/또는 MEE (migration enhanced epitaxy)를 사용하여 레이저 다이오드(10)의 광 유도층(14)에서 성장된다. 양자 우물층(18)은 일반적으로 공지된 이들 기술을 사용하여 Cd, Zn, Se로 된 통상 단층(monolayers)인 공칭 1 원자 두께의 일련의 오버레이층으로서 형성된다. 양자 우물층(18)의 상세한 설명은 제3도에 도시된다. 본 실시예에서, 양자 우물층(18)은 Zn과 Se의 인접한 한 쌍의 단층 사이에 Cd와 Se의 인접한 단층을 포함한다.이러한 구조는 일반적으로 다음의 화학식으로 표기될 수 있다;

$$[(CdSe)_m(ZnSe)_n]_p$$

(여기서, m, n, p는 정수임.)

제 3 도에 나타낸 실시예에서는 m=1, n=2, p=1이다. 다른 실시예(도시 생략) 에서는 m=1, n=2, p=3-4이다. 양자 우물층(18)의 동등한 Cd 농도는 양자 우물층의 전체 층 수에 대한 CdSe 층 수(ZnSe와 CdSe 모두 포함)의 비율로 결정된다. 양자우물층(18)의 전체 두께는 각 단층의 두께의 배수로 성장되는 단층의 수로 결정된다.

양자 우물층(18)의 Cd, Zn, Se 단층의 조성 및 두께에 관한 제어는 ALE 및/ 또는 MEE에 의해 정확하게 얻어진다. 이러한 기술의 사용을 통해, 단층 성장은 Cd, Zn, Se 발산셀(76, 70, 72)의 셔터(별도로 도시하지는 않았음)가 각각 열리거나 또 는 닫히는 순서와 타이밍에 의해 주로 제어된다. 제3도에 도시된 양자 우물층(18)을 성장시키기 위해 사용된 발산 셀 셔터 순서의 일부가 제4도에 도시된다. 특징적인 지연 시간은 과잉 반응체의 재증착을 허가하는 반응종의 순차적인 펄스 사이에 도입된다.

원형 레이저 다이오드(10)는 150℃의 온도에서 성장해서 열적으로 크랙된 Se(Se2) 발산셀(72)을 사용하는 제3도에 나타낸 것과 같은 SPSLS 양자 우물층을 포함한다. 셔터의 순서는 Se 셔터의 오픈으로 시작한다. Se 셔터는 적어도 하나의 단층을 증착한 후(약 5 초) 닫히고 이후 Zn 셔터가 즉각 열린다. 다음에 Zn 셔터는 적어도 하나의 Zn 단층을 증착한 후 닫힌다(약 4 초). 약간의 지연(약 1 초)은 얼마간의 과잉 Zn의 증착을 위한 시간을 허가하도록 Zn 셔터의 폐쇄와 Se 셔터의 재오픈 시간 사이에 포함된다. 성장은 Cd, Se, Zn의 오버레이층을 순차적으로 증착시키기 위해 셔터의 개폐를 교대로 함으로써 계속된다. Cd 셔터는 Se 셔터가 재 개방되기 전에 약 1 초의 지연 후, 약 4 초 동안 개방된다. 다움에, 개방 Se 셔터로 시작하는 순서가 양자 우물층(18)을 완료하기 위해 반복된다. 개선된 성과는 CdZnSe SPSLS 양자 우물의 성장 전후에 ALE에 의해 150℃에서 ZnSe의 적어도 2개의 단층이 성장될 때 관측되었다. 원형 레이저 다이오드(10)의 양자 우물층(18)을 생산하기 위해 사용된 MBE 챔버(54)의 다른 동작 파라미터는 다음과

같다 :

Cd 빔 등가 압력 : 2.0×10^{-7} Torr*

Zn 빔 등가 압력 : $1,0\times10^{-7}$ Torr*

Se 크랙킹 존 온도 : 600℃*

Se 벌크 증발기 온도 : 250℃*

* 파라미터는 특정 MBE 시스템 구성에 달려있다.

150℃에서 상기한 방법으로 성장한 SPSLS 양자 우물층(18)을 갖는 원형 레이저 다이오드(10)는 최고의 양자 효율을 나타냈다 그러나 235℃ 까지의 온도에서 성장한 SPSLS 양자 우물층을 갖춘 양자 우물 테스트 웨이퍼도 양호한 특성을 나타냈다. 300℃ 정도의 높은 온도에서 성장된 SPSLS 양자 우물 층을 갖춘 테스트 웨이퍼에서 수용 가능한 특성이 관측되었다. 또한 원하는 특성을 갖춘 디바이스를 150℃ 이하의 온도에서 성장시킬 수 있을 것으로 기대된다.

다른 실시예에서 사마스(Samarth) 등의 논문 "Molecular Beam Epitaxy of CdSe and the Derivative Alloys $Zn_{1-x}Cd_xSe$ and $Cd_{1-x}Mn_xSe$", J. 전자 재료의 제19권 제6호 페이지 543(1990)에서 설명되는 방법의 임계 두께 이하의 두께로 양자 우물 활성층(18)을 성장시킬 수 있다. 이러한 형태의 양자 우물층(18)은 레이저 다이오드(10)의 발광 영역에서의 전위(dislocation)를 최소화하는 부정규형이다. 이러한 형태의 인장된(strained) 에피텍셜층에 대한 최대 부정규형(pseudomorphic) 두께는 조성(composition)에 좌우되고 J. Crystal Growth의 "Defects In Epitaxial multilayers" 제27권 페이지 118(1974)에서 설명되는 공식으로부터 계산될 수 있다. ZnSeTe 또는 CdZnSeTe와 같은 다른 반도체 재료로된 부정규형층일 수도 있는 부정규형 양자 우물층(18)의 함유물은 보다 두꺼운 저손실 II-VI족 도파관내에 위치할 때 레이저 다이오드(10)의 낮은 임계 전류의 동작을 용이하게 한다. 도파관은 비교적 작은 대역간극의 차이를 가질 수 있으며 격자 정합될 수 있고(필요한 것은 아님) 보다 높은 굴절율을 갖는 광 유도층(14, 16)과 보다 낮은 굴절율을 갖는 클래딩층(20, 22)으로 제작될 수 있다. 광 유도층의 조성은 전위의 최소화 및/또는 경사형 지수 도파관(graded index waveguide)을 형성하도록 경사화될 수 있다.

MBE 챔버(54)는 파크(Park) 등에 의해 "p형 광 유도층(16)과 클래딩층(22)을 성장시키기 위해 Se_6 소스(79)를 사용하는 분자빔 에피텍시 동안의 IIB-VIA족 반도체의 도핑"이라는 명칭으로 1992년 3월 18일 공개된 유럽 특허 공개 제0475 606 A3호에 설명되는 방법으로 작동된다. 파크 등의 EP0 출원은 여기에서 참조하는 것에의해 이 명세서에 통합된 것으로 한다.

상기 언급된 파크 등의 EP0 출원에서 설명하는 방법으로 p형 접촉층의 반도체 재료를 도핑하면서, 저저항성 p형 ZnSe 오옴 접촉층(26)은 크랙된 Se 소스(72)(즉, 크랙킹존(82)과 증발기(84))를 사용하는 MBE 챔버(54)내의 저온에서 접촉층을 성장시킴으로써 얻어진다. 원형 레이저 다이오드(10)의 접촉층(26)을 생산하기 위해 사용된 저온 성장 기법은 1990년 2월 Appl. Phys. Lett에 게재된 쳉 등의 논문 "Low Temperature Growth Of ZnSe By Molecular Beam Epitaxy Using Cracked Selenium"에서 설명되고 있다. 기판(12)에 층(28, 24, 20, 14, 18, 16, 22)을 갖는 반도체 웨이퍼는 250℃ 이하의 온도이지만 적어도 $1\times10^{17}cm^{-3}$의 순수한 억셉터 농도로 p-형 도펀트인 N으로 도핑된 ZnSe의 결정 성장을 촉진시키기에 충분히 높은 온도로 가열된다. $1\times10^{18}cm^{-3}$의 억셉터 농도는 약 150℃의 기판 온도에서 성장될 때 원형 레이저 다이오드(10)의 오옴 접촉층(26)에서 얻어졌다. 수용할 수 있는(acceptable) 특성을 갖는 오옴 접촉층(26)은 130℃ 또는 그 이하의 다른 성장 온도에서 얻어질 수 있다. 원형 레이저 다이오드(10)의 오옴 접촉층(26)을 생산하기 위해 사용된 MBE 챔어(54)의 다른 동작 파라미터는 다음과 같다.

Zn 빔 등가 압력 : 1.0×10^{-7} Torr*

Se 크랙킹존 온도 : 600℃*

Se 벌크 증발기 온도 : 250℃*

성장 속도 : 0.3~0.6 μm/hr

표면 재구성 : Zn-안정화

챔버의 질소 압력 : $>3.5\times10^{-7}$ Torr*

rf 파워 : 90~250 W*

* 파라미터는 특정 MBE 시스템 구성에 의존한다.

접촉층(26)의 증착 후, 아직 불완전한 레이저 다이오드(10)는 MBE 챔버(54) 로부터 제거되어 종래의 진공 증발기(도시생략)로 전달된다. 진공 증발기에서 1000Å의 Au층(30)은 접촉층(26)위로 진공 증착되어 전기 접촉을 제공한다. 얇은(100Å) Ti 층(도시생략)은 Au 층(30)위로 순차적으로 증착되어 이후 설명하는 리지 제조 단계 동안 포토레지스트의 접착을 개선시킨다.

제5A도는 상기한 제조 단계가 수행된 후에 아직 불완전한 레이저 다이오드(10)의 반도체 웨이퍼를 설명하는 도면이다. 다음의 방법으로 제5A도에 나타낸 웨이퍼상에 도파관(15)이 형성된다.

제5A도에 나타낸 웨이퍼로부터의 도파관(15)의 제조는 제5B도에 나타낸 것과 같은 패턴화된 포토레지스트 마스크 스트립(34)의 적용으로 시작된다. 스트립(34)은 2~10 μm의 폭으로 적용되며, 이것은 형설될 리지의 원하는 폭에 부합된다. 한실시예에서는 마스크(34)를 제작하기 위해 Hoechts Celanese 포토레지스트와 연결공정인 AZ-1518-SFD가 사용된다. 이러한 공정은 제5B도에 예시한 명확한 측벽 앵글을 제공한다.

제5B에 나타낸 웨이퍼는 제6도의 참조부호 35로 나타낸 것과 같은 다른 진공 챔버로 전달되고, 여기서 이온 밀링(milling) 에칭 공정이 수행되어 웨이퍼로부터 리지(11)를 형성한다. 진공챔버(35)는 로킹 마운트(36)와 이온 소스(37)를 포함한다. 바람직한 실시예에서는 이온 소스(37)는 Xe^+ 소스이다. Ar^+ 이온 소스(37) 역시 효과적으로 사용될 수 있다. He-Ne 레이저(38)로부터의 빔은 챔버(35)의 윈도우를 통과하여 에칭 공정 동안 웨이퍼에 충돌한다. 웨이퍼로부터 반사된 레이저빔은 검출기(39)로 검출되며 에칭 깊이를 판정하기 위해 모니터된다. 이온 밀링 공정은 제5C도에서 도해적으로 예시되어 있다. 이온 소스(37)는 레이저 다이오드(10)의 원형(prototypes)을 생산하기 위해 약 1000 볼트의 빔전압으로 구동되었다. 마운트(36)는 포토레지스트 스트립(34)과 수직 방향이고 매끄러운 측벽부를 갖는 리지(11)를 형성하는 웨이퍼 표면과 평행한 축 주변의 웨이퍼를 록(rock)하기 위해 제5C도에 나타낸 바와같이 상호 회전된다. 레이저 다이오드(10)의 원형은 약±50° 의 샘플을 록킹하면서 제조되었다. 이러한 제조 절차 동안 애칭이 수행되는 한편 웨이퍼는 ±50° 와 -50° 로 고정된다.

에칭 깊이는 웨이퍼로부터 반사된 레이저빔의 발진 강도(intensity oscillation)를 측정함으로써 모니터된다. ZnSe 광 유도층(16)과 GaAs 기판(12)의 표면으로부터의 반사는 ZnSe 광 유도층의 두께가 에칭 동작 동안 감소함에 따라 반사성 발진(reflectivity oscillation)을 야기시키도록 서로 간섭한다. 각각의 전체 발진은 대략 0.125㎛의 깊이에 달한다. 제1도에 나타낸 레이저 다이오드(10)의 실시예에서는, 에칭은 양호한 측면 캐리어 제한을 제공할 수 있도록 양자 우물층(18)을 바로 통과한 깊이까지 연장한다. 그러나 두께와, 층의 도핑과 다른 특성, 디바이스의 의도된 특성을 위해 필요한 광학적 전류 제한의 정도에 따라 에칭이 역시 다른 깊이로 실행될 수 있다. 예를 들어 에칭은 p형 클래딩층(22)내로만 연장될 수 있도록 얕거나 또는 n형 광 유도층(14)을 통해 연장될 수 있을 정도로 깊게할 수 있다. 제5D도는 상기한 에칭이 완료된 후의 웨이퍼를 설명하는 도면이다.

리지(11)가 에칭된 후에 웨이퍼는 진공챔버(35)로부터 즉시 제거되어 Au층 (30)을 웨이퍼 위에 증착시키는 진공 증발기(도시생략)로 다시 전달된다. ZnS 매몰층(13)이 이후 웨이퍼 위에 증착된다. 증착된 ZnS 매몰층(13)의 두께는 에칭되어 사라지는 재료를 채워 거의 평면으로 될 수 있을 정도로 충분해야 한다. 제5E도는 ZnS 매몰층(13)이 웨이퍼 위에 증착된 후의 웨이퍼를 예시한다.

포토레지스트 마스크(40)는 리지(11) 사이의 웨이퍼부 너머의 매몰층(13)에 순차적으로 한정된다. 제5F도는 마스크(40)를 예시한다. 한 실시예에서 마스크(40)는 상기한 Hoechts Celanese 공정을 사용하여 약 1㎛의 두께로 증착된다.

웨이퍼는 진공 증발기로부터 진공 챔버(35)로 다시 전달되고 이 때 리지(11)위의 증착된 ZnS의 리프트오프(lift off)는 다른 에칭 작용에 의해 가능해 진다. 제5G도에서 알 수 있는 바와 같이 Xe^+ 또는 다른 이온빔은 웨이퍼의 표면과 거의 평행하고 리치(11)에 수직 방향의 각도로 정렬된다. 한 실시예에서 이온 에칭 단계는 웨이퍼의 표준에 대해 약 85° 의 각으로 정렬되는 빔으로 수행된다. 리지(11)의 각 측변부는 제5H도에 나타낸 바와 같이 포토레지스트 마스크(40) 위의 리지를 덮는 ZnS 매몰층(13)을 통해 에칭될 수 있도록 충분히 이온빔에 노출된다. 잔류 포토레지스트 마스크(40)와 스트립(34) 및 이 스트립 상의 ZnS 리프트 오프는 종래의 아세톤과 초음파 기법을 사용하여 수행된다. 제5I도는 리프트오프 이후의 웨이퍼를 예시 한다.

제1도에 나타낸 웨이퍼의 제조는 제5I도에 나타낸 웨이퍼를 진공 챔버(도시 생략)쪽으로 다시 전달하고 리지(11)와 매몰층(13) 위쪽의 Ti 층(31)과 Au 층(33)을 증착시켜 상부 전극을 형성함으로써 완성된다. 한 실시에에서 Ti 층(31)은 약 1000 Å의 두께로 증착되고, Au 층(33)은 약 1000 Å의 두께로 증착된다. 층(31, 33)은 종래의 리프트오프 기법을 사용하여 약 200 ㎛ 폭의 스티립(도시생략)으로 패턴화될 수 있다. 짧은(0.3 분) O_2 프라즈마 세척 단계(200 mTorr에서,약 8 W/cm^2에서)는 Ti와 Au 층(31, 33)의 접착을 증대시키는 것이 발견되었다.

MBE 기판 본딩을 위해 사용된 인듐(In)은 기판(12)의 전극(32)으로서의 역할을 할 수 있다. 그러나 디바이스를 각각의 레이저 다이오드(10)로 보다 용이하게 분리(cleave)하기 위해, 기판(12)을 기계적 래핑(lapping)을 행하고 In을 제거함으로써 박막화(예를 들면 100~300 ㎛의 두께를)하는 것이 좋다. 기판(12)에 새로운 오옴 접촉을 형성하기 위해 GaAs 기판은 약 30초 동안 50 H_20 : 10 NH_4OH : 1 H_2O_2의 용액으로 에칭된다(대략 0.2 ㎛ 제거). 에칭된 기판(12)은 진공 증발기(도시 생략)로 즉시 전달되고 이 때 500Å의 Pd(팔라듐)과 1000 Å의 Au가 증착된다. 매우 낮은 온도와 실온에서 조차 Pd가 GaAs 기판(12)과 합금된다. 개선된 전기적 특성은 3분 동안 개스(5% H_2, 95% Ar)를 형성하기 위해 150℃에서 가열함으로써 달성될 수 있다. 그러나 II-VI족 반도체의 층, 구체적으로 말하면 ZnSe 접촉층(26)을 감퇴시킬 정도의 고온으로는 웨이퍼가 가열되지 않는다는 것이 중요하다.

디바이스의 대향 단부는 마면 미러(facet mirror)를 형성하기 위해 (100)면을 따라 격리되었다. 마면은 반사율을 증대시키기 위해 코팅될 수도 있다. 한 실시 예에서 마면은 약 90%의 굴절율을 제공하기 위해 MgF_2와 ZnSe로 된 4개의 교번 4분 파장층(four alternating quarter wavelength layers)으로 코팅된다. 원형 레이저 다이오드(10)의 공동(cavity)의 길이는 약 1000 ㎛이다. 레이저 다이오드(10)는 다음에 은으로 채워진 에폭시로 그 p형 측이 세라믹 샘플 홀더부에 접합된다.

상기한 형태의 원형 레이저 다이오드(10)는 85 K에서 4 mA(펄스화) 정도의 낮은 임계 전류와 실온에서 66 mA 정도의 낮은 임계 전류를 갖는 청색-녹색 스펙트럼부(실온에서 ≈520 nm)에서 코히어런트 광을 방출했다. 이들 디바이스 중의 하나를 위해 측정된 파 필드 패턴(far-field pattern)이 제7도에 예시되고, 상기 디바이스의 하나의 측면 모드 동작을 분명히 예시하고 있다. 도시하지는 않았지만 측면빔 프로파일(profile)의 추가적인 기술이 매몰층(13)의 유효 지수(effective index)를 조정하기(tune) 위해 반도체 합금 또는 각각의 층들중 어느 하나인 ZnSe, ZnSSe, 또는 ZnTe와 같은 다른 재료로 된 층을 사용하여 얻어질 수 있다.

본 발명의 제2 실시예인 레이저 다이오드(10')가 제8도에 도시된다. 레이저 다이오드(10')는 레

이저 다이오드(10)와 구조적으로 유사하지만 하부와 상부 클래딩층[즉, 층(20, 22)]을 포함하지 않는다. 레이저 다이오드(10')는 $ZnS_{0.07}Se_{0.93}$ 광 유도층(14', 16')도 포함한다[레이저 다이오드(10)의 ZnSe 유도층에 대향]. 상기한 레이저 다이오드(10)의 층에 대응하는 레이저 다이오드(10')의 층은 동일하지만 프라임 부호가 붙여진 창조부호(즉 "x'")에 의해 확인된다. 이하 상술되는 다른 차이점을 갖는 레이저 다이오드(10')의 층과 매몰-리지 도파관(15')은 레이저 다이오드 (10)의 대응물과 유사한 방법으로 제조될 수 있음이 상기에 기술되어 있다

광 유도층(14')과 접촉층(24')은 레이저 다이오드(10')의 원형에서 C1에 의해 n형으로 도핑된다. 광 유도층(16')과 오옴 접촉층(26')은 이들 원형에 N에 의해 p형으로 도핑된다. 상부 광 유도층(16')이 $2\times10^{17}cm^{-3}$의 순수한 억셉터 농도로 도핑되는 동안, 하부 광 유도층(14')은 $1\times10^{17}cm^{-3}$의 순수한 도우너 농도로 도핑된다. 오옴 접촉층(24', 26')은 원형 디바이스에 0.1 ㎛의 두께로 증착된다. 하부 접촉층 (24')은 $7\times10^{18}cm^{-3}$의 순수한 도우너 농도의 n형으로 도핑된다. 상부 접촉층(26')은 $2\times10^{18}cm^{-3}$의 순수한 억셉터 농도의 p형으로 도핑된다.

양자 우물층(18')에서 발생되는 광은 광 유도층(14', 16')과, GaAs 기판(12')에 의한 클래드 및 Au 층(30', 33')내로 유도된다 양호한 광 제한 및 만족스러운 저손실이 II-VI족 반도체 클래딩층을 필요로하지 않고 레이저 다이오드(10')에서 얻어진다. 컴퓨터 모델링은 광 유도층(14', 16')에 대한 적절한 두께를 선택 할 수 있도록 사용된다. 이 모델링의 방법은 GaAs 기판(12')과 Au 전극층(30')의 반사율의 복합 지수(complex indices)와 매몰리지 도파관(15')을 고려하고 있다. 이러한 형태의 모델링 방법은 M.R. Ramdas 등의 1989년에 Optics Letters 제14권 p.376에 기재된 논문인 "Analysis of Absorbing and Lealry Planar Waveguides: A Novel Method"에 공지되어 있고 관련 부분을 여기에서 인용한다.

제9도는 ZnSSe 층(14', 16')의 두께의 함수로서 원하는 광학 모드[본 명세서에서 설명되는 레이저 다이오드(10')의 원형을 위해 TE 분극된]의 하프 맥시멈 강도(FWHM)에서 손실계수(Q)와 전체 폭의 결과를 예기한다. 디바이스의 임계 전류밀도를 최소화하기 위해 이러한 결과는 최소화되어야 한다. 제9도에 나타낸 이러한 설계 기준과 정보를 사용하여, 도파관의 두께[광 유도층(14', 16')의 결합 두께]는 원형 레이저 다이오드(10')에서 대략 3.5 ㎛이다. 한 실시예에서 n형 광 유도층 (14')은 2.0 ㎛의 두께를 갖고, 반면에 P형 광 유도층(16')은 1.5 ㎛의 두께를 갖는다. 자유 캐리어(free-carrier) 흡수와 산란으로 인한 손실은 본 실시예에서는 $8cm^{-1}$인 것으로 측정되었다. 양자 우물층(18')은 디바이스의 광학적 제한 특성과 손실에 대해 비교적 작은 효과만을 가지며, 그 층의 존재는 상기한 설계 절차 동안 무시된다. 이론은 0.2㎛ 이하의 전체 도파관의 두께가 기판(12')과 Au 전극층(30')에서 과잉 흡수 손실로 나타남을 제안하고 있다. 2.5㎛의 두께에서 기판과 전극의 흡수 손실은 $11.7cm^{-1}$이다. 반면에 약 6㎛ 이상의 두께인 광학적 제한은 상당히 열악해서 하나의 양자 우물층(18')은 손실을 극복할 수 있을 정도의 충분한 이득을 실제로 공급할 수 없다. 광학적 모드의 FWHM은 도파관 두께의 거의 절반으로 판명 되었다. 최대 모델 이득은 도파관 모드의 FWHM에 반비례한다. 6㎛ 두께의 도파관에 대해 FWHM은 약 3㎛이며 하나의 양자 우물로부터의 모달 이득(modal gain)은 $12cm^{-1}$ 인 것으로 평가될 수 있다. Applied Physics Letters, 제53권 p.72(Nov.1982) 참조 하라. 본 실시예에서 매몰리지를 형성하는 공정은 II-VI족 클래딩층을 갖춘 레이저 다이오드를 위한 상기 방법과 유사하다.

마찬가지로 매몰리지는 다른 형태의 II-VI족 반도체 레이저 다이오드 설계로서 상기 기술에 의해 제조될 수 있다. 예를 들어 MgZnSSe-ZnSSe 또는 MnznSSe-ZnSSe로 제작된 단순한 이중-헤테로 구조인 II-VI족 레이저 다이오드는 매몰리지 레이저 다이오드로 제조될 수 있다. 이러한 디바이스는 이득 유도(gain guide)된 디바이스를 비교할 때 광학적 빔특성의 개선과 실질적으로 보다 낮은 하부 임계 전류를 나타낸다.

제10도는 p형 ZnSe 디바이스층(102)에 대한 경사형 오옴 접촉(100)을 예시한다. 도시된 바와 같이 오옴 접촉부(100)는 디바이스층(102) 위에 경사형 조성의 반도체 화합물 접촉층(104)과, 이 접촉층 위에 Au 또는 다른 금속층(106)을 포함한다. 제10도에 나타낸 실시예에서는 ZnSe 디바이스층(102)과 관련하여 설명하였지만 오옴 접촉층(100)은 ZnS, ZnSSe, CdZnS, CdMgZnS, CdMnZnS, MgZnSSe 및 MnZnSSe와 같은 다른 p형 II-VI족 반도체 화합물을 사용하여 구성될 수 있고 각각 레이저 다이오드(10, 10')에서 오옴 접촉층(26, 26')으로 대체된다. 오옴 접촉부(100)는 II-VI족 발광 다이오드내에 내장될 수도 있다.

오옴 접촉층(104)은 ZnTe를 포함하는 경사형 조성의 반도체 화합물이다. 접촉층(104)의 다른 소자와 화합물에 관련하여 반도체 화합물의 ZnTe의 양에 관한 평균(즉, 접촉층의 두께위로 평균화 됨)은 디바이스층(102)으로부터 접촉층의 거리를 증가시키면서 증가한다. ZnTe를 포함하는 것에 더해 접촉층(104)의 반도체 화합물은 디바이스가 제조되는 기판(도시생략)에 정합된 반도체 화합물 격자를 포함할 수 있다 .

제11도에 나타낸 실시예에서 접촉층(104)은 경사형 조성인 $ZnSe_{1-x}Te_x$ 층(즉, ZnSe와 ZnTe로 된 합금)이고 여기에서 $X \leq 1$이다. 경사화(grading)는 접촉층이 성장함에 따라 접촉층(104)의 두께를 증가시키면서 X의 값을 증가시킴으로써 수행된다. 적용 가능한 파라미터는 ZnSeTe의 조성과 경사화 비율 및 도핑 농도를 포함한다. 한 실시에에서 접촉층은 표면 근처에서 $4\times10^{18}cm^{-3}$의 순수한 억셉터 밀도의 N으로 도핑되었다. 이러한 접촉층(104)은 전체를 제2도로 예시한 형태의 챔버에서 분자빔 에피텍시에 의해 약 2㎛의 두께로 성장되었고, 디바이스층으로부터 거리를 증가시키면서 거의 0에서 약 0.1로 균일하게 X를 증가시킨다. 경사화 속도는 에피텍셜 성장 동안 Se와 Te 발산셀의 온도를 제어함으로써 제어된다.

순수 억셉터 농도의 증가는 Au 전극(106)으로부터 ZnSeTe 접촉층(104)내로의 흘주입에 대한 장벽의 폭을 경감시킨다. 이러한 방법으로 이 3원 반도체 화합물의 조성을 경사화함으로써 가전자애의 불연속을 피할 수 있다. 경사화는 갑작스럽다기 보다는 오히려 점진적인 격자 파라미터의 변화로 나타나고 격자 부정합에 기인하여 공간적으로 전위를 퍼트린다. 이 부분과 바로 전의 패러 그래프에서 설명되는 저온에서 성장한 타잎의 원형 오옴 접촉층은 비교적 낮은 저항과, 1250 A/cm^2 까지의 최대 연속 전류 밀도를 나

타냈다.

제10도에 도시한 오옴 접촉층의 제2 실시예인 오옴 접촉층(104')이 제12도에 도시된다. 도시된 바와 같이 오옴 접촉층(104')은 p형 ZnSe로 된 층 사이의 이격된 p형 ZnTe(즉, Zn과 Te를 포함하는 제1 반도체 화합물)로 된 층[디바이스 층(102) (제10도)의 반도체를 포함하는 제2 반도체 화합물]을 포함한다. 오옴 접촉층(104')의 조성은 ZnSe 디바이스층으로부터의 거리를 증가시키면서 ZnTe 층의 농도를 증가시킴으로써 효과적으로 경사화된다. 즉, ZnTe로 된 층이 ZnSe로 된 층 사이로 이격되는 공간 주파수는 디바이스층으로부터 접촉층의 거리를 증가시킴으로써 증가한다. 다른 실시예(도시생략)에서 ZnTe와 ZnSe로 된 이격된 층을 갖는 104'와 같은 오옴 접촉층의 반도체 화합물은 디바이스층으로부터의 거리가 증가함에 따라 ZnTe로 된 층의 평균두께를 증가시킴으로써, 그리고 디바이스층으로부터의 거리가 증가 함에 따라 ZnTe층의 순수 억셉터 농도를 증가시키도록 도핑함으로써 혹은 그 어느 한 절차에 의해 경사화된다. 층을 경사화하기 위해 접촉층(104')의 성장동안 조정 될 수 있는 다른 변수는 ZnTe층의 수와, 각 층에서 ZnTe에 의한 커버리지 (coverage)의 양과, ZnTe 층 사이의 공간화, 포맷 및 농도를 포함한다. ZnTe 층은 완전하거나 또는 단편적인 단층일 수 있으며, ALE(atomic layer epitaxy) 또는 MEE와 같은 교류 빔 에피텍시 접근에 의해 성장된다. 교류 빔 에피텍셜 성장은 상기한 연속적 경사형 접촉층(104)보다 나은 경사화 속도와 접촉층(104')의 두께 제어를 촉진한다.

오옴 접촉층(104')의 한 원형(도시생략)은 ZnTe로 된 15장의 박판(sheets) 또는 층과 N으로 델타 도핑된(delta-doped) 3개의 층을 포함한다. ZnTe로 된 제1의 12개의 층은 ZnSe로 된 2개의 단층에 의해 서로 분리되고 한편 ZnTe로 된 상부의 3개의 층은 ZnSe로 된 하나의 단층에 의해 분리되었다. ZnTe로 된 각각의 층은 평균 두께가 대략 0.5 단층일 것으로 예상된다. ZnTe로 된 제1, 제7 및 최상부 층은 N으로 도핑되었다. 이 원형은 약 1250 A/cm^2의 최대 연속 전류 밀도를 나타냈다. 이러한 원형 오옴 접촉층(104')의 측정된 I-V 족(전류-전압) 특성은 제13도에 예시된다. ZnTe 층의 증가된 순수 억셉터 밀도로 인한 추가적인 충전(charge)은 홀 주입에 대한 장벽층의 폭을 경감시킨다. ZnTe 가전자대로부터 시작하는 상태는 터널전류를 증가시키는 터널링을 위한 추가적인 채널을 제공한다. 더우기 p형 ZnTe의 일함수는 ZnTe 농도 증가와 함께 감소되고 이에 의해 쇼트키 장벽 높이를 낮춘다.

다른 실시예(도시 생략)에서 경사화된 오옴 접촉은 p-형 ZnS 디바이스층과 함께 사용되도록 구성되고 경사화된 ZnSTe를 포함한다. 마찬가지로 ZnSSe(또는 ZnSe) 디바이스층에 대한 경사화된 오옴 접촉은 ZnSSe(또는 ZnSe)로부터 2nSTe로 경사화함으로써 이루어질 수 있다. 이러한 실시예는 p형 접촉층의 전부 또는 일부가 ZnSTe의 정확한 조성을 선택함으로써 디바이스층에 대한 격자 정합(lattice-matched)을 만들 수 있다는 이점을 제공한다. 여전히 p형 MgZnSSe 디바이스층에 대한 경사화된 오옴 접촉층인 다른 실시예(도시 생략)가 있다. 다른 실시예에서 오옴 접촉층은 먼저 ZnSSe로 경사화될 수 있고, 이후 ZnSeTe 또는 ZnSTe로 경사화 될 수 있다. 본 발명에 따른 레이저 다이오드는 종래의 레이저 다이오드 이상의 중요한 이점을 제공한다. 매몰층을 위한 화합물 소스로부터 진공 증착에 의해 증착된 다결정 II-VI족 화합물 재료에 따라 웨이퍼는 실온 이상으로 일부러 가열될 필요는 없다. 이 제조 공정은 p형 층의 전기 전도도에 영향을 줄 수 있는 고온에 대한 필요성을 배제한다. 증착된 다결정 II-VI족 매몰층은 양호한 광학적 특성이 있으며 이에 의해 저손실 도파관에 도움이 된다. 더우기 다결정 매몰층은 매우 높은 전기 저항률(resistivity)을 나타내고 따라서 누설 전류가 적다. 실제로 모든 인가된 전류는 리지를 통해 흐른다. 원형은 비교적 낮은 임계 전류와 함께 청색-녹색 부위에서 하나의 측면 모드 동작(single lateral mode operation)을 나타냈다. 경사화된 조성의 오옴 접촉층은 p-형 II-VI족 반도체에 대해 종래의 오옴 접촉과 비교하여 비교적 낮은 저항에서 높은 전류 운반 능력을 제공한다. 이러한 오옴 접촉과 함께 레이저 다이오드는 보다 낮은 전압에서 동작될 수 있고, 이에 의해 디바이스에 의한 방산된 열을 경감시켜 디바이스의 신뢰성을 증가시킨다. 레이저 다이오드는 구조에 있어 비교적 간단하고 효율적으로 제조된다.

본 발명이 바람직한 실시예를 참조하여 상술되었지만 당업자라면 본 발명의 취지와 범위를 벗어나는 일 없이 형태와 세부사항에서 변화가 있을 수 있음을 인식 할 것이다. 특히 그 밖의 적절한 II-VI족 재료이지만, Mn 또는 주기율표의 II-VI족 그룹에 없는 다른 원소(예를 들어 희석한 자기 반도체(dilute magnetic semiconductor), II-VI족 반도체로서 효율적인 기능을 하는 (예를 들어 MnZnSSe) 반도체와 화합물은 본 발명의 목적을 위한 II-VI족 반도체이다.

(57) 청구의 범위

청구항 1

적어도 제1 유도층을 포함하고 pn 접합을 형성하는 II-VI족 반도체로 된 복수의 층과;

pn 접합내의 II-VI족 반도체로 된 활성층과:

II-VI족 반도체로 된 상기 층을 지지하는 반도체 기판과:

II-VI족 반도체로 된 층 중 적어도 하나에 형성된 리지와;

측면의 광학적 제한 및 전류 제한을 위한 매몰 리지 도파관을 형성하며, 상기 리지의 대향 측면 부상의 다결정 II-VI족 반도체로 된 매몰층과:

레이저 다이오드에 전기적 에너지를 공급하기 위한 제1 전극 및 제2 전극을 포함하는 II-VI족 화합물 반도체 레이저 다이오드.

청구항 2

제1항에 있어서,

상기 제1 유도층은 제1 도전형의 II-VI족 반도체로 된 층을 포함하고;

상기 pn 접합을 형성하는 반도체로 된 복수의 층은 상기 제1 유도층에 인접하게 제2 도전형의 II-VI족 반도체로 된 제2 유도층을 추가로 포함하며, 상기 제1 및 제2 유도층은 pn 접합을 형성하는 것을

특징으로 하는 II-VI족 화합물 반도체 레이저 다이오드.

청구항 3

제2항에 있어서,

상기 리지는 상기 제2 유도층에 형성되는 것을 특징으로 하는 II-VI족 화합물 반도체 레이저 다이오드.

청구항 4

제2항 또는 제3항에 있어서,

상기 활성층은 상기 제1 및 제2 유도층 사이에 있고:

상기 리지는 상기 제2 유도층과 상기 활성층에 형성되는 것을 특징으로 하는 II-VI족 화합물 반도체 레이저 다이오드.

청구항 5

제2항에 있어서,

상기 II-VI족 반도체로 된 복수의 층은,

상기 기판과 상기 제1 유도층 사이에 상기 제1 도전형의 II-VI족 반도체로 된 제길 클래딩층과:

상기 제2 유도층과 상기 제2 전극 사이에 상기 제2 도전형의 II-VI족 반도체로 된 제2 클래딩층을 추가로 포함하는 것을 특징으로 하는 II-VI족 화합물 반도체 레이저 다이오드.

청구항 6

제5항에 있어서,

상기 제1 및 제2 클래딩 층은 MgZnSSe와 MnZnSSe 중의 적어도 하나를 포함하고;

상기 제1 및 제2 유도층은 ZnSSe를 포함하는 것을 특징으로 하는 II-VI족 화합물 반도체 레이저 다이오드.

청구항 7

제 1항에 있어서,

상기 II-VI족 반도체로 된 복수의 층은,

상기 기판과 상기 제1 유도층 사이에 제1 도전형의 II-VI족 반도체로 된 제1 클래딩층과:

상기 제1 유도층과 상기 제2 전극 사이에 제2 도전형의 II-VI족 반도체로 된 제2 클래딩층을 포함하는 것을 특징으로 하는 II-VI족 화합물 반도체 레이저 다이오드.

청구항 8

제1항 내지 제3항, 제5항 내지 제7항 중 어느 한 항에 있어서, 상기 매몰층은 다결정 ZnSe 와 다결정 ZnS 중 적어도 하나를 포함한 것을 특징으로 하는 II-VI족 화합물 반도체 레이저 다이오드.

청구항 9

자기정합 매몰-리지 도파관과 함께 II-VI족 화합물 반도체 레이저 다이오드 를 제조하는 방법에 있어서,

제1 도전형의 반도체 기판을 제공하는 단계와;

제1 유도층을 성장시키고 pn 접합에 인접한 활성층을 성장시키는 단계를 포함하여, pn 접합을 형성하도록 상기 기판에서 서로의 위에 II-VI족 반도체로된 에피텍셜층을 성장시키는 단계와;

리지를 형성하도록 적어도 하나의 반도체층의 일부를 에칭하는 단계와;

상기 리지를 매몰하도록 다결정 II-VI족 반도체 매몰층을 증착하는 단계와;

상기 리지의 상부 표면을 노출시키기 위해 상기 매몰층을 에칭시키는 단계와;

상기 레이저 다이오드에 제1 및 제2 전극을 증착시키는 단계를 포함한 것을 특징으로 하는 방법.

청구항 10

제9항에 있어서,

상기 제1 유도층을 성장시키는 단계는 상기 제1 도전형의 제1 유도층을 성장 시키는 단계를 포함하고:

II-VI족 반도체로 된 에피텍셜층을 성장시키는 단계는 제2 도전형의 제2 유도층을 성장시키는 단계를 추가로 포함한 것을 특징으로 하는 방법.

청구항 11

제 10항에 있어서,

II-VI족 반도체로 된 에피텍셜층을 성장시키는 단계는,

상기 기판과 상기 제1 유도층 사이에 상기 제1 도전형의 제1 클래딩 층을 성장시키는 단계와;

상기 제2 유도층과 상기 제2 전극 사이에 제2 도전형의 제2 클래딩 층을 성장시키는 단계를 포함하고;

상기 반도체층의 일부를 에칭하는 단계는 상기 리지를 형성하도록 상기 제2 클래딩층의 일부를 에칭하는 단계를 포함한 것을 특징으로 하는 방법.

청구항 12

제9항에 있어서,

II-VI족 반도체로 된 에피텍셜층을 성장시키는 단계는 상기 기판과 상기 제1 유도층 사이에 제1 도전형의 제1 클래딩층을 성장시키는 단계와;

상기 제1 유도층과 상기 제2 전극 사이에 제2 도전형의 제2 클래딩 층을 성장시키는 단계를 포함하고;

상기 반도체층의 일부를 에칭하는 단계는 상기 리지를 형성하도록 적어도 상기 제2 클래딩층의 일부를 에칭하는 단계를 포함한 것을 특징으로 하는 방법.

청구항 13

제9항 내지 제12항 중 어느 한 항에 있어서,

상기 매몰층을 증착시키는 단계는 진공 증착에 의해 다결정 II-VI족 반도체 매몰층을 증착시키는 단계를 포함한 것을 특징으로 하는 방법.

청구항 14

제9항 내지 제12항 중 어느 한 항에 있어서,

상기 리지를 형성하도록 상기 층을 에칭하는 단계는 Xe^{+}에 의한 이온 에칭 단계를 포함한 것을 특징으로 하는 방법.

청구항 15

제4항에 있어서,

상기 매몰층은 다결정 ZnSe 와 다결정 ZnS 중 적어도 하나를 포함한 것을 특징으로 하는 II-VI족 화합물 반도체 레이저 다이오드.

청구항 16

제13항에 있어서,

상기 매몰층을 증착시키는 단계는 진공 증착에 의해 다결정 II-VI족 반도체 매몰층을 증착시키는 단계를 포함한 것을 특징으로 하는 방법.

요약

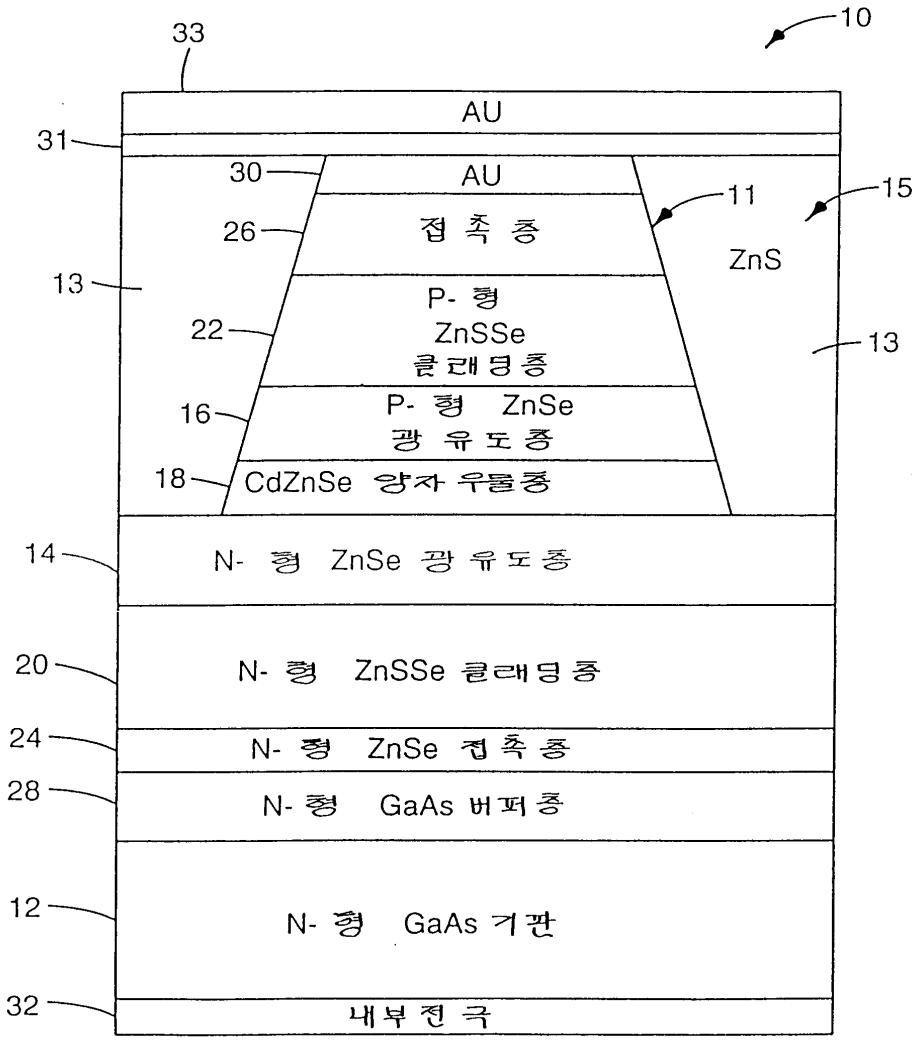
매몰리지 또는 매몰-헤테르 구조인 II-VI족 레이저 다이오드. 진공 증착에 의해 증착된 ZnS, ZnSSe, ZnSe 또는 Cds 와 같은 다결정 II-VI족 반도체는 에칭된 리지를 매몰한다

대표도

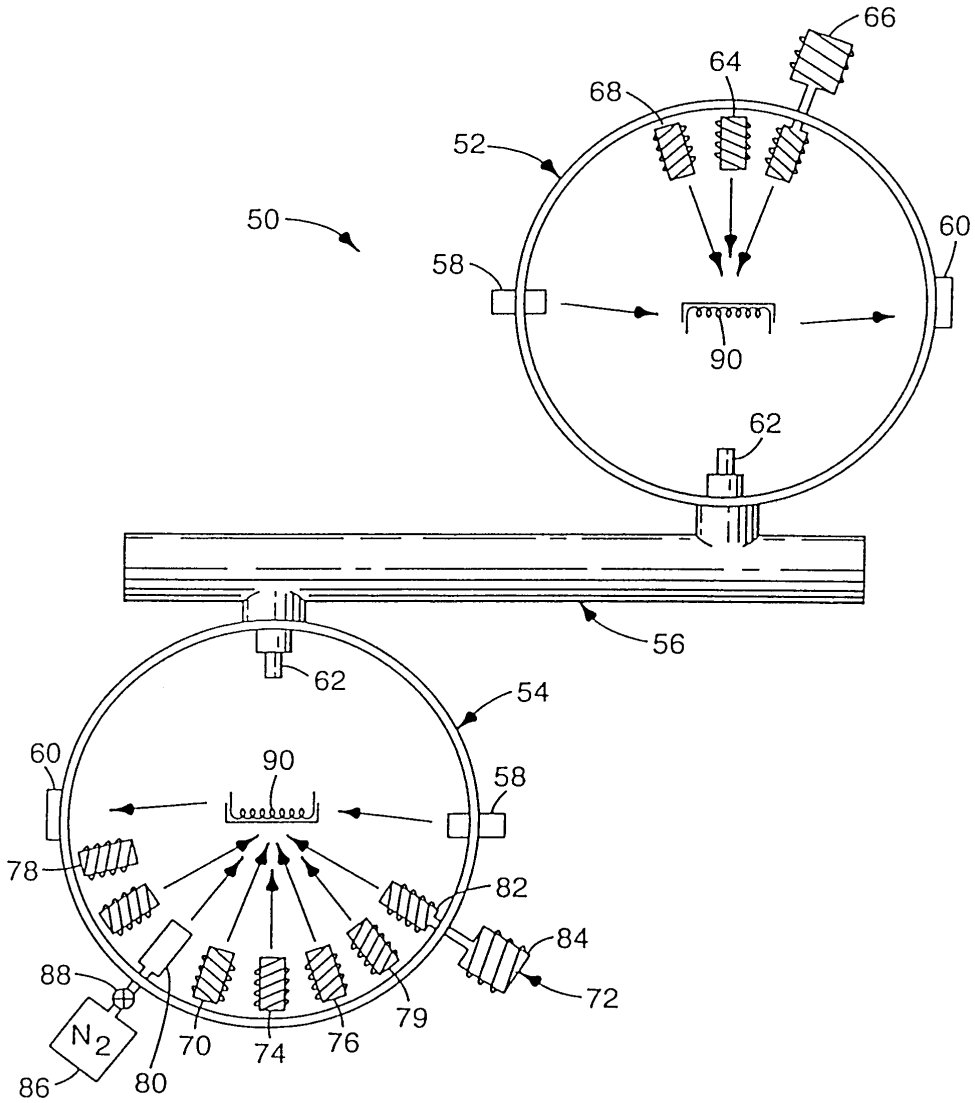
도1

도면

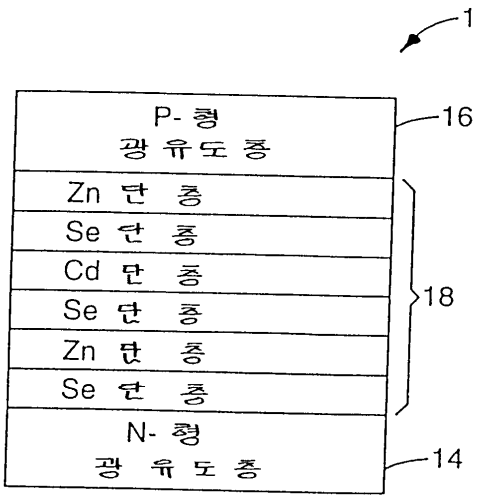
도면1


33
10
AU
31
30
AU
11
15
26
접 촉 층
ZnS
13
P- 형
ZnSSe
22
클래딩층
13
P- 형 ZnSe
16
광 유 도 층
18
CdZnSe 양자 우물층
14
N- 형 ZnSe 광 유 도 층
20
N- 형 ZnSSe 클래딩층
24
N- 형 ZnSe 접 촉 층
28
N- 형 GaAs 버퍼층
12
N- 형 GaAs 기판
32
내부 전 극

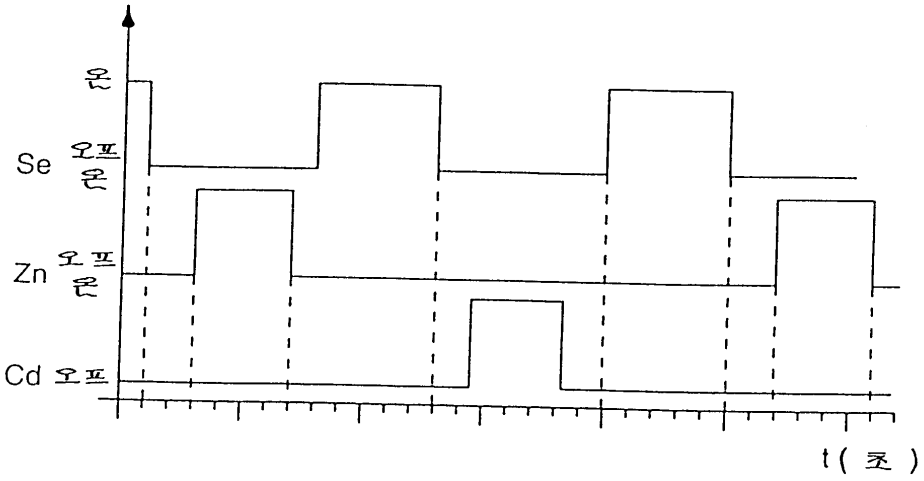
도면2


66
64
68
52
50
60
58
90
62
56
62
54
60
90
58
78
82
84
72
88
N_2
86
80
70
74
76
79

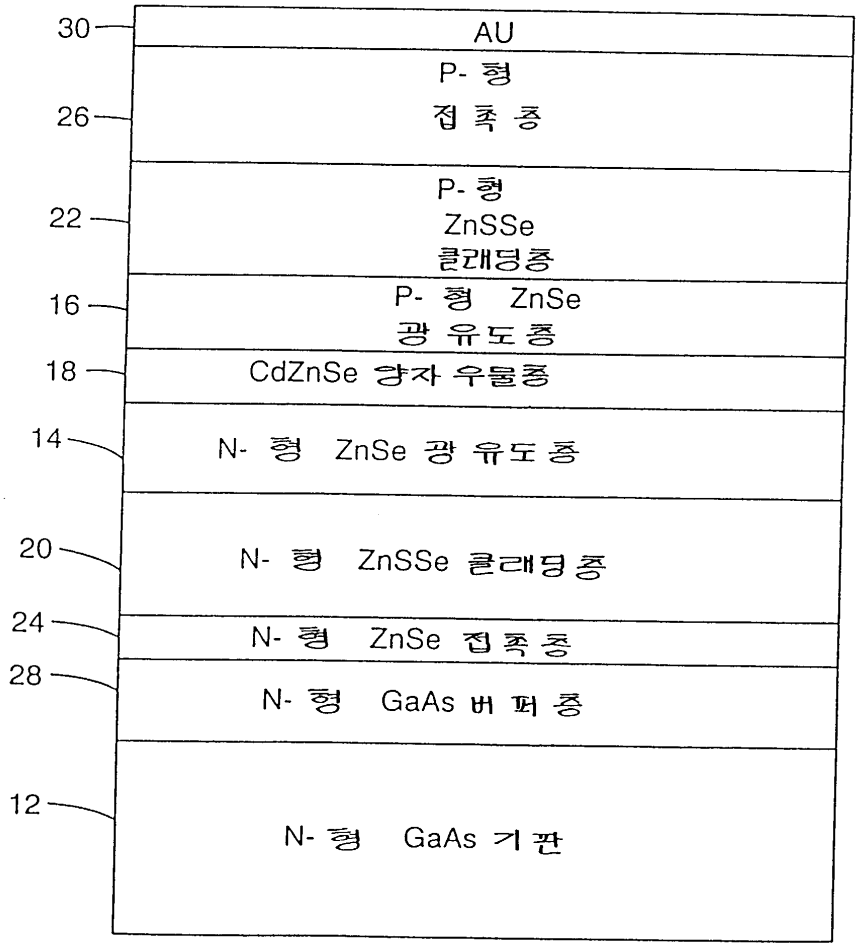
도면3


10
P-형
광 유도 층
16
Zn 단 층
Se 단 층
Cd 단 층
Se 단 층
Zn 단 층
Se 단 층
18
N-형
광 유도 층
14

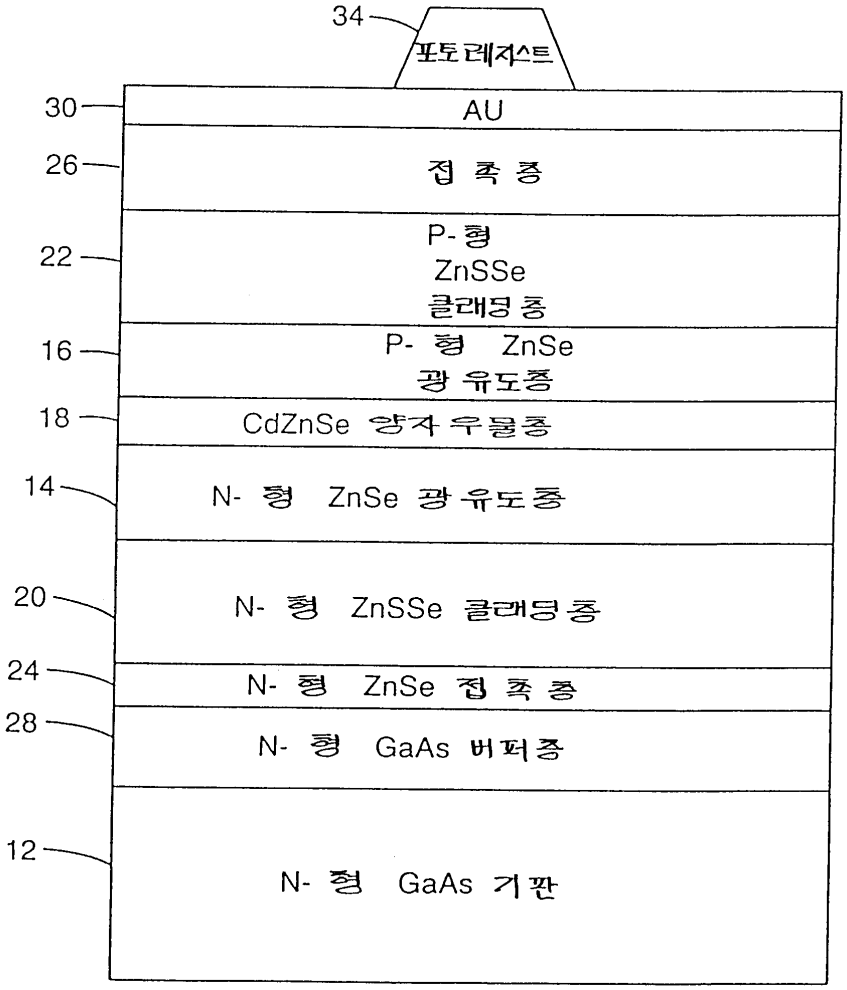
도면4


온
Se 오프
온
Zn 오프
온
Cd 오프
t (초)

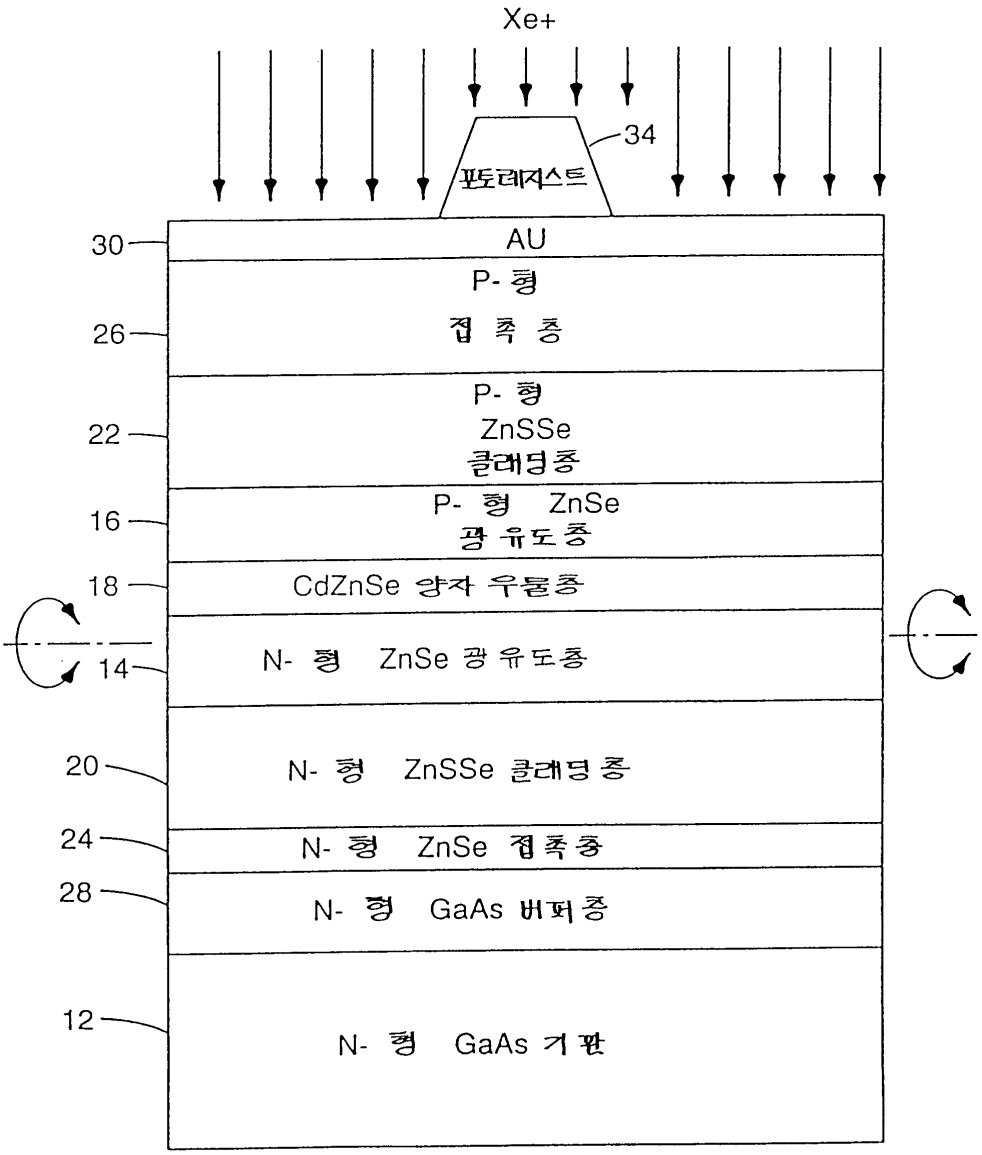
도면5a


30
AU
P- 형
26
접 촉 층
P- 형
22
ZnSSe
클래딩층
P- 형 ZnSe
16
광 유도층
18
CdZnSe 양자 우물층
14
N- 형 ZnSe 광 유도 층
20
N- 형 ZnSSe 클래딩층
24
N- 형 ZnSe 접촉층
28
N- 형 GaAs 버 퍼 층
12
N- 형 GaAs 기 판

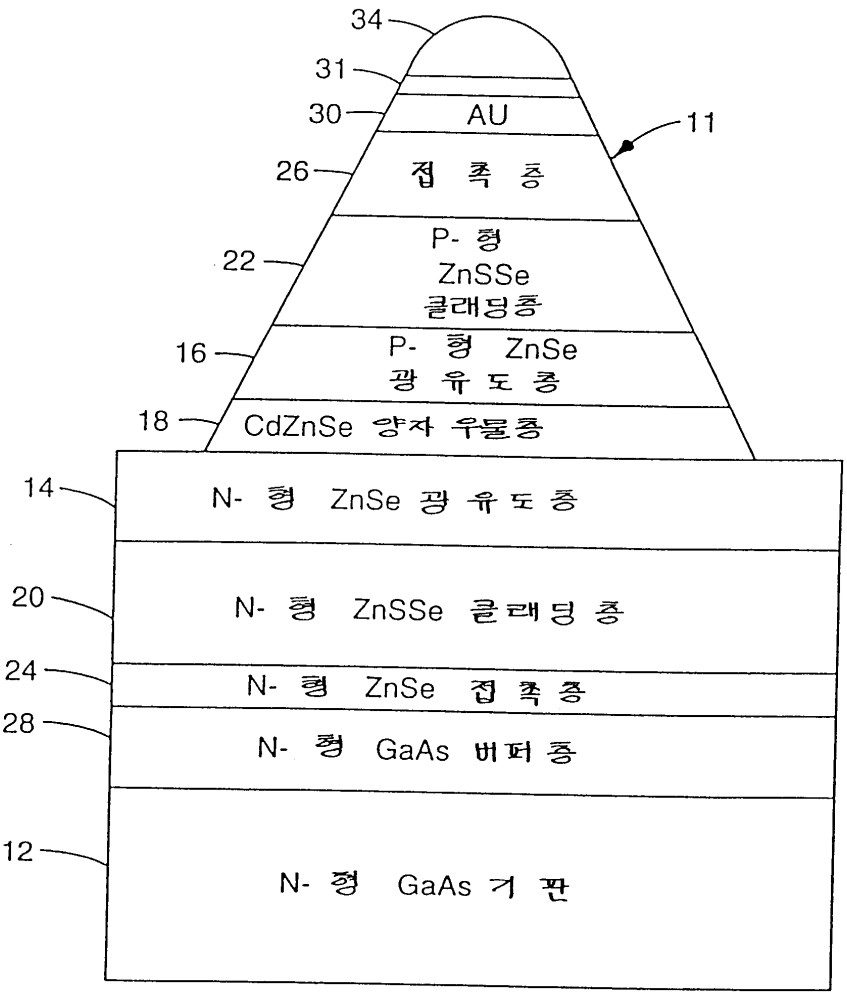
도면5b


34
포토레지스트
30
AU
26
접 촉 층
22
P-형
ZnSSe
클래딩 층
16
P- 형 ZnSe
광 유도층
18
CdZnSe 양자 우물층
14
N- 형 ZnSe 광 유도층
20
N- 형 ZnSSe 클래딩층
24
N- 형 ZnSe 접 촉 층
28
N- 형 GaAs 버퍼층
12
N- 형 GaAs 기판

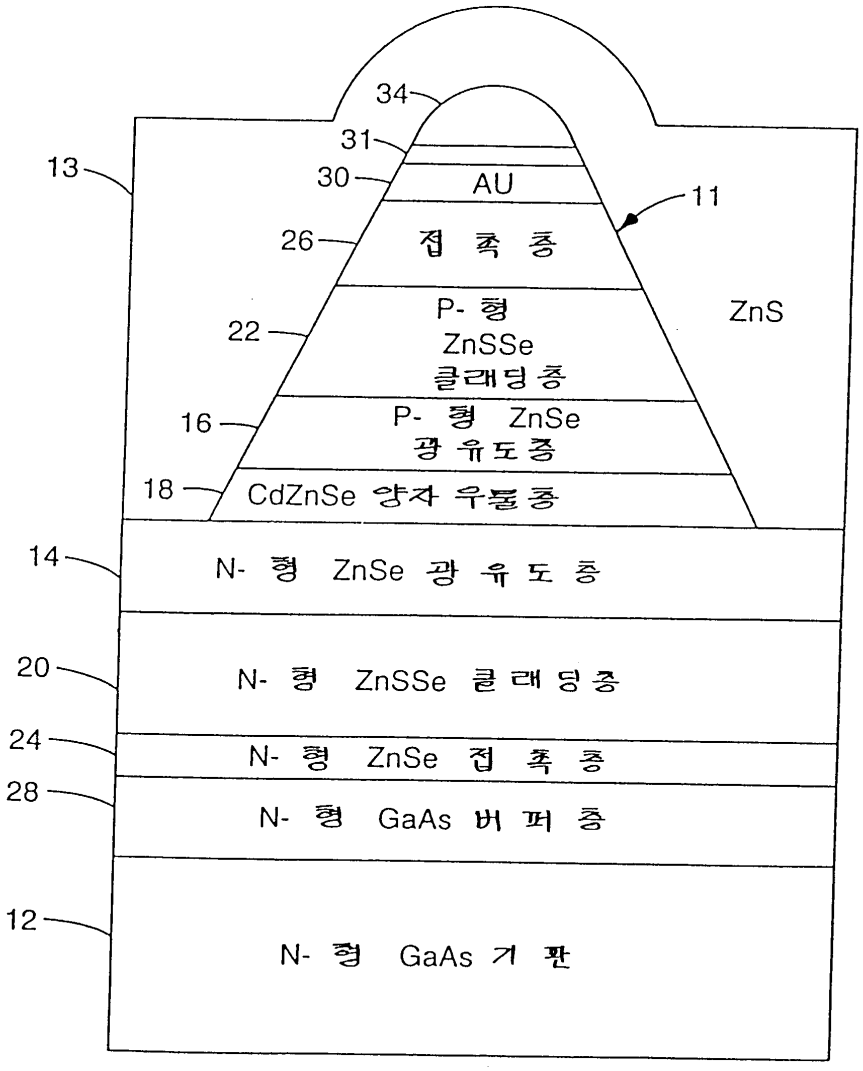
도면5c


Xe+
34
포토레지스트
30
AU
P-형
26
접 촉 층
P-형
ZnSSe
22
클래딩층
P-형 ZnSe
16
광 유도층
18
CdZnSe 양자 우물층
14
N-형 ZnSe 광 유도층
20
N-형 ZnSSe 클래딩층
24
N-형 ZnSe 접촉층
28
N-형 GaAs 버퍼층
12
N-형 GaAs 기판

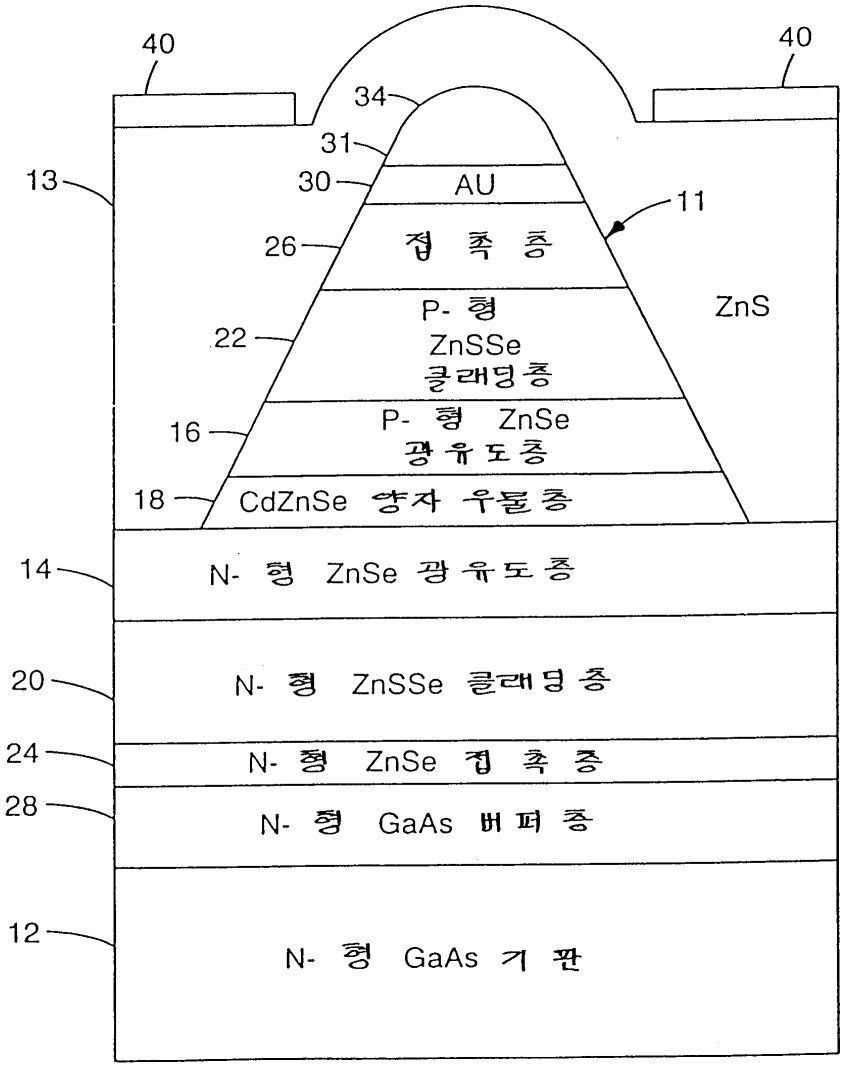
도면5d


34
31
30
AU
11
26
접 촉 층
22
P- 형
ZnSSe
클래딩층
16
P- 형 ZnSe
광 유 도 층
18
CdZnSe 양자 우물층
14
N- 형 ZnSe 광 유 도 층
20
N- 형 ZnSSe 클래딩 층
24
N- 형 ZnSe 접 촉 층
28
N- 형 GaAs 버퍼 층
12
N- 형 GaAs 기 판

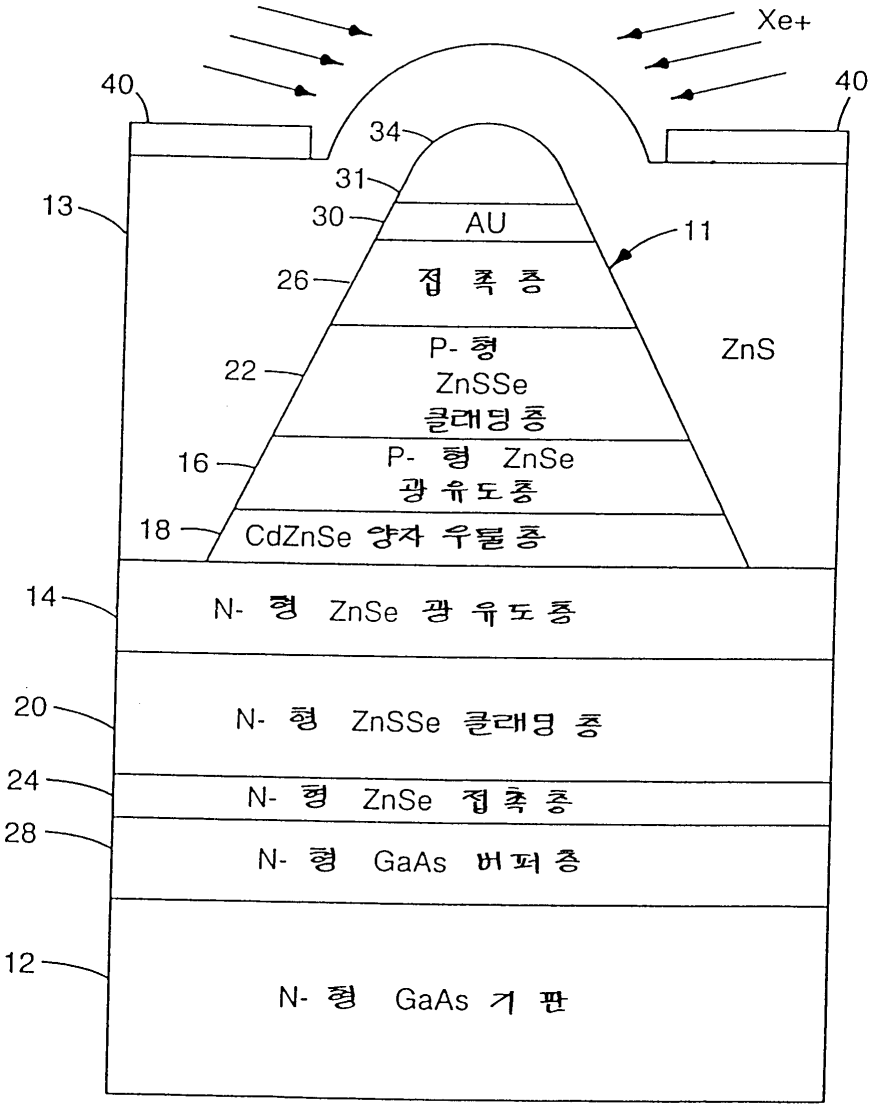
도면5e


34
31
30
AU
11
13
26
접 촉 층
ZnS
P- 형
ZnSSe
클래딩층
22
16
P- 형 ZnSe
광 유도층
18
CdZnSe 양자 우물층
14
N- 형 ZnSe 광 유 도 층
20
N- 형 ZnSSe 클 래 딩 층
24
N- 형 ZnSe 접 촉 층
28
N- 형 GaAs 버 퍼 층
12
N- 형 GaAs 기 판

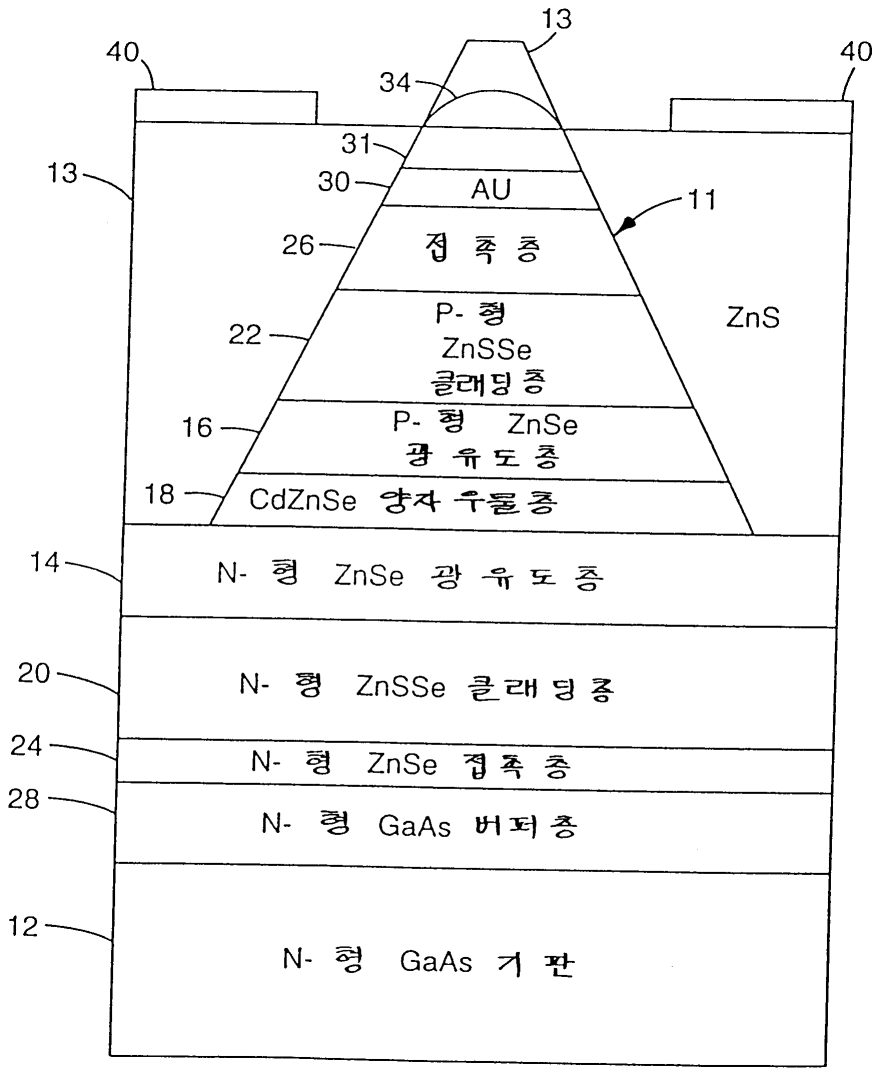
도면5f


40
40
34
31
30
AU
13
11
26
접 촉 층
P- 형
ZnSSe
클래딩층
ZnS
22
16
P- 형 ZnSe
광 유 도 층
18
CdZnSe 양자 우물층
14
N- 형 ZnSe 광 유 도 층
20
N- 형 ZnSSe 클래딩층
24
N- 형 ZnSe 접 촉 층
28
N- 형 GaAs 버 퍼 층
12
N- 형 GaAs 기 판

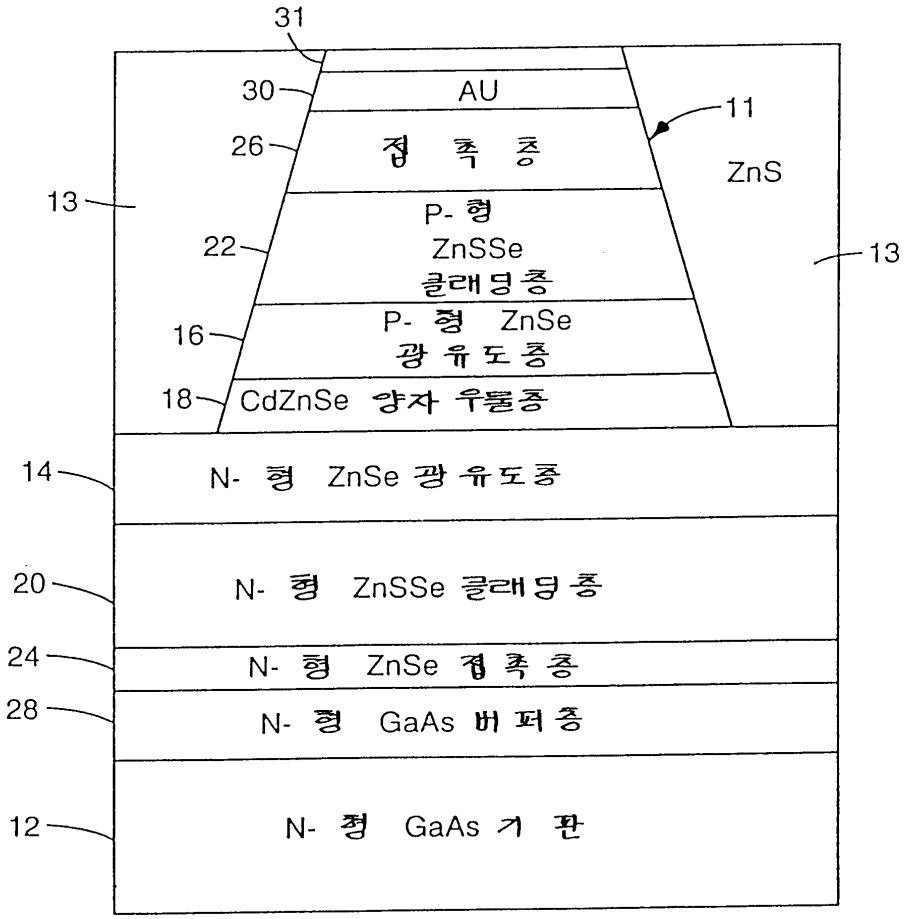
도면5g


Xe+
40
40
34
31
30
AU
11
13
26
접 촉 층
P- 형
ZnSSe
클래딩층
ZnS
22
16
P- 형 ZnSe
광 유도층
18
CdZnSe 양자 우물층
14
N- 형 ZnSe 광 유도층
20
N- 형 ZnSSe 클래딩 층
24
N- 형 ZnSe 접촉 층
28
N- 형 GaAs 버퍼층
12
N- 형 GaAs 기 판

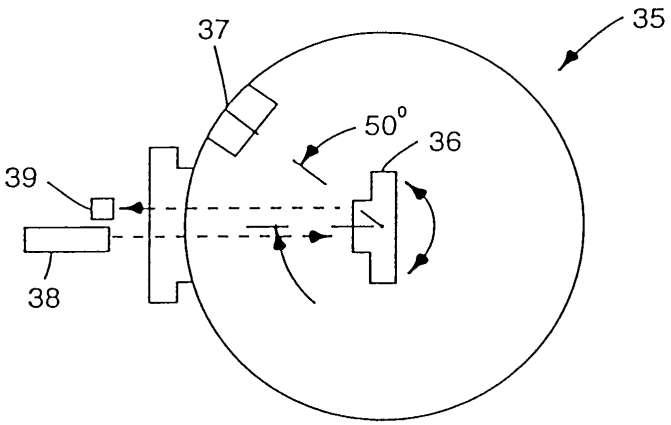
도면5h


13
40
34
40
31
13
30
AU
11
26
접 촉 층
P- 형
ZnSSe
클래딩층
ZnS
22
16
P- 형 ZnSe
광 유 도 층
18
CdZnSe 양자 우물층
14
N- 형 ZnSe 광 유 도 층
20
N- 형 ZnSSe 클래딩층
24
N- 형 ZnSe 접촉 층
28
N- 형 GaAs 버퍼층
12
N- 형 GaAs 기 판

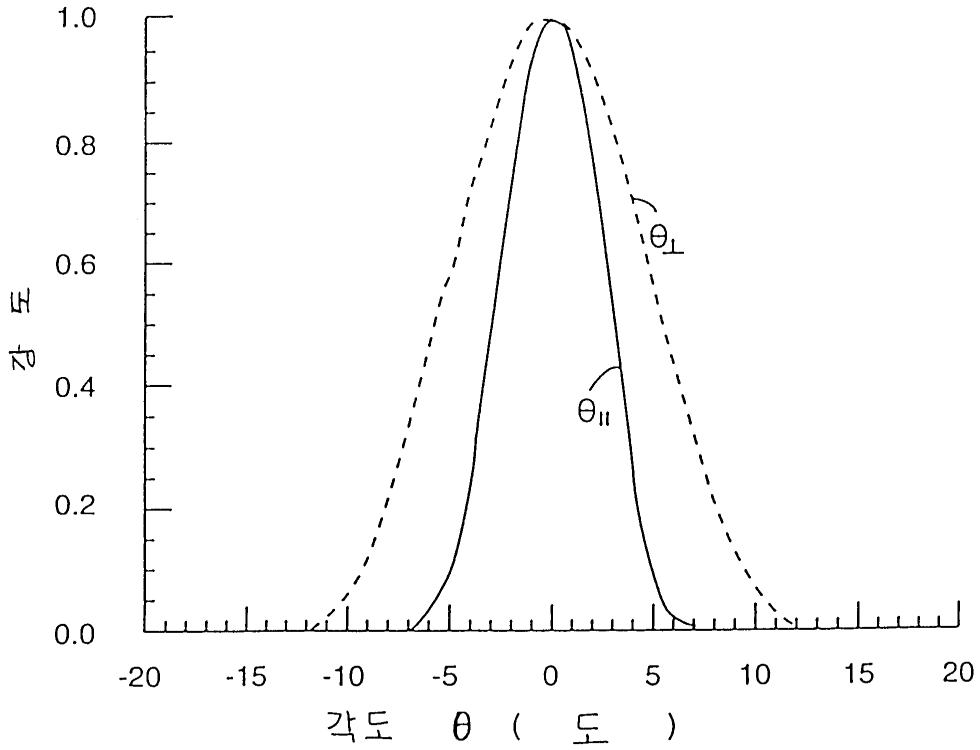
도면5i


31
30
AU
11
26
접 촉 층
ZnS
13
P- 형
ZnSSe
클래딩층
22
13
P- 형 ZnSe
광 유 도 층
16
18
CdZnSe 양자 우물층
14
N- 형 ZnSe 광 유 도 층
20
N- 형 ZnSSe 클래딩층
24
N- 형 ZnSe 접 촉 층
28
N- 형 GaAs 버 퍼 층
12
N- 형 GaAs 기 판

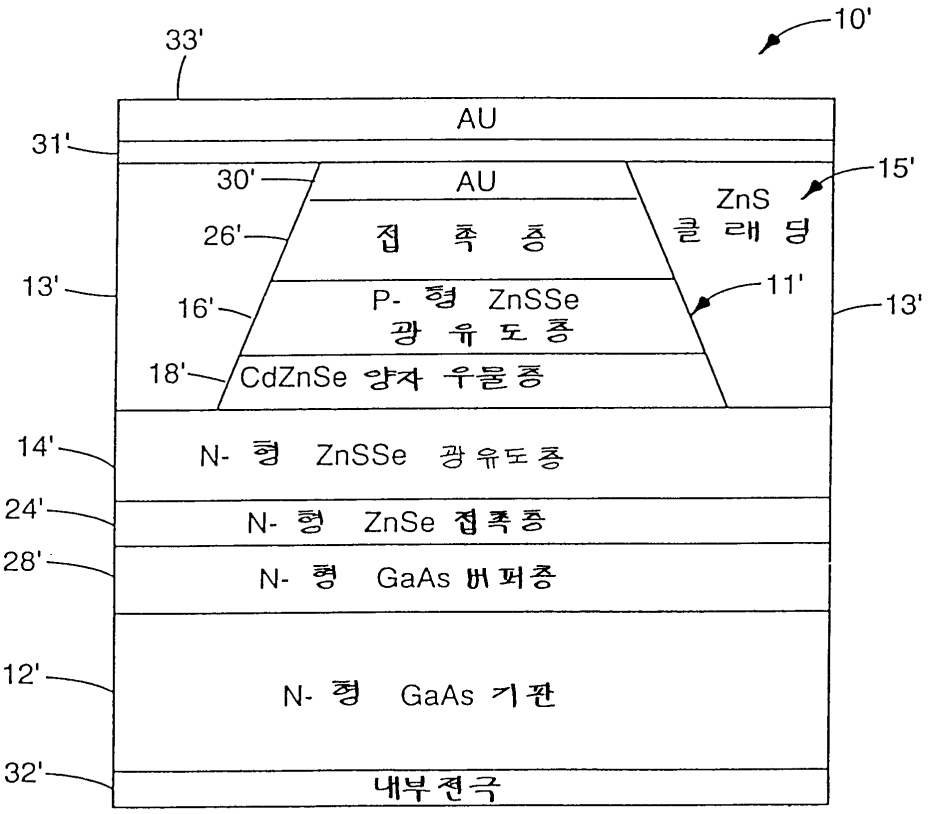
도면6


37
35
50°
36
39
38

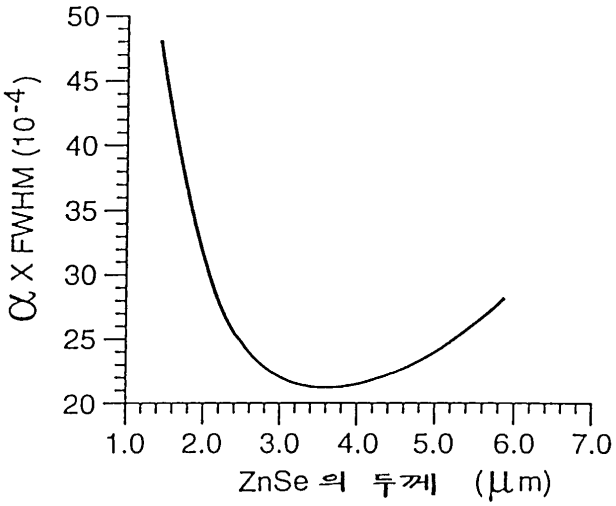
도면7


1.0
0.8
0.6
0.4
0.2
0.0
강 도
θ⊥
θ∥
-20
-15
-10
-5
0
5
10
15
20
각도 θ (도)

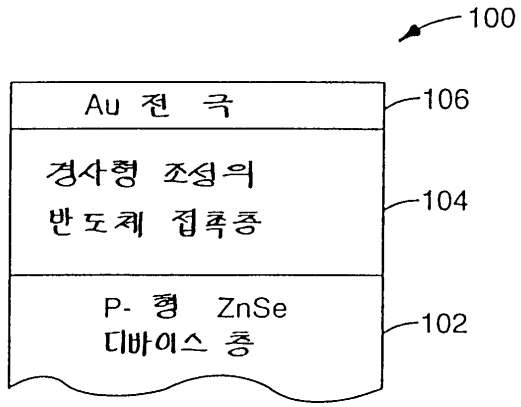
도면8


10'
33'
AU
31'
30'
AU
15'
ZnS
클 래 딩
26'
접 촉 층
13'
16'
P- 형 ZnSSe
광 유 도 층
11'
13'
18'
CdZnSe 양자 우물층
14'
N- 형 ZnSSe 광유도층
24'
N- 형 ZnSe 접촉층
28'
N- 형 GaAs 버퍼층
12'
N- 형 GaAs 기판
32'
내부전극

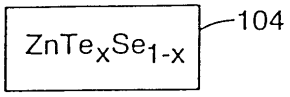
도면9



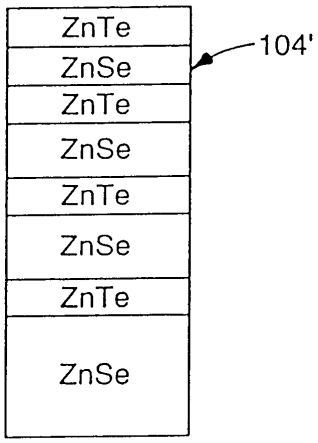
도면10



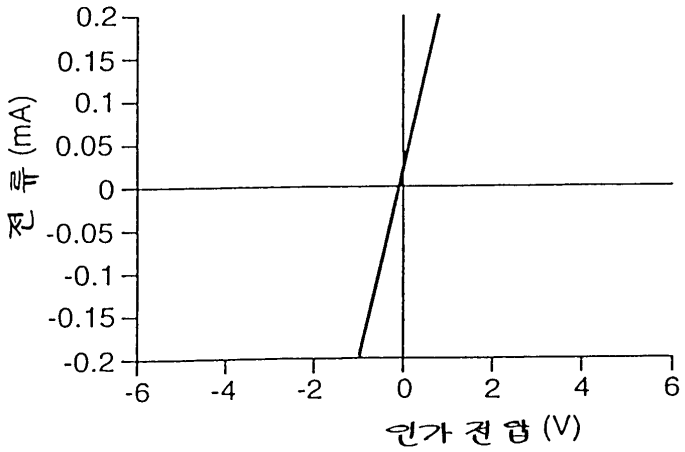
도면11



도면12


ZnTe
ZnSe
ZnTe
ZnSe
ZnTe
ZnSe
ZnTe
ZnSe
104'

도면13


0.2
0.15
0.1
0.05
0
-0.05
-0.1
-0.15
-0.2
전 류 (mA)
-6
-4
-2
0
2
4
6
인가 전 압 (V)