



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년09월27일
(11) 등록번호 10-2447760
(24) 등록일자 2022년09월22일

- (51) 국제특허분류(Int. Cl.)
H01L 27/22 (2006.01) G11C 11/16 (2006.01)
H01L 43/08 (2006.01) H01L 43/12 (2006.01)
- (52) CPC특허분류
H01L 27/228 (2013.01)
G11C 11/161 (2013.01)
- (21) 출원번호 10-2018-0162793
- (22) 출원일자 2018년12월17일
심사청구일자 2018년12월17일
- (65) 공개번호 10-2020-0009994
- (43) 공개일자 2020년01월30일
- (30) 우선권주장
JP-P-2018-135822 2018년07월19일 일본(JP)
- (56) 선행기술조사문헌
JP2006261592 A*
JP2007305645 A*
JP2012227339 A*
JP2010103303 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
주식회사 히타치하이테크
일본국 도쿄도 미나토쿠 토라노몬 1초메 17방 1고
- (72) 발명자
미우라 가츠야
일본국 도쿄도 지요다쿠 마루노우치 1-6-6
하마무라 히로타카
일본국 도쿄도 지요다쿠 마루노우치 1-6-6
(뒷면에 계속)
- (74) 대리인
문두현

전체 청구항 수 : 총 17 항

심사관 : 심병로

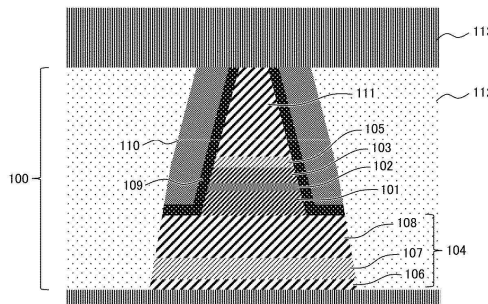
(54) 발명의 명칭 자기 터널 접합 소자, 그것을 이용한 자기 메모리 및 자기 터널 접합 소자의 제조 방법

(57) 요약

본 발명은, 플라즈마 CVD 성막에 의한 자기 터널 접합층의 자기 특성 열화(劣化)를 억제하고, 미세화(微細化)에 대응 가능한 자기 터널 접합(MTJ) 소자를 제공하는 것을 과제로 한다.

이러한 과제를 해결하기 위한 수단으로서, MTJ 소자는, 자기 터널 접합층(101, 102, 103)과, 자기 터널 접합층의 측벽에 형성되는 복수 층의 보호막을 갖고, 복수 층의 보호막은 플라즈마 CVD의 성막 조건을 다르게 하여 형성되는 SiN막이며, 자기 터널 접합층에 직접 접하여 형성되는 제1 보호막(109)을 포함하고, 제1 보호막의 성막 조건에 있어서의 수소 이온 밀도 또는 수소 이온 에너지는, 복수 층의 보호막의 다른 보호막(110)의 성막 조건에 있어서의 수소 이온 밀도 또는 수소 이온 에너지보다 낮고, 다른 보호막으로서, 그 질소 밀도가 제1 보호막의 질소 밀도보다도 높은 보호막을 포함한다.

대표도



(52) CPC특허분류

H01L 43/08 (2013.01)

H01L 43/12 (2021.01)

(72) 발명자

자오 유

일본국 도쿄도 지요다쿠 마루노우치 1-6-6

야마다 마사키

일본국 도쿄도 미나토쿠 니시 심바시 1-24-14

사토 기요히코

일본국 도쿄도 미나토쿠 니시 심바시 1-24-14

명세서

청구범위

청구항 1

방향이 기록층의 표면에 대하여 수직인 자화 방향을 갖는 자기 터널 접합층과,
 상기 자기 터널 접합층의 측벽에 형성되는 복수 층의 보호막을 갖고,
 상기 보호막은 플라즈마 CVD에 의해 형성되는 SiN막인 동시에, 상기 자기 터널 접합층에 직접 접하는 제1 보호막을 포함하고,
 상기 제1 보호막의 성막 조건에 있어서의 수소 이온 밀도 또는 수소 이온 에너지는, 상기 제1 보호막 이외의 보호막의 성막 조건에 있어서의 수소 이온 밀도 또는 수소 이온 에너지보다 낮고,
 상기 제1 보호막 이외의 보호막은, 질소 밀도가 상기 제1 보호막의 질소 밀도보다도 높은 보호막을 포함하고,
 상기 보호막의 각각이 나타내는 응력의 총합이 0인 것을 특징으로 하는 자기 터널 접합 소자.

청구항 2

제1항에 있어서,
 상기 제1 보호막 이외의 보호막은, 상기 제1 보호막을 덮도록 형성되는 제2 보호막인 것을 특징으로 한 자기 터널 접합 소자.

청구항 3

제2항에 있어서,
 상기 제1 보호막은, 압축 응력을 나타내고,
 상기 제2 보호막은, 인장 응력을 나타내는 것을 특징으로 하는 자기 터널 접합 소자.

청구항 4

제2항에 있어서,
 상기 제1 보호막 이외의 보호막은, 상기 제2 보호막을 덮도록 형성되는 제3 보호막을 포함하고,
 상기 제2 보호막의 질소 밀도는, 상기 제1 보호막 및 상기 제3 보호막의 질소 밀도보다 높고,
 상기 제3 보호막의 내습성은, 상기 제1 보호막 및 상기 제2 보호막의 내습성보다 높은 것을 특징으로 한 자기 터널 접합 소자.

청구항 5

제4항에 있어서,
 상기 제1 보호막 및 상기 제3 보호막은, 압축 응력을 나타내고,
 상기 제2 보호막은, 인장 응력을 나타내는 것을 특징으로 하는 자기 터널 접합 소자.

청구항 6

제1항에 있어서,
 상기 보호막은, 상기 제1 보호막을 덮도록 형성되는 제2 보호막과 상기 제2 보호막을 덮도록 형성되는 제3 보호막을 포함하고,
 상기 제3 보호막의 질소 밀도는, 상기 제1 보호막 및 상기 제2 보호막의 질소 밀도보다 높고,
 상기 제2 보호막의 내습성은, 상기 제1 보호막 및 상기 제3 보호막의 내습성보다 높은 것을 특징으로 하는 자기

터널 접합 소자.

청구항 7

제6항에 있어서,

상기 제1 보호막 및 상기 제2 보호막은, 압축 응력을 나타내고,

상기 제3 보호막은, 인장 응력을 나타내는 것을 특징으로 하는 자기 터널 접합 소자.

청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 자기 터널 접합층은, 기록층이 되는 제1 강자성층과, 참조층이 되는 제2 강자성층과, 상기 기록층과 상기 참조층 사이의 제1 장벽층을 갖는 것을 특징으로 하는 자기 터널 접합 소자.

청구항 9

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 자기 터널 접합층에 접하는 캡층과, 상기 자기 터널 접합층에 접하는 하부 전극층을 더 갖고,

상기 자기 터널 접합층은, 상기 캡층에 접하는 기록층과, 상기 하부 전극층에 접하는 참조층과, 상기 기록층과 상기 참조층 사이의 제1 장벽층을 갖고,

상기 하부 전극층은, 제1 비자성층과, 제2 비자성층과, 제3 비자성층을 갖고,

상기 기록층은, 상기 제1 장벽층에 접하는 제3 강자성층과, 제4 강자성층 과, 상기 제3 강자성층과 상기 제4 강자성층 사이의 제4 비자성층을 갖고,

상기 캡층은, 상기 제4 강자성층에 접하는 제2 장벽층과 제5 비자성층을 갖는 것을 특징으로 하는 자기 터널 접합 소자.

청구항 10

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 자기 터널 접합층에 접하는 캡층과, 상기 자기 터널 접합층에 접하는 하부 전극층을 더 갖고,

상기 자기 터널 접합층은, 상기 캡층에 접하는 기록층과, 상기 하부 전극층에 접하는 참조층과, 상기 기록층과 상기 참조층 사이의 제1 장벽층을 갖고,

상기 참조층은, 제1 자성 다층막과, 제6 비자성층과, 제2 자성 다층막과, 제7 비자성층과, 제5 강자성층을 갖고,

상기 제1 자성 다층막은, 상기 하부 전극층에 접하고,

상기 제5 강자성층은, 상기 제1 장벽층에 접하고,

상기 제1 자성 다층막의 자화(磁化)와 상기 제2 자성 다층막의 자화는, 반(反) 평행하게 결합하고, 상기 제2 자성 다층막의 자화와 상기 제5 강자성층의 자화는, 평행하게 결합하는 것을 특징으로 하는 자기 터널 접합 소자.

청구항 11

제1 방향으로 연장되는 복수의 비트선과,

상기 제1 방향으로 연장되는 복수의 소스선과,

상기 제1 방향과 교차하는 제2 방향으로 연장되는 복수의 워드선과,

제1항에 기재된 자기 터널 접합 소자와, 소스·드레인 경로가 상기 자기 터널 접합 소자에 직렬 접속되는 선택 트랜지스터를 갖고, 상기 비트선과 상기 워드선의 교점 및 상기 소스선과 상기 워드선의 교점에 배치된 메모리 셀을 갖고,

상기 자기 터널 접합 소자 및 상기 선택 트랜지스터의 소스·드레인 경로는, 상기 비트선과 상기 소스선 사이에

접속되고,

상기 선택 트랜지스터의 게이트는 상기 워드선에 접속되는 것을 특징으로 하는 자기 메모리.

청구항 12

제1 강자성층과, 제2 강자성층과, 상기 제1 강자성층과 상기 제2 강자성층과의 사이의 제1 장벽층이 적층된 자기 터널 접합층을 포함한 적층막으로부터 자기 터널 접합 소자를 제조하는 자기 터널 접합 소자의 제조 방법에 있어서,

방향이 기록층의 표면에 대하여 수직인 자화 방향을 갖는 상기 자기 터널 접합층을 패터닝된 하드 마스크를 이용하여 에칭하는 제1 공정과,

상기 하드 마스크 및 상기 자기 터널 접합층의 측벽에 플라즈마 CVD에 의해 제1 SiN막을 성막하는 제2 공정과,

상기 제1 SiN막을 덮는 제2 SiN막을 플라즈마 CVD에 의해 성막하는 제3 공정을 갖고,

상기 제2 공정에 있어서의 수소 이온 밀도 또는 수소 이온 에너지는, 상기 제3 공정에 있어서의 수소 이온 밀도 또는 수소 이온 에너지보다 낮고,

상기 제2 SiN막은, 질소 밀도가 상기 제1 SiN막의 질소 밀도보다 높아지는 성막 조건에 의해 성막되고,

상기 제1 SiN막과 상기 제2 SiN막을 포함한 보호막의 각각이 나타내는 응력의 총합이 0인 것을 특징으로 하는 자기 터널 접합 소자의 제조 방법.

청구항 13

제12항에 있어서,

상기 제1 SiN막은, 응력이 압축 응력으로 되는 성막 조건에 의해 성막되고,

상기 제2 SiN막은, 응력이 인장 응력으로 되는 성막 조건에 의해 성막되는 것을 특징으로 하는 자기 터널 접합 소자의 제조 방법.

청구항 14

제12항에 있어서,

상기 제2 SiN막을 덮는 제3 SiN막을 플라즈마 CVD에 의해 성막하는 제4 공정을 더 갖고,

상기 제2 공정에 있어서의 수소 이온 밀도 또는 수소 이온 에너지는, 상기 제4 공정에 있어서의 수소 이온 밀도 또는 수소 이온 에너지보다 낮고,

상기 제2 SiN막은, 질소 밀도가 상기 제3 SiN막의 질소 밀도보다 높아지는 성막 조건에 의해서, 성막되고,

상기 제3 SiN막은, 내습성이 상기 제1 SiN막 및 상기 제2 SiN막의 내습성보다 높아지는 성막 조건에 의해서 성막되는 것을 특징으로 하는 자기 터널 접합 소자의 제조 방법.

청구항 15

제14항에 있어서,

상기 제3 SiN막은, 응력이 압축 응력으로 되는 성막 조건에 의해 성막되는 것을 특징으로 하는 자기 터널 접합 소자의 제조 방법.

청구항 16

제1 강자성층과, 제2 강자성층과, 상기 제1 강자성층과 상기 제2 강자성층과의 사이의 제1 장벽층이 적층된 자기 터널 접합층을 포함한 적층막으로부터 자기 터널 접합 소자를 제조하는 자기 터널 접합 소자의 제조 방법에 있어서,

방향이 기록층의 표면에 대하여 수직인 자화 방향을 갖는 상기 자기 터널 접합층을 패터닝된 하드 마스크를 이용하여 에칭하는 제1 공정과,

상기 하드 마스크 및 상기 자기 터널 접합층의 측벽에 플라즈마 CVD에 의해 제1 SiN막을 성막하는 제2 공정과,
 상기 제1 SiN막을 덮는 제2 SiN막을 플라즈마 CVD에 의해 성막하는 제3 공정과,
 상기 제2 SiN막을 덮는 제3 SiN막을 플라즈마 CVD에 의해 성막하는 제4 공정을 갖고,

상기 제2 공정에 있어서의 수소 이온 밀도 또는 수소 이온 에너지는, 상기 제3 공정 및 상기 제4 공정에 있어서의 수소 이온 밀도 또는 수소 이온 에너지보다 낮고,

상기 제2 SiN막은, 내습성이 상기 제1 SiN막 및 상기 제3 SiN막의 내습성보다 높아지는 성막 조건에 의해서, 성막되고,

상기 제3 SiN막은, 질소 밀도가 상기 제1 SiN막 및 상기 제2 SiN막의 질소 밀도보다 높아지는 성막 조건에 의해서 성막되고,

상기 제1 SiN막과 상기 제2 SiN막과 상기 제3 SiN막을 포함한 보호막의 각각이 나타내는 응력의 총합이 0인 것을 특징으로 하는 자기 터널 접합 소자의 제조 방법.

청구항 17

제16항에 있어서,

상기 제1 SiN막은, 응력이 압축 응력으로 되는 성막 조건에 의해 성막되고,

상기 제2 SiN막은, 응력이 압축 응력으로 되는 성막 조건에 의해 성막되고,

상기 제3 SiN막은, 응력이 인장 응력으로 되는 성막 조건에 의해 성막되는 것을 특징으로 하는 자기 터널 접합 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 자기 메모리(MRAM: Magnetoresistive Random Access Memory) 및, 메모리 셀을 구성하는 자기 터널 접합(MTJ: Magnetic Tunnel Junction) 소자에 관한 것이며, 특히 자기 터널 접합의 보호막에 관한 것이다.

배경 기술

[0002] MRAM은, MTJ 소자를 메모리 셀의 구성 요소로 하는 저항 변화형 불휘발 메모리이다. MTJ 소자의 기본 구조는, 제1 강자성층, 제1 장벽층, 제2 강자성층을 적층한 3층 구조이다.

[0003] MTJ 소자에서는, 통상, 제1 강자성층, 제2 강자성층 중 어느 한쪽을 자화(磁化)가 가변인 기록층으로 하고, 다른 쪽을 자화가 반전하기 어려운 참조층으로 한다. MTJ 소자는, 제1 강자성층 및 제2 강자성층의 자화의 상대 각에 따라 소자 저항이 변화하는 성질을 갖는다. 제1 강자성층의 자화 및 제2 강자성층의 자화가 서로 평행해질 때(평행 상태), MTJ 소자 저항은 최소가 되고, 제1 강자성층의 자화 및 제2 강자성층의 자화가 서로 반(反)평행해질 때(반 평행 상태), MTJ 소자 저항은 최대가 된다. 이 저항 변화율을 터널 자기 저항(TMR)이라고 한다.

[0004] MRAM에서는, 이 2개의 저항 상태를 「0」과 「1」의 비트 정보에 대응시킨다. MTJ 소자는 전원이 차단되어도 자화 방향을 계속해서 유지하기 때문에, 비트 정보를 계속해서 유지할 수 있고, 비휘발성을 갖는다. 또한, MTJ 소자에 전류를 인가함으로써 발생하는 스핀 트랜스퍼 토크에 의해 기록층의 자화를 반전시켜, 정보를 기입하는 방식이 주류가 되고 있다. 이 경우, MTJ 소자에 인가하는 전류 방향에 의해, 기입하는 「0」 혹은 「1」의 비트 정보를 구별할 수 있다.

[0005] 다음으로, MTJ 소자의 자화 방향에 대해서 설명한다. MTJ 소자의 자화 방향은, 자화가 막면(膜面)에 대하여 수평 방향이 되는 자성체를, 제1 강자성층, 제2 강자성층에 적용하는 것이 일반적이었다. 이것은, TMR비가 큰 재료를, 제1 강자성층 및 제2 강자성층에 적용하기 때문이며, 이러한 재료는 자화가 막면에 대하여 수평을 향하는 성질을 나타내기 때문이다. 그러나, MTJ 소자의 자화 방향은, 막면에 대하여 수직인 쪽이 미세화(微細化)에 적합하며, 또한 비휘발성을 유지하기 쉽다. 그 때문에, 큰 저항 변화를 나타내며, 또한 수직 자화를 실현하는 재

료 기술이 개발되었다. 그 결과, TMR비를 유지하면서, MTJ 소자의 자화 방향을 막면에 대하여 수직을 유지할 수 있도록 되어 있다. 예를 들면 특허문헌 1에서는, 큰 TMR비가 얻어지는 예로서, 제1 강자성층 및 제2 강자성층에 CoFeB, 제1 장벽층에 MgO를 재료로서 적용하는 것을 개시한다.

[0006] 특허문헌 2 및 특허문헌 3은, 이러한 수직 자화막을 갖는 MTJ 소자에 응력막을 마련하고, MTJ 소자를 수직 자화막의 막면에 대하여 수직 방향으로 신장시켜 수직 방향의 형상 자기 이방성을 증가시킴으로써, MTJ 소자의 보자력 특성이 향상시켜지는 것을 개시하고 있다. 구체적으로는, 특허문헌 2에서는 MTJ 소자의 상층에 기관에 대하여 인장 응력이 가해지는 응력막을 배치하고, MTJ 소자의 하층에 기관에 대하여 압축 응력이 가해지는 응력막을 배치하는 소자 구조를 개시한다. 또한, 특허문헌 3에서는 MTJ 소자를 자화 방향을 따라 상하로 인장하도록 인장 응력을 부여하는 측벽막을 MTJ 소자의 측벽에 형성하는 소자 구조를 개시한다.

[0007] 또한, 특허문헌 4에는 복수 층의 보호막을 구비한 MTJ 소자를 개시한다. 그러나, 본 문헌에서는 스퍼터법에 의한 보호막 형성을 전제로 하기 때문에, 보호막 제작 방법, 보호막의 특성, 효과 등이 크게 다른 것이다.

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 일본국 특개2011-258596호 공보
- (특허문헌 0002) 일본국 특개2012-182219호 공보
- (특허문헌 0003) 일본국 특개2013-8868호 공보
- (특허문헌 0004) 일본국 특개2015-179694호 공보

발명의 내용

해결하려는 과제

[0009] 발명자들은, MTJ 소자에 수직 자화막의 막면에 대하여 수직 방향으로 신장시키는 응력이 인가됨으로써, MTJ 소자의 수직 방향의 자화가 안정화되지 않게 될 경우가 있음을 찾아냈다.

[0010] 3d 전이 금속을 적어도 1종류 함유한 강자성층 재료(예를 들면, CoFeB)의 자화 방향이 막면에 대하여 수직이 되는 이유는, 강자성층과 장벽층의 적층 계면에 있어서 계면 자기 이방성이 발현되고, 강자성층의 막두께가 박막화됨으로써 계면 자기 이방성의 영향이 층 전체에 미치는 것에 있다. 즉, 예를 들면, CoFeB막과 MgO막의 적층 계면에 있어서의 계면 자기 이방성은 막면에 대하여 수직 방향으로 자화를 가지런히 하는 효과를 갖는다. 이에 대하여, CoFeB막이 본래 가지는 자기 이방성은, 면내 방향으로 자화를 가지런히 하는 경향이 있다. 수직 자화를 실현하기 위해서는, 계면 자기 이방성이 CoFeB막의 자기 이방성을 이겨낼 필요가 있다. CoFeB막의 경우, 막두께를 2nm 이하까지 충분히 얇게 하면, CoFeB막의 자기 이방성에 대하여 계면 자기 이방성이 지배적으로 되기 때문에, 수직 자화가 실현된다.

[0011] 또한, CoFeB막과 MgO막의 적층 계면에 계면 자기 이방성이 발현되는 메커니즘은, CoFeB 층의 Fe와 MgO 층의 O가, 계면에 있어서 결합하기 때문이다. 이 때문에, 수직 자기 이방성을 실현하기 위해서는, Fe(3d 전이 금속)와 O의 결합이 충분히 확보될 필요가 있다.

[0012] MTJ 소자에 수직 자화막의 막면에 대하여 수직 방향으로 신장시키는 응력이 인가됨으로써, MTJ 소자의 수직 방향의 자화가 안정화되지 않게 되는 원인은, 계면 자기 이방성의 발현에 중요한 역할을 하는 Fe와 O의 결합이, 응력 인가에 의해 계면에 격자(格子) 부정합이 발생하여, Fe와 O의 결합이 저해되는 것에 있다고 생각된다. 응력 인가에 의해 형상 자기 이방성이 증가하는 형상이 얻어져도, 계면 자기 이방성이 감소함으로써, MTJ 소자의 특성이 오히려 열화(劣化)하게 된다.

[0013] 또한, 계면 자기 이방성에 착목하면, MTJ 소자의 제조 공정에 있어서 플라즈마 CVD에 의한 보호막 성막 중에 있어서, 플라즈마에 의한 산화 환원 반응 때문에 CoFeB층과 MgO층의 계면 자기 이방성의 감소가 야기될 가능성이 있다. 플라즈마 CVD에 의해 보호막을 성막하는 이점은, 치밀한 막이 얻어지는 것에 있다. 계면 자기 이방성은, 계면에 있어서의 Fe와 O의 조성비가 1대 1일 때에 최대가 되는 것이 알려져 있는 바, 플라즈마 CVD에 의한 보호막 성막 공정에 있어서 산화 또는 환원 반응이 생기면, Fe에 대한 O의 조성비가 변화되어, 계면 자기

이방성을 감소시키도록 작용한다.

과제의 해결 수단

[0014] 본원에 있어서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면 다음과 같다.

[0015] 일 실시형태에 있어서의 MTJ 소자는, 자기 터널 접합층과, 자기 터널 접합층의 측벽에 형성되는 복수 층의 보호막을 갖고, 복수 층의 보호막은 플라즈마 CVD의 성막 조건을 다르게 하여 형성되는 SiN막이며, 자기 터널 접합층에 직접 접하여 형성되는 제1 보호막을 포함하고, 제1 보호막의 성막 조건에 있어서의 수소 이온 밀도 또는 수소 이온 에너지는, 복수 층의 보호막의 다른 보호막의 성막 조건에 있어서의 수소 이온 밀도 또는 수소 이온 에너지보다 낮고, 다른 보호막으로서, 그 질소 밀도가 제1 보호막의 질소 밀도보다도 높은 보호막을 포함한다.

발명의 효과

[0016] 플라즈마 CVD 성막에 의한 자기 터널 접합층의 자기 특성 열화를 억제하고, 미세화에 대응 가능한 MTJ 소자, MRAM을 제공한다.

[0017] 그 밖의 과제와 신규의 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명백해질 것이다.

도면의 간단한 설명

[0018] 도 1은 실시예 1의 수직 자화 MTJ 소자의 단면도.

도 2a는 실시예 1의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 2b는 실시예 1의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 2c는 실시예 1의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 2d는 실시예 1의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 2e는 실시예 1의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 2f는 실시예 1의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 2g는 실시예 1의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 3은 실시예 2의 수직 자화 MTJ 소자의 단면도.

도 4a는 실시예 2의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 4b는 실시예 2의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 4c는 실시예 2의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 4d는 실시예 2의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 4e는 실시예 2의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 4f는 실시예 2의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 4g는 실시예 2의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 4h는 실시예 2의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 5는 실시예 3의 수직 자화 MTJ 소자의 단면도.

도 6a는 실시예 3의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 6b는 실시예 3의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 6c는 실시예 3의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 6d는 실시예 3의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

도 6e는 실시예 3의 수직 자화 MTJ 소자의 제작 프로세스 플로우.

- 도 6f는 실시예 3의 수직 자화 MTJ 소자의 제작 프로세스 플로우.
- 도 6g는 실시예 3의 수직 자화 MTJ 소자의 제작 프로세스 플로우.
- 도 6h는 실시예 3의 수직 자화 MTJ 소자의 제작 프로세스 플로우.
- 도 7은 3층 구조의 기록층을 적용한 수직 자화 MTJ 소자의 단면도.
- 도 8은 적층 페리형 참조층을 적용한 수직 자화 MTJ 소자의 단면도.
- 도 9는 MRAM 메모리 셀의 개략도.
- 도 10은 MRAM 메모리 어레이의 개략도.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하의 실시형태에 있어서는 편의상 그 필요가 있을 때에는, 복수의 섹션 또는 실시형태로 분할하여 설명하지만, 특별히 명시했을 경우를 제외하고, 그것들은 서로 무관계한 것이 아니라, 한쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다.
- [0020] 또한, 이하의 실시형태에 있어서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)을 언급할 경우, 특별히 명시했을 경우 및 원리적으로 분명하게 특정한 수에 한정될 경우 등을 제외하고, 그 특정한 수에 한정되는 것이 아니라, 특정한 수 이상이어도 이하여도 된다.
- [0021] 또한, 이하의 실시형태에 있어서, 그 구성 요소(요소 스텝 등도 포함함)는, 특별히 명시했을 경우 및 원리적으로 명백하게 필수라고 생각될 경우 등을 제외하고, 반드시 필수인 것은 아님은 말할 것도 없다.
- [0022] 마찬가지로, 이하의 실시형태에 있어서, 구성 요소 등의 형상, 위치 관계 등을 언급할 때에는 특별히 명시했을 경우 및 원리적으로 명백히 그렇지 않다고 생각될 경우 등을 제외하고, 실질적으로 그 형상 등에 근사 또는 유사한 것 등을 포함하는 것으로 한다. 이것은, 구성 요소 등의 수치 및 범위에 대해서도 마찬가지이다.
- [0023] 또한, 실시형태를 설명하기 위한 전체 도면에 있어서, 동일한 부재(部材)에는 원칙적으로 동일한 부호를 부여하고, 그 반복적인 설명은 생략한다. 또한, 도면을 이해하기 쉽게 하기 위해, 평면도여도 해칭을 부여할 경우가 있으며, 또한 단면도여도 해칭을 생략할 경우가 있다.
- [0024] [실시예 1]
- [0025] 실시예 1의 MTJ 소자의 구조를 설명한다. 도 1은 MTJ 소자의 단면도이다. MTJ 소자(100)는, 제1 강자성층(101), 제1 장벽층(102), 제2 강자성층(103)을 이 순으로 적층한 3층 구조의 자기 터널 접합층을 기본으로 하고, 제1 강자성층(101)의 제1 장벽층(102)과 반대측의 계면에 접하는 하부 전극층(104) 및 제2 강자성층의 제1 장벽층(102)과 반대측의 계면에 접하는 캡층(105)을 구비한다. 도 1의 예에서는, 하부 전극층(104)은, 제1 비자성층(106), 제2 비자성층(107), 제3 비자성층(108)의 3층 구조로 했다. 그러나, MTJ 소자의 TMR비, 혹은 자기 이방성이 감소하지 않으면, 하부 전극층(104)은 반드시 3층이 아니어도 된다. 또한, 캡층(105)은 1층으로 했지만, MTJ 소자의 자기 이방성이 감소하지 않으면 1층이 아니어도 된다. 또한, 제1 강자성층(101)을 참조층, 제2 강자성층(103)을 기록층으로 하는 보텀 핀형의 구조로 해도, 제1 강자성층(101)을 기록층으로 하고, 제2 강자성층(103)을 참조층으로 하는 톱 핀형의 구조로 해도 된다.
- [0026] 제1 강자성층(101) 및 제2 강자성층(103)의 재료는 CoFeB를 적용하고, 제1 장벽층(102)의 재료는 MgO를 적용했다. 이것은, CoFeB와 MgO의 적층 계면에 있어서의 계면 자기 이방성을 사용하여 수직 자화를 실현하기 때문이다. 제1 강자성층(101), 제2 강자성층(103), 및 제1 장벽층(102)의 재료는, 계면 자기 이방성이 발현되고, 수직 자화를 실현할 수 있는 재료의 조합이면, 자기 터널 접합층의 재료로서 다른 재료의 조합을 이용해도 상관없다.
- [0027] 하부 전극층(104)에 있어서, 제1 비자성층(106) 및 제3 비자성층(108)의 재료에는 Ta를 이용하고, 제2 비자성층(107)의 재료에는 Ru를 이용했다. 이러한 적층 구조로 함으로써 하부 전극층(104)의 표면 러프니스를 감소시킬 수 있다. 하부 전극층(104)의 표면 러프니스가 크면 강자성층과 장벽층과의 계면에 흐트러짐이 생겨, 발현되는 계면 자기 이방성이 저하한다. 표면 러프니스를 작게 억제함으로써, MTJ 소자(100)의 TMR비 및 자기 이방성 감소를 억제하는 것이 가능해진다. 하부 전극층(104)의 표면 러프니스를 감소시킬 수 있는 재료의 조합이면, 다른 재료나 다른 적층 구조를 이용해도 상관없다.

- [0028] 캡층(105)의 재료에는 Ru를 이용했다. Ru를 이용하면 기록층(103)의 자기 이방성이 감소할 경우도 있으므로, Ta를 이용해도 된다. 단, 캡층의 재료로서 Ta를 이용했을 경우, 제2 강자성층(103)과 캡층(105)의 경계에 CoFeB와 Ta가 서로 섞인 영역, 즉 자기적인 데드 레이어가 형성될 경우가 있다. 이것은, 제2 강자성층(103)이 실질적으로 얇아진 것에 상당한다. 이 때문에, 캡층(105)에 Ta를 이용할 경우에는, 데드 레이어의 막두께를 고려하여 제2 강자성층(103)의 막두께를 결정할 필요가 있다. 데드 레이어의 막두께를 고려해 두면, Ta는 제2 강자성층(103)의 자기 이방성을 감소시키지 않는다. 이상과 같이, 캡층(105)의 재료는, 제2 강자성층(103)의 자기 이방성을 감소시키지 않는 재료이면, 다른 재료를 이용해도 상관없다.
- [0029] 실시예 1에서는, 도 1에 나타내는 바와 같이, MTJ 소자(100)의 측벽을 덮도록 형성된 제1 보호막(109), 및 제1 보호막(109)을 덮도록 형성된 제2 보호막(110)을 구비한다. 제1 실시예에서는, 제1 보호막(109)은, 플라즈마 CVD에 의해 성막된다. 플라즈마 CVD에 의한 성막 전의 단계에서는, MTJ 소자(100)가 필러 형상으로 가공되어 있다. 또한, 도 1에서는 MTJ 소자의 직경이 위로 갈수록 좁혀진 형상으로 되어 있지만, 적층막의 에칭에 의해 생기는 형상이며, 본 명세서에 있어서는, 이러한 형상에 대해서도 필러 형상으로 표기한다. 보호막의 성막 전에 대기 노출하면 MTJ 소자(100)의 자기 특성이 열화하기 때문에, MTJ 소자(100)가 필러 형상으로 가공된 후, 대기 노출하지 않고, 플라즈마 CVD에 의한 보호막을 성막한다.
- [0030] 제1 보호막(109)을 성막할 때에는, MTJ 소자(100)의 측벽이 노출된 상태가 되기 때문에, 플라즈마 CVD에 의한 보호막 성막 중에, MTJ 소자(100)의 측벽에 있어서 플라즈마에 의한 산화 환원 반응이 일어난다. 이 결과, CoFeB층과 MgO층의 적층 계면에 있어서의 계면 자기 이방성이 감소하고, MTJ 소자의 자기 특성이 열화한다. 이 때문에, 제1 보호막(109)의 성막 조건을 플라즈마의 밀도나 에너지가 낮은 조건으로 한다. 이 결과, 플라즈마 CVD에 의한 보호막 성막 중의 산화 또는 환원 반응이 완만해져, 계면 자기 이방성의 감소를 억제할 수 있다.
- [0031] 그 후, 제2 보호막(110)을, 제1 보호막(109)과의 합계의 응력이 제로에 가까워지는 조건으로 성막한다. 이 결과, CoFeB층과 MgO층의 적층 계면에 있어서의 격자 부정합을 해소하여, 계면 자기 이방성의 감소를 더 억제할 수 있다.
- [0032] 실시예 1에서는, 제1 보호막(109) 및 제2 보호막(110)의 재료는, 모두 플라즈마 CVD에 의한 SiN을 이용했다. 플라즈마 CVD에 의해 SiN을 성막할 경우, H 가스를 이용하기 때문에 환원 반응이 일어난다. 제1 보호막(109)을 성막할 때에는, 플라즈마 CVD의 인가 바이어스 전압을 50V로 하고, 수소 이온 밀도 및 에너지를 저감했다. 이 결과, 환원 반응이 억제되어, 계면 자기 이방성은 감소하지 않는다. 이 조건으로 성막된 제1 보호막(109)의 응력은, 막면에 대하여 수평으로 MTJ 소자(100)를 내측으로 압축하는 방향으로 인가되고(압축 응력), 그 크기는 50MPa이었다.
- [0033] 제1 보호막(109)은 압축 응력 50MPa로 성막되어 있기 때문에, 제2 보호막(110)은, 막면에 대하여 수평으로 MTJ 소자(100)를 외측으로 인장하는 방향으로 50MPa의 응력(인장 응력)이 인가되는 조건으로 성막한다. SiN을 인장 응력으로 하기 위해서는, 플라즈마 CVD에 의해 성막할 때에 이용하는 N 가스의 비율을 높게 하면 된다. 따라서, 제1 보호막(109)과 제2 보호막(110)에서는 N 함유량이 다르며, 제2 보호막(110)의 SiN의 N 함유량은, 제1 보호막(109)의 SiN의 N 함유량보다 크다. 또한, 제1 보호막(109) 및 제2 보호막의 응력 방향 및 응력값은, 합계의 응력이 제로에 가까워지도록 조정되는 것을 설명하기 위한 예이며, 이 이외의 값이어도 상관없다.
- [0034] 제2 보호막을 마스크로 하고 하부 전극층(104)을 에칭하여 소자 분리하고, 층간 절연막(112)을 성막한다. 또한, 층간 절연막(112)을 CMP(Chemical Mechanical Polishing: 화학 기계 연마)로 평탄화하면서, 하드 마스크층(111)이 노출될 때까지 제거한다. 그 후, 하드 마스크층(111) 상단과 전기적으로 접속되도록 상부 배선층(113)을 형성한다.
- [0035] 도 2a~g에, 도 1의 MTJ 소자의 제작 플로우를 나타낸다. 도 2a는, MJT 소자(100)를 구성하는 적층막의 성막 구성을 나타내고 있다. MRAM에서는, 반도체 웨이퍼 프로세스에 있어서의 배선 프로세스에 있어서, 배선간에 MTJ 소자를 제작하는 경우가 많다. 실시예 1에 있어서도 배선간에 MTJ 소자를 제작한다. 배선층에 있어서, 하부 전극층(104)(제1 비자성층(106), 제2 비자성층(107), 제3 비자성층(108)), 제1 강자성층(101), 제1 장벽층(102), 제2 강자성층(103), 캡층(105), 하드 마스크층(111)을 이 순으로 적층한다. 각각의 층의 막두께에 대해서, 제1 강자성층(101)은 1.0nm, 제1 장벽층(102)은 1.0nm, 제2 강자성층(103)의 막두께는 1.6nm, 제1 비자성층(106)의 막두께는 5nm, 제2 비자성층(107)의 막두께는 10nm, 제3 비자성층(108)의 막두께는 20nm로 한다.
- [0036] 도 2b는 하드 마스크층(111)을 가공하는 공정을 나타내고 있다. 하드 마스크층(111)의 재료로서는 Ta를 이용할 수 있다. 하드 마스크층의 성막 단계에서의 막두께는 150nm로 했다. 하드 마스크층(111) 위에 레지스트막을

형성하고, 원하는 위치에 MTJ 소자가 형성되도록 레지스트막을 패터닝하고, 레지스트 패턴을 하드 마스크층(111)에 전사(轉寫)한다.

- [0037] 도 2b에서 패터닝된 하드 마스크층(111)을 이용하여, 제1 강자성층(101), 제1 장벽층(102), 제2 강자성층(103) 및 캡층(105)을 에칭 가공하는 공정을 도 2c에 나타낸다. 에칭의 종점은, 제1 강자성층(101)을 완전히 에칭 가공하고, 제3 비자성층(108)의 표면부터 제3 비자성층(108)의 도중까지 에칭한 점으로 했다.
- [0038] 이후, 대기 노출하지 않고 제1 보호막(109)을 플라즈마 CVD로 성막한다. 이 공정을 도 2d에 나타낸다. 제1 보호막(109)으로서 SiN막을 적용하고, 그 막두께는 10nm로 한다. 이 공정에서는, 상술한 바와 같이, 수소 이온에 의한 환원 반응을 억제하기 위해 이온 밀도 및 에너지가 낮은 조건으로 하고 있다. 이 성막 조건에 의한 제1 보호막(109)의 응력은 압축 응력 50MPa를 나타낸다.
- [0039] 도 2e에, 제2 보호막(110)을 성막하는 공정을 나타낸다. 제2 보호막(110)으로서 SiN막을 적용하고, 그 막두께는 20nm로 한다. 제2 보호막(110)은 인장 응력 50MPa로 할 필요가 있다. 인장 응력으로 하기 위해서는, 예를 들면, SiN의 밀도가 $3g/cm^3$ 이상이고, N-H량이 $5 \times 10^{21} \text{ atoms/cm}^3$ 이상 등의 조건이 있지만, 원하는 인장 응력을 실현할 수 있으면, 이 조건에 한하는 것이 아니다. 이러한 조건을 실현하기 위해서는, 적어도, 플라즈마 CVD에 의한 성막시에 N 가스의 유량을 크게 할 필요가 있다. 결과적으로, 제2 보호막(110)의 N 함유량은, 제1 보호막(109)의 N 함유량보다 커진다.
- [0040] 도 2f는, 제2 보호막(110)을 마스크로 하고, 하부 전극층(104)을 에칭하는 공정을 나타내고 있다. 그 후, 층간 절연막(112)을 성막하는 공정을 도 2g에 나타낸다.
- [0041] 이와 같이 하여 제작한 MTJ 소자(100)는, 제1 보호막(109)에 의해 제1 강자성층(101) 및 제2 강자성층(103)과 제1 장벽층(102)과의 적층 계면에 있어서의, 환원 반응에 의한 계면 자기 이방성의 감소가 억제되고 있다. 또한, 제2 보호막(110)에 의해, 제1 보호막(109)과 제2 보호막(110)의 합계 응력이 제로 부근으로 제어되기 때문에, 격자 부정합에 의한 계면 자기 이방성의 감소도 억제된다. 이상과 같이, 제1 보호막(109)에는 산화 환원 반응의 억제, 제2 보호막(110)에는 응력 조정과 같은 서로 다른 기능을 부여함으로써, 자화가 막면에 대하여 수직 방향으로 안정화된 MTJ 소자가 가능해진다.
- [0042] [실시에 2]
- [0043] 실시예 1에서는 보호막을 2층 구조로 하고, 각각에 산화 환원 반응의 억제와 응력 조정과 같은 서로 다른 기능을 부여했다. 실시예 2에서는 보호막을 3층 구조로 하고, 각각에 산화 환원 반응의 억제, 응력 조정, 내습성의 향상과 같은 3개의 서로 다른 기능을 부여하고, 추가로 MTJ 소자의 신뢰성을 높이는 구조로 한다.
- [0044] 도 3을 이용하여 실시예 2에 있어서의 MTJ 소자의 구조를 설명한다. 도 3은, 실시예 2의 MTJ 소자의 단면도이다. 실시예 2의 MTJ 소자(300)는 실시예 1과 같은 적층 구조로 했다. 제1 강자성층(101)을 참조층, 제2 강자성층(103)을 기록층으로 하는 보텀 핀형의 구조로 하고 있지만, 제1 강자성층(101)을 기록층으로 하고, 제2 강자성층(103)을 참조층으로 하는 톱 핀형의 구조로 해도 된다. 각 층의 재료에 대해서도 실시예 1과 마찬가지로이다.
- [0045] 도 3에 나타내는 바와 같이, 실시예 2의 MTJ 소자(300)에서는, MTJ 소자(300)의 측벽을 덮도록 형성된 제1 보호막(109), 제1 보호막(109)을 덮도록 형성된 제2 보호막(110), 및 제2 보호막(110)을 덮도록 형성된 제3 보호막(301)을 구비하고 있다.
- [0046] 실시예 2에 있어서의 제1 보호막(109)의 역할은, 실시예 1과 마찬가지로이다. 제1 보호막(109)은 플라즈마의 밀도나 에너지가 낮은 조건으로 성막되고, 플라즈마 CVD에 의한 보호막 성막 중의 산화 또는 환원 반응이 완만해짐으로써, 계면 자기 이방성의 감소를 억제한다.
- [0047] 제2 보호막(110)은, 제1 보호막(109) 및 제3 보호막(301)과의 합계의 응력이 제로에 가까워지는 조건으로 성막한다. 이 결과, CoFeB층과 MgO층의 적층 계면에 있어서의 격자 부정합을 해소하여, 계면 자기 이방성의 감소를 더 억제한다.
- [0048] 제3 보호막(301)은, 대기에 접촉할 가능성이 있기 때문에 내습성이 우수한 조건으로 성막한다. 치밀한 막일수록, 내습성이 우수한 막이라고 할 수 있고, Si와 N의 비가 1:1이 되도록 가스량을 조정하고, 플라즈마의 밀도나 에너지를 높게 함으로써 내습성이 우수한 막을 얻을 수 있다. 그 때문에, 제3 보호막(301)의 N 함유량은, 제2 보호막(110)의 N 함유량보다 작아지고 있다. 이 결과, 실시예 2의 MTJ 소자(300)는, 실시예 1의 MTJ 소자(100)

0)와 비교하여 내습성을 향상시킬 수 있고, 추가로 신뢰성이 높은 MTJ 소자를 실현할 수 있다.

- [0049] 실시예 2에서는, 제1 보호막(109), 제2 보호막(110) 및 제3 보호막(301)의 재료는, 모두 플라즈마 CVD에 의한 SiN을 이용했다. 제1 보호막(109)을 성막할 때에는, 플라즈마 CVD의 인가 바이어스 전압을 50V로 하고, 수소 이온 밀도 및 에너지를 저감한다. 이 결과, 환원 반응이 억제되어, 계면 자기 이방성은 감소하지 않는다. 이 조건으로 성막된 제1 보호막(109)의 응력은 압축 응력이며, 그 크기는 50MPa이었다.
- [0050] 다음으로, 제2 보호막(110)을 성막한다. 제1 보호막(109)은 압축 응력 50MPa로 성막되어 있다. 후술하는 바와 같이 제3 보호막(301)은 압축 응력 140MPa로 성막되어 있다. 이 때문에, 제2 보호막(110)은, 인장 응력 190MPa이 되는 조건으로 성막한다. 이 때문에, 실시예 2에서는, 실시예 1과 비교하여, 제2 보호막(110) 성막시의 N 가스의 비율이 높아진다. 따라서, 실시예 2에서는, 실시예 1과 비교하여, 제2 보호막(110)의 SiN에 있어서의 N 함유량이 커지고 있다. 또한, 제2 보호막(110)의 SiN에 있어서의 N 함유량은 제1 보호막(109), 제3 보호막(301)보다도 크다.
- [0051] 제3 보호막(301)은 상술한 바와 같은 SiN막의 내습성을 높이는 조건을 이용하여 성막한 결과, 응력은 압축 응력으로 140MPa이었다. 제3 보호막(301)을 성막 후, 제3 보호막(301)을 마스크로 하고 하부 전극층(104)을 에칭하여 소자 분리하고, 층간 절연막(112)을 성막한다. 또한, 층간 절연막(112)을 CMP로 평탄화하면서 하드 마스크층(111)이 노출될 때까지 제거한다. 그 후, 하드 마스크층(111) 상단과 전기적으로 접속되도록 상부 배선층(113)을 형성한다.
- [0052] 이와 같이 하여 제1 보호막(109), 제2 보호막(110), 및 제3 보호막(301)을 플라즈마 CVD에 의해 성막함으로써, 제1 보호막(109), 제2 보호막(110), 및 제3 보호막(301)의 합계의 응력을 제로에 가까워지게 하는 것이 가능하다. 이 결과, CoFeB층과 MgO층 사이의 계면 자기 이방성의 감소를 억제하며, 또한 내습성이 우수한 보호막을 형성할 수 있다. 또한, 이상에서 설명한 제1 보호막(109), 제2 보호막(110), 및 제3 보호막(301)의 응력 방향 및 응력값은, 합계의 응력이 제로에 가까워지도록 조정되는 것을 설명하기 위한 예이며, 이 이외의 값이어도 상관없다.
- [0053] 도 4a~h에, 도 3의 MTJ 소자의 제작 플로우를 나타낸다. 도 4a는, MJT 소자(300)를 구성하는 적층막의 성막 구성을 나타내고 있다. 실시예 1과 마찬가지로, 하부 전극층(104)(제1 비자성층(106), 제2 비자성층(107), 제3 비자성층(108)), 제1 강자성층(101), 제1 장벽층(102), 제2 강자성층(103), 캡층(105), 하드 마스크층(111)을 이 순으로 적층하고, 각각의 층의 막두께도 실시예 1과 같다.
- [0054] 도 4b 및 도 4c의 공정도, 실시예 1과 마찬가지로이다. 하드 마스크층(111)을 가공하고(도 4b), 제1 강자성층(101), 제1 장벽층(102), 제2 강자성층(103), 및 캡층(105)을 에칭 가공한다(도 4c). 실시예 2에 있어서의 하드 마스크층(111)의 재료도 Ta를 이용하고, 하드 마스크층(111)의 성막 단계에서의 막두께를 150nm로 하고 있다.
- [0055] 이후, 대기 노출하지 않고 제1 보호막(109)을 플라즈마 CVD로 성막한다. 이 공정을 도 4d에 나타낸다. 이 공정에서는, 상술한 바와 같이, 환원 반응을 억제하기 위해 수소 이온 밀도 및 에너지가 낮은 조건으로 하고 있다. 제1 보호막(109)은 막두께 10nm의 SiN막이며, 제1 보호막(109)의 응력은, 압축 응력 50MPa을 나타낸다.
- [0056] 도 4e에, 제2 보호막(110)을 성막하는 공정을 나타낸다. 실시예 2에서는, 제2 보호막(110)으로서 SiN막을 적용하고, 그 막두께는 10nm로 한다. 제1 보호막(109)은 압축 응력 50MPa로 성막되어 있다. 또한, 후술하는 제3 보호막(301)의 응력은, 압축 응력으로 140MPa이다. 이 때문에, 제2 보호막(110)은 인장 응력 190MPa이 되도록 성막했다. 인장 응력을 실현하기 위해, 플라즈마 CVD에 의한 성막시에 N 가스의 유량을 크게 할 필요가 있다. 결과적으로, 제2 보호막(110)의 N 함유량은, 제1 보호막(109) 및 제3 보호막(301)의 N 함유량보다 커진다.
- [0057] 도 4f는, 제3 보호막(301)을 성막하는 공정을 나타내고 있다. 제3 보호막(301)은 보호막의 내습성을 높이는 조건으로 성막한 결과, 압축 응력 140MPa이었다.
- [0058] 도 4g는, 제3 보호막(301)을 마스크로 하여, 하부 전극층(104)을 에칭하는 공정을 나타내고 있다. 그 후, 층간 절연막(112)을 성막하는 공정을 도 4h에 나타낸다.
- [0059] 이와 같이 하여 제작한 MTJ 소자(300)는, 제1 보호막(109)에 의해 제1 강자성층(101) 및 제2 강자성층(103)과 제1 장벽층(102)과의 적층 계면에 있어서의, 환원 반응에 의한 계면 자기 이방성의 감소가 억제되고 있다. 또한, 제2 보호막(110)에 의해, 제1 보호막(109), 제2 보호막(110), 제3 보호막(301)의 합계 응력이 제로 부근으로 제어되기 때문에, 격자 부정합에 의한 계면 자기 이방성의 감소도 억제된다. 또한, 제3 보호막(301)에 의해

내습성이 향상되어 있다. 이상과 같이, 제1 보호막(109)에는 산화 환원 반응의 억제, 제2 보호막(110)에는 응력 조정, 제3 보호막(301)에는 내습성의 향상과, 각각에 서로 다른 기능을 독립적으로 부여하는 것이 가능하다. 각각의 보호막은 대응하는 기능을 최적화할 수 있으므로, MTJ 소자의 안정성 향상에 공헌할 수 있다.

[0060] [실시예 3]

[0061] 도 5를 이용하여 실시예 3에 있어서의 MTJ 소자의 구조를 설명한다. 도 5는, 실시예 3의 MTJ 소자의 단면도이다. 실시예 3의 MTJ 소자(500)는, 실시예 1 및 실시예 2와 같은 적층 구조로 했다. 또한, 실시예 3에 있어서도, 제1 강자성층(101)을 참조층, 제2 강자성층(103)을 기록층으로 하는 보텀 핀형의 구조로 하고 있지만, 제1 강자성층(101)을 기록층으로 하고, 제2 강자성층(103)을 참조층으로 하는 탑 핀형의 구조로 해도 된다. 각 층의 재료에 대해서도 실시예 1 및 실시예 2와 마찬가지로이다.

[0062] 도 5에 나타내는 바와 같이, 실시예 3의 MTJ 소자(500)에서는, MTJ 소자(500)의 측벽을 덮도록 형성된 제1 보호막(109), 제1 보호막(109)을 덮도록 형성된 제2 보호막(501)을 구비하고 있다.

[0063] 실시예 3에 있어서의 제1 보호막(109)의 역할은, 실시예 1 및 실시예 2와 마찬가지로이다. 제1 보호막(109)은 플라즈마의 밀도나 에너지가 낮은 조건으로 성막되고, 플라즈마 CVD에 의한 보호막 성막 중의 산화 또는 환원 반응이 완만해짐으로써, 계면 자기 이방성의 감소를 억제한다.

[0064] 제2 보호막(501)은, 실시예 1 및 실시예 2와는 달리, 내습성이 우수한 조건으로 성막한다. 내습성이 우수한 조건이란 실시예 2의 제3 보호막(301)에 관해서 설명한 바와 같다.

[0065] 그 후, 내습성이 우수한 제2 보호막(501)에 의해 제1 강자성층(101), 제1 장벽층(102) 및 제2 강자성층(103)이 보호되고 있는 상태에서 에칭 장치로 이동시켜, 제2 보호막(501)을 마스크로 하고, 하부 전극층(104)을 에칭하여, 소자 분리를 행한다. 하부 전극층(104)을 에칭 가공한 후, 플라즈마 CVD 장치로 이동시켜, 제3 보호막(502)을 성막한다. 제3 보호막(502)의 역할은 응력 조정이며, 제1 보호막(109), 제2 보호막(501), 및 제3 보호막(502)의 합계의 응력이 제로에 가까워지도록 조정된다. 실시예 3에서는, 제1 보호막(109)의 응력이 압축 응력 50MPa, 제2 보호막(501)의 응력이 압축 응력 140MPa이기 때문에, 제3 보호막(502)의 응력은 인장 응력 190MPa로 조정된다.

[0066] 이와 같이, 실시예 3에서는, 제3 보호막(502) 성막시의 N 가스의 비율이 높고, 제1 보호막(109) 및 제2 보호막(501)과 비교하여, 제3 보호막(502)의 SiN에 있어서의 N 함유량이 커지고 있다. 또한, 실시예 3에 있어서의, 제1 보호막(109), 제2 보호막(501), 및 제3 보호막(502)의 응력 방향 및 응력값은, 합계의 응력이 제로에 가까워지도록 조정되는 것을 설명하기 위한 예이며, 이 이외의 값이어도 상관없다.

[0067] 제3 보호막(502)을 성막 후, 층간 절연막(112)을 성막한다. 또한, 층간 절연막(112)을 CMP로 평탄화하면서 하드 마스크층(111)이 노출될 때까지 제거한다. 그 후, 하드 마스크층(111) 상단과 전기적으로 접속되도록 상부 배선층(113)을 형성한다.

[0068] 이와 같이 제1 보호막(109), 제2 보호막(501), 및 제3 보호막(502)을 플라즈마 CVD의 조건을 바꾸면서 SiN막을 성막함으로써, 제1 보호막(109), 제2 보호막(501), 및 제3 보호막(502)의 합계의 응력을 제로에 가까워지게 하는 것이 가능하다. 이 결과, CoFeB층과 MgO층 사이의 계면 자기 이방성의 감소를 억제하며, 또한 내습성이 우수한 보호막을 형성할 수 있다.

[0069] 실시예 3의 특징은, 3층의 보호막 중에서 가장 외측에 위치하는 제3 보호막(502)이 응력 조정을 담당하는 점에 있다. 최외층인 제3 보호막(502)에 응력 조정의 역할을 갖게 함으로써, 보다 용이하게 제1 보호막(109), 제2 보호막(501), 제3 보호막(502)에 층간 절연막(112)을 포함시킨 층의 합계의 응력을 제로에 가까워지게 할 수 있다. 이것은, 응력 조정의 역할을 하는 제3 보호막(502)이 층간 절연막(112)의 가까이에 위치하는 것에 의한다.

[0070] 도 6a~h에, 도 5의 MTJ 소자의 제작 플로우를 나타낸다. 도 6a는, MJT 소자(500)를 구성하는 적층막의 성막 구성을 나타내고 있다. 실시예 1 및 실시예 2와 마찬가지로, 하부 전극층(104)(제1 비자성층(106), 제2 비자성층(107), 제3 비자성층(108)), 제1 강자성층(101), 제1 장벽층(102), 제2 강자성층(103), 캡층(105), 하드 마스크층(111)을 이 순으로 적층하고, 각각의 층의 막두께도 실시예 1 및 실시예 2와 같다.

[0071] 도 6b 및 도 6c의 공정도, 실시예 1 및 실시예 2와 마찬가지로이다. 하드 마스크층(111)을 가공하고(도 6b), 제1 강자성층(101), 제1 장벽층(102), 제2 강자성층(103), 및 캡층(105)을 에칭 가공한다(도 6c). 실시예 3에 있어서의 하드 마스크층(111)의 재료도 Ta를 이용하고, 하드 마스크층(111)의 성막 단계에서의 막두께를 150nm로 하

고 있다.

- [0072] 이후, 대기 노출하지 않고 제1 보호막(109)을 플라즈마 CVD로 성막한다. 이 공정을 도 6d에 나타낸다. 이 공정은, 실시예 1 및 실시예 2와 마찬가지로, 플라즈마에 의한 환원 반응을 억제하기 위해 수소 이온 밀도 및 에너지가 낮은 조건으로 하고 있다. 제1 보호막(109)은 막두께 10nm의 SiN막이며, 제1 보호막(109)의 응력은, 압축 응력 50MPa을 나타낸다.
- [0073] 도 6e에, 제2 보호막(501)을 성막하는 공정을 나타낸다. 실시예 3에서는, 제2 보호막(501)으로서 SiN막을 적용하고, 그 막두께는 20nm로 한다. 제2 보호막(501)은 보호막의 내습성을 높이는 조건으로 성막한 결과, 압축 응력 140MPa이었다.
- [0074] 도 6f는, 제2 보호막(501)을 마스크로 하여, 하부 전극층(104)을 에칭하는 공정을 나타내고 있다.
- [0075] 도 6g에, 제3 보호막(502)을 성막하는 공정을 나타낸다. 제3 보호막(502)은 응력 조정층이며, 제1 보호막(109)의 응력은 압축 응력 50MPa, 제2 보호막(501)의 응력은 압축 응력 140MPa이기 때문에, 제3 보호막(502)의 응력은 인장 응력 190MPa이 되도록 성막한다. 인장 응력을 실현하기 위해, 플라즈마 CVD에 의한 성막시에 N 가스의 유량을 크게 할 필요가 있다. 결과적으로, 제3 보호막(502)의 N 함유량은, 제1 보호막(109) 및 제2 보호막(501)의 N 함유량보다 커진다.
- [0076] 그 후, 층간 절연막(112)을 성막하는 공정을 도 6h에 나타낸다.
- [0077] 이와 같이 하여 제작한 MTJ 소자(500)는, 제1 보호막(109)에 의해 제1 강자성층(101) 및 제2 강자성층(103)과 제1 장벽층(102)의 적층 계면에 있어서의, 환원 반응에 의한 계면 자기 이방성의 감소가 억제되고 있다. 또한, 제2 보호막(501)에 의해 내습성이 향상되어 있다. 또한, 제3 보호막(502)에 의해, 제1 보호막(109), 제2 보호막(501), 및 제3 보호막(502)의 합계 응력이 제로 부근으로 제어되기 때문에, 격자 부정합에 의한 계면 자기 이방성의 감소도 억제된다. 이상과 같이, 제1 보호막(109)에는 산화 환원 반응의 억제, 제2 보호막(501)에는 내습성의 향상, 제3 보호막(502)에는 응력 조정과, 각각에 서로 다른 기능을 독립적으로 부여하는 것이 가능하다. 각각의 보호막은, 대응하는 기능을 최적화할 수 있으므로, MTJ 소자의 안정성 향상에 공헌할 수 있다.
- [0078] 이하, 실시예 1~3으로 해서 설명한 MTJ 소자에 대해, 공통의 변형예에 대해서 설명한다. 실시예 1~3에서는, 기록층을 단층(제2 강자성층(103))으로 하는 예를 나타냈지만, 추가로 자기 이방성을 향상시켜 막면에 대하여 수직 방향으로 자화를 안정화시키기 위해, 3층 구조의 기록층을 이용해도 된다.
- [0079] 실시예 1의 자기 터널 접합층에 있어서, 단층(제2 강자성층(103))의 기록층 대신에, 3층의 기록층(701)을 적용한 MTJ 소자(700)를 도 7에 나타낸다. 3층 구조의 기록층(701)은, 제3 강자성층(702), 제4 비자성층(703), 제4 강자성층(704)으로 구성된다. 제3 강자성층(702)의 재료로서 CoFeB, 제4 비자성층(703)의 재료로서 Ta, 제4 강자성층(704)의 재료로서 CoFeB를 적용한다. 3층 구조의 기록층을 적용할 경우에는, 캡층(705)은 단층이 아니라, 제2 장벽층(706) 및 제5 비자성층(707)으로 구성되는 것이 바람직하다. 제2 장벽층(706)의 재료로서 MgO, 제5 비자성층(707)의 재료로서 Ru를 적용한다.
- [0080] 3층 구조의 기록층 및 2층 구조의 캡층을 적용함으로써, 제3 강자성층(702) 및 제4 강자성층(704)이, 제4 비자성층(703)을 통해 강자성 결합하여, 일체의 자성체로서 작용한다. 또한, 제4 강자성층(704)과 제2 장벽층(706)의 적층 계면에 있어서도, 계면 자기 이방성이 발현된다. 이에 따라, MTJ 소자의 기록층의 자기 이방성이 증가한다. 본 구조는, 실시예 1에 한정되지 않고, 다른 실시예의 MTJ 소자 구조에도 적용 가능하다.
- [0081] 또 다른 변형예에 대해서 설명한다. 이상의 예에서는, 참조층을 단층(제1 강자성층(101))으로 하는 예를 나타냈지만, 추가로 자기 이방성을 향상시키고, 막면에 대하여 수직 방향으로 자화를 안정화시키기 위해, 수직 자화를 가지는 자성 다층막을 이용하여 적층 페리형 구조로 해도 된다.
- [0082] 실시예 1의 자기 터널 접합층에 있어서, 단층(제1 강자성층(101))의 참조층 대신에, 자성 다층막을 이용한 적층 페리형 참조층(801)을 적용한 MTJ 소자(800)를 도 8에 나타낸다. 자성 다층막을 사용한 적층 페리형 참조층(801)은, 제1 자성 다층막(802), 제6 비자성층(803), 제2 자성 다층막(804), 제7 비자성층(805), 제5 강자성층(806)을 이 순으로 적층한 구조이다. 제1 자성 다층막(802)의 재료로서 Co/Pt 다층막, 제6 비자성층(803)의 재료로서 Ru, 제2 자성 다층막(804)의 재료로서 Co/Pt 다층막, 제7 비자성층(805)의 재료로서 Ta, 제5 강자성층(806)의 재료로서 CoFeB를 적용한다.
- [0083] 자성 다층막을 이용한 적층 페리형 참조층(801)에서는, 제1 자성 다층막(802)과 제2 자성 다층막(804)의 자화가 반 평행하게 결합하도록, 제6 비자성층(803)의 재료 및 막두께가 선택되어 있다. 또한, 제2 자성 다층막(804)

과 제5 강자성층(806)의 자화가 평행하게 결합하도록 제7 비자성층(805)의 재료 및 막두께가 선택되어 있다. 이 구조의 이점은, 제1 자성 다층막(802)과 제2 자성 다층막(804)이 강한 수직 자기 이방성을 가지기 때문에, 막면에 대하여 수직 방향으로 자화가 안정화되는 것, 제1 자성 다층막(802)과 제2 자성 다층막(804)이 적층 페리형 구조이기 때문에 외부로의 누설 자장이 작은 것, 제5 강자성층(806)에 TMR비가 큰 재료를 선택할 수 있는 것을 들 수 있다. 본 구조는, 실시예 1에 한정되지 않고, 다른 실시예의 MTJ 소자 구조에도 적용 가능하며, 3층 구조의 기록층의 변형예와도 조합하는 것이 가능하다.

[0084] 이상에서 설명한 MTJ 소자를 메모리 셀에 이용한다. 메모리 셀은, MTJ 소자와 선택 트랜지스터로 구성된다. 도 9는 메모리 셀(900)의 일반적인 구조를 나타낸 모식도이다. 여기에서는, 일례로서 실시예 1의 MTJ 소자(100)를 적용하고 있다. 메모리 셀(900)의 MTJ 소자(100)는, 하부 전극층(104)이 선택 트랜지스터(901)의 드레인 전극과 전기적으로 접속되어 있다. 또한, 상부 배선층(113)은 비트선(902)에 전기적으로 접속되어 있다. 선택 트랜지스터(901)의 소스 전극은, 비트선(902)과 평행하게 배치되는 소스선(903)에 전기적으로 접속되어 있다. 선택 트랜지스터(901)의 게이트 전극은, 비트선 및 소스선과 직교하도록 배치되는 워드선(904)에 접속되어 있다.

[0085] 도 10은, MTJ 소자(100)를 어레이 형상으로 배치한 MRAM 메모리 어레이(1000)의 개략도를 나타내고 있다. 비트선(902), 소스선(903), 및 워드선(904)은 복수 배치되고, 비트선(902) 및 소스선(903)과 워드선(904)이 교차하는 각 점에, 메모리 셀(900)이 배치된다. 각 비트선(902), 소스선(903), 워드선(904)에는 각각 독립적으로 전압을 제어하는 기구가 설치되어 있다.

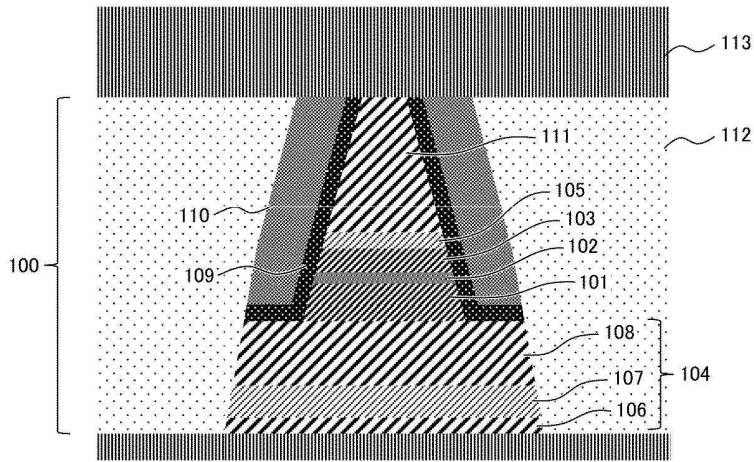
[0086] 특정한 메모리 셀(900)을 선택할 때에는, 그 메모리 셀(900)이 전기적으로 접속해 있는 비트선(902) 및 소스선(903)의 전압을 제어하고, 메모리 셀(900)이 접속해 있는 워드선(904)에 전압을 인가함으로써 선택 트랜지스터(901)에 전류가 인가되는 상태가 된다. 예를 들면, MTJ 소자를 저(低)저항 상태로 기입할 경우, 소스선(903)의 전위와 비교하여 비트선(902)의 전위가 높아지도록 설정한다. 이 상태에서 워드선(904)에 전압을 인가하면, MTJ 소자의 상부 배선층(113)으로부터 하부 전극층(104)을 향하여 전류가 흐른다. 전류가 MTJ 소자의 기입 임계값 전류를 초과하면 MTJ 소자는 저저항 상태가 된다.

부호의 설명

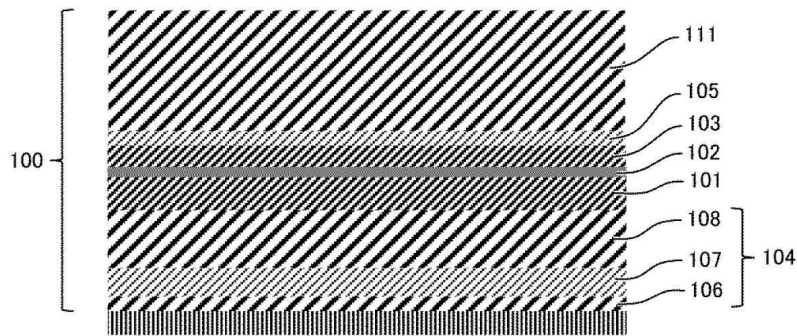
- | | | |
|--------|---------------------------------|-----------------|
| [0087] | 100, 300, 500, 700, 800: MTJ 소자 | 101: 제1 강자성층 |
| | 102: 제1 장벽층 | 103: 제2 강자성층 |
| | 104: 하부 전극층 | 105, 705: 캡층 |
| | 106: 제1 비자성층 | 107: 제2 비자성층 |
| | 108: 제3 비자성층 | 109: 제1 보호막 |
| | 110, 501: 제2 보호막 | 111: 하드 마스크층 |
| | 112: 층간 절연막 | 113: 상부 배선층 |
| | 301, 502: 제3 보호막 | 701: 기록층 |
| | 702: 제3 강자성층 | 703: 제4 비자성층 |
| | 704: 제4 강자성층 | 706: 제2 장벽층 |
| | 707: 제5 비자성층 | 801: 적층 페리형 참조층 |
| | 802: 제1 자성 다층막 | 803: 제6 비자성층 |
| | 804: 제2 자성 다층막 | 805: 제7 비자성층 |
| | 806: 제5 강자성층 | 900: 메모리 셀 |
| | 901: 선택 트랜지스터 | 902: 비트선 |
| | 903: 소스선 | 904: 워드선 |
| | 1000: MRAM 메모리 어레이 | |

도면

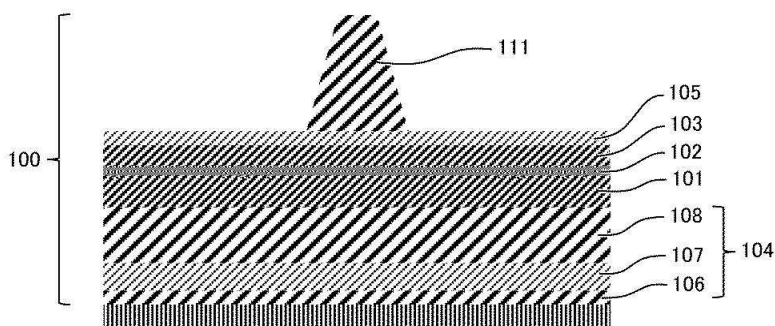
도면1



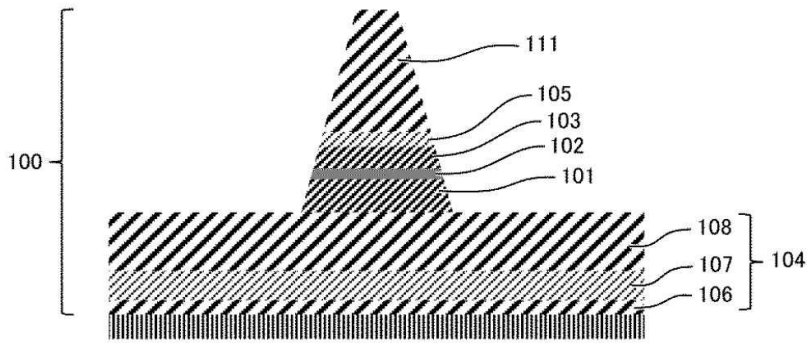
도면2a



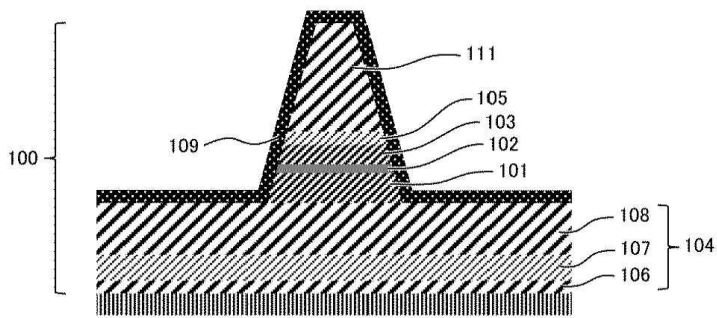
도면2b



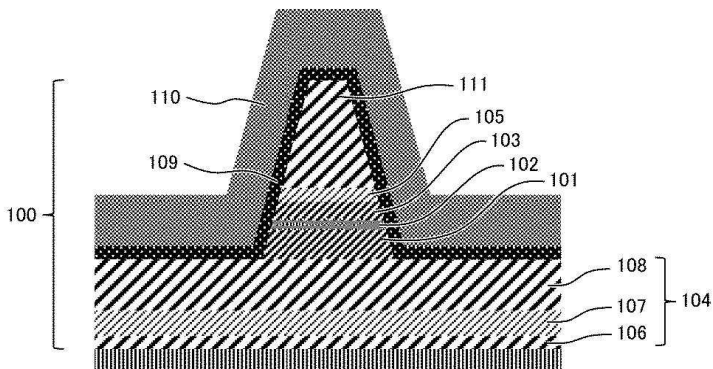
도면2c



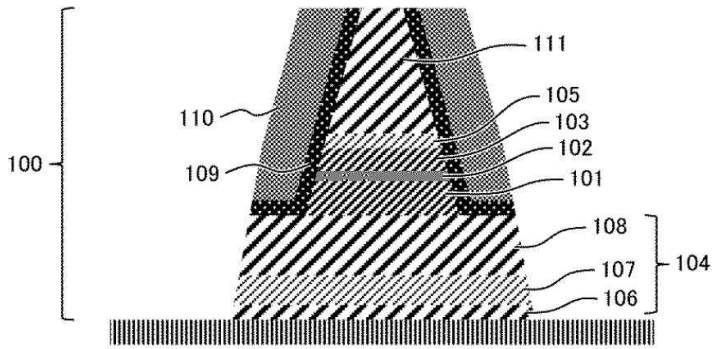
도면2d



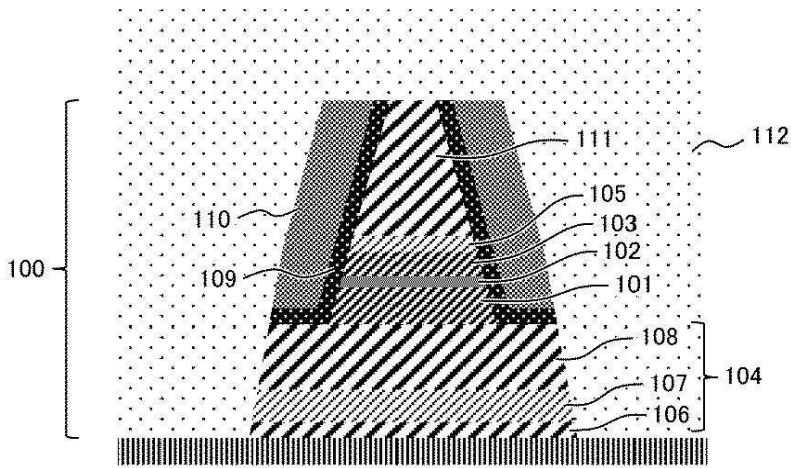
도면2e



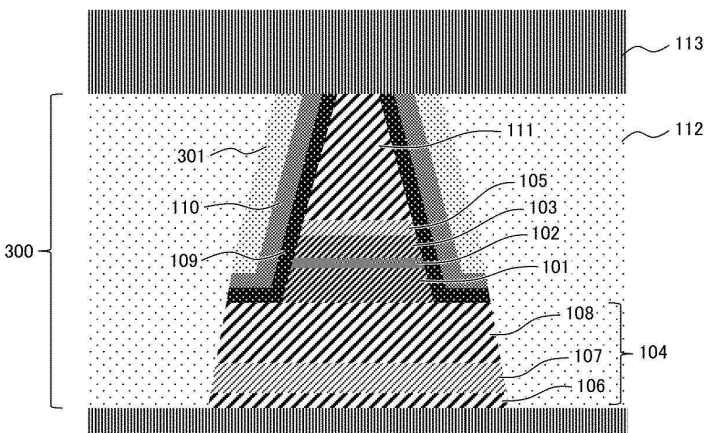
도면2f



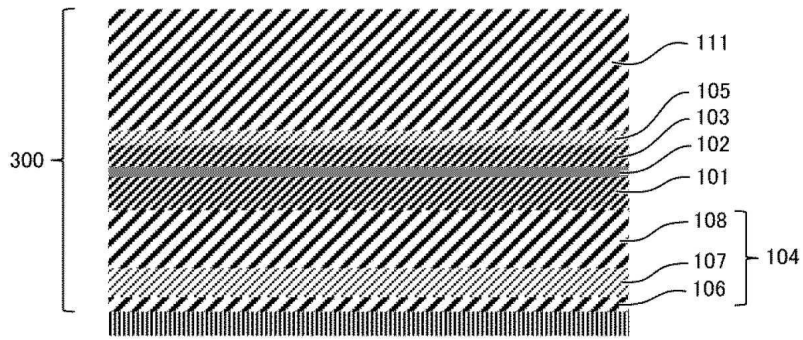
도면2g



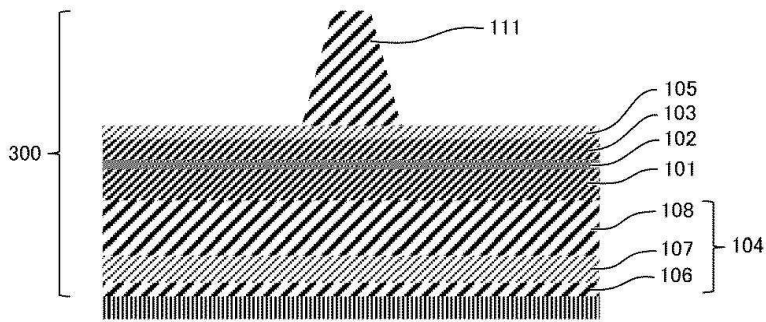
도면3



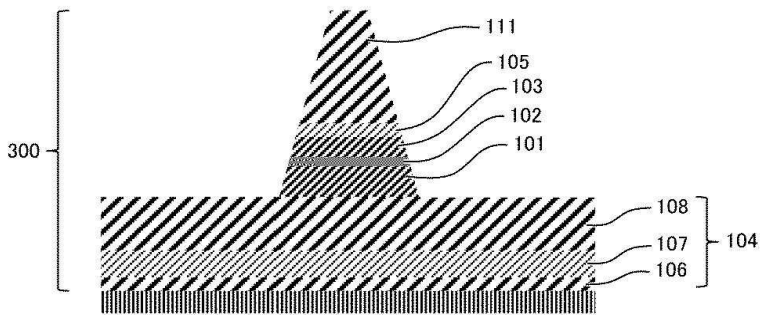
도면4a



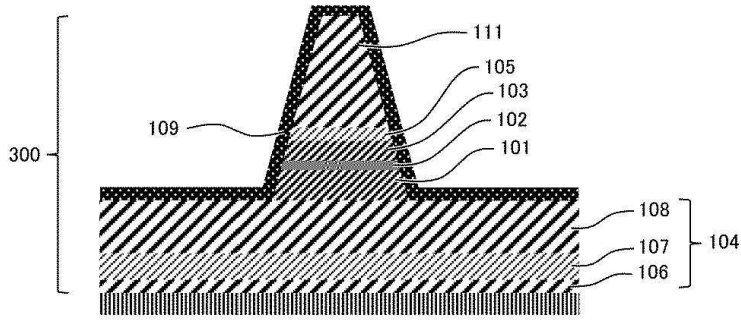
도면4b



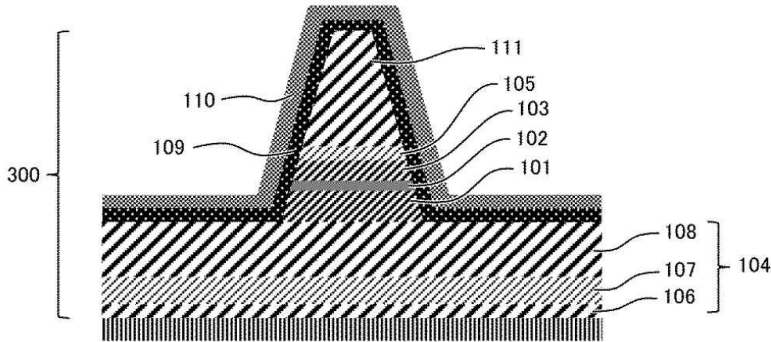
도면4c



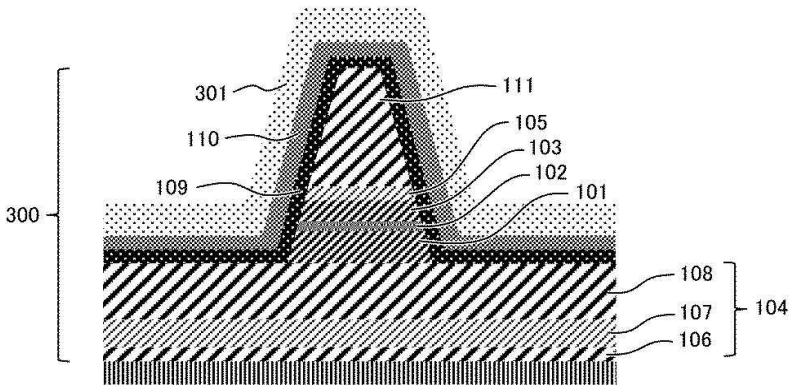
도면4d



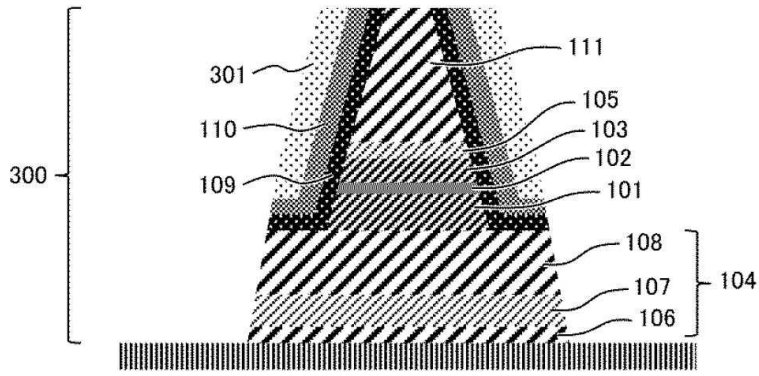
도면4e



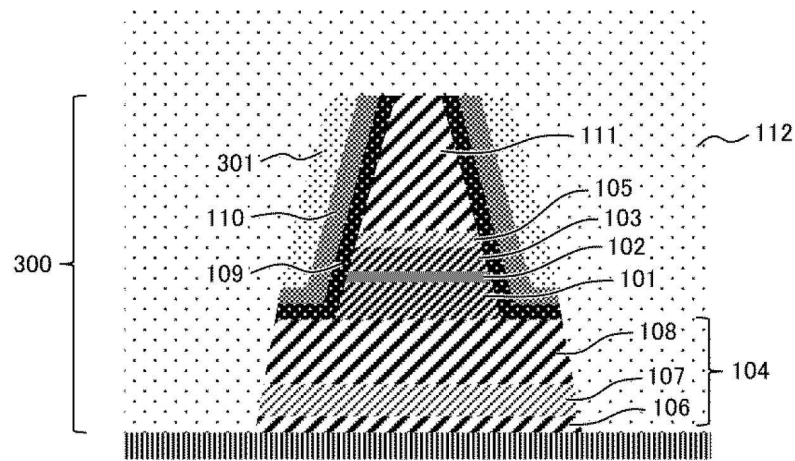
도면4f



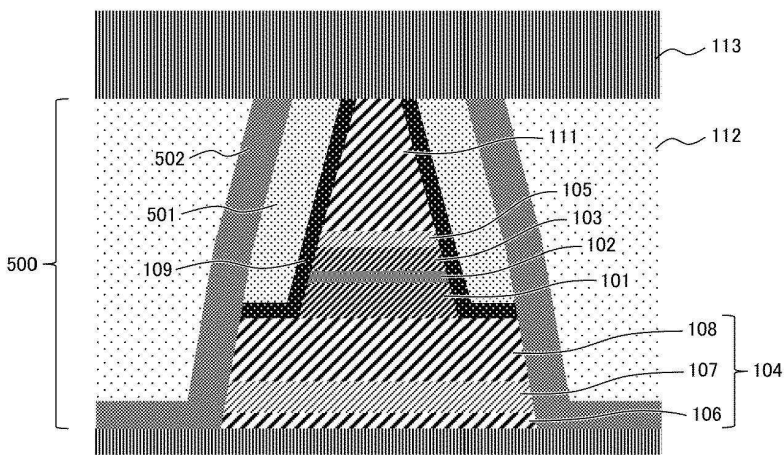
도면4g



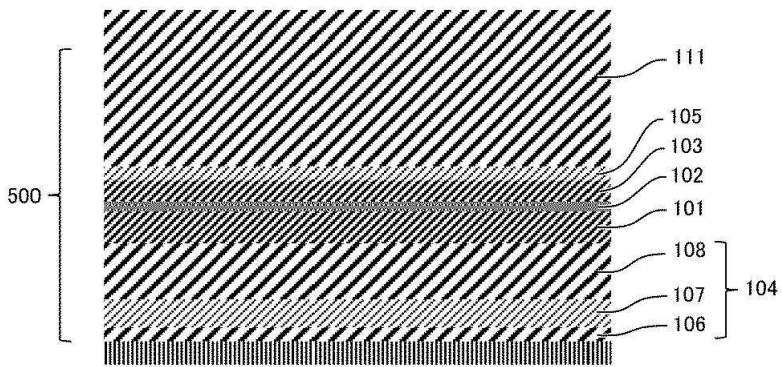
도면4h



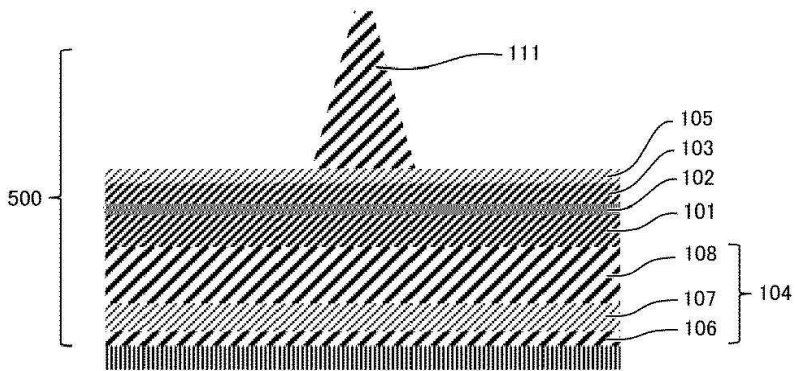
도면5



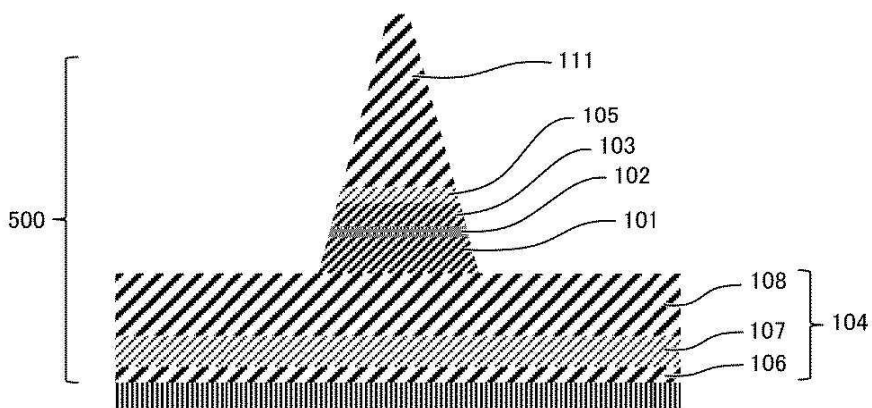
도면6a



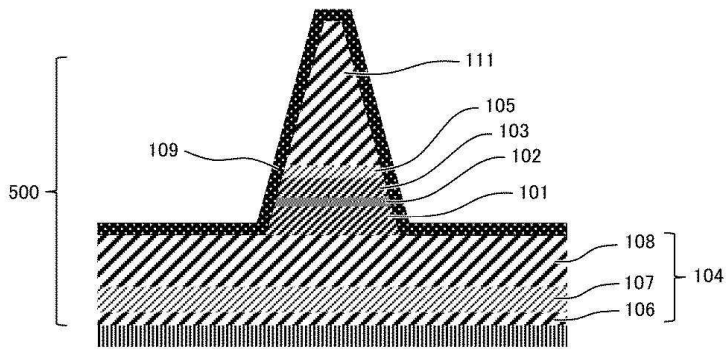
도면6b



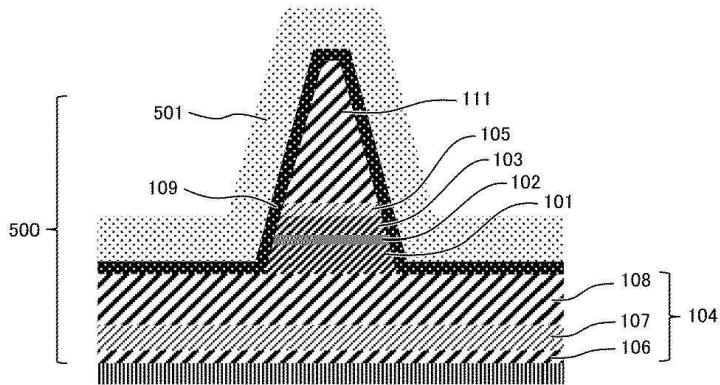
도면6c



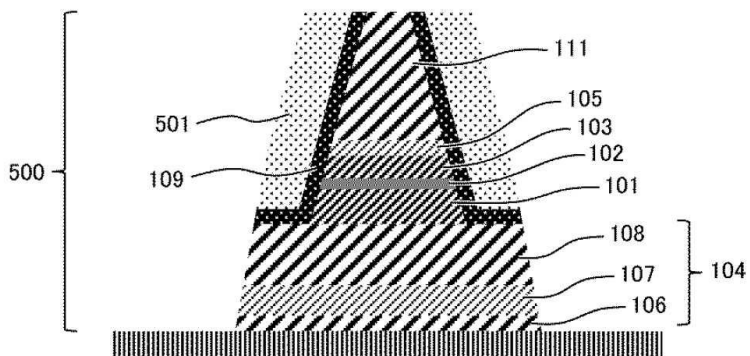
도면6d



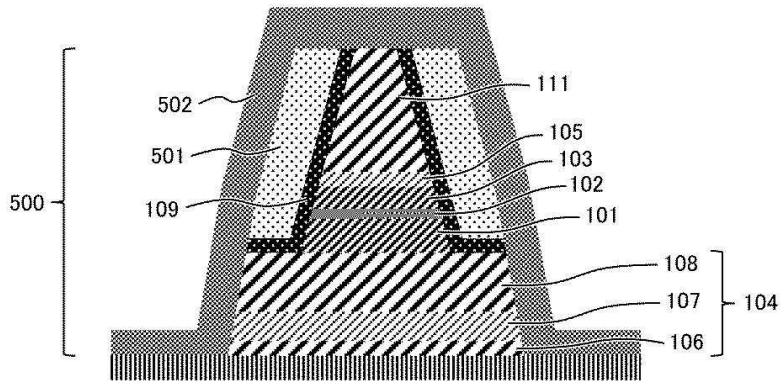
도면6e



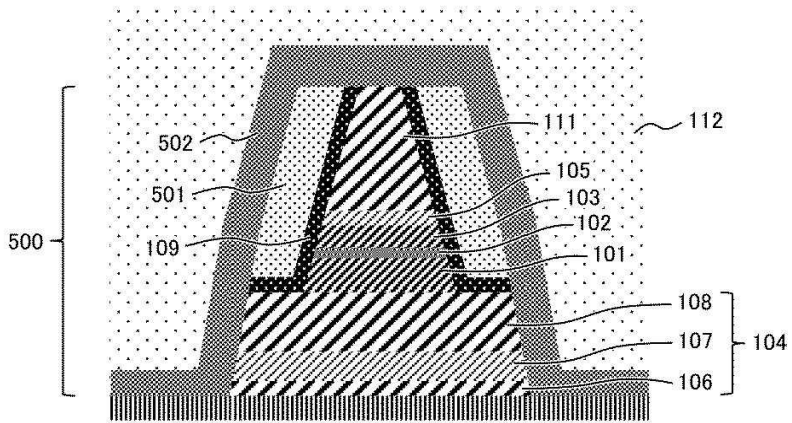
도면6f



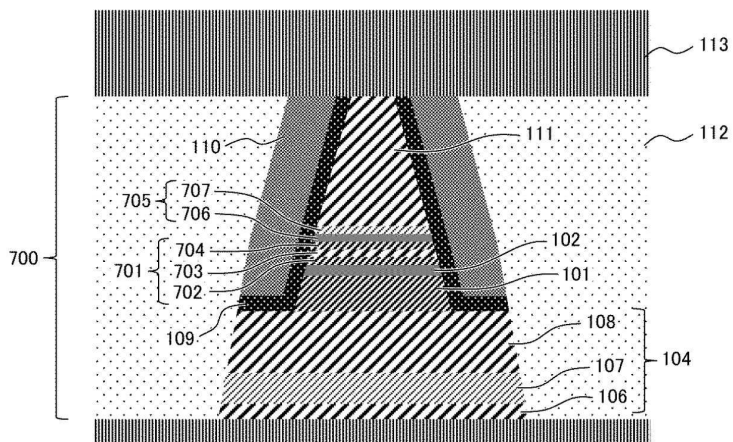
도면6g



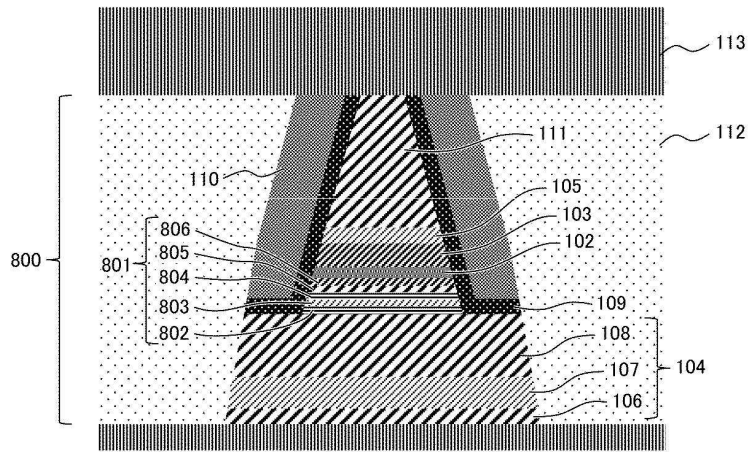
도면6h



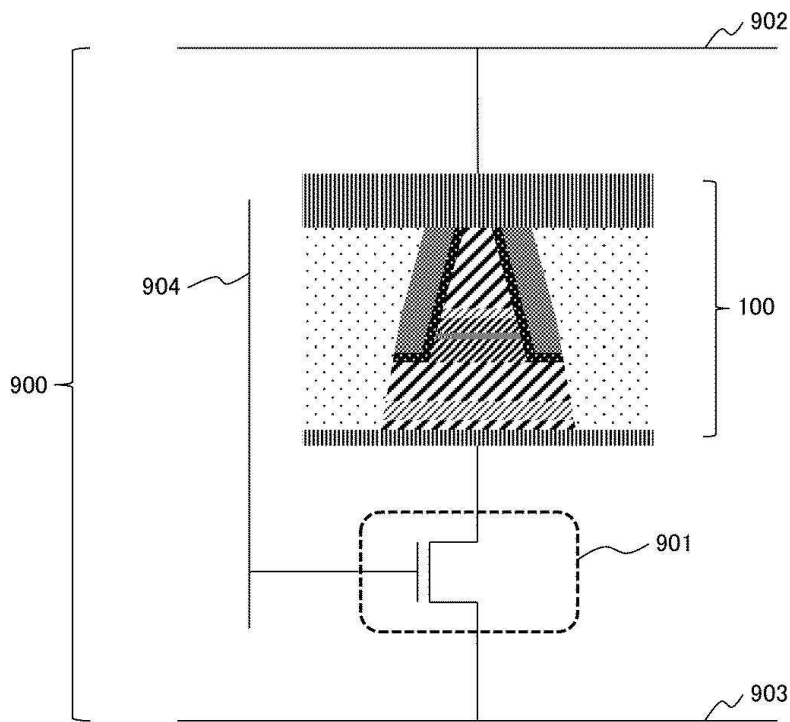
도면7



도면8



도면9



도면10

