

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月12日(12.03.2020)



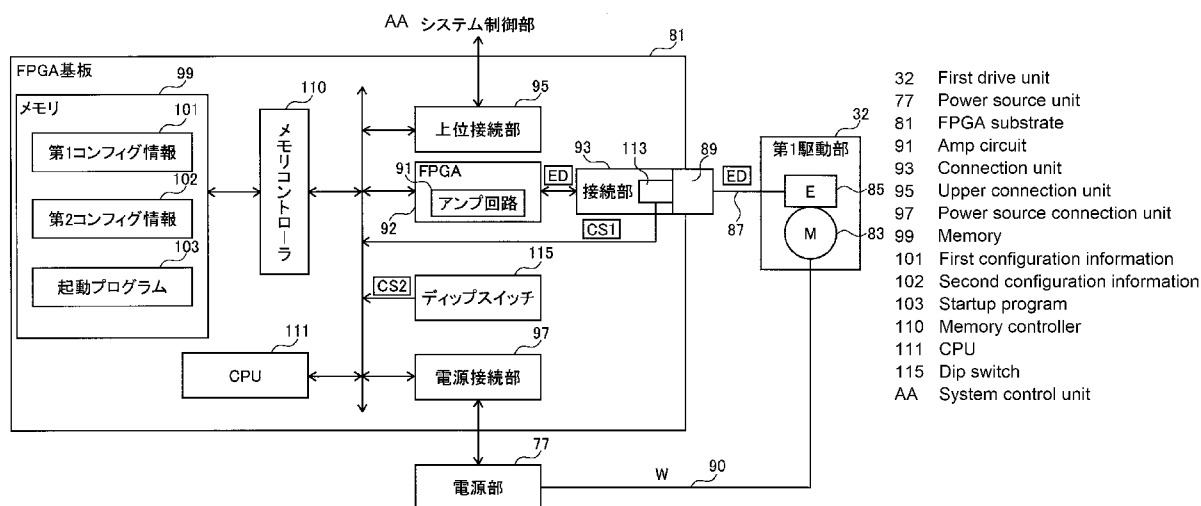
(10) 国際公開番号

WO 2020/049641 A1

- (51) 国際特許分類:
G05D 3/12 (2006.01)
- (21) 国際出願番号: PCT/JP2018/032821
- (22) 国際出願日: 2018年9月5日(05.09.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社 F U J I (FUJI CORPORATION) [JP/JP]; 〒4728686 愛知県知立市山町茶碓山19番地 Aichi (JP).
- (72) 発明者: 金井 英和 (KANAI, Hidekazu); 〒4728686 愛知県知立市山町茶碓山19番地 株式会社 F U J I 内 Aichi (JP). 野村 壮志 (NOMURA, Takeshi); 〒4728686 愛知県知立市山町茶碓山19番地 株式会社 F U J I 内 Aichi (JP).
- (74) 代理人: 特許業務法人ネクスト, 外 (NEXT INTERNATIONAL et al.); 〒4600003 愛知県名古屋市中区錦一丁目11番20号 大永ビルディング7階 Aichi (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: COMMUNICATION DEVICE, AND METHOD FOR STRUCTURING LOGIC CIRCUIT

(54) 発明の名称: 通信装置及び論理回路の構築方法



(57) Abstract: The purpose of the present invention is to provide: a communication device with which it is possible, even when the detection device with which a connection is made is changed, to adequately exchange location information between a programmable logic device and the changed detection device; and a method for structuring a logic circuit. A communication device, comprising: a connection unit connected to a detection device for detecting and outputting location information; a storage unit capable of storing first configuration information for constructing a logic circuit capable of communicating with a detection device, and second configuration information for constructing a logic circuit capable of communicating with a detection device of a type different from the detection device capable of communicating with the first configuration information; a selection signal outputting unit for outputting a selection signal that selects the first

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

configuration information or the second configuration information; and a programmable logic device for reading the first configuration information or the second configuration information on the basis of the selection signal outputted by the selection signal outputting unit, constructing a logic circuit, and communicating the location information with the detection device connected to the connection unit via the constructed logic circuit.

(57) 要約: 接続する検出装置を変更した場合であっても、変更後の検出装置とプログラマブル論理デバイスとの間で位置情報の送受信を適切に行える通信装置及び論理回路の構築方法を提供すること。通信装置は、位置情報を検出して出力する検出装置と接続される接続部と、検出装置と通信可能な論理回路を構築する第1コンフィグ情報と、第1コンフィグ情報と通信可能な検出装置とは種類が異なる検出装置と通信可能な論理回路を構築する第2コンフィグ情報と、を記憶可能である記憶部と、第1コンフィグ情報又は第2コンフィグ情報を選択する選択信号を出力する選択信号出力部と、選択信号出力部から出力された選択信号に基づいて、第1コンフィグ情報又は第2コンフィグ情報を読み込んで論理回路を構築し、構築した論理回路により接続部と接続された検出装置との間で位置情報の通信を実行するプログラマブル論理デバイスと、を備える。

明 細 書

発明の名称： 通信装置及び論理回路の構築方法

技術分野

[0001] 本開示は、モータ等の位置情報を検出して出力する検出装置との間で通信を行うプログラマブル論理デバイスの論理回路を構築する技術に関するものである。

背景技術

[0002] 従来、FPGA (Field Programmable Gate Array) などのプログラマブル論理デバイスの入出力特性を変更する技術がある（例えば、特許文献1など）。特許文献1に記載されたFPGA装置のPROMには、入出力特性の異なる2種類のコンフィグ情報が記憶されている。FPGA装置は、電源電圧の大きさなどに応じてコンフィグ情報を選択し、選択したコンフィグ情報に基づいて論理回路を構築する。

先行技術文献

特許文献

[0003] 特許文献1：特開平11-95994号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、モータの位置情報を検出するエンコーダ等と通信を行う回路を、プログラマブル論理デバイスの論理回路で構築する場合、例えば、エンコーダの製造メーカーが提供するコンフィグ情報を用いて論理回路を構築することができる。しかしながら、構築した論理回路に別のメーカーのエンコーダなどを接続した場合、通信プロトコルの違いなどから論理回路とエンコーダとの間で位置情報を適切に送受信できない虞がある。

[0005] 本願は、上記の課題に鑑みてなされたものであり、接続する検出装置を変更した場合であっても、変更後の検出装置とプログラマブル論理デバイスとの間で位置情報の送受信を適切に行える通信装置及び論理回路の構築方法を

提供することを目的とする。

課題を解決するための手段

[0006] 上記課題を解決するために、本明細書は、位置情報を検出して出力する検出装置と接続される接続部と、前記検出装置と通信可能な論理回路を構築する第1コンフィグ情報と、前記第1コンフィグ情報と通信可能な前記検出装置とは種類が異なる前記検出装置と通信可能な前記論理回路を構築する第2コンフィグ情報と、を記憶可能である記憶部と、前記第1コンフィグ情報又は前記第2コンフィグ情報を選択する選択信号を出力する選択信号出力部と、前記選択信号出力部から出力された前記選択信号に基づいて、前記第1コンフィグ情報又は前記第2コンフィグ情報を読み込んで前記論理回路を構築し、構築した前記論理回路により前記接続部と接続された前記検出装置との間で前記位置情報の通信を実行するプログラマブル論理デバイスと、を備える、通信装置を開示する。

[0007] また、本開示の内容は、通信装置としての実施に限定されることなく、通信装置における論理回路の構築方法としても実施し得るものである。

発明の効果

[0008] 本開示の通信装置等によれば、プログラマブル論理デバイスは、検出装置の種類に応じた論理回路を選択信号に基づいて構築でき、構築した論理回路によって検出装置との通信が可能となる。従って、仮に、接続部と接続する検出装置を変更した場合であっても、変更後の検出装置とプログラマブル論理デバイスとの間で位置情報の送受信を適切に行うことができる。

図面の簡単な説明

[0009] [図1]本実施形態のワーク移載システムの概略構成図である。

[図2]ワーク移載装置の概略構成図である。

[図3]ワーク移載システムの構成のうち、ワーク移載装置の駆動部分に係わる構成を示すブロック図である。

[図4]FPGA基板と、第1駆動部との接続構成を示すブロック図である。

[図5]起動時の処理を説明するためのフローチャートである。

発明を実施するための形態

- [0010] 以下、本開示の一実施形態について図面を参照しながら説明する。まず、本開示の通信装置を具体化した一実施形態であるFPGA基板81（図3参照）を備える部品装着システムについて説明する。図1は、ワーク移載システム10の概略構成を示す斜視図である。図1に示すように、ワーク移載システム10は、ワーク移載装置11、ワーク供給装置13、ワーク収容部材15などを基台10A上に備えている。
- [0011] ワーク移載システム10は、基台10A内に設けられたシステム制御部19（図3参照）の制御に基づいて、ワーク収容部材15に収容されたワーク21を、その後の作業に用いられるパレット17へ移動、載置させる。ワーク移載システム10は、例えば、不定姿勢でワーク収容部材15の採取用載置台15Aに載置されたワーク21を、後工程の作業用ロボット（図示略）や作業者が作業しやすいように、所定の姿勢で整列させた状態でパレット17に載置する。ここでいう「不定姿勢」とは、ワーク21の位置、方向などが統一されていない状態をいう。なお、以下の説明では、図1に示すように、ワーク移載システム10におけるパレット17を搬送する方向を左右方向（X軸）、左右方向に直交し搬送されるパレット17の平面と平行な方向を前後方向（Y軸）、左右方向及び前後方向に直交する方向を上下方向（Z軸）と称して説明する。
- [0012] 作業対象であるワーク21は、例えば、ボルトである。なお、ワーク21は、ボルトに限らず、例えば、他の機械部品（ナット、ワッシャなど）でもよく、機械部品に限らず、電気部品、電子部品、化学部品などでもよい。ワーク21は、少なくともその一部、例えば、図1の拡大図に示す吸着部位23が磁性体により形成されている。ワーク21は、磁性体により形成された吸着部位23を、後述するワーク移載装置11やワーク供給装置13が有する電磁石によって引き付けられ、吸着した状態で移動させられる。
- [0013] ワーク収容部材15は、ワーク21を貯蔵する部材であり、上方が開放された有底箱型形状をなすボックスが複数個設けられている。ワーク収容部材

15の各々には、底部から所定の高さに採取用載置台15Aが設けられている。ワーク収容部材15の底部に貯蔵したワーク21は、ワーク供給装置13によって採取用載置台15Aに移載される。ワーク収容部材15の底部は、一部が傾斜しており、採取用載置台15Aから落下したワーク21が一箇所に貯蔵される。

[0014] また、基台10A上には、ワーク収容部材15を移動させる移動部16が設けられている。移動部16は、ワーク収容部材15を載せる収容台16Aと、収容台16Aを退避位置（図1に点線で示す位置）と、移載処理位置（図1に実線で示す位置）との間で移動させるレール16Bとを有している。システム制御部19（図3参照）は、作業者からの操作等に基づいて、図示しない駆動源を駆動し、収容台16Aを退避位置、又は載置処理位置に移動させる。これにより、作業者は、ワーク収容部材15にワーク21の補充を適宜行うことが可能となる。

[0015] パレット17は、ワーク21を配列載置する部材であり、磁力を帯びており、ワーク21を磁力で固定する。ワーク移載装置11は、例えば、ワーク21であるボルトの頭部を下方にして所定間隔でパレット17に配列させる。ワーク移載装置11は、ワーク21の種類に応じて定められたパレット17上の所定位置にワーク21を配設する。

[0016] また、ワーク移載システム10は、パレット17を搬送する搬送部25を備えている。搬送部25は、パレット17の搬入、搬送、ワーク21の移載位置での固定、搬出を行うユニットである。搬送部25は、前後方向において所定間隔を間に設けて配置され、左右方向に向かって延びる1対のコンベアベルトを有している。パレット17は、このコンベアベルトにより搬送される。システム制御部19（図3参照）は、搬送部25を制御して、例えば、パレット17を後段の装置に搬出する。後段の装置は、パレット17上のワーク21の位置を、例えば、ワーク21の種類に応じて予め定められた位置情報に基づいて特定し作業を行う。

[0017] 次に、ワーク移載装置11の詳細な構成について説明する。図2は、ワー

ク移載装置 11 の概略構成を示している。ワーク移載装置 11 は、ワーク収容部材 15 の各々からワーク 21 を採取し、採取したワーク 21 をパレット 17 に載置する。図 2 に示すように、ワーク移載装置 11 は、基部 31 と、アーム部 33 と、エンドエフェクタ 39 などを有している。

[0018] 基部 31 は、ワーク移載システム 10 の基台 10A（図 1 参照）の上に固定されており、アーム部 33 を支持するための支持軸部 41 を有している。支持軸部 41 は、円柱部 41A と、保持部 41B とを有している。円柱部 41A は、上下方向に延設される円柱形状をなし、上端部に保持部 41B を有している。保持部 41B は、アーム部 33 の基端部を支持している。また、基部 31 は、第 1 駆動部 32 を内蔵しており、FPGA 基板 81（図 3 参照）の制御に基づいて第 1 駆動部 32 を駆動し円柱部 41A を回転させる。保持部 41B は、円柱部 41A の回転にともなって上下方向に沿った軸を中心軸として回転駆動する。

[0019] アーム部 33 は、基端部から先端部に向かって第 1 アーム 45 及び第 2 アーム 46 を連結させた所謂、多関節ロボットである。第 1 アーム 45 は、一方向に延びる長手部材であり、支持軸部 41 の保持部 41B によって基端部を支持されている。支持軸部 41 の保持部 41B は、第 2 駆動部 35 を介して第 1 アーム 45 と連結されている。第 2 駆動部 35 は、FPGA 基板 81（図 3 参照）の制御に基づいて、上下方向と直交する方向を中心軸として保持部 41B に対して第 1 アーム 45 を回転させる。

[0020] 第 2 アーム 46 は、第 1 アーム 45 の先端部に第 3 駆動部 37 を介して連結されている。第 2 アーム 46 は、第 1 アーム 45 の先端部から一方向に延びる長手部材である。第 3 駆動部 37 は、FPGA 基板 81（図 3 参照）の制御に基づいて、第 1 アーム 45 の延設方向に対して直交する方向を中心軸として第 1 アーム 45 の先端部に対して第 2 アーム 46 を回転させる。

[0021] エンドエフェクタ 39 は、第 2 アーム 46 の先端部に設けられ、第 2 アーム 46 に対して着脱可能に構成されている。ワーク移載装置 11 は、その用途に応じて、エンドエフェクタ 39 の種類を変更可能となっている。図 2 に

において装着しているエンドエフェクタ 39 は、一例であり、第 4 駆動部 51 と、採取部 53 と、撮像部 55 と、台座部 57 を有している。第 4 駆動部 51 は、FPGA 基板 81（図 3 参照）の制御に基づいて、第 2 アーム 46 の延設方向に対して直交する方向を中心軸としてエンドエフェクタ 39 の台座部 57 を回転させる。

[0022] 図 2 に示すように、台座部 57 は、L 字形状の板部材であり、先端部分に採取部 53 が取り付けられている。採取部 53 は、ワーク 21 の吸着部位 23（図 1 の拡大図参照）を引き付けて採取する部材であり、引付部 61、一对の挟持部 63、固定部材 67 などを有している。引付部 61、挟持部 63 及び固定部材 67 は、2 枚のプレート 65 の間に配設されている。固定部材 67 は、棒状の部材であり、エアシリンダ 71 によって上下動可能に構成されている。エアシリンダ 71 は、基台 10A に設けられたエア供給部（図省略）から供給されるエアの供給量に応じて固定部材 67 を上下動させる。

[0023] 固定部材 67 は、初期位置ではプレート 65 の上方に配置され、ワーク 21 を挟持する際に下方に移動する。一对の挟持部 63 は、棒状の固定部材 67 の両端に回動可能に軸支されている。一对の挟持部 63 は、固定部材 67 が初期位置にあるときは（図 2 の左側の拡大図参照）、プレート 65 の内部に収納されている。引付部 61 は、電磁石に軸部材を接続して構成されており、当該軸部材の先端に磁性体のワーク 21 を引き付けて採取するものである。引付部 61 は、プレート 65 の下方に固定されている。引付部 61 は、基台 10A に設けられた電源部 77（図 3 参照）から供給される電力に応じて、例えば 3 段階の磁力（引付力）を生じるよう構成されている。

[0024] 一对の挟持部 63 は、引付部 61 が引き付けた後のワーク 21（図 1 参照）を挟み込んで支持する。一对の挟持部 63 には、挟持ピン 69 が設けられている。挟持ピン 69 は、挟持部 63 の各々におけるプレート 65 と対向する面に固定されている。プレート 65 の各々には、挟持ピン 69 を案内するためのガイド溝 65A が形成されている。一对の挟持部 63 は、固定部材 67 が下方に移動すると、ガイド溝 65A により所定の軌道に導かれ、その先

端でワーク 2 1 を挟持する（図 2 の右側の拡大図参照）。また、撮像部 5 5 は、画像を撮像するユニットであり、プレート 6 5 の先端側の面に固定されている。撮像部 5 5 は、撮像した画像データをシステム制御部 1 9（図 3 参照）へ送信する。

[0025] なお、図 1 に示すワーク供給装置 1 3 は、ワーク移載装置 1 1 と同様に、その用途に応じて、エンドエフェクタ 7 3 を交換可能に構成されている。また、ワーク供給装置 1 3 は、エンドエフェクタ 7 3 の種類を除いて、ワーク移載装置 1 1 と同様の構成となっており、システム制御部 1 9 や F P G A 基板 8 1 により作動を制御される。このため、ワーク供給装置 1 3 の詳細な説明を省略する。

[0026] 次に、第 1 駆動部 3 2 ～第 4 駆動部 5 1 の構成について説明する。なお、第 2 駆動部 3 5、第 3 駆動部 3 7、第 4 駆動部 5 1 の構成は、第 1 駆動部 3 2 と同様となっている。このため、以下の説明では、第 1 駆動部 3 2 について主に説明し、他の駆動部についての説明を適宜省略する。

[0027] 図 3 は、ワーク移載システム 1 0 の構成のうち、ワーク移載装置 1 1 の駆動部分に係わる構成を示している。図 3 に示すように、第 1 駆動部 3 2 は、駆動源としてのサーボモータ 8 3 と、サーボモータ 8 3 の回転位置等の位置情報 E D を検出して出力するエンコーダ 8 5 と有している。エンコーダ 8 5 は、エンコーダケーブル 8 7 を介して、基台 1 0 A に設けられた F P G A 基板 8 1 と接続されている。同様に、第 1 駆動部 3 2 以外の第 2 駆動部 3 5 等も、エンコーダケーブル 8 7 を介して F P G A 基板 8 1 と接続されている。

[0028] 図 4 は、F P G A 基板 8 1 と、第 1 駆動部 3 2 との接続構成を示している。なお、図面が煩雑となるのを避けるため、図 4 では、第 1 駆動部 3 2 以外の駆動部（第 2 駆動部 3 5 等）の図示を省略している。図 4 に示すように、F P G A 基板 8 1 は、アンプ回路 9 1（F P G A 9 2）と、接続部 9 3 と、上位接続部 9 5 と、電源接続部 9 7 と、メモリ 9 9 と、メモリコントローラ 1 1 0 と、C P U 1 1 1 と、ディップスイッチ 1 1 5 とを備えている。アンプ回路 9 1、接続部 9 3、上位接続部 9 5 等は、通信バス等により互いに通

信可能となっている。

[0029] また、FPGA基板81は、例えば、コンフィグ情報に基づいて論理回路を構築可能なプログラマブル論理デバイスとしてFPGA (Field Programmable Gate Array) 92を有する。FPGA 92は、コンフィグ情報を読み込んでアンプ回路91を論理回路で構築する。なお、本開示のプログラマブル論理デバイスは、FPGAに限らず、プログラマブルロジックデバイス (PLD)、複合プログラマブルロジックデバイス (CPLD) などでも良い。

[0030] FPGA 92のアンプ回路91は、接続部93に接続されている。接続部93は、FPGA基板81に実装されたコネクタであり、エンコーダ85のエンコーダケーブル87と接続される。なお、接続部93は、FPGA基板81の基板上に実装される構成に限らず、FPGA基板81とケーブル等により接続される構成でも良い。

[0031] 本実施形態の接続部93は、複数の種類のエンコーダ85と接続可能な共通のインタフェースで構成されている。例えば、エンコーダケーブル87の先端に設けられたコネクタ89は、同一の形状となっている。このコネクタ89は、エンコーダ85に直接接続されたエンコーダケーブル87の先端に設けられたコネクタでも良く、エンコーダケーブル87を一旦変換した後のコネクタでも良い。従って、本実施形態のエンコーダ85は、製造メーカー、型番や機種などが異なる場合であっても、コネクタ89の形状が共通化されている。

[0032] 接続部93は、この共通化されたコネクタ89と接続可能な形状となっている。このため、接続部93は、種類の異なるエンコーダ85であっても接続可能となっている。エンコーダ85は、サーボモータ83の回転駆動に応じた位置情報EDを、エンコーダケーブル87、コネクタ89、接続部93を介してFPGA基板81に送信する。

[0033] また、FPGA基板81の上位接続部95は、上位の制御部であるシステム制御部19と接続されている。また、FPGA基板81は、電源接続部97を介して、基台10Aに設けられた電源部77と接続されている。アンプ

回路 9 1 は、電源接続部 9 7 を介して電源部 7 7 を制御可能となっている。
アンプ回路 9 1 は、接続部 9 3 を介して入力した位置情報 E D と、上位接続部 9 5 を介してシステム制御部 1 9 から入力した指令値とに基づいて電源部 7 7 を制御する。第 1 駆動部 3 2 のサーボモータ 8 3 は、例えば、U 相、V 相、W 相の各相のコイルを有する三相交流で駆動するモータであり、電源線 9 0 を介して各相のコイルが電源部 7 7 に接続されている。サーボモータ 8 3 は、電源部 7 7 から電源線 9 0 を通じて供給される三相交流 W に応じて駆動する。アンプ回路 9 1 は、位置情報 E D 等に基づいて、三相交流 W の大きさや周期等を変更する。これにより、F P G A 基板 8 1 は、第 1 駆動部 3 2 のサーボモータ 8 3 に対するフィードバック制御を実行する。F P G A 基板 8 1 は、サーボモータ 8 3 の回転位置や回転速度の制御だけでなく、サーボモータ 8 3 のトルク制御なども実行しても良い。

[0034] なお、図 3 は、図面が煩雑となるのを避けるため、複数の駆動部（第 1 駆動部 3 2 や第 2 駆動部 3 5）のそれぞれのサーボモータ 8 3 と接続される電源線 9 0 を 1 本のケーブルで図示している。また、上記したように、第 1 駆動部 3 2 以外の第 2 駆動部 3 5、第 3 駆動部 3 7、第 4 駆動部 5 1 は、第 1 駆動部 3 2 と同様の構成となっており、アンプ回路 9 1 によってフィードバック制御される。

[0035] また、F P G A 基板 8 1 のメモリ 9 9 には、第 1 コンフィグ情報 1 0 1 と、第 2 コンフィグ情報 1 0 2 と、起動プログラム 1 0 3 が記憶されている。第 1 及び第 2 コンフィグ情報 1 0 1、1 0 2 は、アンプ回路 9 1 として機能する論理回路を構築するためのコンフィグ情報である。第 1 コンフィグ情報 1 0 1 は、例えば、第 2 コンフィグ情報 1 0 2 とは異なる通信プロトコルで位置情報 E D の通信が可能なアンプ回路 9 1 を構築する情報である。ここでいう通信プロトコルとは、例えば、位置情報 E D の通信に用いられるデータ形式、ビット順、通信速度、通信コマンドなどの通信を正常に行うための送受信側の取り決めである。通信プロトコルは、H D L C (High level Data Link Control procedure) などの通信規格により規定されたものや、エンコー

ダ８５の製造メーカーなどにより独自に規定されたものを含んでも良い。具体的には、第１コンフィグ情報１０１は、例えば、Ａ社製のエンコーダ８５に対応しており、Ａ社製のエンコーダ８５で用いられる通信プロトコルで位置情報ＥＤを通信可能なアンプ回路９１を構築する情報である。また、第２コンフィグ情報１０２は、例えば、Ｂ社製のエンコーダ８５に対応しており、Ｂ社製のエンコーダ８５で用いられる通信プロトコルで位置情報ＥＤを通信可能なアンプ回路９１を構築する情報である。なお、第１コンフィグ情報１０１は、第２コンフィグ情報１０２とは異なる種類のエンコーダ８５に対応した情報であれば良い。例えば、第１コンフィグ情報１０１と第２コンフィグ情報１０２とは、同一の製造メーカーのエンコーダ８５でも、型番の異なる（位置情報ＥＤのデータ形式が異なるなどの）エンコーダ８５に対応した情報でも良い。即ち、第１コンフィグ情報１０１は、第２コンフィグ情報１０２で構築したアンプ回路９１では通信を実行できないエンコーダ８５に対応した情報であれば良い。

[0036] 従って、本実施形態の検出装置は、サーボモータ８３（モータの一例）の位置情報ＥＤを検出するエンコーダ８５である。そして、ＦＰＧＡ９２（プログラマブル論理デバイスの一例）は、このエンコーダ８５から取得した位置情報ＥＤに基づいて、サーボモータ８３をフィードバック制御するアンプ回路９１を論理回路として構築する。これによれば、エンコーダ８５の種類に応じてコンフィグ情報（第１及び第２コンフィグ情報１０１，１０２）を選択し、エンコーダ８５の種類に応じたアンプ回路９１を論理回路で構築できる。そして、構築したアンプ回路９１によって、エンコーダ８５の位置情報ＥＤに基づいたフィードバック制御をサーボモータ８３に適切に実施できる。

[0037] また、本実施形態の第１コンフィグ情報１０１は、例えば、Ａ社製のエンコーダ８５（第１検出装置の一例）との間で位置情報ＥＤの通信が可能なアンプ回路９１（論理回路の一例）を構築する情報である。第２コンフィグ情報１０２は、例えば、Ａ社製のエンコーダ８５とは種類が異なるＢ社製のエ

ンコーダ８５（第２検出装置の一例）との間で位置情報ＥＤの通信が可能なアンプ回路９１を構築する情報である。Ａ社製のエンコーダ８５と、Ｂ社製のエンコーダ８５とは、互いに異なる通信プロトコルで位置情報ＥＤの通信を行う。これによれば、後述するように、位置情報ＥＤの送受信を行う通信プロトコルが異なるエンコーダ８５のいずれを接続した場合でも、エンコーダ８５と通信を実行できるアンプ回路９１を構築できる。

[0038] また、メモリ９９の起動プログラム１０３は、ＦＰＧＡ基板８１の起動時にＣＰＵ１１１によって実行されるプログラムである。メモリ９９は、例えば、フラッシュメモリなどの不揮発性メモリと、ＲＡＭなどの揮発性メモリなどを有する。なお、コンフィグ情報を記憶する記憶部は、メモリに限らず、ハードディスクなどの他の記憶装置でも良い。

[0039] メモリコントローラ１１０は、メモリ９９に対する書き込み処理、及びメモリ９９からの読み出し処理を制御する。ＣＰＵ１１１は、例えば、ワーク移載システム１０の電源が投入され、ＦＰＧＡ基板８１に電力が供給されると、メモリコントローラ１１０を介して起動プログラム１０３をメモリ９９から読み出して実行する。ＣＰＵ１１１は、起動プログラム１０３を実行することで、ＦＰＧＡ基板８１のＦＰＧＡ９２にローディングするコンフィグ情報（第１及び第２コンフィグ情報１０１，１０２）を選択し、コンフィグ情報に基づいてアンプ回路９１を構築する。なお、以下の説明では、起動プログラム１０３を実行するＣＰＵ１１１のことを、単に装置名で記載する場合がある。例えば、「ＣＰＵ１１１は、信号レベルを判断し、判断結果に応じてエラーを報知する」という記載は、「ＣＰＵ１１１は、起動プログラム１０３を読み込んで実行することで、信号レベルを判断し、判断結果に応じてエラーを報知する」ということを意味する場合がある。

[0040] 本実施形態の接続部９３には、接続部９３に接続されたエンコーダ８５の種類を判断するための接続端子１１３が設けられている。接続端子１１３は、例えば、Ａ社製のエンコーダ８５のコネクタ８９が接続された場合、特定の接続ピンがショートしてハイレベルの第１選択信号ＣＳ１をＣＰＵ１１１

に出力する。また、接続端子 113 は、例えば、B 社製のエンコーダ 85 のコネクタ 89 が接続された場合、特定の接続ピンがグランドと接続され、ローレベルの第 1 選択信号 CS1 を CPU111 に出力する。即ち、接続端子 113 は、異なる種類のエンコーダ 85 が接続されると、異なる信号レベルの第 1 選択信号 CS1 を出力する。なお、接続端子 113 は、A 社や B 社などの 2 種類のエンコーダ 85 に対応した構成だけでなく、3 以上の複数種類のエンコーダ 85 に対応して異なる信号レベルの第 1 選択信号 CS1 を出力する構成でも良い。例えば、接続端子 113 は、A 社のコネクタ 89 を接続されると第 1 信号レベルの第 1 選択信号 CS1 を、B 社のコネクタ 89 を接続されると第 2 信号レベルの第 1 選択信号 CS1 を、C 社のコネクタ 89 を接続されると第 3 信号レベルの第 1 選択信号 CS1 を出力する構成でも良い。

[0041] 従って、本実施形態の接続部 93 は、複数の種類のエンコーダ 85 と接続可能な共通のインタフェースとなっている。接続端子 113（選択信号出力部の一例）は、接続部 93 に設けられ、接続部 93 に接続されたエンコーダ 85 のコネクタ 89 の接続構造に応じて異なる第 1 選択信号 CS1（選択信号の一例）を出力する。これによれば、接続端子 113 は、接続部 93 に接続されたエンコーダ 85 のコネクタ 89 の接続構造、例えば、接続ピンの位置や GND の位置などに応じて異なる第 1 選択信号 CS1 を出力できる。これにより、インタフェースの共通化を図り接続部 93 の数を減らしつつ、第 1 選択信号 CS1 の信号レベル等を変更して FPGA92 が読み込むべきコンフィグ情報（第 1 コンフィグ情報 101 又は第 2 コンフィグ情報 102）を CPU111 へ適切に指示できる。

[0042] また、ディップスイッチ 115 は、FPGA 基板 81 の基板上に実装された小型のスイッチであり、例えば、スライド操作可能なスライドスイッチが設けられている。ディップスイッチ 115 は、例えば、スライドスイッチの位置に応じて異なる信号レベルの第 2 選択信号 CS2 を CPU111 に出力する。例えば、ディップスイッチ 115 は、第 1 の位置にスライドスイッチ

を移動させた場合、ハイレベルの第2選択信号CS2を出力し、第1の位置とは異なる第2の位置にスライドスイッチを移動させた場合、ローレベルの第2選択信号CS2を出力する。CPU111は、接続端子113の第1選択信号CS1と、ディップスイッチ115の第2選択信号CS2に基づいて、第1コンフィグ情報101又は第2コンフィグ情報102のどちらを用いるかを判断する。これにより、ユーザは、ディップスイッチ115を操作することで、使用するコンフィグ情報を選択することができる。なお、ディップスイッチ115は、スライドスイッチに限らず、プッシュロック式のスイッチなどでも良い。

[0043] 従って、本実施形態のディップスイッチ115（選択信号出力部の一例）は、外部からの操作に応じて異なる第2選択信号CS2（選択信号の一例）を出力するスイッチである。これによれば、例えば、ユーザは、FPGA基板81に設けられたディップスイッチ115の設定を変更することで、第2選択信号CS2の種類を変更でき、FPGA92が読み込むべきコンフィグ情報（第1コンフィグ情報101又は第2コンフィグ情報102）をCPU111へ適切に指示できる。

[0044] 次に、CPU111による起動時の処理について、図5を参照しつつ説明する。

まず、図5のステップ（以下、単に「S」と記載する）11において、ワーク移載システム10の電源が投入され、FPGA基板81に電力が供給される。CPU111は、メモリ99から起動プログラム103を読み込んで実行する（S13）。また、接続端子113は、接続部93に接続されたコネクタ89の接続構造（接続ピンの配置等）に応じて、ハイレベル又はローレベルの第1選択信号CS1をCPU111に出力する。また、ディップスイッチ115は、電力が供給されると、スライドスイッチの位置、即ち、ユーザによる設定に応じて、ハイレベル又はローレベルの第2選択信号CS2をCPU111に出力する（S13）。

[0045] CPU111は、S13において、第1選択信号CS1及び第2選択信号

C S 2を入力すると、2つの選択信号の信号レベルが一致するか否かを判断する（S 1 5）。例えば、ハイレベルの第1選択信号C S 1をC P U 1 1 1が入力した場合、A社製のエンコーダ8 5が接続されたこととなる。また、例えば、ハイレベルの第2選択信号C S 2をC P U 1 1 1が入力した場合、A社製のエンコーダ8 5を接続する旨の設定がユーザによってディップスイッチ1 1 5になされたこととなる。従って、C P U 1 1 1は、第1選択信号C S 1と第2選択信号C S 2の信号レベルが一致するか否かを判断することで、コネクタ8 9に実際に接続されたエンコーダ8 5と、ディップスイッチ1 1 5の設定とが一致するか否かを判断できる。これにより、ユーザによるディップスイッチ1 1 5の設定の誤りや、コネクタ8 9の損傷による第1選択信号C S 1の誤りを検出できる。

[0046] C P U 1 1 1は、第1選択信号C S 1と第2選択信号C S 2の信号レベルが一致すると判断すると（S 1 5：YES）、S 1 7を実行し、一致しないと判断すると（S 1 5：NO）、S 1 9を実行する。C P U 1 1 1は、S 1 9において、エラーを報知し、図5に示す処理を終了する。この場合、C P U 1 1 1は、例えば、ワーク移載システム1 0に接続された管理P Cの画面に、「ディップスイッチ1 1 5の設定とエンコーダ8 5（コネクタ8 9）の種類が一致しません」などのエラーを表示する。あるいは、C P U 1 1 1は、ワーク移載装置1 1に設けられたエラー用のランプを点灯させる、ブザーを鳴動させるなどによりエラーを報知する。これにより、ユーザは、接続したエンコーダ8 5の種類と、ディップスイッチ1 1 5で設定したエンコーダ8 5の種類とが一致していないことを認識できる。ユーザは、エンコーダ8 5の機種名やディップスイッチ1 1 5の設定を確認するなどの適切な対応を行うことができる。なお、C P U 1 1 1は、第1駆動部3 2以外の第2駆動部3 5、第3駆動部3 7、第4駆動部5 1のそれぞれについて同様に、第1選択信号C S 1と第2選択信号C S 2の一致を判断等する。

[0047] また、S 1 7において、C P U 1 1 1は、第1選択信号C S 1及び第2選択信号C S 2の信号レベルに応じたコンフィグ情報をF P G A 9 2に読み込

ませ、アンプ回路 91 を構築する。例えば、CPU 111 は、第 1 及び第 2 選択信号 CS1, CS2 がともにハイレベルの信号であった場合、第 1 コンフィグ情報 101 を FPGA 92 に読み込ませ、アンプ回路 91 を構築させる。また、例えば、CPU 111 は、第 1 及び第 2 選択信号 CS1, CS2 がともにローレベルの信号であった場合、第 2 コンフィグ情報 102 を FPGA 92 に読み込ませ、アンプ回路 91 を構築させる。これにより、製造メーカーや通信プロトコルに応じたアンプ回路 91 が自動で構築される。

[0048] アンプ回路 91 は、構築されると、第 1 駆動部 32 のエンコーダ 85 と通信を開始し、初期値の設定等を終わると、位置情報 ED の送受信等を開始する (S21)。同様に、第 1 駆動部 32 以外の他の駆動部 (第 2 駆動部 35 など) に対応するアンプ回路 91 も、同様に構築され、エンコーダ 85 との間で位置情報 ED の通信を開始する (S21)。これにより、接続されたエンコーダ 85 の種類に応じたアンプ回路 91 を構築し、アンプ回路 91 とエンコーダ 85 との間で位置情報 ED の送受信を適切に実行することができる。

[0049] 因みに、FPGA 基板 81 は、通信装置の一例である。エンコーダ 85 は、検出装置の一例である。アンプ回路 91 は、論理回路の一例である。メモリ 99 は、記憶部の一例である。接続端子 113、ディップスイッチ 115 は、選択信号出力部の一例である。第 1 選択信号 CS1 及び第 2 選択信号 CS2 は、選択信号の一例である。FPGA 92 は、プログラマブル論理デバイスの一例である。

[0050] 以上、上記した本実施形態によれば以下の効果を奏する。

本実施形態の一態様では、FPGA 基板 81 は、エンコーダ 85 と接続される接続部 93 と、第 1 コンフィグ情報 101 及び第 2 コンフィグ情報 102 を記憶可能であるメモリ 99 と、第 1 コンフィグ情報 101 又は第 2 コンフィグ情報 102 を選択する選択信号 (第 1 選択信号 CS1、第 2 選択信号 CS2) を出力する接続端子 113 及びディップスイッチ 115 と、第 1 及び第 2 選択信号 CS1, CS2 に基づいてアンプ回路 91 を構築し、構築し

たアンプ回路 91 により位置情報 ED の通信を実行する F P G A 92 と、を備える。

[0051] これによれば、F P G A 92 は、第 1 及び第 2 選択信号 C S 1, C S 2 に基づいて、第 1 コンフィグ情報 101 又は第 2 コンフィグ情報 102 を読み込んでアンプ回路 91 を構築し、エンコーダ 85 との間で位置情報 ED の通信を実行する。F P G A 92 は、エンコーダ 85 の種類に応じたアンプ回路 91 を第 1 及び第 2 選択信号 C S 1, C S 2 に基づいて構築でき、構築したアンプ回路 91 によってエンコーダ 85 との通信が可能となる。従って、仮に、接続部 93 と接続するエンコーダ 85 を変更した場合であっても、変更後のエンコーダ 85 とアンプ回路 91 との間で位置情報 ED の送受信を適切に行うことができる。

[0052] 尚、本願は上記の実施形態に限定されるものではなく、本願の趣旨を逸脱しない範囲内での種々の改良、変更が可能であることは言うまでもない。

例えば、上記実施形態では、2つのコンフィグ情報（第 1 及び第 2 コンフィグ情報 101, 102）をメモリ 99 に記憶する構成であった。即ち、2種類のエンコーダ 85 に対応可能な構成であった。しかしながら、F P G A 基板 81 は、3以上の複数種類に対応可能な構成でも良い。例えば、メモリ 99 に、A社用の第 1 コンフィグ情報 101、B社用の第 2 コンフィグ情報 102、C社用の第 3 コンフィグ情報・・・のように複数の種類のエンコーダ 85 と通信可能なコンフィグ情報を記憶しても良い。この場合、接続端子 113 及びディップスイッチ 115 を、コンフィグ情報の数に応じて、異なる信号レベル（3種類以上の信号レベル）の第 1 選択信号 C S 1 や第 2 選択信号 C S 2 を出力可能な構成とする。

[0053] また、第 1 選択信号 C S 1 や第 2 選択信号 C S 2 の信号レベル（ハイレベルやローレベル）を変更せずに、選択信号を変更しても良い。例えば、接続端子 113 は、接続されるコネクタ 89 の接続構造（エンコーダ 85 の種類）に応じて、C P U 111 と接続される複数の信号線のうち、異なる信号線の信号を ON しても良い。これにより、C P U 111 は、ON 信号の信号線

に応じて、どのコンフィグ情報を選択すべきかを判断できる。また、例えば、ディップスイッチ 115 は、スライドスイッチの位置に応じて異なるビット値の第 2 選択信号 CS2 を出力する構成でも良い。これにより、CPU 111 は、ディップスイッチ 115 から入力したビット値に基づいて、どのコンフィグ情報を選択すべきかを判断できる。

[0054] また、FPGA 基板 81 は、接続端子 113 又はディップスイッチ 115 のどちらか一方のみを備える構成でも良い。この場合、CPU 111 は、図 5 の S15 の判断処理を実行せず、入力した第 1 選択信号 CS1 又は第 2 選択信号 CS2 のみに基づいてコンフィグ情報を選択しても良い。

また、第 1 コンフィグ情報 101 又は第 2 コンフィグ情報 102 を選択する処理は、CPU 111 で起動プログラム 103 を実行することで、即ち、ソフトウェア上の処理で実現しなくとも良い。例えば、第 1 コンフィグ情報 101 を記憶するメモリ 99 と、第 2 コンフィグ情報 102 を記憶するメモリ 99 を別のメモリとする。また、入力する第 1 選択信号 CS1 の信号レベルに応じて、接続回路を変更するスイッチ回路を 2 つのメモリの両方に接続する。そして、スイッチ回路の接続回路を第 1 選択信号 CS1 の信号レベルに応じて変更することで、コンフィグ情報を読み出すメモリ 99 を変更し、アンプ回路 91 を変更しても良い。

[0055] また、本開示における検出装置は、サーボモータ 83 の回転位置等を検出するエンコーダ 85 に限らず、例えば、直線移動の位置情報 ED を検出するリニアスケールでも良い。この場合、FPGA 基板 81 は、接続されるリニアスケールの種類に応じてコンフィグ情報を選択し、リニアモータを制御するアンプ回路 91 を変更しても良い。これにより、例えば、リニアスケールの位置情報 ED に基づいて移動するリニアモータに対し、リニアスケールの種類に応じてアンプ回路 91 を変更し、アンプ回路 91 によりリニアモータを適切にフィードバック制御できる。

また、FPGA 基板 81 は、移動部 16 の駆動源や搬送部 25 の駆動源などを制御しても良い。

符号の説明

[0056] 81 F P G A 基板（通信装置の一例）、83 サーボモータ（モータ）、85 エンコーダ（検出装置）、89 コネクタ、91 アンプ回路（論理回路）、92 F P G A（プログラマブル論理デバイス）、93 接続部、113 接続端子（選択信号出力部）、CS1 第1選択信号（選択信号）、CS2 第2選択信号（選択信号）、ED 位置情報。

請求の範囲

- [請求項1] 位置情報を検出して出力する検出装置と接続される接続部と、
 前記検出装置と通信可能な論理回路を構築する第1 コンフィグ情報と、前記第1 コンフィグ情報と通信可能な前記検出装置とは種類が異なる前記検出装置と通信可能な前記論理回路を構築する第2 コンフィグ情報と、を記憶可能である記憶部と、
 前記第1 コンフィグ情報又は前記第2 コンフィグ情報を選択する選択信号を出力する選択信号出力部と、
 前記選択信号出力部から出力された前記選択信号に基づいて、前記第1 コンフィグ情報又は前記第2 コンフィグ情報を読み込んで前記論理回路を構築し、構築した前記論理回路により前記接続部と接続された前記検出装置との間で前記位置情報の通信を実行するプログラマブル論理デバイスと、
 を備える、通信装置。
- [請求項2] 前記接続部は、
 複数の種類の前記検出装置と接続可能な共通のインタフェースであり、
 前記選択信号出力部は、
 前記接続部に設けられ、前記接続部に接続された前記検出装置のコネクタの接続構造に応じて異なる前記選択信号を出力する、請求項1 に記載の通信装置。
- [請求項3] 前記選択信号出力部は、
 外部からの操作に応じて異なる前記選択信号を出力するスイッチである、請求項1 又は請求項2 に記載の通信装置。
- [請求項4] 前記検出装置は、
 モータの前記位置情報を検出するエンコーダであり、
 前記プログラマブル論理デバイスは、
 前記検出装置から取得した前記位置情報に基づいて、前記モータを

フィードバック制御するアンプ回路を前記論理回路として構築する、
請求項 1 乃至請求項 3 の何れか 1 項に記載の通信装置。

[請求項5]

前記第 1 コンフィグ情報は、

第 1 検出装置との間で前記位置情報の通信が可能な前記論理回路を
構築する情報であり、

前記第 2 コンフィグ情報は、

前記第 1 検出装置とは種類が異なる第 2 検出装置との間で前記位置
情報の通信が可能な前記論理回路を構築する情報であり、

前記第 1 検出装置と、前記第 2 検出装置とは、

互いに異なる通信プロトコルで前記位置情報の通信を行う、請求項
1 乃至請求項 4 の何れか 1 項に記載の通信装置。

[請求項6]

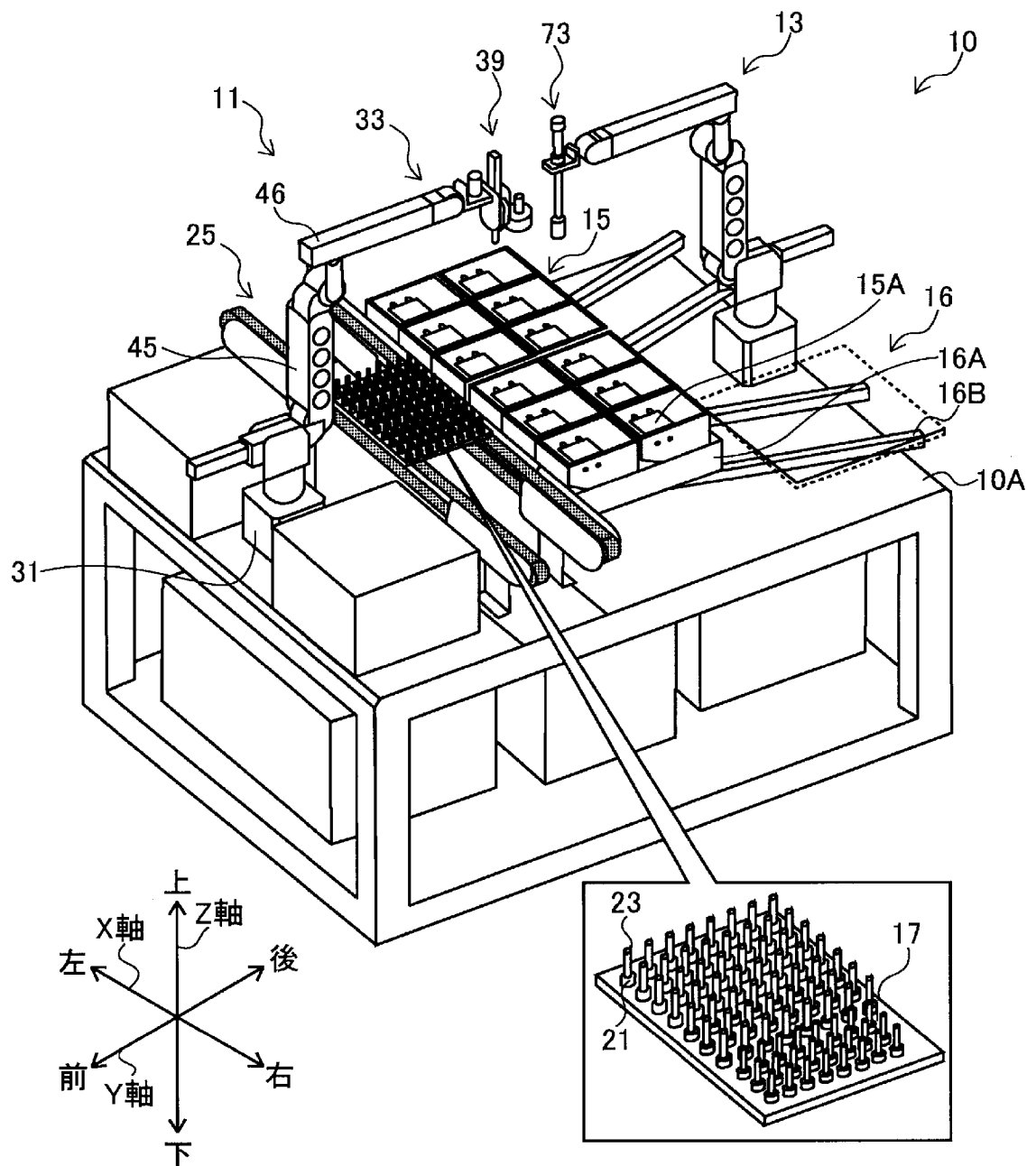
位置情報を検出して出力する検出装置と接続される接続部と、前記
検出装置と通信可能な論理回路を構築する第 1 コンフィグ情報と、前
記第 1 コンフィグ情報と通信可能な前記検出装置とは種類が異なる前
記検出装置と通信可能な前記論理回路を構築する第 2 コンフィグ情報
と、を記憶可能である記憶部と、前記論理回路を構築するプログラマ
ブル論理デバイスと、を備える通信装置における論理回路の構築方法
であって、

前記第 1 コンフィグ情報又は前記第 2 コンフィグ情報を選択する選
択信号を出力する工程と、

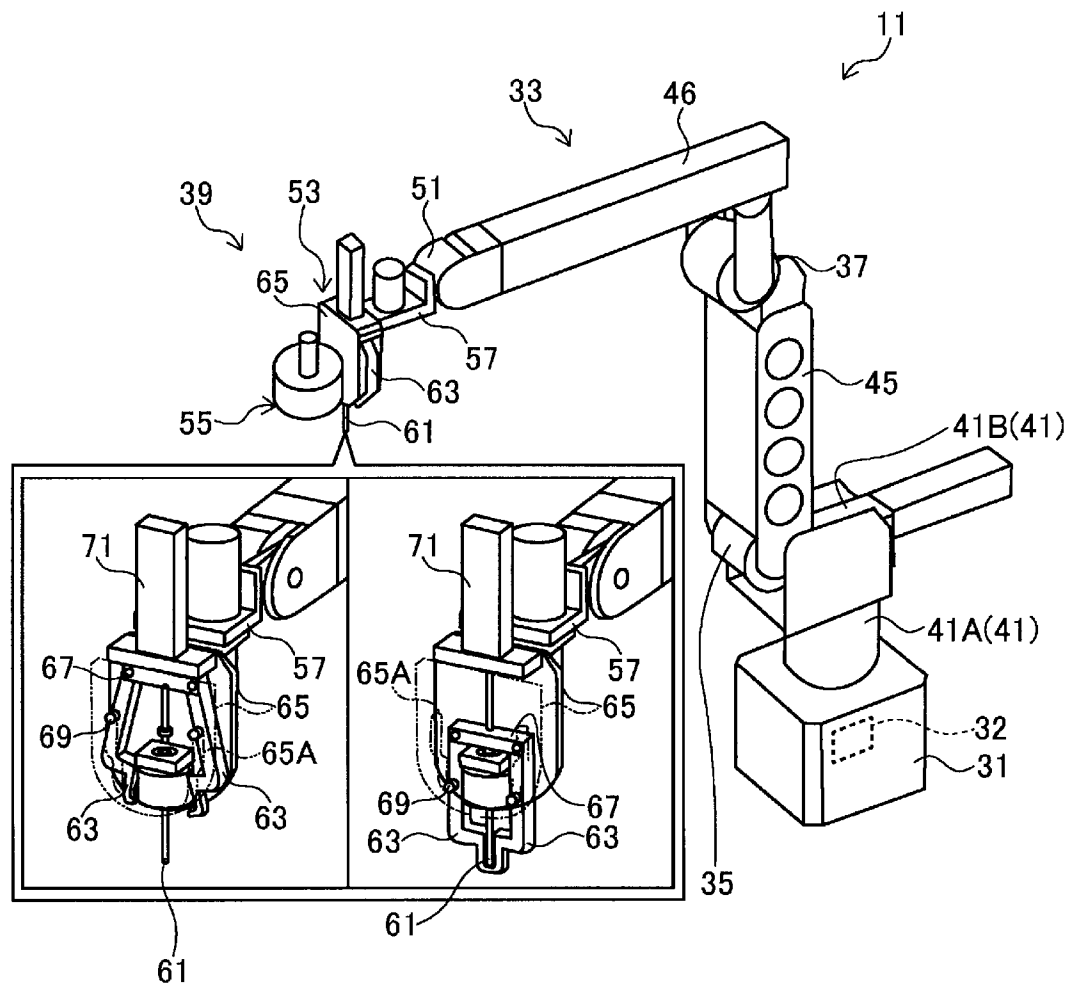
前記選択信号に基づいて、前記プログラマブル論理デバイスに対し
、前記第 1 コンフィグ情報又は前記第 2 コンフィグ情報を読み込んで
前記論理回路を構築させる工程と、

構築した前記論理回路により前記接続部と接続された前記検出装置
との間で前記位置情報の通信を実行させる工程と、
を含む、論理回路の構築方法。

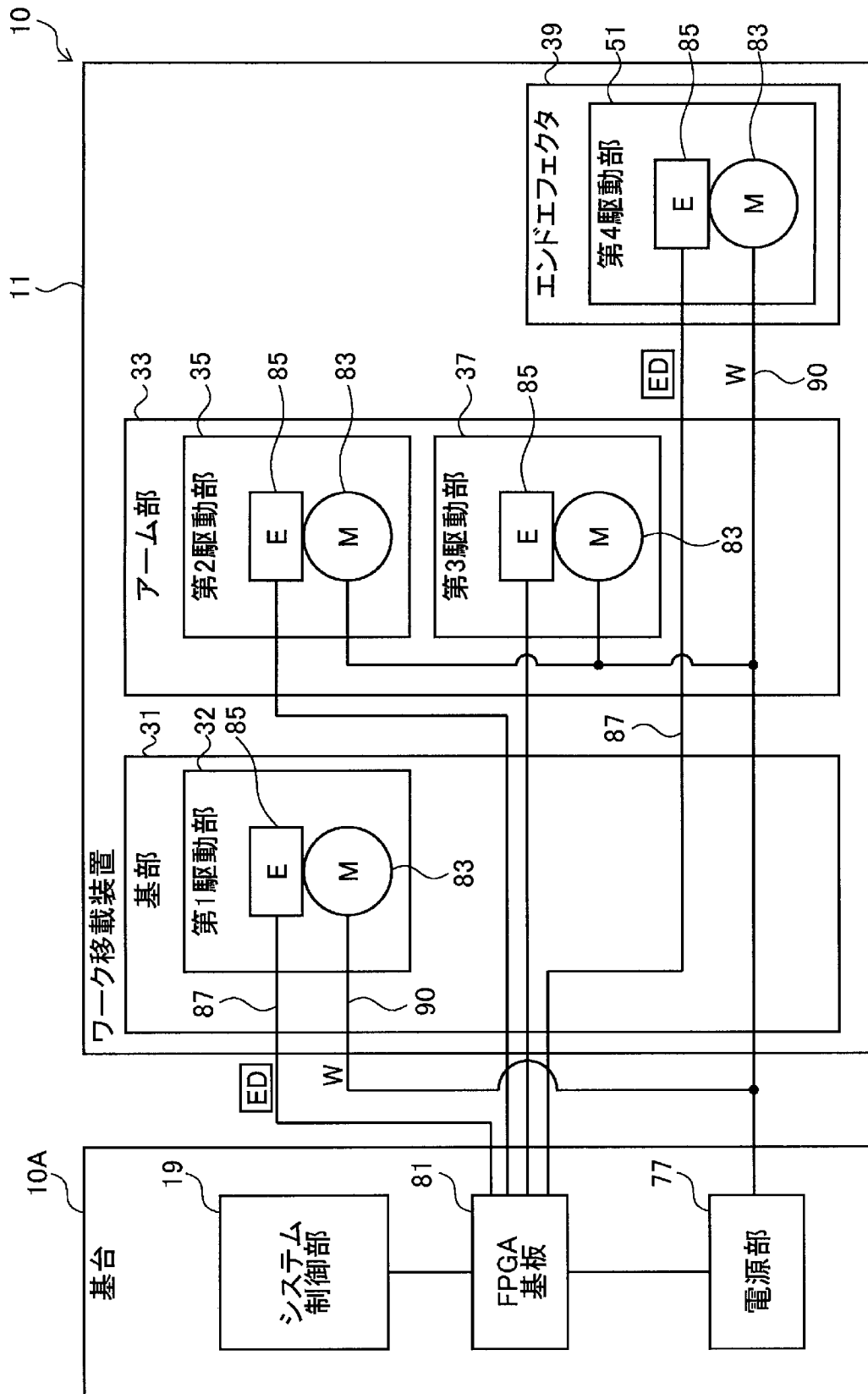
[図1]



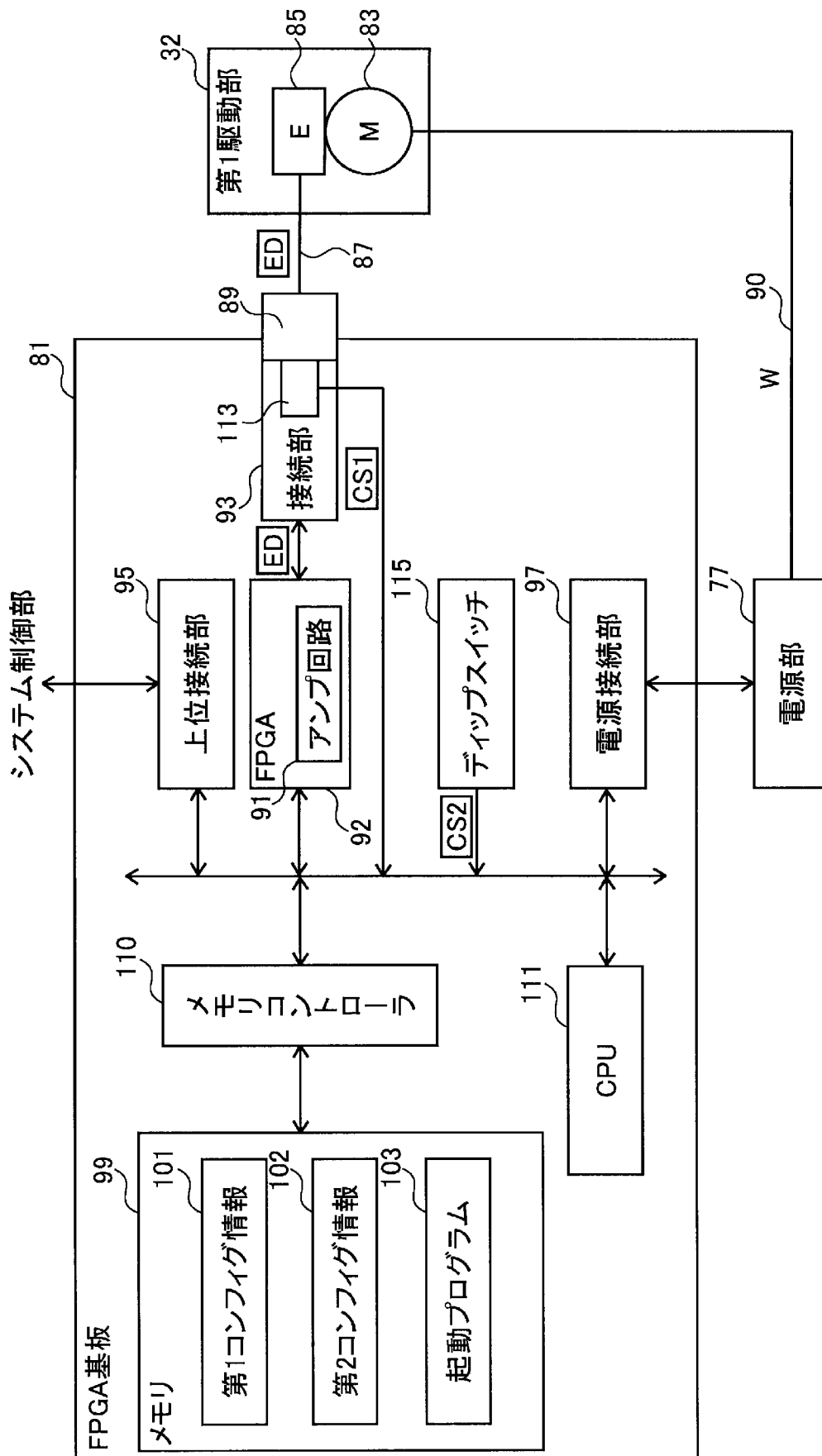
[図2]



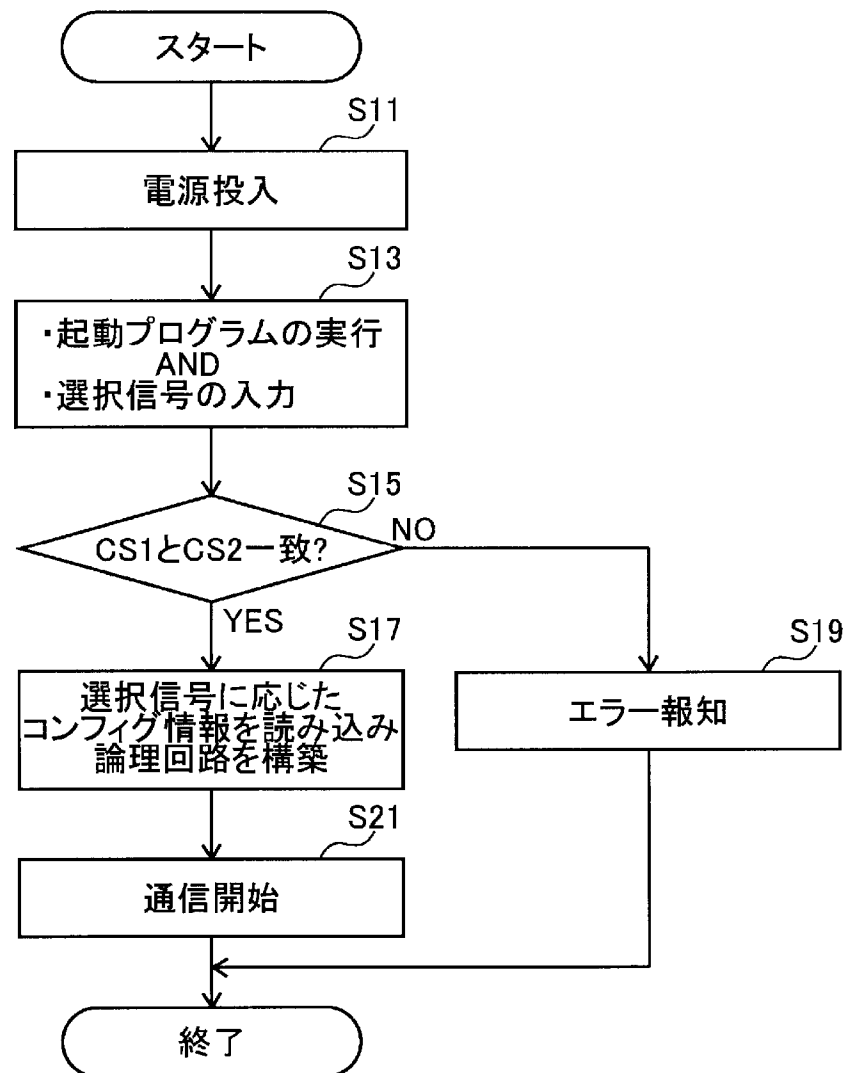
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/032821

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G05D3/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G05D3/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2013-110904 A (FUJI ELECTRIC CO., LTD.) 06 June 2013, paragraphs [0003], [0022]-[0043], fig. 1-6 (Family: none)	1, 3-6 2
Y A	JP 2014-7552 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 16 January 2014, paragraphs [0018]-[0085], fig. 1-5 (Family: none)	1, 3-6 2
A	JP 2011-503913 A (ASOCS LTD.) 27 January 2011, & US 2006/0010272 A1 & CN 101636728 A & KR 10-2010-0014362 A & WO 2008/081337 A2	1-6
A	WO 2015/052843 A1 (FUJI MACHINE MFG. CO., LTD.) 16 April 2015, & US 2016/0261373 A1 & EP 3057254 A1 & CN 105612705 A	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
20.11.2018

Date of mailing of the international search report
04.12.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G05D3/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G05D3/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2013-110904 A（富士電機株式会社）2013.06.06, 段落 [0003], [0022]-[0043], 図 1-6（ファミリーなし）	1, 3-6 2
Y A	JP 2014-7552 A（日本電信電話株式会社）2014.01.16, 段落 [0018]-[0085], 図 1-5（ファミリーなし）	1, 3-6 2
A	JP 2011-503913 A（アソクス・リミテッド）2011.01.27, & US 2006/0010272 A1 & CN 101636728 A & KR 10-2010-0014362 A & WO 2008/081337 A2	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

20.11.2018

国際調査報告の発送日

04.12.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

田村 耕作

3U

9618

電話番号 03-3581-1101 内線 3364

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2015/052843 A1 (富士機械製造株式会社) 2015. 04. 16, & US 2016/0261373 A1 & EP 3057254 A1 & CN 105612705 A	1-6