

①9



Europäisches Patentamt  
European Patent Office  
Office européen des brevets

①1

Veröffentlichungsnummer: **0 026 406**  
**B1**

①2

## EUROPÄISCHE PATENTSCHRIFT

④5

Veröffentlichungstag der Patentschrift:  
**22.08.84**

⑤1

Int. Cl.<sup>3</sup>: **B 66 B 1/16**

②1

Anmeldenummer: **80105623.5**

②2

Anmeldetag: **19.09.80**

⑤4

**Antriebssteuerung für einen Aufzug.**

③0

Priorität: **27.09.79 CH 8687/79**

④3

Veröffentlichungstag der Anmeldung:  
**08.04.81 Patentblatt 81/14**

④5

Bekanntmachung des Hinweises auf die Patenterteilung:  
**22.08.84 Patentblatt 84/34**

⑧4

Benannte Vertragsstaaten:  
**AT BE DE FR GB IT NL**

⑤6

Entgegenhaltungen:  
**DE - A - 1 513 650**  
**FR - A - 2 185 002**  
**FR - A - 2 261 966**  
**FR - A - 2 329 576**  
**FR - A - 2 349 168**  
**US - A - 3 773 146**  
**US - A - 3 783 974**  
**US - A - 4 128 142**  
**US - A - 4 130 184**

⑦3

Patentinhaber: **INVENTIO AG, Seestrasse 55,**  
**CH-6052 Hergiswil NW (CH)**

⑦2

Erfinder: **Schröder, Joris, Dr. Ing., Schädritthalde 2,**  
**CH-6006 Luzern (CH)**  
Erfinder: **Meier, Martin, Schulstrasse 24,**  
**CH-6038 Gisikon (CH)**

**EP 0 026 406 B1**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents im Europäischen Patentblatt kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

## Beschreibung

Die Erfindung betrifft eine Antriebssteuerung für einen Aufzug, mit einem Regelkreis, der aus einem Geschwindigkeitsregelkreis, einem Lageregelkreis, mindestens einem, einem Istwertgeber des Lageregelkreises zugeordneten Impulsgeber und mindestens einem D/A-Wandler besteht, wobei ein eine Fahrkurvenschar erzeugender Sollwertgeber vorgesehen ist, der einen Speicherspeicher aufweist, welcher mindestens zulässige Ruckwerte und Grenzwerte der Beschleunigung enthält und welcher mit drei, die Beschleunigung, die Geschwindigkeit und den Weg durch fortlaufende numerische Integration erzeugende Summierstufen verbunden ist, wobei die Ausgangsgrösse der letzten Summierstufe dem Regelkreis als Wegsollwert zugeführt wird und wobei für die Bestimmung des Bremsenpunktes eine mit dem Speicherspeicher und einem Etagenortspeicher zusammenwirkende, ein Stoppeinleitungssignal erzeugende Stoppeinleitungseinrichtung vorgesehen ist und eine mit dem Sollwertgeber verbundene Einfahrkorrektureinrichtung sowie eine mit einem Kabinenzähler des Istwertgebers in Verbindung stehende Zählerkorrektureinrichtung vorhanden ist.

Mit der deutschen Patentschrift 1 302 194 ist eine derartige Antriebssteuerung bekanntgeworden. Hierbei erfolgt die Ermittlung des Bremsenpunktes und damit des möglichen Haltepunktes durch ständige Berechnung während der Beschleunigungsphase unter Benutzung eines Digitalrechners. Die Berechnung beruht auf der Betrachtung der geometrischen Verhältnisse der jeweiligen momentanen Geschwindigkeitsfahrkurve. Hierbei wird die dem Sollwert entsprechende Fläche unter der Fahrkurve im Geschwindigkeits-Zeit-Diagramm in eine trapezförmige Fläche umgewandelt, deren erste Begrenzungslinie mit der Geschwindigkeitsachse zusammenfällt und deren zweite Begrenzungslinie parallel zu dieser verläuft. Der Schnittpunkt der zweiten Linie mit der Fahrkurve ist der Bremsenpunkt. Die Länge der ersten Begrenzungslinie entspricht einer Anfangsgeschwindigkeit  $v_{ho}$ , während die Neigung einer dritten, oberen Begrenzungslinie einer Beschleunigung  $b_h$  entspricht. Aus diesen, in einem Steuerwerk gespeicherten Werten, wird in einem ersten Integrator die Geschwindigkeit und in einem nachgeschalteten zweiten Integrator ein möglicher Halteweg  $s_{halt}$  gebildet. In einer Vergleichseinrichtung wird dieser Weg mit einem in einem Zielpositionsgeber eingestellten, einer Etage für welche ein Ruf gespeichert ist entsprechenden Zielweg  $s_{ziel}$  verglichen. Bei  $s_{halt} = s_{ziel}$  erzeugt die Vergleichseinrichtung ein Signal, welches das Steuerwerk veranlasst, durch Abgabe von Grenzwerten für Ruck und Verzögerung an drei weitere, hintereinandergeschaltete Integratoren die Verzögerung einzuleiten. Der dabei im dritten Integrator erzeugte Sollweg  $s_{soll}$  wird einem Lageregelkreis zugeführt. Ein Zähler, welcher die Impulse eines von der Antriebsmaschine angetriebenen Impulsgebers zählt, bildet den Ist-

weg  $s_{ist}$ , welcher ebenfalls dem Lageregelkreis zugeführt wird.

Bei dieser Antriebssteuerung ist es möglich, dass aufgrund der stufenweisen Erzeugung der Fahrkurven der Halteweg  $s_{halt}$  beziehungsweise der Sollweg  $s_{soll}$  nicht mit dem Zielweg  $s_{ziel}$  übereinstimmen, so dass sich Halteungenauigkeiten ergeben können. Ferner kann die durch Seilschlupf und -dehnung entstehende Abweichung zwischen dem tatsächlichen Kabinenweg und dem vom Impulsgeber und Zähler ermittelten Istweg nicht erfasst werden, so dass auch hieraus je nach Fahrweglänge und Gewicht mehr oder weniger beträchtliche Halteungenauigkeiten entstehen können. Die bei dieser Antriebssteuerung angewendete Methode des ständigen Errechnens des möglichen Halteweges zum Zwecke der Ermittlung des Bremsenpunktes erfordert beträchtliche Rechenarbeit und daher entsprechende Rechnerkapazität, was sich kostenmässig ungünstig auswirken kann. Die Verwendung eines zweiten, wegen der Einführung des Geschwindigkeits-Sollwertes in analoger Form in den Geschwindigkeitsregelkreis benötigten D/A-Wandlers, ergibt zusätzliche Verteuerungen.

Um die Haltegenauigkeit zu verbessern, ist es bekannt, die Aufzugskabine im Schleichgang auf einem Stockwerk einfahren zu lassen. So ist beispielsweise mit der DE-A-2 325 044 eine Einrichtung bekanntgeworden, die aus den Stockwerken zugeordneten Induktorplatten und einem an der Aufzugskabine befestigten Wandler besteht. Hierbei werden kurz vor der Einfahrt ein Abstands-Verzögerungskreis eines Programmgebers abgeschaltet und sodann mittels eines Positions-Fühlerkreises des Programmgebers Geschwindigkeitssollwerte für den Schleichgang erzeugt. Ein Nachteil derartiger Schleichgang-Einrichtungen ist darin zu sehen, dass die Fahrzeit der Aufzugskabine verlängert wird.

Bei Steuerungen, welche für die Erfassung des Istweges einen Kabinenwegzähler aufweisen, ist es bekannt, die auftretenden Fehler durch Korrektur des Zählerstandes zu beseitigen. Mit der US-A-3 773 146 ist eine Einrichtung bekanntgeworden, mittels welcher der Zählerstand bei der Vorbeifahrt oder beim Halt auf einer Etage überprüft wird. Die Einrichtung weist einen mit der Antriebsmaschine gekuppelten Impulsgenerator auf, welcher dem Kabinenweg proportionale Impulse erzeugt, die im Kabinenwegzähler summiert werden. Auf der Aufzugskabine angeordnete Reedkontakte und im Aufzugsschacht montierte Magnetfahnen bilden einen Signalgenerator. Bei einer dem genauen Halt entsprechenden Lage der Aufzugskabine wird vom Signalgenerator eine der jeweiligen Etage zugeordnete Binärzahl erzeugt, die mit der im Kabinenwegzähler ermittelten verglichen wird. Stimmen die beiden Zahlen nicht überein, so wird der Zählerstand des Kabinenwegzählers entsprechend korrigiert. Mit dieser Zählerkorrektureinrichtung können die durch Seilschlupf und -dehnung entstandenen, jedoch nicht die durch Gebäudeschwund oder -dehnung hervorgerufenen Fehler beseitigt werden.

Mit der Erfindung wird eine gegenüber den vorstehend beschriebenen verbesserte Antriebssteuerung für Aufzüge vorgeschlagen, wobei durch die in den Patentansprüchen gekennzeichnete Erfindung die Aufgabe gelöst wird, bei insbesondere mit Digitalrechnern arbeitenden Antriebssteuerungen durch Interpolation benachbarter Fahrkurven einen mit der Lage der jeweiligen Zieletage übereinstimmenden Wegsollwert für die Direkteinfahrt zu erzeugen und die durch Seilschlupf und -dehnung sowie Gebäudeveränderungen entstehenden Anhaltefehler zu beseitigen.

Die mit der Erfindung erzielten Vorteile sind im wesentlichen darin zu sehen, dass die durch die vorgeschlagene Fahrkurven-Interpolation erzeugte optimale Sollfahrkurve grosse Haltegenauigkeit bei minimalsten Zeitabweichungen gewährleistet, ohne den Fahrkomfort zu beeinträchtigen, wobei die Verwendung eines kostengünstigen, ein relativ grobes Auflösungsvermögen aufweisenden Sollwertgebers möglich ist. Weiterhin trägt die genauere Erfassung von Anhaltefehlern und deren Kompensation durch die vorgeschlagenen Korrekturvorrichtungen zur Verbesserung der Haltegenauigkeit bei. Von weiterem Vorteil ist, dass der Impulsgeber 12 des Lageregelkreis-Istwertgebers IWG2 unmittelbar vom Geschwindigkeitsbegrenzer angetrieben wird, da dadurch unabhängig von der Dehnung der Trageise durch Last oder Schwingungen der genaue Kabinenort  $k_o$  gebildet werden kann. Weiterhin ergeben sich wirtschaftliche Vorteile durch die Verwendung nur eines D/A-Wandlers.

Auf beiliegender Zeichnung ist ein Ausführungsbeispiel der Erfindung dargestellt, das im folgenden näher erläutert wird. Es zeigen:

Fig. 1 ein Blockschaltbild der erfindungsgemässen Antriebssteuerung;

Fig. 2 ein Diagramm der Soll- und Istgeschwindigkeit und des daraus resultierenden Wegfehlers  $\Delta s$ ;

Fig. 3 ein Diagramm einiger von einem Sollwertgeber erzeugbaren Geschwindigkeitsfahrkurven und

Fig. 4 ein Diagramm einer von einer Sollfahrkurve abweichenden idealen Fahrkurve, des daraus resultierenden Zielfehlers  $s_{zn}$  und einer durch Interpolation erzeugten optimalen Fahrkurve.

In der Fig. 1 ist mit RK ein Regelkreis bezeichnet, dessen Regelstrecke aus einer Antriebsmaschine 1 besteht, welche über eine Treibscheibe 2 eine an einem Förderseil 3 aufgehängte, über ein Gegengewicht 4 ausbalancierte Aufzugskabine 5 antreibt. Der nach dem Prinzip der Kaskadenregelung arbeitende Regelkreis RK besteht aus einem Stromregelkreis, welchem ein Regler 6 zugeordnet ist. Dem Stromregelkreis ist ein erster Subtrahierer 7 für die Bildung einer Regelabweichung  $\Delta v$  aufweisender Geschwindigkeitsregelkreis überlagert, welchem ein Lageregelkreis mit einem zweiten Subtrahierer 8 für die Bildung einer Regelabweichung  $\Delta s$  überlagert ist. Am Ausgang des ersten Subtrahierers 7 ist ein Digital-Analogwandler 9 angeordnet.

Ein dem Geschwindigkeitsregelkreis zugeordneter erster Istwertgeber IWG1 besitzt einen mit der Welle der Antriebsmaschine 1 gekuppelten, nicht näher beschriebenen Impulsgeber 10 in Form eines Digitaltachometers. Die vom Impulsgeber 10 erzeugten Impulse werden einem Zähler 11 zugeführt, dessen Ausgang mit dem ersten Subtrahierer 7 verbunden ist.

Ein dem Lageregelkreis zugeordneter zweiter Istwertgeber IWG2 besitzt einen dem Impulsgeber 10 des ersten Istwertgebers IWG1 ähnlichen Impulsgeber 12, der beispielsweise pro 0,5 mm Fahrweg einen Impuls erzeugt. Der Impulsgeber 12 wird von der Aufzugskabine 5 vorzugsweise über einen Geschwindigkeitsbegrenzer 13 angetrieben und ist mit einem Kabinenwegzähler 14 verbunden, welcher eine vom Netz unabhängige Spannungsquelle 15 aufweist, die bewirkt, dass der ermittelte Kabinenweg bei Netzausfall erhalten bleibt. Der Kabinenwegzähler 14 ist über einen Kopierer 16 mit einem weiteren Subtrahierer 17 verbunden, dessen Eingänge mit einem Startortspeicher SLS1 in Verbindung stehen und dessen Ausgang am Subtrahierer 8 des Lageregelkreises angeschlossen ist.

Der Startortspeicher SLS1 in Form eines Schreib-Lesespeichers sowie der Kopierer 16 in Form eines Datenpuffers sind über einen Datenbus mit einem Mikroprozessor eines nicht weiter dargestellten und beschriebenen Mikrocomputersystems verbunden. Die Funktionen der Subtrahierer 7, 8 und 17 werden von der Recheneinheit des Mikroprozessors ausgeführt.

Der vorstehend beschriebene Regelkreis RK arbeitet wie folgt:

Bei der Abfahrt der Aufzugskabine 5 von einer Etage wird der dem momentanen Kabinenort  $k_o$  entsprechende Stand des Kabinenwegzählers 14 als Startort  $sto$  im Startortspeicher SLS1 eingeschrieben. Kabinenort  $k_o$  und Startort  $sto$  sind in binärer Form dargestellte Niveaueinheiten mit Bezug auf eine bestimmte Basis, beispielsweise den Kabinenfussboden, wenn die Aufzugskabine 5 am unteren Anschlag ist. Während der Fahrt werden die vom Digitaltachometer 12 des zweiten Istwertgebers IWG2 erzeugten Impulse im Kabinenwegzähler 14 summiert und der so ermittelte jeweilige momentane Kabinenort  $k_o$  über den Kopierer 16 dem Subtrahierer 17 zugeführt, wobei der Datenabruf aus dem Kabinenwegzähler 14 in den Kopierer 16 vom Taktgenerator des Mikroprozessors über eine Impulsuntersetzung gesteuert wird. Im Subtrahierer 17 wird der aus dem Startortspeicher SLS1 abgerufene Startort  $sto$  vom momentanen Kabinenort  $k_o$  abgezogen. Der so ermittelte Kabinenweg wird als Istwert  $s_{ist}$  dem zweiten Subtrahierer 8 zugeführt, dessen weitere Eingangsgrösse der in einem nachstehend näher beschriebenen Sollwertgeber SWG erzeugte Weg  $s_{soll}$  ist. Die Ausgangsgrösse des zweiten Subtrahierers 8, der Wegfehler  $\Delta s$ , welcher nahezu die Form des Geschwindigkeits-Sollwertes  $v_{soll}$  aufweist (Fig. 2), wird dem ersten Subtrahierer 7 zugeleitet. Im Zähler 11 werden die vom Digitaltachometer 10 des ersten Istwertgebers IWG1 er-

zeugten Impulse summiert und unter Berücksichtigung der Zeit der Geschwindigkeits-Istwert  $v_{ist}$  gebildet, welcher dem ersten Subtrahierer 7 zugeführt wird. Die Ausgangsgrösse dieses Subtrahierers, der Geschwindigkeitsfehler  $\Delta v$ , gelangt über den Digital-Analogwandler 9 an den Eingang des Reglers 6, dessen weitere Eingangsgrösse der Ankerstrom  $I_A$  der Antriebsmaschine 1 ist. Die Ausgangsgrösse des Reglers 6 wirkt auf bekannte, nicht weiter beschriebene Art auf die Antriebsmaschine 1 ein.

Der Sollwertgeber SWG besteht aus einem Steuerspeicher FWS und aus drei, die Beschleunigung  $\ddot{s}$ , die Geschwindigkeit  $\dot{s}$  und den Weg  $s$  erzeugenden Summierstufen 18, 19, 20, wobei die die Beschleunigung und die Geschwindigkeit erzeugenden Summierstufen 18, 19 je eine Rückführung zum Steuerspeicher FWS aufweisen. Der Steuerspeicher FWS ist ein programmierbarer Festwertspeicher, dem ein vom Taktgenerator des Mikroprozessors über eine Impulsuntersetzung gesteuerter Sollwert-Taktgeber zugeordnet ist und der über den Datenbus mit dem Mikroprozessor verbunden ist. Im Steuerspeicher FWS sind die zulässigen Ruckwerte  $\ddot{s}$  sowie Grenzwerte der Beschleunigung  $\dot{s}_{lim}$  und Geschwindigkeit  $s_{lim}$  gespeichert, welche mittels einer nicht näher beschriebenen Einstellvorrichtung veränderbar sind. Die Funktionen der Summierstufen 18, 19, 20 werden von der Recheneinheit des Mikroprozessors ausgeführt.

Der vorstehend beschriebene Sollwertgeber SWG arbeitet wie folgt:

Bei einem Startbefehl werden dem Sollwert-Taktgeber des Steuerspeichers FWS vom Taktgenerator des Mikroprozessors über die Impulsuntersetzung Taktsignale zugeführt, womit er zu arbeiten beginnt. Während einer Periode des Taktsi-

gnals, im folgenden Sollwerttakt genannt, wird der zugeordnete Ruckwert  $\ddot{s}$  aus dem Steuerspeicher FWS abgerufen und der ersten Summierstufe 18 zugeführt. Durch fortgesetzte numerische Integration erfolgt jeweils in der Summierstufe 18 die Ermittlung des Beschleunigungswertes  $\dot{s}$ , in der folgenden Summierstufe 19 die das Geschwindigkeitswertes  $\dot{s}$  und in der letzten Summierstufe 20 die des Wegwertes  $s$  in Form einer Binärzahl, welche dem zweiten Subtrahierer 8 des Regelkreises RK zugeführt wird. Bei Erreichen der Grenzwerte  $\dot{s}_{lim}$  oder  $s_{lim}$  wird der neue entsprechende Ruckwert  $\ddot{s}$  abgerufen und der ersten Summierstufe 18 zugeführt. Die mittels des Sollwertgebers SWG erzeugbaren Geschwindigkeits-Fahrkurven erstrecken sich jeweils über eine geradzahlige Anzahl Sollwerttakte (Fig. 3) und weisen daher im Zielbereich einen zwei Sollwerttakte umfassenden Abstand auf, d.h. sie werden in stufenförmiger Reihenfolge erzeugt. Jeder einzelnen möglichen Fahrkurve ist ein Geschwindigkeits-Grenzwert  $\dot{s}_{lim}$  zugeordnet bis zu welchem der Stopp eingeleitet sein muss, damit die entsprechende Fahrkurve zur Grundlage der Regelung bestimmt werden kann.

So werden beispielsweise nach der Fig. 3 und untenstehender Tabelle während der Sollwerttakte 1, 2 und 3 die Ruckwerte  $\ddot{s} = +4$  und nach Erreichen des Beschleunigungs-Grenzwertes  $\dot{s}_{lim} = 12$  die Ruckwerte  $\ddot{s} = 0$  abgerufen. Bei Eintreffen eines Stoppbefehls während des Sollwerttaktes 5 und Erreichen des Geschwindigkeits-Grenzwertes  $\dot{s}_{lim} = 42$  der 16 Sollwerttakte umfassenden Fahrkurve A werden die Ruckwerte  $\ddot{s} = -4$  abgerufen. Trifft der Stoppbefehl erst während des Sollwerttaktes 6 ein, so wird bei Erreichen des Geschwindigkeits-Grenzwertes  $\dot{s}_{lim} = 54$  der nachfolgenden, 18 Sollwerttakte umfassenden Fahrkurve B, der neue Ruckwert  $\ddot{s} = -4$  abgerufen.

	Fahrkurve	Sollwerttakte									
		1	2	3	4	5	6	7	8	9	10
Ruck $\ddot{s}$	A	+4	+4	+4	0	0	-4	-4	-4	-4	-4
	B	+4	+4	+4	0	0	0	-4	-4	-4	-4
Beschl. $\dot{s}$	A	4	8	12	12	12	8	4	0	-4	-4
	B	4	8	12	12	12	12	8	4	0	-4
Geschw. $s$	A	2	8	18	30	42	52	58	60	58	52
	B	2	8	18	30	42	54	64	70	72	70
Weg $s$	A	1	6	19	43	79	126	181	240	299	354
	B	1	6	19	43	79	127	186	253	324	395

Die in vorstehender Tabelle aufgeführten Zahlen für Ruck, Beschleunigung, Geschwindigkeit und Weg sind in Form von Binärzahlen gespeicherte Verhältniszahlen, sie entsprechen daher nicht den tatsächlichen Werten der betreffenden physikalischen Grösse.

Eine nicht weiter beschriebene, Start- und Stoppbefehle erteilende Kommandosteuerung KS

ist mit dem Sollwertgeber SWG und einem Etagenortspeicher SLS2 verbunden. Der Etagenortspeicher SLS2 ist ein gepufferter, alterierbarer Speicher in Form eines Schreib-Lesespeichers, der eine vom Netz unabhängige Spannungsquelle 21 und eine Logik zum Inkrementieren und Dekrementieren der Etagennummern 22 aufweist, und der über den Datenbus mit dem Mikroprozessor

sor verbunden ist. Im Etagenortspeicher SLS2 sind den Etagennummern en zugeordnete Etagenorte eo in Form von Binärzahlen gespeichert, die sich ebenfalls auf die vorstehend definierte Basis beziehen. Die Einschreibung der Etagenorte eo erfolgt bei einer nicht näher beschriebenen, automatisch eingeleiteten Lernfahrt vor der ersten Inbetriebsetzung des Aufzuges sowie bei etwaigem Datenverlust des Etagenortspeichers SLS2.

Eine mit dem Sollwertgeber SWG und dem Etagenortspeicher SLS2 verbundene Stoppeinleitungseinrichtung STE besteht aus einem Zielwegschrittspeicher SLS3, einem Zielwegschrittsummierer 22, einem Addierer 23, einem ersten und einem zweiten Subtrahierer 24, 25 und einem Komparator 26. Der Zielwegschrittspeicher SLS3 ist ein über den Datenbus mit dem Mikroprozessor verbundener Schreib-Lesespeicher.

Die Funktionen des Zielwegschrittsummierers 22, des Addierers 23, der Subtrahierer 24, 25 und des Komparators 26 werden von der Recheneinheit des Mikroprozessors ausgeführt. Die im Zielwegschrittspeicher SLS3 gespeicherten Zielwegschritte  $\Delta s_n = s_n - s_{n-1}$  sind die Differenzen zweier benachbarter, den jeweiligen Geschwindigkeitsfahrkurven zugehörige Zielwege (Fig. 3).

Die vorstehend beschriebene Stoppeinleitungseinrichtung STE arbeitet wie folgt:

Nach Eingabe eines Startbefehls werden bei jedem Sollwerttakt n die zugeordneten Zielwegschritte  $\Delta s_n$  aus dem Zielwegschrittspeicher SLS3 abgerufen und dem Zielwegschrittsummierer 22 zugeführt, wobei in diesem durch Akkumulation der Zielweg  $s_n$  gebildet wird. So wird beispielsweise durch Hinzufügen des dem Sollwerttakt 6 zugeordneten Zielwegschrittes  $\Delta s_6$  zum Zielweg  $s_5$  der Zielweg  $s_6$  erzeugt (Fig. 3). Während eines Sollwerttaktes n wird vorerst im Addierer 23 zum Zielweg  $s_n$  der aus dem Startortspeicher SLS1 abgerufene Startort sto addiert und so der mögliche Zielort zo errechnet. Im Etagenortspeicher SLS2 wird durch Inkrementieren bei Aufwärtsfahrt oder Dekrementieren bei Abwärtsfahrt der dem möglichen Zielort zo nächstgelegene Etagenort eo ermittelt. Die entsprechende Etagennummer en wird der Kommandosteuerung KS zugeführt, in welcher ein Vergleich mit den gespeicherten Rufen stattfindet. Ist für diese Etage ein Ruf vorhanden, so wird der entsprechende Etagenort eo als Zieletagenort zo' aus dem Etagenortspeicher SLS2 abgerufen und dem Subtrahierer 24 zugeleitet. Im Subtrahierer 24 wird der im Addierer 23 gebildete mögliche Zielort zo vom Zieletagenort zo' abgezogen und so der Zielfehler  $s_{zn} = s_x - s_n$  gebildet, wobei  $s_x$  die Differenz zwischen Zieletagenort zo' und Startort sto ist und dem einer idealen Fahrkurve D (Fig. 4) zugeordneten Weg entspricht. Der Zielfehler  $s_{zn}$  wird dem Subtrahierer 25 zugeführt, in welchem unter Hinzufügen des Zielwegschrittes  $\Delta s_{n+1}$  des nächsten Sollwerttaktes n+1 die Differenz  $s_{zn} - \Delta s_{n+1}$  ermittelt wird. Ergibt die anschließende Auswertung im Komparator 26 das Ergebnis  $s_{zn} - \Delta s_{n+1} \leq 0$ , so wird durch Abgabe eines Stoppsignals an den Steuerspeicher FWS der Stopp eingeleitet. Laufen die

vorstehend beschriebenen Vorgänge beispielsweise während des Sollwerttaktes 6 ab, so wird aufgrund des Stoppsignals nach Erreichen des diesem Sollwerttakt zugeordneten Geschwindigkeits-Grenzwertes  $\dot{s}_{lim} = 54$  während des darauffolgenden Sollwerttaktes 7 der neue Ruckwert  $\ddot{s} = -4$  abgerufen und die der weiteren Regelung dienende Fahrkurve B erzeugt (vorstehende Tabelle und Fig. 3).

Die vorstehend beschriebenen Vorgänge wiederholen sich während jedes Sollwerttaktes. Liegen jedoch der mögliche Zielort zo und der Zieletagenort zo' so weit auseinander, dass die Differenz  $s_{zn} - \Delta s_{n+1} > 0$  ist, so wird vom Komparator 26 kein Stoppsignal abgegeben und der Sollwertgeber SWG kann beispielsweise die bis zur Nenngeschwindigkeit  $v_{max}$  des Aufzuges ansteigende Fahrkurve C erzeugen (Fig. 3).

Eine sowohl mit dem Sollwertgeber SWG als auch mit der Stoppeinleitungseinrichtung STE verbundene Stoppkorrekturereinrichtung STK hat die Aufgabe, die vom Sollwertgeber SWG zu erzeugende Fahrkurve durch Interpolation derart zu modifizieren, dass eine optimale Fahrkurve zur Zieletage für die Regelung zur Verfügung steht. Die Stoppkorrekturereinrichtung STK besteht aus einem Zielfehlerspeicher SLS4, einem Restfehlerspeicher SLS5, einem Zielfehlerkomparator 27 und einem Korrekturzeitermittler 28. Die Speicher SLS4, SLS5 sind Schreib-Lesespeicher, welche über den Datenbus mit dem Mikroprozessor verbunden sind, wobei die Funktionen des Zielfehlerkomparators 27 und des Korrekturzeitermittlers 28 im Rechenwerk des Prozessors ausgeführt werden.

Die vorstehend beschriebene Stoppkorrekturereinrichtung STK arbeitet wie folgt:

Es sei angenommen, dass bei der Stoppeinleitung die Fahrkurve A ausgewählt wurde (Fig. 3, 4). Bei Erreichen der durch die Beschleunigung  $\ddot{s} = 0$  gegebenen Spitzengeschwindigkeit  $v_A = \dot{s} = 60$  des Sollwerttaktes 8 wird der sich aus der Differenz des Weges  $s_n$  der Fahrkurve A und des Weges  $s_x$  der idealen Fahrkurve D ergebende Zielfehler  $s_{zn}$  in ein flächengleiches Rechteck umgewandelt. Das geschieht in der Weise, dass der Sollwertgeber SWG vorerst aussetzt (Tabelle und Punkt I Fig. 4). Sodann wird während der Dauer  $\Delta t$  eines Sollwerttaktes ein Wegwert  $v_A \cdot \Delta t$  (Rechteck  $v_A \cdot \Delta t$ , Fig. 4) gebildet und im Zielfehlerkomparator 27 mit dem im Zielfehlerspeicher SLS4 gespeicherten Zielfehler  $s_{zn}$  verglichen. Bei  $s_{zn} \geq v_A \cdot \Delta t$  wird im Zielfehlerkomparator 27 ein erstes Startsignal erzeugt, mittels welchem nochmals die dem Sollwerttakt 8 zugeordnete Spitzengeschwindigkeit  $v_A = 60$  aus dem Steuerspeicher FWS abgerufen wird (Punkt II Fig. 4). Gleichzeitig wird der im Zielfehlerspeicher SLS4 gespeicherte Zielfehler  $s_{zn}$  um den Wegwert  $v_A \cdot \Delta t$  verringert. Bei einem erneuten Vergleich im Zielfehlerkomparator 27 sei angenommen, dass der im Zielfehlerspeicher SLS4 verbliebene Restzielfehler  $s_{zR}$  kleiner als der Wegwert  $v_A \cdot \Delta t$  ist. In diesem Fall wird der Restzielfehler  $s_{zR}$  dem Restfehlerspeicher SLS5 zugeführt und im Korrekturzeitermittler 28 unter

Berücksichtigung der Daten  $v_A$ ,  $s_{ZR}$  und der Zeitdauer  $\delta t$  einer Periode des Taktsignals des Taktgenerators eine Korrekturzeit  $\Delta t_i$  ermittelt. Zu diesem Zweck wird die Spitzengeschwindigkeit  $v_A$  durch die Perioden  $\delta t$  des Taktsignals so oft abgerufen, bis der Restzielfehler  $s_{ZR}$  (Rechteck  $v_A \cdot \Delta t_i$ , Fig. 4) erreicht ist. Nach der Ermittlung der Korrekturzeit  $\Delta t_i = n \cdot \delta t = s_{ZR} \cdot v_A$  wird der Restzielfehler  $s_{ZR}$  der letzten, den Weg  $s$  erzeugenden Summierstufe 20 des Sollwertgebers SWG zugeführt und vom Korrekturzeitermittler 28 ein zweites Startsignal erzeugt, worauf der Sollwert-Taktgeber des Speichers FWS wieder zu arbeiten beginnt (Punkt III Fig. 4). Nach einer Unterbrechungszeit von  $\Delta t + \Delta t_i$  erzeugt daher der Sollwertgeber SWG, beginnend mit dem Sollwerttakt 9, den abfallenden Teil der optimalen Fahrkurve E, welcher dem abfallenden Teil der Fahrkurve A entspricht (Fig. 4), wobei der erzeugte Weg  $s_{soll}$  im Zielbereich mit dem der idealen Fahrkurve D zugeordneten Weg  $s_x$  genau übereinstimmt.

Mit EK ist eine Einfahrkorrektureinrichtung bezeichnet, welche die Aufgabe hat, durch Korrektur des Weg-Sollwertes  $s_{soll}$  während der Einfahrphase den aus der Abweichung zwischen dem Etagenort  $eo$  und dem Kabinenort  $ko$  resultierenden Anhaltefehler möglichst gering zu halten. Diese Abweichung kann beispielsweise aus der schlupfbehafteten Einschreibung der Etagenorte  $eo$  und aus Gebäudeveränderungen aufgrund von Schwund und Dehnung entstehen. Die Einfahrkorrektureinrichtung EK besteht aus einer an der Aufzugskabine 5 angeordneten Schalteinrichtung 29, beispielsweise einem Magnetschalter, welcher mit im Aufzugsschacht 30 befestigten Fahnen 31 zusammenwirkt, aus einem Einfahrspeicher SLS6, einem Addierer 32 und einem Subtrahierer 33. Der Einfahrspeicher SLS6 ist mit dem Kabinenwegzähler 14 des zweiten Istwertgebers IWG2, der Schalteinrichtung 29 und dem Addierer 32 verbunden. Der Subtrahierer 33 steht mit dem Addierer 32, dem Etagenortspeicher SLS2 und dem Restfehlerspeicher SLS5 der Stoppkorrektureinrichtung STK in Verbindung. Der Einfahrspeicher SLS6 ist ein Datenpuffer, welcher über den Datenbus mit dem Mikroprozessor verbunden ist, wobei der Mikroprozessor die Funktionen des Addierers 32 und Subtrahierers 33 ausführt.

Die vorstehend beschriebene Einfahrkorrektureinrichtung EK arbeitet wie folgt:

Kurz vor Einfahrt in eine Zieletage erzeugt der Magnetschalter 29 einen Impuls, wodurch der momentane Kabinenort  $ko$  in den Einfahrspeicher SLS6 eingeschrieben und dem Addierer 32 zugeführt wird. Im Addierer 32 wird zum momentanen Kabinenort  $ko$  ein konstanter Einfahrweg entsprechender Betrag  $kb$  hinzugefügt. Aus der so gebildeten Summe und dem dem Zieletagenort  $zo'$  entsprechenden, aus dem Etagenortspeicher SLS2 abgerufenen Etagenort  $eo$ , wird im Subtrahierer 33 eine Differenz erzeugt, die dem Restfehlerspeicher SLS5 zugeführt und aus diesem in den Sollwertgeber SWG zwecks Korrektur des Weg-Sollwertes  $s_{soll}$  abgerufen wird.

Eine Zählerkorrektureinrichtung ZK hat die Aufgabe, die Anhaltengenauigkeit weiter zu verbessern, indem der Kabinenwegzähler 14 des zweiten Istwertgebers IWG2 neu gesetzt wird und der im Etagenortspeicher SLS2 gespeicherte, der Zieletage einer anschliessenden Fahrt zugeordnete Etagenort  $eo$  gelöscht und entsprechend dem korrigierten Zählerstand neu gesetzt wird. Die Zählerkorrektureinrichtung ZK besteht aus einem Subtrahierer 34 und einem Addierer 35. Die Eingänge des Subtrahierers stehen mit den Ausgängen des Kopierers 16 und des Addierers 32 der Einfahrkorrektureinrichtung EK in Verbindung. Die Eingänge des Addierers 35 sind mit dem Etagenortspeicher SLS2 und dem Ausgang des Subtrahierers 34 verbunden. Der Ausgang des Addierers 35 ist an einem Eingang des Kabinenwegzählers 14 angeschlossen. Die Funktionen des Subtrahierers 34 und des Addierers 35 werden vom Mikroprozessor ausgeführt.

Die vorstehend beschriebene Zählerkorrektureinrichtung arbeitet wie folgt:

Bei Ankunft der Aufzugskabine 5 in einer Haupthaltestelle  $enh$  wird im Subtrahierer 34 aus dem tatsächlichen, aus dem Kopierer 16 bei Stillstand der Aufzugskabine 5 abgerufenen Zählerstand und dem über den Einfahrspeicher SLS6 gebildeten Zählerstand eine einen Anhaltefehler darstellende Differenz gebildet. Diese Differenz wird dem Addierer 35 zugeleitet, in welchem unter Hinzufügung des der Haupthaltestelle  $enh$  zugeordneten Etagenortes  $eo$  der neue Zählerstand gebildet wird. Der neue Zählerstand wird dem Kabinenwegzähler 14 zugeführt, der entsprechend neu gesetzt wird. Nach der anschliessenden Fahrt wird der Etagenort  $eo$  der Zieletage entsprechend dem korrigierten Zählerstand über den Einfahrspeicher SLS6 neu gesetzt. Die für die Bestimmung der Haupthaltestelle  $enh$  und die Auslösung der Zählerkorrektur sowie die Einschreibung des neuen Etagenortes  $eo$  erforderliche Logik ist nicht weiter dargestellt und beschrieben.

Zur weiteren Verbesserung der optimalen Fahrkurve E ist es auch möglich, die Korrekturrechnung bei Eintreffen des Stoppeinleitungssignals noch vor Erreichen der Spitzengeschwindigkeit  $v_A$  vorzunehmen, und bei jedem Sollwerttakt einen Teil des im Restfehlerspeicher SLS5 gespeicherten Restzielfehlers  $s_{ZR}$  in die den Wegsollwert  $s_{soll}$  erzeugende Summierstufe 20 zu geben.

Es ist auch möglich, als Ausgangsgrösse des Sollwertgebers SWG einen Kabinen-Sollort zu erzeugen, so dass zwecks Bildung der Weg-Regelabweichung  $\Delta s$  der am Ausgang des Kopierers 16 auftretende Kabinen-Istort direkt dem Subtrahierer 8 zugeführt werden kann. In diesem Fall können der Startortspeicher SLS1 und der Subtrahierer 17 des Istwertgebers IWG2 entfallen.

Weiterhin ist es möglich, für den Istwertgeber IWG1 des Geschwindigkeitsregelkreises einen die Regelgrösse in analoger Form erzeugenden Tachometer zu verwenden, wobei der D/A-Wandler am Ausgang des Subtrahierers 8 des Lageregelkreises angeordnet ist. Man kann auch den Impulsgeber 10 des Geschwindigkeitsregelkreises

gleichzeitig als Impulsgeber für den Lageregelkreis verwenden, so dass der von der Aufzugskabine 5 angetriebene Impulsgeber 12 nicht mehr benötigt wird.

Es ist auch möglich, die im Zielwegschrittspeicher SLS3 gespeicherten Zielwegschritte ( $\Delta s_n$ ) zu errechnen, so dass der Zielwegschrittspeicher SLS3 entfallen kann.

## Patentansprüche

1. Antriebssteuerung für einen Aufzug, mit einem Regelkreis (RK), der aus einem Geschwindigkeitsregelkreis, einem Lageregelkreis, mindestens einem, einem Istwertgeber (IWG2) des Lageregelkreises zugeordneten Impulsgeber (12) und mindestens einem D/A-Wandler (9) besteht, wobei ein eine Fahrkurvenschar erzeugender Sollwertgeber (SWG) vorgesehen ist, der einen Steuerspeicher (FWS) aufweist, welcher mindestens zulässige Ruckwerte und Grenzwerte der Beschleunigung enthält und welcher mit drel, die Beschleunigung, die Geschwindigkeit und den Weg durch fortlaufende numerische Integration erzeugende Summierstufen (18, 19, 20) verbunden ist, wobei die Ausgangsgrösse der letzten Summierstufe (20) dem Regelkreis (RK) als Wegsollwert ( $s_{soll}$ ) zugeführt wird und wobei für die Bestimmung des Bremsenpunktes eine mit dem Steuerspeicher (FWS) und einem Etagenortspeicher (SLS2) zusammenwirkende, ein Stoppeinleitungssignal erzeugende Stoppeinleitungseinrichtung (STE) vorgesehen ist, und eine mit dem Sollwertgeber (SWG) verbundene Einfahrkorrektureinrichtung (EK) sowie eine mit einem Kabinenwegzähler (14) des Istwertgebers (IWG2) in Verbindung stehende Zählerkorrektureinrichtung (ZK) vorhanden sind, dadurch gekennzeichnet, dass die Stoppeinleitungseinrichtung (STE) einen Subtrahierer (24) aufweist, in welchem aus einem dem Weg einer Fahrkurve (A) zugeordneten Zielort (zo) und einem einer Zieletage zugeordneten Etagenort (zo') ein Zielfehler ( $s_{zn}$ ) ermittelbar ist und das Stoppeinleitungssignal erzeugbar ist, wenn der Zielfehler ( $s_{zn}$ ) kleiner als die Differenz der Wege zweier benachbarter Fahrkurven (A, B) ist, dass die Stoppeinleitungseinrichtung (STE) mit einer Stoppkorrektureinrichtung (STK) verbunden ist, welche einen den Zielfehler ( $s_{zn}$ ) speichernden Zielfehlerspeicher (SLS4) aufweist, der einerseits über einen Zielfehlerkomparator (27) und einen Korrekturzeitermittler (28) mit dem Steuerspeicher (FWS), und andererseits über einen Restfehlerspeicher (SLS5) mit der den Wegsollwert ( $s_{soll}$ ) erzeugenden Summierstufe (20) des Sollwertgebers (SWG) verbunden ist, wobei die Stoppeinleitung um eine dem Zielfehler ( $s_{zn}$ ) proportionale Zeit ( $\Delta t$ ,  $\Delta t_i$ ) verzögerbar und der Zielfehler ( $s_{zn}$ ) dem der Fahrkurve (A) entsprechenden Wegsollwert ( $s_{soll}$ ) zufügbare ist, dass die Einfahrkorrektureinrichtung (EK) einen ausgangseitig mit dem Restfehlerspeicher (SLS5) verbundenen Subtrahierer (33) aufweist, in welchem bei der Einfahrt aus einem der momentanen Kabinenlage entsprechenden Kabinenort (ko) und dem

Etagenort (zo') ein Wegfehler ermittelbar und der Summierstufe (20) des Sollwertgebers (SWG) zuführbar ist, dass die Zählerkorrektureinrichtung (ZK) einen einen Anhaltefehler beim Halt der Aufzugskabine (5) auf einer Haupthaltestelle (enh) ermittelnden Subtrahierer (34) aufweist, wobei der Zählerstand des Kabinenwegzählers (14) des Istwertgebers (IWG2) auf den durch den Anhaltefehler ergänzten Etagenort (eo) der Haupthaltestelle (enh) einstellbar ist, und dass, wie an sich bekannt, ein dem Geschwindigkeitsregelkreis unterlagter Stromregelkreis vorgesehen ist.

2. Antriebssteuerung nach Anspruch 1, dadurch gekennzeichnet, dass der Steuerspeicher (FWS) des Sollwertgebers (SWG) ein über einen Datenbus mit einem Mikroprozessor verbundener programmierbarer Festwertspeicher ist, welchem ein vom Taktgenerator des Mikroprozessors über eine Impulsuntersetzung gesteuerter Sollwert-Taktgeber zugeordnet ist, wobei die gespeicherten Grenzwerte des Ruckes, der Beschleunigung und gespeicherte Grenzwerte der Geschwindigkeit den einzelnen Sollwerttakt (n) des Sollwert-Taktgebers zugeordnet und bei Auftreten derselben aus dem Steuerspeicher (FWS) abrufbar sind.

3. Antriebssteuerung nach Anspruch 1, dadurch gekennzeichnet, dass der Etagenortspeicher (SLS2) ein gepufferter, alterierbarer Speicher in Form eines Schreib-Lesespeichers mit einer vom Netz unabhängigen Spannungsquelle (21) ist, in welchem den Etagenummern (en) entsprechende Etagenorte (eo) gespeichert sind, und der eine Logik zum Inkrementieren der Etagenummern (en) bei Aufwärtsfahrt und zum Dekrementieren derselben bei Abwärtsfahrt der Aufzugskabine (5) besitzt.

4. Antriebssteuerung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Stoppeinleitungseinrichtung (STE) einen die Differenzen ( $\Delta s_n$ ) der Wege ( $s_n$ ,  $s_{n-1}$ ) benachbarter Fahrkurven speichernden Zielwegschrittspeicher (SLS3) in Form eines Schreib-Lesespeichers aufweist, wobei den Differenzen entsprechende Zielwegschritte ( $\Delta s_n$ ) bei Auftreten der Sollwerttakte (n) abrufbar sind und der Zielwegschrittspeicher (SLS3) über einen Zielwegschrittsummierer (22) und einen Addierer (23) für die Bildung des Zielortes (zo) mit einem Eingang des Subtrahierers (24) verbunden ist, dessen Ausgang über einen weiteren, aus dem Zielfehler ( $s_{zn}$ ) und dem Zielwegschritt ( $\Delta s_{n+1}$ ) des jeweils nächsten Sollwerttaktes ( $n+1$ ) eine Differenz bildenden Subtrahierers (25) und einen Komparator (26) mit dem Steuerspeicher (FWS) verbunden ist, wobei der Zielwegschrittsummierer (22), der Addierer (23), die Subtrahierer (24, 25) und der Komparator (26) vom Mikroprozessor gebildet sind.

5. Antriebssteuerung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der Zielfehlerspeicher (SLS4) und der Restfehlerspeicher (SLS5) Schreib-Lesespeicher sind, und der Zielfehlerkomparator (27) und der Korrekturzeitermittler (28) vom Mikroprozessor gebildet sind, wobei bei Erreichen der Spitzengeschwindigkeit ( $v_A$ ) der durch das Stoppeinleitungssignal bestimmten

Fahrkurve durch Division des Zielfehlers ( $s_{zn}$ ) durch die Spitzengeschwindigkeit ( $v_A$ ) die die Stoppeinleitung verzögernde Zeit ( $\Delta t$ ,  $\Delta t_i$ ) ermittelt und ein bei der Division entstehender Restzielfehler ( $s_{zR}$ ) im Restfehlerspeicher (SLS5) gespeichert wird, und wobei je Sollwerttakt ein Teil des Restzielfehlers ( $s_{zR}$ ) aus dem Restfehlerspeicher (SLS5) und die den Verzögerungsteil der Fahrkurve bildenden Werte aus dem Speicherspeicher (FWS) abrufbar sind.

6. Antriebssteuerung nach Anspruch 1, dadurch gekennzeichnet, dass der dem Istwertgeber (IWG2) des Lageregelkreises zugeordnete Impulsgeber (12) mit der Aufzugskabine (5) antreibbar verbunden ist.

7. Antriebssteuerung nach Anspruch 1 oder 6, dadurch gekennzeichnet, dass der dem Istwertgeber (IWG2) des Lageregelkreises zugeordnete Impulsgeber (12) mit einem von der Aufzugskabine (5) angetriebenen Geschwindigkeitsbegrenzer (13) gekuppelt ist.

8. Antriebssteuerung nach Anspruch 1, dadurch gekennzeichnet, dass ein Istwertgeber (IWG1) des Geschwindigkeitsregelkreises einen zweiten, von der Welle der Antriebsmaschine (1) des Aufzuges angetriebenen Impulsgeber (10) aufweist, wobei der D/A-Wandler (9) am Ausgang eines eine Regelabweichung ( $\Delta v$ ) bildenden Subtrahierers (7) des Geschwindigkeitsregelkreises angeordnet ist.

9. Antriebssteuerung nach Anspruch 1, dadurch gekennzeichnet, dass die Führungsgrösse des Geschwindigkeitsregelkreises die Weg-Regelabweichung ( $\Delta s$ ) des Lageregelkreises ist.

10. Antriebssteuerung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Einfahrkorrektureinrichtung (EK) eine an der Aufzugskabine (5) angeordnete Schalteinrichtung (29) aufweist, welche über einen Eingabebaustein mit einem Einfahrpeicher (SLS6) in Form eines Datenpuffers verbunden ist, wobei bei Auftreten eines kurz vor Einfahrt in eine Zieletage erzeugten Impulses der Schalteinrichtung (29) der vom Kabinenwegzähler (14) des Istwertgebers (IWG2) ermittelte momentane Kabinenort ( $ko$ ) in den Einfahrpeicher (SLS6) einschreibbar ist, und der Einfahrpeicher (SLS6) mit einem den momentanen Kabinenort ( $ko$ ) zu einem konstanten der Einfahrstrecke entsprechenden Betrag ( $kb$ ) addierenden Addierer (32) verbunden ist, dessen Ausgang mit einem Eingang des Subtrahierers (33) in Verbindung steht, wobei der Addierer (32) und der Subtrahierer (33) vom Mikroprozessor gebildet sind.

11. Antriebssteuerung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass der eine Eingang des Subtrahierers (34) mit dem Ausgang des Addierers (32) der Einfahrkorrektureinrichtung (EK) und der andere Eingang mit einem den Kabinenort ( $ko$ ) beim Halten speichernden Datenpuffer (16) in Verbindung steht, und dass ein weiterer Addierer (35) vorgesehen ist, dessen einer Eingang mit dem Etagenortspeicher (SLS2) und dessen anderer Eingang mit dem Ausgang des Subtrahierers (34) verbunden ist, wobei der Ausgang des Addierers (35) am Kabinenwegzäh-

ler (14) angeschlossen ist, und wobei der Subtrahierer (34) und der Addierer (35) vom Mikroprozessor gebildet sind.

## Claims

1. A drive control for an elevator, containing a control circuit (RK), composed of a velocity control circuit, a position control circuit, at least one pulse generator (12) correlated to an actual value generator (IWG2) of the position control circuit and at least one D/A converter (9), wherein there is provided a reference value generator (SWG), generating a group of travel curves, which contains a control storage (FWS) containing at least permissible jerk values and threshold values of the acceleration and which is connected with three summation stages (18, 19, 20) which generate by continuous numerical integration the acceleration, the velocity and the displacement path, wherein the output value of the last summation stage (20) is infed to the control circuit (RK) as the displacement path-reference value ( $s_{so11}$ ) and wherein for the determination of the braking initiation point there is provided a stop initiation device (STE) coacting with the control storage (FWS) and a floor site storage (SLS2) and generating a stop initiation signal, and where an arrival correction device (EK) related to the reference value generator (SWG) as well as a counter correction device (ZK) related to a car travel counter (14) of the actual value generator (IWG2) are provided, characterised thereby, that the stop initiation device (STE) contains a subtracter (24) in which a target error ( $s_{zn}$ ) can be evaluated out of a target point ( $zo$ ), allocated to the path of a travel curve (A), and a floor site ( $zo'$ ), allocated to a floor target, and the stop initiation signal can be produced, if the target error ( $s_{zn}$ ) is smaller than the difference of the paths of two adjacent travel curves (A, B), that the stop initiation device (STE) is connected to a stop correction device (STK), which contains a target error memory (SLS4) memorising the target error ( $s_{zn}$ ), which target error memory (SLS4) is connected to the control storage (FWS) by a target error comparator (27) and an evaluation device for time correction (28) as well as to the summation stage (20), creating the displacement path-reference value ( $s_{so11}$ ) of the reference value generator (SWG) by a residual error memory (SLS5), wherein the stop initiation can be delayed by a time ( $\Delta t$ ,  $\Delta t_i$ ) proportional to the target error ( $s_{zn}$ ) and wherein the target error ( $s_{zn}$ ) can be added to the displacement path-reference value ( $s_{so11}$ ) corresponding to the travel curve (A), that the arrival correction device (EK) contains a subtracter (33), whose output is connected to the residual error memory (SLS5), in which while landing a path error can be evaluated and fed to the summation stage (20) of the reference value generator (SWG), which path error is determined out of a car location point ( $ko$ ) corresponding to the actual car position and the floor site ( $zo'$ ), that the counter correction device (ZK) contains a subtracter (34) evaluating the stop error

when the car (5) is landing at a main station (enh), wherein the counter position of the car travel counter (14) of the actual value generator (IWG2) is adjustable to the floor site value (eo) of the main station (enh) corrected by the stop error and that, as is known, a current loop control cascaded by a velocity loop control is provided.

2. The drive control according to claim 1, characterised thereby, that the control storage (FWS) of the reference value generator (SWG) comprises a programmable read-only memory which can be connected by means of a data bus with a microprocessor, and which has operatively associated therewith a reference value-clock generator which is controlled by the clock generator of the microprocessor by means of a pulse scaler, wherein the stored threshold value of the jerk, the acceleration and stored threshold values of the velocity are associated with the individual reference value-cycles (n) of the reference value-clock generator and upon occurrence thereof can be recalled out of the control storage (FWS).

3. The drive control according to claim 1, characterised thereby, that the floor site storage (SLS2) is a buffered, alterable storage in the form of a random access memory having a voltage source (21) which is independent of the power line, in which there can be stored the floor site values (eo) corresponding to the floor numbers (en), and which possesses a logic device for incrementing the floor numbers (en) during upward travel and for decrementing the same during downward travel of the elevator car (5).

4. The drive control according to one of the claims 1 to 3, characterised thereby, that the stop initiation device (STE) comprises a target path-stepping storage (SLS3) in the form of a random access memory, which stores the differences ( $\Delta s_n$ ) of the paths ( $s_n, s_{n-1}$ ) of adjacent travel curves, wherein the target path steps ( $\Delta s_n$ ) corresponding to the differences can be recalled upon occurrence of the reference value cycles (n) and the target pathstepping storage (SLS3) is connected to the input of the subtracter (24) by means of a target path-step adder (22) and an adder (23) for the evaluation of the target point (zo), the output of which subtracter (24) is connected to the control storage (FWS) by means of an additional subtracter (25), creating the difference of the target error ( $s_{zn}$ ) and the target path-step ( $\Delta s_{n+1}$ ) of the next running reference cycle (n + 1), and a comparator (26), the target path-step adder (22), the adder (23), the subtracters (24, 25) and the comparator (26) being incorporated in the microprocessor.

5. The drive control according to claim 1 or 2 characterised thereby, that the target error memory (SLS4) and the residual error memory (SLS5) are of the random access memory type and the target error comparator (27) and the evaluation device for time correction (28) are incorporated in the microprocessor and wherein, when reaching the maximum velocity ( $v_A$ ) of the travel path defined by the stop initiation signal, the time delaying the stop initiation ( $\Delta t, \Delta t_i$ ) is calculated by dividing the target error ( $s_{zn}$ ) by the maximum

velocity ( $v_A$ ) and wherein a residual target error ( $s_{ZR}$ ) produced by the division operation is memorised in the residual error memory (SLS5) and where, per reference value cycle, part of the residual target error ( $s_{ZR}$ ) can be fetched from the residual error memory (SLS5) and where the values of the deceleration portion of the travel path can be fetched from the control storage (FWS).

6. The drive control according to claim 1, characterised thereby, that the pulse generator (12) correlated with the actual value generator (IWG2) of the position control circuit is drivably connected with the elevator car (5).

7. The drive control according to claim 1 or 6, characterised thereby, that the pulse generator (12) correlated to the actual value generator (IWG2) of the position control circuit is coupled to a speed governor (13) driven by the elevator car (5).

8. The drive control according to claim 1, characterised thereby, that an actual value generator (IWG1) of the velocity control circuit contains a second pulse generator (10) driven by the shaft of the driving machine (1) of the elevator, wherein the D/A-converter (9) is connected to the output of a subtracter (7) of the velocity control circuit and which forms a control error ( $\Delta v$ ).

9. The drive control according to claim 1, characterised thereby, that the reference control value of the velocity control circuit is the displacement path-control error ( $\Delta s$ ) of the position control circuit.

10. The drive control according to one of the claims 1 to 3, characterised thereby, that the arrival correction device (EK) possesses a switching device (29) fixed to the elevator car (5), which is connected by means of an input component to an arrival memory (SLS6) in the form of a data buffer, wherein upon occurrence of a pulse, produced by the switching device (29) immediately before the arrival at a target floor, the actual car location point (ko), determined by the car travel counter (14) of the actual value generator (IWG2), can be written into the arrival memory (SLS6), and wherein the arrival memory (SLS6) is connected to an adder (32), adding the actual car location point (ko) to a constant value, representing an amount corresponding to the arrival path (kb) and where the adder's (32) output is connected to an input of the subtracter (33), the adder (32) and the subtracter (33) being incorporated in the microprocessor.

11. The drive control according to one of the claims 1 to 3, characterised thereby, that one input of the subtracter (34) is connected to the adder (32) of the arrival correction device (EK) and the other input is connected to a data buffer (16), memorising the car location point (ko) at standstill, and that an additional adder (35) is provided whose first input is connected to the floor site storage (SLS2) and whose second input is connected to the output of the subtracter (34), wherein the output of the adder (35) is connected to the car travel counter (14) and wherein the subtracter (34) and the adder (35) are incorporated in the microprocessor.

## Revendications

1. Commande d'entraînement pour un ascenseur qui comprend un circuit de réglage (RK) composé d'un circuit de réglage de vitesse, d'un circuit de réglage de position, d'au moins un générateur d'impulsions (12) associé à un générateur de valeurs effectives (IWG2) du circuit de réglage de position et d'au moins un convertisseur numérique/analogique (9) et dans lequel est prévu un générateur de valeurs de consigne (SWG) engendrant une série de courbes de marche, lequel comporte une mémoire de commande (FWS) qui contient au moins des valeurs d'à-coups d'admissibles et des valeurs limites de l'accélération et qui est relié à trois étages sommateurs (18, 19, 20) engendrant l'accélération, la vitesse et le trajet par une intégration numérique continue, la grandeur de sortie du dernier étage sommateur (20) étant introduite en tant que valeur de consigne du trajet ( $s_{soil}$ ) au circuit de réglage (RK), tandis que, pour la détermination du point de mise en action du frein, est prévu un dispositif de déclenchement d'arrêt (STE) coopérant avec une mémoire d'emplacements des étages (SLS2) et avec la mémoire de commande (FWS) et engendrant un signal de déclenchement d'arrêt, un dispositif de correction d'arrivée (EK) relié au générateur de valeurs de consigne (SWG) ainsi qu'un dispositif de correction de compteur (ZK) qui est en liaison avec un compteur de trajet de cabine (14) du générateur de valeurs effectives (IWG2) étant en outre présents, caractérisée en ce que le dispositif de déclenchement d'arrêt (STE) comporte un soustracteur (24) dans lequel une erreur de destination ( $s_{zn}$ ) peut être déterminée, à partir d'un emplacement de destination (zo) associé au trajet d'une courbe de marche (A) et d'un emplacement d'étage (zo') associé à un étage de destination, et le signal de déclenchement d'arrêt peut être engendré lorsque l'erreur de destination ( $s_{zn}$ ) est plus petite que la différence des trajets de deux courbes de marche voisines (A, B), en ce que le dispositif de déclenchement d'arrêt (STE) est relié à un dispositif de correction d'arrêt (STK) comportant une mémoire d'erreurs de destination (SLS4) qui conserve l'erreur de destination ( $s_{zn}$ ) et qui est reliée, d'une part, par un comparateur d'erreurs de destination (27) et un déterminateur de temps de correction (28) à la mémoire de commande (FWS) et, d'autre part, par une mémoire d'erreurs résiduelles (SLS5), à l'étage sommateur (20) du générateur de valeurs de consigne (SWG) engendrant la valeur de consigne du trajet ( $s_{soil}$ ), le déclenchement de l'arrêt pouvant être retardé d'un temps ( $\Delta t$ ,  $\Delta t_i$ ) proportionnel à l'erreur de destination ( $s_{zn}$ ) et l'erreur de destination ( $s_{zn}$ ) pouvant être ajoutée à la valeur de consigne du trajet ( $s_{soil}$ ) correspondant à la courbe de marche (A), en ce que le dispositif de correction d'arrivée (EK) comporte un soustracteur (33) relié, par sa sortie, à la mémoire d'erreurs résiduelles (SLS5), soustracteur dans lequel, au moment de l'arrivée, peut être déterminé, à partir d'un emplacement de cabine (ko) correspondant à la position instantanée

de la cabine et de l'emplacement d'étage (zo'), une erreur de trajet, qui peut être introduite dans l'étage sommateur (20) du générateur de valeurs de consigne (SWG), en ce que le dispositif de correction de compteur (ZK) comporte un soustracteur (34) déterminant une erreur d'arrêt, lors de l'arrêt de la cabine d'ascenseur (5) à un point d'arrêt principal (enh), l'état du compteur de trajet de cabine (14) du générateur de valeurs effectives (IWG2) pouvant être ajusté sur l'emplacement d'étage (eo) du point d'arrêt principal (ENH) complété par l'erreur d'arrêt, et en ce qu'un circuit de régulation de courant est prévu, de manière connue en soi, sous la dépendance du circuit de réglage de vitesse.

2. Commande d'entraînement selon la revendication 1, caractérisée en ce que la mémoire de commande (FWS) du générateur de valeurs de consigne (SWG) est une mémoire fixe programmable qui est reliée par un bus de données, à un microprocesseur, et à laquelle est associé un générateur de rythme de valeurs de consigne commandé, par l'intermédiaire d'un circuit de démultiplication d'impulsions, par le générateur de rythme du microprocesseur, la disposition étant telle que les valeurs limites mémorisées des à-coups, de l'accélération, et des valeurs limites mémorisées de la vitesse sont associées aux différents rythmes de valeurs de consigne (n) du générateur de rythme de valeurs de consigne et, lors de l'apparition de ceux-ci, peuvent être extraites de la mémoire de commande (FWS).

3. Commande d'entraînement selon la revendication 1, caractérisée en ce que la mémoire d'emplacements des étages (SLS2) est une mémoire-tampon modifiable ayant la forme d'une mémoire vive d'écriture et de lecture comportant une source de tension (21) indépendante du réseau, dans laquelle les emplacements d'étages (eo) correspondant aux numéros (en) des étages sont mémorisés, et qui comporte un circuit logique pour incrémenter les numéros des étages (en) pendant la montée et pour décrémenter ceux-ci pendant la descente de la cabine d'ascenseur (5).

4. Commande d'entraînement selon l'une des revendications 1 à 3, caractérisée en ce que le dispositif de déclenchement d'arrêt (STE) comporte, sous la forme d'une mémoire vive d'écriture et de lecture, une mémoire des pas du trajet de destination (SLS3) conservant les différences ( $\Delta s_n$ ) des trajets ( $s_n$ ,  $s_{n-1}$ ) de courbes de marche voisines, les pas du trajet de destination ( $\Delta s_n$ ) correspondant aux différences pouvant être extraits à l'apparition des rythmes de valeurs de consigne (n) tandis que la mémoire des pas du trajet de destination (SLS3) est reliée, par un sommateur des pas du trajet de destination (22) et un additionneur (23) pour engendrer l'emplacement de destination (zo), à une entrée du soustracteur (24), dont la sortie est connectée, par un autre soustracteur (25) formant, à partir de l'erreur de destination ( $s_{zn}$ ) et du pas du trajet de destination ( $\Delta s_{n+1}$ ) de chaque rythme de valeur de consigne suivant (n+1) une différence et par un comparateur (26), à la mémoire de commande (FWS), le

sommateur des pas du trajet de destination (22), l'additionneur (23), les soustracteurs (24, 25) et le comparateur (26) étant formés par le microprocesseur.

5 5. Commande d'entraînement selon la revendication 1 ou 2, caractérisée en ce que la mémoire d'erreurs de destination (SLS4) et la mémoire d'erreurs résiduelles (SLS5) sont des mémoires vives d'écriture et de lecture, et le comparateur d'erreurs de destination (27) et le déterminateur de temps de correction (28) sont formés par le microprocesseur, ce qui fait que, lorsqu'est atteinte la vitesse de pointe ( $v_A$ ) de la courbe de marche déterminée par le signal de déclenchement d'arrêt, la durée de temporisation ( $\Delta t$ ,  $\Delta t_i$ ) du déclenchement de l'arrêt est calculée par division de l'erreur de destination ( $s_{zn}$ ) par la vitesse de pointe ( $v_A$ ) et une erreur de destination résiduelle ( $s_{zR}$ ) résultant de la division est conservée dans la mémoire d'erreurs résiduelles (SLS5), ce qui fait que selon le rythme de valeur de consigne, une partie de l'erreur de destination résiduelle ( $s_{zR}$ ) peut être extraite de la mémoire d'erreurs résiduelles (SLS5), et les valeurs constituant la partie de temporisation de la courbe de marche peuvent être extraites de la mémoire de commande (FWS).

6. Commande d'entraînement selon la revendication 1, caractérisée en ce que le générateur d'impulsions (12) associé au générateur de valeurs effectives (IWG2) du circuit de réglage de position, est relié à la cabine d'ascenseur (5) de façon à être entraîné par celle-ci.

7. Commande d'entraînement selon la revendication 1 ou 6, caractérisée en ce que le générateur d'impulsions (12) associé au générateur de valeurs effectives (IWG2) du circuit de réglage de position, est accouplé à un régulateur de vitesse (13) entraîné par la cabine d'ascenseur (5).

8. Commande d'entraînement selon la revendication 1, caractérisée en ce qu'un générateur de valeurs effectives (IWG1) du circuit de réglage de vitesse comporte un second générateur d'impulsions (10) commandé par l'arbre du moteur (1) de l'ascenseur, tandis que le convertisseur numé-

rique/analogique (9) est monté à la sortie d'un soustracteur (7) du circuit de réglage de vitesse formant un écart de réglage ( $\Delta v$ ).

9. Commande d'entraînement selon la revendication 1, caractérisée en ce que la grandeur de commande du circuit de réglage de vitesse est l'écart de réglage de trajet ( $\Delta s$ ) du circuit de réglage de position.

10. Commande d'entraînement selon l'une des revendications 1 à 3, caractérisée en ce que le dispositif de correction d'arrivée (EK) comporte un dispositif de commutation (29) monté sur la cabine d'ascenseur (5) et qui, par l'intermédiaire d'un composant d'entrée, est relié à une mémoire d'arrivée (SLS6) sous forme d'une mémoire-tampon, ce qui fait que, lors de l'apparition d'une impulsion du circuit de commutation (29), générée peu avant l'arrivée à un étage de destination, l'emplacement instantané ( $ko$ ) de la cabine, déterminé par le compteur de trajet de cabine (14) du générateur de valeurs effectives (IWG2) peut être inscrit dans la mémoire d'arrivée (SLS6), et la mémoire d'arrivée (SLS6) est reliée à un additionneur (32) qui ajoute l'emplacement instantané ( $ko$ ) de la cabine à une grandeur constante ( $kb$ ) correspondant à la distance d'arrivée et dont la sortie est en liaison avec une entrée du soustracteur (33), l'additionneur (32) et le soustracteur (33) étant formés par le microprocesseur.

11. Commande d'entraînement selon l'une des revendications 1 à 3, caractérisée en ce que l'une des entrées du soustracteur (34) est en liaison avec la sortie de l'additionneur (32) du dispositif de correction d'arrivée (EK), tandis que l'autre entrée est en liaison avec une mémoire-tampon (16) conservant, à l'arrêt, l'emplacement ( $ko$ ) de la cabine, et en ce qu'il est prévu un additionneur supplémentaire (35) dont l'une des entrées est reliée à la mémoire d'emplacements des étages (SLS2) et dont l'autre entrée est connectée à la sortie du soustracteur (34), tandis que la sortie de l'additionneur (35) est connectée au compteur de trajet de cabine (14), le soustracteur (34) et l'additionneur (35) étant formés par le microprocesseur.

50

55

60

65

11

Fig.1

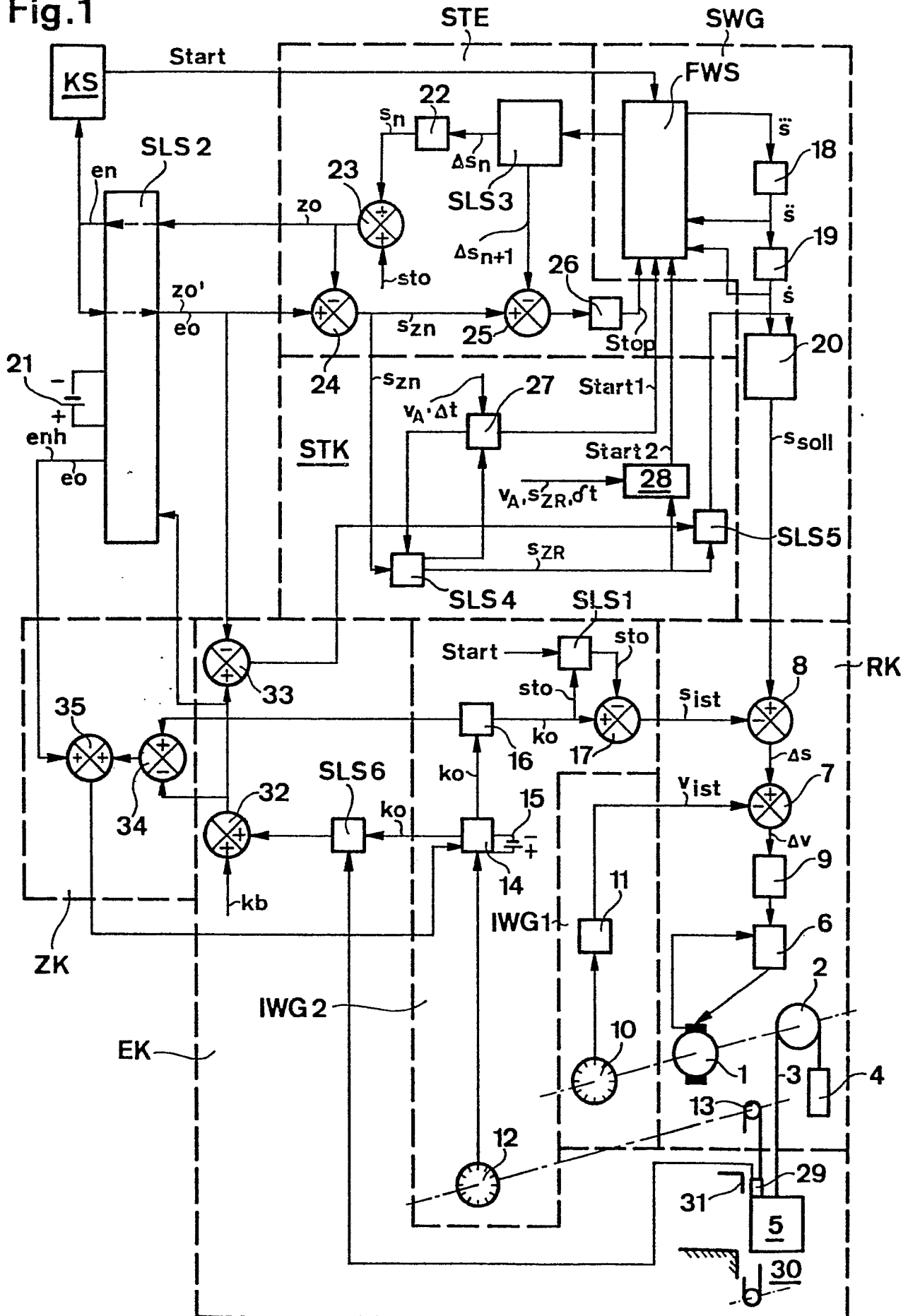


Fig.2

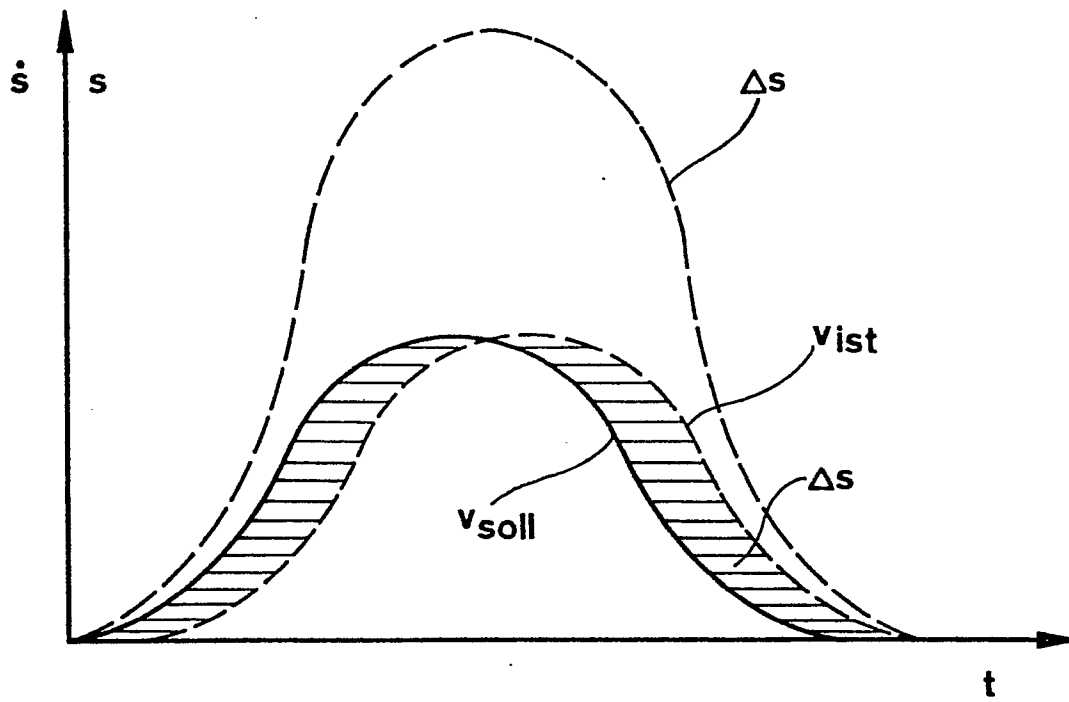


Fig.4

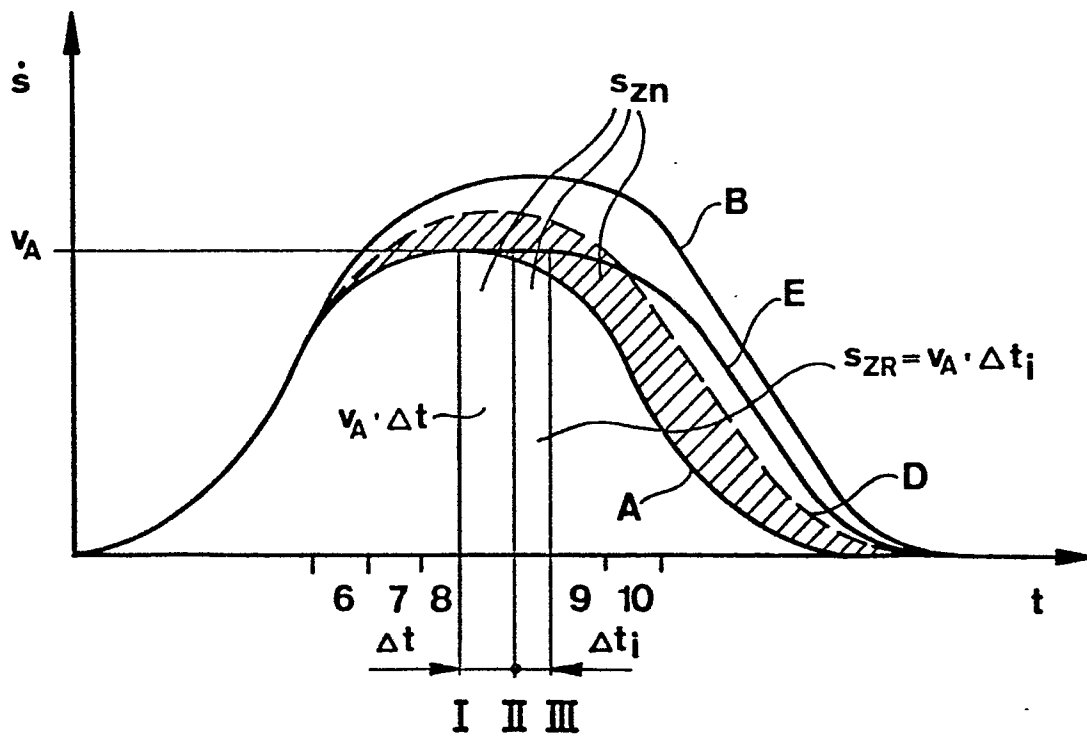


Fig.3

