

(19)



URZĄD  
PATENTOWY  
RZECZYPOSPOLITEJ  
POLSKIEJ

(10) **PL 242885 B3**

## (12) **Opis patentowy**

(21) Numer zgłoszenia: **425584**

(22) Data zgłoszenia: **2018.05.17**

(43) Data publikacji o zgłoszeniu: **2019.11.18 BUP 24/2019**

(45) Data publikacji **2023.05.08 WUP 19/2023**

(51) MKP:

**G06F 7/58** (2006.01)

**H03K 3/84** (2006.01)

(61) Patent dodatkowy do patentu:  
**237197**

(73) Uprawniony z patentu:  
**POLITECHNIKA WARSZAWSKA, Warszawa, PL**

(72) Twórca(-y) wynalazku:  
**KRZYSZTOF GOŁOFIT, Warszawa, PL**  
**PIOTR WIECZOREK, Warszawa, PL**

(74) Pełnomocnik:  
**Oliwia Czarnocka, Warszawa, PL**

(54) Tytuł:

**Generator losowy**

**PL 242885 B3**

## Opis wynalazku

Przedmiotem wynalazku jest generator losowy przeznaczony zwłaszcza do generacji liczb i ciągów liczbowych prawdziwie losowych.

Znany jest w technice, np. z publikacji Piotra Z. Wieczorka, „Secure TRNG with Random Phase Stimulation”, XL-th IEEE-SPIE Joint Symposium on Photonics, Web Engineering, Electronics for Astronomy and High Energy Physics Experiments, Wilga 2017, SPIE volume 10445, ISBN: 9781510613546, Electronic ISBN: 9781510613553, generator losowy, który zawiera dwa generatory pierścieniowe oraz układ metastabilnościowy. Wyjścia generatorów pierścieniowych dołączone są do wejść układu metastabilnościowego, natomiast wyjście układu metastabilnościowego jest wyjściem generatora losowego.

Przedmiotem polskiego opisu patentowego nr 237917 jest generator losowy zawierający układ metastabilnościowy oraz detektor fazy, których wejścia są dołączone do wyjść generatorów pierścieniowych, z których przynajmniej jeden jest generatorem pierścieniowym z regulowaną szybkością. Wyjście detektora fazy jest dołączone do wejścia sterującego przynajmniej jednego generatora pierścieniowego z regulowaną szybkością, a wyjście układu metastabilnościowego dołączone jest do wyjścia generatora losowego.

Celem wynalazku jest zapewnienie niedeterministycznej inicjalizacji procesu metastabilnościowego, wywołanie procesu korekcji fazy oraz uzyskanie losowego zaburzenia działania procesu korekcji fazy tak, by za pomocą jednego urządzenia uzyskać dwa niezależne sygnały losowe.

W rozwiązaniu wg wynalazku generator losowy zawierający układ metastabilnościowy, którego wyjście jest dołączone do wyjścia generatora losowego oraz zawierający dwa generatory pierścieniowe, których wyjścia dołączone są do wejść układu metastabilnościowego, posiadający detektor fazy, którego wejścia dołączone są do wyjść generatorów pierścieniowych, gdzie przynajmniej jeden generator pierścieniowy jest generatorem pierścieniowym z regulowaną szybkością, a wyjście detektora fazy dołączone jest do przynajmniej jednego wejścia sterującego generatorów pierścieniowych z regulowaną szybkością, według patentu nr Pat.237197, i charakteryzuje się tym, że ponadto zaopatrzony w drugie wyjście dołączone do wyjścia detektora fazy oraz zawiera układ sterujący, przy czym wyjście detektora fazy dołączone jest do wejścia sterującego przynajmniej jednego generatora pierścieniowego z regulowaną szybkością przez układ sterujący.

Układ sterujący korzystnie jest wyposażony w drugie wejście dołączone do wyjścia układu metastabilnościowego.

Korzystnie przynajmniej jeden generator pierścieniowy zawiera przynajmniej jedną linię opóźniającą, której wejście i wyjście są ze sobą połączone i dołączone do wyjścia generatora pierścieniowego, przy czym linia opóźniająca zawiera elementy opóźniające połączone szeregowo.

Korzystnie przynajmniej jeden generator pierścieniowy z regulowaną szybkością zawiera przynajmniej jedną linię opóźniającą której wejście i wyjście są ze sobą połączone i dołączone do wyjścia generatora z regulowaną szybkością. Linia ta zawiera elementy opóźniające połączone w szereg.

Korzystnie przynajmniej jeden generator pierścieniowy z regulowaną szybkością zawiera przynajmniej jeden dodatkowy element opóźniający, dołączany do wybranego miejsca linii opóźniającej przy pomocy klucza, którego wejście sterujące dołączone ma do wejścia sterującego generatora pierścieniowego z regulowaną szybkością.

Alternatywnie przynajmniej jeden generator pierścieniowy zawiera przynajmniej jedną linię opóźniającą, w którą został włączony szeregowo przynajmniej jeden sterowany element opóźniający, zaś wejście sterujące sterowanego elementu opóźniającego dołączone jest do wejścia sterującego generatora pierścieniowego z regulowaną szybkością.

Sterowany element opóźniający korzystnie ma przynajmniej dwa tranzystory połowę o przeciwnym typie przewodnictwa, których dreny i źródła są parami połączone. Jedna para dołączona jest do wejścia sterowanego elementu opóźniającego. Druga para dołączona jest do wyjścia sterowanego elementu opóźniającego. Wejście sterujące sterowanego elementu opóźniającego dołączone jest do bramek obydwu tranzystorów połowych.

W tranzystorach połowych stosunek długości do szerokości kanału jednego tranzystora korzystnie przewyższa stosunek długości do szerokości kanału drugiego tranzystora.

Alternatywnie w szereg z przynajmniej jednym z tranzystorów połowych włączony został przynajmniej jeden element opóźniający.

Pomiędzy bramki tranzystorów polowych a wejście sterujące sterowanego elementu opóźniającego korzystnie włączony został przynajmniej jeden inwerter.

Układ sterujący korzystnie ma przynajmniej jeden element opóźniający. Można zastosować dwa lub więcej elementów opóźniających połączonych w szereg aby regulować wartość opóźnienia za pomocą standardowych komponentów.

Układ sterujący korzystnie stanowi bramka dodawania losowości, której pierwsze wejście stanowi wejście danych losowych układu sterującego, drugie wejście stanowi wejście sygnałowe układu sterującego, a wyjście bramki dodawania losowości stanowi wyjście układu sterującego.

W układzie sterującym bramka dodawania losowości ma korzystnie pierwsze wejście dołączone do wejścia danych losowych układu sterującego przez układ bramkujący, a do układu bramkującego dołączony jest układ sterowania bramkowaniem.

W układzie sterującym drugie wejście bramki dodawania losowości oraz jej wyjście korzystnie połączone są w szereg z co najmniej jednym elementem opóźniającym, przy czym wejście pierwszego w szeregu elementu dołączone jest do wejścia sygnałowego układu sterującego, a wyjście ostatniego w szeregu elementu dołączone jest do wyjścia układu sterującego.

Korzystnie pierwsze wejście bramki dodawania losowości jest dołączone do wejścia danych losowych układu sterującego przez układ bramkujący, zaś do układu bramkującego jest dołączony układ sterowania bramkowaniem, a drugie wejście bramki dodawania losowości oraz jej wyjście połączone są w szereg z co najmniej jednym elementem opóźniającym. Wejście pierwszego w szeregu elementu dołączone jest do wejścia sygnałowego układu sterującego, a wyjście ostatniego w szeregu elementu dołączone jest do wyjścia układu sterującego.

Detektor fazy korzystnie zawiera przerzutnik o dwóch wejściach stanowiących wejścia detektora fazy i wyjściu stanowiącym wyjście detektora fazy.

Alternatywnie detektor fazy ma dwa przerzutniki o dwóch wejściach i dwóch wyjściach każdy, ma wejścia przerzutników dołączone do wejść detektora fazy, ma wyjścia przerzutników dołączone do wyjść detektora fazy, przy czym pierwsze wejście detektora fazy dołączone ma jednocześnie do pierwszego wejścia pierwszego przerzutnika i drugiego wejścia drugiego przerzutnika, drugie wejście detektora fazy dołączone ma jednocześnie do drugiego wejścia pierwszego przerzutnika i pierwszego wejścia drugiego przerzutnika, a wyjście detektora fazy dołączone ma do wybranych wyjść przerzutników przez układ logiczny.

Układ metastabilnościowy korzystnie stanowi przerzutnik o dwóch wejściach stanowiących wejścia układu metastabilnościowego i wyjściu stanowiącym wyjście układu metastabilnościowego.

Układ metastabilnościowy korzystnie zawiera układ metastabilnościowy z oscylacyjną odpowiedzią impulsową o dwóch wejściach stanowiących wejścia układu metastabilnościowego i wyjściu stanowiącym wyjście układu metastabilnościowego.

W układzie metastabilnościowym układ metastabilnościowy z oscylacyjną odpowiedzią impulsową korzystnie ma wyjście dołączone do wyjścia układu metastabilnościowego przez sumator oraz korzystnie ma układ liczący, którego wyjścia dołączone są do kolejnych wejść sumatora, a którego wejście dołączone jest do wyjścia układu metastabilnościowego z oscylacyjną odpowiedzią impulsową.

Alternatywnie układ metastabilnościowy ma generator metastabilnościowych interwałów czasowych o wejściach dołączonych do wejść układu metastabilnościowego oraz wyjściach dołączonych do wejść arbitra, którego wyjścia dołączone ma do wyjść układu metastabilnościowego przez układ logiczny.

Alternatywnie układ metastabilnościowy ma generator metastabilnościowych interwałów czasowych, który ma dwa przerzutniki o dwóch wejściach i pojedynczych wyjściach, ma arbiter, który ma dwa przerzutniki o dwóch wejściach i dwóch wyjściach każdy, oraz ma układ logiczny. Wejścia przerzutników generatora metastabilnościowych interwałów czasowych dołączone są do wejść układu metastabilnościowego w taki sposób, że pierwsze wejście układu metastabilnościowego dołączone jest jednocześnie do pierwszego wejścia pierwszego przerzutnika i pierwszego wejścia drugiego przerzutnika, drugie wejście układu metastabilnościowego dołączone jest jednocześnie do drugiego wejścia pierwszego przerzutnika i drugiego wejścia drugiego przerzutnika. Wyjścia przerzutników generatora metastabilnościowych interwałów czasowych dołączone są do wejść przerzutników arbitra w taki sposób, że wyjście pierwszego przerzutnika generatora metastabilnościowych interwałów czasowych dołączone jest jednocześnie do pierwszego wejścia pierwszego przerzutnika arbitra i drugiego wejścia drugiego przerzutnika arbitra, wyjście drugiego przerzutnika generatora metastabilnościowych interwałów czasowych dołączone jest jednocześnie do drugiego wejścia pierwszego przerzutnika arbitra

i pierwszego wejścia drugiego przerzutnika arbitra, natomiast wyjście układu metastabilnościowego dołączone jest do wybranych wyjść przerzutników arbitra przez układ logiczny.

Wynalazek umożliwia jednoczesną generację dwóch niezależnych ciągów liczb losowych – pierwszy dzięki korekcji i niestabilności korekcji fazy generatorów pierścieniowych, drugi dzięki niestabilności rozwiązania procesu metastabilnościowego. Nowe wyjście daje ponadto możliwość kontroli procesu korekcji fazy, jak również możliwość kontroli warunków, jakości i parametrów inicjalizacji procesu metastabilnościowego.

Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat blokowy generatora losowego z generatorem pierścieniowym i generatorem pierścieniowym z regulowaną szybkością, układem metastabilnościowym oraz detektorem fazy, fig. 2 przedstawia schemat blokowy generatora losowego z dwoma generatorami pierścieniowymi z regulowaną szybkością, układem metastabilnościowym, detektorem fazy oraz układem sterującym o pojedynczym wejściu, fig. 3 przedstawia schemat blokowy generatora losowego z generatorem pierścieniowym i generatorem pierścieniowym z regulowaną szybkością, układem metastabilnościowym, detektorem fazy oraz układem sterującym o dwóch wejściach, fig. 4 przedstawia schemat blokowy generatora losowego z dwoma generatorami pierścieniowymi z regulowaną szybkością, układem metastabilnościowym, detektorem fazy oraz układem sterującym o dwóch wejściach, fig. 5 przedstawia schemat blokowy generatora pierścieniowego, fig. 6 przedstawia schemat blokowy pierwszego generatora pierścieniowego z regulowaną szybkością, fig. 7 przedstawia schemat blokowy drugiego generatora pierścieniowego z regulowaną szybkością, fig. 8 przedstawia schemat blokowy trzeciego generatora pierścieniowego z regulowaną szybkością, fig. 9 przedstawia schemat blokowy sterowanego elementu opóźniającego zawierającego dwa tranzystory połowę, fig. 10 przedstawia schemat blokowy sterowanego elementu opóźniającego zawierającego dwa tranzystory połowę oraz dodatkowe opóźnienia włączone w szereg z jednym tranzystorem połowym, fig. 11 przedstawia schemat blokowy sterowanego elementu opóźniającego z inwersją sygnału sterowania, fig. 12 przedstawia schemat blokowy układu sterującego zbudowanego z elementów opóźniających, fig. 13 przedstawia schemat blokowy układu sterującego zbudowanego z bramki dodawania losowości, fig. 14 przedstawia schemat blokowy układu sterującego zbudowanego z bramki dodawania losowości oraz układu bramkującego, fig. 15 przedstawia schemat blokowy układu sterującego zbudowanego z bramki dodawania losowości oraz elementów opóźniających, fig. 16 przedstawia schemat blokowy układu sterującego zbudowanego z bramki dodawania losowości, układu bramkującego i elementów opóźniających, fig. 17 przedstawia schemat blokowy detektora fazy zbudowanego z jednego przerzutnika, fig. 18 przedstawia schemat blokowy detektora fazy zbudowanego z dwóch przerzutników, fig. 19 przedstawia schemat blokowy układu metastabilnościowego zbudowanego z przerzutnika, fig. 20 przedstawia schemat blokowy układu metastabilnościowego zbudowanego z układu metastabilnościowego z oscylacyjną odpowiedzią impulsową, fig. 21 przedstawia schemat blokowy układu metastabilnościowego zbudowanego z układu metastabilnościowego z oscylacyjną odpowiedzią impulsową oraz sumatora, fig. 22 przedstawia schemat blokowy układu metastabilnościowego zbudowanego z układu metastabilnościowego z oscylacyjną odpowiedzią impulsową, sumatora i układu liczącego, natomiast fig. 23 – schemat blokowy układu metastabilnościowego zbudowanego z generatora metastabilnościowych interwałów czasowych oraz arbitra.

Generator losowy przedstawiony na fig. 1 zawiera generator pierścieniowy GP oraz generator pierścieniowy z regulowaną szybkością GPRS, których wyjścia o-GP i o-GPRS dołączone są do wejść i1-DF i i2-DF detektora fazy DF oraz do wejść i1-UM i i2-UM układu metastabilnościowego UM. Wyjście detektora fazy o-DF dołączone jest do wejścia sterującego generatora pierścieniowego z regulowaną szybkością s-GPRS. Wyjście o-UM układu metastabilnościowego UM dołączone jest do pierwszego wyjścia o-GL generatora losowego GL. Drugie wyjście o2-GL generatora losowego GL dołączone jest do wyjścia o-DF detektora fazy DF.

Detektor fazy DF przełącza częstotliwość generatora pierścieniowego z regulowaną szybkością GPRS cyklicznie zmieniając lub synchronizując fazę obydwu generatorów GP i GPRS. Bliskość faz generatorów oznacza czasową bliskość zboczy generowanych sygnałów, które służą do pobudzenia układu metastabilnościowego UM, który wytwarza zjawisko losowe.

Na dwóch wyjściach generatora uzyskuje się dwa niezależne ortogonalne binarne strumienie losowe. Zmienne losowe na wyjściach o-GL i o2-GL generatora losowego GL są niezależne, ponieważ uzyskuje się je w dwóch różnych procesach układowych – jeden w układzie korekcji fazy, drugi w układzie metastabilnościowym. Drugie wyjście o2-GL zapewnia dodatkowo możliwość kontroli pro-

cesu korekcji fazy, jak również możliwość kontroli warunków, jakości i parametrów inicjalizacji procesu metastabilnościowego przez układ korekcji fazy.

Generator losowy przedstawiony na fig. 2 zawiera dwa generatory pierścieniowe z regulowaną szybkością GPRS i GPRS', których wyjścia o-GPRS i o-GPRS' dołączone są do wejść i1-DF i i2-DF detektora fazy DF oraz do wejść i1-UM i i2-UM układu metastabilnościowego UM. Wyjście detektora fazy o-DF dołączone jest do wejścia i-US układu sterującego US, a wyjście układu sterującego o-US dołączone jest do wejść sterujących generatorów pierścieniowych z regulowaną szybkością s-GPRS i s-GPRS' cyklicznie zmieniając lub synchronizując fazę obydwu generatorów. Wyjście o-UM układu metastabilnościowego UM dołączone jest do pierwszego wyjścia o-GL generatora losowego GL. Drugie wyjście o2-GL generatora losowego GL dołączone jest do wyjścia o-DF detektora fazy DF.

Opóźnienie wprowadzane przez układ sterujący US do pętli sterowania fazą generatorów zwiększa zakres przesunięć fazowych. Zastosowanie drugiego generatora pierścieniowego z regulowaną szybkością GPRS', pracującego przeciwnie w stosunku do pierwszego generatora pierścieniowego z regulowaną szybkością GPRS, poprawia zbieżność faz generatorów.

Generator losowy przedstawiony na fig. 3 zawiera generator pierścieniowy GP oraz generator pierścieniowy z regulowaną szybkością GPRS, których wyjścia o-GP i o-GPRS dołączone są do wejść i1-DF i i2-DF detektora fazy DF oraz do wejść i1-UM i i2-UM układu metastabilnościowego UM. Wyjście detektora fazy o-DF dołączone jest do głównego wejścia i-US' układu sterującego US', wyjście układu metastabilnościowego o-UM dołączone jest do dodatkowego wejścia układu sterującego r-US', a wyjście układu sterującego o-US' dołączone jest do wejścia sterującego generatora pierścieniowego z regulowaną szybkością s-GPRS. Wyjście o-UM układu metastabilnościowego UM dołączone jest do pierwszego wyjścia o-GL generatora losowego GL. Drugie wyjście o2-GL generatora losowego GL dołączone jest do wyjścia o-DF detektora fazy DF.

Dzięki zastosowaniu dodatkowego wejścia układu sterującego r-US' do układu złożonego z generatorów GP i GPRS, detektora fazy DF i układu sterującego US' może być dodawany sygnał losowy wytwarzany przez układ metastabilnościowy UM.

Generator losowy przedstawiony na fig. 4 zawiera dwa generatory pierścieniowe z regulowaną szybkością GPRS i GPRS', których wyjścia o-GPRS i o-GPRS' dołączone są do wejść i1-DF i i2-DF detektora fazy DF oraz do wejść i1-UM i i2-UM układu metastabilnościowego UM. Wyjście detektora fazy o-DF dołączone jest do głównego wejścia i-US' układu sterującego US', wyjście układu metastabilnościowego o-UM dołączone jest do dodatkowego wejścia układu sterującego r-US', a wyjście układu sterującego o-US' dołączone jest do wejść sterujących generatorów pierścieniowych z regulowaną szybkością s-GPRS i s-GPRS'. Wyjście o-UM układu metastabilnościowego UM dołączone jest do pierwszego wyjścia o-GL generatora losowego GL. Drugie wyjście o2-GL generatora losowego GL dołączone jest do wyjścia o-DF detektora fazy DF.

Za stosowanie drugiego generatora pierścieniowego z regulowaną szybkością GPRS', pracującego przeciwnie w stosunku do pierwszego generatora pierścieniowego z regulowaną szybkością GPRS, poprawia zbieżność faz generatorów.

Generator pierścieniowy przedstawiony na fig. 5 zawiera linię opóźniającą LO, której wejście i-LO i wyjście o-LO są ze sobą połączone i dołączone do wyjścia o-GP generatora pierścieniowego GP. Linia opóźniająca LO zawiera elementy opóźniające EO połączone w szereg.

Liczba elementów opóźniających oraz opóźnienie wprowadzane przez każdy element opóźniający determinują podstawową częstotliwość pracy generatora pierścieniowego GP. Częstotliwość podstawowa jest obciążona niestałością, wynikającą ze zjawisk fizycznych – typowych dla układów elektronicznych (zjawiska szumowe, termiczne, jitter itp.).

Generator pierścieniowy z regulowaną szybkością przedstawiony na fig. 6 zawiera linię opóźniającą LO, której wejście i-LO i wyjście o-LO są ze sobą połączone i dołączone do wyjścia o-GPRS generatora pierścieniowego z regulowaną szybkością GPRS. Linia opóźniająca LO zawiera elementy opóźniające EO połączone w szereg. Pomiędzy wybranymi elementami opóźniającymi EO linia opóźniająca LO ma dołączony element wprowadzający opóźnienie w postaci kondensatora C, który jedną końcówką jest dołączony do tej linii przy pomocy klucza KL. Druga końcówka kondensatora C dołączona jest do masy układu GND. Wejście sterujące klucza KL dołączone jest do wejścia sterującego generatora s-GPRS.

Generator GPRS posiada dwie podstawowe częstotliwości pracy, a wybór jednej z nich dokonywany jest przez sygnał sterujący generatora s-GPRS. Podstawowe częstotliwości pracy zależą od liczby elementów opóźniających EO składających się na linię opóźniającą LO, od opóźnienia

wprowadzanego przez każdy element opóźniający EO oraz od opóźnienia wprowadzanego przez dołączenie kondensatora C powodujące wolniejsze przełączanie się sąsiadujących z nim elementów opóźniających EO. Częstotliwości podstawowe generatora są obciążone niestałością, wynikającą ze zjawisk fizycznych – typowych dla układów elektronicznych (zjawiska szumowe, termiczne, jitter itp.).

Generator pierścieniowy z regulowaną szybkością przedstawiony na fig. 7 ma budowę taką jak układ z fig. 6, z tą różnicą, że klucz KL' ma działanie przeciwne do klucza KL. Odwrotne działanie klucza powoduje, że wybrana częstotliwość pracy generatora GPRS' jest przeciwna w stosunku do częstotliwości wybranej w generatorze GPRS.

Generator pierścieniowy z regulowaną szybkością przedstawiony na fig. 8 zawiera linię opóźniającą LO, której wejście i-LO i wyjście o-LO są ze sobą połączone i dołączone do wyjścia o-GPRS generatora pierścieniowego z regulowaną szybkością GPRS. Linia opóźniająca LO zawiera elementy opóźniające EO połączone w szereg. Pomiędzy wybranymi elementami opóźniającymi EO linia opóźniająca LO ma włączony sterowany element opóźniający T, którego wejście sterujące s-T dołączone jest do wejścia sterującego s-GPRS generatora pierścieniowego z regulowaną szybkością GPRS.

Generator GPRS posiada dwie podstawowe częstotliwości pracy, a wybór jednej z nich dokonywany jest przez sygnał sterujący generatora s-GPRS. Podstawowe częstotliwości pracy zależą od liczby elementów opóźniających EO składających się na linię opóźniającą LO, od opóźnienia wprowadzanego przez każdy element opóźniający EO oraz od opóźnienia wprowadzanego przez sterowany element opóźniający T, które wybierane jest przy pomocy sygnału logicznego doprowadzonego do wejścia sterującego s-GPRS generatora pierścieniowego z regulowaną szybkością GPRS, a zatem i do wejścia sterującego s-T sterowanego elementu opóźniającego T.

Liczba elementów opóźniających EO w liniach opóźniających LO pary generatorów pierścieniowych z regulowaną szybkością GPRS determinuje częstość korekcji fazy przez detektor fazy dołączony do wyjść tych generatorów. Natomiast różnica opóźnień wprowadzanych przez sterowany element opóźniający T determinuje zakres wielkości różnicy faz pary generatorów. Dodatkowo częstotliwości podstawowe generatora pierścieniowego z regulowaną szybkością GPRS są obciążone niestałością, wynikającą ze zjawisk fizycznych – typowych dla układów elektronicznych (zjawiska szumowe, termiczne, jitter itp.).

Sterowany element opóźniający przedstawiony na fig. 9 zawiera dwa tranzystory połowę o przeciwnym typie przewodnictwa P, N. Źródła tranzystorów są ze sobą połączone i dołączone do wejścia i-T sterowanego elementu opóźniającego T, dreny tranzystorów są ze sobą połączone i dołączone do wyjścia o-T sterowanego elementu opóźniającego T, natomiast bramki tranzystorów są ze sobą połączone i dołączone do wejścia sterującego s-T sterowanego elementu opóźniającego T.

Symetryczność budowy tranzystora połowego pozwala na zamianę miejscami jego końcówek, drenu i źródła. Przeciwny typ przewodnictwa tranzystorów, sterowanych tym samym sygnałem logicznym dołączonym do bramek obydwu tranzystorów, powoduje że zero logiczne wyłącza jeden tranzystor N i włącza drugi P, podczas gdy jedynka logiczna czyni odwrotnie. Przy identycznej geometrii tranzystorów, jeden z nich P wprowadza nieco większe opóźnienie pomiędzy wejściem i-T a wyjściem o-T sterowanego elementu opóźniającego T. Zmiana geometrii kanałów tranzystorów, w szczególności istotne wydłużenie jednego z kanałów, wprowadza silnie asymetryczną pracę tranzystorów pod względem wprowadzanego opóźnienia. Odwrócenie długości kanałów w innej parze tranzystorów, zawartych w innym sterowanym elemencie opóźniającym, włączonym w szereg elementów opóźniających innego generatora pierścieniowego z regulowaną szybkością, zapewnia komplementarne sterowanie parą takich generatorów, w których ten sam sygnał sterujący wywołuje przeciwny skutek w każdym z nich.

Sterowany element opóźniający przedstawiony na fig. 10 ma budowę taką jak układ z fig. 9, z tą różnicą, że w szereg z jednym tranzystorem P, to znaczy pomiędzy tym tranzystorem P a wyjściem o-T sterowanego elementu opóźniającego T, włączone zostały szeregowo dwa elementy opóźniające EO.

Włączenie dodatkowych elementów opóźniających EO zapewnia dodatkowe opóźnienie pomiędzy wejściem i-T a wyjściem o-T sterowanego elementu opóźniającego T jedynie dla jednego stanu logicznego sygnału sterującego s-T. Takie same elementy opóźniające włączone w szereg z drugim tranzystorem w innej parze tranzystorów, zawartych w innym sterowanym elemencie opóźniającym, włączonym w szereg elementów opóźniających innego generatora pierścieniowego z regulowaną szybkością, zapewniają komplementarne sterowanie parą takich generatorów, w których ten sam sygnał sterujący wywołuje przeciwny skutek w każdym z nich.

Sterowany element opóźniający przedstawiony na fig. 11 ma budowę taką jak układ z fig. 9, z tą różnicą, że pomiędzy bramki tranzystorów polowych P i N a wejście sterujące s-T sterowanego elementu opóźniającego T włączony został inwerter Inv.

Za stosowanie inwertera Inv w tylko jednym z dwóch sterowanych elementów opóźniających, posiadających identyczną budowę wewnętrzną, włączonych w szeregi elementów opóźniających linii opóźniających dwóch generatorów pierścieniowych z regulowaną szybkością, zapewnia komplementarne sterowanie parą takich generatorów, w których ten sam sygnał sterujący wywołuje przeciwny skutek w każdym z nich.

Układ sterujący przedstawiony na fig. 12 zawiera dwuelementowy szereg złożony z elementów opóźniających EO dołączony pomiędzy wejściem i-US i wyjściem o-US układu sterującego US.

Szereg elementów opóźniających EO wprowadza opóźnienie w sprzężeniu zwrotnym, tj. opóźnienie w przekazywaniu sygnału sterowania korekcją fazy, dzięki czemu zwiększa zakres przesunięć fazowych.

Układ sterujący przedstawiony na fig. 13 stanowi bramka dodawania losowości XOR', której pierwsze wejście stanowi wejście danych losowych r-US' układu sterującego US', drugie wejście bramki stanowi wejście sygnałowe układu sterującego i-US', a wyjście bramki stanowi wyjście układu sterującego o-US'.

Bramka XOR' wprowadza opóźnienie dla sygnału przekazywanego pomiędzy wejściem i-US' i wyjściem o-US' oraz dodaje do tego sygnału wartość losową dostarczaną do wejścia danych losowych układu sterującego r-US'.

Układ sterujący przedstawiony na fig. 14 ma budowę taką jak układ z fig. 13, w którym pierwsze wejście bramki dodawania losowości XOR' dołączone jest do wejścia danych losowych układu sterującego r-US' przez układ bramkujący AND' oraz do układu bramkującego AND' dołączony jest układ sterowania bramkowaniem LCZ'.

Układ bramkujący AND' wraz z układem sterowania bramkowaniem LCZ' dopuszczają jedynie wybrane wartości losowe dostarczane do wejścia danych losowych układu sterującego r-US'. Na przykład układ sterowania bramkowaniem LCZ' może być wykonany w postaci licznika, który będzie dopuszczał jedynie co którąś wartość losową.

Układ sterujący przedstawiony na fig. 15 ma budowę taką jak układ z fig. 14, w którym wyjście bramki dodawania losowości XOR' dołączone jest do wyjścia układu sterującego o-US' przez dwuelementowy szereg złożony z elementów opóźniających EO.

Szereg elementów opóźniających EO wraz z bramką dodawania losowości XOR' wprowadzają dodatkowe opóźnienie dla sygnału przekazywanego pomiędzy wejściem i-US' i wyjściem o-US' układu sterującego. Opóźnienie to wpływa na charakterystykę korekcji fazy w układzie. Miejsce dołączenia bramki dodawania losowości XOR' względem elementów opóźniających EO, będące miejscem w szeregu elementów pomiędzy wejściem sygnałowym i-US' a wyjściem układu sterującego o-US', wpływa na moment wprowadzenia losowości do układu korekcji fazy.

Układ sterujący przedstawiony na fig. 16 jest połączeniem układów sterujących z fig. 14 oraz fig. 15, za wyjątkiem miejsca dołączenia bramki dodawania losowości XOR' względem elementów opóźniających EO, która w tym układzie znajduje się pomiędzy elementami opóźniającymi.

Detektor fazy przedstawiony na fig. 17 stanowi przerzutnik P o dwóch wejściach D i C stanowiących wejścia i1-DF i i2-DF detektora fazy DF i wyjściu Q stanowiącym wyjście detektora fazy o-DF.

W zależności od tego, czy narastające zbocze na wejściu D przerzutnika nadejdzie przed czy po narastającym zboczem na wejściu C przerzutnika, na wyjściu Q pojawi się logiczna jedynka lub logiczne zero.

Detektor fazy przedstawiony na fig. 18 zawiera układ logiczny AND o dwóch wejściach i jednym wyjściu oraz dwa przerzutniki P1 i P2, każdy o dwóch wejściach D1 i C1 oraz D2 i C2 jak również dwóch wyjściach Q1 i nQ1 oraz Q2 i nQ2. Wejścia przerzutników dołączone są do wejść detektora fazy DF, natomiast wyjścia przerzutników dołączone do wyjść detektora fazy przez układ logiczny AND. Pierwsze wejście detektora fazy i1-DF dołączone jest jednocześnie do pierwszego wejścia pierwszego przerzutnika D1 i drugiego wejścia drugiego przerzutnika C2. Drugie wejście detektora fazy i2-DF dołączone jest jednocześnie do drugiego wejścia pierwszego przerzutnika C1 i pierwszego wejścia drugiego przerzutnika D2. Wejścia układu logicznego AND dołączone są do drugiego wyjścia pierwszego przerzutnika nQ1 oraz pierwszego wyjścia drugiego przerzutnika Q2. Wyjście układu logicznego AND dołączone jest do wyjścia detektora fazy o-DF.

Detektor fazy zbudowany z dwóch przerzutników pozwala na symetryczną detekcję ujemnych i dodatnich przesunięć fazowych.

Układ metastabilnościowy przedstawiony na fig. 19 stanowi przerzutnik Pa o dwóch wejściach Da i Ca stanowiących wejścia i1-UM i i2-UM układu metastabilnościowego UM i wyjściu Qa stanowiącym wyjściem układu metastabilnościowego o-UM.

Przerzutnik Pa jest charakteryzuje się tym, że względne nieduże przesunięcia czasu pomiędzy zboczami dostarczonymi do wejść przerzutnika Da i Ca wprowadzają go w pracę w odpowiednim obszarze metastabilności, czego skutkiem jest losowy stan logiczny na wyjściu Qa.

Układ metastabilnościowy przedstawiony na fig. 20 stanowi układ metastabilnościowy z oscylacyjną odpowiedzią impulsową UMOO o dwóch wejściach R i S stanowiących wejścia i1-UM i i2-UM układu metastabilnościowego UM i wyjściu wOO stanowiącym wyjściem układu metastabilnościowego o-UM.

Przerzutnik UMOO charakteryzuje się tym, że względne nieduże przesunięcia czasu pomiędzy zboczami dostarczonymi do wejść przerzutnika R i S wprowadzają go w pracę w odpowiednim obszarze metastabilności, czego skutkiem jest oscylacyjna odpowiedź przerzutnika o zmiennej liczbie oscylacji, a także losowym stanie logicznym na wyjściu wOO.

Układ metastabilnościowy przedstawiony na fig. 21 ma budowę taką jak układ z fig. 20, przy czym wyjście wOO układu metastabilnościowego z oscylacyjną odpowiedzią impulsową UMOO dołączone jest do wyjścia układu metastabilnościowego o-UM przez sumator SUM.

Sumator SUM pozwala na zsumowanie zmiennej liczby oscylacji pojawiającej się na wyjściu wOO.

Układ metastabilnościowy przedstawiony na fig. 22 ma budowę taką jak układ z fig. 21, przy czym dodatkowo zawiera układ liczący LCZ, którego wyjścia dołączone są do kolejnych wejść sumatora SUM oraz którego wejście i-LCZ dołączone jest do wyjścia układu metastabilnościowego z oscylacyjną odpowiedzią impulsową wOO.

Licznik LCZ zlicza liczbę oscylacji pojawiającą się na wyjściu wOO, którą następnie sumuje sumator SUM. Dodatkowo w tym układzie uwzględniany jest stan logiczny na wyjściu wOO.

Układ metastabilnościowy przedstawiony na fig. 23 zawiera generator metastabilnościowych interwałów czasowych GMIC, arbiter ARB oraz układ logiczny AND. Generator metastabilnościowych interwałów czasowych GMIC zawiera dwa przerzutniki Pb i Pc, każdy o dwóch wejściach Db i Cb oraz Dc i Cc jak również pojedynczych wyjściach Qb i Qc. Arbiter ARB zawiera dwa przerzutniki Pd i Pe, każdy o dwóch wejściach Dd i Cd oraz De i Ce jak również dwóch wyjściach Qd i nQd oraz Qe i nQe. Układ logiczny AND posiada dwa wejścia i jedno wyjście. Wejścia przerzutników generatora metastabilnościowych interwałów czasowych GMIC dołączone są do wejść układu metastabilnościowego UM w taki sposób, że pierwsze wejście układu metastabilnościowego i1-UM dołączone jest jednocześnie do pierwszego wejścia pierwszego przerzutnika Db i pierwszego wejścia drugiego przerzutnika Dc, a drugie wejście układu metastabilnościowego i2-UM dołączone jest jednocześnie do drugiego wejścia pierwszego przerzutnika Cb i drugiego wejścia drugiego przerzutnika Cc. Wyjścia przerzutników Qb i Qc dołączone są do wejść przerzutników arbitra ARB w taki sposób, że wyjście pierwszego przerzutnika Qb dołączone jest jednocześnie do pierwszego wejścia pierwszego przerzutnika arbitra Dd i drugiego wejścia drugiego przerzutnika arbitra Ce, a wyjście drugiego przerzutnika Qc dołączone jest jednocześnie do drugiego wejścia pierwszego przerzutnika arbitra Cd i pierwszego wejścia drugiego przerzutnika arbitra De. Wyjście układu metastabilnościowego o-UM dołączone jest do wyjść przerzutników arbitra nQd i Qe przez układ logiczny AND. Wejścia układu logicznego AND dołączone są do drugiego wyjścia pierwszego przerzutnika arbitra nQd oraz pierwszego wyjścia drugiego przerzutnika arbitra Qe. Wyjście układu logicznego AND dołączone jest do wyjścia układu metastabilnościowego o-UM.

Dostarczenie do przerzutników Pb i Pc generatora metastabilnościowych interwałów czasowych GMIC sygnałów cyfrowych o względne niedużych przesunięciach czasu pomiędzy zboczami dostarczonymi do wejść przerzutników, wywołuje w nich stany metastabilne, których rozwiązaniem są wartości logiczne pojawiające się na wyjściach Qb i Qc w różnych momentach czasu. Zarówno wartości logiczne jak i interwały czasowe są źródłami losowości o określonych właściwościach tych losowości. Arbiter porównuje czasy odpowiedzi przerzutników Pb i Pc, a wynik tego porównania – który jest wartością losową – jest interpretowany przez układ logiczny AND jako logiczne zero lub logiczna jedynka.

Możliwość zastosowania wynalazku przewiduje się w generowaniu liczb i ciągów liczbowych prawdziwie losowych.

## Zastrzeżenia patentowe

1. Generator losowy zawierający układ metastabilnościowy, którego wyjście jest dołączone do wyjścia generatora losowego oraz zawierający dwa generatory pierścieniowe, których wyjścia dołączone są do wejść układu metastabilnościowego, posiadający detektor fazy (DF), którego wejścia (i1- DF, i2-DF) dołączone są do wyjść generatorów pierścieniowych (o-GP, o-GPRS, o-GPRS'), gdzie przynajmniej jeden generator pierścieniowy jest generatorem pierścieniowym z regulowaną szybkością (GPRS, GPRS'), a wyjście detektora fazy (o-DF) dołączone jest do przynajmniej jednego wejścia sterującego generatorów pierścieniowych z regulowaną szybkością (s-GPRS), według patentu nr Pat.237197, **znamienny tym**, że jest ponadto zaopatrzony w drugie wyjście (o2-GL) dołączone do wyjścia (o-DF) detektora fazy oraz zawiera układ sterujący (US, US'), przy czym wyjście detektora fazy (o-DF) dołączone jest do wejścia sterującego (s-GPRS, s-GPRS') przynajmniej jednego generatora pierścieniowego z regulowaną szybkością (GPRS, GPRS') przez układ sterujący (US, US').
2. Generator losowy według zastrz. 1, **znamienny tym**, że układ sterujący (US') jest wyposażony w drugie wejście (r-US') dołączone do wyjścia (o-UM) układu metastabilnościowego (UM).
3. Generator losowy według zastrz. 1, **znamienny tym**, że przynajmniej jeden generator pierścieniowy (GP) zawiera przynajmniej jedną linię opóźniającą (LO), której wejście (i-LO) i wyjście (o-LO) są ze sobą połączone i dołączone do wyjścia generatora pierścieniowego (o-GP), przy czym linia opóźniająca (LO) zawiera elementy opóźniające (EO) połączone w szereg.
4. Generator losowy według zastrz. 1, **znamienny tym**, że przynajmniej jeden generator pierścieniowy z regulowaną szybkością (GPRS, GPRS') zawiera przynajmniej jedną linię opóźniającą (LO), której wejście (i-LO) i wyjście (o-LO) są ze sobą połączone i dołączone do wyjścia generatora z regulowaną szybkością (o-GPRS, o-GPRS'), przy czym linia opóźniająca (LO) zawiera elementy opóźniające (EO) połączone w szereg.
5. Generator losowy według zastrz. 4, **znamienny tym**, że przynajmniej jeden generator pierścieniowy z regulowaną szybkością (GPRS, GPRS') zawiera przynajmniej jeden dodatkowy element wprowadzający opóźnienie (C), dołączany do linii opóźniającej (LO) między wyjściem jednego elementu opóźniającego (EO) i wejściem następnego (EO) przy pomocy klucza (KL, KL'), którego wejście sterujące dołączone jest do wejścia sterującego generatora pierścieniowego z regulowaną szybkością (s-GPRS, s-GPRS').
6. Generator losowy według zastrz. 1, **znamienny tym**, że przynajmniej jeden generator pierścieniowy z regulowaną szybkością (GPRS) zawiera linię opóźniającą (LO), w którą jest włączony szeregowo przynajmniej jeden sterowany element opóźniający (T), zaś wejście sterujące (s-T) sterowanego elementu opóźniającego (T) dołączone jest do wejścia sterującego (s-GPRS) generatora pierścieniowego z regulowaną szybkością (GPRS).
7. Generator losowy według zastrz. 6, **znamienny tym**, że sterowany element opóźniający (T) zawiera przynajmniej dwa tranzystory połowę o przeciwnym typie przewodnictwa (P, N), których dreny i źródła są parami połączone i jedna para dołączona jest do wejścia (i-T) sterowanego elementu opóźniającego (T), druga para dołączona jest do wyjścia (o-T) sterowanego elementu opóźniającego (T), a wejście sterujące (s-T) sterowanego elementu opóźniającego (T) dołączone jest do bramek obydwu tranzystorów połowych (P, N).
8. Generator losowy według zastrz. 7, **znamienny tym**, że w tranzystorach połowych (P, N) stosunek długości do szerokości kanału jednego tranzystora przewyższa stosunek długości do szerokości kanału drugiego tranzystora.
9. Generator losowy według zastrz. 7, **znamienny tym**, że w szereg z przynajmniej jednym z tranzystorów połowych (P) włączony jest przynajmniej jeden element opóźniający (EO).
10. Generator losowy według zastrz. 7 lub 8 lub 9, **znamienny tym**, że pomiędzy bramki tranzystorów połowych (P, N) a wejście sterujące (s-T) sterowanego elementu opóźniającego (T) włączony jest przynajmniej jeden inwerter (Inv).
11. Generator losowy według zastrz. 1, **znamienny tym**, że układ sterujący (US) zawiera przynajmniej element opóźniający (EO).

12. Generator losowy według zastrz. 2, **znamienny tym**, że układ sterujący (US') zawiera bramkę dodawania losowości (XOR'), której pierwsze wejście stanowi wejście danych losowych układu sterującego (r-US'), drugie wejście stanowi wejście sygnałowe układu sterującego (i-US'), a wyjście bramki dodawania losowości (XOR') stanowi wyjście układu sterującego (o-US').
13. Generator losowy według zastrz. 12, **znamienny tym**, że pierwsze wejście bramki dodawania losowości (XOR') dołączone jest do wejścia danych losowych układu sterującego (r-US') przez układ bramkujący (AND'), oraz że do układu bramkującego (AND') dołączony jest układ sterowania bramkowaniem (LCZ').
14. Generator losowy według zastrz. 12, **znamienny tym**, że drugie wejście bramki dodawania losowości (XOR') oraz jej wyjście połączone są w szereg z co najmniej jednym elementem opóźniającym (EO'), przy czym wejście pierwszego w szeregu elementu dołączone jest do wejścia sygnałowego układu sterującego (i-US'), a wyjście ostatniego w szeregu elementu dołączone jest do wyjścia układu sterującego (o-US').
15. Generator losowy według zastrz. 12, **znamienny tym**, że pierwsze wejście bramki dodawania losowości (XOR') dołączone jest do wejścia danych losowych układu sterującego (r-US') przez układ bramkujący (AND'), oraz że do układu bramkującego (AND') dołączony jest układ sterowania bramkowaniem (LCZ'), oraz że drugie wejście bramki dodawania losowości (XOR') oraz jej wyjście połączone są w szereg z co najmniej jednym elementem opóźniającym (EO'), przy czym wejście pierwszego w szeregu elementu dołączone jest do wejścia sygnałowego układu sterującego (i-US'), a wyjście ostatniego w szeregu elementu dołączone jest do wyjścia układu sterującego (o-US').
16. Generator losowy według zastrz. 1, **znamienny tym**, że detektor fazy (DF) stanowi przerytutnik (P) o dwóch wejściach (D, C) stanowiących wejścia detektora fazy (i1-DF, i2-DF) i wyjściu (Q) stanowiącym wyjście detektora fazy (o-DF).
17. Generator losowy według zastrz. 1, **znamienny tym**, że detektor fazy (DF) zawiera dwa przerytutniki (P1), (P2) o dwóch wejściach (D1, C1), (D2, C2) i dwóch wyjściach (Q1, nQ1), (Q2, nQ2) każdy, który ma wejścia przerytutników dołączone do wejść detektora fazy i który ma wyjścia przerytutników dołączone do wyjść detektora fazy, przy czym pierwsze wejście detektora fazy (i1-DF) dołączone jest jednocześnie do pierwszego wejścia pierwszego przerytutnika (D1) i drugiego wejścia drugiego przerytutnika (C2), drugie wejście detektora fazy (i2-DF) dołączone jest jednocześnie do drugiego wejścia pierwszego przerytutnika (C1) i pierwszego wejścia drugiego przerytutnika (D2), a wyjście detektora fazy (o-DF) dołączone jest do wybranych wyjść przerytutników (nQ1, Q2) przez układ logiczny (AND).
18. Generator losowy według zastrz. 1, **znamienny tym**, że układ metastabilnościowy (UM) stanowi przerytutnik (Pa) o dwóch wejściach (Da, Ca) stanowiących wejścia układu metastabilnościowego (i1-UM, i2-UM) i wyjściu (Qa) stanowiącym wyjście układu metastabilnościowego (o-UM).
19. Generator losowy według zastrz. 1, **znamienny tym**, że układ metastabilnościowy (UM) zawiera układ metastabilnościowy z oscylacyjną odpowiedzią impulsową (UMOO) o dwóch wejściach (R, S) stanowiących wejścia układu metastabilnościowego (i1-UM, i2-UM) i wyjściu (wOO) stanowiącym wyjście układu metastabilnościowego (o-UM).
20. Generator losowy według zastrz. 19, **znamienny tym**, że wyjście układu metastabilnościowego z oscylacyjną odpowiedzią impulsową (wOO) dołączone jest do wyjścia układu metastabilnościowego (o-UM) przez sumator (SUM).
21. Generator losowy według zastrz. 20, **znamienny tym**, że zawiera układ liczący (LCZ), którego wyjścia dołączone są do kolejnych wejść sumatora (SUM), a którego wejście (i-LCZ) dołączone jest do wyjścia układu metastabilnościowego z oscylacyjną odpowiedzią impulsową (wOO).
22. Generator losowy według zastrz. 1, **znamienny tym**, że układ metastabilnościowy (UM) zawiera generator metastabilnościowych interwałów czasowych (GMIC) o wejściach dołączonych do wejść układu metastabilnościowego (i1-UM, i2-UM) oraz wyjściach dołączonych do wejść arbitra (ARB), którego wyjścia dołączone są do wyjść układu metastabilnościowego (o-UM) przez układ logiczny (AND).
23. Generator losowy według zastrz. 22, **znamienny tym**, że generator metastabilnościowych interwałów czasowych (GMIC) zawiera dwa przerytutniki (Pb), (Pc) o dwóch wejściach (Db, Cb), (Dc, Cc) i pojedynczych wyjściach (Qb), (Qc), przy czym wejścia przerytutników genera-

tora metastabilnościowych interwałów czasowych (GMIC) dołączone są do wejść układu metastabilnościowego (UM) w taki sposób, że pierwsze wejście układu metastabilnościowego (i1-UM) dołączone jest jednocześnie do pierwszego wejścia pierwszego przerzutnika (Db) i pierwszego wejścia drugiego przerzutnika (Dc), drugie wejście układu metastabilnościowego (i2-UM) dołączone jest jednocześnie do drugiego wejścia pierwszego przerzutnika (Cb) i drugiego wejścia drugiego przerzutnika (Cc), oraz że arbiter (ARB) zawiera dwa przerzutniki (Pd), (Pe) o dwóch wejściach (Dd, Cd), (De, Ce) i dwóch wyjściach (Qd, nQd), (Qe, nQe) każdy, przy czym wyjścia przerzutników generatora metastabilnościowych interwałów czasowych (GMIC) dołączone są do wejść przerzutników arbitra (ARB) w taki sposób, że wyjście pierwszego przerzutnika generatora metastabilnościowych interwałów czasowych (Qb) dołączone jest jednocześnie do pierwszego wejścia pierwszego przerzutnika arbitra (Dd) i drugiego wejścia drugiego przerzutnika arbitra (Ce), wyjście drugiego przerzutnika generatora metastabilnościowych interwałów czasowych (Qc) dołączone jest jednocześnie do drugiego wejścia pierwszego przerzutnika arbitra (Cd) i pierwszego wejścia drugiego przerzutnika arbitra (De), oraz że układ logiczny (AND) stanowi bramka koniunkcji, przez którą wybrane wyjścia przerzutników arbitra (nQd, Qe) dołączone są do wyjścia układu metastabilnościowego (o-UM).

Rysunki

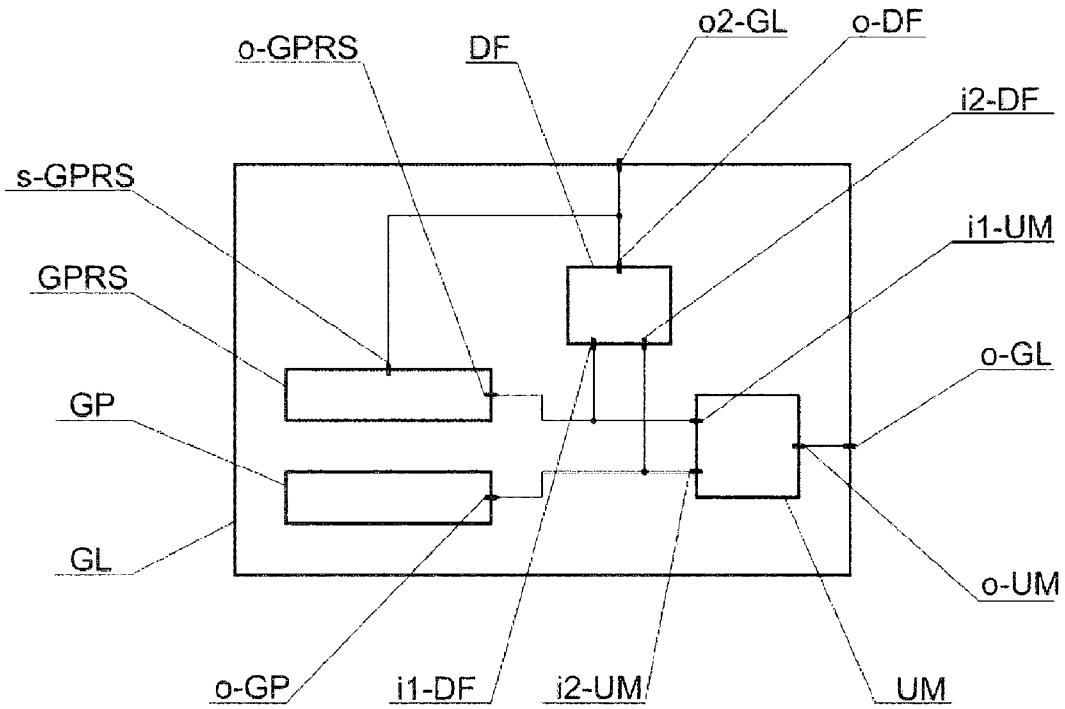


Fig. 1

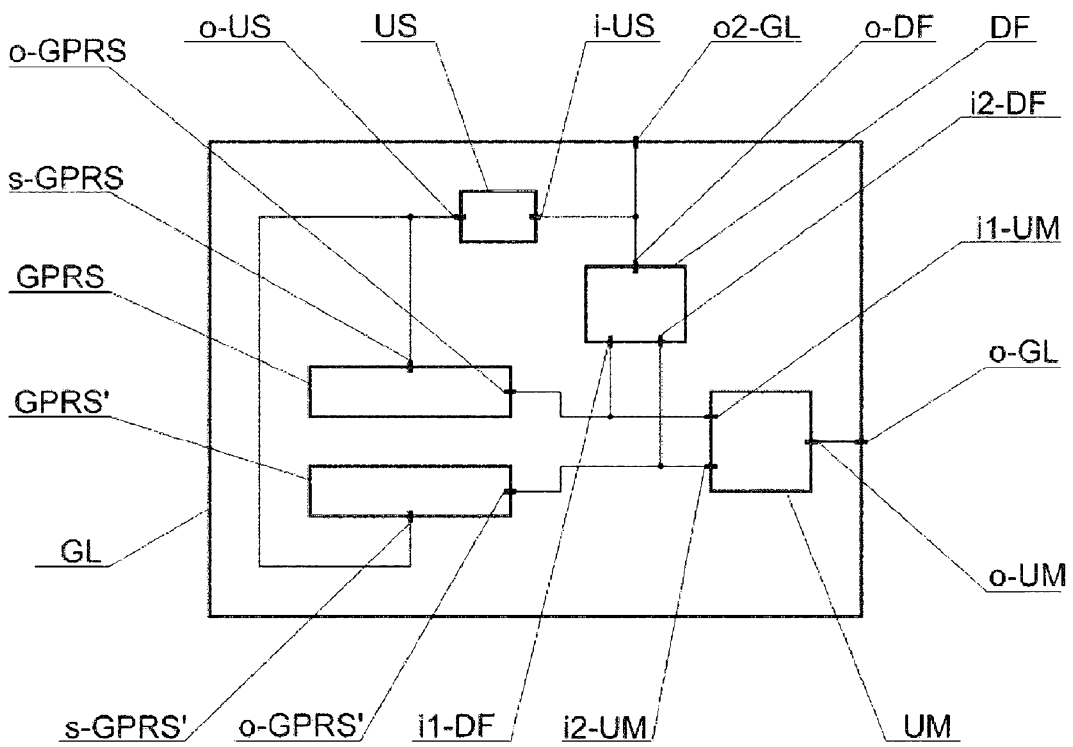


Fig. 2

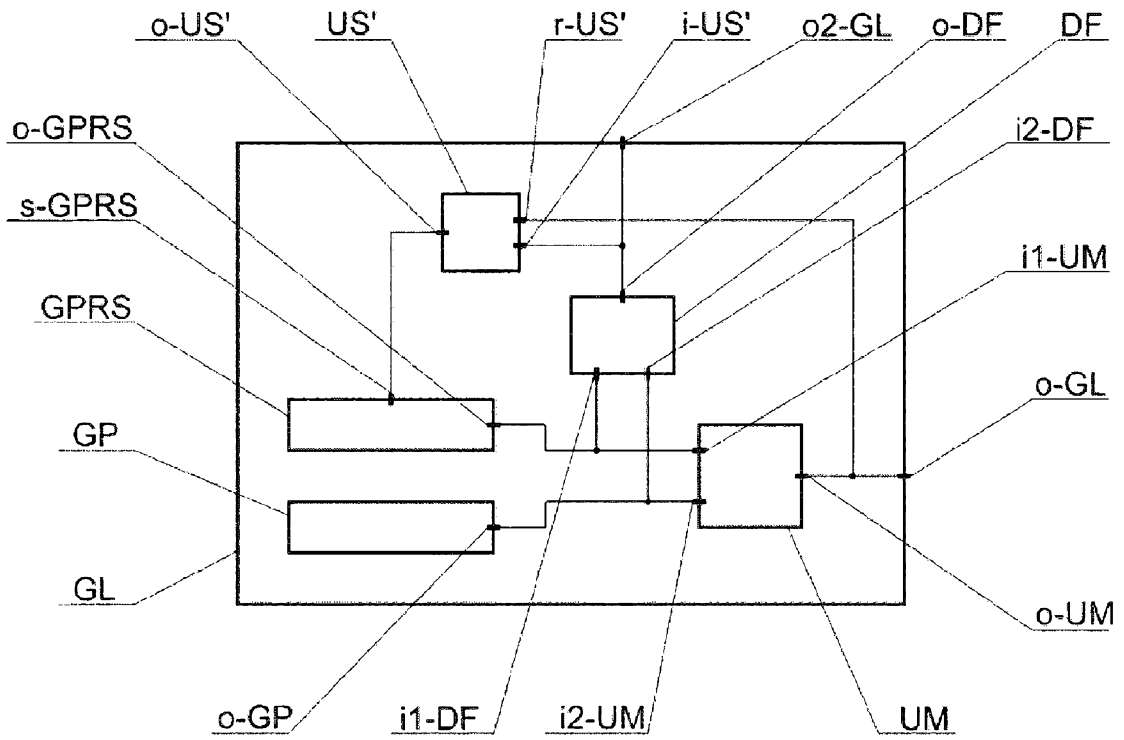


Fig. 3

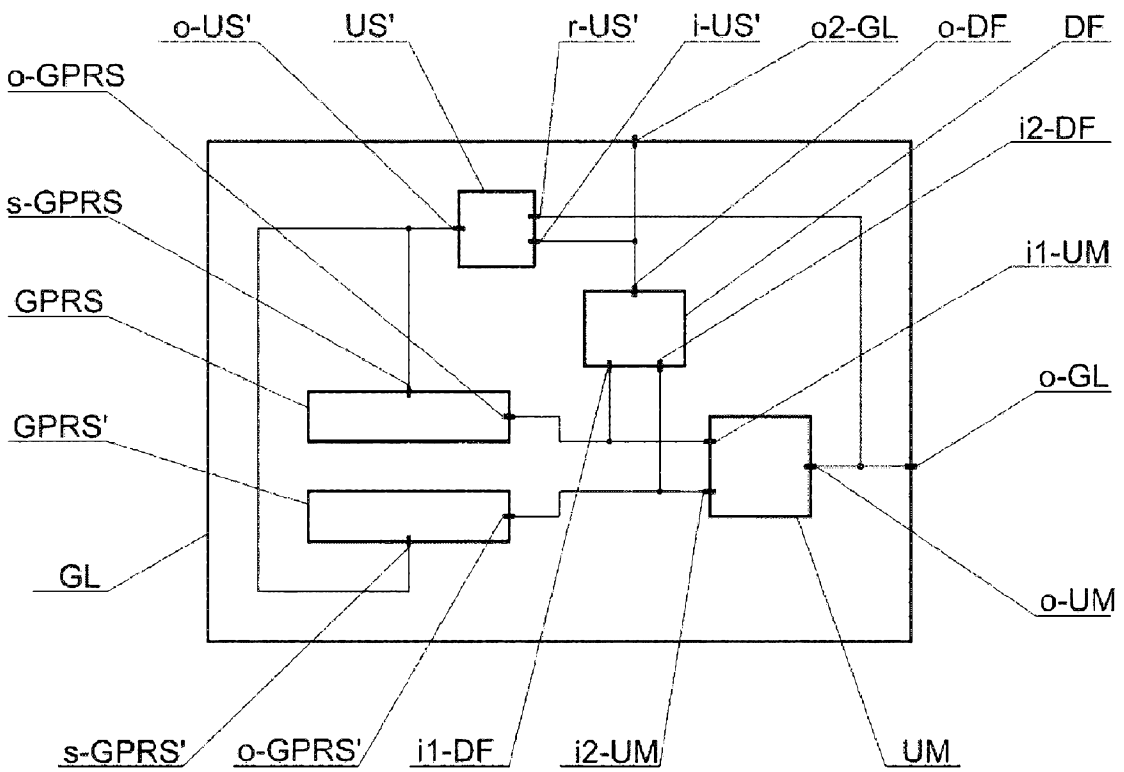


Fig. 4



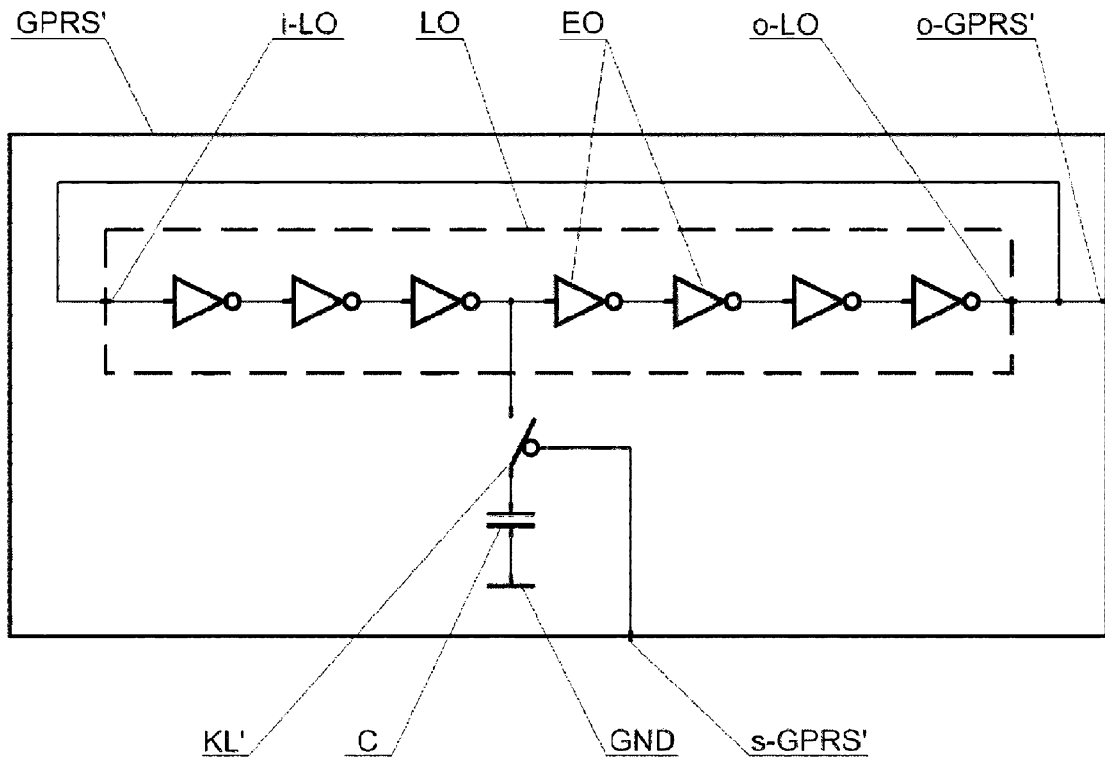


Fig. 7

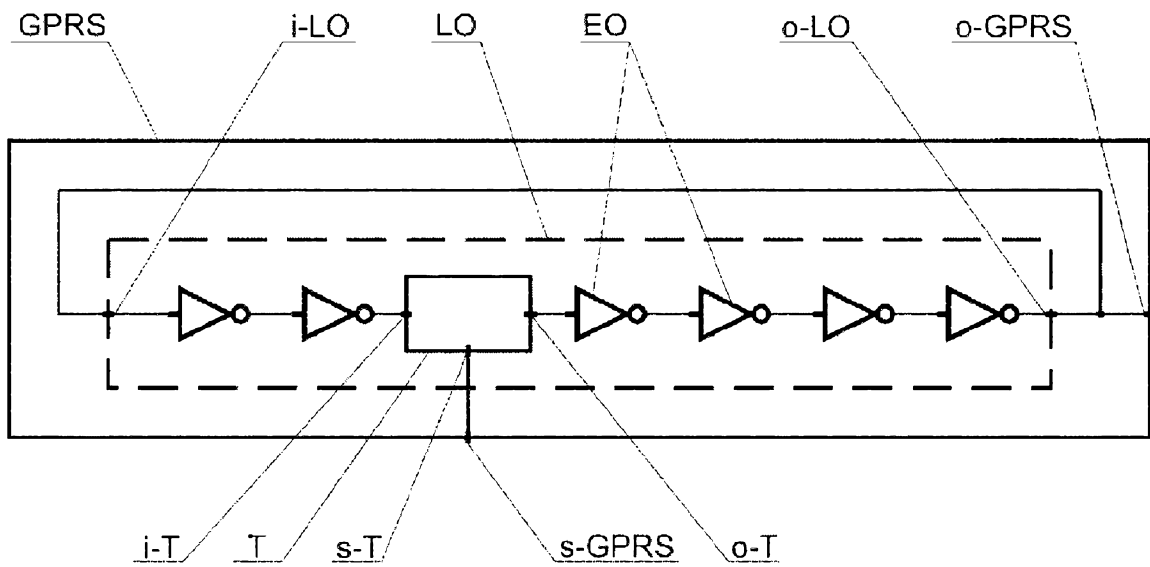


Fig. 8

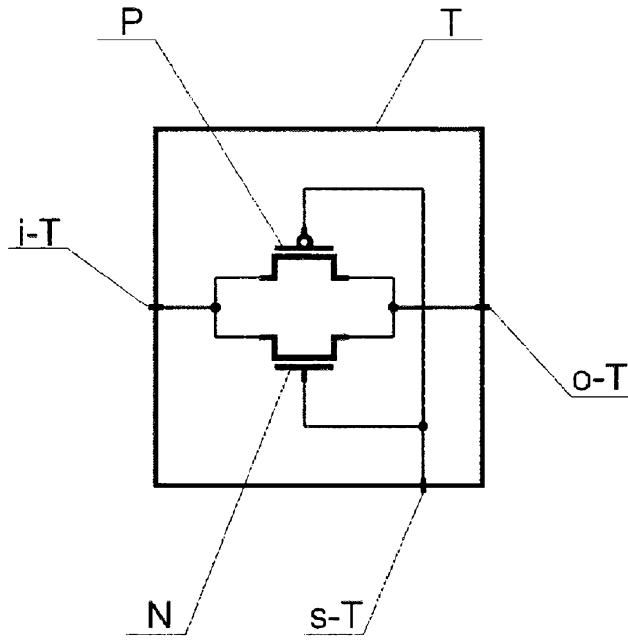


Fig. 9

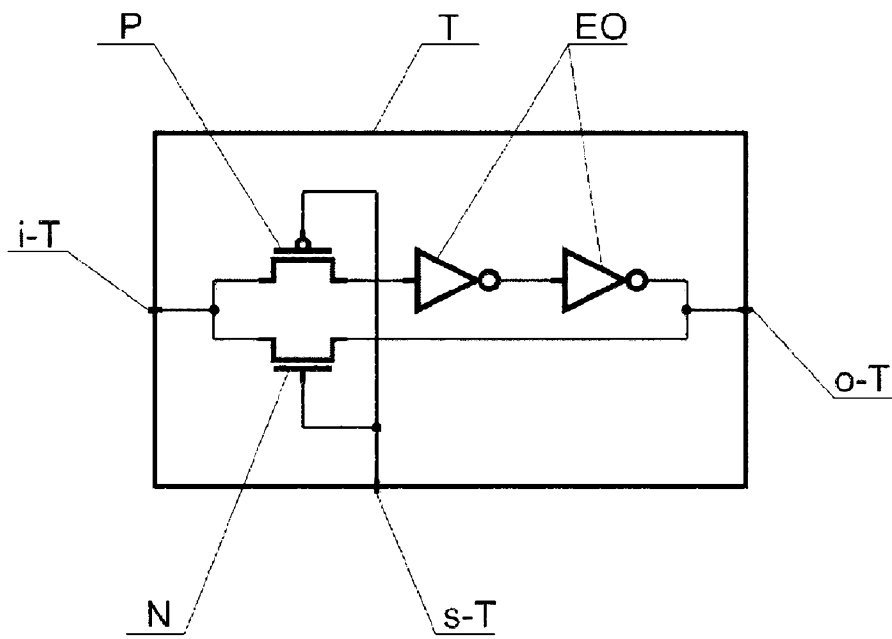


Fig. 10

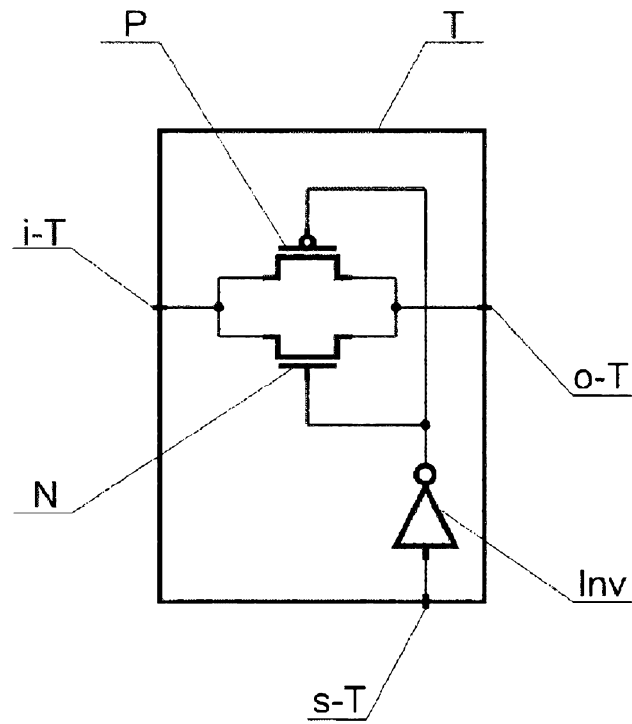


Fig. 11

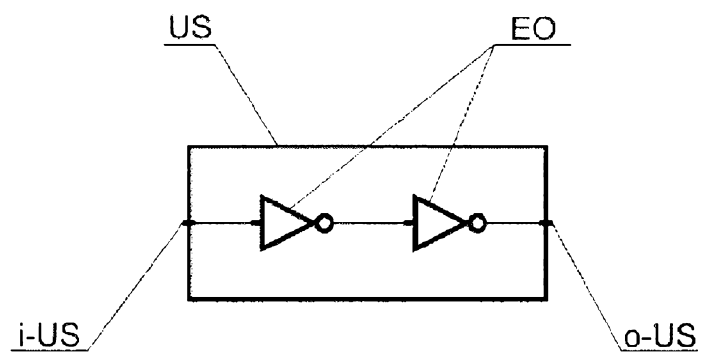


Fig. 12

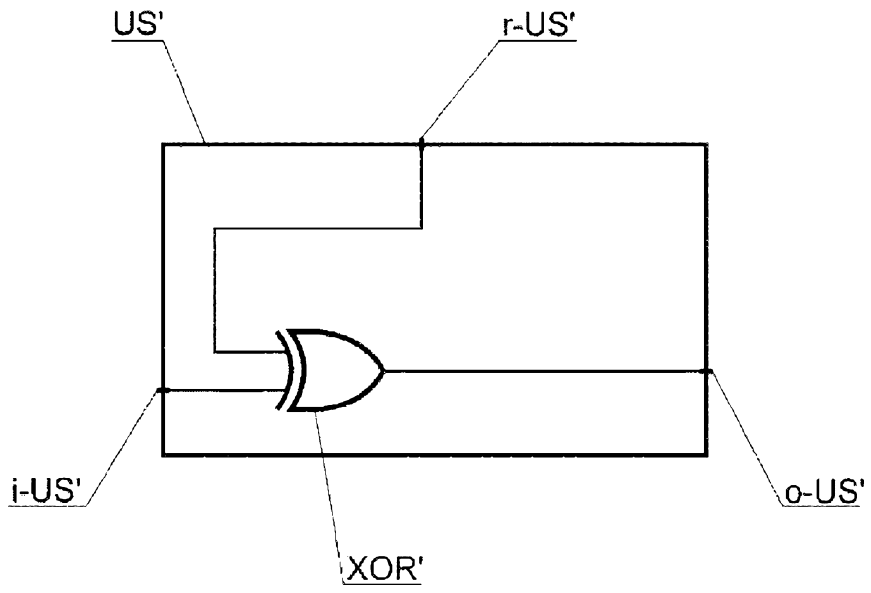


Fig. 13

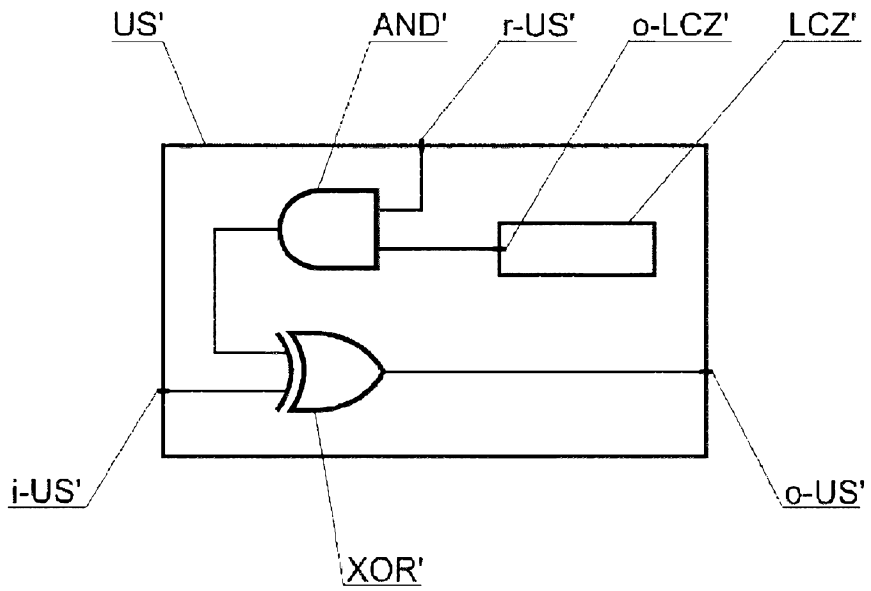


Fig. 14

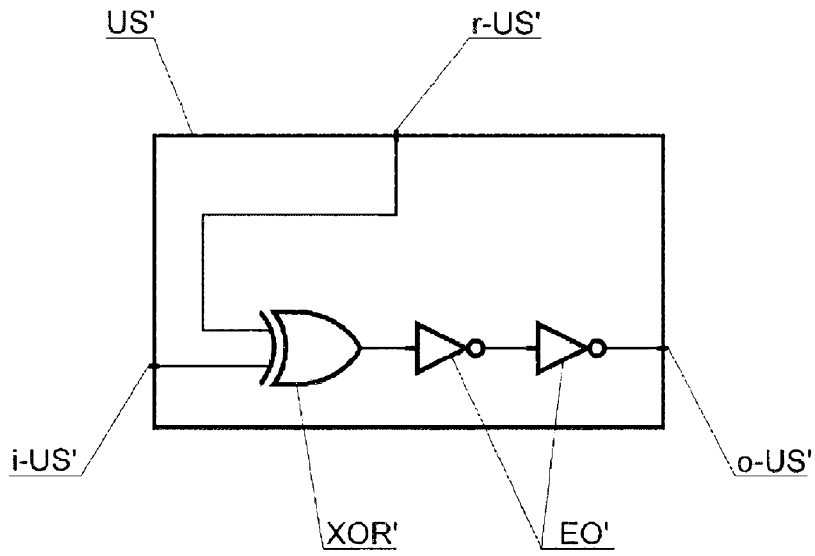


Fig. 15

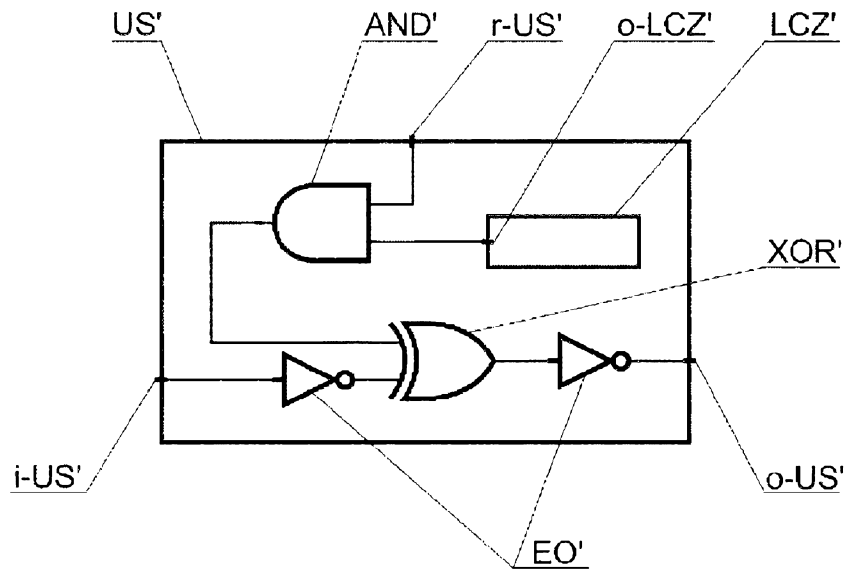


Fig. 16

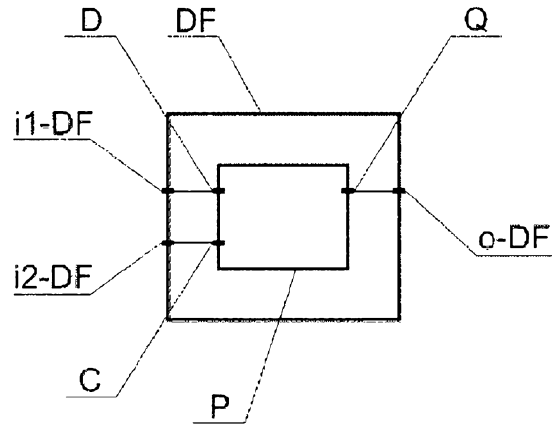


Fig. 17

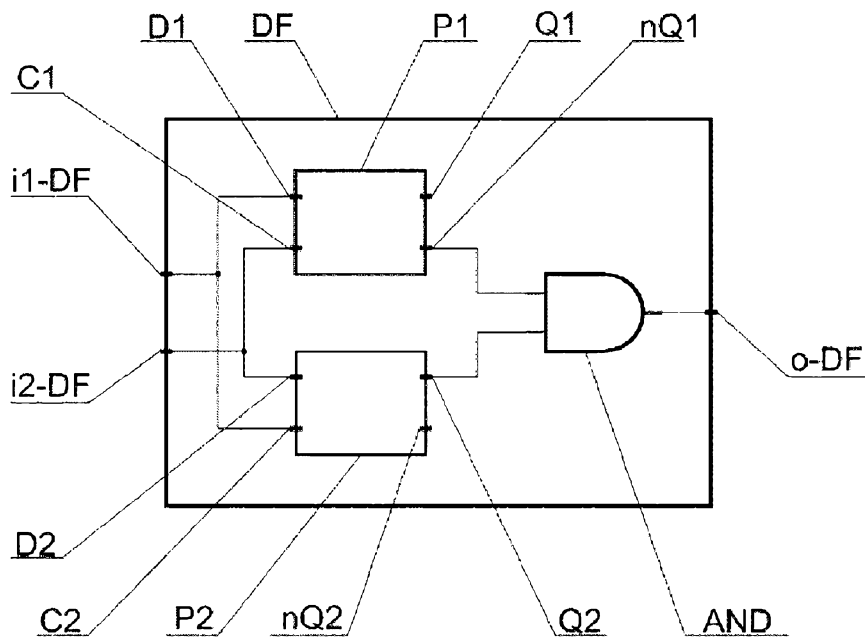


Fig. 18

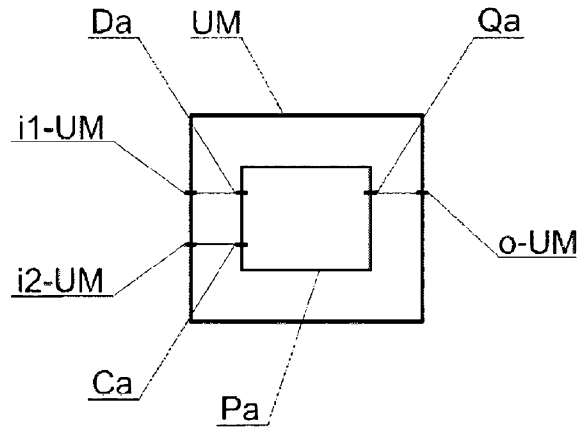


Fig. 19

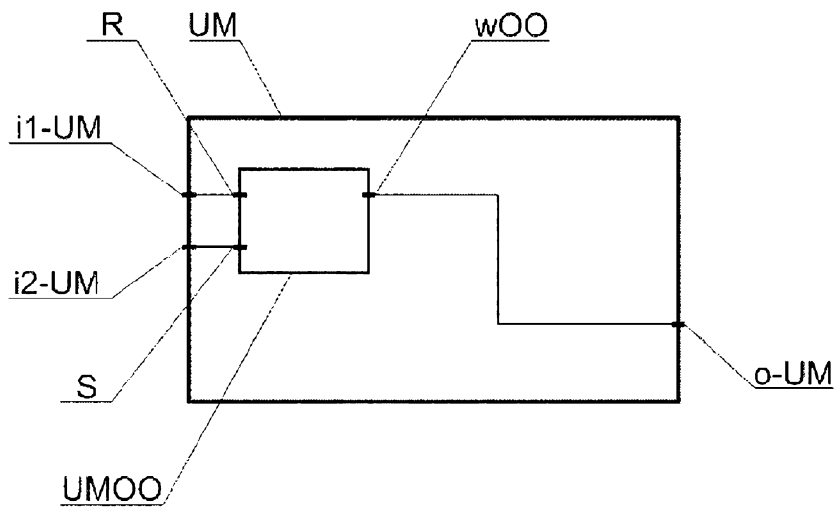


Fig. 20

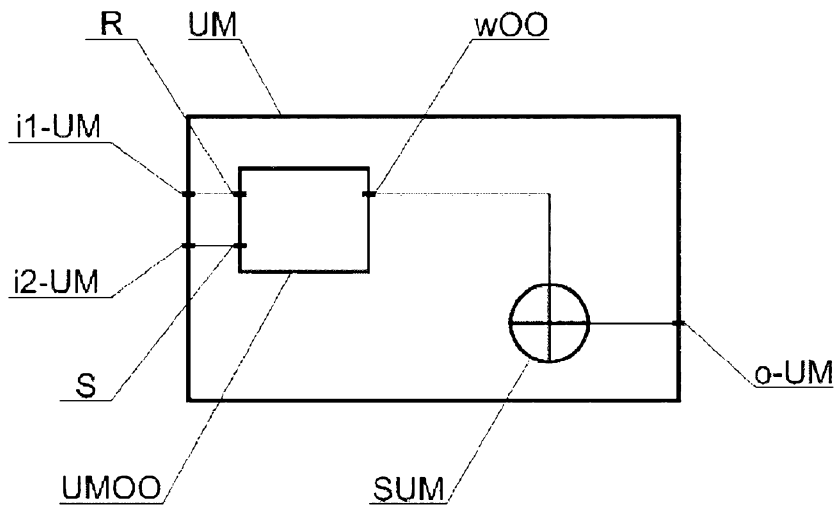


Fig. 21

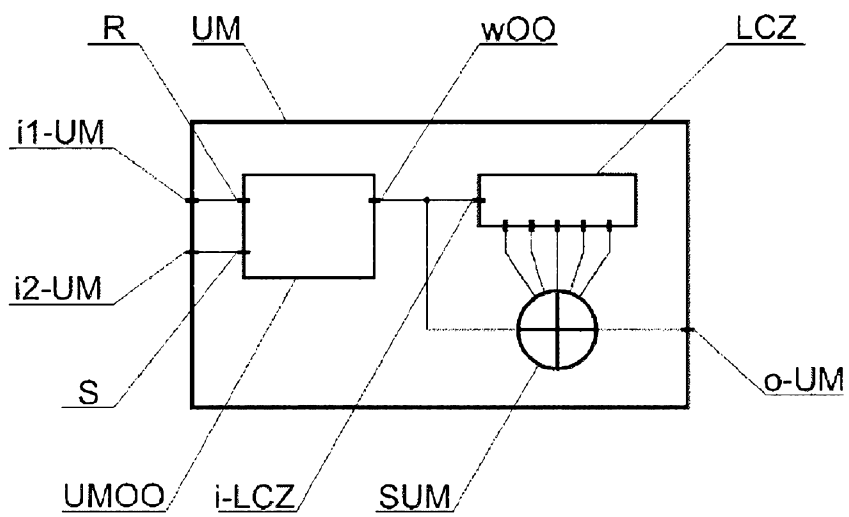


Fig. 22

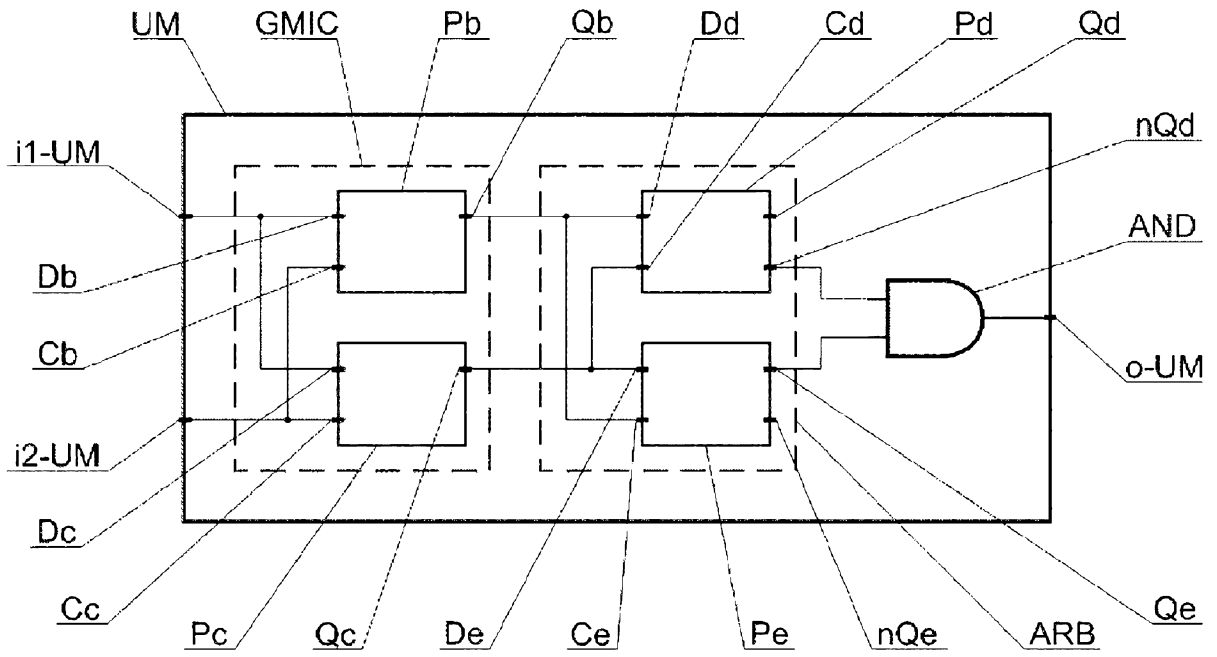


Fig. 23