(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3778946号
(P3778946)
(45)発行日　平成18年5月24日(2006.5.24)　(24)登録日　平成18年3月10日(2006.3.10)

(51)Int.Cl.			F I		
H03K	5/13	(2006.01)	H03K	5/13	
G11C	7/00	(2006.01)	G11C	7/00	313
H03L	7/081	(2006.01)	H03L	7/08	J

請求項の数 34　(全 21 頁)

(21)出願番号	特願平10-538816
(86)(22)出願日	平成10年3月5日(1998.3.5)
(65)公表番号	特表2001-514812(P2001-514812A)
(43)公表日	平成13年9月11日(2001.9.11)
(86)国際出願番号	PCT/US1998/004346
(87)国際公開番号	WO1998/039846
(87)国際公開日	平成10年9月11日(1998.9.11)
審査請求日	平成14年11月13日(2002.11.13)
(31)優先権主張番号	08/811,918
(32)優先日	平成9年3月5日(1997.3.5)
(33)優先権主張国	米国(US)

(73)特許権者
マイクロン　テクノロジー，インコーポレイテッド
アメリカ合衆国　アイダホ　８３７０７－０００６，ボイス，ピー．オー．ボックス　６，サウス　フェデラル　ウェイ　８００
(74)代理人
弁理士　山本　秀策
(72)発明者　マニング，トロイ　エイ．
アメリカ合衆国　アイダホ　８３６４２，メリディアン，サウス　オバディア　レーン　８１５３

審査官　清水　稔

最終頁に続く

(54)【発明の名称】バイナリ連結キャパシタを備える遅延ロックループ

(57)【特許請求の範囲】

【請求項１】

選択された周波数の入力信号に応答して、遅延出力信号を生成するように適合した遅延ロックループであって、

該遅延ロックループは、

入力端子と、出力端子と、制御入力端子とを有する可変遅延回路と、

該入力端子に結合された第１の入力と、該出力端子に結合された第２の入力と、該制御入力端子に結合された制御出力とを有する比較回路と

を備え、

該可変遅延回路は、

該入力端子と該出力端子との間で直列に結合された第１および第２のバッファと、

複数のキャパシタであって、該複数のキャパシタのそれぞれは、該制御入力端子に印加されるように適合したデジタル制御信号に応答して、該第１のバッファの出力と基準端子との間に選択的に結合される、複数のキャパシタと、

複数の選択スイッチであって、該複数の選択スイッチのそれぞれは、該複数のキャパシタのうちのそれぞれ１つに結合されており、該デジタル制御信号の選択されたビットに応答して、残りのキャパシタから該それぞれ１つのキャパシタを選択的に分離する、複数の選択スイッチと、

該複数のキャパシタに結合されたプリチャージ回路であって、該プリチャージ回路は、該入力信号に応答して、選択された電圧まで該複数のキャパシタをプリチャージし、エッジ

比較回路が、遅延入力端子における遅延信号が一次入力端子における入力信号に先行することに応答して、キャパシタンスの増大を示すアップ信号を出力するように動作可能なレース回路を含む、プリチャージ回路と、
該プリチャージ回路に結合された放電回路であって、該複数のキャパシタを制御可能に放電するように構成された放電回路と、
該複数のキャパシタに結合された検出入力端子と、検出出力端子とを有する電圧検出器であって、選択された閾値電圧未満にキャパシタ電圧が放電するときに、遅延中間信号を生成するように動作可能な電圧検出器と、
該検出出力端子に結合された入力端子を有する出力段であって、該出力段は、該中間信号に応答して該遅延信号を生成するように応答し、該可変遅延回路が、該複数のキャパシタを該第１のバッファの出力に結合することにより生じる該キャパシタンスに対応する該入力信号に対する遅延を有する該遅延出力信号を該出力端子に供給するように動作可能である、出力段と
を含み、
該比較回路は、該入力信号と該遅延出力信号との相対的な位相に応答して、該デジタル制御信号を該制御出力に供給するように構成されている、遅延ロックループ。
【請求項２】
前記比較回路が、
前記第１および第２の入力を含み、かつ、位相出力を有するエッジ比較回路であって、前記遅延出力信号のエッジが前記入力信号に先行または遅延することを示す調節信号を供給するエッジ比較回路と、
該位相出力に結合されたカウンタ入力を有するカウンタであって、該カウンタが、前記デジタル信号を生成するように動作可能であり、かつ、第１および／または第２のキャパシタを前記第１のバッファの出力に選択的に結合することにより、該調節信号に応答して前記キャパシタンスを増大または減少させるように該調節信号に応答して該デジタル信号を変化させる、カウンタと
を含む、請求項１に記載の遅延ロックループ。
【請求項３】
前記エッジ比較回路が、前記遅延入力端子における前記遅延信号が前記一次入力端子における前記入力信号に先行することに応答して、前記キャパシタンスの増大を示すアップ信号を出力するように動作可能なレース回路を含む、請求項２に記載の遅延ロックループ。
【請求項４】
前記レース回路が、前記遅延入力端子における前記遅延信号が前記一次入力端子における前記入力信号より遅れることに応答して、前記キャパシタンスの減少を示すダウン信号を出力するようにさらに動作可能である、請求項３に記載の遅延ロックループ。
【請求項５】
前記カウンタが、前記アップ信号およびカウントパルスに応答して、前記デジタル信号を増大させ、前記レース回路が、前記遅延入力端子における前記遅延信号が前記一次入力端子における前記入力信号に先行することに応答して、該カウントパルスを出力するようにさらに動作可能である、請求項３に記載の遅延ロックループ。
【請求項６】
前記レース回路がアービトレーション回路をさらに含み、該アービトレーション回路が、前記遅延入力端子の前記遅延信号が前記一次入力端子の前記入力信号に実質的に同期化するとき、前記カウントパルスを抑制するように構成されている、請求項５に記載の遅延ロックループ。
【請求項７】
前記出力段が、直列に結合された複数の固定遅延回路を含む、請求項１に記載の遅延ロックループ。
【請求項８】
前記出力段が、前記複数の固定遅延回路のうちの一つ以上に並列に結合された、選択的に

プログラム可能なバイパス回路をさらに含む、請求項７に記載の遅延ロックループ。
【請求項９】
遅延ロックループのための可変遅延回路であって、
入力端子と
出力端子と、
基準端子と、
該入力端子に結合された第１の入力と第１のバッファ出力とを有する第１のバッファと、
該第１のバッファ出力に結合された第２の入力と該出力端子に結合された第２のバッファ出力とを有する第２のバッファと、
該第１のバッファ出力と該基準端子との間に、選択的に結合可能な第１のキャパシタと、
該第１のバッファ出力と該基準端子との間に、選択的に結合可能な第２のキャパシタと、
該第１の出力と該第１の基準端子との間に、該第１のキャパシタに直列に結合された第１の絶縁スイッチであって、該第１の絶縁スイッチが、第１の切り換え入力を有し、該第１の切り換えスイッチ入力の選択信号に応答して、該第１のキャパシタを該第１のバッファ出力と該基準端子との間に選択的に結合する、第１の絶縁スイッチと、
該入力端子に結合されたプリチャージ回路であって、該第１の入力におけるクロック信号に応答して、該第１のキャパシタをプリチャージするプリチャージ回路と
を備えた、可変遅延回路。
【請求項１０】
前記第２のバッファがインバータである、請求項９に記載の可変遅延回路。
【請求項１１】
前記可変遅延回路は、基準入力信号に対する遅延を有するシフトされた入力信号とともに使用され、該可変遅延回路は、前記第１および第２のバッファに直列に結合されたモデル回路であって、該入力信号の遅延に対応するモデル回路遅延を有するモデル回路をさらに含む、請求項９に記載の可変遅延回路。
【請求項１２】
前記モデル回路が、
直列に結合された複数の遅延要素のチェインであって、前記第１および第２のバッファに直列に結合された複数の遅延要素のチェインと、
該複数の遅延要素の一つ以上をバイパスするように選択的にプログラム可能なプログラム可能バイパス回路と
を含む、請求項１１に記載の可変遅延回路。
【請求項１３】
前記プリチャージ回路に結合された放電回路であって、前記第１のキャパシタを制御可能に放電するように構成された放電回路と、
該第１のキャパシタに結合された検出入力端子と検出出力端子とを有する電圧検出器であって、選択された閾値電圧未満に前記キャパシタ電圧が放電するときに、遅延中間信号を生成するように動作可能な電圧検出器と、
該検出出力端子に結合された入力端子を有する出力段であって、該中間信号に応答して、前記遅延信号を生成するように応答する出力段と
をさらに含む、請求項９に記載の可変遅延回路。
【請求項１４】
前記可変遅延回路は、基準入力信号に対する遅延を有するシフトされた入力信号とともに使用され、該可変遅延回路は、前記第１および第２のバッファに直列に結合されたモデル回路であって、該入力信号の遅延に対応するモデル回路遅延を有するモデル回路をさらに含む、請求項１３に記載の可変遅延回路。
【請求項１５】
前記モデル回路が、
直列に接続された複数の遅延要素のチェインであって、前記第１および第２のバッファに直列に結合された複数の遅延要素のチェインと、

該複数の遅延要素の一つ以上をバイパスするように選択的にプログラム可能なプログラム可能バイパス回路と
を含む、請求項１４に記載の可変遅延回路。
【請求項１６】
入力クロック信号に対応するメモリデバイスであって、
コマンド入力端子と、
クロック入力端子と、
メモリアレイと、
該クロック入力端子に結合された増幅器入力とバッファ出力とを有するバッファ増幅器であって、該増幅器入力における該入力クロック信号に応答して、該入力クロック信号に対する位相シフトを有するバッファ処理されたクロック信号を生成するバッファ増幅器と、
該バッファ処理されたクロック信号に応答して位相がシフトした信号を生成するように適合した遅延ロックループと、
制御回路と
を備え、
該遅延ロックループは、
該バッファ出力に結合された入力端子と、出力端子と、制御入力端子とを有する可変遅延回路と、
該入力端子に結合された第１の入力と、該出力端子に結合された第２の入力と、該制御入力端子に結合された制御出力とを有する比較回路と
を含み、
該可変遅延回路は、
該入力端子と該出力端子との間で直列に結合された第１および第２のバッファと、
複数のキャパシタであって、該複数のキャパシタのそれぞれは、該制御入力端子に印加されるように適合したデジタル制御信号に応答して、該第１のバッファの出力と基準端子との間に選択的に結合される、複数のキャパシタと、
該複数のキャパシタに結合されたプリチャージ回路であって、該プリチャージ回路は、該入力信号に応答して、選択された電圧まで該複数のキャパシタをプリチャージし、エッジ比較回路が、遅延入力端子における遅延信号が一次入力端子における入力信号に先行することに応答して、キャパシタンスの増大を示すアップ信号を出力するように動作可能なレース回路を含む、プリチャージ回路と、
該プリチャージ回路に結合された放電回路であって、該複数のキャパシタを制御可能に放電するように構成された放電回路と、
該複数のキャパシタに結合された検出入力端子と、検出出力端子とを有する電圧検出器であって、選択された閾値電圧未満にキャパシタ電圧が放電されるときに、遅延中間信号を生成するように動作可能な電圧検出器と、
該検出出力端子に結合された入力端子を有する出力段であって、該出力段は該中間信号に応答して該遅延信号を生成するように応答し、該可変遅延回路が、該複数のキャパシタを該第１のバッファの出力に結合することにより生じる該キャパシタンスに対応する該バッファ処理されたクロック信号に対する遅延を有する該遅延出力信号を該出力端子に供給するように動作可能である、出力段と
を含み、
該比較回路は、該バッファ処理されたクロック信号と該遅延出力信号との相対的な位相に応答して、該デジタル制御信号を該制御出力に供給するように構成されており、
該制御回路は、該コマンド入力端子に結合されたコマンド入力と、該遅延ロックループの該出力端子に結合されたクロック入力と、該メモリアレイに結合された制御出力とを有し、該制御回路は、該遅延出力信号に応答して、該メモリアレイへのデータ転送および該メモリアレイからのデータ転送を制御するように構成されている、メモリデバイス。
【請求項１７】
前記可変遅延回路が、前記出力端子と前記第２入力との間に結合されたモデル回路であっ

て、前記バッファ増幅器の前記遅延に対応するモデル回路遅延を有するモデル回路をさらに含む、請求項１６に記載のメモリデバイス。
【請求項１８】
前記比較回路が、
前記第１および第２の入力を含み、かつ、位相出力を有するエッジ比較回路であって、前記遅延出力信号のエッジが前記入力信号に先行または遅延することを示す調節信号を供給するように応答するエッジ比較回路と、
該位相出力に結合されたカウンタ入力を有するカウンタであって、該カウンタが、前記デジタル信号を生成するように動作可能であり、かつ、前記第１および／または第２のキャパシタを前記第１のバッファの出力に選択的に結合することにより、該調節信号に応答して前記キャパシタンスを増大または減少させるように該調節信号に応答して該デジタル信号を変化させる、カウンタと
を含む、請求項１６に記載のメモリデバイス。
【請求項１９】
前記エッジ比較回路が、前記遅延入力端子における前記遅延信号が前記一次入力端子における前記入力信号に先行することに応答して、前記キャパシタンスの増大を示すアップ信号を出力するように動作可能なレース回路を含む、請求項１８に記載のメモリデバイス。
【請求項２０】
前記レース回路が、前記遅延入力端子における前記遅延信号が前記一次入力端子における前記入力信号より遅れることに応答して、前記キャパシタンスの減少を示すダウン信号を出力するようにさらに動作可能である、請求項１９に記載のメモリデバイス。
【請求項２１】
前記カウンタが、前記アップ信号およびカウントパルスに応答して、デジタル信号を増大させ、前記レース回路が、前記遅延入力端子における前記遅延信号が前記一次入力端子における前記入力信号に先行することに応答して、該カウントパルスを出力するようにさらに動作可能である、請求項１９に記載のメモリデバイス。
【請求項２２】
前記レース回路がアービトレーション回路をさらに含み、該アービトレーション回路が、前記遅延入力端子の前記遅延信号が前記一次入力端子の前記入力信号に実質的に同期化するとき、前記カウントパルスを抑制するように構成されている、請求項２１に記載のメモリデバイス。
【請求項２３】
前記可変遅延回路が、
並列に結合された複数のキャパシタと、
複数の選択スイッチであって、該複数の選択スイッチのそれぞれは、該複数のキャパシタのうちのそれぞれの１つに結合されており、前記デジタル制御信号の選択されたビットに応答して、残りのキャパシタから該それぞれ１つのキャパシタを選択的に分離する、複数の選択スイッチと
をさらに含む、請求項１６に記載のメモリデバイス。
【請求項２４】
前記出力段が、直列に結合された複数の固定遅延回路を含む、請求項１６に記載のメモリデバイス。
【請求項２５】
前記出力段が、前記複数の固定遅延回路のうちの一つ以上に並列に結合された、選択的にプログラム可能なバイパス回路をさらに含む、請求項２４に記載のメモリデバイス。
【請求項２６】
入力クロック信号に応答して、実質的に同期化した遅延クロック信号を生成する方法であって、該方法が、
該入力クロック信号にバッファ処理をすることにより、該入力クロック信号に対する第１の遅延を有するバッファ処理されたクロック信号を生成するステップと、

該バッファ処理されたクロック信号の第１のエッジに応答して、充電電圧までキャパシタバンクを充電するステップと、
該キャパシタバンクを充電した後に、該キャパシタバンクを制御可能に放電するステップと、
該キャパシタバンクの電圧をモニタするステップと、
該モニタされた電圧が閾値電圧未満に低下するのに応答して、フィードバッククロック信号のエッジを形成するステップと、
該フィードバッククロック信号のエッジと該バッファ処理されたクロック信号の第２のエッジとを比較するステップと、
該フィードバッククロック信号のエッジが、該バッファ処理されたクロック信号の第２のエッジに先行する場合に、該キャパシタバンクの該キャパシタンスを増大させるステップと、
該フィードバッククロック信号のエッジが、該バッファ処理されたクロック信号の第２のエッジに遅延する場合に、該キャパシタバンクの該キャパシタンスを減少させるステップと
を包含する、方法。
【請求項２７】
カウント信号を生成することにより、前記キャパシタバンクの前記キャパシタンスを確立するステップをさらに包含し、前記キャパシタンスを増大させるステップは、該カウント信号を増大または減少させるステップを包含する、請求項２６に記載の方法。
【請求項２８】
前記フィードバッククロック信号のエッジと前記バッファ処理されたクロック信号のエッジとが、実質的に同期的かどうかを判定するステップと、
該フィードバッククロック信号のエッジと該バッファ処理されたクロック信号のエッジとが、実質的に同期的である場合に、前記カウント信号の増大または減少を抑制するステップと
をさらに包含する、請求項２７に記載の方法。
【請求項２９】
前記キャパシタンスを増大させるステップは、複数のキャパシタを並列に結合するステップを包含する、請求項２６に記載の方法。
【請求項３０】
前記フィードバッククロック信号のエッジと前記入力クロック信号のエッジとを比較するステップは、
該フィードバッククロック信号のエッジに応答して、第１のパルスを生成するステップと、
該入力クロック信号のエッジに応答して、第２のパルスを生成するステップと、
該第２のパルスに応答して、該第１のパルスの転送経路を遮断するステップと、
該第１のパルスを用いて、該第２のパルスの転送経路を遮断するステップと、
該第１または第２のパルスのいずれかが、それぞれの転送経路が遮断される前に、それぞれの転送経路を完成したかどうかを判定するステップと
を包含する、請求項２６に記載の方法。
【請求項３１】
遅延ロックループを入力クロック信号にロックする方法であって、該方法は、
デジタルカウントを供給するステップと、
該入力クロック信号のエッジに応答して、パルスを生成するステップと、
該カウントに対応する遅延時間を有する遅延回路を用いて、該パルスを遅延させることにより、フィードバッククロック信号を生成するステップと、
選択された電圧までキャパシタンスを充電するステップと、
該パルスに応答して、該キャパシタンスを制御可能に充電または放電するステップと、
該キャパシタの電圧が、閾値電圧を超過したときを検出するステップと、

該キャパシタの電圧が該閾値電圧を超過したことに応答して、遅延パルスを生成するステップであって、該フィードバッククロック信号は、該パルスに対する該遅延パルスの該遅延に対応する遅延を用いて生成される、ステップと、
該フィードバッククロック信号と該入力クロック信号とを比較するステップと、
該フィードバッククロック信号が該入力クロック信号に先行または遅延することを示す信号を生成するステップと、
該フィードバッククロック信号が該入力クロック信号に先行する場合に、該カウントを増大または減少させるステップと、
該増大または減少されたカウントに応答して、それぞれ、遅延時間を増大または減少させるステップと
を包含する、方法。
【請求項３２】
前記遅延時間を増大させるステップは、前記キャパシタンスを増大させることを包含する、請求項３１に記載の方法。
【請求項３３】
前記フィードバッククロック信号が前記入力クロック信号に先行または遅延することを示す信号を生成するステップは、
該フィードバッククロック信号を第１のスイッチに印加するステップと、
該入力クロック信号を第２のスイッチに印加するステップと、
該フィードバッククロック信号が、該第１のスイッチを通過した場合に、該第２のスイッチを開放するステップと、
該入力クロック信号が該第２のスイッチを通過した場合に、該第１のスイッチを開放するステップと、
該フィードバッククロック信号が該第１のスイッチを通過したかどうかを検出するステップと、
該入力クロック信号が該第２のスイッチを通過したかどうかを検出するステップと
を包含する、請求項３２に記載の方法。
【請求項３４】
前記クロック信号の両方がそれぞれのスイッチを通過した場合に、前記カウントの増大または減少をディスエーブルするステップをさらに包含する、請求項３３に記載の方法。
【発明の詳細な説明】
技術分野
本発明は、集積回路デバイスに関し、そしてより詳細には、集積回路デバイス内の遅延ロックループに関する。
発明の背景
多くの高速度集積デバイス（例えば、図１に示される同期メモリデバイス４０）は、所定のシーケンスにおける操作を実行する。これらの操作は、コマンド発生器（例えば、メモリ制御器４４）により発せられたそれぞれのコマンド信号に応答して通常実行される。
図１のブロック図が、メモリデバイス４０に適用されるいくつかの信号を、簡潔さを目的として省略していることは、当業者により理解される。また、コマンド信号ＣＯＭが他の信号の組合せから構成されるか、もしくは制御データのパケットであってもよいことも、当業者により理解される。いずれのケースにおいても、信号の組合せもしくはパケットは、共通して単にコマンドと言及される。これらの信号もしくはパケットの正確な本質は、メモリデバイス４０の本質に依存するが、上記された原理は、多くの種類のメモリデバイス（同期ＤＲＡＭおよびパケット化ＤＲＡＭを含む）に適用可能である。また、クロック信号との固定関係に従ってコマンド信号を発することによるタイミング制御は、メモリデバイスに関して説明されるが、本明細書中に記載される原理は、他の集積回路（カウンタまたはクロック信号に応答した関連切り換え信号を利用する集積回路）にも適用可能である。
デバイス４０内における操作のタイミングは、内蔵クロック信号ＣＫＢＵＦにより制御さ

れる論理制御回路４２により決定される。同期ＤＲＡＭにおいて、論理制御回路４２は、慣習的に実現されてもよい。パケット化メモリシステムにおいて、論理制御回路は、コマンド配列および複合回路を含んでもよい。
メモリデバイス４０外部の信号のタイミングは、外部クロック信号ＣＫＩＮ（メモリ制御器のような外部デバイス４４により生成される信号）により決定される。通常、メモリデバイス４０内における操作は、メモリデバイス４０外部の操作に同期化されなければならない。例えば、コマンドおよびデータは、内部クロック信号ＣＫＢＵＦに従ってコマンドおよびデータラッチ５０、５２をクロックすることにより、コマンドおよびデータバス４８、４９のそれぞれの上でメモリデバイス４０内へ、またはその外へ転送される。コマンドバス４８上のコマンドタイミングおよびデータバス４９上のデータタイミングは、外部クロック信号ＣＫＩＮにより制御される。コマンドおよびデータを外部クロック信号ＣＫＩＮに対して適切な時間において、バス４８、４９へ転送、およびそれらから転送するため、内部クロック信号ＣＫＢＵＦは外部クロック信号ＣＫＩＮに同期化されなければならない。
クロック信号ＣＫＢＵＦ、ＣＫＩＮが同期化され得ることを保証するため、内部クロック信号ＣＫＢＵＦは外部クロック信号ＣＫＩＮから引き出される。バッファ増幅器４６は、外部クロック信号ＣＫＩＮをバッファリングし、内部クロック信号ＣＫＢＵＦとして、外部クロック信号ＣＫＩＮのバッファ処理されたバージョンを生成する。バッファ増幅器４６は従来の差動増幅器（十分な利得および適切なレベル移動を提供する増幅器）であり、バッファ処理されたクロック信号ＣＫＢＵＦはＣＭＯＳレベルにおいてメモリデバイス４０内において回路を運転し得る。
バッファ増幅器４６は、いくらかの時間遅延をもまた含み、バッファ処理されたクロック信号ＣＫＢＵＦは外部クロック信号ＣＫＩＮに関して位相変化される。位相変化が非常に最小である限り、メモリデバイス４０内におけるタイミングは、外部タイミングに容易に同期化され得る。
残念ながら、メモリデバイス４０の操作の周波数が増すにつれて、バッファ増幅器４６により誘発される時間遅延が著しくなるかもしれない。従って、メモリ制御器４４により供給されるコマンドまたはデータは、ラッチ５０、５２がバッファ処理されたクロック信号ＣＫＢＵＦの適切なエッジ上で活性化される前に、コマンドまたはデータバス４８、４９からなくなるかもしれない。ラッチ５０、５２がコマンド（外部クロックＣＫＩＮと同期化して届くコマンド）を喪失することを妨げるため、メモリデバイス４０はより低い周波数において操作されてもよい。しかし、メモリデバイスのより低い周波数操作は、典型的に操作の速度を望ましくないように低下させる。
内部および外部タイミングの同期化を改良するため、図２に示される先行技術メモリデバイス６０は、アナログ遅延ロックループ６２（バッファ処理されたクロック信号ＣＫＢＵＦを受信するループ）を含み、そして同期クロック信号ＣＫＳＹＮＣ（外部クロック信号ＣＫＩＮに同期化した信号）を生成する。バッファ増幅器４６の遅延を補償するため、同期クロック信号ＣＫＳＹＮＣは、バッファ増幅器４６の遅延をオフセットする量により、バッファ処理されたクロック信号ＣＫＢＵＦに関して位相変化される。同期クロック信号ＣＫＳＹＮＣが外部クロック信号ＣＫＩＮと同期化され、実質的に同位相であることから、コマンドバス４８またはデータバス４９上に届くコマンドおよびデータは、同期クロック信号ＣＫＳＹＮＣを介して外部クロックＣＫＩＮに同期化され得る。
図２のメモリデバイス６０のもつ１つの問題点は、従来の遅延ロックループ６２が典型的に狭い周波数帯域に渡ってのみ作動することである。従って、メモリデバイス６０は多周波数環境において、もしくはアプリケーションの幅広い範囲内においては、正常に作動しないかもしれない。
さらに、多くの従来のアナログ遅延ロックループは比較的洗練されたアナログ構成要素を含み、これら構成要素はデジタルメモリ構成要素と常に容易に一体化されるわけではない。また、操作状態が変化するにつれ、バッファ増幅器４６の遅延も変化し得、これにより位相移動における変化に対応することを引き起こす。従って、遅延ロックループ６２が、

同期クロック信号ＣＫＳＹＮＣの位相移動に合うように順応しない場合、デバイス４０内における操作は、外部クロックＣＫＩＮに正常に同期化したままでないかもしれない。

発明の要旨

遅延ロックループが、選択された入力周波数における入力信号に応答して信号が移動される、複数の位相を生成する。遅延ロックループは、遅延したクロック信号を出力する、多様な遅延回路を含む。レース検出回路は、遅延クロック信号および入力クロック信号を受信し、そして遅延クロック信号が入力クロック信号をリードするか、あるいは遅れるかによって、レース検出回路は増加または減少信号をカウンタへ出力する。増加または減少信号に応答し、カウンタはデジタルカウント信号を増加または減少する。

多様な遅延回路は、選択可能キャパシタのバンクを含み、これらキャパシタは標準電位と供給電位との間で、それぞれの選択スイッチにより各々選択的に連結している。選択スイッチのそれぞれは、カウンタからのデジタルカウント信号の１ビットにより制御される。対応するビットが「１」の場合、選択スイッチはキャパシタをもう１つのキャパシタと並行に連結する。バンクの静電容量は、選択されたキャパシタの数および静電容量により決定される。遅延回路の遅延が静電容量に対応するため、遅延回路の遅延はデジタルカウント信号により制御される。

バンク内の各キャパシタは、デジタルカウントのそれぞれのビットの重みに対応する静電容量を有する。例えば、デジタル信号の最上位のビットにより制御されるキャパシタは、最大キャパシタであり、デジタル信号の最下位のビットにより制御されるキャパシタは、最小キャパシタである。

ある実施形態では、レース検出回路は１組のパルス発生器から形成され、それぞれが、各々のゲート回路に連結した出力を有する。ゲート回路は、それぞれ制御ポートを含み、制御ポートにおいて制御信号に応答しており、それぞれのパルス回路からのパルスをパスまたはブロックする。ゲート回路の出力は、それぞれのラッチ回路を運転する。ラッチ回路のそれぞれは、もう１つのラッチ回路に連結したゲート回路の制御ポートに連結した出力を含み、ラッチは制御信号を出力する。よって、パルスが第１ゲート回路を介してパスし、対応するラッチを設定する場合、ラッチ出力は第２ゲート回路を不能にし、第２ラッチが設定されることを妨げる。

両パルスが対応するゲート回路において実質的に同時に届く場合、両方のラッチはゲート回路が不能になる前に設定される。両ラッチが設定されることに応答して、アービトレーション回路はカウンタのクロッキングを不能にし、デジタルカウント信号は一定のままになり、これにより多様な遅延回路の遅延を維持する。

【図面の簡単な説明】

図１は、メモリ制御器により運転され、バッファ処理されたクロック信号を生成するバッファ増幅器を含む、先行技術メモリデバイスのブロック図である。

図２は、メモリ制御器により運転され、バッファ処理されたクロック信号から同期クロック信号を生成する遅延ロックループを含む、先行技術メモリデバイスのブロック図である。

図３は、メモリ制御器の制御下にあり、１組のデジタル遅延ロックループおよび同期内部クロック信号を生成するラッチ回路を含む、本発明の１つの実施形態によるメモリデバイスのブロック図である。

図４は、図３のメモリデバイス内において選択された信号の信号タイミング図である。

図５は、図３の遅延ロックループの内１つの概略図である。

図６は、図５の遅延ロックループ内における選択された信号の信号タイミング図である。

図７は、図５の遅延ロックループ内のパルス発生器の概略図である。

図８は、図５の遅延ロックループ内のバッファモデル回路の概略図である。

図９は、図５の遅延ロックループ内のレース検出回路の概略図である。

図１０は、図３のメモリ制御器およびメモリデバイスを含むコンピュータシステムのブロック図である。

発明の詳細な説明

図３に示すように、本発明のある実施形態による記憶装置７０は、外部装置４４からの外部クロック信号ＣＬＫＩＮおよびコマンドＣＯＭの制御下で動作する。コマンドＣＯＭは通常、行および列アドレスストローブＲＡＳ＊、ＣＡＳ＊または出力イネーブル信号ＯＥ＊等の信号を合成したものであることを当業者は理解する。あるいは、コマンドＣＯＭは、パケット化されたメモリシステム内の１パケットの制御データ内に組み込まれてもよい。

図１および図２を参照して上で説明したように、記憶装置７０は論理制御回路４２およびバッファ増幅器４６を含む。しかし、図２の装置６０のアナログ遅延ロックループ６２ではなく、記憶装置７０は、入力インバータ７４から形成された同期クロック回路７２、第１および第２のデジタル遅延ロックループ７６および７８、ならびにラッチ回路８０を含む。ここで、図４～図６を参照しつつ、同期クロック回路７２の動作を説明する。

入力クロック信号ＣＬＫＩＮに応答して、バッファ増幅器４６は、入力クロック信号ＣＬＫＩＮに対してバッファ増幅器４６の応答時間τ_{BUF}だけ遅延されたバッファ処理されたクロック信号ＣＬＫＢＵＦを出力する。第１の遅延ロックループ７６はインバータ７４からバッファ処理されたクロック信号ＣＫＢＵＦの逆信号を受け取り、第２の遅延ロックループ７８はバッファ処理されたクロック信号ＣＫＢＵＦを直接受け取る。以下に図５を参照して説明するように、遅延ロックループ７６および７８は、バッファ処理されたクロック信号ＣＫＢＵＦの立ち下がりエッジに応答して図４の第３のグラフに示すように第１の遅延クロックＣＫａ１＊を生成し、逆バッファ処理されたクロック信号ＣＫＢＵＦ＊の立ち下がりエッジに応答して図４の第４のグラフに示すように第２の遅延クロックＣＫａ２＊を生成する、立ち下がり区間型遅延ロックループである。結果として、以下に説明する動作は、バッファ処理されたクロック信号ＣＫＢＵＦの立ち下がりエッジを引き起こす外部クロック信号ＣＫＩＮの立ち下がりエッジによって時間t_1に開始される。また以下に説明するように、遅延クロック信号ＣＫａ１＊およびＣＫａ２＊はそれぞれバッファ処理されたクロック信号ＣＫＢＵＦの立ち下がりエッジおよび立ち上がりエッジと同期をとる。クロック信号ＣＫａ１＊およびＣＫａ２＊の立ち下がりエッジの各々は、バッファ増幅器４６の遅延時間τ_{BUF}およびラッチ回路８０の遅延時間τ_{LATCH}の合計に実質的に等しい時間τ_{LEAD}だけ、バッファ処理されたクロック信号ＣＫＢＵＦの対応する立ち下がりエッジおよび立ち上がりエッジに先行する。従って、第１の遅延クロック信号ＣＫａ１＊の立ち下がりエッジは、ほぼラッチ回路８０の遅延時間だけ外部クロック信号ＣＫＩＮの立ち下がりエッジから先行する。同様に、第２の遅延クロック信号ＣＫａ２＊の立ち下がりエッジは、ラッチ回路８０の遅延時間だけ外部クロック信号ＣＫＩＮの立ち上がりエッジから先行する。

ラッチ回路８０は、各ＮＡＮＤゲート８２および８４の入力において、遅延クロック信号ＣＫａ１＊および遅延クロック信号ＣＫａ２＊を受け取る。以下に説明するように、ラッチ回路８０は、同期クロック信号ＣＫＳＹＮＣのローになるエッジを生成することにより、第１の遅延クロック信号ＣＫａ１＊の立ち下がりエッジに応答する。ラッチ回路８０は、同期クロック信号ＣＫＳＹＮＣのハイになるエッジを生成することにより、第２のクロック信号ＣＫａ２＊のローになるエッジに応答する。同期クロック信号ＣＫＳＹＮＣの立ち上がりエッジおよび立ち下がりエッジは、ラッチ回路８０の遅延時間τ_{LATCH}だけ遅延クロック信号ＣＫａ１＊およびＣＫａ２＊の立ち下がりエッジから遅れ、遅延クロック信号ＣＫａ１＊およびＣＫａ２＊の立ち下がりエッジは、ラッチ回路８０の遅延時間τ_{LATCH}だけ外部クロック信号ＣＫＩＮに先行する。従って、同期クロック信号ＣＫＳＹＮＣは、実質的に外部クロック信号ＣＫＩＮと同じ位相である。

論理制御回路４２は、同期クロック信号ＣＫＳＹＮＣに応答して動作のタイミングを記憶装置７０内に設定する。例えば、論理制御回路４２は同期クロック信号ＣＫＳＹＮＣのエッジ上のコマンドラッチ５０を活性化して、同期クロック信号ＣＫＳＹＮＣに基づき、外部クロック信号ＣＫＩＮのエッジのコマンドバス４８に到着するコマンドＣＯＭをラッチする。同様に、論理制御回路４２は、外部クロックＣＬＫＩＮに対して相対的に、固定された位相でデータラッチ５２を活性化させ得る。当業者は以下の説明から、遅延ロックル

ープ７６における信号のタイミングが、主にバッファ処理されたクロック信号ＣＫＢＵＦの立ち下がりエッジによって指示される（ｄｉｃｔａｔｅｄ）ことを理解する。遅延されたロックループ７８について、インバータ７４はバッファ処理されたクロック信号ＣＫＢＵＦの立ち上がりエッジを逆バッファ処理されたクロック信号ＣＫＢＵＦ＊の立ち下がりエッジに変換する。従って、遅延ロックループ７８は逆転したバッファ処理されたクロック信号ＣＫＢＵＦ＊の立ち下がりエッジに応答する。遅延ロックループ７６および７８のいずれにおいても立ち下がりエッジによってタイミングが制御されるので、遅延ロックループ７６および７８は実質的に同じである。従って第１の遅延ロックループ７６のみを本明細書中に詳細に説明する。

図５は、遅延ロックループ７６をより詳細に示す。遅延ロックループ７６は変数遅延ライン８６，プリセット回路８８、レース検出回路９０およびカウンタ９２から形成される。変換遅延ライン８６は、遅延ロックループ７６の主要な遅延エレメントを形成し、パルス発振器９４においてバッファ処理されたクロック信号ＣＬＫＢＵＦを受け取る。パルス発振器９４は、図６の第３のグラフに示すように、時間t_3において極めて短いハイパルスで、０．５ｎＳのオーダーで、バッファ処理されたクロック信号ＣＬＫＢＵＦの立ち下がりエッジに応答する従来の回路である。適切なパルス発振器９４の１つの例を図７に示す。ここで、パルス発振器９４はＮＡＮＤゲート９６およびインバータ９８から形成される。

パルス発振器９４からの出力パルスは、時間t_4で始まり、この出力パルスは、パルス発振器９４の遅延のため、時間t_3のバッファ処理されたクロック信号ＣＬＫＢＵＦの立ち下がりエッジに関してわずかに遅延される。パルス発振器９４からの出力パルスは、第１のインバータ１００を駆動して、時間t_5で反転パルスを生成する。時間t_5の反転パルスは、第２のインバータ１０２を駆動し、キャパシタバンク１０６のプリチャージ入力１０４もまた駆動する。まず、反転パルスがキャパシタバンク１０６に及ぼす影響について説明する。

反転パルスが時間t_5でプリチャージ入力１０４に達すると、反転パルスは、電源電圧V_{cc}と接地との間にそれぞれのキャパシタ１１０と直列に結合されるＰＭＯＳトランジスタ１０８のバンクをしばらくの間オンにする。オンのＰＭＯＳトランジスタ１０８は、電源電圧V_{cc}からそれぞれのキャパシタ１１０への電流路を提供し、パルスがローである間、キャパシタ１１０を電源電圧V_{cc}に近づくようにプリチャージする。キャパシタ電圧V_cは、それぞれの選択スイッチ１１２により共通ノード１１４に結合され、この共通ノード１１４はまた、第２のインバータ１０２の出力に接続される。図９を参照して以下に説明される態様で、選択スイッチ１１２のうちの選択されたスイッチが、カウント信号ＣＯＵＮＴのそれぞれのビットによりオンにされ、そのため、選択されたキャパシタ１１０の電圧が、オンのセレクタスイッチにより、共通ノード１１４に提供される。

キャパシタ１１０が並列に結合されるため、キャパシタバンクのキャパシタンスは、共通ノード１１４に結合されるキャパシタの和に等しい。従って、バンクのキャパシタンスは、カウント信号ＣＯＵＮＴにより制御される。例えば、カウント信号ＣＯＵＮＴのビットがすべてハイであれば、キャパシタ１１０はすべて共通ノード１１４に結合され、共通ノード１１４に与えられるキャパシタンスは、キャパシタのキャパシタンスの和に等しい。キャパシタンスを、等しい増分で変えることを可能にするために、各キャパシタは、二値で（ｂｉｎａｒｉｌｙ）重み付けされたキャパシタンスを有し、ここで、重み付けは、カウント信号ＣＯＵＮＴのそれぞれのビットの有意性に対応する。例えば、最上位ビットにより制御されるキャパシタ（かなり右側）は、最上位ビットの次のビットにより制御されるキャパシタの２倍のキャパシタンスを有する。同様に、最下位ビットにより制御されるキャパシタ（かなり左側）は、最下位ビットの次のビットにより制御されるキャパシタの半分のキャパシタンスを有する。

時間t_5の後の非常に短い時間の間（即ち、第２のインバータ１０２が第１のインバータからローの遷移に応答する前）、オンのＰＭＯＳトランジスタ１０８は、キャパシタ１１０を充電し、第２のインバータ１０２は、共通ノード１１４を介してキャパシタ１１０を

放電する。ＰＭＯＳトランジスタ１０８は、第２のインバータ１０２よりも実質的に大きい電流容量を有するため、共通ノード電圧が上昇する。時間t_5から第２のインバータ１０２の遅延分だけ経過した時間t_6で、第２のインバータ１０２の出力はハイに遷移し、それにより、ＰＭＯＳトランジスタ１０８が、時間t_6で、キャパシタ電圧V_cを電源電圧V_{cc}まで迅速に充電するのを助ける。従って、パルス発振器９４からのパルスの立ち上がりエッジは、時間t_6で、キャパシタ１１０を電源電圧までプリチャージする。

以下の説明から分かるように、パルス発振器９４からのパルスのリーディングエッジ（ｌｅａｄｉｎｇ　ｅｄｇｅ）の、可変遅延ライン８６の残りの部分への伝搬は、遅延ロックループ７６の動作に影響を及ぼさない。図６の６番目のグラフに示されるように、共通ノード１１４の高電圧に応答して、第３のインバータ１１６は、時間t_7で、ＮＡＮＤゲート１１８にローを付与する。図６の８番目のグラフに示されるように、ＮＡＮＤゲート１１８の第２の入力は、リセットパルス発振器１２０およびインバータ１２２から、反転パルスを受け取る。反転パルスは、第３のインバータ出力の立ち下がりエッジの前にＮＡＮＤゲート１１８に達し、ハイのＮＡＮＤゲート出力を確立する。それにより、第３のインバータ出力の立ち下がりエッジは、ＮＡＮＤゲート１１８の出力に影響を及ぼさない。なぜなら、インバータ１２２からの反転パルスが、時間t_5ごろには既にＮＡＮＤゲート出力をハイに駆動しているからである。ＮＡＮＤゲート１１８に付与された反転パルスが時間t_8ごろに終了するまでに、第３のインバータ１１６の出力は、ローに遷移している。従って、反転パルスがハイに戻るとき、ＮＡＮＤゲート１１８の出力は、ローに遷移しない。

図６の７番目のグラフに示されるように、ＮＡＮＤゲート１１８の出力は、第１の遅延クロック信号ＣＬＫａ１*を形成する。上記のように、インバータ１１６の出力がローになるまでに、ＮＡＮＤゲート１１８の出力が既にハイに駆動されるため、第１の遅延クロック信号ＣＬＫａ１*のリーディングエッジは、インバータ１２２からの反転パルスにより開始され、パルスは、第３のインバータ１１６の出力により持続される。

ＮＡＮＤゲート１１８の出力はまた、ＮＯＲゲート１２６と、インバータ１２７とから形成される遅延ブロック１２４を駆動する。この遅延ブロック１２４は、第１のシフトされた遅延クロックＣＬＫｂ１*を生成する。しかし、遅延クロック信号ＣＬＫａ１*のハイへの遷移は、第１のシフトされた遅延クロック信号ＣＬＫｂ１*に影響を及ぼさない。なぜなら、ＮＯＲゲート１２６が、パルス発振器１２０からパルスを受け取っており、図６の９番目のグラフに示されるように、その出力が、第１の遅延クロックＣＬＫａ１*がハイに遷移する前に、既にローに駆動されているからである。

遅延ブロック１２４の出力はまた、第２の遅延ブロック１３０を駆動して、図６の１０番目のグラフに示されるように、第１のシフトされた遅延クロック信号ＣＬＫｂ１*に関してわずかに遅延される第２のシフトされた遅延クロック信号ＣＬＫｃ１*を生成する。

第２のシフトされた遅延クロック信号ＣＬＫｃ１*を形成することに加えて、第２の遅延ブロック１３０の出力はまた、バッファ増幅器４６（図３）の遅延に実質的に等しい遅延を有する遅延バッファ１２８を駆動する。遅延バッファ１２８は、第２のシフトされた遅延クロック信号ＣＬＫｃ１*に関して、ほぼバッファ増幅器４６の時間遅延分だけ遅延される遅延フィードバック信号ＣＬＫＦＢを生成する。このフィードバッククロック信号ＣＬＫＦＢは、時間t_9で起こる第２のシフトされた遅延クロック信号ＣＬＫｃ１*の遷移に応答して、時間t_{12}でハイになる。

図８に示されるように、遅延バッファ１２８は、インバータ１３３およびＮＯＲゲート１３５の連続から形成され、各ＮＯＲゲート１３５の第２の入力は、パルス発振器１２０により駆動される。インバータ１３３およびＮＯＲゲート１３５の各々は、第２のシフトされた遅延クロックＣＬＫｃ１*を、１ゲート遅延分だけ遅延させる。

ＮＯＲゲート１３５は、第２の入力で、リセットパルス発振器１２０からのリセットパルスを受け取る。リセットパルスは、インバータ１００、１０２、１１６、ＮＡＮＤゲート１１８、および遅延ブロック１２４、１３０をバイパスするため、リセットパルスは、パルス発振器９４からのパルスにより引き起こされるいかなる遷移よりも前に、ＮＯＲゲー

ト１３５に達する。従って、ハイになるリセットパルスは、バッファ処理されたクロック信号ＣＬＫＢＵＦが遷移したすぐ後に、ＮＯＲゲート１３５の出力をローにセットし、従って、フィードバッククロック信号ＣＬＫＦＢをハイにセットする。リセットパルスは、いかなる過渡信号も、レース検出回路９０をトリガする、フィードバッククロック信号ＣＬＫＦＢのローへの遷移を不慮に引き起こさないようにする。そのような不慮のローへの遷移の１つの例は、遅延ロックループ８６が絶対にロックされない場合に起こり得る。第２のインバータ１０２からの減衰する出力が非常に低速であれば、第３のインバータ１１６への入力は、バッファ処理されたクロック信号ＣＬＫＢＵＦのその後の立ち下がりエッジがちょうどパルス発振器９４およびレース検出回路９０に達したときに、しきい値電圧よりも低い電圧に立ち下がってもよい。パルス発振器９４からのパルスが第３のインバータ１１６に達する前に、第３のインバータ１１６は、減衰する共通ノード電圧に応答して、ハイへの遷移を出力する。リセットＮＯＲゲート１３５が、バッファ処理されたクロック信号ＣＬＫＢＵＦがハイのままであることを確実にしなければ、第３のインバータ１１６からのハイへの遷移は、バッファ処理されたクロック信号ＣＬＫＢＵＦのローへの遷移を引き起こし得る。そのような不慮のローになるパルスは、レース検出回路をトリガし、カウント信号ＣＯＵＮＴの不適切な増分または減分を引き起こす。

遅延バッファ１２８の遅延が、バッファ増幅器４８の特定の遅延に合わせられることを可能にするために、４つのタッピングスイッチ１３７が、インバータ１３３のチェーンの様々なタッピング場所と、遅延バッファ１２８の出力との間に結合される。タッピングスイッチ１３７は、アンチフューズなどの従来のプログラム可能スイッチである。スイッチが閉じられると、これらのスイッチは、インバータ１３３の１つ以上の対をバイパスし、それにより、遅延バッファ１２８の全体的な遅延を低減する。

再び図５および図６を参照して、次に、パルス発振器９４からのパルスの立ち下がりエッジに対する可変遅延ライン８６の応答について説明する。図６の４番目のグラフに示されるように、パルス発振器９４からのパルスが時間t_7でローに戻ると、第１のインバータ１００の出力がハイに遷移する。第１のインバータ１００からのハイの出力は、ＰＭＯＳトランジスタ１０８のすべてをオフにし、それにより、キャパシタ１１０を電源電圧V_{cc}から分離する。その後すぐに、時間t_8で、第２のインバータ１０２の出力は、第１のインバータ１００からの出力のハイへの遷移に応答して、ローに遷移しようとする。しかし、第２のインバータ１０２の出力は、すぐにはローに遷移しない。なぜなら、共通ノード１１４の電圧が、オンの選択スイッチ１１２を介してキャパシタ１１０により維持されているからである。従って、第２のインバータの出力は、インバータ１０２の出力抵抗と、共通ノード１１４に結合されるキャパシタ１１０のキャパシタンスとにより規定されるＲＣ時定数に従って減衰する。バンクのキャパシタンスは、カウント信号ＣＯＵＮＴにより制御されるため、カウント信号ＣＯＵＮＴはまた、第２のインバータ出力の減衰レートを規定する。カウント信号ＣＯＵＮＴの初期値、および従って、初期減衰レートは、予期された平均バッファ遅延時間に基づいて選択されてもよく、単に、カウンタ９２の最も低い値または最も高い値で始まってもよい。

図６の５番目のグラフに示されるように、第３のインバータ１１６の出力は、共通ノード１１４の電圧が第３のインバータ１１６のしきい値電圧V_Tまで減衰すると、時間t_{10}でハイに遷移する。従って、第２のインバータ１０２の入力でのハイへの遷移と、第３のインバータ１１６のローへの遷移との間の時間は、カウント信号ＣＯＵＮＴにより決定される。なぜなら、上記のように、カウント信号ＣＯＵＮＴは、共通ノード電圧の減衰レートを制御するからである。

図６の８番目のグラフに示されるように、第３のインバータ出力が時間t_{10}でハイに遷移するまでに、インバータ１２２からのプリチャージパルスは既にハイに戻っている。従って、第３のインバータ１１６の出力が時間t_{10}でハイに遷移すると、ＮＡＮＤゲート１１８の出力（ＣＬＫａ１*）は、時間t_{10}に関してＮＡＮＤゲート１１８のゲート遅延分だけ遅延された時間t_{11}でローに遷移する。時間t_{11}での第１のクロック信号ＣＬＫａ１*の立ち下がりエッジは、第１のシフトされた遅延クロック信号ＣＬＫｂ１*を、時間t_{12}

でローに遷移させ、そして、第２のシフトされた遅延クロック信号ＣＬＫｃ１*を、時間ｔ13でローに遷移させる。従って、フィードバッククロック信号ＣＬＫＦＢは、第２のシフトされた遅延クロック信号ＣＬＫｃ１*に関して遅延バッファ１２８の遅延時間τBUF’分だけ遅延された時間ｔ14でローに遷移する。

フィードバッククロックＣＬＫＦＢおよびバッファ処理されたクロック信号ＣＬＫＢＵＦは、レース検出回路９０の第１および第２の入力に入力される。レース検出回路９０は、クロック信号ＣＬＫＦＢ、ＣＬＫＢＵＦのトレーリングエッジ（ｔｒａｉｌｉｎｇ　ｅｄｇｅ）を比較し、フィードバッククロック信号ＣＬＫＦＢが、バッファ処理されたクロック信号ＣＬＫＢＵＦよりも進んでいるか、遅れているか、または、実質的に同期されているかを判定する。

図６の一番下のグラフに示されるように、フィードバッククロック信号ＣＬＫＦＢが、バッファ処理されたクロック信号ＣＬＫＢＵＦよりも遅延時間τ1だけ進んでいれば、レース検出回路９０は、カウンタ９２に、アクティブローＵＰ*信号およびカウントパルスＣＰＵＬを出力する。アクティブローＵＰ*信号およびカウントパルスＣＰＵＬに応答して、カウンタ９２は、カウント信号ＣＯＵＮＴを増分し、それにより、上記のように、キャパシタバンク１０６のキャパシタンスを増分する。キャパシタバンク１０６の増加されたキャパシタンスは、ＲＣ時定数を増加し、図６の５番目のグラフの時間ｔ16と時間ｔ17の間に示されるように、第２のインバータ１０２からの次のパルス出力の減衰レートを低速にする。

第２のインバータ出力の低減された減衰レートは、第３のインバータ出力のローへの遷移を、時間ｔ17まで遅延させる。従って、第１の遅延クロック信号ＣＬＫａ１*は、時間ｔ18でローに遷移し、フィードバッククロック信号ＣＬＫＦＢは、時間ｔ19でローに戻る。これは、図６の一番下のグラフに示されるように、バッファ処理されたクロック信号ＣＬＫＢＵＦよりも時間遅延τ2分だけ早い。キャパシタバンク１０６の増加されたキャパシタンスのために、フィードバッククロック信号ＣＬＫＦＢのハイからローへの遷移が遅延されているため、バッファ処理されたクロック信号ＣＬＫＢＵＦに関するフィードバッククロック信号ＣＬＫＦＢの先行時間τ1は、もとの先行時間τ1に関して減少している。しかし、フィードバッククロック信号ＣＬＫＦＢは、依然として、バッファ処理されたクロック信号ＣＬＫＢＵＦよりも進んでいる。従って、レース検出回路９０は、別のアクティブローＵＰ*信号およびカウントパルスＣＰＵＬを出力し、カウンタ９２をもう一度増分する。第２のインバータ出力のキャパシタンスおよび従って減衰時間はさらに増加され、第３のインバータ出力の遷移を時間ｔ20までさらに遅延する。従って、第１の遅延クロック信号ＣＬＫａ１*は、時間ｔ20でローに遷移し、フィードバッククロック信号ＣＬＫＦＢは、時間ｔ22でローに遷移する。

時間ｔ22で、フィードバッククロック信号ＣＬＫＦＢの立ち下がりエッジは、バッファ処理されたクロック信号ＣＬＫＢＵＦの立ち下がりエッジと同期される。図９を参照して以下に説明されるように、遅延ロックループ７６が実質的に同期されるため、レース検出回路９０は、カウントパルスＣＰＵＬを出力せず、カウンタ９２は、カウント信号ＣＯＵＮＴを増分しない。

当業者は、フィードバッククロック信号ＣＬＫＦＢがバッファ処理されたクロック信号ＣＬＫＢＵＦよりも遅れているとき、レース検出回路９０が、カウンタ９２を減分し得ることを認識する。従って、キャパシタンスが減少し、それにより、クロック信号ＣＬＫＦＢ、ＣＬＫＢＵＦが同期されるまで、可変遅延ライン８６の遅延時間を低減する。

図９は、レース検出回路９０の１つの回路実現を示す。レース検出回路９０は、第１のパルス発振器１３０で、フィードバッククロック信号ＣＬＫＦＢを受け取り、第２のパルス発振器１３２で、バッファ処理されたクロック信号ＣＬＫＢＵＦを受け取る。パルス発振器１３０、１３２の各々の構造は、図７のパルス発振器９４と同様である。従って、パルス発振器１３０、１３２はそれぞれ、クロック信号ＣＬＫＦＢ、ＣＬＫＢＵＦの立ち下がりエッジに応答して、短い出力パルスを生成する。

パルス発振器１３０、１３２からの出力パルスは、トランジスタの相補対１３８、１４０

および１４２、１４４により形成される対を含むそれぞれのゲート回路１３４、１３６に入力される。第１のゲート回路１３４において、ＮＭＯＳトランジスタ１３８のゲートは、第１の制御信号ＣＯＮ１により制御され、ＰＭＯＳトランジスタ１４０のゲートは、第１の制御信号を反転した信号ＣＯＮ１*により制御される。第１の制御信号ＣＯＮ１がハイであるとき、トランジスタ１３８、１４０はともにオンであり、パルス発振器１３０の出力は、第１のラッチ回路１４６に結合される。

第１の制御信号ＣＯＮ１がローであるとき、トランジスタ１３８、１４０はともにオフであり、それにより、第１のラッチ回路１４６を、第１のパルス発振器１３０から分離する。さらに、反転された第１の制御信号ＣＯＮ１*は、基準トランジスタ１５０をオンにし、それにより、トランジスタ１３８、１４０がオフのときには常に、第１のラッチ回路１４６の入力を接地する。

第２のゲート回路１３６では、ＮＭＯＳトランジスタ１４２は、第２の制御信号ＣＯＮ２により制御され、ＰＭＯＳトランジスタ１４４は、反転された第２の制御信号ＣＯＮ２*により制御される。第２の制御信号ＣＯＮ２がハイであるとき、トランジスタ１４２、１４４はオンであり、第２のパルス発振器１３２の出力は、第２のラッチ回路１４８に結合される。

第２の制御信号ＣＯＮ２がローであるとき、トランジスタ１４２および１４４はオフであり、それにより、第２のラッチ回路１４８を、第２のパルス発振器１３２から分離する。さらに、反転された第２の制御信号ＣＯＮ２*は、第２の基準トランジスタ１５２をオンにし、第２のラッチ回路１４８の入力を接地する。

第１のラッチ回路１４６の出力は、インバータ対１５４を介してバッファ処理され、カウンタ９２のためのＵＰ*信号を生成する。さらに、ラッチ回路１４６、１４８の両方の出力は、アービトレーション回路１５６に入力される。アービトレーション回路１５６は、カウンタ９２のための制御パルスＣＰＵＬを生成するかどうかを判定する。

次に、フィードバッククロック信号ＣＬＫＦＢがバッファ処理されたクロック信号ＣＬＫＢＵＦよりも進んでいる場合、フィードバッククロック信号ＣＬＫＦＢがバッファ処理されたクロック信号ＣＬＫＢＵＦよりも遅れている場合、および、フィードバッククロック信号ＣＬＫＦＢが、バッファ処理されたクロック信号ＣＬＫＢＵＦと実質的に同期されている場合の、レース検出回路９０の動作について説明する。最初に、両方のラッチ回路１４６、１４８は、ハイ信号ＣＯＮ１、ＣＯＮ２を出力する。従って、各ゲート回路１３４、１３６は、そのそれぞれのパルス発振器１３０、１３２の出力を、それぞれのラッチ回路１４６、１４８の入力に結合する。

フィードバッククロック信号ＣＬＫＦＢが、バッファ処理されたクロック信号ＣＬＫＢＵＦよりも進んでいる場合、第１のパルス発振器１３０が、第２のパルス発振器１３２よりも前に、ハイになるパルスを出力する。第１のパルス発振器１３０からのパルスは、そのままゲート回路１３４を通過し、第１のラッチ回路１４６の第１のＮＯＲゲート１６０に達する。ハイになるパルスに応答して、第１のＮＯＲゲート１６０は、第２の制御信号ＣＯＮ２を形成するロー出力を生成する。ローの第２の制御信号ＣＯＮ２は、トランジスタ１４２、１４４をオフにし、それにより、パルス発振器１３２を、第２のラッチ回路１４８から分離する。従って、第２のパルス発振器１３２がそのパルスを出力するとき、パルスは、第２のラッチ回路１４８には到達しない。その結果、第１のラッチ回路１４６の出力が先にローに遷移すれば、第２のラッチ回路１４８の出力は、ハイのままである。

第１のラッチ出力のローの遷移はバッファ１５４を通過し、アクティブローＵＰ*信号を生成する。アクティブローＵＰ*信号は、カウンタ９２に入力される。さらに、ラッチ回路１４６、１４８の出力は、アービトレーション回路１５６に付与される。アービトレーション回路１５６内で、第１のラッチ１４６のローになる出力により、ＮＡＮＤゲート１６４は、ハイになる信号を出力する。ＮＡＮＤゲート１６４への両方の入力が以前にハイであったため、ローになるラッチ出力により、ＮＡＮＤゲート出力は、ハイに遷移する。ＮＡＮＤゲート１６４のハイの出力は、遅延回路対１６６、１６８により遅延され、次いで、インバータ１６９で反転され、遅延されたローになる信号を生成する。遅延されたロ

ーになる信号は、３入力ＮＯＲゲート１７０に入力される。この３入力ＮＯＲゲート１７０は、第２の入力で、ローのＵＰ*信号を受け取る。
３入力ＮＯＲゲート１７０の第３の入力は、ラッチ１４６、１４８の出力により駆動されるＮＯＲゲート１７６から来る。第２のラッチ出力がハイであるため、ＮＯＲゲート１７６は、３入力ＮＯＲゲート１７０に、ロー信号を提供する。最初に（即ち、ＮＡＮＤゲート１６４からのハイになる遷移が、３入力ＮＯＲゲート１７０へのローになる入力を引き起こす前に）、インバータ１６９は、ＮＯＲゲート１７６の出力をハイに維持する高電圧を、３入力ＮＯＲゲート１７０に供給する。従って、ＮＯＲゲート１７６からのロー信号は、３入力ＮＯＲゲート１７０の出力に影響を及ぼさない。
ＮＡＮＤゲート１６４からの遅延された立ち上がりエッジにより、インバータ１６９が、ローになる信号を３入力ＮＯＲゲート１７０に提供する場合、ＮＯＲゲート１７０への３つの入力のすべてがローである。それに応答して、ＮＯＲゲート１７０の出力は、ハイに遷移する。ハイの遷移は、インバータ１７２により、ローの遷移に変えられる。次いで、ローへの遷移は、カウントパルスＣＰＵＬを生成するパルス発振器１７３に付与される。従って、レース検出回路９０は、バッファ処理されたクロック信号ＣＬＫＢＵＦよりも進んでいるフィードバッククロックＣＬＫＦＢに応答して、アクティブローＵＰ*信号およびカウントパルスＣＰＵＬを提供し、それによりカウント信号ＣＯＵＮＴを増分する。３入力ＮＯＲゲート１７０を活性化することに加えて、ＮＡＮＤゲート１６４からのハイになるパルスは、パルス発振器１７５とバッファ１７７とを含む遅延回路を介してフィードバックされて、リセットパルスを提供し、ラッチ回路１４６、１４８をリセットする。
バッファ処理されたクロック信号ＣＬＫＢＵＦがフィードバッククロック信号ＣＬＫＦＢよりも進んでいる場合、第２のパルス発振器１３２は、第２のゲート回路１３６を通過して第２のラッチ回路１４８の出力をローに駆動するパルスを出力する。第２のラッチ回路１４８の出力は、第１の制御信号ＣＯＮ１を形成する。従って、第２のラッチ１４８のローになる出力は、トランジスタ１３８、１４０をオフにし、それにより、第１のパルス発振器１３０を、第１のラッチ回路１４６から分離する。第１のパルス発振器１３０がパルスを出力すると、オフのトランジスタ１３８および１４０は、そのパルスが、第１のラッチ回路１４６に達するのを妨げる。従って、第１のラッチ回路１４６の出力はハイのままであり、ＵＰ*信号はインアクティブハイ（ｉｎａｃｔｉｖｅ　ｈｉｇｈ）のままである。
第２のラッチ回路１４８からのローになる遷移により、ＮＡＮＤゲート１６４の出力はハイに遷移し、それにより、インバータ１７２が、パルス発振器１７３に、ローになる遷移を提供する。それに応答して、パルス発振器１７３は、カウントパルスＣＰＵＬを出力する。これにより、バッファ処理されたクロック信号ＣＬＫＢＵＦよりも遅れているフィードバッククロック信号ＣＬＫＦＢに応答して、レース検出回路９０は、カウンタ９２にインアクティブハイのＵＰ*信号とカウントパルスＣＰＵＬとを出力し、それにより、カウンタ９２は、カウント信号ＣＯＵＮＴを減分する。
クロック信号ＣＬＫＢＦ、ＣＬＫＢＵＦの立ち下がりエッジが実質的に同時に達すると、両方のパルス発振器１３０、１３２は、ほぼ同時にパルスを出力する。これらのパルスは、ゲート回路１３４、１３６を通過し、それにより、ラッチ回路１４６、１４８の両方の出力をローに駆動する。これらのパルスは、制御信号ＣＯＮ１、ＣＯＮ２がローになる前に、ゲート回路１３４、１３６を通過するため、いずれのパルスも妨害されない。第１のラッチ回路１４６からのローの出力により、ＵＰ*信号は、アクティブローになる。さらに、ローの出力により、アービトレーション回路１５６のＮＯＲゲート１７６は、３入力ＮＯＲゲート１７０にハイの信号を出力する。インバータ１６９からのハイの出力のために既にローであった３入力ＮＯＲゲート１７０の出力は、ローのままである。
ラッチ回路１４６、１４８からのローの出力はまた、ＮＡＮＤゲート１６４の出力をハイにさせる。ＮＡＮＤゲート１６４のハイになる出力は、遅延回路１６６、１６８により遅延され、インバータ１６９により反転され、３入力ＮＯＲゲート１７０に、遅延されたローになる遷移を生成する。インバータ１６９からのローになる信号は３入力ＮＯＲゲート

１７０に達すると、ハイの信号は、３入力ＮＯＲゲート１７０に影響を及ぼさない。なぜなら、ＮＯＲゲート１７６は、３入力ＮＯＲゲート１７０の１つの入力を既にハイに引き上げているからである。従って、３入力ＮＯＲゲート１７０の出力は、インバータ１６９からのローになる遷移に応答してハイに遷移しない。従って、インバータ１７２は、パルス発振器１７３に、ローになる遷移を出力せず、パルス発振器１７３は、カウンタ９２に、カウントパルスＣＰＵＬを供給しない。従って、カウンタ９２からのカウント信号ＣＯＵＮＴは、増分も減分もされない。つまり、フィードバッククロック信号ＣＬＫＦＢと、バッファ処理されたクロック信号ＣＬＫＢＵＦとが実質的に同期される場合、カウント信号ＣＯＵＮＴは一定のままであり、遅延ライン８６の遅延は変わらないままである。

図１０は、図３のメモリ装置７０とメモリコントローラ４４とを含むコンピュータシステム２００のブロック図である。コンピュータシステム２００は、ソフトウェアの実行などのコンピュータ機能を果たして所望の計算およびタスクを実行するためのプロセッサ２０２を含む。プロセッサ２０２はまた、メモリコントローラ４４を活性化するために、コマンドおよびデータバス２１０を含む。キーパッドまたはマウス、などの１つ以上の入力装置２０４がプロセッサ２０２に結合され、オペレータが、プロセッサ２０２にデータを手動入力することを可能にする。１つ以上の出力装置２０６がプロセッサ２０２に結合され、プロセッサ２０２により生成されたデータを表示するか、または、他の方法で出力する。出力装置の例としては、プリンタ、およびビデオディスプレイユニットがある。データを外部記憶媒体（図示せず）に格納するか、または、外部記憶媒体からデータを取り出すために、１つ以上のデータ記憶装置２０８がプロセッサに結合される。記憶装置２０８および記憶媒体の例としては、ハードディスクおよびフロッピーディスクを受け入れるドライブ、テープカセット、およびコンパクトディスクリードオンリメモリがある。

以上、本発明を例示的実施形態に関して説明してきたが、本発明の精神および範囲から逸脱することなく、様々な改変がなされ得る。例えば、遅延ロックループ７６は、本明細書では、メモリ装置７０のためのクロックソースとして説明されているが、当業者は、遅延ロックループ７６が、メモリコントローラ４４内でのタイミングの制御、などの多くの応用、または、同期されたクロック信号を使用する他のいかなる応用においても、有用であり得ることを認識する。さらに、キャパシタバンク１０６は、本明細書では、単一のノードに結合されるものとして説明されているが、幾つかの応用では、１つよりも多いキャパシタバンク１０６を含むこと、または、可変遅延回路８８に沿った別個の位置でキャパシタ１１０を結合することが望ましい場合がある。さらに、パルス発振器９４、１２０、１３０、１３２およびアービトレーション回路１５６、などの様々な構成要素に、様々な論理構造が使用され得る。さらに、カウンタ９２は、本明細書では、フィードバッククロック信号ＣＬＫＦＢがバッファ処理されたクロック信号ＣＬＫＢＵＦよりも進んでいるまたは遅れている場合に、１だけ増分または減分されるものとして説明されている。当業者は、カウンタ９２が１以外の値だけ増分され得ること、および、カウンタ９２を増分または減分するためにより高度なアルゴリズムが使用される場合には、遅延ロックループ７６、７８がより速くロックされ得ること、を理解する。従って、本発明は、添付の請求の範囲より制限される以外には制限されない。

【図１】

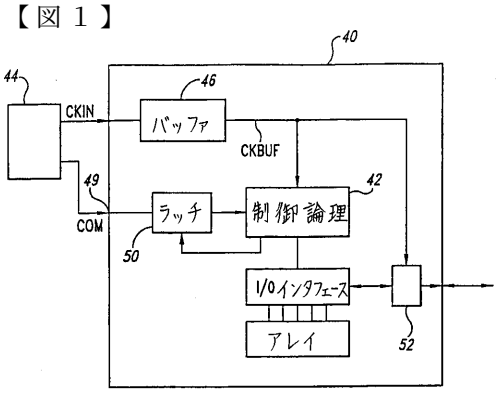


Fig. 1
(従来技術)

【図２】

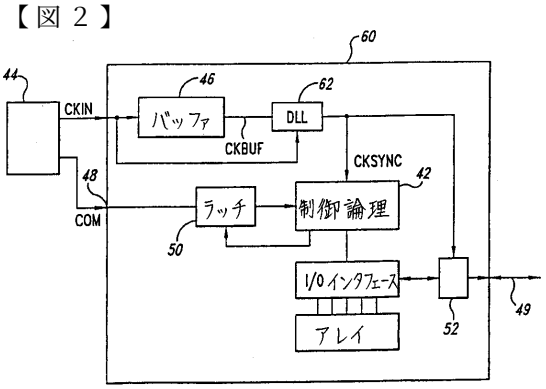


Fig. 2
(従来技術)

【図３】

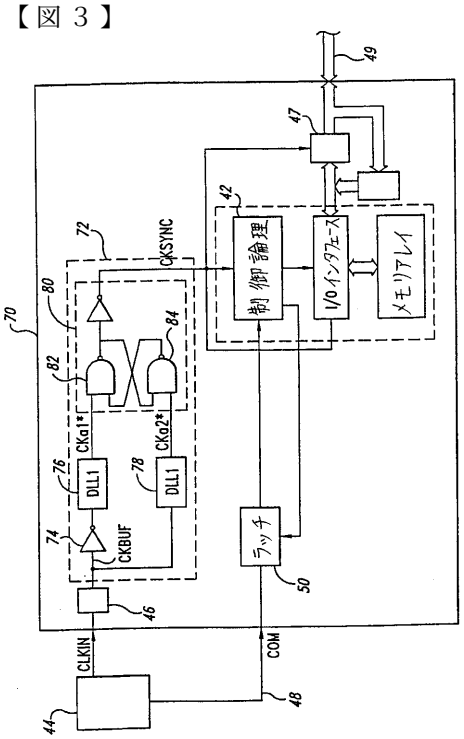


Fig. 3

【図４】

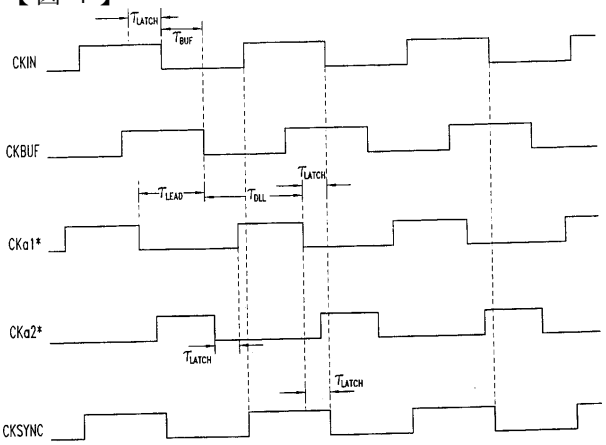


Fig. 4

【図５】

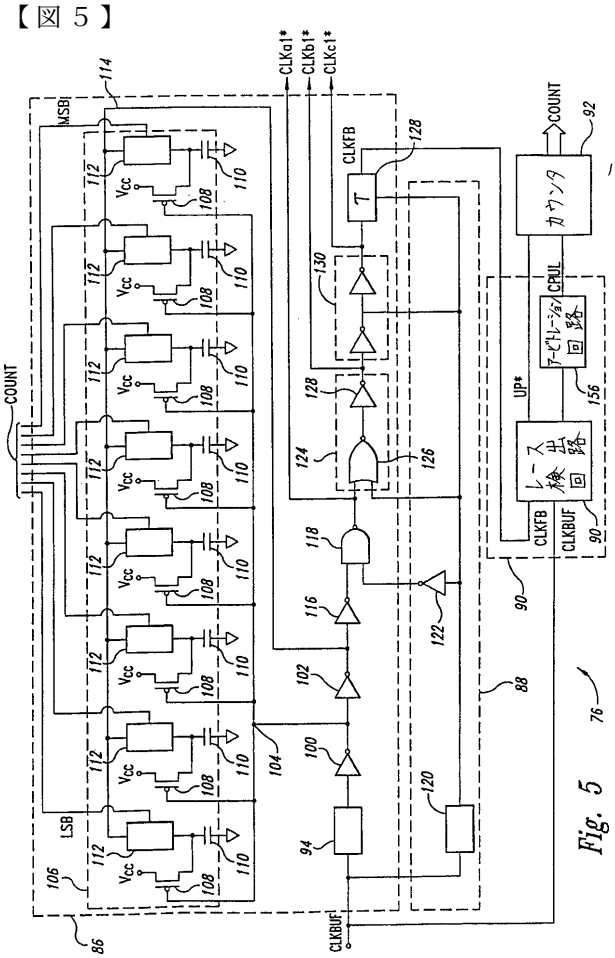


Fig. 5

【図６】

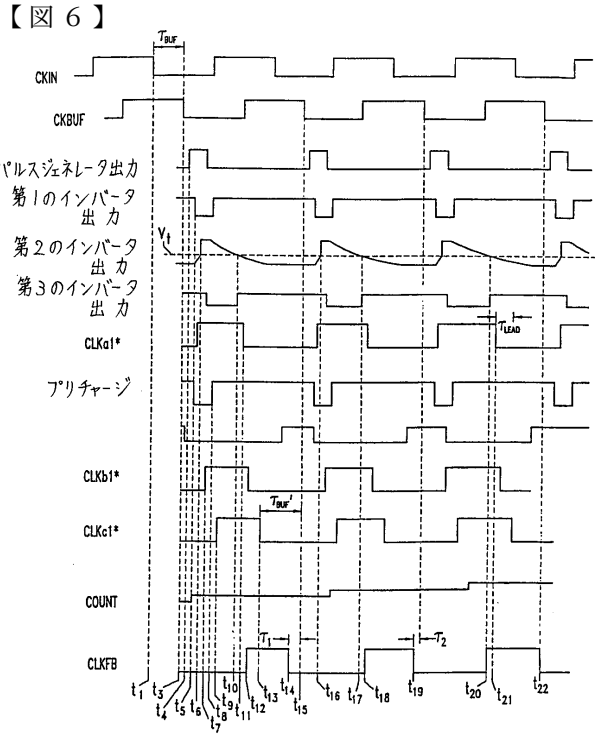


Fig. 6

【図７】

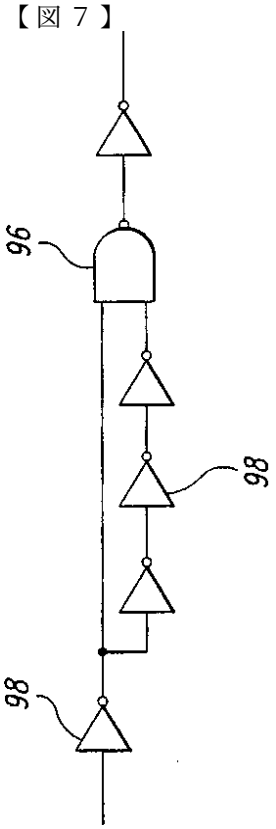


Fig. 7

【図８】

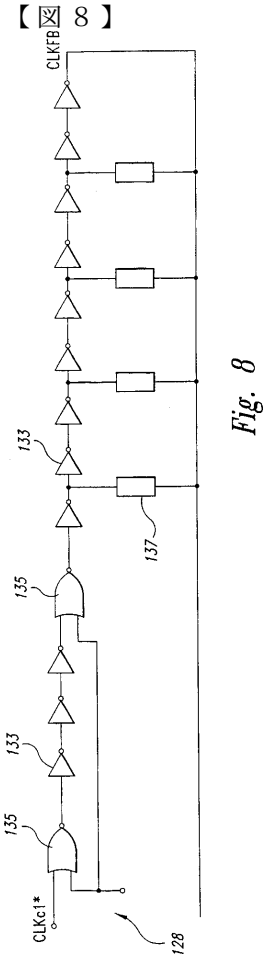


Fig. 8

【図９】

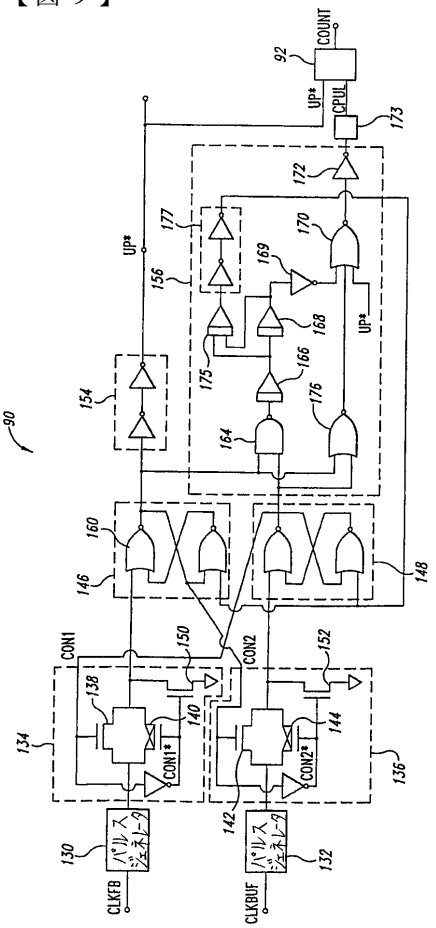


Fig. 9

【図１０】

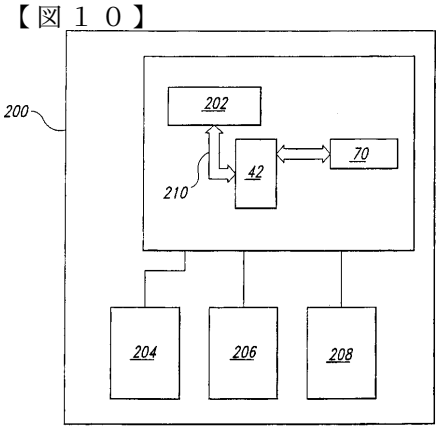


Fig. 10

フロントページの続き

(56)参考文献 特開昭６３－０４２２２４（ＪＰ，Ａ）
特開平０３－０６４２０８（ＪＰ，Ａ）
特開平０６－０９７７８８（ＪＰ，Ａ）
特開平０８－２７４６３０（ＪＰ，Ａ）
特開平０４－３６３９０８（ＪＰ，Ａ）
特開平０９－１７２３５６（ＪＰ，Ａ）
特開平０８－０４６４９６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H03K 5/13
G11C 7/00
H03L 7/081