

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年4月29日(29.04.2021)



(10) 国際公開番号

WO 2021/079581 A1

(51) 国際特許分類:

H04N 5/359 (2011.01) H04N 5/378 (2011.01)

H04N 5/3745 (2011.01)

(21) 国際出願番号:

PCT/JP2020/028662

(22) 国際出願日:

2020年7月27日(27.07.2020)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2019-193360 2019年10月24日(24.10.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 弘 智行 (HIRO Tomoyuki); 〒8691102
熊本県菊池郡菊陽町大字原水4000番地1
ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP).

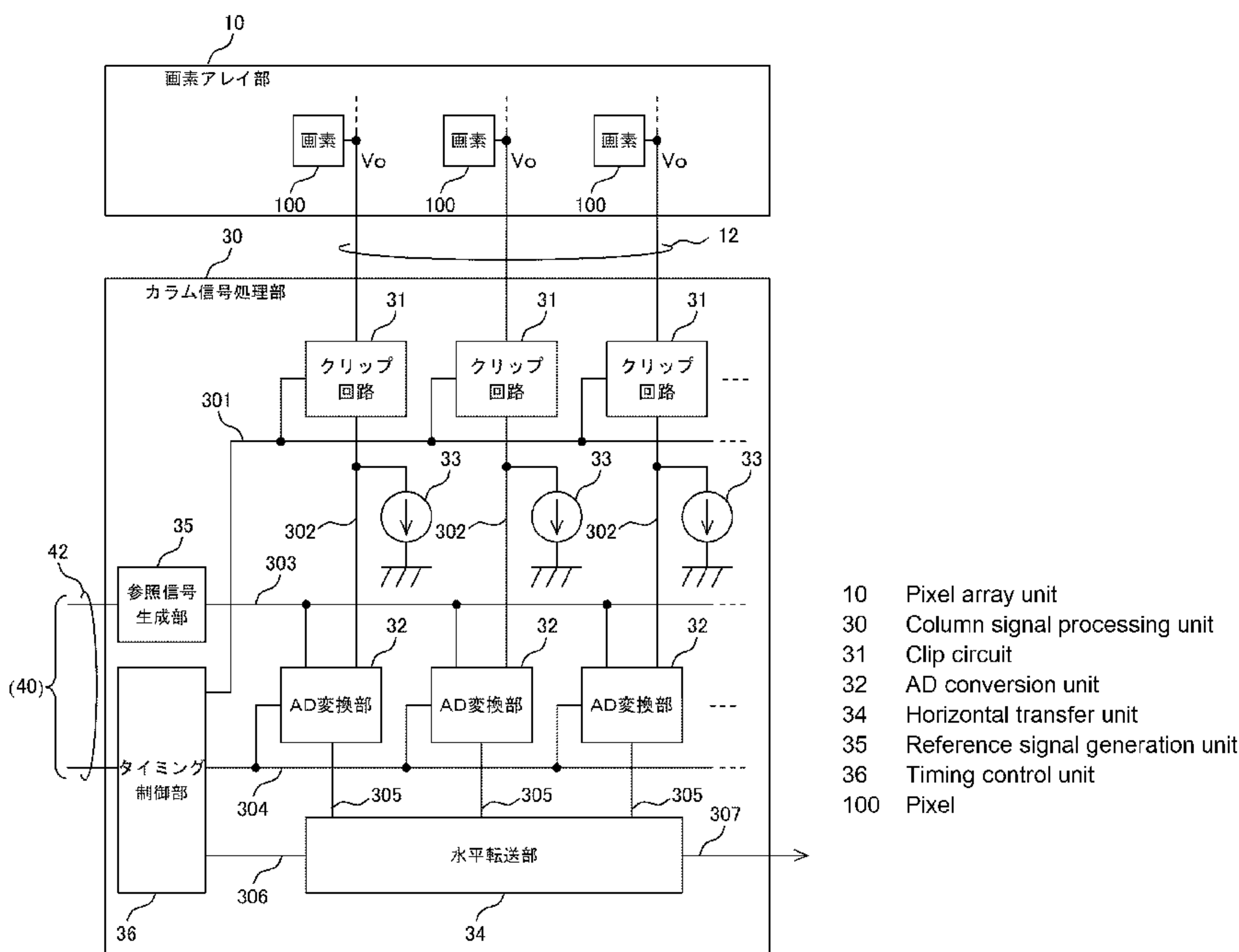
(74) 代理人: 松尾 憲一郎 (MATSUO Kenichiro);
〒8100042 福岡県福岡市中央区赤坂1丁目10番17号 しんくみ赤坂ビル7階 Fukuoka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: IMAGE-CAPTURING ELEMENT AND IMAGE-CAPTURING DEVICE

(54) 発明の名称: 撮像素子および撮像装置

[図3]



(57) Abstract: This image-capturing element, which generates an image signal based on holes generated and accumulated by photoelectric conversion, detects the saturation of the image signal and prevents the image quality from being deteriorated. The image-capturing element includes a pixel and a clip circuit. The pixel includes a photoelectric conversion unit for performing photoelectric conversion on incident light, and a charge holding unit for holding holes among the charges generated by the photoelectric conversion, and generates an image signal on the basis of the held holes. The clip circuit

[続葉有]

HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

performs clipping for limiting the rise of the generated image signal to a predetermined clip voltage.

(57) 要約: 光電変換により生成されて蓄積された正孔に基づく画像信号を生成する撮像素子において画像信号の飽和を検出し、画質の低下を防ぐ。撮像素子は、画素およびクリップ回路を具備する。画素は、入射光の光電変換を行う光電変換部およびその光電変換により生成された電荷のうち正孔を保持する電荷保持部を備え、その保持された正孔に基づいて画像信号を生成する。クリップ回路は、生成された画像信号の上昇を所定のクリップ電圧に制限するクリップを行う。

明 細 書

発明の名称：撮像素子および撮像装置

技術分野

[0001] 本開示は、撮像素子および撮像装置に関する。詳しくは、光電変換により生成されて蓄積された正孔に基づく画像信号を生成する撮像素子および当該撮像素子を使用する撮像装置に関する。

背景技術

[0002] 従来、複数の画素が配置された撮像素子が使用されている。この画素には、入射光の光電変換により生成された電荷を蓄積する電荷生成部、この蓄積された電荷を転送する転送部、この転送された電荷を保持する浮遊拡散領域（フローティングディフュージョン：Floating Diffusion）が配置される。また、画素には、フローティングディフュージョンの電位変化を増幅する増幅用トランジスタが配置され、フローティングディフュージョンに保持された電荷に基づいて画像信号が生成される。また、画素には、電荷保持部に保持された電荷を排出してリセットする初期化部がさらに配置される。露光期間に電荷生成部において光電変換による電荷が蓄積され、露光期間の経過後に初期化部によるフローティングディフュージョンのリセットが行われ、電荷転送部によりフローティングディフュージョンに電荷が転送されて保持される。この保持された電荷に基づいて増幅用トランジスタにより画像信号が生成されて出力される。

[0003] リセットによりフローティングディフュージョンの電荷が排出され、画像信号の黒レベルが設定される。すなわち、リセット直後に増幅用トランジスタにより生成される画像信号は黒レベルに相当する画像信号となる。しかし、フローティングディフュージョンに保持された全ての電荷の排出は困難であり、リセット後にフローティングディフュージョンに残留する電荷が存在する。この残留する電荷が画素毎に異なるため、画素毎に黒レベルが変動し、画像信号にノイズが発生する。

[0004] このノイズの発生を防ぐため、画像信号の生成をリセット直後およびフローティングディフュージョンへの電荷の転送後の2回行う方式が使用されている。これら2つの画像信号の差分に基づく画像信号を生成することにより、フローティングディフュージョンに残留する電荷の影響を除去することができる。このような画像信号の生成方法は、相関2重サンプリング（CDS : Correlated Double Sampling）と称される。

[0005] 上述のCDSにおいて、リセット直後のリセットレベルの画像信号の生成過程はP相と称され、光電変換により生成された電荷が転送された後の信号レベルの画像信号の生成過程はD相と称される。D相において生成された信号レベルの画像信号からP相において生成されたリセットレベルの画像信号を差し引くことにより、リセットレベル（黒レベル）の変動の影響を低減することができる。この相関2重サンプリングを採用する撮像素子においては、強い入射光の撮像を行う際に問題となる。太陽等の高輝度の被写体を撮像する際、画素の入射光の光量が増加して電荷生成部の飽和レベルを超える電荷が生成される。この飽和レベルを超過した電荷がフローティングディフュージョンに流入することにより、フローティングディフュージョンの電荷が飽和し、P相において高いリセットレベルの画像信号が生成される。D相においても高い信号レベルの画像信号が生成され、これらの画像信号の差分に基づく画像信号が生成される結果、高輝度の被写体にも関わらず低輝度の画像信号が出力される。このため、太陽等の高輝度の被写体が黒く表示される黒化現象を生じ、画質が低下する。

[0006] この黒化現象の発生を防ぐため、P相におけるリセットレベルの画像信号を判定レベルと比較することにより飽和レベルを超える光量の入射光が画素に入射したことを検出する撮像素子が提案されている（例えば、特許文献1参照。）。この従来技術の撮像素子においては、差動対により構成された比較器を使用し、画素から出力される画像信号が比較器の非反転入力端子に接続され、判定レベルに相当する信号が比較器の反転入力端子に接続される。判定レベルより高い電圧の画像信号が比較器に入力された際に、飽和レベル

を超える光量の入射光の画素への入射が検出される。この黒化現象を生じた画像信号が後段の回路により補正される。

先行技術文献

特許文献

[0007] 特許文献1：特開2008-283557号公報

発明の概要

発明が解決しようとする課題

[0008] 上述の従来技術では、画像信号の極性が反転する場合には、飽和レベルを超える光量の入射光の画素への入射が検出されず、黒化現象の発生を防ぐことができないという問題がある。上述の従来技術の撮像素子は、シリコン（Si）により構成される光電変換部が配置される。このSiによる電荷生成部は、光電変換により生成された電荷のうちの電子を蓄積する。この蓄積された電子がフローティングディフュージョンに保持されるため、入射光量の増加に伴って信号のレベルが低下する画像信号が生成される。これに対し、赤外光等の長波長の光の撮像を行う撮像素子においては、Siの代わりにIII-V族化合物半導体による光電変換部が使用される。赤色光等における感度を向上させるためである。このIII-V族化合物半導体による光電変換部から光電変換により生成された電荷のうちの正孔が取り出されて蓄積される。この蓄積された正孔に基づいて画像信号が生成される。このため、入射光量の増加に伴ってレベルが上昇する画像信号が生成されることとなり、比較器による飽和レベルを超える光量の入射光の画素への入射が検出できず、黒化現象が発生する。

[0009] 本開示は、上述した問題点に鑑みてなされたものであり、光電変換により生成されて蓄積された正孔に基づく画像信号を生成する撮像素子において画像信号の飽和を検出し、画質の低下を防ぐことを目的としている。

課題を解決するための手段

[0010] 本開示は、上述の問題点を解消するためになされたものであり、その第1

の態様は、入射光の光電変換を行う光電変換部および上記光電変換により生成された電荷のうち正孔を保持する電荷保持部を備え、上記保持された正孔に基づいて画像信号を生成する画素と、上記生成された画像信号の上昇を所定のクリップ電圧に制限するクリップを行うクリップ回路とを具備する撮像素子である。

[0011] また、この第1の態様において、上記クリップ回路は、制御端子に供給された上記所定のクリップ電圧に基づいて上記画像信号の上昇を制限することにより上記クリップを行うフォロワ回路により構成されてもよい。

[0012] また、この第1の態様において、上記クリップ回路は、ゲートに上記所定のクリップ電圧が供給され、上記生成された画像信号がドレインに供給され、ソースに負荷が接続されるトランジスタによる上記フォロワ回路により構成されてもよい。

[0013] また、この第1の態様において、上記生成された画像信号をデジタルの画像信号に変換する際の基準となる参照信号と上記生成された画像信号との比較を行って当該比較の結果を出力する比較部と、上記比較部における上記比較の開始から上記比較の結果の出力までの計時を行う計時部とを備え、上記計時の結果に基づいて上記画像信号をデジタルの画像信号に変換するアナログデジタル変換部をさらに具備してもよい。

[0014] また、この第1の態様において、上記画素は、上記電荷保持部に保持された正孔を排出してリセットを行うリセット部をさらに備えて当該リセット後の画像信号であるリセット画像信号を生成し、上記アナログデジタル変換部は、上記生成された画像信号とリセット画像信号との差分に基づいて上記デジタルの画像信号を生成してもよい。

[0015] また、この第1の態様において、上記クリップ回路は、上記リセット画像信号の生成の際に上記クリップを行ってもよい。

[0016] また、この第1の態様において、上記比較部は、上記生成された画像信号および上記参照信号がそれぞれ結合キャパシタを介して入力される差動対と、上記差動対を初期化する初期化回路とを備え、上記クリップ回路は、上記

初期化回路による初期化の際に上記クリップを行ってもよい。

[0017] また、この第1の態様において、上記初期化回路は、上記生成された画像信号の初期値および上記参照信号の初期値を上記それぞれの結合キャパシタに保持させることにより初期化してもよい。

[0018] また、この第1の態様において、上記画像信号の飽和を検出する飽和検出部をさらに具備してもよい。

[0019] また、この第1の態様において、上記飽和検出部は、上記比較部における比較の結果に基づいて上記飽和を検出してもよい。

[0020] また、この第1の態様において、上記飽和検出部の検出結果に基づいて上記デジタルの画像信号の補正を行う補正部をさらに具備してもよい。

[0021] また、本開示の第2の態様は、入射光の光電変換を行う光電変換部および上記光電変換により生成された電荷のうち正孔を保持する電荷保持部を備え、上記保持された正孔に基づいて画像信号を生成する画素と、上記生成された画像信号の上昇を所定のクリップ電圧に制限するクリップを行うクリップ回路と、上記生成された画像信号の処理を行う処理回路とを具備する撮像装置である。

[0022] このような態様を採ることにより、光電変換により生成されて蓄積された正孔に基づく画像信号を生成する撮像素子における画像信号の上昇を所定の電圧に制限するという作用をもたらす。高輝度の被写体の撮像の際の画像信号の飽和の抑制が想定される。

図面の簡単な説明

[0023] [図1]本開示の実施の形態に係る撮像素子の構成例を示す図である。

[図2]本開示の第1の実施の形態に係る画素の構成例を示す図である。

[図3]本開示の実施の形態に係るカラム信号処理部の構成例を示す図である。

[図4]本開示の第1の実施の形態に係るクリップ回路の構成例を示す図である。

[図5]本開示の第1の実施の形態に係るアナログデジタル変換部の構成例を示す図である。

[図6]本開示の実施の形態に係る比較部の構成例を示す図である。

[図7]本開示の実施の形態に係る画像信号の変換の一例を示す図である。

[図8]本開示の第2の実施の形態に係るアナログデジタル変換部の構成例を示す図である。

[図9]本開示の第3の実施の形態に係る画素の構成例を示す図である。

[図10]本開示の第4の実施の形態に係る画素の構成例を示す図である。

[図11]本開示の第5の実施の形態に係る画素の構成例を示す図である。

[図12]本技術が適用され得る撮像装置の一例であるカメラの概略的な構成例を示すブロック図である。

発明を実施するための形態

[0024] 次に、図面を参照して、本開示を実施するための形態（以下、実施の形態と称する）を説明する。以下の図面において、同一または類似の部分には同一または類似の符号を付している。また、以下の順序で実施の形態の説明を行う。

1. 第1の実施の形態
2. 第2の実施の形態
3. 第3の実施の形態
4. 第4の実施の形態
5. カメラへの応用例

[0025] ＜1. 第1の実施の形態＞

〔撮像素子の構成〕

図1は、本開示の実施の形態に係る撮像素子の構成例を示す図である。同図の撮像素子1は、画素アレイ部10と、垂直駆動部20と、カラム信号処理部30と、制御部40とを備える。

[0026] 画素アレイ部10は、画素100が2次元格子状に配置されて構成されたものである。ここで、画素100は、照射された光に応じた画像信号を生成するものである。この画素100は、照射された光に応じた電荷を生成する光電変換部を有する。また画素100は、画素回路をさらに有する。この画

素回路は、光電変換部により生成された電荷に基づく画像信号を生成する。画像信号の生成は、後述する垂直駆動部 20 により生成された制御信号により制御される。画素アレイ部 10 には、信号線 11 および 12 が X Y マトリクス状に配置される。信号線 11 は、画素 100 における画素回路の制御信号を伝達する信号線であり、画素アレイ部 10 の行毎に配置され、各行に配置される画素 100 に対して共通に配線される。信号線 12 は、画素 100 の画素回路により生成された画像信号を伝達する信号線であり、画素アレイ部 10 の列毎に配置され、各列に配置される画素 100 に対して共通に配線される。これら光電変換部および画素回路は、半導体基板に形成される。

[0027] 垂直駆動部 20 は、画素 100 の画素回路の制御信号を生成するものである。この垂直駆動部 20 は、生成した制御信号を同図の信号線 11 を介して画素 100 に伝達する。

[0028] カラム信号処理部 30 は、画素 100 により生成された画像信号を処理するものである。このカラム信号処理部 30 は、同図の信号線 12 を介して画素 100 から伝達された画像信号の処理を行う。カラム信号処理部 30 における処理には、例えば、画素 100 において生成されたアナログの画像信号をデジタルの画像信号に変換するアナログデジタル変換が該当する。また、カラム信号処理部 30 は、前述の相関 2 重サンプリングの処理を行うことができる。カラム信号処理部 30 により処理された画像信号は、撮像素子 1 の画像信号として出力される。カラム信号処理部 30 の構成の詳細については後述する。

[0029] 制御部 40 は、撮像素子 1 の全体を制御するものである。この制御部 40 は、垂直駆動部 20 およびカラム信号処理部 30 を制御する制御信号を生成して出力することにより、撮像素子 1 の制御を行う。制御部 40 により生成された制御信号は、信号線 41 および 42 により垂直駆動部 20 およびカラム信号処理部 30 に対してそれぞれ伝達される。

[0030] [画素の構成]

図 2 は、本開示の第 1 の実施の形態に係る画素の構成例を示す図である。同

図は、画素 100 の構成例を表す回路図である。同図の画素 100 は、光電変換部 101 と、電荷保持部 102 および 103 と、MOS トランジスタ 104 乃至 108 とを備える。また、同図の画素 100 には、電源線 V_{dd} 、電源線 V_{dr} および電源線 V_{top} が配置される。電源線 V_{dd} は、画素 100 の電源を供給する。電源線 V_{dr} は、リセット電位を伝達する。電源線 V_{top} は光電変換部 101 のバイアス電圧を供給する。MOS トランジスタ 104 乃至 106 には、p チャネル MOS トランジスタを使用することができる。また、MOS トランジスタ 107 および 108 には、n チャネル MOS を使用することができる。

[0031] 光電変換部 101 のカソードは電源線 V_{top} に接続され、アノードは MOS トランジスタ 104 のソース、MOS トランジスタ 105 のソースおよび電荷保持部 102 の一端に接続される。電荷保持部 102 の他の一端は接地される。MOS トランジスタ 104 の、ゲートはオーバーフローゲート信号線 OFG に接続され、ドレインは電源線 V_{dr} に接続される。MOS トランジスタ 105 のゲートは転送信号線 TR に接続され、ドレインは MOS トランジスタ 106 のソース、MOS トランジスタ 107 のゲートおよび電荷保持部 103 の一端に接続される。電荷保持部 103 の他の一端は、接地される。MOS トランジスタ 106 のドレインは、電源線 V_{dr} に接続される。MOS トランジスタ 107 のドレインは、電源線 V_{dd} に接続され、ソースは MOS トランジスタ 108 のドレインに接続される。MOS トランジスタ 108 のゲートは選択信号線 SEL に接続され、ソースは出力信号線 Vo に接続される。なお、オーバーフローゲート信号線 OFG、転送信号線 TR、リセット信号線 RST および選択信号線 SEL は、信号線 11 を構成する。出力信号線 Vo は、信号線 12 を構成する。

[0032] 光電変換部 101 は、前述のように照射された光に応じた電荷を生成するものである。この光電変換部 101 には、フォトダイオードを使用することができる。同図に表したように、光電変換部 101 のカソードは電源線 V_{top} に接続される。この電源線 V_{top} は、例えば、2.2V の電圧を供給

することができる。光電変換部 101 のアノードは、後述する電荷保持部 102 に接続される。このため、光電変換部 101 の光電変換により生成される電荷のうち電子が電源線 V_{top} に排出され、正孔が電荷保持部 102 に移動して保持される。

[0033] 電荷保持部 102 は、光電変換部 101 により生成される電荷を保持するキャパシタである。上述のように、電荷保持部 102 は、光電変換部 101 により生成される正孔を保持する。この電荷保持部 102 には、半導体基板に配置される半導体領域により構成されるキャパシタを適用することができる。

[0034] MOS トランジスタ 104 は、光電変換部 101 および電荷保持部 102 をリセットするトランジスタである。MOS トランジスタ 104 による光電変換部 101 および電荷保持部 102 のリセットは、オーバーフローゲート信号線 OFG により伝達される信号により制御される。同図に表したように、MOS トランジスタ 104 のドレインは電源線 $V_d r$ に接続される。この電源線 $V_d r$ は、例えば、1.2 V の電圧を供給することができる。このため、リセットの際、光電変換部 101 および電荷保持部 102 には 1.2 V の電圧が印加され、光電変換部 101 および電荷保持部 102 に保持された正孔は、電源線 $V_d r$ に排出される。

[0035] MOS トランジスタ 105 は、光電変換部 101 により生成されて電荷保持部 102 に保持された電荷（正孔）を電荷保持部 103 に転送するトランジスタである。MOS トランジスタ 105 における電荷の転送は、転送信号線 TR により伝達される信号により制御される。

[0036] 電荷保持部 103 は、MOS トランジスタ 105 により転送された電荷（正孔）を保持するキャパシタである。この電荷保持部 103 には、半導体基板に配置される半導体領域により構成されるフローティングディフュージョンを適用することができる。

[0037] MOS トランジスタ 107 は、電荷保持部 103 に保持された電荷（正孔）に基づく信号を生成するトランジスタである。この MOS トランジスタ 1

07は、電荷保持部103とともにフローティングディフュージョンアンプを構成する。MOSトランジスタ107により生成される画像信号は、黒レベルがリセットの際の電圧である略1.2Vとなり、入射光の光量の増加に伴って電圧が上昇する信号となる。MOSトランジスタ107が電荷保持部103に蓄積される正孔に基づく画像信号を生成するためである。

[0038] MOSトランジスタ108は、MOSトランジスタ107により生成された信号を画像信号として出力信号線V_oに出力するトランジスタである。このMOSトランジスタ108は、選択信号線SELにより伝達される信号により制御される。

[0039] MOSトランジスタ106は、電荷保持部103に保持された電荷を電源線V_drに排出することにより電荷保持部103をリセットするトランジスタである。このMOSトランジスタ106によるリセットは、リセット信号線RSTにより伝達される信号により制御され、MOSトランジスタ105による電荷の転送の前に実行される。

[0040] 同図の画素100における画像信号の生成は、次のように行うことができる。まず、オーバーフローゲート信号線OFGに制御信号を出力してMOSトランジスタ104を導通させ、電荷保持部102をリセットする。これにより、露光期間が開始され、光電変換部101により生成された電荷が電荷保持部102に蓄積される。この露光期間の経過後にリセット信号線RSTに制御信号を出力してMOSトランジスタ106を導通させ、電荷保持部103をリセットする。この際、MOSトランジスタ107は、リセットされた電荷保持部103の電荷に基づいて画像信号を生成する。このリセット終了後に、選択信号線SELに制御信号を出力してMOSトランジスタ108を導通させる。これにより、リセット後の画像信号であるリセット画像信号が出力信号線V_oに出力され、前述したP相における画像信号の生成を行うことができる。

[0041] 次に、転送信号線TRに制御信号を出力してMOSトランジスタ105を導通させて電荷保持部102に保持された電荷を電荷保持部103に分配す

る。この分配された電荷は電荷保持部 103 に保持され、この保持された電荷に基づいて MOS トランジスタ 107 により画像信号が生成される。次に、選択信号線 SEL に制御信号を出力して MOS トランジスタ 108 を導通させる。これにより、MOS トランジスタ 107 により生成された画像信号が出力信号線 V_o に出力され、前述した D 相における画像信号の生成を行うことができる。

[0042] 画素 100 に太陽等の高輝度の被写体からの入射光が照射されると、電荷保持部 103 に入射光が漏洩して光電変換を生じ、電荷が生成されて電荷保持部 103 が飽和する。リセットの直後であっても電荷保持部 103 の電荷が飽和レベルに増加するため、MOS トランジスタ 107 からは飽和レベルの画像信号が生成される。この飽和レベルの画像信号は、P 相および D 相において生成されて出力される。

[0043] [カラム信号処理部の構成]

図 3 は、本開示の実施の形態に係るカラム信号処理部の構成例を示す図である。同図は、カラム信号処理部 30 の構成例を表す図である。同図のカラム信号処理部 30 は、クリップ回路 31 と、定電流回路 33 と、アナログデジタル変換（A/D 変換）部 32 と、水平転送部 34 と、参照信号生成部 35 と、タイミング制御部 36 とを備える。クリップ回路 31、定電流回路 33 およびアナログデジタル変換部 32 は、画素アレイ部 10 の信号線 12 の複数の出力信号線 V_o 毎に配置される。

[0044] 参照信号生成部 35 は、参照信号を生成するものである。ここで、参照信号とは、後述するアナログデジタル変換部 32 におけるアナログデジタル変換の際の基準となる信号である。参照信号には、例えば、電圧がランプ関数状に上昇する信号を使用することができる。参照信号生成部 35 は、図 1 において説明した制御部 40 の制御に従って参照信号を生成し、信号線 303 を介してアナログデジタル変換部 32 に供給する。

[0045] タイミング制御部 36 は、カラム信号処理部 30 における各部の動作タイミングを制御するものである。このタイミング制御部 36 は、制御部 40 の

制御に従ってカラム信号処理部 30 の各部の制御信号を生成する。また、タイミング制御部 36 は、後述するクリップ回路 31 のクリップ電圧を生成する。これらの制御信号は、信号線 301、304 および 306 を介して出力される。

[0046] クリップ回路 31 は、画素 100 により生成された画像信号のクリップを行う回路である。このクリップ回路 31 は、信号線 12 を構成する出力信号線 V_o を介して出力された画像信号のクリップを行う。ここで、画像信号のクリップとは、画像信号の上昇を所定のクリップ電圧に制限することである。前述のように、画素 100 により生成される画像信号は、入射光の光量の増加に伴って電圧が上昇する信号である。太陽等の高輝度の被写体に対応する画像信号は、信号レベル（電圧）が過度に上昇する。クリップ回路 31 は、この画像信号の過度の上昇を制限する。なお、クリップ電圧は、複数のクリップ回路 31 に共通に配線される信号線 301 により供給される。クリップ後の画像信号は、信号線 302 に出力される。クリップ回路 31 の構成の詳細については後述する。

[0047] 定電流回路 33 は、定電流を供給する回路である。この定電流回路 33 は、信号線 302 と接地との間に接続されて信号線 302 に定電流のシンク電流を供給する。後述するように、定電流回路 33 は、画素 100 の MOS トランジスタ 107 およびクリップ回路 31 の MOS トランジスタ 311 の負荷を構成する回路である。

[0048] アナログデジタル変換部 32 は、アナログの画像信号をデジタルの画像信号に変換するものである。同図のアナログデジタル変換部 32 は、クリップ回路 31 から出力された画像信号の変換を行う。アナログデジタル変換の際の基準となる参照信号は、複数のアナログデジタル変換部 32 に共通に配線される信号線 303 により供給される。変換後のデジタルの画像信号は、信号線 305 を介して水平転送部 34 に出力される。アナログデジタル変換部 32 の構成の詳細については後述する。

[0049] 水平転送部 34 は、デジタルの画像信号を転送するものである。この水平

転送部 34 は、複数のアナログデジタル変換部 32 により生成されたデジタルの画像信号を順次転送し、信号線 307 を介して出力する。

[0050] [クリップ回路の構成]

図 4 は、本開示の第 1 の実施の形態に係るクリップ回路の構成例を示す図である。同図における A はクリップ回路 31 の構成例を表し、同図における B はクリップ回路 31 の動作を表す。同図における A には、クリップ回路 31 の他に、画素 100 の電荷保持部 103 および MOS トランジスタ 108 ならびに定電流回路 33 を記載した。クリップ回路 31 は、MOS トランジスタ 311 を備える。

[0051] MOS トランジスタ 311 は、定電流回路 33 とともにフォロワ回路を構成するトランジスタである。この MOS トランジスタ 311 には、n チャネル MOS トランジスタを使用することができる。MOS トランジスタ 311 のゲートは信号線 301 に接続され、クリップ電圧が印加される。MOS トランジスタ 311 のドレインは信号線 12 に接続され、ソースは信号線 302 に接続される。この信号線 302 には、前述のように定電流回路 33 がさらに接続される。MOS トランジスタ 311 および定電流回路 33 は、ソースフォロワ回路を構成する。便宜上、クリップ回路 31 には MOS トランジスタ 311 のみを記載したが、クリップ回路 31 には定電流回路 33 も含まれる。なお、定電流回路 33 は、画素 100 の MOS トランジスタ 108 の負荷にも該当する。MOS トランジスタ 108 のソースと定電流回路 33 との間にクリップ回路 31 の MOS トランジスタ 311 が挿入された構成となる。

[0052] 同図における B は、クリップ回路 31 の信号のレベル（電圧）の変化を表した図である。同図における B において、縦軸は電圧を表し、横軸は時間を表す。同図における B において、点線のグラフ 501 は、電荷保持部 103 の電圧を表す。破線のグラフ 502 は、MOS トランジスタ 108 により生成される画像信号の電圧を表す。1 点鎖線のグラフ 503 は、クリップ電圧を表す。実線のグラフ 504 は、MOS トランジスタ 311 のソースの電圧

を表し、クリップ回路 3 1 の出力電圧を表す。同図における B は、電荷保持部 1 0 3 に保持された電荷が時間とともに増加して電圧が上昇し、電荷保持部 1 0 3 の電圧がランプ関数状に増加する場合の例を表したものである。

[0053] 電荷保持部 1 0 3 の電圧が低い領域において、電荷保持部 1 0 3 の電圧の上昇に伴って、画像信号の電圧は上昇する。この領域においては、M O S トランジスタ 3 1 1 のドレイン電圧がゲートに印加されるクリップ電圧より低いため、M O S トランジスタのドレインおよびソースの間が導通状態になる。M O S トランジスタ 3 1 1 のソースは画像信号と略同じ電圧となり、画素 1 0 0 から出力された画像信号と略同じ電圧の信号がクリップ回路 3 1 から出力される。

[0054] しかし、画像信号がクリップ電圧に近い電圧に上昇すると、M O S トランジスタ 3 1 1 のソースの電圧は、画像信号に追従しなくなり、一定の電圧に制限される。この領域では、M O S トランジスタ 3 1 1 がソースフォロワとして動作する。M O S トランジスタ 3 1 1 のソースには、ゲートの電圧に対してゲートソース間の閾値電圧 V_{gs} だけ低い電圧が出力される。このように、クリップ回路 3 1 により画像信号がクリップされる。

[0055] クリップ回路 3 1 の動作は、供給されるクリップ電圧により制御することができる。具体的には、所望の制限電圧に応じたクリップ電圧を供給することにより、クリップ回路 3 1 にクリップ動作を行わせることができ、画像信号の上昇を制限することができる。また、電源線 V_{dd} の電源電圧等の高い電圧をクリップ電圧として供給することにより、クリップ回路 3 1 のクリップ動作を停止させることができ、画素 1 0 0 により生成された画像信号を出力（通過）させることができる。

[0056] なお、クリップ回路 3 1 の構成は、この例に限定されない。例えば、M O S トランジスタ以外の素子によるフォロワ回路を使用することもできる。

[0057] [アナログデジタル変換部の構成]

図 5 は、本開示の第 1 の実施の形態に係るアナログデジタル変換部の構成例を示す図である。同図は、アナログデジタル変換部 3 2 の構成例を表す図

である。アナログデジタル変換部 32 は、比較部 320 と、カウンタ 330 と、保持部 340 とを備える。また、同図には、信号線 304 として、初期化信号線 SET、クロック信号線 CLK、初期化信号線 CLR、アップダウンカウント信号線 U/D および保持信号線 HLD を記載した。

[0058] 比較部 320 は、画素 100 により生成されたアナログの画像信号と参照信号との比較を行い、比較の結果をカウンタ 330 に対して出力するものである。例えば、比較の結果として、参照信号がアナログの画像信号より低い電圧の場合に値「0」を出力し、参照信号がアナログの画像信号より高い電圧に移行した場合に値「1」を出力することができる。これにより、参照信号がアナログの画像信号と略同じ値になったタイミングを検出することができる。比較部 320 の比較の結果は、信号線 307 を介してカウンタ 330 に出力される。また、比較部 320 には、初期化信号線 SET が接続される。比較部 320 は、上述の比較の開始前に、初期化信号線 SET からの制御信号により初期化される。比較部 320 の構成の詳細については後述する。

[0059] カウンタ 330 は、比較部 320 における比較の開始から参照信号とアナログの画像信号とが略同じ値になるまでの時間を計時するものである。具体的には、参照信号生成部 35 における参照信号の出力の開始から比較部 320 の出力が値「1」に遷移するまでの時間を計時する。上述のように、参照信号は、ランプ関数状に値が変化する信号である。この参照信号がアナログの画像信号と略同じ値になるまでの時間とアナログの画像信号の電圧とは 1 対 1 に対応する。このため、参照信号がアナログの画像信号と略同じ値になる際の経過時間に対応するデジタルの信号を生成して出力することにより、アナログデジタル変換を行うことができる。具体的には、カウンタ 330 は、参照信号の出力開始から比較部 320 の出力が値「1」に遷移するまでの期間にクロック信号のカウントを行い、カウント値をアナログデジタル変換の結果として出力することができる。このカウント値の出力は、信号線 308 を介して行われる。

[0060] クロック信号は、クロック信号線C L Kから入力される。また、カウンタ330は、初期化信号線C L Rからの制御信号により値「0」に初期化される。また、カウンタ330は、アップカウントおよびダウンカウントを行うことができる。この、アップカウントおよびダウンカウントの切替えは、アップダウンカウント信号線U / Dからの制御信号により行うことができる。

[0061] 保持部340は、カウンタ330のカウント値を保持するものである。この保持部340は、アナログデジタル変換の結果であるカウンタ330のカウント値を保持する。この保持部340に保持されたカウント値がデジタルの画像信号に該当する。保持部340は、保持信号線H L Dからの制御信号に基づいてカウント値の保持を行う。

[0062] [比較部の構成]

図6は、本開示の実施の形態に係る比較部の構成例を示す図である。同図の比較部320は、キャパシタ321および322と、MOSトランジスタ323乃至329とを備える。MOSトランジスタ323乃至326には、pチャネルMOSトランジスタを使用することができる。また、MOSトランジスタ327乃至329には、nチャネルMOSトランジスタを使用することができる。また、同図の比較部320には、電源を供給する電源線V d d、バイアス電圧を供給する電源線V b i a sが配線される。

[0063] キャパシタ321は、信号線303およびMOSトランジスタ327のゲートの間に接続される。MOSトランジスタ327のゲートにはMOSトランジスタ325のドレインがさらに接続される。MOSトランジスタ327のドレインは、MOSトランジスタ325のソース、MOSトランジスタ323のドレインおよびゲートならびにMOSトランジスタ324のゲートに接続される。MOSトランジスタ323のソースおよびMOSトランジスタ324のソースは、電源線V d dに共通に接続される。MOSトランジスタ327のソースは、MOSトランジスタ328のソースおよびMOSトランジスタ329のドレインに接続される。MOSトランジスタ329のゲートは電源線V b i a sに接続され、ソースは接地される。

- [0064] キャパシタ 3 2 2 は、信号線 3 0 2 および MOS トランジスタ 3 2 8 のゲートの間に接続される。MOS トランジスタ 3 2 8 のゲートには MOS トランジスタ 3 2 6 のドレインがさらに接続される。MOS トランジスタ 3 2 8 のドレインは、MOS トランジスタ 3 2 6 のソース、MOS トランジスタ 3 2 4 のドレインおよび信号線 3 0 7 に接続される。MOS トランジスタ 3 2 5 のゲートおよび MOS トランジスタ 3 2 6 のゲートは、初期化信号線 S E T に共通に接続される。
- [0065] キャパシタ 3 2 1 および 3 2 2 は、結合キャパシタを構成する。また、キャパシタ 3 2 1 および 3 2 2 は、それぞれ参照信号およびアナログの画像信号を保持する。MOS トランジスタ 3 2 7 および 3 2 8 は、差動対を構成し、キャパシタ 3 2 1 および 3 2 2 を介して入力された参照信号およびアナログの画像信号の差分を増幅する。MOS トランジスタ 3 2 9 は、MOS トランジスタ 3 2 7 および 3 2 8 のソースに共通に接続される定電流回路を構成する。この MOS トランジスタ 3 2 9 には、電源線 V b i a s のバイアス電圧に応じたソース電流が流れる。MOS トランジスタ 3 2 3 および 3 2 4 は、カレントミラー回路を構成し、それぞれ MOS トランジスタ 3 2 7 および 3 2 8 のドレインに接続される負荷を構成する。このカレントミラー回路により MOS トランジスタ 3 2 7 および 3 2 8 による差動対の利得を向上させることができる。
- [0066] 高い利得の差動対を有する増幅器を使用して参照信号およびアナログの画像信号の差分を増幅することにより、参照信号およびアナログの画像信号の比較を行うことができる。なお、MOS トランジスタ 3 2 5 および 3 2 6 は、比較部 3 2 0 を初期化するスイッチである。この MOS トランジスタ 3 2 5 および 3 2 6 は、初期化信号線 S E T の信号に基づいて初期化を行う。具体的には、初期化信号線 S E T からの制御信号により MOS トランジスタ 3 2 5 および 3 2 6 が導通して MOS トランジスタ 3 2 7 および 3 2 8 のゲートが初期化される。
- [0067] このゲートの初期化電圧は、キャパシタ 3 2 1 および 3 2 2 の一端にも印

加される。キャパシタ 3 2 1 の他の一端には信号線 3 0 3 を介して参照信号が入力され、キャパシタ 3 2 2 の他の一端には信号線 3 0 2 を介して画像信号が入力される。そこで、この初期化の際、信号線 3 0 3 を介して参照信号の初期値を入力することにより、キャパシタ 3 2 1 に MOS トランジスタ 3 2 7 のゲートの初期化電圧と参照信号の初期値との差分の電圧を保持させることができる。同様に、信号線 3 0 2 を介して画像信号の初期値を入力することにより、キャパシタ 3 2 2 に MOS トランジスタ 3 2 8 のゲートの初期化電圧と画像信号の初期値との差分の電圧を保持させることができる。このように、比較部 3 2 0 の入力部を初期化することができる。この初期化により、参照信号および画像信号の初期値の変動に基づく画像信号のノイズを削減することができる。画像信号の初期値には、前述のリセット画像信号を使用することができる。なお、MOS トランジスタ 3 2 5 および 3 2 6 による回路は、MOS トランジスタ 3 2 7 および 3 2 8 による差動対の初期化回路を構成する。

[0068] [画像信号の変換]

図 7 は、本開示の実施の形態に係る画像信号の変換の一例を示す図である。同図は、画素 1 0 0 におけるアナログの画像信号の生成からアナログデジタル変換部 3 2 におけるデジタルの画像信号への変換までの動作の一例を表すタイムチャートである。同図において、O F G、S E L、R S T、T R および S E T は、それぞれオーバーフローゲート信号線 O F G、選択信号線 S E L、リセット信号線 R S T、転送信号線 T R および初期化信号線 S E T の 2 値化された制御信号を表す。また、H L D は、保持信号線 H L D の 2 値化された制御信号を表す。また、カウンタ 3 3 0 出力は、カウンタ 3 3 0 の出力であるデジタルのカウント値をアナログ量に変換して表したものである。また、同図のクリップ回路 3 1 出力において、1 点鎖線は画素 1 0 0 の電荷保持部 1 0 3 が飽和した場合の波形を表す。点線は、クリップ回路 3 1 が配置されない場合における画素 1 0 0 の電荷保持部 1 0 3 が飽和した場合の画像信号の波形を表す。

- [0069] なお、以下において、画素100や比較部320のMOSトランジスタを導通状態に遷移させるゲートソース間の閾値電圧 V_{gs} に相当する信号をオン信号と称する。pチャネルMOSトランジスタのゲートに接続されるオーバーフローゲート信号線OFG、リセット信号線RST、転送信号線TRおよび初期化信号線SETにおいては、値「0」がオン信号の制御信号を表す。nチャネルMOSトランジスタのゲートに接続される選択信号線SELにおいては、値「1」がオン信号の制御信号を表す。
- [0070] まず、通常時（画素100の電荷保持部103が飽和しない状態）の波形について説明する。
- [0071] 初期状態T0において、オーバーフローゲート信号線OFG、リセット信号線RST、転送信号線TRおよび初期化信号線SETには、値「1」に相当する電圧が印加される。また、選択信号線SELおよび保持信号線HLDには、値「0」に相当する電圧が印加される。クリップ電圧として、クリップ回路31のクリップ動作を停止させる高い電圧が供給される。参照信号として、初期値（初期電圧）が供給される。また、カウンタ330の出力は、初期値である値「0」が出力される。
- [0072] T1において、オーバーフローゲート信号線OFGが値「0」となって、オン信号が入力される。これにより、MOSトランジスタ104が導通して電荷保持部102がリセットされる。
- [0073] T2において、オーバーフローゲート信号線OFGのオン信号の入力が停止され、電荷保持部102のリセットが終了する。これにより、画素100における露光期間が開始される。
- [0074] T3において、選択信号線SELが値「1」となり、オン信号が入力される。これにより、MOSトランジスタ108が導通して電荷保持部103の電荷に応じた画像信号が画素100から出力される。
- [0075] T4において、画像信号の制限電圧に応じたクリップ電圧（同図における511）が供給される。しかし、通常時においては画像信号のレベルが低いため、クリップ回路31はクリップ動作を行わない。画素100から出力さ

れた画像信号はクリップ回路31を通過して比較部320に入力される。

[0076] T5において、リセット信号線RSTが値「0」となり、オン信号が入力される。これにより、MOSトランジスタ106が導通し、電荷保持部103がリセットされる。このリセットに伴って、リセット画像信号が画素100から出力され、クリップ回路31の出力もリセットレベルの電圧に低下する。

[0077] T6において、リセット信号線RSTが値「1」となり、電荷保持部103のリセットが終了する。また、初期化信号線SETが値「0」となる。比較部320のMOSトランジスタ325および326が導通して比較部320が初期化される。

[0078] T7において、初期化信号線SETが値「1」となり、クリップ回路31に供給されるクリップ電圧が高い電圧に戻る。これにより、比較部320の初期化が終了する。

[0079] T8において、P相が開始される。ランプ関数状の参照信号の供給が開始され、カウンタ330がダウンカウントを開始する。クリップ回路31の出力電圧より参照信号の電圧が低いため、比較部320の出力は値「0」となる。

[0080] T9において、クリップ回路31の出力電圧および参照信号の電圧が等しくなり、比較部320の出力は値「1」に遷移する。この比較部320の比較結果に基づいて、カウンタ330はダウンカウントを停止する。

[0081] T10において、ランプ関数状の参照信号の供給が停止される。これにより、P相が終了する。

[0082] T11において、参照信号が初期値に戻る。このため、比較部320の出力が値「0」に遷移する。

[0083] T12において、露光期間が終了し、転送信号線TRが値「0」となってオン信号が入力される。これにより、MOSトランジスタ105が導通し、電荷保持部102の電荷が電荷保持部103に分配（転送）されて保持される。この電荷の転送に応じて画素100からの画像信号のレベルが上昇し、

クリップ回路 3 1 の出力も上昇する。

[0084] T 1 3 において、電荷保持部 1 0 3 への電荷の転送が終了し、転送信号線 T R が値「1」に戻る。また、D 相が開始され、ランプ関数状の参照信号の供給が開始されるとともにカウンタ 3 3 0 がアップカウントを開始する。クリップ回路 3 1 の出力電圧より参照信号の電圧が低いため、比較部 3 2 0 の出力は値「0」となる。

[0085] T 1 4 において、クリップ回路 3 1 の出力電圧および参照信号の電圧が等しくなり、比較部 3 2 0 の出力は値「1」に遷移する。この比較部 3 2 0 の比較結果に基づいて、カウンタ 3 3 0 はアップカウントを停止する。

[0086] T 1 5 において、選択信号線 S E L が値「0」になり、画素 1 0 0 からの画像信号の出力が停止される。また、ランプ関数状の参照信号の供給が停止される。これにより、D 相が終了する。また、保持信号線 H L D が値「1」になり、カウンタ 3 3 0 の出力（カウント値）が保持部 3 4 0 に保持される。この保持されたカウンタ 3 3 0 のカウント値がデジタルの画像信号に該当する。

[0087] 上述のように、P 相においてリセット画像信号に応じてカウンタ 3 3 0 がダウンカウントを行う。次に D 相において、ダウンカウント後のカウント値から画素 1 0 0 の光電変換に基づく画像信号に応じてアップカウントを行う。これにより、画素 1 0 0 の光電変換に基づく画像信号からリセット画像信号が減算され、C D S が実行される。

[0088] 次に、高輝度の被写体の撮像により画素 1 0 0 の電荷保持部 1 0 3 が飽和した場合の動作について説明する。なお、上述の通常時と同じ部分については説明を省略する。

[0089] T 3 において、画素 1 0 0 からは、飽和時の画像信号が出力される。このため、クリップ回路 3 1 から飽和時の画像信号（同図における 5 1 2）が出力され、高い電圧となる。

[0090] T 4 において、クリップ電圧が供給されると、クリップ回路 3 1 はクリップ動作を開始し、クリップされた画像信号（同図における 5 1 3）がクリッ

プ回路 3 1 から出力される。

[0091] T 5 において、電荷保持部 1 0 3 のリセットにより、クリップ回路 3 1 の出力はリセットレベルの電圧になる。

[0092] T 6 において、リセットが終了し、クリップされた画像信号（同図における 5 1 3）が再度クリップ回路 3 1 から出力される。同時に比較部 3 2 0 の初期化が開始され、キャパシタ 3 2 2 にクリップされた画像信号が保持される。

[0093] T 7 において、クリップ回路 3 1 に供給されるクリップ電圧が高い電圧に戻る。クリップ回路 3 1 からは飽和時の画像信号が再度出力される。

[0094] その後、P 相（T 8 乃至 T 1 0）において、飽和時の画像信号と参照信号とが比較部 3 2 0 により比較される。同図の例においては、参照信号の電圧が飽和時の画像信号に達する前に P 相が終了するため、P 相における比較部 3 2 0 からの値「1」の出力は検出されない。

[0095] また、D 相（T 1 3 乃至 T 1 5）においても、飽和時の画像信号と参照信号とが比較部 3 2 0 により比較される。同図の例においては、P 相と同様に、参照信号の電圧が飽和時の画像信号に達する前に D 相が終了し、比較部 3 2 0 からの値「1」の出力は検出されない。

[0096] このように、クリップされた画像信号により比較部 3 2 0 が初期化され、P 相および D 相において飽和レベルの画像信号と参照信号との比較を行うことができる。画素 1 0 0 の電荷保持部 1 0 3 の飽和は、例えば、参照信号が画像信号と同じ電圧になる前に P 相や D 相が終了する場合に検出することができる。

[0097] 次に、クリップ回路 3 1 が配置されない場合の動作について説明する。T 6 において、同図の点線の波形に表した飽和レベルの画像信号が比較部 3 2 0 に入力されて初期化される。キャパシタ 3 2 2 には、この飽和レベルの画像信号が保持される。このため、比較部 3 2 0 の差動対を構成する MOS トランジスタ 3 2 8 のベースは低い電圧のまま変化せず、P 相および D 相において同じ電圧の画像信号が参照信号と比較される。C D S の結果、低い値の

デジタルの画像信号が出力され、黒化現象を生じる。このように、クリップ回路 3 1 が配置されない場合、比較部 3 2 0 の初期化を行うことができない。

[0098] 以上説明したように、本開示の第 1 の実施の形態の撮像素子 1 は、クリップ回路 3 1 を配置して画素 1 0 0 から出力された画像信号の上昇を制限する。これにより、光電効果により生成された正孔に基づく画像信号を生成する撮像素子 1 において、アナログデジタル変換部 3 2 の比較部 3 2 0 の初期化を行うことができ、画素 1 0 0 の電荷保持部 1 0 3 の飽和を検出することができる。黒化現象の発生を防ぐことができ、画質の低下を防止することができる。

[0099] < 2. 第 2 の実施の形態 >

上述の第 1 の実施の形態の撮像素子 1 は、電荷保持部 1 0 3 が飽和した場合であっても、クリップ回路 3 1 を配置することにより比較部 3 2 0 の初期化を行っていた。これに対し、本開示の第 2 の実施の形態の撮像素子 1 は、比較部 3 2 0 の比較結果に基づいて電荷保持部 1 0 3 の飽和を検出する点で、上述の第 1 の実施の形態と異なる。

[0100] [アナログデジタル変換部の構成]

図 8 は、本開示の第 2 の実施の形態に係るアナログデジタル変換部の構成例を示す図である。同図は、図 5 と同様に、アナログデジタル変換部 3 2 の構成例を表す図である。飽和検出部をさらに備え、保持部 3 4 0 の代わりに保持部 3 6 0 を備える点で、図 5 のアナログデジタル変換部 3 2 と異なる。

[0101] 飽和検出部 3 5 0 は、画素 1 0 0 の電荷保持部 1 0 3 の飽和を検出するものである。この飽和検出部 3 5 0 には、比較部 3 2 0 の出力信号が入力され、比較部 3 2 0 の比較結果に基づいて電荷保持部 1 0 3 の飽和を検出する。具体的には、飽和検出部 3 5 0 は、参照信号が画像信号と等しくなった際に出力される比較部 3 2 0 からの値「1」の出力信号が P 相において検出されない場合に、電荷保持部 1 0 3 の飽和を検出することができる。また、飽和検出部 3 5 0 は、D 相において比較部 3 2 0 からの値「1」の出力信号が検

出されない場合に、電荷保持部 103 の飽和を検出することもできる。飽和検出部 350 の電荷保持部 103 の飽和の検出結果は、信号線 309 を介して保持部 360 に出力される。例えば、飽和検出部 350 は、電荷保持部 103 の飽和を検出した際に値「1」の信号を出力することができる。

[0102] 保持部 360 は、保持部 340 と同様に、カウンタ 330 のカウント値を保持することによりデジタルの画像信号を保持するものである。また、保持部 360 は、飽和検出部 350 の電荷保持部 103 の飽和の検出結果に基づいてデジタルの画像信号の補正をさらに行う。具体的には、飽和検出部 350 から電荷保持部 103 の飽和を検出した際の値「1」の信号が出力された際に、保持部 360 は、最大の輝度に対応するデジタルの画像信号をアナログデジタル変換の結果として保持して出力することができる。これにより、黒化現象を生じた場合であっても、画像信号の補正を行うことができ、画質の低下を防ぐことができる。なお、保持部 360 は、請求の範囲に記載の補正部の一例である。

[0103] これ以外の撮像素子 1 の構成は本開示の第 1 の実施の形態において説明した撮像素子 1 の構成と同様であるため、説明を省略する。

[0104] 以上説明したように、本開示の第 2 の実施の形態の撮像素子 1 は、飽和検出部 350 により電荷保持部 103 の飽和を検出し、この飽和検出部 350 の検出結果に基づいて保持部 360 が画像信号の補正を行う。これにより、黒化現象の発生による画質の低下を防止することができる。

[0105] <3. 第 3 の実施の形態>

上述の第 1 の実施の形態の撮像素子 1 は、クリップ回路 31 がカラム信号処理部 30 に配置されていた。これに対し、本開示の第 3 の実施の形態の撮像素子 1 は、クリップ回路が画素 100 に配置される点で、上述の第 1 の実施の形態と異なる。

[0106] [画素の構成]

図 9 は、本開示の第 3 の実施の形態に係る画素の構成例を示す図である。同図は、図 2 と同様に、画素 100 の構成例を表す回路図である。MOSト

ランジスタ 109 をさらに備える点で、図 2 の画素 100 と異なる。また、同図の信号線 11 は、クリップ信号線 CLIP をさらに備える。このクリップ信号線 CLIP は、クリップ電圧を伝達する信号線である。

[0107] MOS トランジスタ 109 には、n チャネル MOS トランジスタを使用することができる。MOS トランジスタ 109 のドレインは、MOS トランジスタ 108 に接続され、ソースは出力信号線 Vo に接続される。MOS トランジスタ 109 のゲートは、クリップ信号線 CLIP に接続される。本開示の第 3 の実施の形態の垂直駆動部 20 は、図 4 において説明した波形のクリップ電圧を生成し、クリップ信号線 CLIP を介して画素 100 に伝達する。同図の MOS トランジスタ 109 は、図 3 において説明した定電流回路 33 とともにソースフォロワ回路に構成され、伝達されたクリップ電圧に基づいて MOS トランジスタ 108 から出力される画像信号の上昇を制限する。これにより、電荷保持部 103 が飽和した場合であっても、リセット画像信号の上昇を制限することができ、比較部 320 の初期化が可能になる。なお、カラム信号処理部 30 のクリップ回路 31 は省略することができる。なお、MOS トランジスタ 109 および定電流回路 33 による回路は、請求の範囲に記載のクリップ回路の一例である。

[0108] これ以外の撮像素子 1 の構成は本開示の第 1 の実施の形態において説明した撮像素子 1 の構成と同様であるため、説明を省略する。

[0109] 以上説明したように、本開示の第 3 の実施の形態の撮像素子 1 は、画素 100 に配置した MOS トランジスタ 109 により、画像信号の上昇を制限する。これにより、アナログデジタル変換部 32 の比較部 320 の初期化を行うことができ、画素 100 の電荷保持部 103 の飽和を検出することができる。

[0110] < 4. 第 4 の実施の形態 >

上述の第 3 の実施の形態の撮像素子 1 は、画素 100 に MOS トランジスタ 109 追加して画像信号の上昇を制限していた。これに対し、本開示の第 4 の実施の形態の撮像素子 1 は、クリップ電圧が出力される選択信号線を配

置して画像信号の上昇を制限する点で、上述の第3の実施の形態と異なる。

[0111] [画素の構成]

図10は、本開示の第4の実施の形態に係る画素の構成例を示す図である。同図は、図2と同様に、画素100の構成例を表す回路図である。選択信号線SELの代わりに選択信号線SEL/CLIPが配置される点で、図2の画素100と異なる。

[0112] 選択信号線SEL/CLIPは、MOSトランジスタ108のゲートに接続される。この選択信号線SEL/CLIPは、選択信号およびクリップ電圧を供給する信号線である。選択信号線SEL/CLIPは、当該画素100が選択される際にオン信号を伝達し、この選択される期間のうち画像信号のクリップを行う期間にクリップ電圧を供給する。具体的には、図7において説明したT3乃至T4の期間およびT7乃至T15の期間にオン信号が伝達され、T4乃至T7の期間にクリップ電圧が供給される。これにより、比較部320の初期化の際に画像信号の上昇を制限することができる。本開示の第4の実施の形態の垂直駆動部20は、オン信号およびクリップ電圧を切り替えて選択信号線SEL/CLIPに出力する。なお、MOSトランジスタ108および定電流回路33による回路は、請求の範囲に記載のクリップ回路の一例である。

[0113] これ以外の撮像素子1の構成は本開示の第3の実施の形態において説明した撮像素子1の構成と同様であるため、説明を省略する。

[0114] 以上説明したように、本開示の第4の実施の形態の撮像素子1は、選択信号線SEL/CLIPを配置してオン信号およびクリップ電圧を画素100に供給し、MOSトランジスタ108を画像信号の出力対象の画素100の選択と画像信号の上昇の制限とに使用する。これにより、画素100の構成を簡略化することができる。

[0115] <5. 第5の実施の形態>

上述の第3の実施の形態の撮像素子1は、光電効果により生成された正孔に基づく画像信号を生成する撮像素子を使用していた。本開示の第5の実施

の形態では、この撮像素子の構成について説明する。

[0116] [画素の構成]

図 1 1 は、本開示の第 5 の実施の形態に係る画素の構成例を示す図である。同図は、画素 1 0 0 の構成例を表す断面図である。同図の画素 1 0 0 は、オンチップレンズ 1 7 0 と、保護膜 1 6 0 と、透明電極 1 5 0 と、化合物半導体チップ 1 9 2 と、シリコンチップ 1 9 1 とを備える。

[0117] 化合物半導体チップ 1 9 2 は、化合物半導体の基板を備える半導体チップである。この化合物半導体チップ 1 9 2 は、入射光の光電変換を行い、光電変換により生成された電荷のうちの正孔を後述するシリコンチップ 1 9 1 に伝達する。化合物半導体チップ 1 9 2 は、化合物半導体基板 1 3 0 と、第 1 の化合物半導体層 1 3 1 と、第 2 の化合物半導体層 1 3 2 と、分離領域 1 3 3 と、保護層 1 3 4 と、電極 1 3 5 と、絶縁層 1 4 1 と、バンプ電極 1 4 2 とを備える。

[0118] 化合物半導体基板 1 3 0 は、化合物半導体により構成される基板である。この化合物半導体基板 1 3 0 は、例えば、リン化インジウム (InP) により構成することができる。また、化合物半導体基板 1 3 0 は、比較的高い不純物濃度の n 型に構成することができる。

[0119] 第 1 の化合物半導体層 1 3 1 は、化合物半導体基板 1 3 0 に形成される化合物半導体層である。この第 1 の化合物半導体層 1 3 1 は、例えば、ヒ化インジウムガリウム (InGaAs) により構成することができる。また、第 1 の化合物半導体層 1 3 1 は、n 型に構成することができる。第 1 の化合物半導体層 1 3 1 において入射光の光電変換が行われる。光電変換により生成された電荷のうち、電子は n 型の化合物半導体基板 1 3 0 に拡散し、正孔は後述する p 型の第 2 の化合物半導体層 1 3 2 に拡散する。なお、第 1 の化合物半導体層 1 3 1 は、複数の画素 1 0 0 に対して共通に配置される。

[0120] 第 2 の化合物半導体層 1 3 2 は、画素 1 0 0 毎に配置され、第 1 の化合物半導体層 1 3 1 に接合される半導体層である。この第 2 の化合物半導体層 1 3 2 は、例えば、 InP により構成することができる。また、第 2 の化合物

半導体層 132 は、比較的高い不純物濃度の p 型に構成することができる。
第 1 の化合物半導体層 131 および第 2 の化合物半導体層 132 による p n 接合によるフォトダイオードが図 2 において説明した光電変換部 101 に該当する。

[0121] 分離領域 133 は、画素 100 を分離するものである。この分離領域 133 は、画素 100 の境界に配置され、隣接する第 2 の化合物半導体層 132 同士を分離する。分離領域 133 は、n 型の InP により構成することができる。

[0122] 保護層 134 は、化合物半導体層の表面を保護するものである。この保護層 134 は、無機材料、例えば、窒化シリコン (SiN)、酸化アルミニウム (Al_2O_3)、酸化シリコン (SiO_2) および酸化ハフニウム (HfO_2) により構成することができる。

[0123] 電極 135 は、第 2 の化合物半導体層 132 に隣接して配置される電極である。この電極 135 は、例えば、チタン (Ti) やタングステン (W) により構成することができる。

[0124] 絶縁層 141 は、化合物半導体チップ 192 の表面を絶縁するとともに保護するものである。この絶縁層 141 は、例えば、 SiO_2 により構成することができる。

[0125] バンプ電極 142 は、絶縁層 141 の表面に配置されるバンプである。このバンプ電極 142 は、絶縁層 141 を貫通して配置され、電極 135 に接続される。また、バンプ電極 142 は、後述するシリコンチップ 191 のバンプ電極 126 に接合されて光電変換により生成された正孔を伝達する。バンプ電極 142 は、例えば、銅 (Cu) により構成することができる。

[0126] シリコンチップ 191 は、シリコン (Si) により構成される基板を備える半導体チップである。このシリコンチップ 191 は、化合物半導体チップ 192 により生成された正孔に基づいて画像信号を生成する。図 2 において説明した MOS トランジスタおよび電荷保持部は、シリコンチップ 191 に配置される。また、図 1 において説明した垂直駆動部 20 等をシリコンチッ

プ191に配置することもできる。シリコンチップ191は、半導体基板110と、配線領域120とを備える。

[0127] 半導体基板110は、Siにより構成される半導体の基板である。この半導体基板110に形成されたウェル領域に画素100の素子等の拡散領域が配置される。同図には、n型に構成されたウェル領域111を記載した。このn型のウェル領域111には、図2において説明したpチャネルMOSトランジスタを配置することができる。具体的には、n型のウェル領域111にp型の半導体領域を配置することにより、pチャネルMOSトランジスタを配置することができる。

[0128] 同図には、MOSトランジスタ104および105を記載した。同図のp型の半導体領域112および113はMOSトランジスタ104のソース領域およびドレイン領域を構成し、p型の半導体領域112および113の間のn型のウェル領域111に近接してゲート電極119が配置される。p型の半導体領域112および113の間のn型のウェル領域111にチャンネルが形成される。また、p型の半導体領域112および114はMOSトランジスタ105のソース領域およびドレイン領域を構成し、p型の半導体領域112および113の間のn型のウェル領域111に近接してゲート電極118が配置される。また、p型の半導体領域112は、化合物半導体チップ192により伝達される正孔が蓄積され、図2において説明した電荷保持部102を構成する。なお、図2のnチャネルMOSトランジスタ107および108ならびに電荷保持部103は、不図示のp型のウェル領域に形成することができる。

[0129] 配線領域120は、半導体基板110の表面側に形成される配線領域であり、上述のMOSトランジスタ等の配線が形成される領域である。この配線領域120は、絶縁層121と、配線層122と、コンタクトプラグ123と、ビアプラグ124と、パッド125と、バンプ電極126とを備える。

[0130] 配線層122は、MOSトランジスタ等に信号を伝達するものである。この配線層122は、Cu等の金属により構成することができる。絶縁層12

1 は、配線層 1 2 2 を絶縁するものである。この絶縁層 1 2 1 は、例えば、 SiO_2 等の絶縁物により構成することができる。これら配線層 1 2 2 および絶縁層 1 2 1 は、多層に構成することができる。なお、ゲート電極 1 1 8 および 1 1 9 と半導体基板 1 1 0 との間の絶縁層 1 2 1 は、ゲート絶縁膜に該当する。パッド 1 2 5 は、配線領域 1 2 0 の表面近傍に配置される電極である。このパッド 1 2 5 は、例えば、W 等により構成することができる。コンタクトプラグ 1 2 3 は、半導体基板 1 1 0 の半導体領域と配線層 1 2 2 とを接続するものである。このコンタクトプラグ 1 2 3 は、例えば、W 等により構成することができる。ビアプラグ 1 2 4 は、配線層 1 2 2 同士や配線層 1 2 2 とパッド 1 2 5 とを接続するものである。このビアプラグ 1 2 4 は、例えば、Cu 等により構成することができる。

[0131] バンプ電極 1 2 6 は、絶縁層 1 2 1 の表面に配置されるバンプである。このバンプ電極 1 2 6 は、絶縁層 1 2 1 を貫通して配置され、パッド 1 2 5 に接続される。前述のように、バンプ電極 1 2 6 は、化合物半導体チップ 1 9 2 のバンプ電極 1 4 2 に接合される。同図の画素 1 0 0 を備える撮像素子 1 は、それぞれ個別に製造された化合物半導体チップ 1 9 2 およびシリコンチップ 1 9 1 を貼り合わされて構成される。この貼り合わせの際、バンプ電極 1 2 6 および 1 4 2 が接合され、それぞれのチップの間の信号の伝達を行う。バンプ電極 1 2 6 は、バンプ電極 1 4 2 と同様に、Cu により構成することができる。

[0132] 透明電極 1 5 0 は、化合物半導体チップ 1 9 2 の裏面に配置される透明な電極である。この透明電極 1 5 0 は、図 2 において説明した電源線 V t o p が接続され、化合物半導体基板 1 3 0 にバイアス電圧を供給する。透明電極 1 5 0 には、例えば、ITO (Indium Tin Oxide) を使用することができる。

[0133] 保護膜 1 6 0 は、化合物半導体チップ 1 9 2 の裏面および透明電極 1 5 0 を保護する膜である。

[0134] オンチップレンズ 1 7 0 は、光電変換部に入射光を集光するレンズである

。このオンチップレンズ170は、第1の化合物半導体層131に入射光を集光する。オンチップレンズ170は、窒化シリコン（SiN）等の無機材料やアクリル樹脂等の有機材料により構成することができる。

[0135] 化合物半導体チップ192の第1の化合物半導体層131の光電変換により生成された正孔は、第2の化合物半導体層132、電極135およびバンプ電極142を介してシリコンチップ191に伝達される。この伝達された正孔は、バンプ電極126、パッド125、ビアプラグ124、配線層122およびコンタクトプラグ123を介して半導体領域112に伝達される。この半導体領域112に伝達された正孔に基づいて画像信号が生成される。

[0136] 以上説明した化合物半導体による光電変換部を備える画素100を本開示の撮像素子に適用することができる。なお、本開示の撮像素子の構成は、この例に限定されない。例えば、Siにより構成される半導体基板のn型のウェル領域に形成されたp型の半導体領域に光電変換により生成された正孔を蓄積する形式のフォトダイオードを備える画素100を本開示の撮像素子に適用することもできる。

[0137] なお、第2の実施の形態の飽和検出部350および保持部360は、第3および第4の実施の形態に組み合わせてもよい。

[0138] <5. カメラへの応用例>

本開示に係る技術（本技術）は、様々な製品に応用することができる。例えば、本技術は、カメラ等の撮像装置に搭載される撮像素子として実現されてもよい。

[0139] 図12は、本技術が適用され得る撮像装置の一例であるカメラの概略的な構成例を示すブロック図である。同図のカメラ1000は、レンズ1001と、撮像素子1002と、撮像制御部1003と、レンズ駆動部1004と、画像処理部1005と、操作入力部1006と、フレームメモリ1007と、表示部1008と、記録部1009とを備える。

[0140] レンズ1001は、カメラ1000の撮影レンズである。このレンズ1001は、被写体からの光を集光し、後述する撮像素子1002に入射させて

被写体を結像させる。

[0141] 撮像素子 1002 は、レンズ 1001 により集光された被写体からの光を撮像する半導体素子である。この撮像素子 1002 は、照射された光に応じたアナログの画像信号を生成し、デジタルの画像信号に変換して出力する。

[0142] 撮像制御部 1003 は、撮像素子 1002 における撮像を制御するものである。この撮像制御部 1003 は、制御信号を生成して撮像素子 1002 に対して出力することにより、撮像素子 1002 の制御を行う。また、撮像制御部 1003 は、撮像素子 1002 から出力された画像信号に基づいてカメラ 1000 におけるオートフォーカスを行うことができる。ここでオートフォーカスとは、レンズ 1001 の焦点位置を検出して、自動的に調整するシステムである。このオートフォーカスとして、撮像素子 1002 に配置された位相差画素により像面位相差を検出して焦点位置を検出する方式（像面位相差オートフォーカス）を使用することができる。また、画像のコントラストが最も高くなる位置を焦点位置として検出する方式（コントラストオートフォーカス）を適用することもできる。撮像制御部 1003 は、検出した焦点位置に基づいてレンズ駆動部 1004 を介してレンズ 1001 の位置を調整し、オートフォーカスを行う。なお、撮像制御部 1003 は、例えば、ファームウェアを搭載した DSP（Digital Signal Processor）により構成することができる。

[0143] レンズ駆動部 1004 は、撮像制御部 1003 の制御に基づいて、レンズ 1001 を駆動するものである。このレンズ駆動部 1004 は、内蔵するモータを使用してレンズ 1001 の位置を変更することによりレンズ 1001 を駆動することができる。

[0144] 画像処理部 1005 は、撮像素子 1002 により生成された画像信号を処理するものである。この処理には、例えば、画素毎の赤色、緑色および青色に対応する画像信号のうち不足する色の画像信号を生成するデモザイク、画像信号のノイズを除去するノイズリダクションおよび画像信号の符号化等が該当する。画像処理部 1005 は、例えば、ファームウェアを搭載したマイ

コンにより構成することができる。

[0145] 操作入力部 1006 は、カメラ 1000 の使用者からの操作入力を受け付けるものである。この操作入力部 1006 には、例えば、押しボタンやタッチパネルを使用することができる。操作入力部 1006 により受け付けられた操作入力は、撮像制御部 1003 や画像処理部 1005 に伝達される。その後、操作入力に応じた処理、例えば、被写体の撮像等の処理が起動される。

[0146] フレームメモリ 1007 は、1 画面分の画像信号であるフレームを記憶するメモリである。このフレームメモリ 1007 は、画像処理部 1005 により制御され、画像処理の過程におけるフレームの保持を行う。

[0147] 表示部 1008 は、画像処理部 1005 により処理された画像を表示するものである。この表示部 1008 には、例えば、液晶パネルを使用することができる。

[0148] 記録部 1009 は、画像処理部 1005 により処理された画像を記録するものである。この記録部 1009 には、例えば、メモリカードやハードディスクを使用することができる。

[0149] 以上、本開示が適用され得るカメラについて説明した。本技術は以上において説明した構成のうち、撮像素子 1002 に適用され得る。具体的には、図 1 において説明した撮像素子 1 は、撮像素子 1002 に適用することができる。撮像素子 1002 に撮像素子 1 を適用することにより赤外光の撮像を行うとともに、画像信号の飽和を検出することができる。画質の低下を防ぐことが可能になる。なお、画像処理部 1005 は、請求の範囲に記載の処理回路の一例である。カメラ 1000 は、請求の範囲に記載の撮像装置の一例である。

[0150] 最後に、上述した各実施の形態の説明は本開示の一例であり、本開示は上述の実施の形態に限定されることはない。このため、上述した各実施の形態以外であっても、本開示に係る技術的思想を逸脱しない範囲であれば、設計等に応じて種々の変更が可能であることは勿論である。

[0151] また、本明細書に記載された効果はあくまで例示であって限定されるものではない。また、他の効果があってもよい。

[0152] また、上述の実施の形態における図面は、模式的なものであり、各部の寸法の比率等は現実のものとは必ずしも一致しない。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれることは勿論である。

[0153] なお、本技術は以下のような構成もとることができる。

(1) 入射光の光電変換を行う光電変換部および前記光電変換により生成された電荷のうち正孔を保持する電荷保持部を備え、前記保持された正孔に基づいて画像信号を生成する画素と、

前記生成された画像信号の上昇を所定のクリップ電圧に制限するクリップを行うクリップ回路と
を具備する撮像素子。

(2) 前記クリップ回路は、制御端子に供給された前記所定のクリップ電圧に基づいて前記画像信号の上昇を制限することにより前記クリップを行うフォロフ回路により構成される前記(1)に記載の撮像素子。

(3) 前記クリップ回路は、ゲートに前記所定のクリップ電圧が供給され、前記生成された画像信号がドレインに供給され、ソースに負荷が接続されるトランジスタによる前記フォロフ回路により構成される前記(2)に記載の撮像素子。

(4) 前記生成された画像信号をデジタルの画像信号に変換する際の基準となる参照信号と前記生成された画像信号との比較を行って当該比較の結果を出力する比較部と、前記比較部における前記比較の開始から前記比較の結果の出力までの計時を行う計時部とを備え、前記計時の結果に基づいて前記画像信号をデジタルの画像信号に変換するアナログデジタル変換部をさらに具備する前記(1)から(3)の何れかに記載の撮像素子。

(5) 前記画素は、前記電荷保持部に保持された正孔を排出してリセットを行うリセット部をさらに備えて当該リセット後の画像信号であるリセット画像信号を生成し、

前記アナログデジタル変換部は、前記生成された画像信号とリセット画像信号との差分に基づいて前記デジタルの画像信号を生成する

前記（４）に記載の撮像素子。

（６）前記クリップ回路は、前記リセット画像信号の生成の際に前記クリップを行う前記（５）に記載の撮像素子。

（７）前記比較部は、前記生成された画像信号および前記参照信号がそれぞれ結合キャパシタを介して入力される差動対と、前記差動対を初期化する初期化回路とを備え、

前記クリップ回路は、前記初期化回路による初期化の際に前記クリップを行う

前記（５）または（６）に記載の撮像素子。

（８）前記初期化回路は、前記生成された画像信号の初期値および前記参照信号の初期値を前記それぞれの結合キャパシタに保持させることにより初期化する前記（７）に記載の撮像素子。

（９）前記画像信号の飽和を検出する飽和検出部をさらに具備する前記（４）から（８）の何れかに記載の撮像素子。

（１０）前記飽和検出部は、前記比較部における比較の結果に基づいて前記飽和を検出する前記（９）に記載の撮像素子。

（１１）前記飽和検出部の検出結果に基づいて前記デジタルの画像信号の補正を行う補正部をさらに具備する前記（９）または（１０）に記載の撮像素子。

（１２）入射光の光電変換を行う光電変換部および前記光電変換により生成された電荷のうち正孔を保持する電荷保持部を備え、前記保持された正孔に基づいて画像信号を生成する画素と、

前記生成された画像信号の上昇を所定のクリップ電圧に制限するクリップを行うクリップ回路と、

前記生成された画像信号の処理を行う処理回路とを具備する撮像装置。

符号の説明

- [0154] 1 撮像素子
- 1 0 画素アレイ部
- 3 0 カラム信号処理部
- 3 1 クリップ回路
- 3 2 アナログデジタル変換部
- 3 3 定電流回路
- 3 5 参照信号生成部
- 1 0 0 画素
- 1 0 1 光電変換部
- 1 0 2、1 0 3 電荷保持部
- 1 0 4～1 0 9、3 1 1、3 2 3～3 2 9 MOSトランジスタ
- 3 2 0 比較部
- 3 2 1、3 2 2 キャパシタ
- 3 3 0 カウンタ
- 3 4 0、3 6 0 保持部
- 3 5 0 飽和検出部
- 1 0 0 2 撮像素子
- 1 0 0 5 画像処理部

請求の範囲

- [請求項1] 入射光の光電変換を行う光電変換部および前記光電変換により生成された電荷のうち正孔を保持する電荷保持部を備え、前記保持された正孔に基づいて画像信号を生成する画素と、
- 前記生成された画像信号の上昇を所定のクリップ電圧に制限するクリップを行うクリップ回路と
- を具備する撮像素子。
- [請求項2] 前記クリップ回路は、制御端子に供給された前記所定のクリップ電圧に基づいて前記画像信号の上昇を制限することにより前記クリップを行うフォロワ回路により構成される請求項1記載の撮像素子。
- [請求項3] 前記クリップ回路は、ゲートに前記所定のクリップ電圧が供給され、前記生成された画像信号がドレインに供給され、ソースに負荷が接続されるトランジスタによる前記フォロワ回路により構成される請求項2記載の撮像素子。
- [請求項4] 前記生成された画像信号をデジタルの画像信号に変換する際の基準となる参照信号と前記生成された画像信号との比較を行って当該比較の結果を出力する比較部と、前記比較部における前記比較の開始から前記比較の結果の出力までの計時を行う計時部とを備え、前記計時の結果に基づいて前記画像信号をデジタルの画像信号に変換するアナログデジタル変換部をさらに具備する請求項1記載の撮像素子。
- [請求項5] 前記画素は、前記電荷保持部に保持された正孔を排出してリセットを行うリセット部をさらに備えて当該リセット後の画像信号であるリセット画像信号を生成し、
- 前記アナログデジタル変換部は、前記生成された画像信号とリセット画像信号との差分に基づいて前記デジタルの画像信号を生成する請求項4記載の撮像素子。
- [請求項6] 前記クリップ回路は、前記リセット画像信号の生成の際に前記クリップを行う請求項5記載の撮像素子。

[請求項7] 前記比較部は、前記生成された画像信号および前記参照信号がそれぞれ結合キャパシタを介して入力される差動対と、前記差動対を初期化する初期化回路とを備え、

前記クリップ回路は、前記初期化回路による初期化の際に前記クリップを行う

請求項 5 記載の撮像素子。

【請求項8】 前記初期化回路は、前記生成された画像信号の初期値および前記参照信号の初期値を前記それぞれの結合キャパシタに保持させることにより初期化する請求項7記載の撮像素子。

【請求項9】 前記画像信号の飽和を検出する飽和検出部をさらに具備する請求項4記載の撮像素子。

【請求項10】 前記飽和検出部は、前記比較部における比較の結果に基づいて前記飽和を検出する請求項9記載の撮像素子。

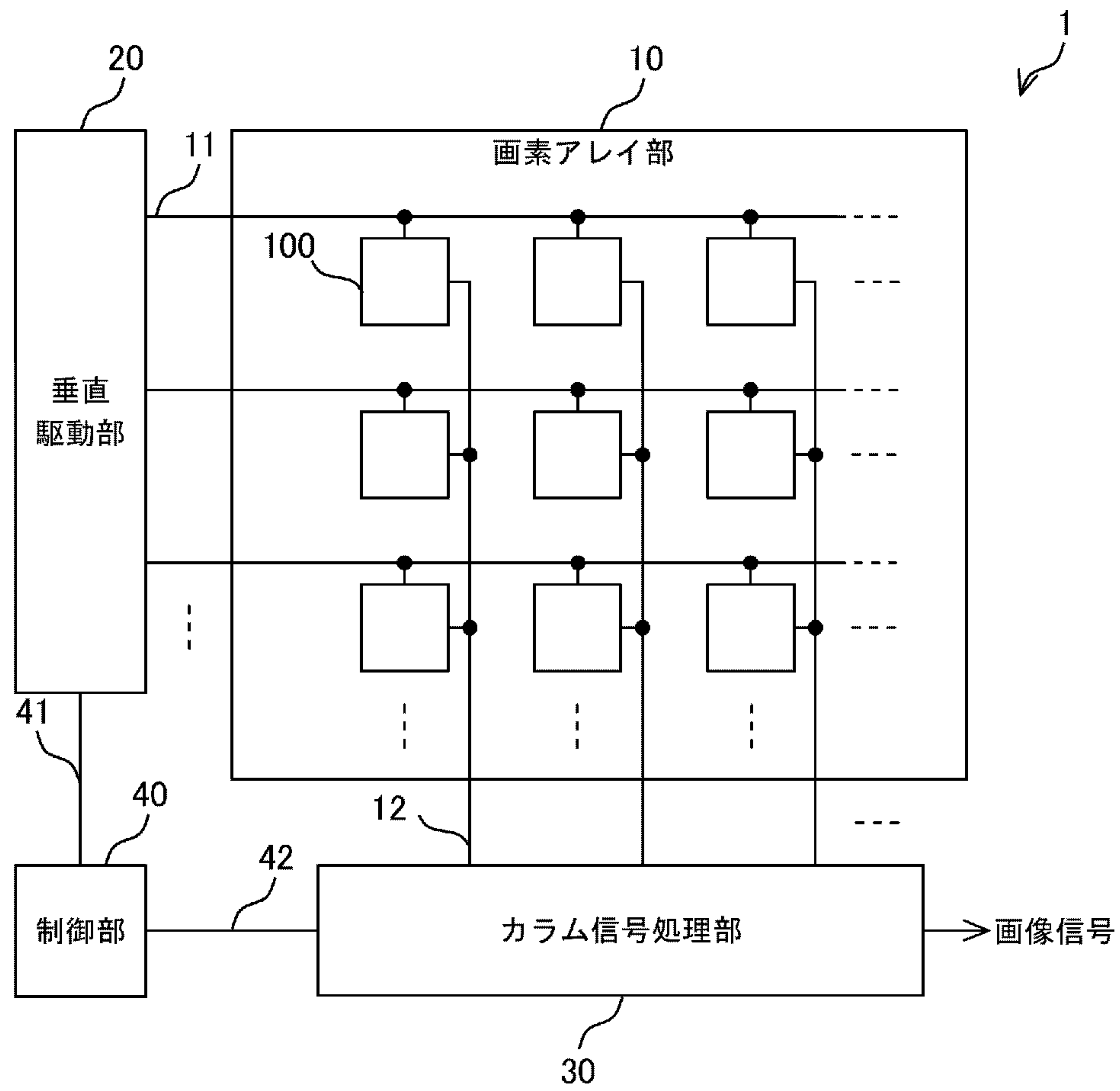
【請求項11】 前記飽和検出部の検出結果に基づいて前記デジタルの画像信号の補正を行う補正部をさらに具備する請求項9記載の撮像素子。

【請求項12】 入射光の光電変換を行う光電変換部および前記光電変換により生成された電荷のうち正孔を保持する電荷保持部を備え、前記保持された正孔に基づいて画像信号を生成する画素と、

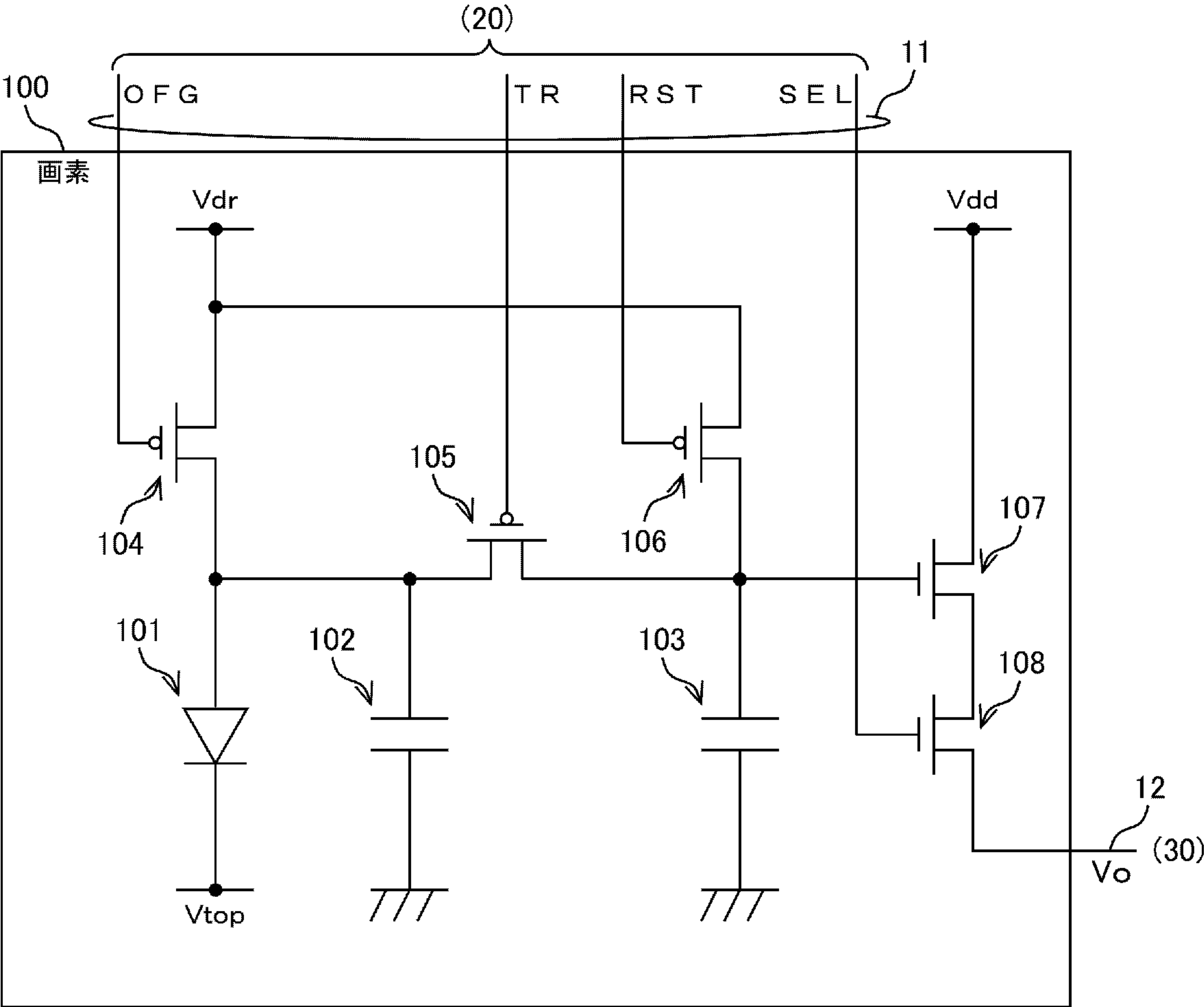
前記生成された画像信号の上昇を所定のクリップ電圧に制限するクリップを行うクリップ回路と、

前記生成された画像信号の処理を行う処理回路とを具備する撮像装置。

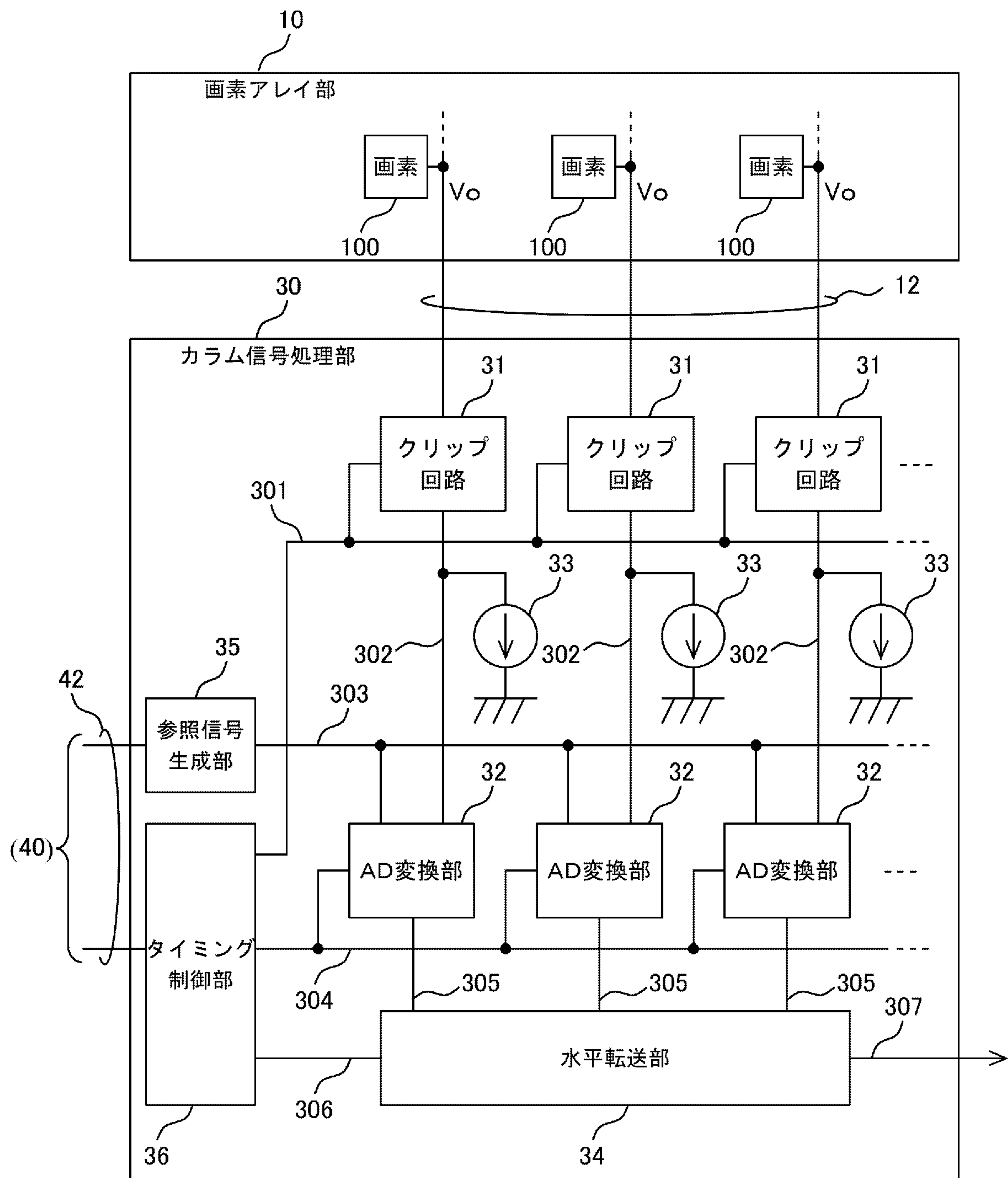
[図1]



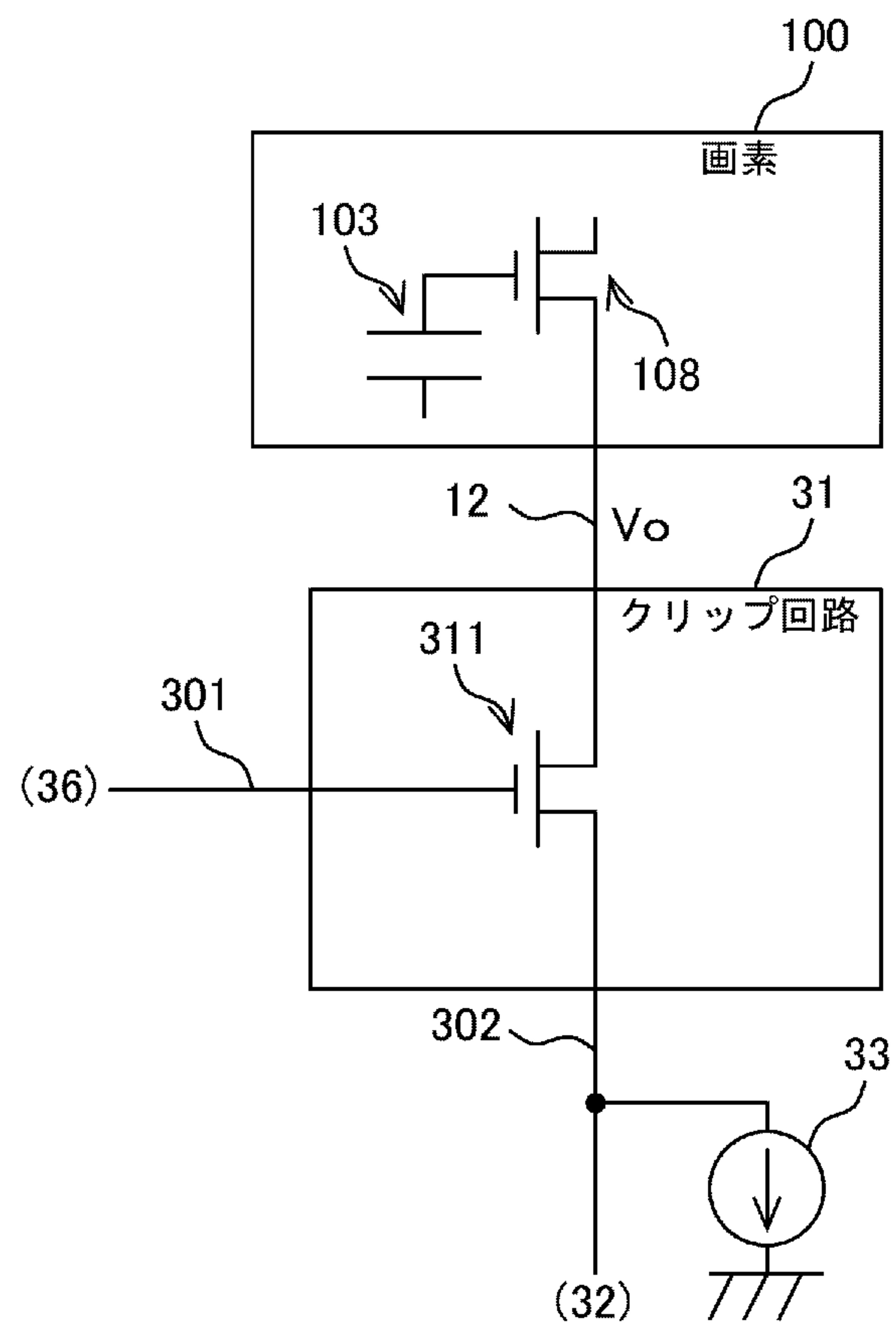
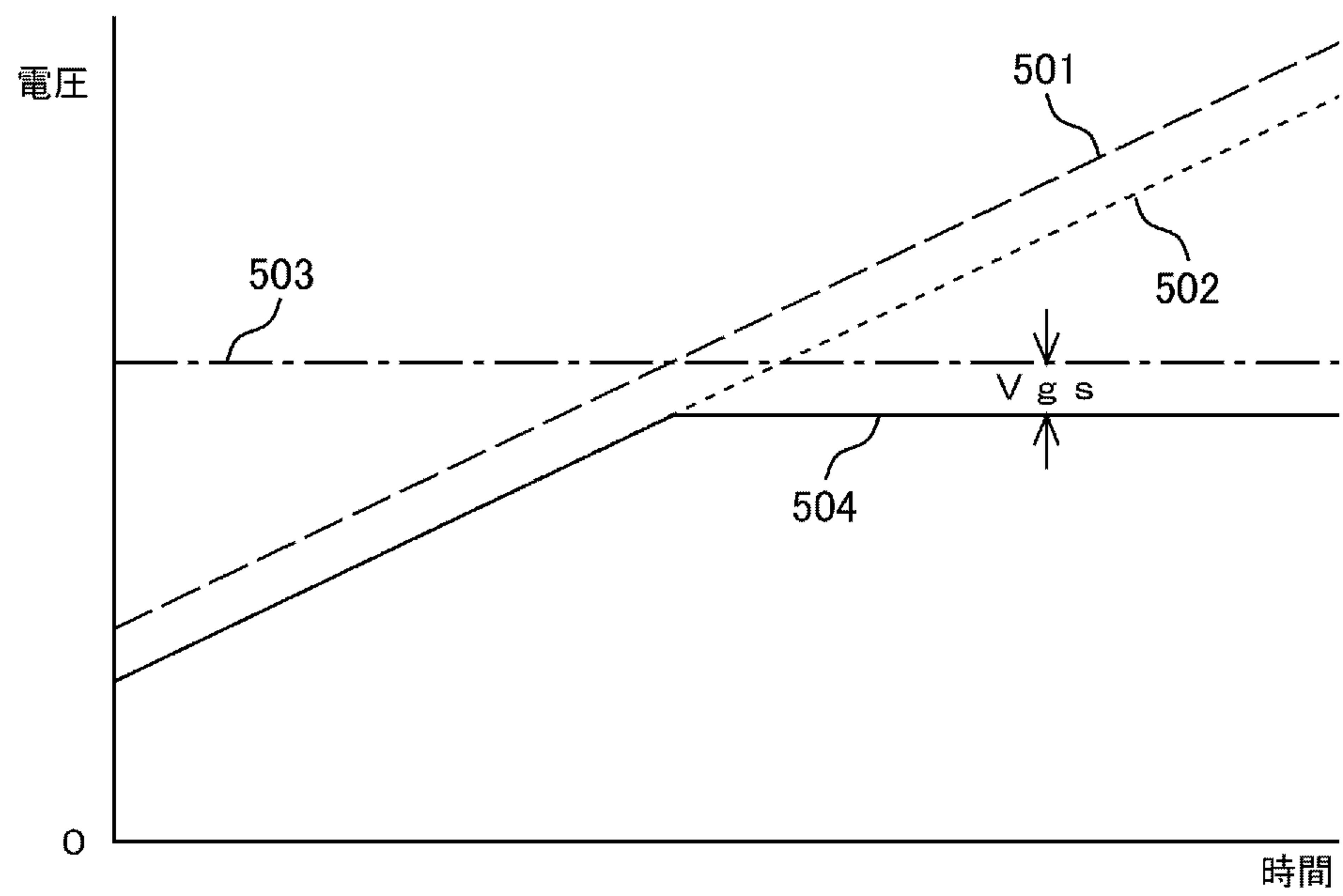
[図2]



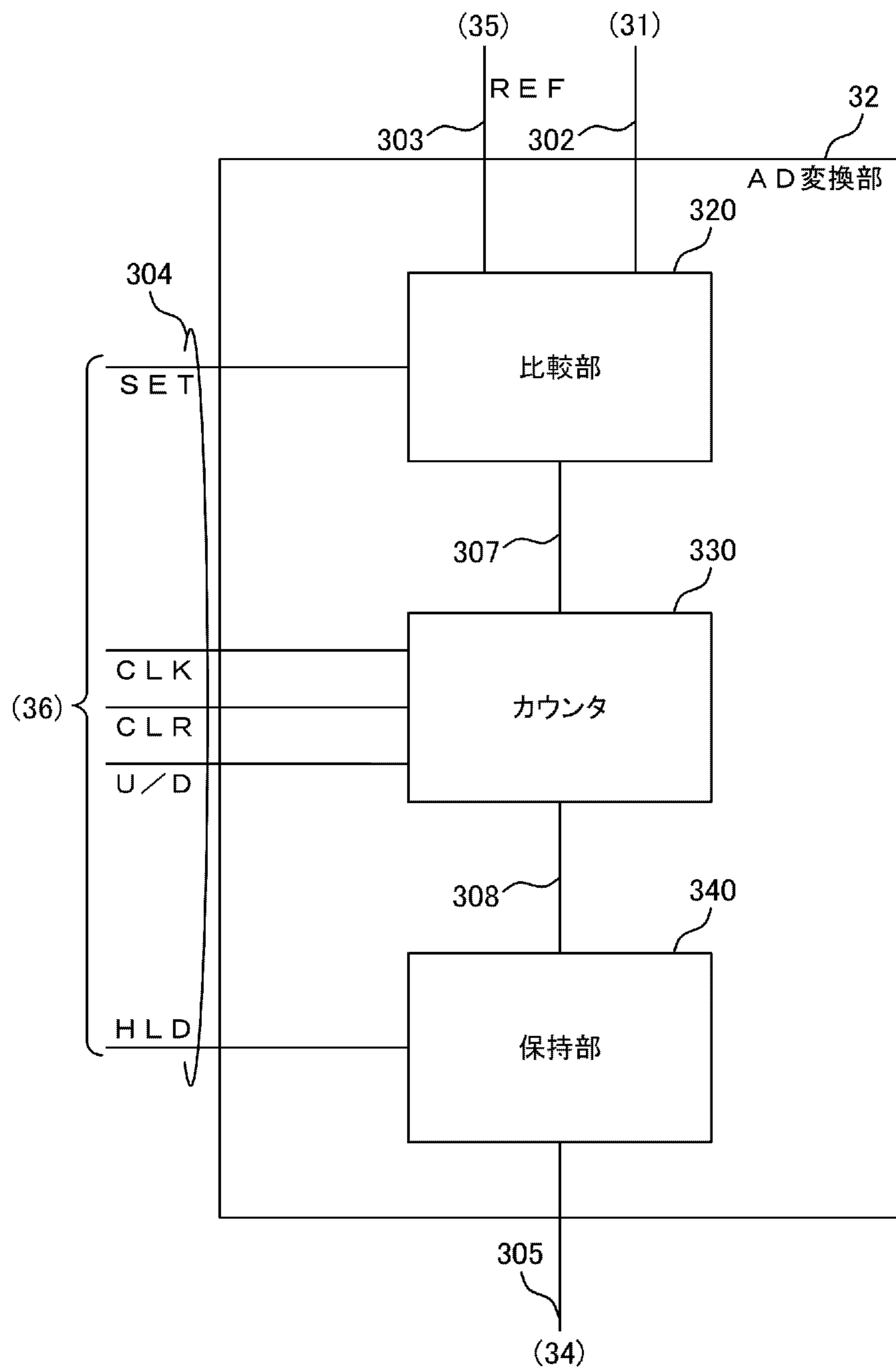
[図3]



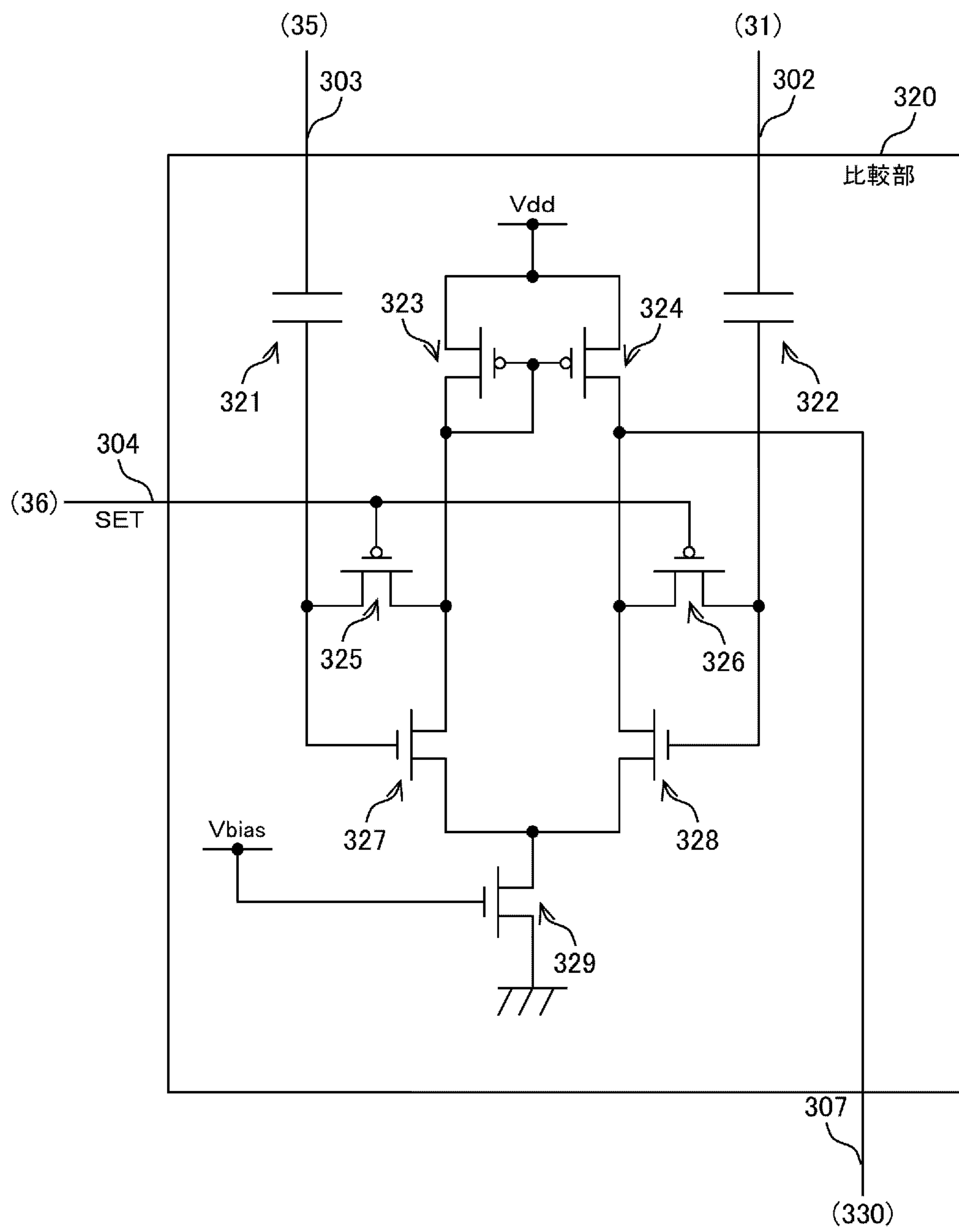
[図4]

AB

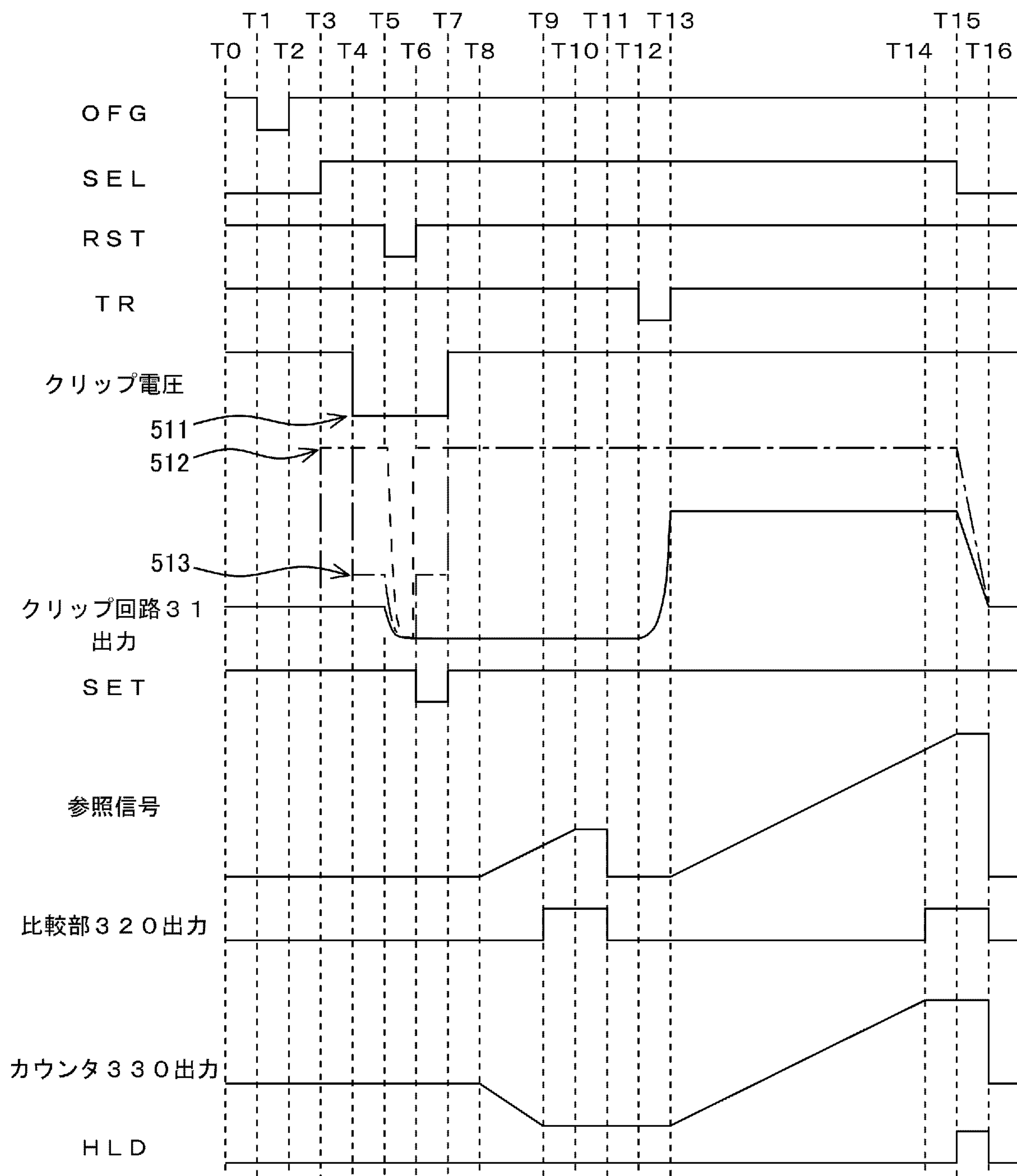
[図5]



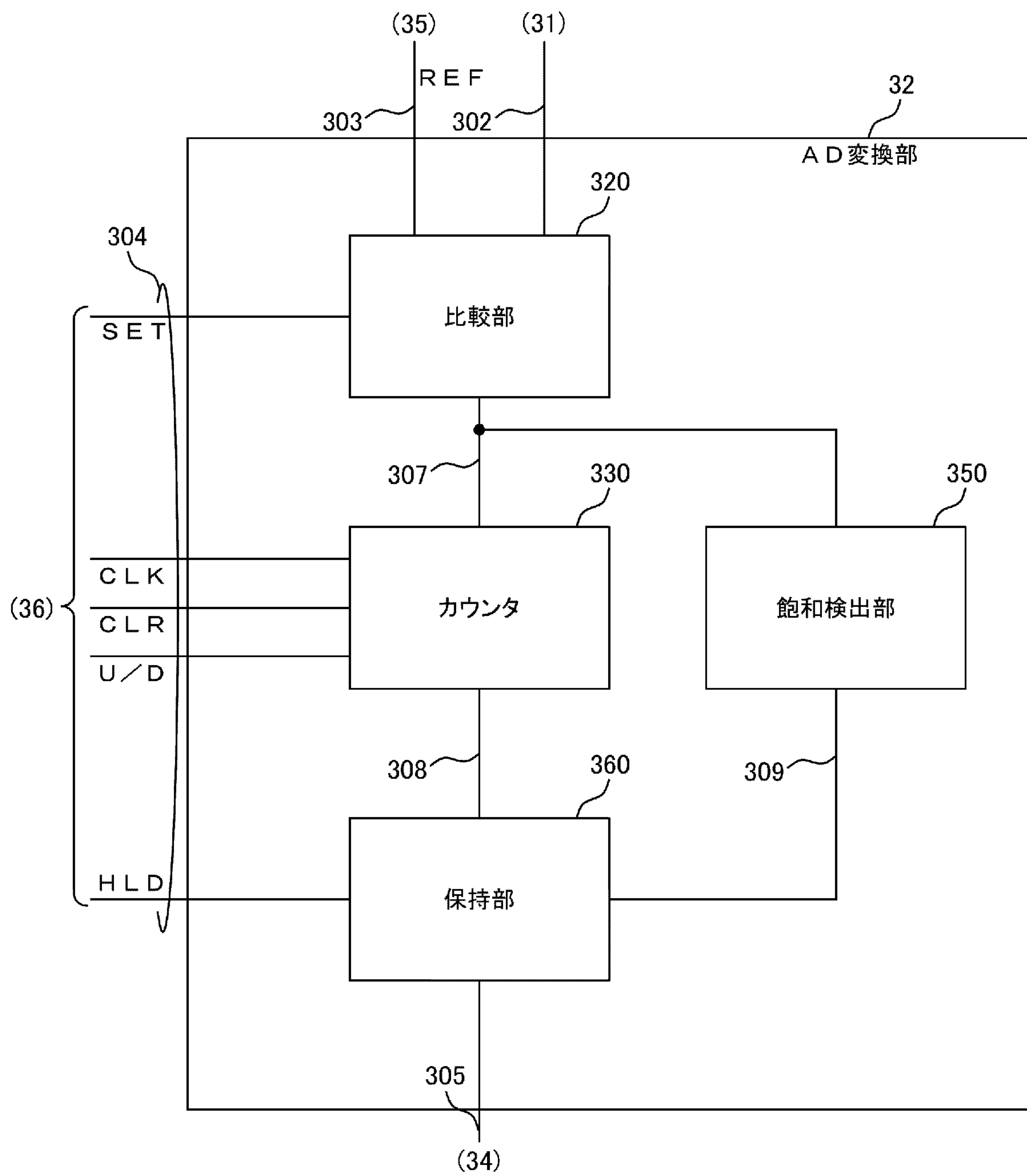
[図6]



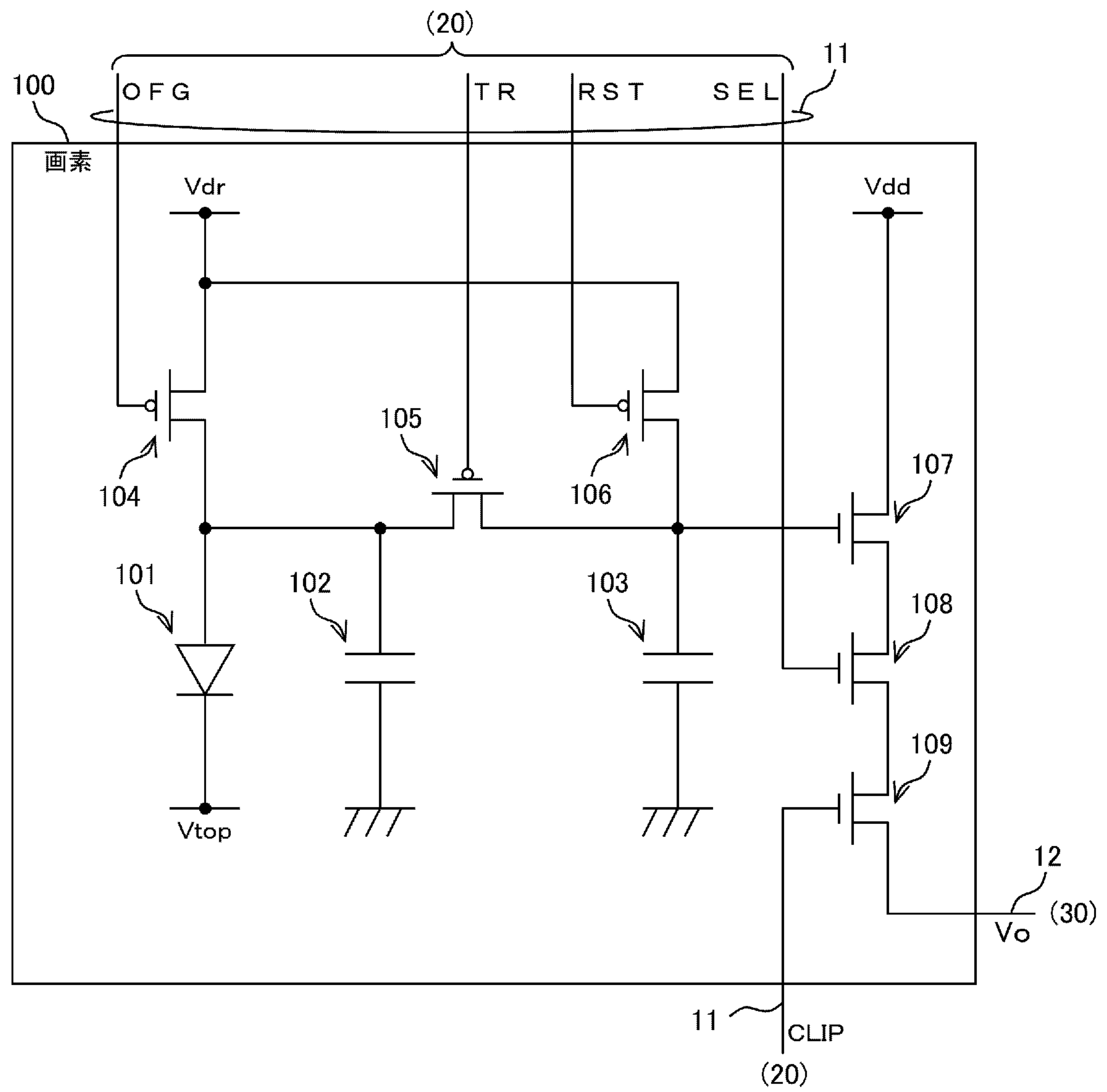
[図7]



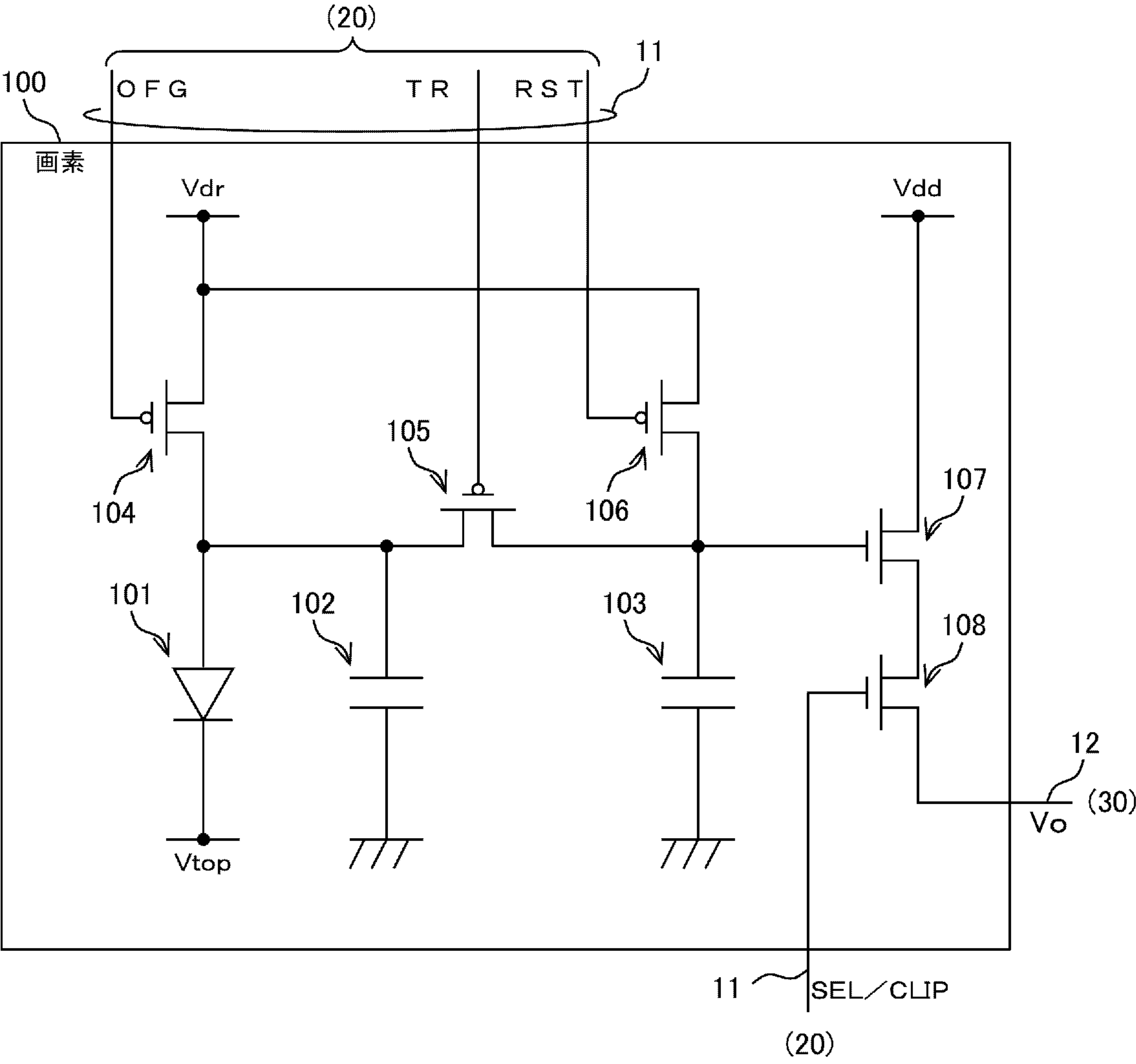
[図8]



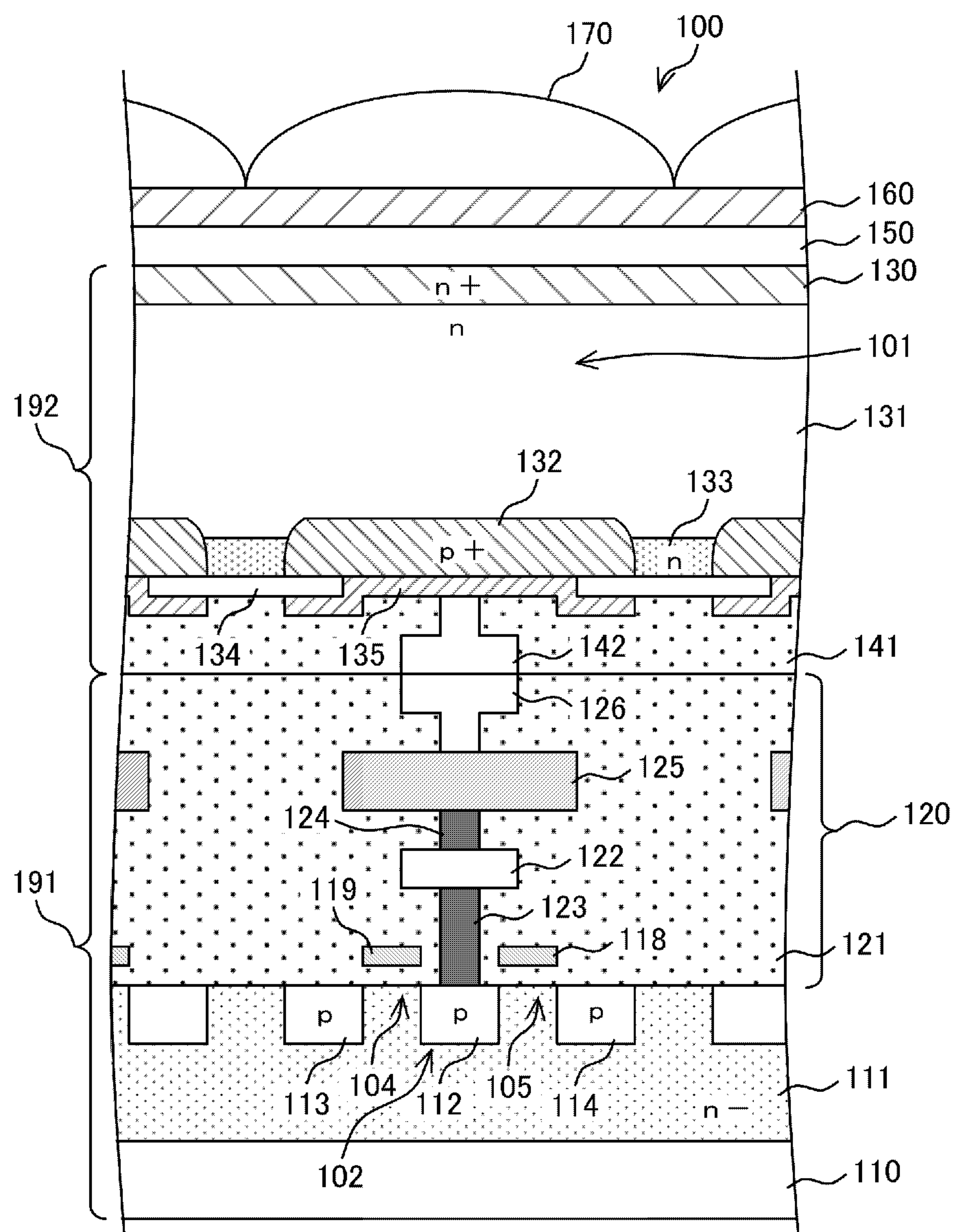
[図9]



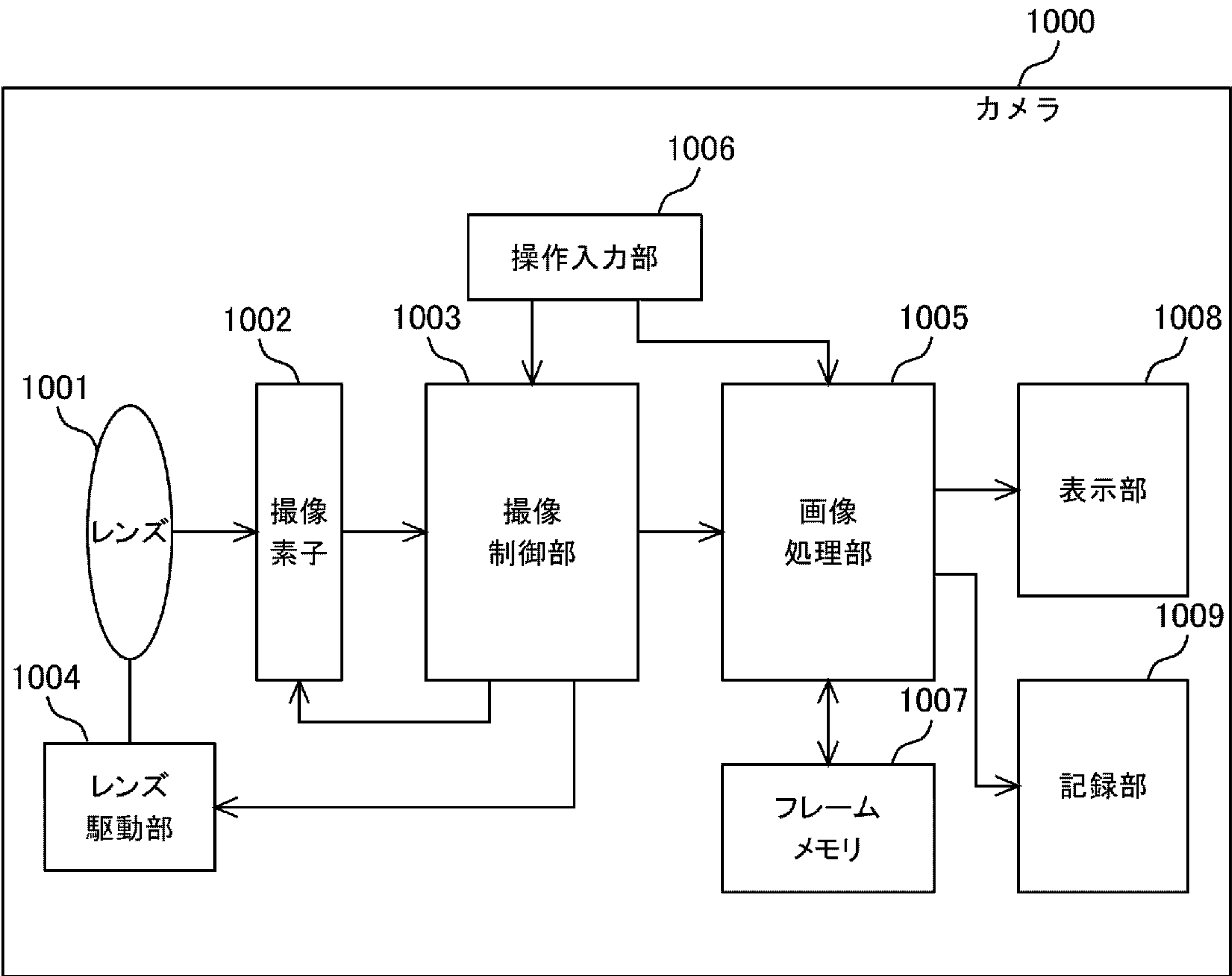
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/028662

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/359(2011.01)i, H04N5/3745(2011.01)i, H04N5/378(2011.01)i
FI: H04N5/359100, H04N5/3745, H04N5/378

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/359, H04N5/3745, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2018-207488 A (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 27 December 2018 (2018-12-27), paragraphs [0041]-[0060], [0108]-[0110], fig. 1, 13	1, 12 4-6, 9 2-3, 7-8, 10-11
Y	WO 2012/144181 A1 (PANASONIC CORPORATION) 26 October 2012 (2012-10-26), paragraph [0077], fig. 1	4-6, 9
Y	JP 2011-29734 A (PANASONIC CORPORATION) 10 February 2011 (2011-02-10), paragraph [0205]	9

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
15 October 2020

Date of mailing of the international search report
27 October 2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/028662

JP 2018-207488 A	27 December 2018	US 2018/0352179 A1
		paragraphs [0089]-[0108],
		[0163]-[0165], fig. 1, 13
		CN 108989712 A

WO 2012/144181 A1 26 October 2012 US 2014/0027617 A1
paragraph [0094], fig. 1

JP 2011-29734 A 10 February 2011 (Family: none)

国際調査報告		国際出願番号 PCT/JP2020/028662
A. 発明の属する分野の分類（国際特許分類（I P C）） H04N 5/359(2011.01)i; H04N 5/3745(2011.01)i; H04N 5/378(2011.01)i FI: H04N5/359 100; H04N5/3745; H04N5/378		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（I P C）） H04N5/359; H04N5/3745; H04N5/378		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 2 0 年 日本国実用新案登録公報 1 9 9 6 - 2 0 2 0 年 日本国登録実用新案公報 1 9 9 4 - 2 0 2 0 年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2018-207488 A（パナソニック I P マネジメント株式会社）27.12.2018（2018 - 12 - 27） 段落[0041]-[0060], [0108]-[0110], 図1, 13	1, 12
Y		4-6, 9
A		2-3, 7-8, 10-11
Y	WO 2012/144181 A1（パナソニック株式会社）26.10.2012（2012 - 10 - 26） 段落[0077], 図1	4-6, 9
Y	JP 2011-29734 A（パナソニック株式会社）10.02.2011（2011 - 02 - 10） 段落[0205]	9
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 15. 10. 2020	国際調査報告の発送日 27. 10. 2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目 4 番 3 号	権限のある職員（特許庁審査官） 花田 尚樹 5V 5889 電話番号 03-3581-1101 内線 3571	

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-207488	A	27.12.2018	US 2018/0352179 A1 段落[0089]-[0108], [0163]- [0165], 図1, 13 CN 108989712 A	
WO	2012/144181	A1	26.10.2012	US 2014/0027617 A1 段落[0094], 図1	
JP	2011-29734	A	10.02.2011	(ファミリーなし)	