

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成19年2月8日(2007.2.8)

【公開番号】特開2005-182551(P2005-182551A)

【公開日】平成17年7月7日(2005.7.7)

【年通号数】公開・登録公報2005-026

【出願番号】特願2003-423840(P2003-423840)

【国際特許分類】

G 0 6 K	19/077	(2006.01)
H 0 1 L	25/00	(2006.01)
H 0 1 L	27/00	(2006.01)
H 0 1 L	21/02	(2006.01)
H 0 1 L	27/12	(2006.01)
H 0 1 L	21/8247	(2006.01)
H 0 1 L	27/115	(2006.01)
H 0 1 L	21/336	(2006.01)
H 0 1 L	29/786	(2006.01)
G 1 1 C	17/08	(2006.01)

【F I】

G 0 6 K	19/00	K
H 0 1 L	25/00	B
H 0 1 L	27/00	3 0 1 B
H 0 1 L	27/12	B
H 0 1 L	27/10	4 3 4
H 0 1 L	29/78	6 2 7 C
H 0 1 L	29/78	6 1 3 B
G 1 1 C	17/00	3 0 1 Z

【手続補正書】

【提出日】平成18年12月15日(2006.12.15)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】薄膜集積回路

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

絶縁基板上に第1及び第2の薄膜トランジスタを有する、書き換え不可能な不揮発性メモリを有し、

前記不揮発性メモリは、前記第1及び第2の薄膜トランジスタがそれぞれ有する多結晶半導体膜の結晶粒パターン、または前記第1及び第2の薄膜トランジスタの製造に起因したしきい値電圧のばらつきに基づく固有なデータが格納されることを特徴とする薄膜集積回路。

【請求項 2】

絶縁基板上に第1及び第2の薄膜トランジスタを有する、書き換え不可能な不揮発性メモリと、前記不揮発性メモリに電気的に接続されたアンテナとを有し、
前記不揮発性メモリは、前記第1及び第2の薄膜トランジスタがそれぞれ有する多結晶半導体膜の結晶粒パターン、または前記第1及び第2の薄膜トランジスタの製造に起因したしきい値電圧のばらつきに基づく固有なデータが格納され、
非接触で、前記不揮発性メモリのデータが読み出し可能であることを特徴とする薄膜集積回路。

【請求項 3】

絶縁基板上に第1及び第2の薄膜トランジスタを有する、書き換え不可能な不揮発性メモリを有し、
前記不揮発性メモリは、前記第1及び第2の薄膜トランジスタがそれぞれ有する多結晶半導体膜の結晶粒パターン、または前記第1及び第2の薄膜トランジスタの製造に起因したしきい値電圧のばらつきに基づく固有なデータが格納され、
アンテナを接続することで、前記不揮発性メモリのデータが読み出し可能であることを特徴とする薄膜集積回路。

【請求項 4】

絶縁基板上に第1及び第2の薄膜トランジスタを有する、書き換え不可能な不揮発性メモリを有し、
前記不揮発性メモリは、前記第1の薄膜トランジスタの多結晶半導体膜の結晶粒パターン、または前記薄膜トランジスタの製造に起因した第1のしきい値電圧と、前記第2の薄膜トランジスタの多結晶半導体膜の結晶粒パターン、または前記薄膜トランジスタの製造に起因した第2のしきい値電圧との差に基づき乱数が決定され、該乱数に基づく固有なデータが格納されることを特徴とする薄膜集積回路。

【請求項 5】

絶縁基板上に第1及び第2の薄膜トランジスタを有する、書き換え不可能な不揮発性メモリと、前記不揮発性メモリに電気的に接続されたアンテナとを有し、
前記不揮発性メモリは、前記第1の薄膜トランジスタの多結晶半導体膜の結晶粒パターン、または前記薄膜トランジスタの製造に起因した第1のしきい値電圧と、前記第2の薄膜トランジスタの多結晶半導体膜の結晶粒パターン、または前記薄膜トランジスタの製造に起因した第2のしきい値電圧との差に基づき乱数が決定され、該乱数に基づく固有なデータが格納され、
非接触で、前記不揮発性メモリのデータが読み出し可能であることを特徴とする薄膜集積回路。

【請求項 6】

絶縁基板上に第1及び第2の薄膜トランジスタを有する、書き換え不可能な不揮発性メモリを有し、
前記不揮発性メモリは、前記第1の薄膜トランジスタの多結晶半導体膜の結晶粒パターン、または前記薄膜トランジスタの製造に起因した第1のしきい値電圧と、前記第2の薄膜トランジスタの多結晶半導体膜の結晶粒パターン、または前記薄膜トランジスタの製造に起因した第2のしきい値電圧との差に基づき乱数が決定され、該乱数に基づく固有なデータが格納され、
アンテナを接続することで、前記不揮発性メモリのデータが読み出し可能であることを特徴とする薄膜集積回路。

【請求項 7】

請求項1乃至請求項6のいずれか一において、前記第1及び第2の薄膜トランジスタの互いのゲートが電気的に接続され、互いのソース又はドレインの一方が電気的に接続され、互いのソース又はドレインの他方がそれぞれ第1及び第2の選択用トランジスタに電気的に接続され、前記第1及び第2の選択用トランジスタは、フリップフロップの両端子に電気的に接続されていることを特徴とする薄膜集積回路。

【請求項 8】

請求項 1 乃至 請求項 6 のいずれか一において、前記第 1 の薄膜トランジスタは参照用メモリセルが有する薄膜トランジスタであることを特徴とする薄膜集積回路。

【請求項 9】

請求項 1 乃至 請求項 6 のいずれか一において、前記第 1 及び第 2 の薄膜トランジスタは、隣り合うメモリセルがそれぞれ有する薄膜トランジスタであることを特徴とする薄膜集積回路。

【請求項 10】

請求項 1 乃至 請求項 9 のいずれか一において、前記絶縁基板はガラス基板、又はフレキシブル基板であることを特徴とする薄膜集積回路。

【請求項 11】

請求項 1 乃至 請求項 10 のいずれか一に記載の前記薄膜集積回路を搭載したことを特徴とするカード、又はタグ。