

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成21年9月10日 (2009.9.10)

【公開番号】特開2005-346044(P2005-346044A)

【公開日】平成17年12月15日 (2005.12.15)

【年通号数】公開・登録公報2005-049

【出願番号】特願2005-131186(P2005-131186)

【国際特許分類】

G 0 9 G 5/00 (2006.01)

G 0 6 T 1/60 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/22 (2006.01)

G 0 9 G 3/30 (2006.01)

G 0 9 G 3/36 (2006.01)

H 0 4 N 5/262 (2006.01)

G 0 9 G 5/36 (2006.01)

G 0 9 G 3/28 (2006.01)

【 F I 】

G 0 9 G 5/00 5 5 0 M

G 0 9 G 5/00 5 5 0 P

G 0 9 G 5/00 5 5 0 R

G 0 6 T 1/60 4 5 0 C

G 0 9 G 3/20 6 3 1 B

G 0 9 G 3/20 6 3 1 D

G 0 9 G 3/20 6 6 0 F

G 0 9 G 3/22 D

G 0 9 G 3/30 H

G 0 9 G 3/36

H 0 4 N 5/262

G 0 9 G 5/36 5 2 0 K

G 0 9 G 3/28 R

【手続補正書】

【提出日】平成21年7月27日 (2009.7.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

順次入力される画像信号をライン単位に格納する第 1 のメモリ部と、

前記第 1 のメモリ部から出力される画像信号を複数ライン分格納することが可能な第 2 のメモリ部と、

前記第 1 のメモリ部および前記第 2 のメモリ部を制御する制御回路と、を有し、

前記制御回路は、前記第 1 のメモリ部にライン単位に格納された画像信号の全てを、前記第 1 のメモリ部に入力された順序とは逆の順序で出力し、当該出力された画像信号を前記第 2 のメモリ部に順次入力して複数ライン分の画像信号が格納されるように制御するとともに、前記第 2 のメモリ部に複数ライン分格納された画像信号の全てを、前記第 2 のメ

メモリ部に格納されたライン順とは逆の順序となるように出力する制御を行うことを特徴とする画像信号処理回路。

【請求項 2】

順次入力される画像信号をライン単位に格納する第 1 のメモリ部と、  
前記第 1 のメモリ部から出力される画像信号を複数ライン分格納することが可能な第 2 のメモリ部と、  
前記第 1 のメモリ部および前記第 2 のメモリ部を制御する制御回路と、を有し、  
前記制御回路は、前記第 1 のメモリ部にライン単位に格納された画像信号の一部の画像信号を前記第 1 のメモリ部に入力された順序で前記第 2 のメモリ部に出力するとともに、前記一部の画像信号以外の画像信号を前記第 1 のメモリ部に入力された順序とは逆の順序で出力し、当該出力された画像信号を前記第 2 のメモリ部に順次入力して複数のライン分の画像信号が格納されるように制御するとともに、前記第 2 のメモリ部に複数ライン分格納された画像信号の一部の画像信号を前記第 2 のメモリ部に入力されたライン順で出力するとともに、当該一部の画像信号以外の画像信号を前記第 2 のメモリ部に格納されたライン順とは逆の順序となるように出力する制御を行うことを特徴とする画像信号処理回路。

【請求項 3】

請求項 1 または 2 に記載の画像信号処理回路と、  
前記画像信号処理回路から出力される画像信号に基づいて表示を実行する表示器とを有することを特徴とする画像表示装置。

【請求項 4】

順次入力される画像信号をライン単位に格納する第 1 のメモリ部と、  
前記第 1 のメモリ部から出力される画像信号を複数ライン分格納することが可能な第 2 のメモリ部と、  
前記第 1 のメモリ部および前記第 2 のメモリ部を制御する制御回路と、を有し、  
前記制御回路は、前記第 1 のメモリ部にライン単位に格納された画像信号の全てを、前記第 1 のメモリ部に入力された順序とは逆の順序で出力し、当該出力された画像信号を前記第 2 のメモリ部にライン単位に複数ライン分格納する際に、前記第 1 のメモリ部から出力されたライン順とは逆の順序となるように前記第 2 のメモリ部に格納する制御を行うことを特徴とする画像信号処理回路。

【請求項 5】

順次入力される画像信号をライン単位に格納する第 1 のメモリ部と、  
前記第 1 のメモリ部から出力される画像信号を複数ライン分格納することが可能な第 2 のメモリ部と、  
前記第 1 のメモリ部および前記第 2 のメモリ部を制御する制御回路と、を有し、  
前記制御回路は、前記第 1 のメモリ部にライン単位に格納された画像信号を出力する際、格納された画像信号の一部の画像信号を前記第 1 のメモリ部に入力された順序で前記第 2 のメモリ部に出力するとともに、前記一部の画像信号以外の画像信号を前記第 1 のメモリ部に入力された順序とは逆の順序で前記第 2 のメモリ部に出力するように制御し、当該出力された画像信号を前記第 2 のメモリ部にライン単位に複数ライン分格納する際に、前記第 1 のメモリ部から出力された画像信号の一部の画像信号を前記第 2 のメモリ部に入力されたライン順で格納するとともに、当該一部の画像信号以外の画像信号を入力されたライン順とは逆の順序となるように前記第 2 のメモリ部に格納する制御を行うことを特徴とする画像信号処理回路。

【請求項 6】

請求項 4 または 5 に記載の画像信号処理回路と、  
前記画像信号処理回路から出力される画像信号に基づいて表示を実行する表示器とを有することを特徴とする画像表示装置。

【請求項 7】

順次入力される画像信号をライン単位に格納する第 1 のメモリ部と、

画像信号を複数ライン分格納することが可能な第２のメモリ部と、

前記第１のメモリ部および前記第２のメモリ部を制御する制御回路と、を有し、

前記制御回路は、前記第２のメモリ部に複数ライン分格納された画像信号を、前記第２のメモリ部に格納されたライン順とは逆の順序で前記第１のメモリ部に出力し、当該出力された画像信号を前記第１のメモリ部に格納するように制御するとともに、前記第１のメモリ部に格納された画像信号を前記第１のメモリ部に格納された画像信号の入力順序とは逆の順序となるように出力する制御を行う

ことを特徴とする画像信号処理回路。

【請求項８】

請求項７に記載の画像信号処理回路と、

前記画像信号処理回路から出力される画像信号に基づいて表示を実行する表示器とを有することを特徴とする画像表示装置。