

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7647472号
(P7647472)

(45)発行日 令和7年3月18日(2025.3.18)

(24)登録日 令和7年3月10日(2025.3.10)

(51)国際特許分類	F I			
G 0 6 F 12/00 (2006.01)	G 0 6 F 12/00	5 6 0 B		
G 0 6 F 12/06 (2006.01)	G 0 6 F 12/00	5 6 4 A		
	G 0 6 F 12/06	5 2 1 G		
	G 0 6 F 12/06	5 2 5 A		

請求項の数 8 (全35頁)

(21)出願番号	特願2021-153722(P2021-153722)	(73)特許権者	000005223
(22)出願日	令和3年9月22日(2021.9.22)		富士通株式会社
(65)公開番号	特開2023-45362(P2023-45362A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43)公開日	令和5年4月3日(2023.4.3)	(74)代理人	100107766
審査請求日	令和6年6月11日(2024.6.11)		弁理士 伊東 忠重
		(74)代理人	100070150
			弁理士 伊東 忠彦
		(72)発明者	吉本 和矢
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72)発明者	近藤 祐史
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	後藤 彰

最終頁に続く

(54)【発明の名称】 演算処理装置およびメモリアクセス方法

(57)【特許請求の範囲】

【請求項1】

データの読み出しサイズが異なる複数のメモリアクセス要求に基づいてメモリのアクセスを制御可能なメモリアクセスコントローラを有する演算処理装置であって、

前記メモリアクセスコントローラは、

複数のメモリアクセス要求を受けた場合、前記メモリから出力される読み出しデータの競合を避けるタイミングで前記複数のメモリアクセス要求に対応するリードコマンドを前記メモリにそれぞれ出力し、前記メモリから読み出されるデータの外部への出力開始タイミングを生成するアクセス制御部と、

前記リードコマンドにそれぞれ対応して前記メモリから読み出されるデータをそれぞれ保持する複数のバッファと、

前記複数のバッファの動作を制御し、前記出力開始タイミングに基づいて前記複数のバッファのいずれかからデータを出力させるバッファ制御部と、を有し、

前記アクセス制御部は、先行のメモリアクセス要求に対応するメモリアクセスの実行中に後続のメモリアクセス要求を受けた場合、前記後続のメモリアクセス要求に対応する前記バッファからのデータの出力開始タイミングを、前記先行のメモリアクセス要求に対応する前記バッファからのデータの出力開始タイミングより遅らせる

演算処理装置。

【請求項2】

前記アクセス制御部は、

10

20

先行のメモリアクセス要求に対応するメモリアクセスの実行中に後続のメモリアクセス要求を受けた場合、前記後続のメモリアクセス要求に対応する前記出力開始タイミングを、受付可能なメモリアクセス要求のうち、データの読み出しサイズが最大のメモリアクセス要求を受けたときの前記出力開始タイミングに設定する

請求項 1 に記載の演算処理装置。

【請求項 3】

前記バッファ制御部は、前記後続のメモリアクセス要求に対応する前記出力開始タイミングが、前記先行のメモリアクセス要求に対応する前記バッファからの最終データの出力タイミングより早い場合、前記後続のメモリアクセス要求に対応する前記出力開始タイミングを前記最終データの出力タイミングより後に設定する

10

請求項 1 または請求項 2 に記載の演算処理装置。

【請求項 4】

前記アクセス制御部は、メモリアクセス要求を受けたとき、先行のメモリアクセス要求に対応するメモリアクセスが実行されていない場合、受けたメモリアクセス要求のアクセス仕様に応じた出力開始タイミングを設定する

請求項 1 ないし請求項 3 のいずれか 1 項に記載の演算処理装置。

【請求項 5】

前記複数のバッファの各々は、データの出力時にシフト動作するシフトレジスタの構造を有し、

前記バッファ制御部は、前記複数のバッファの各々のデータの格納先を示すライトポインタ値を生成する複数のカウンタと、前記複数のカウンタの各々をカウントアップまたはカウントダウンするカウンタ制御部と、を有し、

20

前記カウンタ制御部は、前記バッファからデータを出力することなく前記バッファにデータの格納するときに前記カウンタをカウントアップし、前記バッファにデータの格納することなく前記バッファからデータを出力するときに前記カウンタをカウントダウンし、前記バッファからデータを出力するとともに前記バッファにデータを格納するときに前記カウンタのカウントアップおよびカウントダウンを停止する

請求項 1 ないし請求項 4 のいずれか 1 項に記載の演算処理装置。

【請求項 6】

前記カウンタが生成するライトポインタ値を前記バッファのいずれかに供給するセレクタを有し、

30

前記カウンタの数は、前記バッファの数より少ない

請求項 5 に記載の演算処理装置。

【請求項 7】

演算を実行する演算実行部と、

外部デバイスに接続されるインタフェース部と、

前記演算実行部が出力する前記メモリアクセス要求および前記インタフェース部を介して外部デバイスが出力する前記メモリアクセス要求を受信し、受信したメモリアクセス要求を前記メモリアクセスコントローラに出力するネットワーク制御部と、を有する

請求項 1 ないし請求項 6 のいずれか 1 項に記載の演算処理装置。

40

【請求項 8】

データの読み出しサイズが異なる複数のメモリアクセス要求に基づいてメモリのアクセスを制御可能なメモリアクセスコントローラによるメモリアクセス方法であって、

複数のメモリアクセス要求を受けた場合、前記メモリから出力される読み出しデータの競合を避けるタイミングで前記複数のメモリアクセス要求に対応するリードコマンドを前記メモリにそれぞれ出力し、

前記メモリから読み出されるデータの外部への出力開始タイミングを生成し、

前記リードコマンドにそれぞれ対応して前記メモリから読み出されるデータをそれぞれ保持する複数のバッファの動作を制御し、前記出力開始タイミングに基づいて前記複数のバッファのいずれかからデータを出力させ、

50

先行のメモリアクセス要求に対応するメモリアクセスの実行中に後続のメモリアクセス要求を受けた場合、前記後続のメモリアクセス要求に対応する前記バッファからのデータの出力開始タイミングを、前記先行のメモリアクセス要求に対応する前記バッファからのデータの出力開始タイミングより遅らせる

メモリアクセス方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、演算処理装置およびメモリアクセス方法に関する。

【背景技術】

【0002】

主記憶装置のアクセス単位である単位データ長より大きい単位のアクセス要求を、単位データ長に相当するアクセス要求に分割し、主記憶装置から出力される単位データの順序を揃えてバッファに保持し、応答する手法が知られている（例えば、特許文献1参照）。

【0003】

複数のリクエストからの可変長のリクエストの記憶装置への送出回数と記憶装置からのリプライデータの回数をとを計数することで、リプライバッファのオーバーフローを抑止する手法が知られている（例えば、特許文献2参照）。

【先行技術文献】

【特許文献】

【0004】

【文献】特開平1-180663号公報

【文献】特開平10-307747号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

複数種のデバイスによりメモリをアクセスする場合、1回のメモリアクセス要求によりメモリから読み出すデータの読み出しサイズは、デバイスに応じて異なる場合がある。例えば、メモリのアクセスを制御するメモリアクセスコントローラが、データの読み出しサイズの大きいメモリアクセス要求の後にデータの読み出しサイズの小さいメモリアクセス要求を受けるとする。この場合、メモリアクセス要求の発行順と、メモリアクセス要求に対応してメモリから読み出される応答データのデバイスへの出力順とが入れ替わるおそれがある。この場合、先行のメモリアクセス要求に対応する読み出しデータの発行元への応答が遅れるため、先行のメモリアクセス要求を発行するデバイスの処理性能が低下するおそれがある。

【0006】

1つの側面では、本発明は、データの読み出しサイズが異なる複数のメモリアクセス要求を受ける場合にも、メモリから読み出されるデータをアクセス要求の発行順にしたがって発行元に出力することを目的とする。

【課題を解決するための手段】

【0007】

一つの観点によれば、演算処理装置は、データの読み出しサイズが異なる複数のメモリアクセス要求に基づいてメモリのアクセスを制御可能なメモリアクセスコントローラを有する演算処理装置であって、前記メモリアクセスコントローラは、複数のメモリアクセス要求を受けた場合、前記メモリから出力される読み出しデータの競合を避けるタイミングで前記複数のメモリアクセス要求に対応するリードコマンドを前記メモリにそれぞれ出力し、前記メモリから読み出されるデータの外部への出力開始タイミングを生成するアクセス制御部と、前記リードコマンドにそれぞれ対応して前記メモリから読み出されるデータをそれぞれ保持する複数のバッファと、前記複数のバッファの動作を制御し、前記出力開始タイミングに基づいて前記複数のバッファのいずれかからデータを出力させるバッファ

10

20

30

40

50

制御部と、を有し、前記アクセス制御部は、先行のメモリアクセス要求に対応するメモリアクセスの実行中に後続のメモリアクセス要求を受けた場合、前記後続のメモリアクセス要求に対応する前記バッファからのデータの出力開始タイミングを、前記先行のメモリアクセス要求に対応する前記バッファからのデータの出力開始タイミングより遅らせる。

【発明の効果】

【 0 0 0 8 】

1つの側面では、本発明は、データの読み出しサイズが異なる複数のメモリアクセス要求を受ける場合にも、メモリから読み出されるデータをアクセス要求の発行順にしたがって発行元に出力することができる。

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】一実施形態におけるメモリアクセスコントローラを含む演算処理装置の一例を示すブロック図である。

【図 2】図 1 のメモリアクセスコントローラの動作の一例を示すタイミング図である。

【図 3】別の実施形態におけるメモリアクセスコントローラを含む演算処理装置の一例を示すブロック図である。

【図 4】図 3 のメモリアクセスコントローラの一例を示すブロック図である。

【図 5】図 4 のスケジューリング部の一例を示すブロック図である。

【図 6】図 5 のスケジューリング部の動作の一例を示すタイミング図である。

【図 7】図 4 のリクエスト保持パイプラインのステージの一例を示すブロック図である。

【図 8】図 4 の処理部の一例を示すブロック図である。

【図 9】図 4 のバッファ制御部およびデータバッファの一例を示すブロック図である。

【図 10】図 4 のメモリアクセスコントローラによりメモリにリードアクセスする一例を示すタイミング図である。

【図 11】メモリのリードアクセス時のバッファ制御部およびデータバッファの動作の一例を示すタイミング図である。

【図 12】図 11 と同じ期間でのメモリアクセスコントローラの動作の一例を示すタイミング図である。

【図 13】図 11 の続きを示すタイミング図である。

【図 14】図 12 の続きを示すタイミング図である。

【図 15】図 13 の続きを示すタイミング図である。

【図 16】図 14 の続きを示すタイミング図である。

【図 17】図 15 の続きを示すタイミング図である。

【図 18】図 16 の続きを示すタイミング図である。

【図 19】他のメモリアクセスコントローラの動作の一例を示すタイミング図である。

【図 20】別の実施形態におけるメモリアクセスコントローラの例を示すブロック図である。

【発明を実施するための形態】

【 0 0 1 0 】

以下、図面を用いて実施形態が説明される。以下では、信号等の情報が伝達される信号線には、信号名と同じ符号を使用する。また、図中に単線で示す信号線が、複数ビットの場合もある。

【 0 0 1 1 】

図 1 は、一実施形態におけるメモリアクセスコントローラを含む演算処理装置の一例を示す。図 1 に示す演算処理装置 1 は、メモリアクセスコントローラ 2 を有する。メモリアクセスコントローラ 2 は、データの読み出しサイズが異なる複数のメモリアクセス要求 M R E Q に基づいてメモリ 6 のアクセスを制御可能である。例えば、データの読み出しサイズは、1 回のメモリアクセス要求 M R E Q に応じてメモリ 6 から読み出されるデータ D Q のサイズまたはデータ D Q の出力回数である。

【 0 0 1 2 】

10

20

30

40

50

メモリアクセスコントローラ 2 は、アクセス制御部 3、バッファ制御部 4 および複数のバッファ 5 (5 a、5 b) を有する。アクセス制御部 3 は、複数のメモリアクセス要求 M R E Q を受けた場合、メモリ 6 にアクセスコマンドを出力する。例えば、メモリ 6 は、データを保持する複数のバンクグループ B G (B G 0、B G 1) を有してもよい。

【 0 0 1 3 】

以下では、メモリアクセス要求 M R E Q が読み出しアクセス要求であり、アクセス制御部 3 がメモリ 6 にリードコマンド R D を出力する例が説明される。なお、メモリ 6 が D R A M (Dynamic Random Access Memory) の場合、アクセス制御部 3 は、リードコマンド R D を出力する前にアクティブコマンド A C T を出力してもよい。

【 0 0 1 4 】

アクセス制御部 3 は、複数のメモリアクセス要求 M R E Q に対応してメモリ 3 0 から出力されるデータ D Q (読み出しデータ) の競合を避けるタイミングで、複数のメモリアクセス要求 M R E Q に対応するリードコマンド R D をメモリ 3 0 にそれぞれ出力する。アクセス制御部 3 は、リードコマンド R D に応答してメモリ 6 からデータ D Q が出力されるタイミングに合わせてデータ入力タイミング信号 D Q I N をバッファ制御部 4 に出力する。

【 0 0 1 5 】

バッファ制御部 4 は、データ入力タイミング信号 D Q I N に基づいてバッファ 5 a、5 b のいずれかにライトポインタ値 W P (W P a、W P b) を出力する。ライトポインタ値 W P は、メモリ 6 から読み出されるデータ D Q を格納するバッファ 5 の格納位置を示す。そして、バッファ 5 a、5 b には、リードコマンド R D にそれぞれ対応してメモリ 6 から読み出されるデータ D Q が、メモリアクセス要求 M R E Q 毎に格納される。例えば、各バッファ 5 は、保持したデータ D Q の出力時にシフト動作するシフトレジスタの構造 (すなわち、F I F O (First-In First-Out) の構造) を有する。

【 0 0 1 6 】

アクセス制御部 3 は、所定量のデータ D Q がバッファ 5 に格納されたタイミングで、バッファ 5 に保持されたデータ D Q の外部への出力開始タイミングを示すイネーブル信号 E N を、バッファ 5 毎にバッファ制御部 4 に出力する。バッファ制御部 4 は、イネーブル信号 E N に基づいて、対応するバッファ 5 にデータシフト信号 D S F T (D S F T a、D S F T b) を出力する。例えば、データシフト信号 D S F T は、パルス信号であり、バッファ 5 から出力するデータ D Q の数のパルスを含む。バッファ 5 は、データシフト信号 D S F T に応じて、保持しているデータ D Q を出力データ D O U T として順次出力する。

【 0 0 1 7 】

ここで、アクセス制御部 3 が、先行のメモリアクセス要求 M R E Q に対応するメモリアクセスの実行中に後続のメモリアクセス要求 M R E Q を受けるとする。この場合、アクセス制御部 3 は、後続のメモリアクセス要求 M R E Q に対応するイネーブル信号 E N を、先行のメモリアクセス要求 M R E Q に対応するイネーブル信号 E N の後に出力する。すなわち、アクセス制御部 3 は、後続のメモリアクセス要求 M R E Q に対応するバッファ 5 からの出力データ D O U T の出力開始タイミングを、先行のメモリアクセス要求 M R E Q に対応するバッファ 5 からの出力データ D O U T の出力開始タイミングより遅らせる。

【 0 0 1 8 】

図 2 は、図 1 のメモリアクセスコントローラ 2 の動作の一例を示す。すなわち、図 2 は、メモリアクセスコントローラ 2 によるメモリアクセス方法の一例を示す。図 2 では、メモリアクセスコントローラ 2 は、バンクグループ B G 0 に対するメモリアクセス要求 M R E Q 0 と、バンクグループ B G 1 に対するメモリアクセス要求 M R E Q 1 とを順次受ける。メモリアクセスコントローラ 2 は、メモリアクセス要求 M R E Q 0 に対応するアクティブコマンド A C T 0 をメモリ 6 に出力した後、メモリアクセス要求 M R E Q 1 に対応するアクティブコマンド A C T 1 をメモリ 6 に出力する。

【 0 0 1 9 】

次に、メモリアクセスコントローラ 2 は、メモリアクセス要求 M R E Q 0 に対応する複数のリードコマンド R D 0 と、メモリアクセス要求 M R E Q 1 に対応する複数のリードコ

10

20

30

40

50

マンドRD1とをメモリ6に出力する。例えば、メモリアクセス要求MREQ0のデータの読み出しサイズに対応するデータの出力回数は"16"であり、メモリアクセス要求MREQ1のデータの読み出しサイズに対応するデータの出力回数は"8"である。また、1回のリードコマンドRDで4個のデータDQがメモリ6から出力される。このため、メモリアクセスコントローラ2は、メモリアクセス要求MREQ0に対応してリードコマンドRD0を4回出力し(バースト長="4")、メモリアクセス要求MREQ1に対応してリードコマンドRD1を2回出力する。

【0020】

リードコマンドRD0に应答してメモリ6から読み出されるデータDQ0(DQ00、DQ01、DQ02、DQ03)は、バッファ5aに順次格納される。リードコマンドRD1に应答してメモリ6から読み出されるデータDQ1(DQ10、DQ11)は、バッファ5bに順次格納される。なお、各データDQ00、DQ01、DQ02、DQ03、DQ10、DQ11は、4個のデータDQを含む。

【0021】

アクセス制御部3は、所定量のデータDQ0がバッファ5aに格納されたタイミングで、イネーブル信号EN0をバッファ制御部4に出力する。また、アクセス制御部3は、イネーブル信号EN0の出力後、所定量のデータDQ1がバッファ5bに格納されたタイミングで、イネーブル信号EN1をバッファ制御部4に出力する。

【0022】

バッファ制御部4は、イネーブル信号EN0に基づいてバッファ5aを制御し、バッファ5aに保持されたデータをDQ00、DQ01、DQ02、DQ03を出力データDOUTとして順次出力させる。バッファ制御部4は、イネーブル信号EN1を受信したとき、バッファ5aからデータDQ01が出力中であるため、バッファ5bからのデータDQ10の出力制御を保留する。

【0023】

そして、バッファ制御部4は、バッファ5aからのデータDQ03の出力完了タイミングに合わせてバッファ5bを制御し、バッファ5bに保持されたデータをDQ10、DQ11を出力データDOUTとして順次出力させる。すなわち、アクセス制御部3は、後続のメモリアクセス要求MREQに対応するバッファ5からの出力データDOUTの出力開始タイミングを、先行のメモリアクセス要求MREQに対応するバッファ5からの出力データDOUTの出力開始タイミングより遅らせる。これにより、メモリアクセスコントローラ2は、様々なデータの読み出しサイズのメモリアクセス要求MREQに応じてメモリ30からデータDQを読み出す場合にも、メモリアクセス要求MREQの受付順にしたがってデータDQを出力できる。

【0024】

なお、かぎ括弧で示したイネーブル信号EN1は、先行のメモリアクセス要求MREQ0の有無にかかわらず、最初のリードコマンドRD1から所定の期間後に出力するタイミングの例を示す。すなわち、かぎ括弧で示したイネーブル信号EN1は、メモリアクセスコントローラ2が、先行のメモリアクセス要求MREQ0の有無に応じてイネーブル信号EN1の出力タイミングを遅らせる機能を持たない場合の例を示す。

【0025】

この場合、かぎ括弧で示すように、メモリアクセス要求MREQ1に対応するデータDQ1が、メモリアクセス要求MREQ0に対応するデータDQ0より先に出力される。すなわち、メモリアクセス要求MREQの受付順と逆の順序でデータDQ1、DQ0が順次出力されてしまう。

【0026】

以上、この実施形態では、メモリアクセスコントローラ2は、データDQの読み出しサイズが異なる複数のメモリアクセス要求MREQに応じてメモリ6から出力されるデータDQをアクセス要求MREQの発行順にしたがって発行元のデバイスに出力できる。これにより、例えば、読み出しサイズの小さいメモリアクセス要求MREQ1の前に発行され

10

20

30

40

50

た読み出しサイズの大きいメモリアクセス要求MREQ0に対応する読み出しデータのデバイスへの応答の遅れを抑制することができる。この結果、メモリアクセス要求MREQの発行元のデバイスの処理性能が、他のメモリアクセス要求MREQのデータの読み出しサイズにより低下することを抑制することができる。

【0027】

バッファ制御部4は、後続のメモリアクセス要求MREQ1に対応するデータDQの出力が、先行のメモリアクセス要求MREQ0に対応するデータDQの出力と重複する場合、イネーブル信号EN1の受信に基づくデータDQ1の出力の開始を遅らせる。これにより、2つのバッファ5a、5bからのデータDQ0、DQ1の衝突を抑止することができる。この結果、誤ったデータDQ(DOUT)がメモリアクセスコントローラ2から出力されることを抑止することができる。

10

【0028】

図3は、別の実施形態におけるメモリアクセスコントローラを含む演算処理装置の一例を示す。図3に示す演算処理装置10は、例えば、CPU(Central Processing Unit)である。以下では、演算処理装置10をCPU10とも称する。

【0029】

CPU10は、複数のコア12、キャッシュ14、ネットワーク制御部16、インタコネク18およびメモリアクセスコントローラ20を有する。各コア12は、キャッシュ14に格納された命令を実行し、キャッシュ14に格納されたデータの演算を実行する。各コア12は、演算実行部の一例である。

20

【0030】

例えば、キャッシュ14は、LLC(Last Level Cache)であり、複数のコア12に共通に接続される。キャッシュ14は、メインメモリ等のメモリ30に記憶されたデータおよび命令の一部および他のデバイスに接続されるメモリに記憶されたデータおよび命令の一部を記憶可能である。特に限定されないが、メモリ30は、DDR(Double Data Rate)4-SDRAMである。

【0031】

ネットワーク制御部16は、キャッシュ14、インタコネク18およびメモリアクセスコントローラ20を相互に接続する。インタコネク18は、他のデバイス等に接続され、他のデバイスとの間で通信を実行する。ここで、他のデバイスは、CPU10に接続される外部デバイスである。他のデバイスは、CPU10とともに情報処理装置(システム)に搭載される他のCPU10でもよく、CPU10とともに情報処理装置に搭載されるDMAC(Direct Memory Access Controller)でもよい。インタコネク18は、外部デバイスに接続されるインタフェース部の一例である。

30

【0032】

メモリアクセスコントローラ20は、メモリ30に接続され、メモリ30のアクセスを制御する。例えば、メモリアクセスコントローラ20は、コア12またはインタコネク18を介してCPU10の外部から発行されるメモリアクセス要求(図4のMREQ)に基づいてメモリ30のアクセスを制御する。

【0033】

40

メモリアクセスコントローラ20がCPU10の内部および外部からメモリアクセス要求MREQを受ける場合、データの読み出しサイズ(後述するパケットサイズPS)が様々になる場合がある。後述するように、メモリアクセスコントローラ20は、データの読み出しサイズが互いに異なる複数のメモリアクセス要求MREQに応じて、メモリ30からデータを読み出し、読みだしたデータをデータバッファ280(図4)に保持できる。そして、メモリアクセスコントローラ20は、データバッファ280に保持したデータを、メモリアクセス要求MREQの受付順に出力できる。

【0034】

例えば、メモリアクセス要求がリードアクセス要求の場合、メモリアクセスコントローラ20は、リードアクセス要求に基づいて、メモリ30にリードアクセスし、メモリ30

50

に記憶されたデータをリードする。また、メモリアクセス要求がライトアクセス要求の場合、メモリアクセスコントローラ 20 は、ライトアクセス要求に基づいて、メモリ 30 にライトアクセスし、メモリ 30 にデータをライトする。

【0035】

例えば、メモリアクセスコントローラ 20 は、1つのメモリアクセス要求に応じて、メモリアクセス要求に含まれる読み出しサイズのデータをメモリ 30 から読み出す。データの読み出しサイズは、CPU 10 と DMA C 等の他のデバイスとで相違されてもよく、CPU 10 のグループ毎に相違されてもよい。

【0036】

なお、CPU 10 に搭載されるコア 12 の数は、1つでもよい。また、CPU 10 は、キャッシュ 14 およびネットワーク制御部 16 を持たなくてもよい。その場合、各コア 12 がメモリアクセスコントローラ 20 に接続される。

【0037】

図 4 は、図 3 のメモリアクセスコントローラ 20 の一例を示す。メモリアクセスコントローラ 20 は、リクエスト受信部 210、スケジューリング部 220、リクエスト保持パイプライン 230、設定レジスタ 240、複数の処理部 25 (250、251、252) およびセクタ 260 を有する。また、メモリアクセスコントローラ 20 は、バッファ制御部 270 およびデータバッファ 280 を有する。スケジューリング部 220、リクエスト保持パイプライン 230 および複数の処理部 25 は、アクセス制御部の一例である。

【0038】

リクエスト受信部 210 は、ネットワーク制御部 16 (図 3) から受けるメモリアクセス要求 MREQ に含まれるリクエスト情報 REQINF をスケジューリング部 220 に出力する。例えば、リクエスト情報 REQINF は、動作種別 (ライトまたはリード)、バンクアドレス、ロウアドレス、カラムアドレス、バリッドフラグおよびパケットサイズ PS 等を含む。リクエスト受信部 210 は、有効レベルのバリッドフラグを含むメモリアクセス要求 MREQ を受け付け、無効レベルのバリッドフラグを含むメモリアクセス要求 MREQ を受け付けない。

【0039】

スケジューリング部 220 は、メモリ 30 に供給するクロックであるメモリクロック MCLK に同期して動作する。なお、メモリクロック MCLK は、スケジューリング部 220 だけでなく、メモリアクセスコントローラ 20 内のクロック同期回路に供給される。スケジューリング部 220 は、設定レジスタ 240 に設定された並列度 1 (エル)、位相差 m および平均リクエスト間隔 n に基づいて、資源番号 NXRSC およびシフト信号 SFTOUT0 をリクエスト情報 REQINF とともにリクエスト保持パイプライン 230 に出力する。

【0040】

また、スケジューリング部 220 は、設定レジスタ 240 に設定された最長パケットサイズ MPS をリクエスト情報 REQINF に含めてリクエスト保持パイプライン 230 に出力する。例えば、リクエスト情報 REQINF に対応するメモリアクセスが実行されていないときに、スケジューリング部 220 が他のリクエスト情報 REQINF を受信したとする。この場合、スケジューリング部 220 は、メモリアクセス要求を単独で受信したことを示す単独要求情報 REQALN をリクエスト情報 REQINF に含めてリクエスト保持パイプライン 230 に出力する。

【0041】

並列度 1 は、メモリアクセスの並列度を示し、メモリ 30 のアクセスを制御する、並列に動作する処理部 25 (250、251、252) の数を示す。並列度 1 は、メモリ 30 の動作周波数に応じて変更されてもよい。以下では、メモリアクセスの並列度が "2" であるとして説明される。位相差 m は、メモリ 30 に供給するアクティブコマンド ACT の最小供給間隔 (メモリクロック MCLK のサイクル数) を示し、並列度 1 (処理部 25 の動作数) に応じて異なる。

10

20

30

40

50

【 0 0 4 2 】

平均リクエスト間隔 n は、アクティブコマンド ACT の平均供給間隔（メモリクロック $MCLK$ のサイクル数）を示す。最長パケットサイズ MPS は、メモリアクセスコントローラ 20 に供給されるメモリアクセス要求 REQ が示すパケットサイズ PS のうち、最長のパケットサイズ PS を示し、 $CPU10$ およびメモリ 30 が搭載されるシステムの仕様に応じて設定される。パケットサイズ PS は、1 回のメモリアクセス要求 REQ に対応してメモリ 30 から読み出されるデータ DQ のサイズまたはデータ DQ の出力回数を示す。最長パケットサイズ MPS は、最大のデータの読み出しサイズの一例である。

【 0 0 4 3 】

資源番号 $NXTRSC$ は、アクティブコマンド ACT およびリードコマンド RD 等のアクセスコマンドを生成する処理部 25 を識別する番号であり、“0”が処理部 250、“1”が処理部 251、“2”が処理部 252 を示す。スケジューリング部 220 の例は、図 5 に示し、アクティブコマンド ACT およびリードコマンド RD の例は、図 10 以降に示す。例えば、アクティブコマンド ACT は、メモリ 30 に含まれる複数のワード線のいずれかを選択するためにメモリ 30 に出力される。リードコマンド RD は、選択されたワード線に接続される複数のメモリセルのうちの所定数を選択するためにメモリ 30 に出力される。

【 0 0 4 4 】

リクエスト保持パイプライン 230 は、シフト信号 $SFTOUT0$ に基づいて動作する直列に接続された複数（この例では、 $j + 1$ 個）のステージ STG （ $STG0 - STGj$ ）を有する。“ j ”は、2 以上の整数であり、例えば、“7”である。各ステージ STG は、資源番号 $NXTRSC$ （以下、単に資源番号 RSC とも称する）と経過サイクル CYC とリクエスト情報 $REQINF$ とを保持する保持領域を有する。例えば、経過サイクル CYC は、メモリクロック $MCLK$ のクロックサイクル数で示される。互いに隣接するステージ STG 間での情報のシフトは、図 7 で説明するシフト入力信号 $SFTIN$ に同期して実行される。

【 0 0 4 5 】

リクエスト保持パイプライン 230 は、動作モードに応じたタイミングで初段のステージ $STG0$ から後段のステージ $STG1 - STGj$ に資源番号 RSC 、経過サイクル CYC およびメモリアクセス要求 $REQINF$ をシフトするシフトレジスタとして動作する。但し、リクエスト保持パイプライン 230 は、並列度 1 と資源番号 RSC とに応じて、ステージ STG が情報を保持する期間（サイクル数）が変化する点で、通常のシフトレジスタと異なる。リクエスト保持パイプライン 230 の各ステージ STG の例は、図 7 に示す。

【 0 0 4 6 】

設定レジスタ 240 は、並列度 1、位相差 m 、平均リクエスト間隔 n 、最長パケットサイズ MPS 、ロウタイミング $TROW$ およびカラムタイミング $TCOL$ がそれぞれ設定されるレジスタを有する。例えば、並列度 1、位相差 m 、平均リクエスト間隔 n 、最長パケットサイズ MPS 、ロウタイミング $TROW$ およびカラムタイミング $TCOL$ は、メモリ 30 および $CPU10$ 等の仕様に応じて、設定レジスタ 240 に設定される。例えば、設定レジスタ 240 への設定は、 $CPU10$ の初期化プログラムにより実行される。並列度 1、位相差 m 、平均リクエスト間隔 n は、各処理部 25 とスケジューリング部 220 とに供給される。最長パケットサイズ MPS は、スケジューリング部 220 に供給される。ロウタイミング $TROW$ およびカラムタイミング $TCOL$ は、各処理部 25 に供給される。

【 0 0 4 7 】

各処理部 25（250、251、252）は、リクエスト保持パイプライン 230 の各ステージ STG から出力されるリクエスト情報 $REQINF$ （メモリアクセス要求）を含む情報に基づいて、複数のアクセスコマンドをメモリ 30 に出力する。複数のアクセスコマンドは、ロウ制御信号 ROW およびカラム制御信号 COL としてメモリ 30 に出力される。ロウ制御信号 ROW は、アクティブコマンド ACT 、バンクアドレスおよびロウアドレスを含む。カラム制御信号 COL は、リードコマンド RD （またはライトコマンド）、バンクアドレスおよびカラムアドレスを含む。

10

20

30

40

50

【 0 0 4 8 】

例えば、各処理部 2 5 は、自処理部 2 5 を示す資源番号 R S C を保持するステージ S T G が出力する経過サイクル C Y C に基づいて、リクエスト情報 R E Q I N F を使用してロウ制御信号 R O W またはカラム制御信号 C O L を出力する。例えば、並列度 1 = 2 の場合、処理部 2 5 0、2 5 1 が動作し、処理部 2 5 2 は動作を停止する。並列度 1 = 3 の場合、処理部 2 5 0、2 5 1、2 5 2 が動作する。

【 0 0 4 9 】

また、各処理部 2 5 は、データ入力タイミング信号 D Q I N およびイネーブル信号 E N を生成するデータタイミング制御部 2 5 5 を有する。データタイミング制御部 2 5 5 は、リードコマンド R D に対応してメモリ 3 0 からデータ D Q が出力されるタイミングに合わせてデータ入力タイミング信号 D Q I N を生成する。また、データタイミング制御部 2 5 5 は、メモリアクセス要求 M R E Q 毎にデータバッファ 2 9 0 から出力データ D O U T の出力が可能になったことに基いてイネーブル信号 E N を生成する。イネーブル信号 E N は、データバッファ 2 8 0 に保持されたデータ D Q をメモリアクセスコントローラ 2 0 の外部に出力する出力開始タイミングを示す。

【 0 0 5 0 】

さらに、データタイミング制御部 2 5 5 は、カラム制御信号 C O L の出力に使用したリクエスト情報 R E Q I N F をバッファ制御部 2 7 0 に出力してもよい。なお、バッファ制御部 2 7 0 に出力するリクエスト情報 R E Q I N F は、処理部 2 5 内の別の要素から出力されてもよい。処理部 2 5 の例は、図 8 に示す。

【 0 0 5 1 】

セクタ 2 6 0 は、各処理部 2 5 が出力するロウ制御信号 R O W およびカラム制御信号 C O L を選択してメモリ 3 0 に出力する。なお、セクタ 2 6 0 は、オア回路の論理で設計されてもよい。

【 0 0 5 2 】

バッファ制御部 2 7 0 は、データ入力タイミング信号 D Q I N に基づいて、メモリ 3 0 から読み出されたデータ D Q をデータバッファ 2 8 0 に格納する制御を実行する。また、バッファ制御部 2 7 0 は、イネーブル信号 E N に基づいて、データバッファ 2 8 0 に保持されたデータ D Q を出力データ D O U T として出力する制御を実行する。データバッファ 2 8 0 は、メモリ 3 0 から読み出されるデータ D Q を保持する複数のバッファを有する。バッファ制御部 2 7 0 およびデータバッファ 2 8 0 の例は、図 9 に示す。

【 0 0 5 3 】

図 5 は、図 4 のスケジューリング部 2 2 0 の一例を示す。スケジューリング部 2 2 0 は、リクエスト情報出力部 2 2 1、資源番号出力部 2 2 2、クロックカウンタ 2 2 3 およびシフト信号生成部 2 2 4 を有する。

【 0 0 5 4 】

リクエスト情報出力部 2 2 1 は、リクエスト受信部 2 1 0 から受けるリクエスト情報 R E Q I N F と設定レジスタ 2 4 0 に保持された最長パケットサイズ M P S を順次保持する。リクエスト情報出力部 2 2 1 は、保持した情報と単独要求情報 R E Q A L N とをリクエスト情報 R E Q I N F として、シフト信号 S F T O U T 0 に同期してリクエスト保持パイプライン 2 3 0 に順次出力する。

【 0 0 5 5 】

資源番号出力部 2 2 2 は、リクエスト情報 R E Q I N F を使用してメモリ 3 0 に出力するアクセスコマンドを生成する処理部 2 5 (2 5 0、2 5 1、2 5 2) を示す資源番号 N X T R S C を順次生成して出力する。資源番号出力部 2 2 2 は、並列度 1 = 2 の場合、シフト信号 S F T O U T 0 に同期して、例えば、処理部 2 5 0、2 5 1 を示す " 0 "、" 1 " を資源番号 N X T R S C として交互に出力する。資源番号出力部 2 2 2 は、並列度 1 = 3 の場合、シフト信号 S F T O U T 0 に同期して、処理部 2 5 0、2 5 1、2 5 2 を示す " 0 "、" 1 "、" 2 " を資源番号 N X T R S C として交互に出力する。

【 0 0 5 6 】

これにより、資源番号出力部 222 を、"並列度 1 - 1" を最大値として資源番号 N X T R S C を交互に生成するカウンタとして動作させることができ、資源番号 N X T R S C の総数を、並列度 1 (動作モード) に応じて相違させることができる。並列度 1 に応じて資源番号 N X T R S C を交互に出力できるため、並列度 1 の設定にかかわらず、リクエスト保持パイプライン 230 を動作させることができる。この結果、メモリアクセスコントローラ 20 は、並列度 1 に応じたタイミングでアクセスコマンドをメモリ 30 に出力することができる。

【0057】

クロックカウンタ 223 は、メモリクロック M C L K に同期してカウンタ値 C N T を生成し、生成したカウンタ値 C N T をシフト信号生成部 224 に出力する。例えば、クロックカウンタ 223 は、シフト信号 S F T O U T 0 が出力されていない間、メモリクロック M C L K に同期してカウンタ値 C N T をインクリメントする。また、クロックカウンタ 223 は、シフト信号 S F T O U T 0 の出力にตอบสนองしてカウンタ値 C N T を "1" にリセットする。

10

【0058】

シフト信号生成部 224 は、資源番号 N X T R S C、カウンタ値 C N T、並列度 1、位相差 m および平均リクエスト間隔 n に基づいて決定される時間間隔でシフト信号 S F T O U T 0 を生成し、出力する。

【0059】

シフト信号生成部 224 は、並列度 1 = 2、資源番号 N X T R S C = 0 の場合、カウンタ値 C N T = m のときにシフト信号 S F T O U T 0 を出力する。シフト信号生成部 224 は、並列度 1 = 2 で資源番号 N X T R S C = 1 の場合、カウンタ値 C N T = "2 n - m" のときにシフト信号 S F T O U T 0 を出力する。シフト信号生成部 224 は、並列度 1 = 3 の場合、カウンタ値 C N T が "n" になる毎にシフト信号 S F T O U T 0 を出力する。

20

【0060】

図 6 は、図 5 のスケジューリング部 220 の動作の一例を示す。図 6 は、並列度 1 = 2、位相差 m = 4、平均リクエスト間隔 n = 8 の例を示す。

【0061】

スケジューリング部 220 は、並列度 1 = 2 の場合、資源番号 N X T R S C = 0 のとき、クロックカウンタ 223 が "4" をカウントしたことに基づいてシフト信号 S F T O U T 0 を出力する。また、スケジューリング部 220 は、並列度 1 = 2 の場合、資源番号 N X T R S C = 1 のとき、クロックカウンタ 223 が "12" をカウントしたことに基づいてシフト信号 S F T O U T 0 を出力する。

30

【0062】

スケジューリング部 220 は、C P U 10 に接続されるメモリ 30 の仕様に応じて設定された並列度 1、位相差 m および平均リクエスト間隔 n と、現在の資源番号 N X T R S C とに基づいて、カウンタ値 C N T の最大値を変更することができる。そして、スケジューリング部 220 は、最大値が可変なカウンタ値 C N T に基づいて、所望のタイミングでシフト信号 S F T O U T 0 を出力することができ、シフト信号 S F T O U T 0 の出力に合わせて資源番号 N X T R S C を更新することができる。

40

【0063】

図 7 は、図 4 のリクエスト保持パイプライン 230 のステージ S T G の一例を示す。各ステージ S T G の構成は、互いに同じであるため、図 7 では、2 段分 (k - 1 段目と k 段目 (k は、1 以上、8 以下の整数)) を示す。各ステージ S T G は、資源番号保持部 231、経過サイクル保持部 232、リクエスト情報保持部 233 およびシフト信号生成部 234 を有する。

【0064】

なお、初段のステージ S T G 0 は、図 5 のスケジューリング部 220 から出力される資源番号 R S C、リクエスト情報 R E Q I N F およびシフト信号 S F T O U T 0 を受ける。ステージ S T G 0 は、スケジューリング部 220 からのシフト信号 S F T O U T 0 をシフ

50

ト入力信号 $SFTIN$ として受ける。ステージ $STG0$ に供給される経過サイクル CYC は、スケジューリング部 220 からリクエスト情報 $REQINF$ を受けたときを基準 (= "0") として積算される経過サイクルであり、図示しないクロックカウンタにより生成される。また、初段のステージ $STG0$ に入力される情報は、各処理部 25 に供給されない。

【0065】

資源番号保持部 231 は、有効レベル（例えば、ハイレベル）のシフト入力信号 $SFTIN$ をイネーブル端子 $EN1$ で受けている間、前段からの資源番号 RSC を取り込んで保持し、保持した資源番号 RSC を後段のステージ STG と各処理部 25 とに出力する。2 段目以降のステージ STG は、前段のステージ STG が出力するシフト信号 $SFTOUT$ をシフト入力信号 $SFTIN$ として受けて動作する。なお、初段のステージ $STG0$ の資源番号保持部 231 は、図 5 のスケジューリング部 220 の資源番号出力部 222 が出力する資源番号 $NXTRSC$ （並列度 $l = 2$ の場合、"0"、"1"の繰り返し）を順次受ける。

10

【0066】

経過サイクル保持部 232 は、セクタ SEL 、フリップフロップ FF およびインクリメンタ INC を有する。セクタ SEL は、シフト入力信号 $SFTIN$ がハイレベルの間、前段からの経過サイクル CYC を選択し、シフト入力信号 $SFTIN$ がロウレベルの間、インクリメンタ INC からの経過サイクル CYC を選択する。そして、セクタ SEL は、選択した経過サイクル CYC をフリップフロップ FF に出力する。

【0067】

20

フリップフロップ FF は、セクタ SEL から受ける経過サイクル CYC を図示しないメモリクロック $MCLK$ に同期して取り込み、取り込んだ経過サイクル CYC をインクリメンタ INC に出力する。インクリメンタ INC は、経過サイクル CYC を "1" 増加させ、増加させた経過サイクル CYC をセクタ SEL の入力に戻すととともに、次段のステージ STG および各処理部 25 に出力する。

【0068】

2 段目以降の各ステージ $STG1 - STG8$ の経過サイクル保持部 232 は、前段のステージ STG の経過サイクル保持部 232 が保持する経過サイクル CYC （サイクル数）を、前段のステージ STG が出力するシフト信号 $SFTOUT$ に同期して保持する。また、各ステージ $STG1 - STGj$ の経過サイクル保持部 232 は、前段のステージ STG がシフト信号 $SFTOUT$ を出力しない間、保持しているサイクル数を順次更新する。これにより、各ステージ STG の経過サイクル保持部 232 は、初段のステージ $STG0$ でリクエスト情報 $REQINF$ を受けてからのサイクル数を保持することができ、保持しているサイクル数を各処理部 25 に出力することができる。この結果、各処理部 25 は、各ステージ STG からのサイクル数に基づいて、メモリ 30 へのアクセスコマンドの出力タイミングを判断することができる。

30

【0069】

シフト信号生成部 234 は、並列度 l 、位相差 m および平均リクエスト間隔 n と、経過サイクル保持部 232 が出力する経過サイクル CYC とに基づいてシフト信号 $SFTOUT$ を生成する。シフト信号生成部 234 が生成したシフト信号 $SFTOUT$ は、次段のステージ STG にシフト入力信号 $SFTIN$ として供給される。このように、各ステージ STG のシフト信号生成部 234 は、経過サイクル CYC が、並列度 l 、位相差 m および平均リクエスト間隔 n と自ステージ STG の位置 (= k) とにより決定される値になった場合、シフト信号 $SFTOUT$ を出力する。

40

【0070】

シフト信号生成部 234 は、並列度 $l = 2$ で、資源番号保持部 231 が保持する資源番号 RSC が "0" の場合、経過時刻が " $k * n + m$ " のとき、シフト信号 $SFTOUT$ を 1 サイクルの期間、有効レベル（例えば、ハイレベル）に設定する。符号 $*$ は、積を示す。シフト信号生成部 234 は、並列度 $l = 2$ で、資源番号保持部 231 が保持する資源番号 RSC が "1" の場合、経過時刻が " $(k + 1) * n$ " のとき、シフト信号 $SFTOUT$ を 1 サ

50

イクルの期間、有効レベルに設定する。シフト信号生成部 234 は、並列度 $l = 3$ の場合、経過時刻が $(k + 1) * n$ のとき、シフト信号 $SFTOUT$ を 1 サイクルの期間、有効レベルに設定する。

【0071】

すなわち、シフト信号生成部 234 は、メモリ 30 の仕様に応じて予め設定された並列度 l 、位相差 m および平均リクエスト間隔 n と、現在の資源番号 $NXTRSC$ とに応じて、シフト信号 $SFTOUT$ の出力タイミングを変更することができる。この結果、アクティブコマンド ACT の供給間隔が一定でない場合にも、各ステージ STG のシフト信号 $SFTOUT$ の出力タイミングを揃えることができ、リクエスト保持パイプライン 230 の誤動作を抑止することができる。

10

【0072】

例えば、並列度 $l = 2$ 、位相差 $m = 4$ 、平均リクエスト間隔 $n = 8$ であるとする。この場合、資源番号 $RSC = 0$ を保持する初段のステージ $STG0$ は、リクエスト情報 $REQINF$ を受けてから 4 サイクル後にシフト信号 $SFTOUT$ を出力する。資源番号 $RSC = 0$ を保持する 2 段目のステージ $STG1$ は、リクエスト情報 $REQINF$ を受けてから 12 サイクル後にシフト信号 $SFTOUT$ を出力する。資源番号 $RSC = 0$ を保持する 3 段目のステージ $STG2$ は、リクエスト情報 $REQINF$ を受けてから 20 サイクル後にシフト信号 $SFTOUT$ を出力する。

【0073】

また、資源番号 $RSC = 1$ を保持する初段のステージ $STG0$ は、リクエスト情報 $REQINF$ を受けてから 8 サイクル後にシフト信号 $SFTOUT$ を出力する。資源番号 $RSC = 1$ を保持する 2 段目のステージ $STG1$ は、リクエスト情報 $REQINF$ を受けてから 16 サイクル後にシフト信号 $SFTOUT$ を出力する。資源番号 $RSC = 1$ を保持する 3 段目のステージ $STG2$ は、リクエスト情報 $REQINF$ を受けてから 24 サイクル後にシフト信号 $SFTOUT$ を出力する。

20

【0074】

一方、並列度 $l = 3$ 、位相差 $m = 8$ 、平均リクエスト間隔 $n = 8$ であるとする。この場合、初段のステージ $STG0$ は、リクエスト情報 $REQINF$ を受けてから 8 サイクル後にシフト信号 $SFTOUT$ を出力する。2 段目のステージ $STG1$ は、リクエスト情報 $REQINF$ を受けてから 16 サイクル後にシフト信号 $SFTOUT$ を出力する。3 段目のステージ $STG2$ は、リクエスト情報 $REQINF$ を受けてから 24 サイクル後にシフト信号 $SFTOUT$ を出力する。

30

【0075】

リクエスト情報保持部 233 は、有効レベルのシフト入力信号 $SFTIN$ をイネーブル端子 $EN1$ で受けている間、前段からのリクエスト情報 $REQINF$ を取り込んで保持する。リクエスト情報保持部 233 は、取り込んだリクエスト情報 $REQINF$ を次段のステージ STG および各処理部 25 に出力する。初段のステージ $STG0$ のリクエスト情報保持部 233 は、スケジューリング部 220 のリクエスト情報出力部 221 が出力するリクエスト情報 $REQINF$ を取り込む。

【0076】

図 8 は、図 4 の処理部 25 (250、251、252) の一例を示す。図 8 では、リクエスト保持パイプライン 230 が 9 個のステージ $STG0 - STG8$ を有するとする。各処理部 25 は、データタイミング制御部 255 に加えて、セクタ 2531 およびロウ情報出力部 2532 を有するロウ制御部 253 と、セクタ 2541、カラム情報出力部 2542 およびカウンタ 2543 を有するカラム制御部 254 とを有する。

40

【0077】

セクタ 2531 は、リクエスト保持パイプライン 230 の各ステージ $STG0 - STG8$ から資源番号 RSC 、経過サイクル CYC およびリクエスト情報 $REQINF$ を受ける。また、セクタ 2531 は、設定レジスタ 240 からロウタイミング $TROW$ および並列度 l を受ける。

50

【 0 0 7 8 】

セクタ 2 5 3 1 は、自処理部 2 5 の識別番号である自資源番号と一致する資源番号 R S C と、ロウタイミング T R O W で示されるサイクルと一致する経過サイクル C Y C とを出力するステージ S T G から出力されるリクエスト情報 R E Q I N F を選択する。そして、セクタ 2 5 3 1 は、選択したリクエスト情報 R E Q I N F をロウ情報出力部 2 5 3 2 に出力する。ロウ情報出力部 2 5 3 2 は、セクタ 2 5 3 1 から受けるリクエスト情報 R E Q I N F に応答して、リクエスト情報 R E Q I N F を使用してロウ制御信号 R O W を生成し、メモリ 3 0 に出力する。

【 0 0 7 9 】

セクタ 2 5 4 1 は、リクエスト保持パイプライン 2 3 0 の各ステージ S T G 0 - S T G 8 からの資源番号 R S C、経過サイクル C Y C およびリクエスト情報 R E Q I N F を受ける。また、セクタ 2 5 4 1 は、設定レジスタ 2 4 0 からカラムタイミング T C O L および並列度 1 を受ける。

10

【 0 0 8 0 】

セクタ 2 5 4 1 は、自処理部 2 5 の識別番号である自資源番号と一致する資源番号 R S C と、カラムタイミング T C O L で示されるサイクルと一致する経過サイクル C Y C とを出力するステージ S T G から出力されるリクエスト情報 R E Q I N F を選択する。そして、セクタ 2 5 4 1 は、選択したリクエスト情報 R E Q I N F をカラム情報出力部 2 5 4 2 に出力する。カウンタ 2 5 4 3 は、カラム制御信号 C O L の出力回数を計数する。カラム情報出力部 2 5 4 2 は、セクタ 2 5 4 1 から受けるリクエスト情報 R E Q I N F に応答して、リクエスト情報 R E Q I N F を使用してカラム制御信号 C O L を生成し、メモリ 3 0 に出力する。この際、カラム情報出力部 2 5 4 2 は、カウンタ 2 5 4 3 が計数する回数分のカラム制御信号 C O L を、所定数のサイクルの経過毎に出力する。

20

【 0 0 8 1 】

このように、各処理部 2 5 は、リクエスト保持パイプライン 2 3 0 の複数のステージ S T G が保持する資源番号 R S C と経過サイクル C Y C とリクエスト情報 R E Q I N F とを受取る。そして、各処理部 2 5 は、受けた資源番号 R S C が自資源番号と一致する場合、受けたリクエスト情報 R E Q I N F に対応するアクセスコマンド（アクティブコマンド A C T またはリードコマンド R D など）をメモリ 3 0 に出力する。換言すれば、各処理部 2 5 は、自資源番号 R S C を出力するステージ S T G が保持する経過サイクル C Y C が示すサイクル数が、並列度 1 に応じて決定されるアクセスコマンドの出力サイクルを示す場合、対応するアクセスコマンドをメモリ 3 0 に出力する。したがって、並列度 1 によってアクセスコマンドの出力サイクルが変更される場合にも、並列度 1 と資源番号 R S C と経過サイクル C Y C とに基づいて、正しいタイミングでアクセスコマンドをメモリ 3 0 に出力することができる。

30

【 0 0 8 2 】

データタイミング制御部 2 5 5 は、自資源番号と一致する資源番号 R S C と、カラムタイミング T C O L で示されるサイクルと一致する経過サイクル C Y C とを出力するステージ S T G から出力されるリクエスト情報 R E Q I N F を受ける。リクエスト情報 R E Q I N F は、単独要求情報 R E Q A L N を含む。データタイミング制御部 2 5 5 は、受けた情報に基づいてデータ入力タイミング信号 D Q I N およびイネーブル信号 E N を生成する。また、データタイミング制御部 2 5 5 は、図 4 で説明したように、カラム制御信号 C O L の出力に使用したリクエスト情報 R E Q I N F を出力する。

40

【 0 0 8 3 】

なお、データ入力タイミング信号 D Q I N およびイネーブル信号 E N は、どのメモリアクセス要求 M R E Q（リードアクセス要求）に対応するかを識別する識別情報を含んでもよい。この場合、識別情報は、シーケンス番号でもよい。データ入力タイミング信号 D Q I N に基づくライトポイント値 W P の生成タイミングおよびイネーブル信号 E N の生成タイミングは、図 1 3 および図 1 5 等で説明される。

【 0 0 8 4 】

50

また、メモリアクセスコントローラ 20 は、設定レジスタ 240 に設定された並列度 1、位相差 m および平均リクエスト間隔 n に基づいてメモリ 30 のアクセスを制御する。例えば、並列度 1 は、"2" または "3" である。並列度 1、位相差 m および平均リクエスト間隔 n が可変であるため、図 5、図 7 および図 8 に示すようにメモリアクセスのための制御回路が複雑になる。しかしながら、図 5、図 7 および図 8 に示す制御回路は、一例であり、メモリアクセスコントローラ 20 は、他の制御回路を有してもよい。例えば、並列度 1 = 2、位相差 m = 4、平均リクエスト間隔 n = 8 に限定される場合、図 6 に示したように、シフト信号 SFTOUT0 の出力タイミングは、固定化される。このため、メモリアクセスのための制御回路を図 5、図 7 および図 8 に比べて簡易にすることができる。

【0085】

なお、メモリアクセスコントローラ 20 がメモリ 30 に発行するアクティブコマンド ACT およびリードコマンド RD のタイミングの例は、特願 2020 - 097826 号の図 9 - 図 17 に記載されている。

【0086】

図 9 は、図 4 のバッファ制御部 270 およびデータバッファ 280 の一例を示す。バッファ制御部 270 およびデータバッファ 280 の動作の例は、図 11 - 図 18 で説明される。バッファ制御部 270 は、データ出力制御部 DQCNTRL、バッファセクタ BSEL、カウンタ CONT (CONT0、CONT1) およびセクタ SEL (SEL0、SEL1、SEL2) を有する。また、バッファ制御部 270 は、オア回路 OR、選択信号生成部 SELGEN および出力タイミング生成部 OTGEN を有する。

【0087】

データバッファ 280 は、バッファ BUF (BUF0、BUF1、BUF2) を有する。各バッファ BUF0 - BUF2 は、メモリ 30 から読み出されるデータ DQ を保持する p + 1 個のエントリを有し、ライトポインタ値 WP で指定されたエントリにデータ DQ を書き込む。各バッファ BUF0 - BUF2 は、シフトレジスタの構造を有する。この例では、"p" は、"3" 以上の整数である。

【0088】

データ出力制御部 DQCNTRL は、各処理部 25 のデータタイミング制御部 255 からのデータ入力タイミング信号 DQIN に応答して、バッファ BUF0 - BUF2 のいずれかを示す書き込み選択信号 BWSEL をバッファセクタ BSEL に出力する。また、データ出力制御部 DQCNTRL は、データ入力タイミング信号 DQIN に応答して、カウンタ CONT0、CONT1 のいずれかにカウントアップ信号 CUP を出力する。さらに、データ出力制御部 DQCNTRL は、あらかじめ設定された所定の条件にしたがって、カウンタ CONT0 (または CONT1) にカウントダウン信号 CDWN を出力する。データ出力制御部 DQCNTRL は、カウンタ CONT0、CONT1 の各々をカウントアップまたはカウントダウンするカウンタ制御部の一例である。

【0089】

所定の条件は、カウンタ CONT0 (または CONT1) のライトポインタ値 WP0 (または WP1) がパケットサイズ PS に対応する最大値になる前に、バッファ BUF に保持されたデータ DQ の出力が開始される場合である。例えば、データ出力制御部 DQCNTRL は、カウントダウン信号 CDWN を生成するタイミングを、図 8 のデータタイミング制御部 255 から受けるリクエスト情報 REQINF に基づいて決定してもよい。

【0090】

シフトレジスタの構造を有するバッファ BUF に対して、データ出力制御部 DQCNTRL は、バッファ BUF からデータ DQ を出力させるときにカウンタ CONT をカウントダウンさせる。これにより、バッファ BUF のシフト動作により新たなデータ DQ の格納位置がずれる場合にも、正しい位置にデータ DQ を格納することができる。

【0091】

また、データ出力制御部 DQCNTRL は、バッファ BUF へのデータ DQ の格納とバッファ BUF からデータ DQ の出力とを同時に行うときにカウンタ CONT のカウントアップ

10

20

30

40

50

ブおよびカウントダウンを停止する。これにより、バッファB U Fのシフト動作にかかわりなく、バッファB U Fの同じ位置に新たなデータD Qを格納することができる。すなわち、バッファB U FへのデータD Qの格納とバッファB U FからデータD Qの出力とを同時に行うときにも、正しい位置に新たなデータD Qを格納することができる。

【0092】

なお、データ出力制御部D Q C N T Lは、メモリ30へのアクセスを実行していないアイドル状態において、データ入力タイミング信号D Q I Nを受けた場合、"0"の書き込み選択信号B W S E Lを出力する。また、データ出力制御部D Q C N T Lは、アイドル状態において、カウンタC O N T 0にカウントアップ信号C U Pを出力する。この後、データ出力制御部D Q C N T Lは、異なるメモリアクセス要求M R E Qに対応するデータ入力タイ

10

【0093】

データ出力制御部D Q C N T Lは、アイドル状態を、リクエスト情報R E Q I N Fに含まれる、メモリアクセス要求M R E Qを単独で受信したことを示す単独要求情報R E Q A L Nに基づいて判定可能である。また、データ出力制御部D Q C N T Lは、リクエスト情報R E Q I N Fに単独要求情報R E Q A L Nが含まれない場合、アイドル状態でないことを判定可能である。

【0094】

データ出力制御部D Q C N T Lは、同じメモリアクセス要求M R E Qに対応するデータ入力タイミング信号D Q I Nを受ける毎に、同じカウンタC O N Tに所定数（例えば"4"）のカウントアップ信号C U Pを出力する。また、データ出力制御部D Q C N T Lは、データ入力タイミング信号D Q I Nの出力元の処理部25が変わる毎に、カウンタC O N T 0、C O N T 1を交互に使用するためにカウントアップ信号C U Pを出力するカウンタC O N Tを切り替える。

20

【0095】

バッファセクタB S E Lは、選択するバッファB U Fを識別するバッファ選択値をそれぞれ保持する3つの保持部B S E L 0、B S E L 1、B S E L 2を有する。保持部B S E L 0 - B S E L 2に保持されたバッファ選択値は、各処理部25のデータタイミング制御部255からのデータ入力タイミング信号D Q I Nに応答して、セクタS E L 0 - S E L 2に出力される。以下では、保持部B S E L 0 - B S E L 2にそれぞれ保持されたバッファ選択値は、バッファ選択値B S E L 0 - B S E L 2とも称される。

30

【0096】

バッファセクタB S E Lは、保持部B S E L 0、B S E L 1、B S E L 2を、番号が小さい順に優先的に使用する。例えば、バッファセクタB S E Lは、アイドル状態において、"0"の書き込み選択信号B W S E Lを受けた場合、受けた"0"を優先度が最も高い保持部B S E L 0に保持する。バッファセクタB S E Lは、この状態で"1"の書き込み選択信号B W S E Lを受けた場合、受けた"1"を優先度が次に高い保持部B S E L 1に保持する。バッファセクタB S E Lは、さらにこの状態で"2"の書き込み選択信号B W S E Lを受けた場合、受けた"2"を優先度が最も低い保持部B S E L 2に保持する。

40

【0097】

バッファセクタB S E Lは、保持部B S E L 0に保持しているバッファ選択値を選択信号生成部S E L G E Nに出力する。そして、バッファセクタB S E Lは、保持部B S E L 1、B S E L 2にそれぞれ保持したバッファ選択値を、シフト信号S F Tに基づいて優先度が1つ低い保持部B S E L 0、B S E L 1に移動する。

【0098】

カウンタC O N T 0は、カウントアップ信号C U Pに応答してライトポインタ値W P 0を"1"ずつ増加し、カウントダウン信号C D W Nに応答してライトポインタ値W P 0を"1"ずつ減少する。カウンタC O N T 1は、カウントアップ信号C U Pに応答してライトポインタ値W P 1を"1"ずつ増加し、カウントダウン信号C D W Nに応答してライトポインタ

50

値WP 1を"1"ずつ減少する。

【0099】

セクタSEL 0 - SEL 2は、カウンタCONT 0、CONT 1とバッファBUF 0 - BUF 2の間に配置される。セクタSEL 0は、データ出力制御部DQ CNT Lから"0"の書き込み選択信号BWSELが出力されたことに基づいてライトポインタ値WP 0、WP 1のいずれかをライトポインタ値WPとしてバッファBUF 0に出力する。セクタSEL 1は、データ出力制御部DQ CNT Lから"1"の書き込み選択信号BWSELが出力されたことに基づいてライトポインタ値WP 0、WP 1のいずれかをライトポインタ値WPとしてバッファBUF 1に出力する。

【0100】

セクタSEL 2は、データ出力制御部DQ CNT Lから"2"の書き込み選択信号BWSELが出力されたことに基づいてライトポインタ値WP 0、WP 1のいずれかをライトポインタ値WPとしてバッファBUF 2に出力する。上述したように、アイドル状態においてカウンタCONT 0が使用された後、データ入力タイミング信号DQ INの出力元の処理部25が変わる毎に、カウンタCONT 1、CONT 0が交互に使用される。そして、各セクタSELは、対応するバッファBUFにメモリアクセス要求REQに含まれるパケットサイズPSに対応する数のデータDQが格納されるまで、最初に選択したライトポインタ値WPを選択し続ける。例えば、各セクタSELは、パケットサイズPSを、リクエスト情報REQ INFに基づいて検出する。

【0101】

カウンタCONT 0、CONT 1とバッファBUF 0 - BUF 2との間にセクタSEL 0 - SEL 2を配置することで、任意のカウンタCONTが生成するライトポインタ値WPを任意のバッファBUFに供給することができる。この結果、カウンタCONTの数をバッファBUFの数より少なくすることができ、バッファBUFの数と同じ数のカウンタCONTを設ける場合に比べて、メモリアクセスコントローラ20の回路規模を削減することができる。

【0102】

オア回路ORは、各処理部25のデータタイミング制御部255からのイネーブル信号ENを応答イネーブル信号RETENとして選択信号生成部SEL GENに出力する。選択信号生成部SEL GENは、応答イネーブル信号RETENを受けたときに保持部BSSEL 0で保持しているバッファ選択値を読み出し選択信号BRSELとして出力タイミング生成部OT GENに出力する。読み出し選択信号BRSELは、メモリアクセス要求REQに対応してメモリ30から読み出されたデータDQを保持しているバッファBUFを示す。

【0103】

出力タイミング生成部OT GENは、選択信号生成部SEL GENからの読み出し選択信号BRSELをデコードし、読み出し選択信号BRSELの値が示すバッファBUFを選択する。出力タイミング生成部OT GENは、選択したバッファBUFにデータシフト信号DSFTを出力する。ここで、出力タイミング生成部OT GENは、メモリアクセス要求REQに含まれるパケットサイズPSで示されるデータ数分のパルスを持するデータシフト信号DSFTを連続して出力する。なお、メモリ30がDDRタイプである場合、データシフト信号DSFTのパルスは、メモリクロックMCLKの1周期に2回出力される。

【0104】

各バッファBUF 0 - BUF 2は、シフト信号DSFTに基づいて数値の大きいエントリから数値の小さいエントリに保持しているデータDQをシフトする。そして、各バッファBUF 0 - BUF 2は、"0"番のエントリから取り出したデータDQを出力データDOUTとして、共通の出力データ線DOUTに出力する。なお、バッファ制御部270は、バッファBUF 0 - BUF 2から出力する出力データDOUTが出力データ線DOUT上で衝突しないようにシフト信号DSFTを生成する。

10

20

30

40

50

【 0 1 0 5 】

図 1 0 は、図 4 のメモリアクセスコントローラ 2 0 によりメモリ 3 0 にリードアクセスする一例を示す。図 1 0 は、並列度 $l = 2$ 、位相差 $m = 4$ 、平均リクエスト間隔 $n = 8$ に設定される場合の動作の例を示す。ロウ制御信号 ROW_0 およびカラム制御信号 COL_0 は、処理部 2 5 0 から出力され、ロウ制御信号 ROW_1 およびカラム制御信号 COL_1 は、処理部 2 5 1 から出力される。メモリ 3 0 は、2 つのバンクグループ BG_0 、 BG_1 を有するとする。図 1 0 において、順次増加する数値は、経過サイクル CYC (メモリクロック $MCLK$ のサイクル数の積算値) を示す。

【 0 1 0 6 】

まず、処理部 2 5 0 は、 CYC_1 において、バンクグループ BG_0 にアクティブコマンド ACT_0 を出力する。例えば、アクティブコマンド ACT は、2 クロックサイクルを使用してメモリ 3 0 に供給される。処理部 2 5 1 は、処理部 2 5 0 がアクティブコマンド ACT_0 を出力してから $tRRDS$ (RAS to RAS Delay) 後である CYC_5 において、バンクグループ BG_1 にアクティブコマンド ACT_1 を出力する。 $tRRDS$ は、異なるバンクグループ BG 間でのアクティブコマンド ACT の最小間隔の仕様である。

10

【 0 1 0 7 】

処理部 2 5 0 は、アクティブコマンド ACT_0 を出力してから $tRCDRD$ (RAS to CAS Delay) 後である CYC_{16} において、バンクグループ BG_0 に最初のリードコマンド RD_0 を出力する。処理部 2 5 0 は、リードコマンド RD_0 を出力してから $tCCDL$ (CAS to CAS Delay Long) 後である CYC_{20} において、バンクグループ BG_0 に 2 番目のリードコマンド RD_0 を出力する。 $tCCDL$ は、同一のバンクグループ BG 間でのカラム系コマンド (リードコマンド RD 等) の最小間隔の仕様である。

20

【 0 1 0 8 】

処理部 2 5 1 は、処理部 2 5 0 がリードコマンド RD_0 を出力してから $tCCDS$ (CAS to CAS Delay Short) 後である CYC_{22} において、バンクグループ BG_1 に最初のリードコマンド RD_1 を出力する。 $tCCDS$ は、異なるバンクグループ BG 間でのカラム系コマンドの最小間隔の仕様である。

【 0 1 0 9 】

この後、処理部 2 5 0、2 5 1 は、2 サイクル毎にリードコマンド RD (RD_0 または RD_1) を交互に出力する。各処理部 2 5 0、2 5 1 によるリードコマンド RD の出力間隔は 4 サイクルである。

30

【 0 1 1 0 】

処理部 2 5 0 が最初のリードコマンド RD_0 を出力してからリードレイテンシ RL に対応するサイクル後、最初のリードコマンド RD_0 に対応する最初のリードデータ D_0 がバンクグループ BG_0 から出力される。この例では、バースト長が "4" に設定されているため、メモリクロック $MCLK$ の立ち上がりエッジと立ち下がりエッジのそれぞれに同期して 4 つのデータが読み出される。さらに、各リードコマンド RD からリードレイテンシ RL が経過後に、リードデータ D (D_0 または D_1) が各バンクグループ BG からそれぞれ読み出される。

【 0 1 1 1 】

40

図 1 0 に示す動作は、並列度 $l = 2$ 、位相差 $m = 4$ および平均リクエスト間隔 $n = 8$ に応じて、シフト信号 $SFTOUT_0$ を出力するスケジューリング部 2 2 0 と、ステージ STG のシフト動作を実行するリクエスト保持パイプライン 2 3 0 とにより実現される。これにより、メモリアクセスコントローラ 2 0 は、複数の並列度 l に共通のリクエスト保持パイプライン 2 3 0 のステージ STG に順次転送される情報を使用して、並列度 $l = 2$ でのリードアクセス動作を実行することができる。

【 0 1 1 2 】

図 1 1 - 図 1 8 は、メモリ 3 0 のリードアクセス時のバッファ制御部 2 7 0 およびデータバッファ 2 8 0 の動作の一例を示す。すなわち、図 1 1 - 図 1 8 は、メモリアクセスコントローラ 2 0 によるメモリアクセス方法の一例を示す。図 1 0 と同様の動作については

50

、詳細な説明は省略する。

【 0 1 1 3 】

図 1 1 - 図 1 8 に示す動作は、図 1 0 と同様に、並列度 $l = 2$ 、位相差 $m = 4$ 、平均リクエスト間隔 $n = 8$ に設定されて実行される。最長パケットサイズ MPS は、1 回のメモリアクセス要求 $MREQ$ に応答してメモリ 3 0 からデータ DQ が 3 2 回読み出される "3 2" に設定される。

【 0 1 1 4 】

図 1 1 および図 1 2 は、同じサイクル期間での動作を示し、図 1 3 および図 1 4 は、同じサイクル期間での動作を示す。図 1 5 および図 1 6 は、同じサイクル期間での動作を示し、図 1 7 および図 1 8 は、同じサイクル期間での動作を示す。以下では、メモリクロック $MCLK$ の経過サイクル数であるサイクル $CYC 1 - CYC 74$ は、符号のみで説明される。アクティブコマンド $ACT 0$ の元となるメモリアクセス要求 $MREQ$ のパケットサイズ PS は、"3 2" であり、アクティブコマンド $ACT 1$ の元となるメモリアクセス要求 $MREQ$ のパケットサイズ PS は、"1 6" である。

【 0 1 1 5 】

$CYC 37$ までのメモリ 3 0 に対するアクセスは、図 1 0 と同様である。例えば、図 1 1 - 図 1 8 では、メモリアクセスコントローラ 2 0 の処理部 2 5 0 は、 $CYC 16$ で最初のリードコマンド $RD 0$ を出力し、4 サイクル毎に後続のリードコマンド $RD 0$ を 7 回出力する。メモリアクセスコントローラ 2 0 の処理部 2 5 1 は、 $CYC 22$ で最初のリードコマンド $RD 1$ を出力し、4 サイクル毎に後続のリードコマンド $RD 1$ を 3 回出力する。

【 0 1 1 6 】

処理部 2 5 1 は、図 1 3 の $CYC 38$ で、アクティブコマンド $ACT 1$ に対応する 2 つめのパケットサイズ PS のアクセスの最初のリードコマンド $RD 2$ を出力し、4 サイクル毎に後続のリードコマンド $RD 2$ を 3 回出力する。2 回目のアクセスの最初のリードコマンド $RD 2$ は、4 番目のリードコマンド $RD 1$ の 4 サイクル後に発行される。

【 0 1 1 7 】

処理部 2 5 0 は、図 1 5 の $CYC 48$ で、アクティブコマンド $ACT 1$ に対応する 3 つめのパケットサイズ PS のアクセスの最初のリードコマンド $RD 3$ を出力し、4 サイクル毎に後続のリードコマンド $RD 3$ を 7 回出力する。2 回目のアクセスの最初のリードコマンド $RD 2$ は、4 番目のリードコマンド $RD 1$ の 4 サイクル後に発行される。処理部 2 5 1 は、 $CYC 54$ で最初のリードコマンド $RD 4$ を出力し、4 サイクル毎に後続のリードコマンド $RD 4$ を 7 回出力する。

【 0 1 1 8 】

メモリアクセスコントローラ 2 0 は、アクティブコマンド $ACT 0$ を出力するとき、メモリ 3 0 に対する他のアクティブコマンド ACT によるアクセスを実行しておらず、図 1 1 の開始時、メモリ 3 0 は、動作していないアイドル状態である。すなわち、メモリアクセスコントローラ 2 0 は、アクティブコマンド $ACT 0$ の契機となるメモリアクセス要求 $MREQ$ を単独で受信する。上述したように、アイドル状態は、リクエスト情報 $REQ INF$ に含まれる単独要求情報 $REQ ALN$ に基づいて判定される。

【 0 1 1 9 】

メモリ 3 0 がアイドル状態の場合、図 9 のデータ出力制御部 $DQ CNTL$ は、アクティブコマンド $ACT 0$ を発行した処理部 2 5 0 からのデータ入力タイミング信号 $DQ IN$ の受信に基づいて、図 1 1 の $CYC 21$ で "0" の書き込み選択信号 $BWSEL$ を出力する。"0" の書き込み選択信号 $BWSEL$ は、メモリ 3 0 から読み出されるデータ DQ をバッファ $BUF 0$ に格納することを示す。なお、処理部 2 5 0 は、メモリ 3 0 からの 4 つの連続するデータ DQ の出力タイミング（例えば、 $CYC 21$ 、 $CYC 22$ ）に合わせて、図示しないデータ入力タイミング信号 $DQ IN$ を出力する。

【 0 1 2 0 】

データ出力制御部 $DQ CNTL$ は、処理部 2 5 0 からのデータ入力タイミング信号 $DQ IN$ に基づいてカウンタ $CNT 0$ にカウントアップ信号 CUP を出力する。カウンタ C

10

20

30

40

50

ONT0は、カウントアップ信号CUPにตอบสนองして、データDQの出力タイミングに合わせてライトポインタ値WP0を"1"ずつ増加させる。なお、カウンタCONT0、CONT1がそれぞれ出力するライトポインタ値WP0、WP1の初期値は、"0"である。

【0121】

図9のバッファセクタBSELは、CYC21において、書き込み選択信号BSSELの"0"を、優先度が最も高い保持部BSEL0に保持する。保持部BSEL0に保持された"0"によりセクタSEL0が選択され、ライトポインタ値WP0は、セクタSEL0を介してバッファBUF0に供給される。そして、バッファBUF0は、CYC21 - CYC51に掛けてライトポインタ値WP0が示すエントリにリードコマンドRD0に対応するデータDQ0 - DQ31を順次書き込む。

10

【0122】

図13において、図11の2番目のリードコマンドRD0にตอบสนองして、CYC25、CYC26でメモリ30からデータDQ4 - DQ7が順次読み出される。この後、リードコマンドRD1、RD0に対応してメモリから4つのデータDQが交互に読み出される。パケットサイズPSに対応する32個のデータDQ0 - DQ31をメモリ30から読み出すために、リードコマンドRD0は8回発行される。パケットサイズPSに対応する16個のデータDQ0 - DQ15をメモリ30から読み出すために、リードコマンドRD1は4回発行される。

【0123】

データ出力制御部DQCNTRLは、処理部250からのデータ入力タイミング信号DQINの受信に基づいて、"0"の書き込み選択信号BWSSELを出力する。また、データ出力制御部DQCNTRLは、処理部251からのデータ入力タイミング信号DQINの受信に基づいて、"1"の書き込み選択信号BWSSELを出力する。"1"の書き込み選択信号BWSSELは、メモリ30から読み出されるデータDQをバッファBUF1に格納することを示す。

20

【0124】

なお、図11 - 図18において、各バッファBUF0 - BUF2に付した"0"から"24"は、エントリ番号を示す。タイミング図上において、各バッファBUF0 - BUF2のエントリに付した数値は、各エントリが保持するデータDQの番号を示す。

【0125】

データ出力制御部DQCNTRLは、処理部250、251の各々からのデータ入力タイミング信号DQINに基づいてカウンタCONT0、CONT1の各々にカウントアップ信号CUPを出力する。各カウントアップ信号CUPは、メモリ30からのデータDQの受信タイミングに合わせて出力される。これにより、カウンタCONT0、CONT1の各々は、ライトポインタ値WP0、WP1の各々を"1"ずつ増加する。

30

【0126】

図11および図13において、保持部BSEL0は、バッファBUF0にデータDQ15が格納されるまで"0"を保持している。このため、セクタSEL0を介してライトポインタ値WP0を受けるバッファBUF0は、ライトポインタ値WP0が示すエントリに、リードコマンドRD0に対応するデータDQを順次書き込む。

40

【0127】

バッファセクタBSELは、図13のCYC27において、"1"の書き込み選択信号BWSSELの最初の受信にตอบสนองして、書き込み選択信号BSSELの"1"を、空いている保持部BSELのうち、優先度が最も高い保持部BSEL1に保持する。保持部BSEL1に保持された"1"によりセクタSEL1が選択され、ライトポインタ値WP1はバッファBUF1に供給される。

【0128】

保持部BSEL1は、CYC27 - CYC35の間、"1"を保持し、"1"の保持部BSEL1によりセクタSEL1が選択される。このため、CYC27 - CYC35において、セクタSEL1を介してライトポインタ値WP1を受けるバッファBUF1は、ラ

50

イトポインタ値WP 0 が示すエントリに、リードコマンドRD 1 に対応するデータDQ を順次書き込む。

【0129】

アクティブコマンドACT 0 を出力した処理部250 のデータタイミング制御部255 は、図13のCYC 35 でイネーブル信号EN (RD 0) を生成する。この例では、データタイミング制御部255 は、最初のリードコマンドRD 0 の出力から18サイクル後 (CYC 35) にイネーブル信号EN (RD 0) を生成する。18サイクルは、最初のリードコマンドRD 0 の出力から出力データDOUT の出力が完了するまでの34サイクルから32個の出力データDOUT の出力に掛かる16サイクルを引くことで求められる。CYC 35 でリードコマンドRD 0 に対応するイネーブル信号EN を出力することで、データDQ 31 がバッファBUF 0 に保持されたCYC 51 に、バッファBUF 0 からデータDQ 31 を出力データDOUT として出力することができる。

10

【0130】

処理部250 からのイネーブル信号EN を応答イネーブル信号RE TEN として受けた選択信号生成部SEL GEN は、図14のCYC 35 において、保持部BSEL 0 で保持しているバッファ選択値="0"を読み出し選択信号BRSEL として出力する。図9の出力タイミング生成部OT GEN は、"0"の読み出し選択信号BRSEL に基づいてバッファBUF 0 にデータシフト信号DSFT を順次出力する。これにより、メモリアクセスコントローラ20 は、CYC 34 - CYC 51 に掛けて、バッファBUF 0 に保持されたデータDQ 0 - DQ 31 を出力データDOUT として図3のネットワーク制御部16 に連続して出力する (図14、図16)。

20

【0131】

選択信号生成部SEL GEN は、"0"の読み出し選択信号BRSEL の出力に応答してバッファセクタBSEL にシフト信号SFT を出力する。バッファセクタBSEL は、シフト信号SFT に応答してシフト動作し、図13のCYC 36 において、保持部BSEL 1 に保持しているバッファ選択値="1"を保持部BSEL 0 に移行する。これにより、バッファBUF 0 からの出力データDOUT を出力後、バッファBUF 1 から出力データDOUT を出力することが決定される。

【0132】

保持部BSEL 0 は、CYC 36 - CYC 51 の間、"1"を保持し、"1"の保持部BSEL 1 によりセクタSEL 1 が選択され続ける。CYC 36 - CYC 41 において、セクタSEL 1 を介してライトポインタ値WP 1 を受けるバッファBUF 1 は、ライトポインタ値WP 0 が示すエントリに、リードコマンドRD 1 に対応するデータDQ を順次書き込む。

30

【0133】

データ出力制御部DQ CNTL は、バッファBUF 0 からデータDQ が出力されるタイミングに合わせてカウントダウン信号CDWN を出力する。これにより、ライトポインタ値WP 0 は、図13のCYC 36 から"1"ずつ減少する。但し、バッファBUF 0 からのデータDQ の出力とメモリ30 から読み出されたデータDQ のバッファBUF 0 への格納とが同時に実行される場合、データ出力制御部DQ CNTL は、カウントダウン信号CDWN およびカウントアップ信号CUP の出力を停止する。このため、例えば、CYC 37、CYC 38 と CYC 39 の前半とでは、バッファBUF 0 においてライトポインタ値WP 0 ="12"で示されるエントリにデータDQ 15 - DQ 19 が順次格納される。

40

【0134】

図15のCYC 41 において、リードコマンドRD 1 を出力する処理部251 のデータタイミング制御部255 は、イネーブル信号EN (RD 1) を生成する。この例では、データタイミング制御部255 は、最初のリードコマンドRD 1 の出力から18サイクル後にイネーブル信号EN を生成する。18サイクルは、最初のリードコマンドRD 1 の出力から出力データDOUT の出力が完了するまでの18サイクルから16個の出力データDOUT の出力に掛かる8サイクルを引き、さらに8サイクルを追加することで求められる。

50

【 0 1 3 5 】

図 1 1 に示したように、メモリアクセスコントローラ 2 0 は、アクティブコマンド A C T 1 を発行するとき、メモリ 3 0 に対する他のアクティブコマンド A C T 0 を発行している。このため、メモリ 3 0 はアイドル状態でない。メモリ 3 0 がアイドル状態でない場合、アクティブコマンド A C T 1 に対応する出力データ D O U T の出力を、先行するアクティブコマンド A C T 0 に対応する出力データ D O U T の出力後に行わせるために、8 サイクルが追加される。

【 0 1 3 6 】

ここで、1 8 サイクルは、メモリアクセスコントローラ 2 0 が受付可能なメモリアクセス要求 M R E Q のうち、最長パケットサイズ M P S のメモリアクセス要求 M R E Q において、最初のリードコマンドからイネーブル信号 E N が出力されるまでの期間と等しい。すなわち、データタイミング制御部 2 5 5 は、メモリ 3 0 がアイドル状態でない場合、後続のメモリアクセス要求 M R E Q に対応するデータの出力開始タイミングを、最長パケットサイズ M P S のメモリアクセス要求を受けたときの出力開始タイミングに設定する。例えば、この実施形態では、最長パケットサイズ M P S は、3 2 個のデータ D Q に対応する。

【 0 1 3 7 】

これにより、メモリアクセス要求 M R E Q のパケットサイズ P S によらず、最初のリードコマンド R D からデータ D Q の出力開始タイミングまでの期間を一定にすることができる。したがって、先行するメモリアクセス要求 M R E Q のパケットサイズ P S に応じて出力開始タイミングを設定する場合に比べて、データタイミング制御部 2 5 5 によるイネーブル信号 E N の出力制御を簡易にすることができる。なお、データタイミング制御部 2 5 5 は、先行のメモリアクセス要求 M R E Q のパケットサイズ P S に応じてイネーブル信号 E N の出力タイミング（すなわち、出力開始タイミング）を設定してもよい。

【 0 1 3 8 】

なお、アクティブコマンド A C T 1 の発行時に他のアクティブコマンド A C T が発行されておらず、メモリ 3 0 がアイドル状態の場合、データタイミング制御部 2 5 5 は、最初のリードコマンド R D 1 の出力から 1 0 サイクル後にイネーブル信号 E N を生成する。1 0 サイクルは、メモリアクセス要求 M R E Q (A C T 1) を発行するデバイスのアクセス仕様（例えば、パケットサイズ P S = 1 6 個のデータ D Q ）に応じて設定されるイネーブル信号 E N の出力タイミングである。これにより、メモリアクセスコントローラ 2 0 は、メモリアクセス要求 M R E Q に対応するデータ D O U T を最短のタイミングでメモリアクセス要求 M R E Q の発行元のデバイスに出力することができる。

【 0 1 3 9 】

図 1 5 の C Y C 4 1 において、選択信号生成部 S E L G E N は、処理部 2 5 1 からのイネーブル信号 E N (R D 1) を応答イネーブル信号 R E T E N として受ける。バッファ B U F 0 からデータ D Q を出力中であるため、選択信号生成部 S E L G E N は、保持部 B S E L 1 で保持しているバッファ選択値 = " 1 " の応答イネーブル信号 R E T E N に応答するデータ D Q の出力を抑止する。

【 0 1 4 0 】

すなわち、選択信号生成部 S E L G E N は、後続のメモリアクセス要求 M R E Q のデータ D O U T が、先行のメモリアクセス要求 M R E Q に対応する最終データ D O U T より早く出力されないように、後続のデータ D O U T の出力開始タイミングを設定する。これにより、バッファ B U F 0、B U F 1 からのデータ D Q の出力が衝突することを抑止することができ、メモリアクセスコントローラ 2 0 の誤動作を抑止することができる。

【 0 1 4 1 】

バッファセクタ B S E L は、図 1 5 の C Y C 4 3 において、" 2 " の書き込み選択信号 B W S E L の最初の受信に응答して、書き込み選択信号 B W S E L の " 2 " を、空いている保持部 B S E L のうち、優先度が最も高い保持部 B S E L 1 に保持する。保持部 B S E L 1 に保持された " 2 " によりセクタ S E L 2 が選択され、ライトポイント値 W P 1 はバッファ B U F 2 に供給される。そして、バッファ B U F 2 は、順次増加するライトポイント

10

20

30

40

50

値WP 1が示すエントリに、リードコマンドRD 2に対応するデータDQを図16のCYC 43から順次書き込む。

【0142】

なお、ライトポインタ値WP 0、WP 1のいずれを使用するかは、データ出力制御部DQCNTLにより設定される。データ出力制御部DQCNTLは、メモリ30のアイドル状態が解除された後、ライトポインタ値WP 0の使用を決定し、その後、空いているライトポインタ値WPの使用を順次決定する。

【0143】

CYC 51において、選択信号生成部SELGENは、バッファBUF 0からのデータDQ 31の出力完了に合わせて、保持部BSEL 0で保持しているバッファ選択値="1"を読み出し、選択信号BRSEL(図16)として出力する。出力タイミング生成部OTGENは、"1"の読み出し選択信号BRSELに基づいてバッファBUF 1にデータシフト信号DSFTを順次出力する。これにより、メモリアクセスコントローラ20は、CYC 51 - CYC 59に掛けて、バッファBUF 1に保持されたデータDQ 0 - DQ 15を出力データDOUTとして図3のネットワーク制御部16に順次出力する(図16、図18)。

【0144】

このように、メモリアクセスコントローラ20は、メモリ30がアイドル状態でない場合、アクティブコマンドACTに対応する出力データDOUTの出力を遅らせることで、メモリアクセス要求MREQの発行順に出力データDOUTを出力できる。したがって、出力データDOUTの遅れによりメモリアクセス要求MREQの発行元のデバイスによるデータ処理等が遅れることを抑制することができる。この結果、複数のパケットサイズPSのメモリアクセス要求MREQを処理可能なメモリアクセスコントローラ20の動作に依存して、出力データDOUTを受けるデバイスの処理性能が低下することを抑制することができる。

【0145】

なお、バッファBUF 1からデータDQを出力するときに、リードコマンドRD 1に対応してメモリ30から読み出されたデータDQ 0 - DQ 15は、バッファBUF 1に既に保持されている。このため、データ出力制御部DQCNTLは、ライトポインタ値WP 1を減少させるカウントダウン信号CDWNを生成せず、ライトポインタ値WP 1は、"15"から減少されない(図13)。

【0146】

選択信号生成部SELGENは、"1"の読み出し選択信号BRSELの出力にตอบสนองしてバッファセクタBSELにシフト信号SFTを出力する。バッファセクタBSELは、シフト信号SFTにตอบสนองしてシフト動作し、図15のCYC 52において、保持部BSEL 1に保持しているバッファ選択値="2"を保持部BSEL 0に移行する。これにより、バッファBUF 1からの出力データDOUTを出力後、バッファBUF 2から出力データDOUTを出力することが決定される。

【0147】

図15のCYC 57において、リードコマンドRD 2を出力する処理部251のデータタイミング制御部255は、バッファBUF 2からのデータDQが、バッファBUF 1からのデータDQの出力後に出力されるようにイネーブル信号EN(RD 2)を生成する。リードコマンドRD 2に対応するイネーブル信号ENは、リードコマンドRD 1に対応するイネーブル信号ENと同様に、最初のリードコマンドRD 2の出力から18サイクル後に生成される。

【0148】

バッファセクタBSELは、図15のCYC 53において、リードコマンドRD 3に対応する"0"の書き込み選択信号BWSSELの最初の受信にตอบสนองして、書き込み選択信号BWSSELの"0"を保持部BSEL 1に保持する。書き込み選択信号BWSSELの"0"が保持された保持部BSEL 1は、空いている保持部BSELのうち、優先度が最も高い。

10

20

30

40

50

保持部 B S E L 1 に保持された " 0 " によりセクタ S E L 0 が選択され、ライトポインタ値 W P 0 はバッファ B U F 0 に供給される。そして、バッファ B U F 0 は、順次増加するライトポインタ値 W P 0 が示すエントリに、リードコマンド R D 3 に対応するデータ D Q を C Y C 5 3 - C Y C 8 3 (図示せず) に掛けてから順次書き込む。

【 0 1 4 9 】

選択信号生成部 S E L G E N は、処理部 2 5 1 からのイネーブル信号 E N (R D 2) を応答イネーブル信号 R E T E N として受ける。バッファ B U F 1 からデータ D Q を出力中であるため、選択信号生成部 S E L G E N は、保持部 B S E L 0 で保持しているバッファ選択値 = " 2 " の応答イネーブル信号 R E T E N に応答するデータ D Q の出力を抑止する。そして、選択信号生成部 S E L G E N は、バッファ B U F 1 からのデータ D Q 1 5 の出力完了に合わせて、保持部 B S E L 0 で保持しているバッファ選択値 = " 2 " を C Y C 5 9 で読み出し、選択信号 B R S E L として出力する (図 1 8) 。

10

【 0 1 5 0 】

出力タイミング生成部 O T G E N は、" 2 " の読み出し選択信号 B R S E L に基づいてバッファ B U F 2 にデータシフト信号 D S F T を順次出力する。これにより、メモリアクセスコントローラ 2 0 は、図 1 8 の C Y C 5 9 - C Y C 6 7 に掛けて、バッファ B U F 2 に保持されたデータ D Q 0 - D Q 1 5 を出力データ D O U T として図 3 のネットワーク制御部 1 6 に順次出力する。

【 0 1 5 1 】

なお、バッファ B U F 2 からデータ D Q を出力するときに、リードコマンド R D 2 に対応してメモリ 3 0 から読み出されたデータ D Q 0 - D Q 1 5 は、バッファ B U F 2 に既に保持されている。このため、データ出力制御部 D Q C N T L は、ライトポインタ値 W P 1 を減少させるカウントダウン信号 C D W N を生成せず、ライトポインタ値 W P 1 は、" 1 5 " から減少されない (図 1 5) 。

20

【 0 1 5 2 】

バッファセクタ B S E L は、図 1 7 の C Y C 5 9 において、リードコマンド R D 4 に対応する " 1 " の書き込み選択信号 B W S E L の最初の受信に応答して、書き込み選択信号 B W S E L の " 1 " を空いている保持部 B S E L 2 に保持する。保持部 B S E L 2 に保持された " 1 " によりセクタ S E L 1 が選択され、ライトポインタ値 W P 1 はバッファ B U F 1 に供給される。そして、バッファ B U F 1 は、順次増加するライトポインタ値 W P 1 が示すエントリに、リードコマンド R D 4 に対応するデータ D Q を図 1 8 の C Y C 5 9 から順次書き込む。

30

【 0 1 5 3 】

選択信号生成部 S E L G E N は、図 1 8 の C Y C 5 9 において、" 2 " の読み出し選択信号 B R S E L の出力に応答してバッファセクタ B S E L にシフト信号 S F T を出力する。バッファセクタ B S E L は、シフト信号 S F T に応答してシフト動作する。そして、バッファセクタ B S E L は、図 1 7 の C Y C 6 0 において、保持部 B S E L 1 に保持しているバッファ選択値 = " 0 " を保持部 B S E L 0 に移行し、保持部 B S E L 2 に保持しているバッファ選択値 = " 1 " を保持部 B S E L 1 に移行する。これにより、バッファ B U F 2 から出力データ D O U T を出力後、バッファ B U F 0 から出力データ D O U T を出力することが決定される。

40

【 0 1 5 4 】

図 1 7 の C Y C 6 7 において、リードコマンド R D 3 を出力する処理部 2 5 0 のデータタイミング制御部 2 5 5 は、バッファ B U F 0 からのデータ D Q が、バッファ B U F 2 からのデータ D Q の出力後に出力されるようにイネーブル信号 E N (R D 3) を生成する。リードコマンド R D 3 に対応するイネーブル信号 E N は、リードコマンド R D 1 に対応するイネーブル信号 E N と同様に、最初のリードコマンド R D 3 の出力から 1 8 サイクル後に生成される。

【 0 1 5 5 】

選択信号生成部 S E L G E N は、処理部 2 5 0 からのイネーブル信号 E N (R D 3) を

50

応答イネーブル信号 R E T E N として受ける。選択信号生成部 S E L G E N は、バッファ B U F 2 からのデータ D Q 1 5 の出力完了に合わせて、保持部 B S E L 0 で保持しているバッファ選択値 = " 0 " を C Y C 6 7 で読み出し、選択信号 B R S E L として出力する (図 1 8) 。

【 0 1 5 6 】

出力タイミング生成部 O T G E N は、" 0 " の読み出し選択信号 B R S E L に基づいてバッファ B U F 0 にデータシフト信号 D S F T を順次出力する。これにより、メモリアクセスコントローラ 2 0 は、C Y C 6 7 - C Y C 8 3 (図示せず) に掛けて、バッファ B U F 0 に保持されたデータ D Q 0 - D Q 3 1 を出力データ D O U T として図 3 のネットワーク制御部 1 6 に順次出力する。

10

【 0 1 5 7 】

図 1 7 の C Y C 7 3 において、リードコマンド R D 4 を出力する処理部 2 5 1 のデータタイミング制御部 2 5 5 は、バッファ B U F 2 からのデータ D Q が、バッファ B U F 0 からのデータ D Q の出力後に出力されるようにイネーブル信号 E N (R D 4) を生成する。イネーブル信号 E N は、リードコマンド R D 1 に対応するイネーブル信号 E N と同様に、最初のリードコマンド R D 4 の出力から 1 8 サイクル後に生成される。

【 0 1 5 8 】

選択信号生成部 S E L G E N は、処理部 2 5 1 からのイネーブル信号 E N を応答イネーブル信号 R E T E N として受ける。バッファ B U F 0 からデータ D Q を出力中であるため、選択信号生成部 S E L G E N は、保持部 B S E L 0 で保持しているバッファ選択値 = " 1 " の応答イネーブル信号 R E T E N に応答するデータ D Q の出力を抑止する。

20

【 0 1 5 9 】

その後、選択信号生成部 S E L G E N は、バッファ B U F 0 からのデータ D Q 3 1 の出力完了に合わせて、保持部 B S E L 0 で保持しているバッファ選択値 = " 1 " を読み出し、選択信号 B R S E L として出力する。そして、図示は省略するが、メモリアクセスコントローラ 2 0 は、バッファ B U F 1 に保持されたデータ D Q 0 - D Q 3 1 を出力データ D O U T として図 3 のネットワーク制御部 1 6 に順次出力する

図 1 9 は、他のメモリアクセスコントローラの動作の一例を示す。図 1 0 - 図 1 8 と同様の動作については、詳細な説明は省略する。メモリアクセスコントローラからメモリに出力されるアクティブコマンド A C T 0 、 A C T 1 およびリードコマンド R D 0 、 R D 1 のタイミングは、図 1 0 、図 1 1 、図 1 3 および図 1 5 と同じである。なお、図 1 9 では、リードコマンド R D 3 、 R D 4 は、発行されない。

30

【 0 1 6 0 】

図 1 9 の動作を実行するメモリアクセスコントローラは、アクティブコマンド A C T の発行時に他のアクティブコマンド A C T が発行されているか否かを判定する機能を持たない。換言すれば、図 1 9 の動作を実行するメモリアクセスコントローラは、メモリがアイドル状態でない場合に、バッファ B U F からの出力データ D O U T の出力を遅らせる機能を持たない。

【 0 1 6 1 】

このため、メモリアクセスコントローラは、最初のリードコマンド R D 1 の出力から 1 0 サイクル後である C Y C 3 3 にイネーブル信号 E N (R D 1) を生成する。メモリアクセスコントローラは、バッファ B U F から他の出力データ D O U T が出力されていないため、リードコマンド R D 1 に対応してバッファ B U F に保持されるデータ D Q 0 - D Q 1 5 を出力データ D O U T として C Y C 3 3 - C Y C 4 1 に掛けて出力する。

40

【 0 1 6 2 】

メモリアクセスコントローラは、最初のリードコマンド R D 0 の出力から 1 8 サイクル後である C Y C 3 5 にイネーブル信号 E N (R D 0) を生成する。C Y C 3 5 では、リードコマンド R D 1 に対応する出力データ D O U T がバッファ B U F から出力されている。このため、メモリアクセスコントローラは、リードコマンド R D 1 に対応する出力データ D O U T がバッファ B U F から出力された後、C Y C 4 1 - C Y C 5 7 に掛けて、リード

50

コマンド R D 0 に対応する出力データ D O U T 出力する。

【 0 1 6 3 】

図 1 9 においてかぎ括弧で囲った破線の出力データ D O U T は、バッファ B U F から他の出力データ D O U T が出力されていない場合のイネーブル信号 E N (R D 0) に応答する出力タイミングを示す。メモリアクセスコントローラは、メモリから読み出したデータ D Q を、コマンドを受けた順に出力することが好ましい。

【 0 1 6 4 】

しかしながら、図 1 9 に示すように、パケットサイズ P S が異なるメモリアクセス要求 M R E Q を処理可能なメモリアクセスコントローラは、メモリアクセス要求 M R E Q の受付順により出力データ D O U T のネットワーク制御部への出力順が逆になる場合がある。例えば、パケットサイズ P S の大きいメモリアクセス要求 M R E Q の後にパケットサイズ P S の小さいメモリアクセス要求 M R E Q が発行される場合、出力データ D O U T の出力順が逆になるおそれがある。

【 0 1 6 5 】

出力データ D O U T の出力順が逆になる場合、メモリアクセス要求 M R E Q の発行元のデバイスによるメモリからの読み出しデータを使用したデータ処理等が遅れるおそれがあり、デバイスの処理性能が低下するおそれがある。また、メモリアクセス要求 M R E Q の発行元のシステムが、メモリからの読み出しデータの受信の完了時刻を予測し、予測した完了時刻に基づいて投機的に動作する場合、投機的な動作が無駄になるおそれがある。

【 0 1 6 6 】

以上、この実施形態においても上述した実施形態と同様の効果を得ることができる。例えば、メモリアクセスコントローラ 2 0 は、C P U 1 0 の内部または外部から受けるパケットサイズ P S が異なるメモリアクセス要求 M R E Q に基づいてメモリ 3 0 から読み出されるデータ D Q を、メモリアクセス要求 M R E Q の受付順に出力できる。

【 0 1 6 7 】

バッファ制御部 2 7 0 は、後続のリードコマンド R D 1 に対応するデータ D Q の出力が、先行のリードコマンド R D 0 に対応するデータ D Q の出力と重複する場合、イネーブル信号 E N (R D 1) に基づくデータ D Q の出力の開始を遅らせる。これにより、複数のバッファ B U F からのデータ D Q の衝突を抑止することができ、誤ったデータ D Q (D O U T) がメモリアクセスコントローラ 2 0 から出力されることを抑止することができる。

【 0 1 6 8 】

さらに、この実施形態では、以下に示す効果を得ることができる。例えば、データタイミング制御部 2 5 5 は、メモリ 3 0 がアイドル状態でない場合、後続のメモリアクセス要求 M R E Q に対応するデータの出力開始タイミングを、最長パケットサイズ M P S のメモリアクセス要求を受けたときの出力開始タイミングに設定する。これにより、メモリアクセス要求 M R E Q のパケットサイズ P S によらず、最初のリードコマンド R D からデータ D Q の出力開始タイミングまでの期間を一定にすることができる。したがって、先行するメモリアクセス要求 M R E Q のパケットサイズ P S に応じて出力開始タイミングを設定する場合に比べて、データタイミング制御部 2 5 5 によるイネーブル信号 E N の出力制御を簡易にすることができる。

【 0 1 6 9 】

選択信号生成部 S E L G E N は、後続のメモリアクセス要求 M R E Q のデータ D O U T が、先行のメモリアクセス要求 M R E Q に対応する最終データ D O U T より早く出力されないように、後続のデータ D O U T の出力開始タイミングを設定する。これにより、バッファ B U F 0、B U F 1 からのデータ D Q の出力が衝突することを抑止することができ、メモリアクセスコントローラ 2 0 の誤動作を抑止することができる。

【 0 1 7 0 】

メモリ 3 0 がアイドル状態の場合、データタイミング制御部 2 5 5 は、メモリアクセス要求 M R E Q を発行するデバイスのアクセス仕様（例えば、パケットサイズ P S ）に応じてイネーブル信号 E N の出力タイミングを設定する。これにより、メモリアクセスコント

10

20

30

40

50

ローラ 20 は、メモリアクセス要求 MREQ に対応するデータ DOUT を最短のタイミングでメモリアクセス要求 MREQ の発行元のデバイスに出力することができる。

【0171】

シフトレジスタの構造を有するバッファ BUF に対して、データ出力制御部 DQCNTRL は、バッファ BUF からデータ DQ を出力させるときにカウンタ COUNT をカウントダウンさせる。これにより、バッファ BUF のシフト動作により新たなデータ DQ の格納位置がずれる場合にも、正しい位置にデータ DQ を格納することができる。

【0172】

また、データ出力制御部 DQCNTRL は、バッファ BUF へのデータ DQ の格納とバッファ BUF からデータ DQ の出力とを同時に行うときにカウンタ COUNT のカウントアップおよびカウントダウンを停止する。これにより、バッファ BUF のシフト動作にかかわりなく、バッファ BUF の同じ位置に新たなデータ DQ を格納することができる。

【0173】

カウンタ COUNT0、COUNT1 とバッファ BUF0 - BUF2 との間にセクタ SEL0 - SEL2 を配置することで、任意のカウンタ COUNT が生成するライトポイント値 WP を任意のバッファ BUF に供給することができる。この結果、カウンタ COUNT の数をバッファ BUF の数より少なくすることができ、バッファ BUF の数と同じ数のカウンタ COUNT を設ける場合に比べて、メモリアクセスコントローラ 20 の回路規模を削減することができる。

【0174】

図 20 は、別の実施形態におけるメモリアクセスコントローラの例を示す。メモリアクセスコントローラ 21 は、2 つの処理部 25 と、各処理部 25 に対応するリクエスト保持パイプライン 230 を有し、並列度 1 は "2" である。メモリアクセスコントローラ 22 は、3 つの処理部 25 と、各処理部 25 に対応するリクエスト保持パイプライン 230 を有し、並列度 1 は "3" である。

【0175】

メモリアクセスコントローラ 23 は、3 つの処理部 25 と、各処理部 25 に対応するリクエスト保持パイプライン 230 を有し、"2" または "3" の両方の並列度 1 に対応する。メモリアクセスコントローラ 23 は、並列度 1 が "2" の場合、4 つのステージ STG に接続された 2 つの処理部 25 を使用し、並列度 1 が "3" の場合、3 つの処理部 25 を使用する。各処理部 25 の構成は、接続されるステージ STG の数が少ないことを除き、図 8 に示す処理部 25 と同様の構成である。

【0176】

各メモリアクセスコントローラ 21、22、23 は、各処理部 25 に接続されるバッファ制御部 270 およびデータバッファ 280 を有する。バッファ制御部 270 およびデータバッファ 280 の構成は、図 9 と同様である。これにより、各メモリアクセスコントローラ 21、22、23 は、上述した実施形態と同様の効果を得ることができる。例えば、各メモリアクセスコントローラ 21、22、23 は、パケットサイズ PS が異なるメモリアクセス要求 MREQ に基づいてメモリ 30 から読み出されるデータ DQ を、メモリアクセス要求 MREQ の受付順に出力できる。

【0177】

以上の詳細な説明により、実施形態の特徴点および利点は明らかになるであろう。これは、特許請求の範囲がその精神および権利範囲を逸脱しない範囲で前述のような実施形態の特徴点および利点にまで及ぶことを意図するものである。また、当該技術分野において通常の知識を有する者であれば、あらゆる改良および変更容易に想到できるはずである。したがって、発明性を有する実施形態の範囲を前述したものに限定する意図はなく、実施形態に開示された範囲に含まれる適当な改良物および均等物に拠ることも可能である。

【符号の説明】

【0178】

1 演算処理装置

10

20

30

40

50

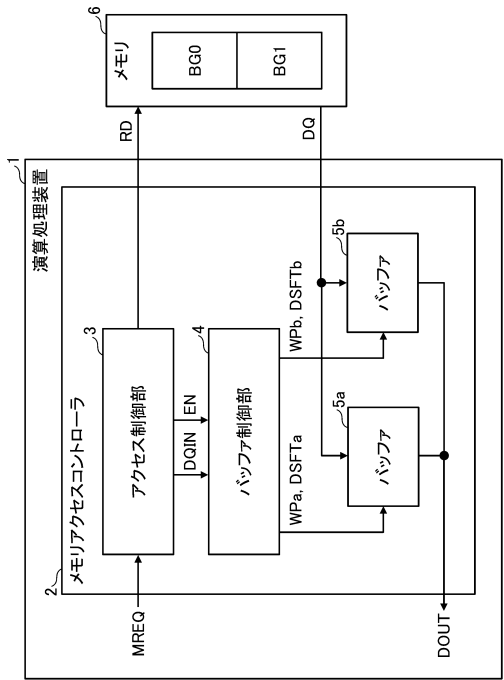
2	メモリアクセスコントローラ	
3	アクセス制御部	
4	バッファ制御部	
5	(5 a、5 b) バッファ	
6	メモリ	
10	演算処理装置	
12	コア	
14	キャッシュ	
16	ネットワーク制御部	
18	インタコネクト	10
20、21、22、23	メモリアクセスコントローラ	
25	(250、251、252) 処理部	
30	メモリ	
210	リクエスト受信部	
220	スケジューリング部	
221	リクエスト情報出力部	
222	資源番号出力部	
223	クロックカウンタ	
224	シフト信号生成部	
230	リクエスト保持パイプライン	20
231	資源番号保持部	
232	経過サイクル保持部	
233	リクエスト情報保持部	
234	シフト信号生成部	
240	設定レジスタ	
253	ロウ制御部	
254	カラム制御部	
255	データタイミング制御部	
260	セレクタ	
270	バッファ制御部	30
280	データバッファ	
2531	セレクタ	
2532	ロウ情報出力部	
2541	セレクタ	
2542	カラム情報出力部	
2543	カウンタ	
ACT	アクティブコマンド	
BG	(BG0 - BG3) バンクグループ	
BSEL	バッファセレクタ	
BSEL0 - BSEL2	保持部	40
BUF0 - BUF2	バッファ	
BWSEL	書き込み選択信号	
BRSEL	読み出し選択信号	
CNT	カウンタ値	
CDWN	カウントダウン信号	
COL	(COL0、COL1) カラム制御信号	
CONT0、CONT1	カウンタ	
CUP	カウントアップ信号	
CYC	サイクル	
DOUT	出力データ	50

DQ	データ	
DQCNTRL	データ出力制御部	
DQIN	データ入力タイミング信号	
DSFT、DSFTa、DSFTb	データシフト信号	
EN	イネーブル信号	
FF	フリップフロップ	
INC	インクリメント	
l	並列度	
m	位相差	
MCLK	メモリクロック	10
MPS	最長パケットサイズ	
MREQ	メモリアクセス要求	
n	平均リクエスト間隔	
OTGEN	出力タイミング生成部	
PS	パケットサイズ	
RD(RD0 - RD4)	リードコマンド	
REQALN	単独要求情報	
REQINF	リクエスト情報	
RETEN	応答イネーブル信号	
RL	リードレイテンシ	20
ROW(ROW0、ROW1)	ロウ制御信号	
RSC	資源番号	
SEL、SEL0 - SEL2	セクタ	
SELGEN	選択信号生成部	
SFTIN	シフト入力信号	
STG(STG0 - STG10)	ステージ	
T	経過時刻	
TCOL	カラムタイミング	
TROW	ロウタイミング	
WP、WP0、WP1、WPa、WPb	ライトポインタ値	30

【図面】

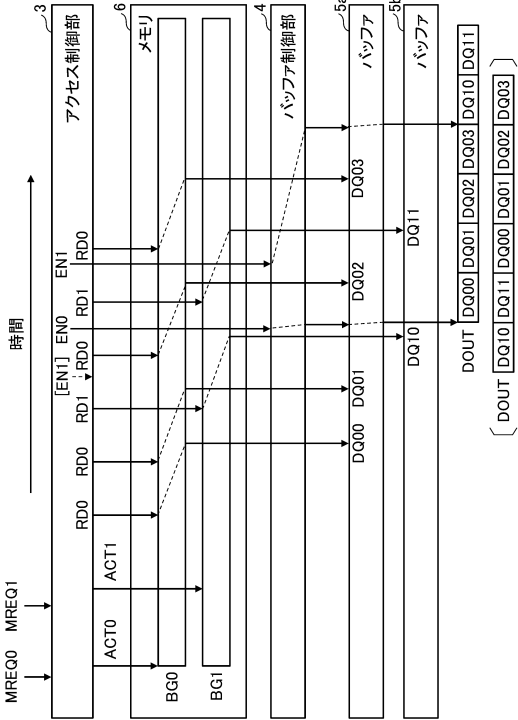
【図 1】

一実施形態におけるメモリアクセスコントローラを含む演算処理装置の一例を示すブロック図



【図 2】

図1のメモリアクセスコントローラの動作の一例を示すタイミング図

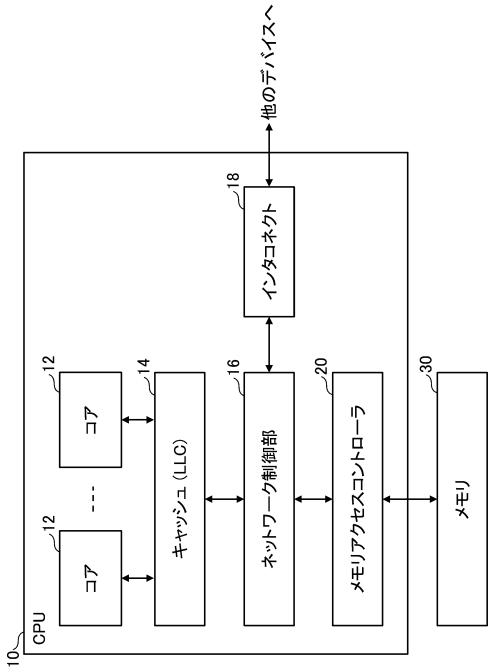


10

20

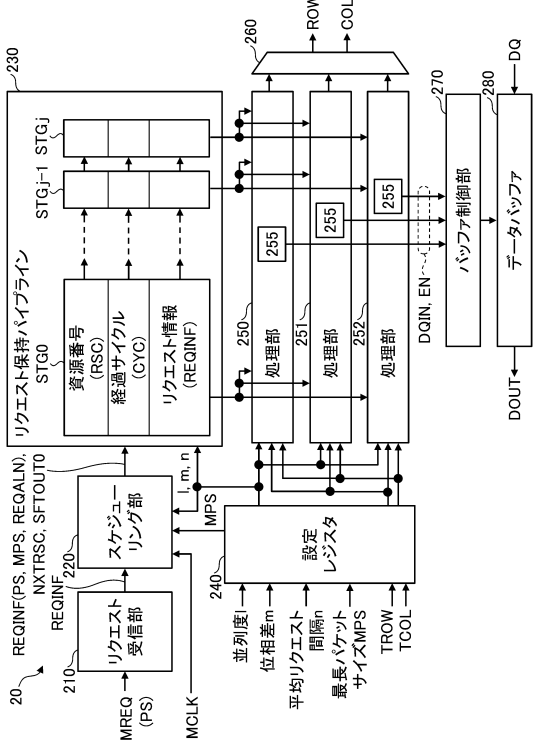
【図 3】

別の実施形態におけるメモリアクセスコントローラを含む演算処理装置の一例を示すブロック図



【図 4】

図3のメモリアクセスコントローラの一例を示すブロック図



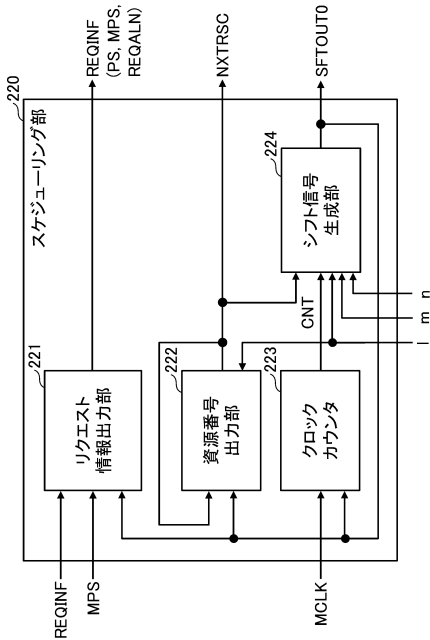
30

40

50

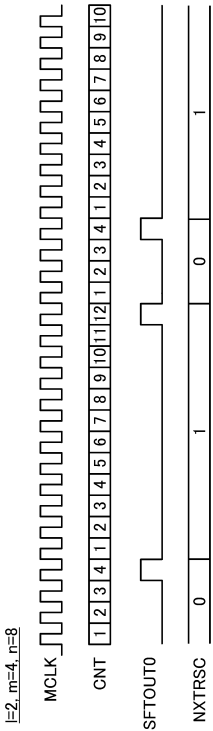
【図 5】

図4のスケジューリング部の一例を示すブロック図



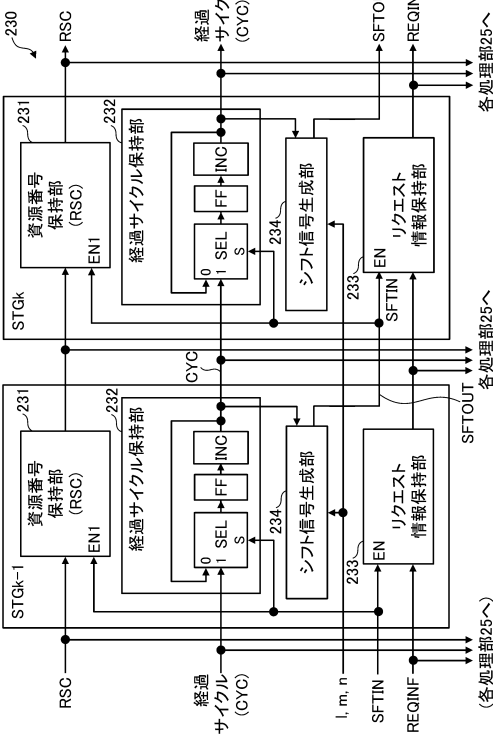
【図 6】

図5のスケジューリング部の動作の一例を示すタイミング図



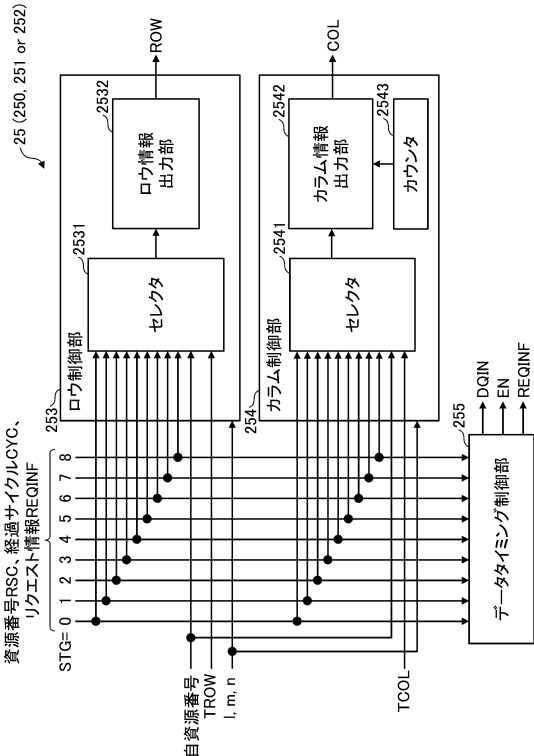
【図 7】

図4のリクエスト保持パイプラインのステージの一例を示すブロック図



【図 8】

図4の処理部の一例を示すブロック図



10

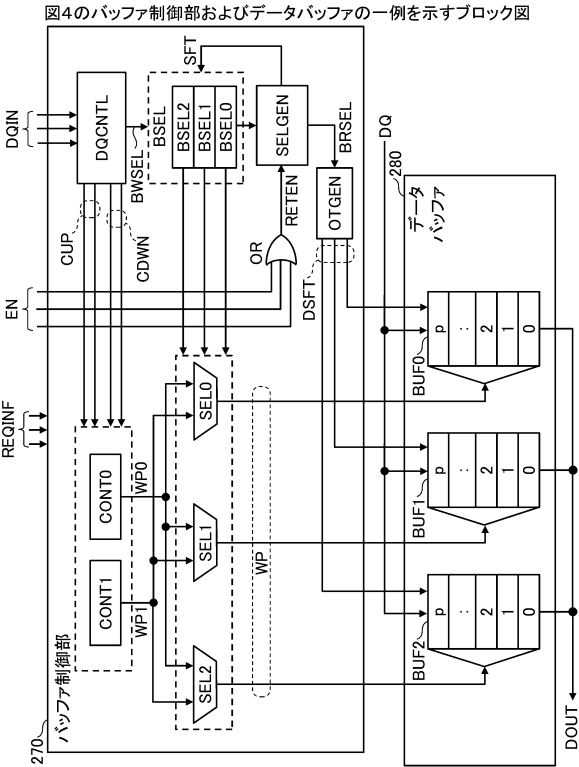
20

30

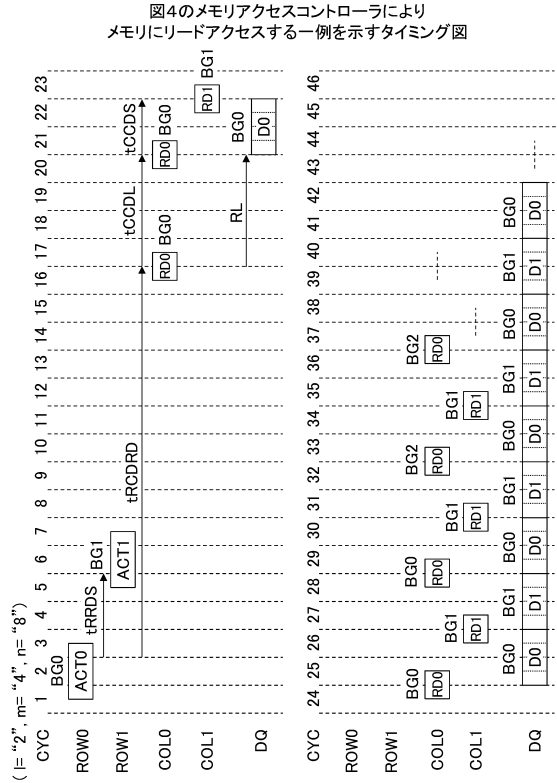
40

50

【図 9】



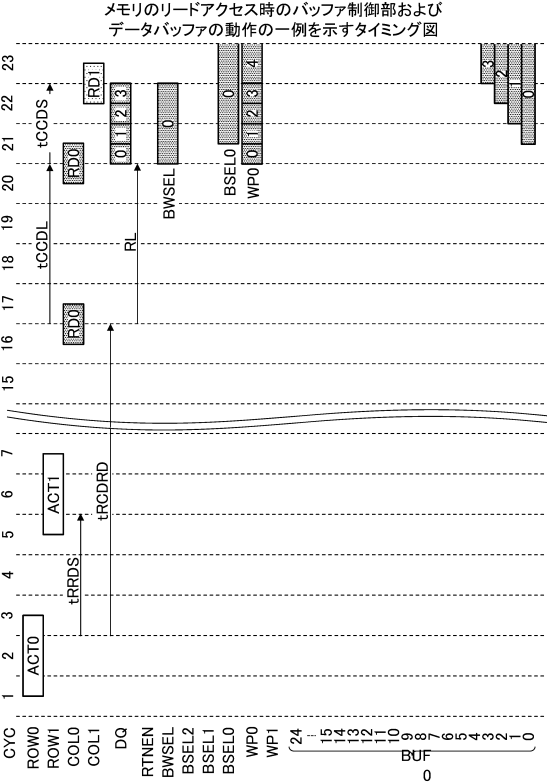
【図 10】



10

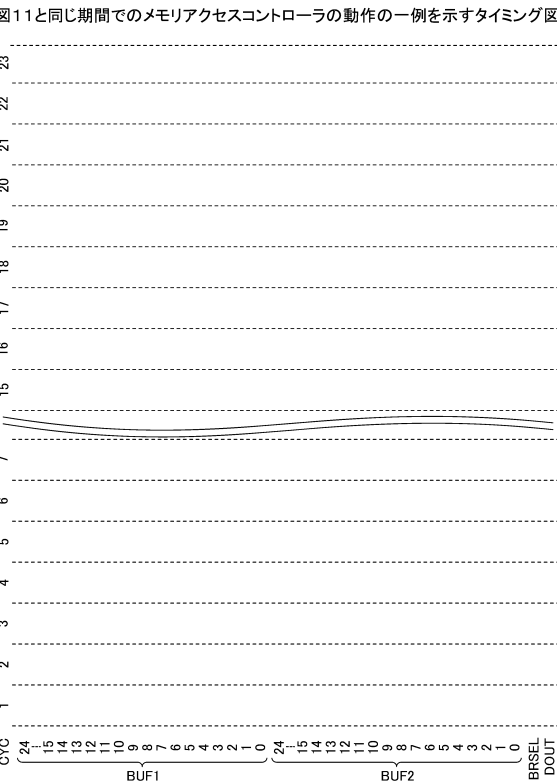
20

【図 11】



30

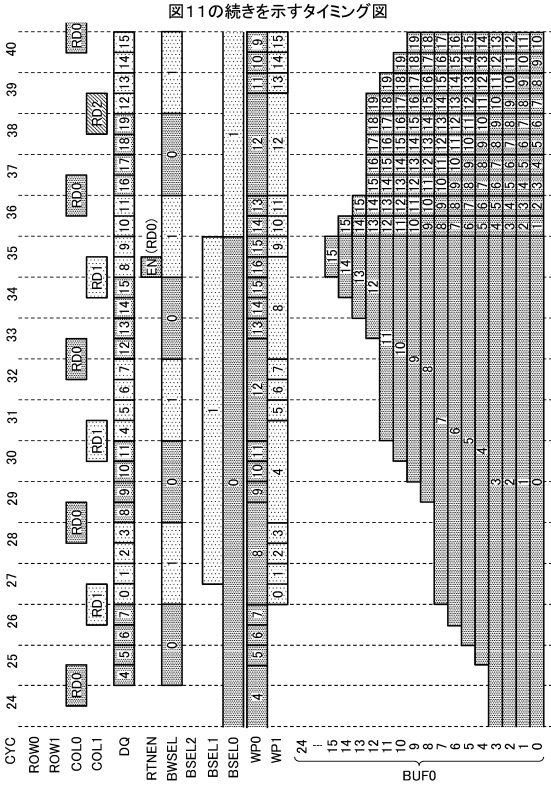
【図 12】



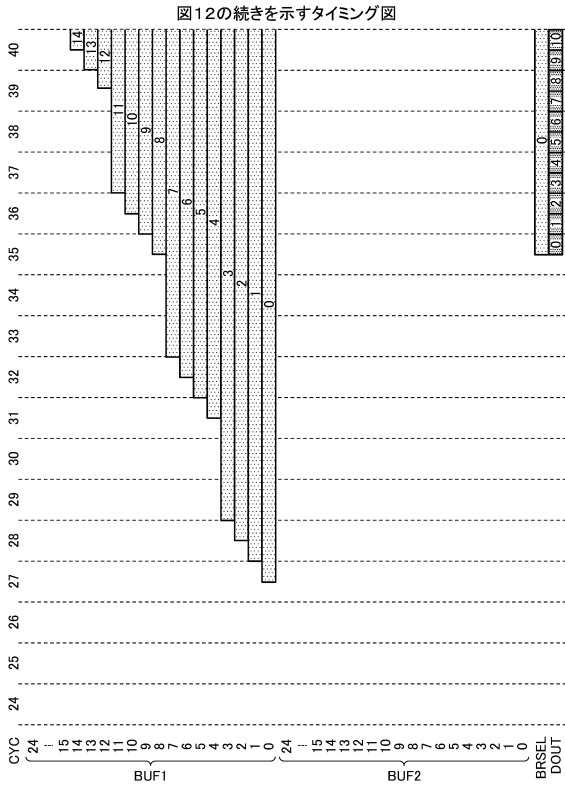
40

50

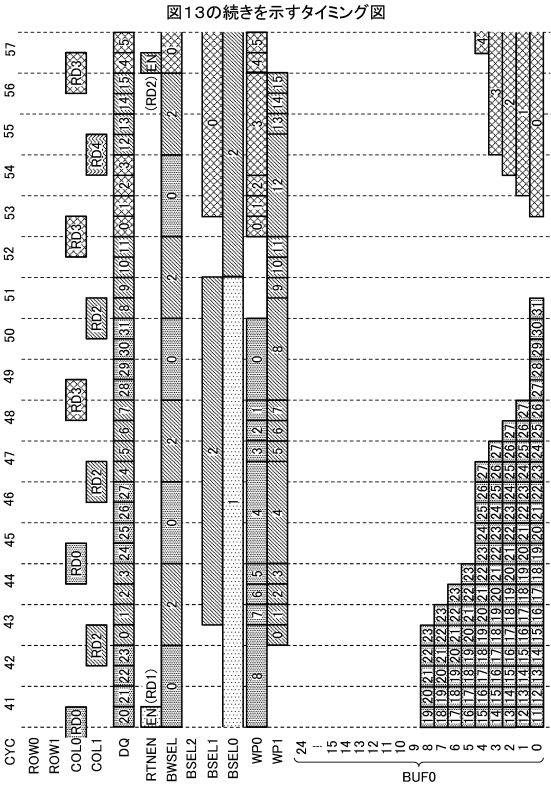
【図 1 3】



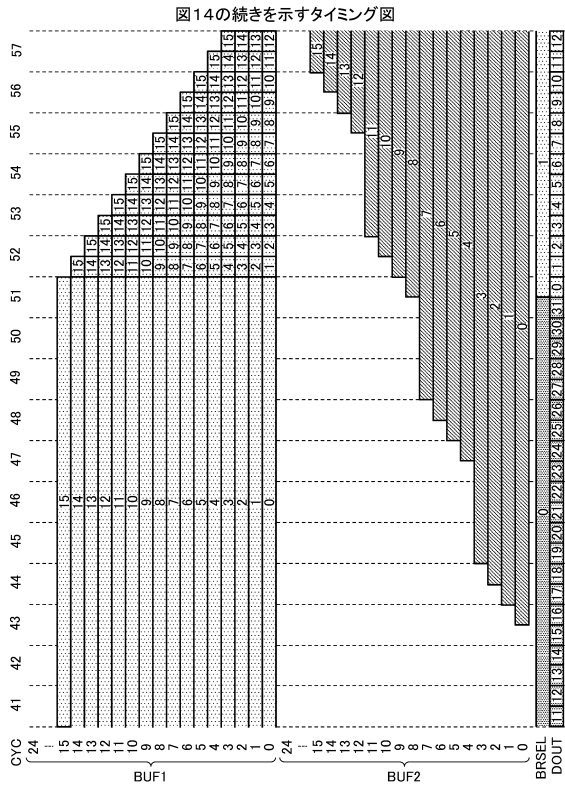
【図 1 4】



【図 1 5】



【図 1 6】



10

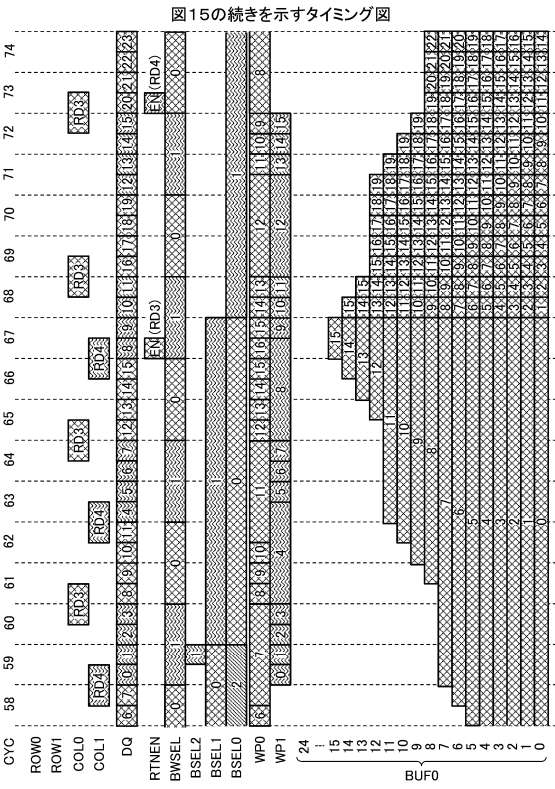
20

30

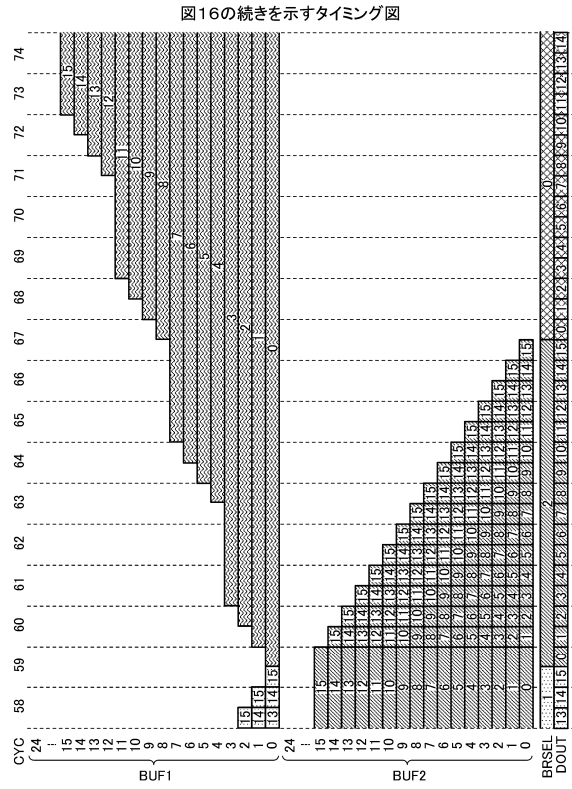
40

50

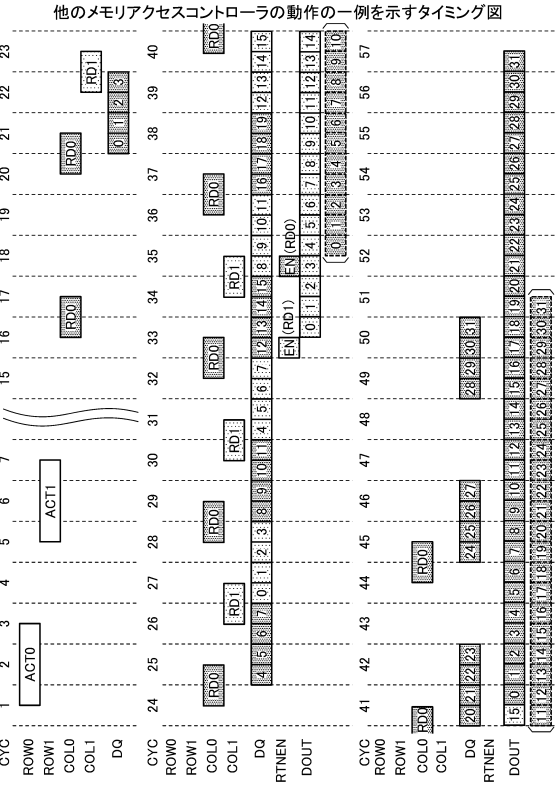
【図 17】



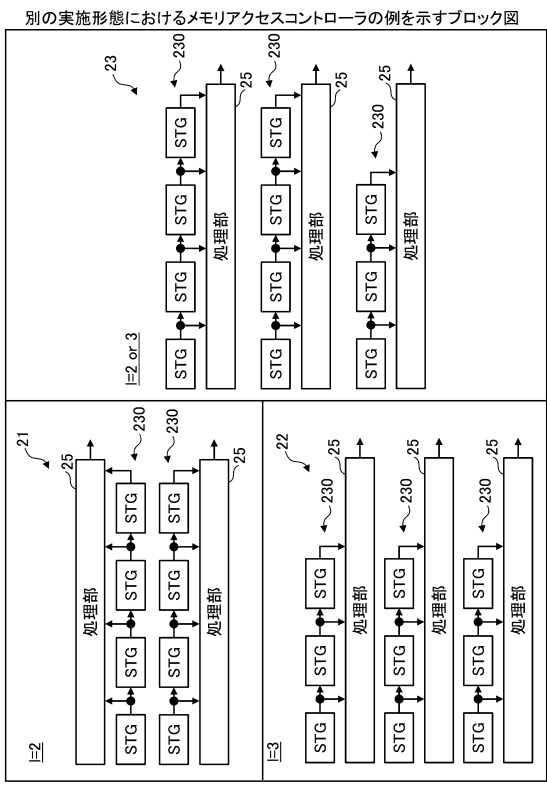
【図 18】



【図 19】



【図 20】



10

20

30

40

50

フロントページの続き

(56)参考文献 特表 2 0 0 5 - 5 2 5 6 5 2 (J P , A)

特表 2 0 1 5 - 5 0 0 5 4 1 (J P , A)

(58)調査した分野 (Int.Cl. , D B 名)

G 0 6 F 1 2 / 0 0

G 0 6 F 1 2 / 0 6