(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 21/28

(45) 공고일자 2005년08월04일
(11) 등록번호 10-0485030
(24) 등록일자 2005년04월14일

(21) 출원번호 10-1997-0058629
(22) 출원일자 1997년11월07일

(65) 공개번호 10-1998-0042180
(43) 공개일자 1998년08월17일

(30) 우선권주장 8-311322 1996년11월07일 일본(JP)
8-317139 1996년11월13일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 야마자끼 순페이
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

스자와 히데오미
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

후쿠치 쿠니히코
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인 황의만

심사관 : 이우식

# (54) 반도체장치의제조방법

요약

양호한 콘택트 성능을 갖는 배선 전극을 형성하기 위해, 절연막에 형성된 콘택트 홀을 덮는데 있어서, 먼저, 알루미늄으로 되어 있거나 알루미늄을 주성분으로 하는 배선재료의 막을 형성하고, 그 막 상에, 주기율표의 12족 내지 15족에 속하는 원소를 주성분으로 하는 막을 형성하고, 수소 함유 분위기에서 400℃로 0.5~2시간 가열처리를 행하여 상기 배선재료에 유동성을 제공하여, 확실한 콘택트를 실현한다.

대표도

도 2d

명세서

## 도면의 간단한 설명

도 1(A) 및 도 1(B)는 박막의 단면 형상을 설명하기 위한 사진.

도 2(A)~도 2(D)는 반도체장치의 제작공정을 나타내는 도면.

도 3은 반도체장치의 구조를 나타내는 도면.

도 4는 반도체장치의 구조를 나타내는 도면.

도 5(A) 및 도 5(B)는 멀티체임버형 성막장치를 나타내는 도면.

도 6(A)~도 6(F)는 응용 제품으로서의 반도체장치를 나타내는 도면.

* 도면의 주요 부분에 대한 부호의 설명

206: 소스 영역 207: 드레인 영역 211: 층간절연막

212: 콘택트 홀 213: 티탄막 214: 알루미늄막

215: 게르마늄막 216, 217, 218: 배선 전극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 알루미늄으로 되어 있거나 알루미늄을 주성분으로 하는 배선 전극을 가진 반도체장치를 제작하는 방법에 관한 것이다.

근년, 소자의 고밀도 집적화에 따라, 원 칩(one chip)상에 또는 동일 기판 상에 수 백만개의 대량의 반도체장치를 제작할 필요성이 증가되고 있다. 대량으로 반도체장치를 제작하는데 있어서 문제가 되는 것은 생산수율이고, 반도체장치의 동작 불량이 생산수율을 크게 저하시킨다. 반도체장치의 동작 불량의 주된 원인들 중 하나로서는, 접촉(콘택트) 불량이 지적되고 있다.

접촉 불량이란, 배선 전극과 반도체장치를 전기적으로 접속하는 부분(이하, '콘택트'라 칭한다)에서 접속 불량이 일어난 때 야기되는 동작 불량이다. 특히, 미세화 기술 및 다층 배선 기술에 의해 가느다란 구멍(콘택트 홀)을 통해 전기적 접속을 만드는 필요성이 증가되고 있는 점에서, 접촉 불량은 중대한 문제로 되어 있다.

접촉 불량의 원인은 크게 3가지로 분류된다. 첫 번째 원인은, 배선 전극을 형성하는 도전성 막과 소스/드레인 영역(반도체막) 또는 인출 전극(도전성 막)이 오믹 콘택트(ohmic contact)로 접속되어 있지 않은 것이다. 이것은 접촉면에 절연성 피막, 예를 들어, 금속 산화물 등이 형성되는 사실에 기인한다.

두 번째 원인은, 배선 전극을 형성하는 도전성 막의 커버리지(coverage)가 불량하여 콘택트 홀 내에서 단선(斷線)이 일어나는 것이다. 이 경우, 배선 전극의 성막 방법 또는 성막 조건에 의해 개선이 이루어져야 한다.

또한, 세 번째 원인은, 콘택트 홀의 단면 형상 등에 의해 야기되는 배선 전극의 단선이다. 콘택트 홀의 단면 형상은 접촉부에 덮인 절연물(SiN, $SiO_2$, 유기수지막 등)의 에칭 조건에 크게 의존한다.

특히, 반도체장치의 미세화에 의해 콘택트 홀의 어스펙트 비(aspect ratio)가 높게 됨에 따라 두 번째 및 세 번째 원인에 의한 접촉 불량이 현실화된다.

## 발명이 이루고자 하는 기술적 과제

본 명세서에 개시된 발명은, 상기한 문제를 해결함으로써, 접촉 불량에 의한 반도체장치의 동작 불량을 감소시키는 것을 과제로 한다. 특히, 본 발명의 목적은, 배선 전극으로서, 알루미늄으로 되어 있거나 알루미늄을 주성분으로 하는 재료를 사용한 경우에 접촉 불량을 제거하는 기술을 제공하는데 있다.

또한, 본 발명의 목적은, 콘택트의 신뢰성을 향상시킴으로써, 장기 신뢰성이 높은 반도체장치 또는 전기광학장치를 실현하는 기술을 제공하는데 있다. 또한, 본 발명의 목적은 제작공정의 수율을 높이는데 있다.

## 발명의 구성 및 작용

본 발명의 일 양태에 따르면, 도전성 재료와 그 도전성 재료 상에 형성된 절연막을 가지는 구조를 갖는 반도체장치를 제작하는 방법으로서, 절연막에 콘택트 홀을 형성하고 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정과, 적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 전기 접촉하는, 알루미늄으로 되어 있거나 알루미늄을 주성분으로 하는 배선재료를 형성하는 공정과, 그 배선재료의 표면에 주기율표의 12족 내지 15족에 속하는 원소를 주성분으로 하는 막을 형성하는 공정, 및 가열처리에 의해 상기 배선재료를 유동화 시키는 공정을 적어도 포함하고, 상기 가열처리가 수소 함유 분위기에서 400℃ 이하의 온도로 행해지는 것을 특징으로 하는 반도체장치 제작방법이 제공된다.

본 발명은, 특히 알루미늄(Al)으로 되어 있거나 알루미늄을 주성분으로 하는 배선재료에 12족 내지 15족에 속하는 원소를 첨가하는 것에 의해 배선재료의 유동화 온도를 낮추고, 가열처리에 의해 그 배선재료를 유동화 시키는 것에 의해 콘택트 홀에 대한 커버리지를 향상시키는 기술(이하, '리플로(reflow) 기술'이라 칭한다)이다.

그리고, 가장 중요한 특징은, 가열처리를 수소 함유 분위기에서 행함으로써 리플로 공정이 450℃ 이하, 바람직하게는 400℃ 이하(대표적으로는 350~400℃)의 온도에서 행해질 수 있다는데 있다. 또한, 본 발명자들은 조건을 최적화함으로써 350℃보다 낮은 온도에서도 리플로가 행해질 수 있다고 예상한다.

350℃라는 온도는 수소화에 자주 사용되는 온도이고, 이 온도는 알루미늄 배선에 힐록을 발생시키지 않는 온도로 인식된다. 또한, 400℃ 이하라는 온도는 다른 층에 형성된 배선 또는 절연막(예를 들어, 유기수지막)의 열(熱) 열화(劣化)를 감소 또는 방지하는데 매우 중요하다.

또한, 본 발명의 구성에 따르면, 알루미늄으로 되어 있거나 알루미늄을 주성분으로 하는 재료와 도전성 재료 사이에 티탄(Ti)막 등의 도전성 막이 끼워진 구조로 함으로써, 양호한 오믹 콘택트가 확보될 수 있다.

또한, 상기 도전성 재료로서는, 알루미늄으로 되어 있거나 알루미늄을 주성분으로 하는 재료(예를 들어, 배선 등을 형성하는 재료) 또는 도전성을 갖는 반도체 재료(예를 들어, 트랜지스터의 소스/드레인 영역을 형성하는 반도체 재료)가 대표적으로 지적된다. 물론, 탄탈, 텅스텐 등과 같은 금속이나 티탄 실리사이드 등도 도전성 재료에 포함된다.

또한, 리플로 공정에서 촉매로서 사용되는 12족 내지 15족에 속하는 원소로서는, 게르마늄(Ge), 주석(Sn), 갈륨(Ga), 납(Pb), 아연(Zn), 인듐(In) 및 안티몬(Sb)으로 이루어진 군으로부터 선택된 일 종류 또는 다수 종류의 원소가 효과적이다.

도전성 재료 상에 형성된 절연막에 대하여 콘택트 홀이 형성되고, 그 콘택트 홀을 덮도록 티탄막이 형성된다. 그 다음, 알루미늄으로 되어 있거나 알루미늄을 주성분으로 하는 배선재료가 그 티탄막 상에 적층된다.

또한, 배선재료를 형성한 후, 12족 내지 15족에 속하는 원소를 주성분으로 하는 막이 바람직하게는 대기에의 노출 없이 적층된다.

그리고, 수소 함유 분위기에서 400℃(대표적으로는, 350~400℃), 0.5~2시간의 가열처리를 행함으로써 배선재료를 유동화(리플로) 시킨다. 유동화된 배선재료는 콘택트 홀 내로 흘러 들어가서 콘택트 홀을 피복하기 때문에, 성막 시에 단선 불량 등이 야기되더라도, 그 불량이 리플로 공정에 의해 개선될 수 있다.

[실시예 1]

본 실시예에서는, 본 발명에 의한 리플로 공정의 효과를 실험 결과에 의거하여 나타낸다. 도 1(A) 및 도 1(B)는 콘택트 홀의 내부 단면을 나타내는 사진으로서, 콘택트 홀의 내부 직경은 약 2 ㎛이고, 층간절연막의 두께는 약 0.8 ㎛이다. 또한, 콘택트 홀에 매립되는 배선 구조는 하부 층으로부터 차례로 Ti(1000 Å)/Al-Si(5000 Å)/Sn(50 Å)의 층들로 구성되어 있다.

배선재료(Al-Si)를 두껍게 형성한 것은 리플로 효과를 보다 현저하게 확인할 수 있는 샘플을 제작하기 위한 것이다. 또한, 3층 구조로 된 배선의 형성은 도 5(A) 및 도 5(B)에 나타낸 멀티체임버형 스퍼터링 장치를 사용하여 연속적으로 행해진다.

상기 구조로 된 배선 구조를 형성한 후, 본 발명에 따라 400℃, 2시간의 가열처리를 행하여 리플로 처리를 행하였다. 도 1(A) 및 도 1(B)는 아래의 조건에 있어서의 기판에 대하여 콘택트 홀의 단면을 SEM(주사 전자현미경)으로 관찰한 것이다.

(a) 리플로 공정 전의 초기 상태

(b) 100% 수소 분위기에서의 400℃, 2시간의 리플로 공정 후의 상태

먼저, 도 1(A)는 리플로 공정 전의 초기 상태에서의 콘택트 홀의 단면을 나타내고, 이 상태에서는, 콘택트 홀의 바닥(콘택트 홀의 측벽에 가까운 영역)에서 배선재료의 단선 불량이 확인된다.

다음, 도 1(B)는 100% 수소 분위기에서 400℃, 2시간의 리플로 공정을 행한 후의 콘택트 홀의 단면을 나타낸다. 도 1(B)에서 명백한 바와 같이, 배선 형상이 균일화되어 완만한 것으로 되고, 콘택트 홀 내부에서의 배선재료의 접촉 상태가 매우 양호한 것으로 되어 있는 것을 확인할 수 있다.

상기한 바와 같이, 도 1(A) 및 도 1(B)를 비교하여 보면, 본 발명의 리플로 공정이 콘택트 홀 내부에서의 배선의 단선 불량을 개선하는데 명백히 효과적인 기술이다 것을 알 수 있다. 그리고, 리플로 공정이 400℃의 온도에서 행해질 수 있다는 사실은 다층 배선 구조에 사용될 수 있는 절연막의 선택폭을 넓히는데 있어 매우 중요한 의미를 가지는 것이다.

또한, 리플로 공정이 수소 분위기에서 행해진 경우에 배선의 유동화를 촉진시키는 이유는 명확히 알려져 있지 않지만, 본 발명자들은 배선(또는 촉매를 구성하는 막)의 표면에 형성된 자연 산화물이 수소의 환원 효과에 의해 배선재료의 유동화를 방해하지 않을 정도로 제거되기 때문인 것으로 예상한다.

[실시예 2]

본 실시예에서는, 본 발명에 따른 리플로 기술을 사용하여 박막트랜지스터(TFT)의 배선 전극을 형성하는 예를 나타낸다. 도 2(A)~도 2(D)에 의거하여 설명한다.

도 2(A)에서, 부호 201은 절연 표면을 가진 기판을 나타내고, 본 실시예에서는, 유리 기판 상에 산화규소막을 퇴적한 것을 사용한다. 그 위에, 결정성 규소막을 패터닝하여 얻어지는 활성층(202)이 배치된다. 결정성 규소막은 직접 형성되거나 또는 비정질 규소막을 결정화하여 형성될 수도 있다.

또한, 부호 203은 산화규소막으로 된 게이트 절연막을 나타내고, 204는 알루미늄을 주성분으로 하는 게이트 전극을 나타낸다. 부호 205는 게이트 전극(204)을 보호하기 위해 게이트 전극(204)을 양극산화하여 얻어진 양극산화막을 나타낸다.

도 2(A)의 상태가 얻어진 후, 한가지 도전성을 부여하는 불순물 이온(인 또는 붕소)을 2번의 공정으로 활성층(202)에 첨가한다. 이들 공정에 의해, 소스 영역(206), 드레인 영역(207), 저농도 불순물 영역(208, 209) 및 채널 형성 영역(210)이 형성된다. 특히, 저농도 불순물 영역(209)은 LDD(저농도로 도핑된 드레인) 영역으로 불린다.

본 출원인의 일본국 공개특허공고 평7-135318호 공보에 기재된 기술이 상기한 제작공정들에 이용된다. 그의 상세한 설명은 상기 공보를 참조하면 된다.

다음, 층간절연막(211)으로서 투과성 유기수지재료(본 실시예에서는 폴리이미드)를 1 ㎛의 두께로 형성한다. 층간절연막으로서 폴리이미드를 사용함으로써, 배선 등의 단차(段差)를 흡수하여 양호한 평탄면이 얻어진다. 따라서, 배선재료가 후의 공정에서 리플로될 때, 단차부에서 막 두께가 매우 얇게 되지 않는다. 또한, 리플로 공정이 400℃ 이하의 온도에서 행해지기 때문에, 폴리이미드가 열화(劣化)되지 않는다.

또한, 층간절연막(211)으로서 질화규소막 또는 산화규소막이 사용될 수도 있다. 이 경우, 성막 방법으로서, 플라즈마 CVD(화학적 기상 증착)법 또는 감압 열 CVD법이 사용될 수 있다. 질화규소막이 사용되는 경우에는, 후의 공정에서 콘택트 홀을 형성하는데 있어서 에칭 스톱퍼(stopper)를 구성하도록 최하층에 얇은 산화규소막을 형성하여 두는 것이 바람직하다.

층간절연막(211)을 형성한 후, 콘택트 홀(212)을 형성한다. 본 실시예에서는, 콘택트 홀을 건식 에칭법으로 형성하였다. 건식 에칭법에 의한 에칭은 높은 어스펙트 비를 갖는 콘택트 홀을 형성할 수 있기 때문에 미세화에 필요불가결한 기술이다.

상기한 공정들에 의해, 도 2(B)에 나타낸 상태가 얻어진다. 도 2(B)의 상태가 얻어진 후, 층간절연막(211)상에 티탄막(213)을 500～1000 Å의 두께로 형성한다. 이 티탄막(213)은 TFT와 배선 전극 사이의 오믹 콘택트를 양호하게 하는 효과를 가진다.

그 위에, 알루미늄을 주성분으로 하는 배선재료(알루미늄에 스칸듐, 규소, 구리 등을 포함시킨 합금 등)(214)를 3000 Å의 두께로 형성한다. 그리고, 후의 리플로 공정에서 필요한, 12족 내지 15족에 속하는 원소로 구성된 금속막(215)을 50～100 Å의 두께로 형성한다. 이 적층 막은 연속적으로 형성되는 것이 바람직하다. 또한, 성막 방법으로서는 CVD법 또는 PVD(물리적 기상 증착)법을 사용하는 것이 바람직하다.

또한, 후의 리플로 공정을 효과적으로 행하기 위해 배선재료(214) 중의 산소 농도는 $5 \times 10^{19}$ 원자/$cm^3$ 이하, 바람직하게는, $1 \times 10^{19}$ 원자/$cm^3$ 이하(더 바람직하게는, $3 \times 10^{18}$ 원자/$cm^3$ 이하)인 것이 바람직하다. 이 산소 농도는 SIMS(2차 이온 질량 분석)의 측정치의 최소값으로 정의되는 값이다.

리플로 공정에서는 알루미늄 표면의 산화물이 유동화를 방해하는 요인이 되기 때문에, 산소의 존재에 의해 배선재료의 유동화가 방해될 가능성이 있다. 따라서, 배선재료에 포함되는 산소를 가능한 한 줄이는 것이 바람직하다. 그 목적을 위해, 배선재료(214)의 성막을 초고진공으로 청정화된 체임버 내에서 행하는 것이 바람직하다.

또한, 금속막(215)을 구성하는 원소로서는, 게르마늄(Ge), 주석(Sn), 갈륨(Ga), 아연(Zn), 납(Pb), 인듐(In) 및 안티몬(Sb)으로 이루어진 군으로부터 선택된 일 종류 또는 다수 종류의 원소가 사용될 수 있다. 이들 원소와 알루미늄을 포함하는 합금의 2원계상도(二元系相圖)에 따르면, 이들 원소는 알루미늄의 융점(엄밀하게는, 유동화 온도)을 낮추기 위한 촉매 원소로서 기능한다는 것이 알려졌다. 또한, 금속막(215)은 단일 층으로 구성될 필요는 없고, 예를 들어, 게르마늄과 주석의 적층 막의 형태를 가질 수도 있다.

상기한 구조로 된 적층 막을 형성한 시점에서의 상태가 도 2(C)에 나타내어져 있다. 이때, 도 2(C)에 나타낸 바와 같이, 콘택트 홀(212)의 어스펙트 비가 높기 때문에, 콘택트 홀의 내부(특히, 측벽)에 배선재료를 형성하는 것이 어렵다. 따라서, 콘택트 홀의 바닥에서 단선 불량이 발생할 확률이 높다.

따라서, 이 상태에서 배선재료에 유동성을 제공하기 위한 리플로 공정이 실시된다. 본 발명의 특징은 리플로 공정을 수소 분위기에서 행하는 것에 있다. 또한, 리플로 공정의 처리온도는 400℃ 이하(대표적으로는, 350～400℃)이고, 처리시간은 0.5～2 시간이다. 본 실시예에서는, 리플로 공정이 수소 분위기에서 400℃, 1시간의 가열처리에 의해 행해진다.

리플로 공정에 의해 배선재료(214)에 유동성이 제공되고, 배선재료(214)가 콘택트 홀의 내부를 효과적으로 피복할 수 있다. 그 결과, 배선재료(214)가 충분한 막 두께로 콘택트 홀(212)의 측면에 형성되고, 바닥의 단선 불량이 개선된다.

또한, 본 발명에 따른 리플로 공정이 400℃ 이하의 온도로 행해지기 때문에, 알루미늄을 주성분으로 하는 배선재료의 표면에서의 힐록 또는 휘스커의 발생이 억제될 수 있다. 또한, 리플로 공정에서, 활성층을 수소화하는 효과도 기대될 수 있다.

상기한 리플로 공정에 의해 얻어진 배선재료를 패터닝하여, 소스 배선(216), 드레인 배선(217) 및 게이트 배선(218)을 형성한다. 그 다음, 전체를 수소화함으로써, 도 2(D)에 나타낸 구조를 갖는 TFT가 얻어진다.

본 실시예에서는 플레이너(planar)형 TFT의 제작방법을 설명했지만, 본 발명은 TFT의 구조에 관계없이 실시될 수 있다. 즉, TFT의 구조는 도 2(D)에 나타낸 구조에 한정되지 않고, 예를 들어, 역스태거형 TFT 또는 살리사이드(salicide) 구조를 갖는 것과 같은 구조에도, 본 발명은 본 발명을 실시하는 사람의 필요에 따라 쉽게 적용될 수 있다.

본 발명을 이용하여 형성된 TFT는 접촉 불량의 가능성이 현저하게 감소되고 매우 신뢰성이 높은 동작을 실현한다. 또한, 본 발명을 이용함으로써 TFT의 생산수율이 대폭 향상되어, 경제적 장점도 막대하다.

[실시예 3]

본 실시예는 본 발명을 다층 배선 구조를 갖는 반도체장치에 적용한 경우의 예를 나타낸다. 그의 일 예로서, 도 3은 층간절연막으로서 투과성 유기수지재료를 사용한 경우의 구조를 나타낸다.

도 3은 유리 기판 상에 형성된 N채널형 TFT(301)와 P채널형 TFT(302)를 상보적으로 결합한 CMOS(상보형 금속 산화물 반도체) 회로를 나타낸다. TFT의 제작공정은 공지의 기술에 의거하기 때문에, 여기서는 그의 설명을 생략한다.

도 3에서, TFT(301, 302)와 직접 접촉하는 제1 배선(304)(동일 층에 형성된 모든 배선을 포함한다)이 제1 층간절연막(303)상에 형성된다. 먼저, 본 발명은 제1 배선(304)이 형성될 때 이용될 수 있다.

그 다음, 그 위에 제2 층간절연막(305)으로서 투과성 유기수지재료를 퇴적하고, 그 위에, 제2 배선(306)을 형성한다. 본 발명은 제2 배선(306)에 대해서도 적용될 수 있다. 이것은 매우 중요한 의미를 갖는다.

투과성 유기수지재료로서는, 폴리이미드, 폴리아미드, 폴리이미드아미드 등이 대표적이다. 층간절연막으로서 투과성 유기수지재료를 사용하면, 그 막이 스피닝(spinning)법으로 형성될 수 있기 때문에 막 두께가 쉽게 증대될 수 있고, 스루풋(throughput)이 향상될 수 있다. 또한, 비유전율이 낮기 때문에 배선간의 기생용량이 감소될 수 있다. 그러나, 투과성 유기수지재료의 내열성 때문에, 성막 후의 최대 가열온도는 450℃ 이하(바람직하게는, 400℃ 이하)로 제한될 필요가 있다.

그러나, 본 발명에 따르면, 400℃ 이하(대표적으로는 350~400℃)에서 배선재료의 리플로를 행할 수 있기 때문에, 층간절연막으로서 투과성 유기수지재료를 이용한 경우라도 아무런 문제없이 리플로 공정이 실시될 수 있다.

따라서, 도 3에서는 투과성 유기수지재료가 제3 층간절연막(307)으로도 사용되고, 그 위에, 본 발명을 사용하여 제3 배선(308)이 형성되지만, 하부 층의 층간절연막이 가열처리에 의해 열화되는 것을 방지하는 것이 가능하다.

또한, 본 실시예에서는 층간절연막으로서 투과성 유기수지재료를 이용하는 예를 나타냈지만, 층간절연막으로 산화규소막, 질화규소막, 산화질화규소막 등이 사용되는 경우에도 동일하게 적용될 수 있다.

상기한 바와 같이, 본 발명을 이용함으로써, 내열성이 낮은 재료를 층간절연막으로 이용하는 것이 가능하게 되어, 장치를 설계하는데 있어서의 디자인 마진이 넓어질 수 있다.

[실시예 4]

본 발명은 단결정 실리콘 기판 상에 형성된 IGFET(절연 게이트형 전계효과 트랜지스터)에 적용 가능하다. 또한, 본 발명은 단결정 실리콘을 활성층으로 하는 SOI 구조에도 적용 가능하다.

도 4는 SOI 구조를 이용한 3차원 다층 구조의 반도체장치로서 BiCMOS 회로를 구성한 경우의 일 예를 나타낸다. 이 경우, 하부 층이 바이폴라 트랜지스터로 구성되고, 상부 층이 SOI 구조의 반도체장치로 구성되는 CMOS 회로가 나타내어져 있다.

도 4에서, 부호 401은 P형 규소 기판을 나타내고, 402는 매립된 N+ 영역을 나타내고, 403은 에피택셜 성장에 의해 형성된 p 웰(well)을 나타내고, 매립된 N+ 영역(402) 상의 p 웰이 N형으로 반전되어 콜렉터로서 기능하는 n 웰(404)을 구성한다. 또한, 부호 405는 매립된 N+ 영역(402)으로부터의 인출 전극을 구성하는 딥(deep) N+ 영역을 나타낸다. 또한, 부호 406은 통상의 선택적 산화법에 의해 형성된 필드 산화막을 나타낸다.

먼저, 바이폴라 트랜지스터를 구성하는 n 웰(404)에, 활성 베이스가 되는 p- 영역(407)이 형성되고, 이어서, 외부 베이스가 되는 p+ 영역(408)과, 에미터 영역이 되는 n+ 영역(409)이 배치된다.

그리고, 콜렉터 전극(411), 베이스 전극(412) 및 에미터 전극(413)을 형성하여, 바이폴라 트랜지스터가 구성된다. 본 발명은 이들 전극을 형성하는데 적용될 수 있다.

상기한 구성으로 되는 바이폴라 트랜지스터 상에는, 웨이퍼 페이스트(paste) 기술을 이용하여 얻어진 단결정 실리콘 층을 활성층으로 하는 SOI 구조의 CMOS 회로가 형성되어 있다. 부호 410으로 나타낸 층간절연막은 접촉면(점선으로 표시됨)을 포함한다. 여기서, CMOS 회로의 상세한 설명은 생략한다.

그리고, 배선(414, 415)에 의해 CMOS 회로와 바이폴라 트랜지스터를 접속하여 BiCMOS 구조를 실현할 수 있다. 이 때, CMOS 회로를 구성하는 배선(416, 417)과, CMOS 회로와 바이폴라 트랜지스터를 접속하는 배선(414, 415)에 본 발명을 적용할 수 있다.

상기한 바와 같이, SOI 구조를 이용하여 3차원 집적화 회로를 구성하는 경우에 있어서도, 다른 배선이나 층간절연막의 열화 없이 리플로 공정이 실시될 수 있고, 매우 신뢰성이 높은 콘택트가 실현될 수 있다. 즉, 본 발명은 3차원 구조를 갖는 반도체장치를 제작하는데 매우 효과적인 기술이다.

또한, 본 실시예에서는 BiCMOS 회로를 구성하는 예를 나타냈지만, 본 발명은 BiCMOS 회로뿐만 아니라, DRAM(다이나믹 랜덤 액세스 메모리) 회로, SRAM(스태틱 랜덤 액세스 메모리) 등의 논리회로에도 적용 가능하고, 매우 신뢰성이 높은 VLSI 회로(초대규모 반도체 집적회로) 또는 ULSI 회로(극초대규모 반도체 집적회로)를 실현할 수 있다.

[실시예 5]

본 발명에 따른 리플로 공정을 실시하기 위한 가열처리로서 RTA(급속 열 어닐)를 이용하는 것도 가능하다.

RTA는 램프 등에 의해 적외선, 자외선 등의 강광(强光)을 피처리체에 조사(照射)하는 어닐 방법이다. 이 방법의 특징으로서는, 승온 속도 및 강온 속도가 빠르고, 처리시간이 수 초 내지 수 십초로 짧아서, 실질적으로 최상부 표면의 박막만을 가열할 수 있다는 것이다. 즉, 예를 들어, 유리 기판 상의 박막만을 1000℃ 정도의 매우 높은 온도로 어닐할 수 있다.

본 실시예에서 설명되는 RTA 기술을 응용하면, 게이트 전극의 내열성을 초과하는 온도에서의 가열처리가 가능하게 되기 때문에, 리플로 온도의 허용 범위가 넓어진다. 따라서, 리플로 공정에 이용하는 금속원소의 선택폭이 넓어질 수 있다.

또한, RTA 공정은 수 초 내지 수 십초의 매우 짧은 시간에 실행될 수 있기 때문에, 생산성의 관점에서도 매우 효과적인 수단이다.

[실시예 6]

본 발명은 수소 분위기에서 리플로 공정을 실행하는데 있어서 가장 중요한 특징을 가지며, 통상의 가열처리를 실행하는데 있어서는 수소가 분자 상태 또는 원자 상태로 존재한다. 본 실시예에서는 리플로 공정에서 수소 라디칼 또는 수소 이온을 이용하는 예를 나타낸다.

이 목적을 위해, 수소 분위기에서 플라즈마를 발생시키고, 수소를 여기(勵起)시킨 분위기에서 리플로 공정을 행한다. 라디칼화 또는 이온화되어 활성화 상태에 있는 수소를 리플로 공정에 이용함으로써, 리플로 공정의 효율이 향상될 수 있다.

또한, 본 실시예는 실시예 5에서 설명된 RTA 기술과 조합될 수도 있다. 그리하여, 스루풋의 추가 향상이 기대될 수 있다.

[실시예 7]

본 실시예에서는, 실시예 1 또는 실시예 2에서 설명된 배선 전극을 구성하는 적층 막을 형성하는데 있어서 도 5(A) 및 도 5(B)에 나타낸 구성의 멀티체임버(클러스터 툴) 구조의 성막장치를 사용하는 예를 나타낸다.

도 5(A) 및 도 5(B)에 나타낸 멀티체임버 구조의 성막장치는 각각의 반응실에서 상이한 조성(상이한 원소의 경우를 포함)을 갖는 박막을 연속적으로 적층할 수 있는 스퍼터링 장치의 일 예이다.

여기서, 도 5(A)에 나타낸 스퍼터링 장치의 간단한 구성을 설명한다. 부호 10은 피처리 기판을 나타내고, 11은 장치 본체를 구성하는 공통 실을 나타내고, 12는 기판(10)을 반송(搬送)하기 위한 반송기구를 나타낸다. 기판(10)은 장치 본체(11)에 부착된 로드 록(load lock) 실(13, 14)로부터 반입·반출된다. 또한, 부호 15와 16은 로드 록 실(13, 14)에 설치된 기판 반송 카세트를 나타낸다. 또한, 로드 록 실(13, 14)은 게이트 밸브(17, 18)에 의해 공통 실(11)로부터 밀봉적으로 차폐될 수 있다.

공통 실(11)에는, 제1 반응실(19), 제2 반응실(20) 및 제3 반응실(21)이 연결되어 있고, 제1～제3 반응실 각각은 게이트 밸브(22, 23, 24)에 의해 공통 실(11)로부터 밀봉적으로 차폐될 수 있다. 또한, 제1～제3 반응실 각각에는, 초고진공($1 \times 10^{-8}$ 토르(torr) 이하, 바람직하게는 $1 \times 10^{-9}$ 토르 이하)으로까지 감압시킬 수 있는 진공 배기 펌프(도시하지 않음)가 제공되어 있다.

또한, 부호 25는 리플로 공정에서 가열처리를 행하기 위한 체임버인 가열실을 나타낸다. 이 가열실(25)은 스루풋을 고려하여 RTA 처리를 행할 수 있는 구성으로 하는 것이 바람직하다. 물론, 실시예 5에서 설명된 수소 라디칼을 발생시키기 위해 플라즈마 발생기구를 구비한 구성으로 할 수도 있다. 또한, 가열실(25)도 게이트 밸브(26)에 의해 공통 실(11)로부터 밀봉적으로 차폐될 수 있다.

도 5(B)는 도 5(A)에 나타낸 스퍼터링 장치를 점선을 따라 절단한 단면의 개략을 나타낸다. 또한, 도 5(A)에 나타낸 개략도를 더 상세히 설명하기 때문에, 도 5(B)의 단면이 도 5(A)의 단면과 반드시 일치하지는 않지만, 기본적으로 동일 스퍼터링 장치의 설명이다.

공통 실(11)내에 배치된 반송기구(12)는 상하좌우로 움직일 수 있고, 기판(10)을 반응실(19～21) 또는 가열실(25)로 반송한다. 여기서 주목하여야 하는 것은, 반송기구(12)는 기판(10)이 항상 그의 주 표면(장치 형성면)을 아래로 향하게 하여 반송되는 페이스 다운(face down) 방식으로 되어 있다는 것이다. 이 방식은 기판(10)에의 먼지의 부착을 감소시키는데 바람직하다. 물론, 기판의 주 표면을 위로 향하게 하는 페이스 업(face up) 방식이 사용될 수도 있다.

반응실(21)은 타겟 지지대(31), 타겟(32), 셔터(33) 및 기판 홀더(34)로 구성되어 있다. 기판 홀더(34)는 페이스 다운 방식을 채택하고 있으므로 기판(10)의 단부의 수 밀리미터만을 지지하도록 설계되어 있어, 기판의 표면이 오염되지 않는다. 그 외에도, 페이스 업 방식이나 기판을 수직으로 배치하여 성막하는 방식 등이 사용될 수도 있다.

가열실(25)은 기판 홀더(35)와 가열 램프(36, 37)로 구성되어 있다. 이 기판 홀더(35)도 페이스 다운 방식을 채택하고 있다. 또한, 한 쌍의 가열 램프(36, 37)에 의해 기판(10)의 양면으로부터 가열이 실행될 수 있다. 이 장치의 경우, 가열 램프(37)가 기판의 주 표면측을 가열하는 메인 램프를 구성한다. 물론, 페이스 업 방식 등이 사용될 수도 있다.

다음, 상기한 바와 같이 구성된 스퍼터링 장치를 사용하여 상이한 조성의 박막으로 된 적층 구조를 형성하는 예를 설명한다.

예를 들어, 제1 반응실(19)에는 Al(또는 Al-Si, Al-Si-Cu 등) 타겟이 설치되어 있고, 제2 반응실(20)에는 Ge(또는 Sn, Ga 등) 타겟이 설치되어 있으며, 제3 반응실(21)에는 Ti(또는 TiN 등) 타겟이 설치되어 있다. 그 다음, 대기에의 노출 없이 각각의 타겟을 연속적으로 사용하여 성막을 행함으로써 Ti-Al-Ge 적층 구조 또는 Ti-Al-Ge-Ti 적층 구조 등을 얻을 수 있다.

또한, 필요에 따라 반응실의 수를 증감하는 것은 실시자의 자유이고, 예를 들어, 제1～제4 반응실을 갖는 장치를 구성함으로써 Ti-Al-Ge-Sn 적층 구조 등을 얻을 수도 있다.

리플로 공정에서, 리플로 처리를 받는 금속 박막의 표면 형상 및 표면 상태는 리플로 공정에 중대하게 영향을 미치는 중요한 인자이다. 예를 들어, 대기 중에서는, 알루미늄을 주성분으로 하는 박막 표면에 자연 산화물이 즉시 형성되고, 그 자연 산화물은 리플로 공정을 방해하는 요인이 된다. 또한, 자연 산화물은 절연성이므로, 다른 도전성 박막과의 오믹 콘택트를 저해한다.

그러나, 본 실시예에서는, 상이한 조성을 갖는 금속 박막을 대기에의 노출 없이 적층할 수 있기 때문에, 상기한 문제들이 발생하지 않는다. 특히, 알루미늄 표면은 산화되기 쉽기 때문에, 대기에의 노출 없이 금속 박막을 적층할 수 있는 본 실시예의 효과는 매우 유효하다.

[실시예 8]

본 발명은 배선 구조를 필요로 하는 모든 반도체장치에 적용 가능하다. 따라서, 본 발명은 절연 게이트형 트랜지스터뿐만 아니라, 박막 다이오드, 바이폴라 트랜지스터, 사이리스터, 정전 유도형 트랜지스터 등의 반도체장치에 대해서도 적용 가능하다.

또한, 본 명세서에서의 반도체장치는 반도체를 이용하여 기능하는 장치 전반을 칭하고, 상기한 각종 반도체장치로 구성된 투과형 또는 반사형 전기광학장치(액정 표시장치, EL 표시장치, EC 표시장치 등), 및 그러한 전기광학장치가 설치된 응용 제품도 그의 범주에 포함하는 것으로 한다.

본 실시예에서는, 도시된 예에 의거하여 응용 제품에 대하여 설명한다. 본 발명을 이용한 반도체장치로서는, TV 카메라, 헤드 장착형 표시장치, 자동차 네비게이션 시스템, 프로젝션 시스템(프런트(front)형과 리어(rear)형이 있다), 비디오 카메라, 퍼스널 컴퓨터 등이 있다. 도 6(A)~도 6(F)를 참조하여 간단히 설명한다.

도 6(A)는 본체(2001), 카메라부(2002), 수상부(2003), 조작 스위치(2004) 및 표시장치(2005)로 구성된 모바일 컴퓨터를 나타낸다. 본 발명은 표시장치(2005) 및 장치 내부에 설치된 집적화 회로(2006)에 적용된다.

도 6(B)는 본체(2101), 표시장치(2102) 및 밴드부(2103)로 구성된 헤드 장착형 표시장치를 나타낸다. 표시장치(2102)는 비교적 작은 사이즈의 것이 2개 사용된다.

도 6(C)는 본체(2201), 표시장치(2202), 조작 스위치(2203) 및 안테나(2204)로 구성된 자동차 네비게이션 시스템을 나타낸다. 본 발명은 표시장치(2202) 및 장치 내부의 집적화 회로에 적용 가능하다. 표시장치(2202)는 모니터로서 이용되고, 이 장치의 주된 목적이 지도를 표시하는 것이기 때문에 해상도의 허용 범위는 비교적 넓다,

도 6(D)는 본체(2301), 음성 출력부(2302), 음성 입력부(2303), 표시장치(2304), 조작 스위치(2305) 및 안테나(2306)로 구성된 휴대 전화기를 나타낸다. 본 발명은 표시장치(2304) 및 장치 내부의 집적화 회로에 적용 가능하다.

도 6(E)는 본체(2401), 표시장치(2402), 음성 입력부(2403), 조작 스위치(2404), 배터리(2405) 및 수상부(2406)로 구성된 비디오 카메라를 나타낸다. 본 발명은 표시장치(2402) 및 장치 내부의 집적화 회로에 적용 가능하다.

도 6(F)는 본체(2501), 광원(2502), 반사형 표시장치(2503), 광학계(빔 스플리터, 편광자 등이 포함된다)(2504), 스크린(2503)으로 구성된 프런트형 프로젝션 시스템을 나타낸다. 스크린(2505)은 회의나 학회발표 등에서의 프레젠테이션에 사용되는 대화면 스크린이기 때문에, 표시장치(2503)는 높은 해상도가 요구된다.

또한, 본 실시예에서 나타낸 전기광학장치 외에도, 본 발명은 리어형 프로젝션 시스템 또는 핸디 단말기 등의 휴대형 정보 단말장치에도 적용 가능하다. 상기한 바와 같이, 본 발명의 응용 범위는 매우 넓고, 본 발명은 모든 분야의 표시 매체에 적용될 수 있다.

## 발명의 효과

알루미늄을 주성분으로 하는 배선 전극에 콘택트를 형성하는데 있어서, 12족 내지 15족에 속하는 원소를 사용한 리플로 공정을 행함으로써, 원소의 작용에 의해 확실한 콘택트가 형성될 수 있다. 그 결과, 모든 구조의 반도체장치에서 양호한 콘택트가 달성될 수 있고, 반도체장치의 신뢰성이 대폭 향상될 수 있다.

또한, 이 경우, 리플로 공정이 400℃ 이하, 대표적으로는, 350~400℃의 낮은 온도에서 실행될 수 있기 때문에, 리플로 공정에 의해 야기되는 다른 층들의 배선 및 절연막의 열 열화가 방지될 수 있다. 또한, 다층 배선 구조를 갖는 반도체장치를 제작하는데 있어서, 사용하는 절연막 재료의 선택폭이 넓어질 수 있다.

(57) 청구의 범위

## 청구항 1.

도전성 재료와 그 도전성 재료 상에 형성된 절연막을 갖는 구조를 가지는 반도체장치를 제조하는 방법으로서,

상기 절연막에 콘택트 홀을 형성하여 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정;

적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 전기 접촉하는, 알루미늄으로 되어 있거나 알루미늄을 주성분으로 하는 배선 재료를 형성하는 공정;

상기 배선 재료의 표면에, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 주성분으로 하는 막을 형성하는 공정; 및

수소 함유 분위기에서 400℃ 이하의 온도로 행해지는 가열처리에 의해 상기 배선 재료를 유동화 시키는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 2.

도전성 재료와 그 도전성 재료 상에 형성된 절연막을 갖는 구조를 가지는 반도체장치를 제조하는 방법으로서,

상기 절연막에 콘택트 홀을 형성하여 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정;

적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 접촉하는 티탄막을 형성하는 공정;

상기 티탄막의 표면과 접촉하는, 알루미늄으로 되어 있거나 알루미늄을 주성분으로 하는 배선 재료를 형성하는 공정;

상기 배선 재료의 표면에, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 주성분으로 하는 막을 형성하는 공정; 및

수소 함유 분위기에서 400℃ 이하의 온도로 행해지는 가열처리에 의해 상기 배선 재료를 유동화 시키는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 3.

도전성 재료로 된 배선과 유기수지 재료로 된 절연막을 적층하여 구성되는 다층 배선 구조를 갖는 반도체장치를 제조하는 방법으로서,

상기 절연막에 콘택트 홀을 형성하여 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정;

적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 전기 접촉하는, 알루미늄으로 되어 있거나 알루미늄을 주성분으로 하는 배선 재료를 형성하는 공정;

상기 배선 재료의 표면에, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 주성분으로 하는 막을 형성하는 공정; 및

수소 함유 분위기에서 400℃ 이하의 온도로 행해지는 가열처리에 의해 상기 배선 재료를 유동화 시키는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 4.

도전성 재료와 그 도전성 재료 상에 형성된 절연막을 갖는 구조를 가지는 반도체장치를 제조하는 방법으로서,

수지 재료로 된 상기 절연막에 콘택트 홀을 형성하여 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정;

적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 전기 접촉하는, 알루미늄으로 되어 있거나 알루미늄을 주성분으로 하는 배선 재료를 형성하는 공정;

상기 배선 재료의 표면에, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 주성분으로 하는 막을 형성하는 공정; 및

수소 함유 분위기에서 RTA(급속 열 어닐)에 의해 행해지는 가열처리에 의해 상기 배선 재료를 유동화 시키는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 5.

도전성 재료와 그 도전성 재료 상에 형성된 절연막을 갖는 구조를 가지는 반도체장치를 제조하는 방법으로서,

수지 재료로 된 상기 절연막에 콘택트 홀을 형성하여 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정;

적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 접촉하는 티탄막을 형성하는 공정;

상기 티탄막의 표면과 접촉하는, 알루미늄으로 되어 있거나 알루미늄을 주성분으로 하는 배선 재료를 형성하는 공정;

상기 배선 재료의 표면에, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 주성분으로 하는 막을 형성하는 공정; 및

수소 함유 분위기에서 RTA(급속 열 어닐)에 의해 행해지는 가열처리에 의해 상기 배선 재료를 유동화 시키는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 6.

도전성 재료로 된 배선과 유기수지 재료로 된 절연막을 적층하여 구성되는 다층 배선 구조를 갖는 반도체장치를 제조하는 방법으로서,

상기 절연막에 콘택트 홀을 형성하여 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정;

적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 전기 접촉하는, 알루미늄으로 되어 있거나 알루미늄을 주성분으로 하는 배선 재료를 형성하는 공정;

상기 배선 재료의 표면에, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 주성분으로 하는 막을 형성하는 공정; 및

수소 함유 분위기에서 RTA(급속 열 어닐)에 의해 행해지는 가열처리에 의해 상기 배선 재료를 유동화 시키는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 7.

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 배선 재료와, 12족 내지 15족에 속하는 원소를 주성분으로 하는 상기 막이 대기에의 노출 없이 연속적으로 적층되는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 8.

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 도전성 재료가 알루미늄으로 되어 있거나 알루미늄을 주성분으로 하는 재료 또는 도전성의 반도체 재료인 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 9.

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 12족 내지 15족에 속하는 상기 원소로서, 게르마늄, 주석, 갈륨, 납, 아연, 인듐, 안티몬으로 이루어진 군으로부터 선택된 일 종류 또는 다수 종류의 원소가 사용되는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 10.

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 절연막이 투과성 유기수지 재료로 되어 있는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 11.

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 수소 함유 분위기에는, 플라즈마에 의해 여기된 라디칼상(狀) 수소와 이온상 수소 중 적어도 한가지가 존재하는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 12.

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 알루미늄으로 되어 있거나 알루미늄을 주성분으로 하는 상기 배선 재료 중의 산소 농도가 $5\times10^{19}$ 원자/$cm^3$ 이하인 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 13.

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 절연막이 투과성 유기수지 재료로 되어 있고, 상기 배선 재료가 그 투과성 유기수지 재료에 의해 제공되는 평탄면 상에서 유동화되는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 14.

기판 위에 제1 도전성 층을 형성하는 공정;

상기 제1 도전성 층 위에 수지 재료로 된 절연막을 형성하는 공정;

상기 절연막에 적어도 하나의 콘택트 홀을 형성하여 그 콘택트 홀에서 상기 제1 도전성 층의 일부를 노출시키는 공정;

상기 콘택트 홀 내에서 상기 절연막 상에 알루미늄으로 된 제2 도전성 층을 형성하는 공정;

상기 제2 도전성 층에 접촉하여, 12족 내지 15족에 속하는 원소를 함유하는 막을 형성하는 공정; 및

상기 제2 도전성 층을 유동화 시키기 위해 상기 제2 도전성 층과 상기 막을 가열하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 15.

제 14 항에 있어서, 상기 절연막과 상기 제2 도전성 층 사이에, 티탄으로 된 또 다른 막을 형성하는 공정을 더 포함하는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 16.

제 14 항에 있어서, 상기 제2 도전성 층 중의 산소 농도가 $5\times10^{19}$ 원자/$cm^3$ 이하인 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 17.

기판 위에 박막트랜지스터를 형성하는 공정;

상기 박막트랜지스터 위에 수지 재료로 된 제1 절연막을 형성하는 공정;

상기 제1 절연막에 적어도 하나의 콘택트 홀을 형성하는 공정;

상기 콘택트 홀 내에서 상기 제1 절연막 상에 알루미늄으로 된 도전성 막을 형성하는 공정;

상기 도전성 막에 접촉하여, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 함유하는 막을 형성하는 공정; 및

상기 도전성 막이 상기 콘택트 홀을 통하여 상기 박막트랜지스터와 전기적으로 접속되도록 상기 도전성 막을 유동화 시키기 위해 상기 도전성 막과 상기 막을 가열하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 18.

제 14 항 또는 제 17 항에 있어서, 상기 수지 재료가, 폴리이미드, 폴리아미드 및 폴리이미드아미드로 이루어진 군으로부터 선택된 한가지 재료인 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 19.

제 17 항에 있어서, 상기 제1 절연막과 상기 도전성 막 사이에, 티탄으로 된 또 다른 막을 형성하는 공정을 더 포함하는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 20.

제 17 항에 있어서, 상기 도전성 막 중의 산소 농도가 $5\times10^{19}$ 원자/$cm^3$ 이하인 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 21.

제 14 항에 있어서, 상기 가열 공정이 400℃ 이하의 온도로 행해지는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 22.

제 14 항에 있어서, 상기 가열 공정이 350℃ 이하의 온도로 행해지는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 23.

제 14 항에 있어서, 상기 가열 공정이 수소 함유 분위기에서 행해지는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 24.

제 1 항 내지 제 6 항, 제 14 항 중 어느 한 항에 있어서, 상기 반도체장치가 EL 표시장치인 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 25.

제 1 항 내지 제 6 항, 제 14 항 중 어느 한 항에 있어서, 상기 반도체장치가, 모바일 컴퓨터, 헤드 장착형 표시장치, 자동차 네비게이션 시스템, 휴대 전화기, 비디오 카메라, 프로젝터로 이루어진 군으로부터 선택되는 전자 기기인 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 26.

도전성 재료와 그 도전성 재료 상에 형성된 절연막을 가지는 반도체장치를 제조하는 방법으로서,

상기 절연막에 콘택트 홀을 형성하여 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정;

적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 전기 접촉하는 배선 재료를 형성하는 공정;

상기 배선 재료 상에, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 포함하는 막을 형성하는 공정; 및

400℃ 이하의 온도에서의 가열처리에 의해 적어도 상기 배선 재료를 유동화 시키는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 27.

도전성 재료와 그 도전성 재료 상에 형성된 절연막을 가지는 반도체장치를 제조하는 방법으로서,

상기 절연막에 콘택트 홀을 형성하여 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정;

적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 접촉하는 티탄막을 형성하는 공정;

상기 티탄막의 표면과 접촉하는 배선 재료를 형성하는 공정;

상기 배선 재료 상에, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 포함하는 막을 형성하는 공정; 및

400℃ 이하의 온도에서의 가열처리에 의해 적어도 상기 배선 재료를 유동화 시키는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 28.

도전성 재료와 그 도전성 재료 위에 형성된 수지 재료로 된 절연막을 가지는 반도체장치를 제조하는 방법으로서,

상기 절연막에 콘택트 홀을 형성하여 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정;

적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 전기 접촉하는 배선 재료를 형성하는 공정;

상기 배선 재료 상에, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 포함하는 막을 형성하는 공정; 및

400℃ 이하의 온도에서의 가열처리에 의해 적어도 상기 배선 재료를 유동화 시키는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 29.

도전성 재료와 그 도전성 재료 위에 형성된 수지 재료로 된 절연막을 가지는 반도체장치를 제조하는 방법으로서,

상기 절연막에 콘택트 홀을 형성하여 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정;

적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 전기 접촉하는 배선 재료를 형성하는 공정;

상기 배선 재료 상에, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 포함하는 막을 형성하는 공정; 및

가열처리에 의해 적어도 상기 배선 재료를 유동화 시키는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 30.

도전성 재료와 그 도전성 재료 위에 형성된 수지 재료로 된 절연막을 가지는 반도체장치를 제조하는 방법으로서,

상기 절연막에 콘택트 홀을 형성하여 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정;

적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 접촉하는 티탄막을 형성하는 공정;

상기 티탄막의 표면과 접촉하는 배선 재료를 형성하는 공정;

상기 배선 재료의 표면에, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 포함하는 막을 형성하는 공정; 및

가열처리에 의해 적어도 상기 배선 재료를 유동화 시키는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 31.

도전성 재료와 그 도전성 재료 위에 형성된 수지 재료로 된 절연막을 가지는 반도체장치를 제조하는 방법으로서,

상기 절연막에 콘택트 홀을 형성하여 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정;

적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 전기 접촉하는 배선 재료를 형성하는 공정;

상기 배선 재료의 표면에, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 포함하는 막을 형성하는 공정; 및

램프로부터의 광의 조사에 의해 행해지는 가열처리에 의해 적어도 상기 배선 재료를 유동화 시키는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 32.

제 31 항에 있어서, 상기 광이 자외광과 적외광 중 어느 하나인 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 33.

도전성 재료와 그 도전성 재료 상에 형성된 절연막을 가지는 EL 표시장치를 제조하는 방법으로서,

상기 절연막에 콘택트 홀을 형성하여 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정;

적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 전기 접촉하는 배선 재료를 형성하는 공정;

상기 배선 재료 상에, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 포함하는 막을 형성하는 공정; 및

400℃ 이하의 온도에서의 가열처리에 의해 적어도 상기 배선 재료를 유동화 시키는 공정을 포함하는 것을 특징으로 하는 EL 표시장치 제조방법.

## 청구항 34.

도전성 재료와 그 도전성 재료 상에 형성된 절연막을 가지는 EL 표시장치를 제조하는 방법으로서,

상기 절연막에 콘택트 홀을 형성하여 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정;

적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 접촉하는 티탄막을 형성하는 공정;

상기 티탄막의 표면과 접촉하는 배선 재료를 형성하는 공정;

상기 배선 재료 상에, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 포함하는 막을 형성하는 공정; 및

400℃ 이하의 온도에서의 가열처리에 의해 적어도 상기 배선 재료를 유동화 시키는 공정을 포함하는 것을 특징으로 하는 EL 표시장치 제조방법.

## 청구항 35.

도전성 재료와 그 도전성 재료 위에 형성된 수지 재료로 된 절연막을 가지는 EL 표시장치를 제조하는 방법으로서,

상기 절연막에 콘택트 홀을 형성하여 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정;

적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 전기 접촉하는 배선 재료를 형성하는 공정;

상기 배선 재료 상에, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 포함하는 막을 형성하는 공정; 및

400℃ 이하의 온도에서의 가열처리에 의해 적어도 상기 배선 재료를 유동화 시키는 공정을 포함하는 것을 특징으로 하는 EL 표시장치 제조방법.

## 청구항 36.

도전성 재료와 그 도전성 재료 위에 형성된 수지 재료로 된 절연막을 가지는 EL 표시장치를 제조하는 방법으로서,

상기 절연막에 콘택트 홀을 형성하여 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정;

적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 전기 접촉하는 배선 재료를 형성하는 공정;

상기 배선 재료 상에, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 포함하는 막을 형성하는 공정; 및

가열처리에 의해 적어도 상기 배선 재료를 유동화 시키는 공정을 포함하는 것을 특징으로 하는 EL 표시장치 제조방법.

## 청구항 37.

도전성 재료와 그 도전성 재료 위에 형성된 수지 재료로 된 절연막을 가지는 EL 표시장치를 제조하는 방법으로서,

상기 절연막에 콘택트 홀을 형성하여 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정;

적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 접촉하는 티탄막을 형성하는 공정;

상기 티탄막의 표면과 접촉하는 배선 재료를 형성하는 공정;

상기 배선 재료의 표면에, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 포함하는 막을 형성하는 공정; 및

가열처리에 의해 적어도 상기 배선 재료를 유동화 시키는 공정을 포함하는 것을 특징으로 하는 EL 표시장치 제조방법.

## 청구항 38.

도전성 재료와 그 도전성 재료 위에 형성된 수지 재료로 된 절연막을 가지는 EL 표시장치를 제조하는 방법으로서,

상기 절연막에 콘택트 홀을 형성하여 그 콘택트 홀의 바닥에서 상기 도전성 재료를 노출시키는 공정;

적어도 상기 콘택트 홀의 바닥에서 상기 도전성 재료와 전기 접촉하는 배선 재료를 형성하는 공정;

상기 배선 재료의 표면에, 12족 내지 15족 원소들로 이루어진 군으로부터 선택된 원소를 포함하는 막을 형성하는 공정; 및

램프로부터의 광의 조사에 의해 행해지는 가열처리에 의해 적어도 상기 배선 재료를 유동화 시키는 공정을 포함하는 것을 특징으로 하는 EL 표시장치 제조방법.

## 청구항 39.

제 26 항 내지 제 31 항 중 어느 한 항에 있어서, 상기 배선 재료와, 12족 내지 15족에 속하는 원소를 포함하는 상기 막이 대기에의 노출 없이 연속적으로 적층되는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 40.

제 26 항 내지 제 31 항 중 어느 한 항에 있어서, 상기 도전성 재료가 알루미늄으로 되어 있거나 알루미늄을 주성분으로 하는 재료 또는 도전성의 반도체 재료인 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 41.

제 26 항 내지 제 31 항 중 어느 한 항에 있어서, 상기 가열처리가 수소 함유 분위기에서 행해지는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 42.

제 26 항 내지 제 31 항 중 어느 한 항에 있어서, 12족 내지 15족에 속하는 상기 원소가, Ge, Sn, Ga, Pb, Zn, In, Sb으로 이루어진 군으로부터 선택된 일 종류 또는 다수 종류의 원소인 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 43.

제 26 항 또는 제 27 항에 있어서, 상기 절연막이 투과성 유기수지 재료로 되어 있는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 44.

제 28 항 내지 제 31 항 중 어느 한 항에 있어서, 상기 수지 재료가, 폴리이미드, 폴리아미드 및 폴리이미드아미드로 이루어진 군으로부터 선택된 한가지 재료인 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 45.

제 33 항 내지 제 38 항 중 어느 한 항에 있어서, 상기 배선 재료와, 12족 내지 15족에 속하는 원소를 포함하는 상기 막이 대기에의 노출 없이 연속적으로 적층되는 것을 특징으로 하는 EL 표시장치 제조방법.

## 청구항 46.

제 33 항 내지 제 38 항 중 어느 한 항에 있어서, 상기 도전성 재료가 알루미늄으로 되어 있거나 알루미늄을 주성분으로 하는 재료 또는 도전성의 반도체 재료인 것을 특징으로 하는 EL 표시장치 제조방법.

## 청구항 47.

제 33 항 내지 제 38 항 중 어느 한 항에 있어서, 상기 가열처리가 수소 함유 분위기에서 행해지는 것을 특징으로 하는 EL 표시장치 제조방법.

## 청구항 48.

제 33 항 내지 제 38 항 중 어느 한 항에 있어서, 12족 내지 15족에 속하는 상기 원소가, Ge, Sn, Ga, Pb, Zn, In, Sb으로 이루어진 군으로부터 선택된 일 종류 또는 다수 종류의 원소인 것을 특징으로 하는 EL 표시장치 제조방법.

## 청구항 49.

제 33 항 또는 제 34 항에 있어서, 상기 절연막이 투과성 유기수지 재료로 되어 있는 것을 특징으로 하는 EL 표시장치 제조방법.

## 청구항 50.

제 35 항 내지 제 38 항 중 어느 한 항에 있어서, 상기 수지 재료가, 폴리이미드, 폴리아미드 및 폴리이미드아미드로 이루어진 군으로부터 선택된 한가지 재료인 것을 특징으로 하는 EL 표시장치 제조방법.

## 청구항 51.

제 26 항 내지 제 31 항 중 어느 한 항에 있어서, 상기 배선 재료가 알루미늄을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 52.

제 26 항 내지 제 31 항 중 어느 한 항에 있어서, 상기 반도체장치가 EL 표시장치인 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 53.

제 26 항 내지 제 31 항 중 어느 한 항에 있어서, 상기 반도체장치가, 모바일 컴퓨터, 헤드 장착형 표시장치, 자동차 네비게이션 시스템, 휴대 전화기, 비디오 카메라, 프로젝터로 이루어진 군으로부터 선택되는 전자 기기인 것을 특징으로 하는 반도체장치 제조방법.

## 청구항 54.

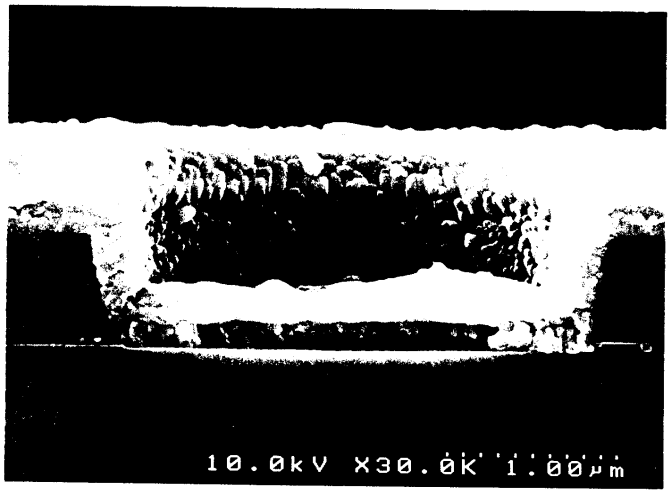
제 33 항 내지 제 38 항 중 어느 한 항에 있어서, 상기 배선 재료가 알루미늄을 포함하는 것을 특징으로 하는 EL 표시장치 제조방법.

도면

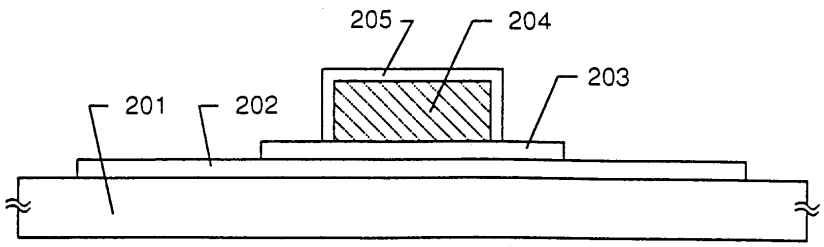
도면1a



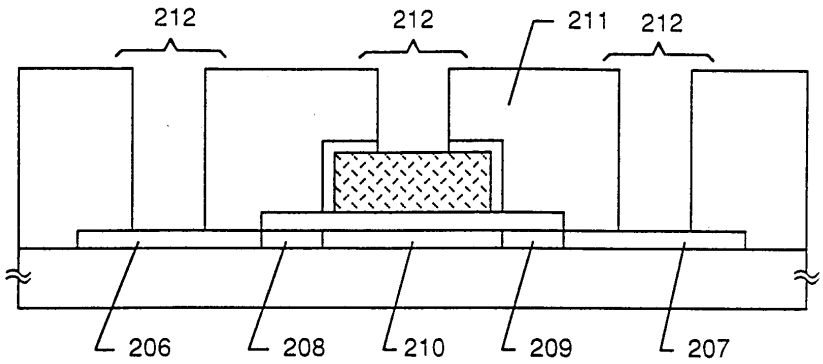

도면1b



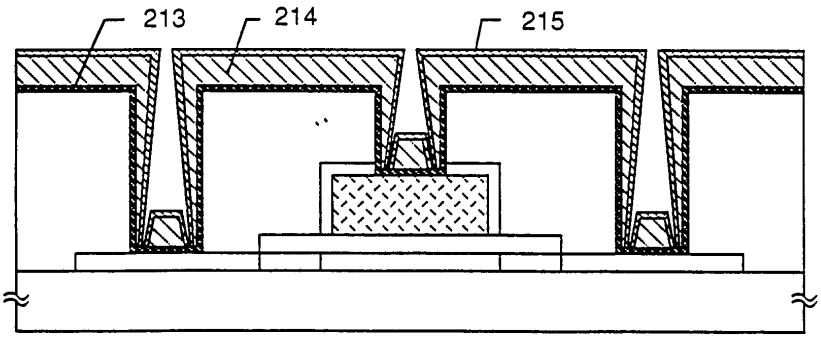

도면2a



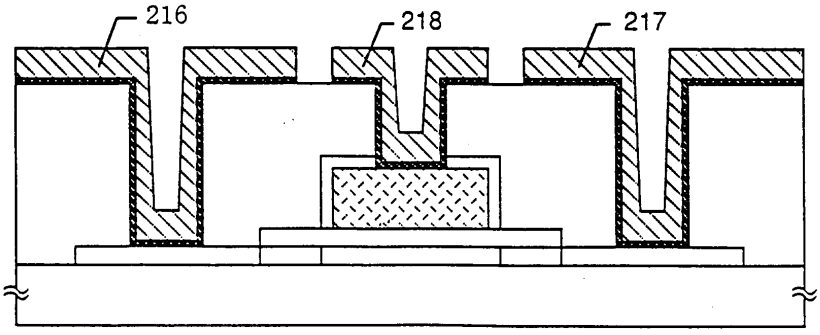
도면2b



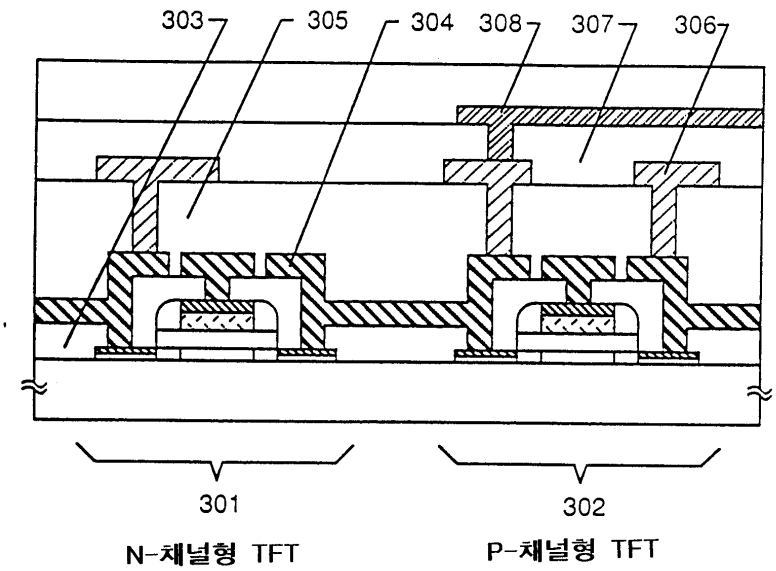

도면2c



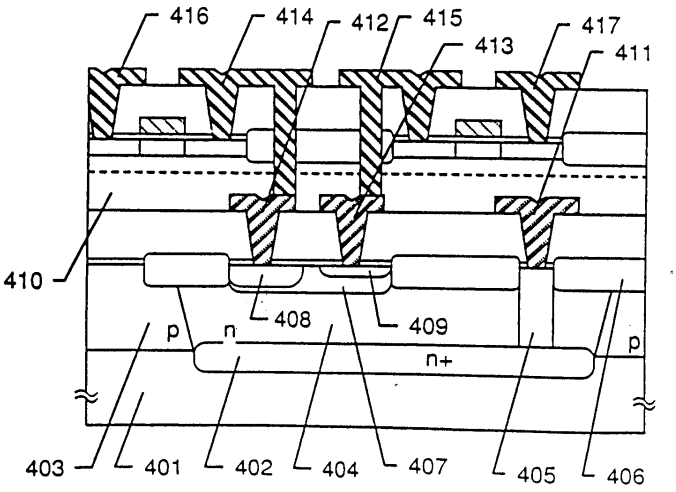

도면2d



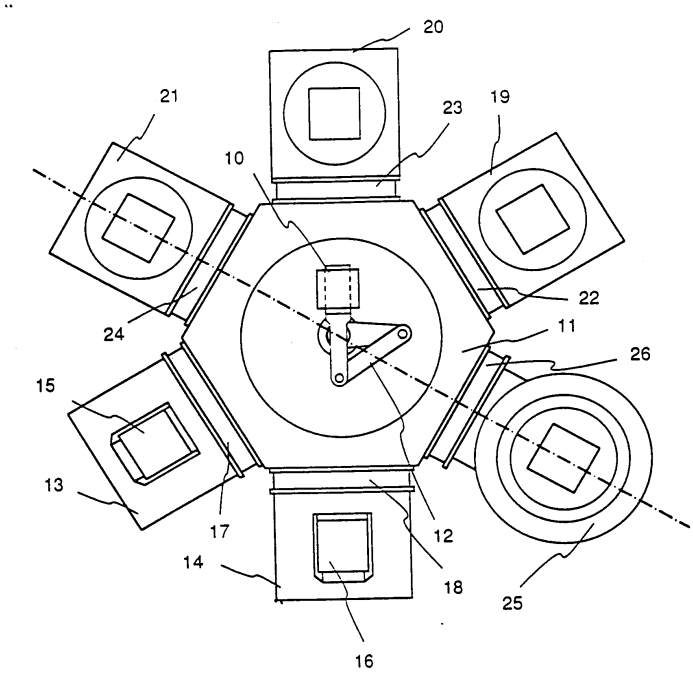
도면3


303
305
304
308
307
306
301
302
N-채널형 TFT
P-채널형 TFT

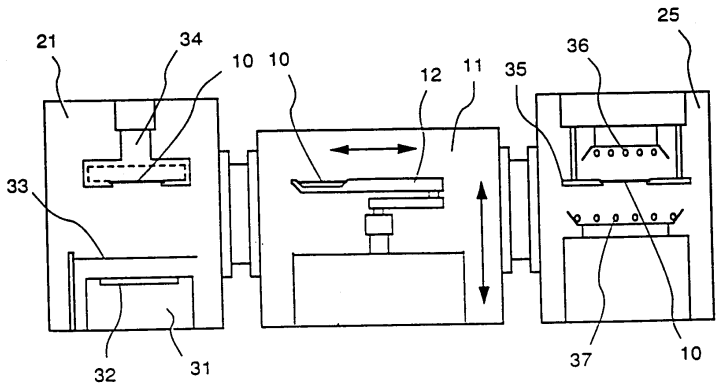
도면4


416
414
412
415
413
417
411
410
408
409
p
n
n+
p
403
401
402
404
407
405
406

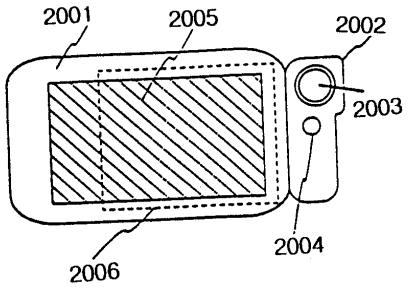
도면5a



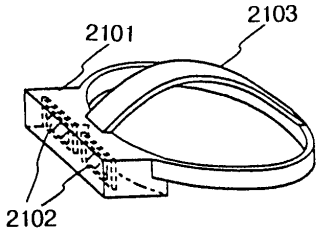

도면5b



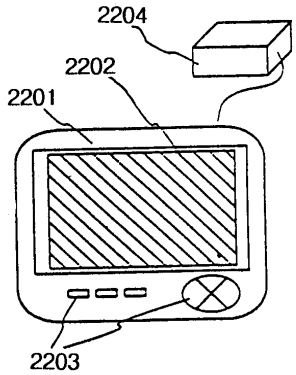

도면6a



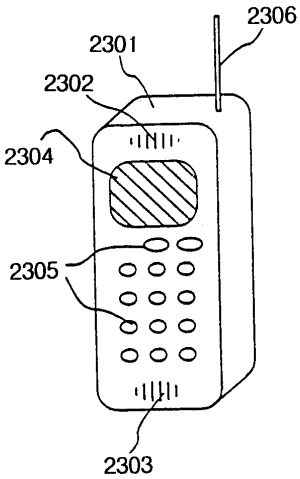
도면6b



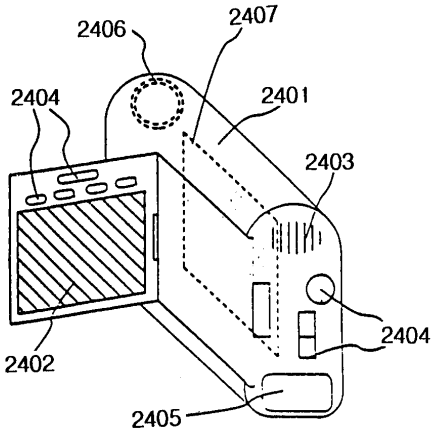

도면6c



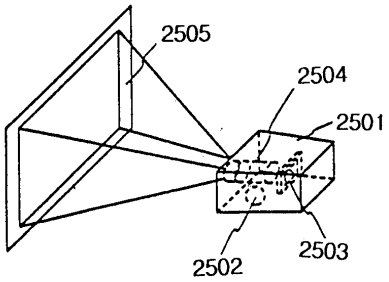

도면6d



도면6e


2406
2407
2404
2401
2403
2404
2402
2405

도면6f


2505
2504
2501
2503
2502