

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年9月14日(14.09.2017)

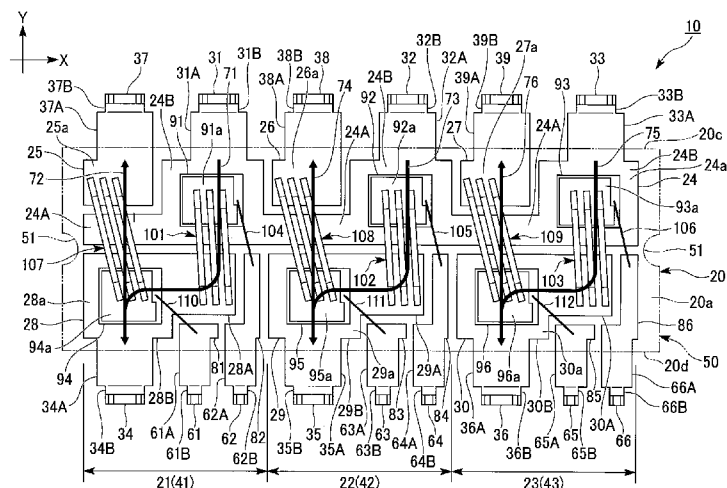


(10) 国際公開番号
WO 2017/154232 A1

- (51) 国際特許分類:
H01L 23/48 (2006.01) *H01L 25/18* (2006.01)
H01L 25/07 (2006.01)
- (21) 国際出願番号: PCT/JP2016/070664
- (22) 国際出願日: 2016年7月13日(13.07.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
PCT/JP2016/057766 2016年3月11日(11.03.2016) JP
- (71) 出願人: 新電元工業株式会社 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町2丁目2番1号 Tokyo (JP).
- (72) 発明者: 神山 悦宏 (KAMIYAMA Yoshihiro); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP).
- (74) 代理人: 棚井 澄雄, 外 (TANAI Sumio et al.); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE AND LEAD FRAME

(54) 発明の名称: 半導体装置及びリードフレーム



(57) Abstract: A semiconductor device according to one embodiment is provided with a device body, one power source wiring board, a plurality of output wiring boards, and a plurality of semiconductor elements. In any two output wiring boards that are adjacent to each other in the longitudinal direction of the device body, a narrow portion of one of the output wiring boards faces a wide portion of the other output wiring board. In the lateral direction of the device body, the narrow portion and wide portion of each output wiring board face one set consisting of a wide portion and narrow portion of the power source wiring board. In the longitudinal direction of the device body, the width of each output wiring board is smaller than the total of the widths of the narrow portion and wide portion of the one set in the power source wiring board.

(57) 要約:

[続葉有]

WO 2017/154232 A1

一態様に係る半導体装置は、装置本体、1つの電源配線板、複数の出力配線板、及び複数の半導体素子を備える。装置本体の長手方向において、互いに隣接する2つの出力配線板についても、一方の出力配線板の幅狭部が、他方の前記出力配線板の幅広部と向き合っている。装置本体の短手方向において、各出力配線板の幅狭部及び幅広部が、電源配線板の1組の幅広部及び幅狭部とそれぞれ向き合っている。装置本体の長手方向において、各出力配線板の幅が、電源配線板の1組の幅狭部及び幅広部それぞれの幅の合計よりも小さい。

明 細 書

発明の名称：半導体装置及びリードフレーム

技術分野

[0001] 本発明は、半導体装置及びリードフレームに関する。

本願は、2016年3月11日に日本に出願された国際出願PCT/JP2016/057766号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 従来、封止樹脂の下面に露出する電極板に、封止樹脂から突出する外部接続端子部（端子板）を一体に形成した半導体装置が知られている（例えば、特許文献1）。この半導体装置において、外部接続端子部の基端部は、電極板と平行に延びており、電極板の下面とともに放熱面として機能する。

先行技術文献

特許文献

[0003] 特許文献1：特許第5669866号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、上記の半導体装置では、外部接続端子部の幅寸法が、基端部から先端部に至るまで一定である。このため、外部接続端子部が複数配列される場合には、隣り合う外部接続端子部間のピッチ（特に、隣り合う外部接続端子部の先端部間のピッチ）を考慮して、外部接続端子部の幅寸法を設定する必要がある。その結果、半導体装置の放熱面積を増やすことに限界がある。

[0005] 本発明は、上記問題を解決すべくなされたもので、その目的は、隣り合う端子板間のピッチを確保しながら放熱面積を増やすことができると共に、更なるコンパクト化を図ることができる半導体装置及び半導体装置用のリードフレームを提供することにある。

課題を解決するための手段

[0006] 上記問題を解決するために、本発明の第1の態様に係る半導体装置は、装置本体と、1つの電源配線板と、複数の出力配線板と、複数の半導体素子とを備える。装置本体は、互いに対向する第一主面及び第二主面と、前記第一主面の短手方向において互いに対向する第一側面及び第二側面とを有する。前記1つの電源配線板は、前記第一主面の長手方向に交互に連結された幅狭部と幅広部を複数組有し、前記短手方向において前記幅広部が前記幅狭部に対して前記第一側面側に突出している。前記複数の出力配線板は、前記電源配線板に沿って前記長手方向に配置され、前記複数の出力配線板の数は前記電源配線板の前記幅狭部及び前記幅広部の組数と等しく、前記複数の出力配線板の各出力配線板は前記長手方向に連結された幅狭部と幅広部を有し、当該幅広部が当該幅狭部に対して前記第二側面側に突出している。前記複数の半導体素子は、前記電源配線板の各幅広部と、前記出力配線板の各幅広部とに1つずつ配置されている。前記長手方向において、互いに隣接するどの2つの前記出力配線板についても、一方の出力配線板の前記幅狭部が、他方の前記出力配線板の前記幅広部と向き合っている。前記短手方向において、前記各出力配線板の前記幅狭部及び前記幅広部が、前記電源配線板の1組の前記幅広部及び前記幅狭部とそれぞれ向き合っている。前記長手方向において、前記各出力配線板の幅が、前記電源配線板の1組の前記幅狭部及び前記幅広部それぞれの幅の合計よりも小さい。

[0007] 本発明の第2の態様に係るリードフレームは、上記第1の態様に係る半導体装置用のリードフレームであって、複数の端子板と、前記複数の端子板を連結する連結部と、を備える。

発明の効果

[0008] 本発明の態様に係る半導体装置によれば、隣り合う端子板間のピッチを確保しながら放熱面積を増やすことができると共に、半導体装置の更なるコンパクト化を図ることができる。

図面の簡単な説明

[0009] [図1]本実施形態による半導体装置の一例を示す平面構成図である。

[図2]本実施形態による半導体装置の一例を示す斜視図である。

[図3]本実施形態による半導体装置における回路図の一例である。

[図4]本実施形態による半導体装置の他の例を示す平面構成図である。

[図5]本実施形態による半導体装置における回路図の他の例である。

[図6]本実施形態によるリードフレームの一例を示す斜視図である。

発明を実施するための形態

[0010] [半導体装置]

以下、本発明の一実施形態による半導体装置について、図面を参照して説明する。

[0011] 図1、2に示すように、本実施形態の半導体装置10は、互いに対向する第一主面20a及び第二主面20bと、第一主面20aの短手方向Y（図1の上下方向）において互いに対向する第一側面20c及び第二側面20dとを有する装置本体20、並びに、装置本体20の第一側面20cから外延する複数の端子板（電源端子板（リード）31、32、33、及びグランド端子板（リード）37、38、39）と、装置本体20の第二側面20dから外延する複数の端子板（出力端子板（リード）34、35、36、及びゲート端子板（リード）61～66）と、を備えている。

[0012] 装置本体20は、複数の回路ユニット41、42、43のそれぞれに対応する装置単位21、22、23が一体化されてなるものである。回路ユニット41、42、43は、装置本体20の長手方向X（図1の左右方向）に沿って、この順に配置されている。

[0013] 装置単位21、22、23は、互いに間隔を空けて配された複数の配線板（電源配線板24、グランド配線板25、26、27、出力配線板28、29、30、ゲート配線板81～86）と、一部の配線板の第一主面に配されて、配線板に電気接続される半導体素子91～96とを有する。

[0014] 半導体装置10は、装置単位21、22、23を被覆する封止樹脂50を更に備える。

- [0015] 第一回路ユニット４１は、第一装置単位２１と、第一装置単位２１の第一側面２０ｃから突出する第一電源端子板３１及び第一グランド端子板３７と、第一装置単位２１の第二側面２０ｄから突出する第一出力端子板３４と、を有する。
- [0016] 第二回路ユニット４２は、第二装置単位２２と、第二装置単位２２の第一側面２０ｃから突出する第二電源端子板３２及び第二グランド端子板３８と、第二装置単位２２の第二側面２０ｄから突出する第二出力端子板３５と、を有する。
- [0017] 第三回路ユニット４３は、第三装置単位２３と、第三装置単位２３の第一側面２０ｃから突出する第三電源端子板３３及び第三グランド端子板３９と、第三装置単位２３の第二側面２０ｄから突出する第三出力端子板３６と、を有する。
- [0018] 第一回路ユニット４１と、第二回路ユニット４２と、第三回路ユニット４３とは、平面視した場合、略等しい形状を有している。
- [0019] 第一装置単位２１は、電源配線板２４の一単位と、第一グランド配線板２５と、第一出力配線板２８と、第一半導体素子９１と、第四半導体素子９４と、を有する。
- [0020] 第二装置単位２２は、電源配線板２４の一単位と、第二グランド配線板２６と、第二出力配線板２９と、第二半導体素子９２と、第五半導体素子９５と、を有する。
- [0021] 第三装置単位２３は、電源配線板２４の一単位と、第三グランド配線板２７と、第三出力配線板３０と、第三半導体素子９３と、第六半導体素子９６と、を有する。
- [0022] 封止樹脂５０は、電源配線板２４、グランド配線板２５，２６，２７及び出力配線板２８，２９，３０の第二主面が露出するように、電源配線板２４、グランド配線板２５，２６，２７及び出力配線板２８，２９，３０、半導体素子９１～９６、並びに、電源端子板３１，３２，３３、出力端子板３４，３５，３６及びグランド端子板３７，３８，３９を封止している。

- [0023] 例えば、図2に示すように、封止樹脂50は、電源配線板24の第二主面24b、グランド配線板25、26、27の第二主面25b、26b、27b及び出力配線板28、29、30の第二主面28b、29b、30bが露出するように、電源配線板24、グランド配線板25、26、27及び出力配線板28、29、30、半導体素子91～96、並びに、電源端子板31、32、33、出力端子板34、35、36及びグランド端子板37、38、39を封止している。
- [0024] 電源配線板24の第二主面24b、グランド配線板25、26、27の第二主面25b、26b、27b及び出力配線板28、29、30の第二主面28b、29b、30bと、封止樹脂50におけるこれらの第二主面側に露出する面（下面）50aとは、同一面上に配されている。
- [0025] 電源配線板24の第二主面24b、グランド配線板25、26、27の第二主面25b、26b、27b及び出力配線板28、29、30の第二主面28b、29b、30bは、装置本体20の下面を構成する。
- [0026] 電源端子板31、32、33、出力端子板34、35、36及びグランド端子板37、38、39は、封止樹脂50から突出している。
- [0027] 出力端子板34、35、36とグランド端子板37、38、39とは、装置本体20の長手方向Xに沿う側面（封止樹脂50の側面）から、その側面と垂直に、かつ互いに逆向きに突出している。具体的には、グランド端子板37、38、39が装置本体20の第一側面20cからその側面と垂直に突出しているのに対し、出力端子板34、35、36は装置本体20の第二側面20dからその側面と垂直に突出している。
- [0028] 電源端子板31、32、33は、グランド端子板37、38、39と同じ向きに突出している。具体的には、電源端子板31、32、33、及びグランド端子板37、38、39は、いずれも装置本体20の第一側面20cからその側面と垂直に突出している。
- [0029] 電源端子板31、32、33は、出力端子板34、35、36及びグランド端子板37、38、39の配列方向（装置本体20の短手方向Y）に直交

する方向（装置本体 20 の長手方向 X）にずれて位置する。

[0030] 出力端子板 34, 35, 36 及びグランド端子板 37, 38, 39 の配列方向（装置本体 20 の短手方向 Y）とは、第一出力端子板 34 から第一グランド端子板 37 に向かう方向、第二出力端子板 35 から第二グランド端子板 38 に向かう方向、及び第三出力端子板 36 から第三グランド端子板 39 に向かう方向のことである。

[0031] すなわち、電源端子板 31, 32, 33 が、出力端子板 34, 35, 36 及びグランド端子板 37, 38, 39 の配列方向に直交する方向（装置本体 20 の長手方向 X）にずれて位置するとは、電源端子板 31, 32, 33 が、出力端子板 34, 35, 36 とグランド端子板 37, 38, 39 を結ぶ直線上にはないことを意味する。

[0032] 回路ユニット 41, 42, 43 は、装置本体 20（装置単位 21, 22, 23）の第二側面 20d から突出するゲート端子板 61～66 を有してもよい。

[0033] この場合、電源端子板 31, 32, 33 とゲート端子板 61～66 とは、装置本体 20 の長手方向 X に沿う側面から、その側面と垂直に互いに逆向きに突出している。具体的には、電源端子板 31, 32, 33 が装置本体 20 の第一側面 20c からその側面と垂直に突出しているのに対し、ゲート端子板 61～66 は装置本体 20 の第二側面 20d からその側面と垂直に突出している。ゲート端子板 61～66 は、封止樹脂 50 から突出している。

[0034] 装置本体 20 の長手方向 X において、電源端子板 31, 32, 33、出力端子板 34, 35, 36 及びグランド端子板 37, 38, 39 の幅は、ゲート端子板 61～66 の幅よりも大きいことが好ましい。

[0035] 複数の端子板（電源端子板 31, 32, 33、出力端子板 34, 35, 36 及びグランド端子板 37, 38, 39、ゲート端子板 61～66）は、その長手方向の中途部において折曲げられている。各端子板の長手方向の先端部（31B～39B、61B～66B）は、基端部（31A～39A、61A～66A）に対して略垂直に延びている。

- [0036] また、複数の配線板から延びる各端子板の長手方向の先端部（３１Ｂ～３９Ｂ、６１Ｂ～６６Ｂ）は、複数の配線板の第二主面（電源配線板２４の第二主面２４ｂ、グランド配線板２５、２６、２７の第二主面２５ｂ、２６ｂ、２７ｂ及び出力配線板２８、２９、３０の第二主面２８ｂ、２９ｂ、３０ｂ）が向く方向と逆向きに延びている。
- [0037] すなわち、複数の配線板から延びる各端子板の先端部は、配線板の第一主面（例えば、電源配線板２４の第一主面２４ａ）から突出するように配線板の厚み方向に延びている。
- [0038] 装置本体２０は、３つの装置単位２１、２２、２３において共通の電源配線板２４と、装置単位２１、２２、２３においてそれぞれ個別に設けられたグランド配線板２５、２６、２７と、装置単位２１、２２、２３においてそれぞれ個別に設けられた出力配線板２８、２９、３０とを有する。
- [0039] 電源配線板２４と、グランド配線板２５、２６、２７と、出力配線板２８、２９、３０とは、互いに間隔を空けて配置されている。
- [0040] 電源配線板２４は、装置本体２０の長手方向Ｘに延びている。電源配線板２４は、平面視した場合、装置本体２０の長手方向Ｘに沿って交互に連結された幅狭部２４Ａと幅広部２４Ｂを複数組有することにより、長手方向Ｘに周期的な凹凸形状を有している。
- [0041] 言い換えれば、電源配線板２４は、出力端子板３４、３５、３６及びグランド端子板３７、３８、３９の配列方向（装置本体２０の短手方向Ｙ）に直交する方向（装置本体２０の長手方向Ｘ）に連続する幅狭部２４Ａと幅広部２４Ｂとをそれぞれ３つ有する。
- [0042] 電源配線板２４の幅狭部２４Ａは、出力端子板３４、３５、３６及びグランド端子板３７、３８、３９の配列方向（装置本体２０の短手方向Ｙ）において幅広部２４Ｂよりも幅が狭い。
- [0043] 電源配線板２４の幅広部２４Ｂは、出力端子板３４、３５、３６及びグランド端子板３７、３８、３９の配列方向（装置本体２０の短手方向Ｙ）において、幅狭部２４Ａよりも幅が広い。

- [0044] 電源配線板 24 の幅広部 24 B は、出力端子板 34, 35, 36 及びグラウンド端子板 37, 38, 39 の配列方向（装置本体 20 の短手方向 Y）において、幅狭部 24 A の一方側（図 1 の上側）に突出している。具体的には、装置本体 20 の短手方向 Y において、電源配線板 24 の幅広部 24 B がその幅狭部 24 A に対して装置本体 20 の第一側面 20 c 側に突出している。
- [0045] 電源配線板 24 は、3 つの回路ユニット 41, 42, 43 の全体にわたって延在している。3 つの電源端子板 31, 32, 33 は、電源配線板 24 の各幅広部 24 B とそれぞれ一体的に接続され、平面視で各幅広部 24 B から装置本体 20 の第一側面 20 c 側へ突出している。すなわち、3 つの電源端子板 31, 32, 33 と電源配線板 24 とが一体に形成されている。
- [0046] グランド配線板 25, 26, 27 は、電源配線板 24 のうち幅広部 24 B が突出している第一側面 20 c 側において、電源配線板 24 の幅狭部 24 A に隣接するように配置されている。
- [0047] より具体的には、グラウンド配線板 25, 26, 27 は、装置本体 20 の長手方向 X において互いに隣接する電源配線板 24 の 2 つの幅広部 24 B と、当該 2 つの幅広部 24 B を連結する電源配線板 24 の 1 つの幅狭部 24 A とで囲まれる領域に 1 つずつ配置されている。
- [0048] グランド端子板 37, 38, 39 は、グラウンド配線板 25, 26, 27 とそれぞれ一体的に接続され、平面視でグラウンド配線板 25, 26, 27 から装置本体 20 の前記第一側面 20 c 側へ突出している。すなわち、グラウンド端子 37, 38, 39 とグラウンド配線板 25, 26, 27 とが一体に形成されている。
- [0049] 出力配線板 28, 29, 30 は、電源配線板 24 のうち幅広部 24 B が突出している装置本体 20 の第一側面 20 c とは反対の第二側面 20 d 側に配置されている。
- [0050] 出力配線板 28, 29, 30 は、電源配線板 24 に沿って装置本体 20 の長手方向 X に配置され、その数は電源配線板 24 の幅狭部 24 A 及び前記幅広部 24 B の組数、つまり、装置本体 20 の回路ユニット数（半導体装置 10

の装置単位数)と等しい。

- [0051] また、出力配線板 28, 29, 30 の各出力配線板は、装置本体 20 の長手方向 X に連結された幅狭部 28A, 29A, 30A と幅広部 28B, 29B, 30B を有する。
- [0052] より具体的には、出力配線板 28, 29, 30 は、平面視した場合、出力端子板 34, 35, 36 及びグランド端子板 37, 38, 39 の配列方向（装置本体 20 の短手方向 Y）に直交する方向（装置本体 20 の長手方向 X）に連続する幅狭部 28A, 29A, 30A と幅広部 28B, 29B, 30B とを有する。
- [0053] 出力配線板 28, 29, 30 の幅狭部 28A, 29A, 30A は、出力端子板 34, 35, 36 及びグランド端子板 37, 38, 39 の配列方向（装置本体 20 の短手方向 Y）において幅広部 28B, 29B, 30B よりも幅が狭い。
- [0054] 出力配線板 28, 29, 30 の幅広部 28B, 29B, 30B は、出力端子板 34, 35, 36 及びグランド端子板 37, 38, 39 の配列方向（装置本体 20 の短手方向 Y）において、幅狭部 28A, 29A, 30A よりも幅が広い。
- [0055] 出力配線板 28, 29, 30 の幅広部 28B, 29B, 30B は、出力端子板 34, 35, 36 及びグランド端子板 37, 38, 39 の配列方向（装置本体 20 の短手方向 Y）において、幅狭部 28A, 29A, 30A の一方側（図 1 の下側）に突出している。つまり、各出力配線板の幅広部がその幅狭部に対して装置本体 20 の第二側面 20b 側に突出している。
- [0056] 出力端子板 34, 35, 36 は、出力配線板 28, 29, 30 の幅広部 28B, 29B, 30B とそれぞれ一体的に接続され、平面視で幅広部 28B, 29B, 30B から前記装置本体 20 の前記第二側面 20b 側へ突出している。すなわち、出力端子板 34, 35, 36 と出力配線板 28, 29, 30 とが一体に形成されている。
- [0057] 出力配線板 28, 29, 30 は、装置本体 20 の長手方向 X において、互

いに隣接するどの2つの出力配線板（例えば28と29）についても、一方の出力配線板（28）の幅狭部（28A）が、他方の出力配線板（29）の幅広部（29B）と向き合っている。

[0058] また、装置本体20の短手方向Yにおいて、各出力配線板の前記幅狭部（例えば28A）及び前記幅広部（28B）が、前記電源配線板24の1組の前記幅広部24B及び前記幅狭部24Aとそれぞれ向き合っている。

[0059] また、長手方向Xにおいて、各出力配線板（例えば28）の幅が、電源配線板24の1組の幅狭部24A及び幅広部24Bそれぞれの幅の合計よりも小さい。

[0060] グランド配線板25, 26, 27は、装置本体20の短手方向Yにおいて、電源配線板24の幅狭部24Aを介して、出力配線板28, 29, 30の幅広部28B, 29B, 30Bとそれぞれ向かい合うように配置されている。

[0061] 電源配線板24の幅狭部24A及び幅広部24Bは、装置本体20の短手方向Yにおいて、出力配線板28, 29, 30の各出力配線板の幅広部及び幅狭部とそれぞれ向かい合うように配置されている。

[0062] 回路ユニット41, 42, 43がゲート端子板61～66を有する場合、装置本体20は、装置単位21, 22, 23において、ゲート端子板61～66それぞれに対して設けられたゲート配線板81～86を有する。

[0063] ゲート配線板81～86は、装置本体20の長手方向Xにおいて互いに隣接する2つの出力配線板（例えば28と29）の間に1つずつ配置された複数の第一ゲート配線板82, 84, 86と、各第一ゲート配線板（例えば82）と、当該第一ゲート配線板（82）と隣接する1つの出力配線板（28）の幅狭部（28A）及びこれに連結された幅広部（28B）と、によって囲まれた領域に1つずつ配置された複数の第二ゲート配線板81, 83, 85と、を含む。

[0064] ゲート端子板61～66は、ゲート配線板81～86とそれぞれ一体的に接続され、平面視でゲート配線板81～86から装置本体20の第二側面20

d側へ突出している。

[0065] 第一回路ユニット4 1において、第二ゲート配線板8 1は、第一出力配線板2 8の幅狭部2 8 Aに隣接するように配置されている。また、第一ゲート配線板8 2は、第一出力配線板2 8と第二出力配線板2 9の間に配置されている。

[0066] これにより、第一回路ユニット4 1は、電源配線板2 4の1組の幅狭部2 4 A及び幅広部2 4 Bと、1つの出力配線板2 8と、1つのグランド配線板2 5と、1つの第一ゲート配線板8 2と、1つの第二ゲート配線板8 1と、を含む。

[0067] 第二回路ユニット4 2において、第二ゲート配線板8 3は、第二出力配線板2 9の幅狭部2 9 Aに隣接するように配置されている。また、第一ゲート配線板8 4は、第二出力配線板2 9と第三出力配線板3 0の間に配置されている。

[0068] これにより、第二回路ユニット4 2は、電源配線板2 4の1組の幅狭部2 4 A及び幅広部2 4 Bと、1つの出力配線板2 9と、1つのグランド配線板2 6と、1つの第一ゲート配線板8 4と、1つの第二ゲート配線板8 3と、を含む。

[0069] 第三回路ユニット4 3において、第二ゲート配線板8 5は、第三出力配線板3 0の幅狭部3 0 Aに隣接するように配置されている。また、第一ゲート配線板8 6は、第三出力配線板3 0における、第三出力端子板3 6及び第三グランド端子板3 9の配列方向（装置本体2 0の短手方向Y）に沿って配置されている。

[0070] これにより、第三回路ユニット4 3は、電源配線板2 4の1組の幅狭部2 4 A及び幅広部2 4 Bと、1つの出力配線板3 0と、1つのグランド配線板2 7と、1つの第一ゲート配線板8 6と、1つの第二ゲート配線板8 5と、を含む。

[0071] 電源端子板3 1, 3 2, 3 3の延出方向の基端部3 1 A, 3 2 A, 3 3 Aは、電源端子板3 1, 3 2, 3 3の他の部分（先端部3 1 B, 3 2 B, 3 3

B)よりも幅広に形成されている。

[0072] 電源端子板31, 32, 33の基端部31A, 32A, 33Aと、電源端子板31, 32, 33の先端部31B, 32B, 33Bとの間には段差が設けられていることが好ましい。

[0073] 出力端子板34, 35, 36の延出方向の基端部34A, 35A, 36Aは、出力端子板34, 35, 36の他の部分（先端部34B, 35B, 36B）よりも幅広に形成されている。

[0074] 出力端子板34, 35, 36の基端部34A, 35A, 36Aと、出力端子板34, 35, 36の先端部34B, 35B, 36Bとの間には段差が設けられていることが好ましい。

[0075] グランド端子板37, 38, 39の延出方向の基端部37A, 38A, 39Aは、グラント端子板37, 38, 39の他の部分（先端部37B, 38B, 39B）よりも幅広に形成されている。

[0076] グランド端子板37, 38, 39の基端部37A, 38A, 39Aと、グラント端子板37, 38, 39の先端部37B, 38B, 39Bとの間には段差が設けられていることが好ましい。

[0077] 図示例において、ゲート端子板61～66の延出方向の基端部61A～66Aは、ゲート端子板61～66の他の部分（先端部61B～66B）よりも幅広に形成されているが、例えば、基端部61A～66Aの幅寸法は先端部61B～66Bと同等でもよい。

[0078] 基端部61A～66Aが先端部61B～66Bよりも幅広である場合、ゲート端子板61～66の基端部61A～66Aと、ゲート端子板61～66の先端部61B～66Bとの間には段差が設けられていることが好ましい。

[0079] 各端子板の基端部（31A～39A、61A～66A）と先端部（31B～39B、61B～66B）との間の段差は、各端子板の幅寸法が基端部（31A～39A、61A～66A）と先端部（31B～39B、61B～66B）との境界において急激に変化するような形状を意味する。

[0080] 図示例においては、各端子板の基端部（31A～39A、61A～66A）

と先端部（３１Ｂ～３９Ｂ、６１Ｂ～６６Ｂ）との間に段差が設けられることで、各端子板の先端部（３１Ｂ～３９Ｂ、６１Ｂ～６６Ｂ）の幅方向の両端が、各端子板の基端部（３１Ａ～３９Ａ、６１Ａ～６６Ａ）の幅方向の両端よりも内側に位置している。

[0081] 電源端子板３１，３２，３３の基端部３１Ａ，３２Ａ，３３Ａの端子主面（下面）３１ｂ，３２ｂ，３３ｂ、出力端子板３４，３５，３６の基端部３４Ａ，３５Ａ，３６Ａの端子主面（下面）３４ｂ，３５ｂ，３６ｂ、グランド端子板３７，３８，３９の基端部３７Ａ，３８Ａ，３９Ａの端子主面（下面）３７ｂ，３８ｂ，３９ｂ及びゲート端子板６１～６６の基端部６１Ａ～６６Ａの下面６１ｂ～６６ｂと、電源配線板２４の第二主面（下面）２４ｂ、グランド配線板２５，２６，２７の第二主面（下面）２５ｂ，２６ｂ，２７ｂ及び出力配線板２８，２９，３０の第二主面（下面）２８ｂ，２９ｂ，３０ｂとが、同一面上に配されている。

[0082] 半導体素子９１～９６は、電源配線板２４の各幅広部２４Ｂと、出力配線板２８～３０の各幅広部２８Ｂ～３０Ｂとに１つずつ配置されている。

[0083] より具体的には、電源配線板２４のうち、電源端子板３１，３２，３３の基端部３１Ａ，３２Ａ，３３Ａ近傍の部分（幅広部２４Ｂ）の第一主面２４ａには、半導体素子９１，９２，９３が実装されている。

[0084] これらの半導体素子９１，９２，９３は、接続子１０１，１０２，１０３を介して、出力配線板２８，２９，３０の幅狭部２８Ａ，２９Ａ，３０Ａとそれぞれ電気接続されている。半導体素子９１，９２，９３は、接続子１０４，１０５，１０６を介して、第一ゲート配線板８２，８４，８６とそれぞれ電気接続されている。

[0085] 出力配線板２８，２９，３０のうち、出力端子板３４，３５，３６の基端部３４Ａ，３５Ａ，３６Ａ近傍の部分（幅広部２８Ｂ，２９Ｂ，３０Ｂ）の第一主面２８ａ，２９ａ，３０ａには、半導体素子９４，９５，９６が実装されている。

[0086] これらの半導体素子９４，９５，９６は、接続子１０７，１０８，１０９

を介して、グランド配線板 25, 26, 27 とそれぞれ電気接続されている。半導体素子 94, 95, 96 は、接続子 110, 111, 112 を介して、第二ゲート配線板 81, 83, 85 とそれぞれ電気接続されている。

[0087] 図 1 に示すように、接続子 101, 102, 103, 107, 108, 109 としては、ボンディングワイヤが用いられている。また、接続子 104, 105, 106, 110, 111, 112 としては、ボンディングワイヤが用いられている。

[0088] 第一回路ユニット 41 において、第一電源端子板 31、電源配線板 24、第一半導体素子 91、第一接続子 101、第一出力配線板 28 及び第一出力端子板 34 が、第一電流経路 71 を形成している。ここで、接続子 104 は、第一半導体素子 91 から第一ゲート配線板 82 へ向かうに従って、第一電流経路 71 から反れるように配置されている。

[0089] 第二回路ユニット 42 において、第二電源端子板 32、電源配線板 24、第二半導体素子 92、第二接続子 102、第二出力配線板 29 及び第二出力端子板 35 が、第一電流経路 73 を形成している。ここで、接続子 105 は、第二半導体素子 92 から第一ゲート配線板 84 へ向かうに従って、第一電流経路 73 から反れるように配置されている。

[0090] 第三回路ユニット 43 において、第三電源端子板 33、電源配線板 24、第三半導体素子 93、第三接続子 103、第三出力配線板 30 及び第三出力端子板 36 が第一電流経路 75 を形成している。ここで、接続子 106 は、第三半導体素子 93 から第一ゲート配線板 86 へ向かうに従って、第一電流経路 75 から反れるように配置されている。

[0091] 第一回路ユニット 41 において、第一出力端子板 34、第一出力配線板 28、第四半導体素子 94、第四接続子 107、第一グランド配線板 25 及び第一グランド端子板 37 が、第二電流経路 72 を形成している。ここで、接続子 110 は、第四半導体素子 94 から第二ゲート配線板 81 へ向かうに従って、第二電流経路 72 から反れるように配置されている。

[0092] 第二回路ユニット 42 において、第二出力端子板 35、第二出力配線板 2

9、第五半導体素子95、第五接続子108、第二グランド配線板26及び第二グランド端子板38が、第二電流経路74を形成している。ここで、接続子111は、第五半導体素子95から第二ゲート配線板83へ向かうに従って、第二電流経路74から反れるように配置されている。

[0093] 第三回路ユニット43において、第三出力端子板36、第三出力配線板30、第六半導体素子96、第六接続子109、第三グランド配線板27及び第三グランド端子板39が、第二電流経路76を形成している。ここで、接続子112は、第六半導体素子96から第二ゲート配線板85へ向かうに従って、第二電流経路76から反れるように配置されている。

[0094] 電源配線板24の3つの幅広部24Bにそれぞれ配置された半導体素子91、92、93は、出力端子板34、35、36及びグランド端子板37、38、39の配列方向（装置本体20の短手方向Y）に直交する方向（装置本体20の長手方向X）に間隔を空けて配列されて第一素子群を構成している。

[0095] 一方、3つの出力配線板28、29、30の幅広部28B、29B、30Bにそれぞれ配置された半導体素子94、95、96は、出力端子板34、35、36及びグランド端子板37、38、39の配列方向（装置本体20の短手方向Y）に直交する方向（装置本体20の長手方向X）に間隔を空けて配列されて第二素子群を構成している。

[0096] 第二素子群を構成する第五半導体素子95の中心が、出力端子板34、35、36及びグランド端子板37、38、39の配列方向（装置本体20の短手方向Y）に直交する方向（装置本体20の長手方向X）において第一素子群を構成する第一半導体素子91と第二半導体素子92の中心間に位置している。

[0097] また、第二素子群を構成する第六半導体素子96の中心が、出力端子板34、35、36及びグランド端子板37、38、39の配列方向（装置本体20の短手方向Y）に直交する方向（装置本体20の長手方向X）において第一素子群を構成する第二半導体素子92と第三半導体素子93の中心間に位

置している。

- [0098] 封止樹脂 50 は、電源配線板 24、出力配線板 28、29、30、及びグランド配線板 25、26、27 の第二主面（第一主面とは反対側の面、つまり装置本体 20 の下面 20b）が露出するように、電源配線板 24、出力配線板 28、29、30、及びグランド配線板 25、26、27 を封止する。
- [0099] また、封止樹脂 50 には、図 1 に示すように、電源配線板 24、出力配線板 28、29、30、及びグランド配線板 25、26、27 の厚み方向に貫通する貫通孔 51、51 が形成されていてもよい。
- [0100] 封止樹脂 50 の貫通孔 51、51 は、図 1 に示すように、封止樹脂 50 における出力端子板 34、35、36 及びグランド端子板 37、38、39 の配列方向（装置本体 20 の短手方向 Y）に直交する方向（装置本体 20 の長手方向 X）の両端に形成されていることが好ましい。
- [0101] 電源配線板 24、グランド配線板 25、26、27、出力配線板 28、29、30、ゲート配線板 81～86、電源端子板 31、32、33、出力端子板 34、35、36、グランド端子板 37、38、39 及びゲート端子板 61～66 の材料は、特に限定されないが、例えば、銅等の一般的なリードフレームに用いられる材料であってよい。
- [0102] 封止樹脂 50 は、特に限定されないが、例えば、一般的に半導体装置の封止に用いられる材料であってよい。
- [0103] 本実施形態の半導体装置 10 の回路図は、例えば、図 3 に示すようになっている。
- [0104] 図 1、3 に示す態様では、第一半導体素子 91、第二半導体素子 92、第三半導体素子 93、第四半導体素子 94、第五半導体素子 95 及び第六半導体素子 96 が、ドレイン電極、ソース電極、ゲート電極を有するスイッチング素子である。この場合、本実施形態の半導体装置 10 は、モータ（例えば、三相モータ）の動作制御に使用することができる。
- [0105] 本実施形態の半導体装置 10 では、電源端子板 31、32、33 が直流電源（不図示）に接続される。電源端子板 31、32、33 に直流電流が流れ

、スイッチング素子である半導体素子 9 1, 9 2, 9 3 のゲート電極に対してゲート信号が断続的に印加されると、第一電流経路 7 1, 7 3, 7 5 においては、電源端子板 3 1, 3 2, 3 3 から出力端子板 3 4, 3 5, 3 6 に向けて、断続的に直流電流が流れる。

[0106] 一方、スイッチング素子である半導体素子 9 4, 9 5, 9 6 のゲート電極に対してゲート信号が断続的に印加されると、第二電流経路 7 2, 7 4, 7 6 においては、出力端子板 3 4, 3 5, 3 6 とグランド端子板 3 7, 3 8, 3 9 との間で交流電流が流れる。

[0107] なお、本実施形態では、3つの回路ユニット 4 1, 4 2, 4 3 を備えた半導体装置 1 0 を例示したが、本実施形態はこれに限定されない。本実施形態の半導体装置は、回路ユニットを少なくとも 1 つ備えていればよい。

[0108] 本実施形態では、図 1 に示すように、接続子 1 0 1, 1 0 2, 1 0 3, 1 0 7, 1 0 8, 1 0 9 として、ボンディングワイヤが用いられている場合を例示したが、本実施形態はこれに限定されない。本実施形態における接続子は、図 4 に示すように、接続子 1 0 1, 1 0 2, 1 0 3, 1 0 7, 1 0 8, 1 0 9 が、導電性を有する板材であってもよい。

[0109] 本実施形態の半導体装置 1 0 は、図 5 に示すように、電源配線板 2 4 と出力配線板 2 8, 2 9, 3 0 とが第一コンデンサ 1 2 1, 1 2 2, 1 2 3 によって接続され、出力配線板 2 8, 2 9, 3 0 とグランド配線板 2 5, 2 6, 2 7 とが第二コンデンサ 1 2 4, 1 2 5, 1 2 6 によって接続されていてもよい。すなわち、本実施形態の回路ユニット 4 1, 4 2, 4 3 は、コンデンサ 1 2 1 ~ 1 2 6 を含んでもよい。

[0110] 図 5 において、第一コンデンサ 1 2 1 ~ 1 2 3 は、電源配線板 2 4 と出力配線板 2 8 ~ 3 0 との間において半導体素子 9 1 ~ 9 3 と並列に接続されている。また、第二コンデンサ 1 2 4 ~ 1 2 6 は、出力配線板 2 8, 2 9, 3 0 とグランド配線板 2 5, 2 6, 2 7 との間において半導体素子 9 4 ~ 9 6 と並列に接続されている。

[0111] 本実施形態によれば、半導体装置 1 0 が、装置本体 2 0 と、1つの電源配線

板 24 と、複数の出力配線板 28～30 と、複数の半導体素子 91～96 とを備える。装置本体 20 は、互いに対向する第一主面 20a 及び第二主面 20b と、第一主面 20a の短手方向 Y において互いに対向する第一側面 20c 及び第二側面 20d とを有する。1 つの電源配線板 24 は、第一主面 20a の長手方向 X に交互に連結された幅狭部 24A と幅広部 24B を複数組有し、短手方向 Y において幅広部 24B が幅狭部 24A に対して第一側面 20c 側に突出している。複数の出力配線板 28～30 は、電源配線板 24 に沿って長手方向 X に配置される。複数の出力配線板 28～30 の数は、電源配線板 24 の幅狭部 24A 及び幅広部 24B の組数と等しい。複数の出力配線板 28～30 の各出力配線板は長手方向 X に連結された幅狭部 28A と幅広部 28B を有し、幅広部 28B が幅狭部 28A に対して第二側面 20d 側に突出している。複数の半導体素子 91～96 は、電源配線板 24 の各幅広部 24B と、出力配線板 28～30 の各幅広部 28B～30B とに 1 つずつ配置されている。長手方向 X において、互いに隣接する 2 つの出力配線板（例えば 28, 29）についても、一方の出力配線板（28）の幅狭部（28A）が、他方の前記出力配線板（29）の幅広部（29B）と向き合っている。短手方向 Y において、各出力配線板の幅狭部（28A）及び幅広部（28B）が、電源配線板 24 の 1 組の幅広部 24B 及び幅狭部 24A とそれぞれ向き合っている。長手方向 X において、各出力配線板（例えば 28）の幅が、電源配線板 24 の 1 組の幅狭部 24A 及び幅広部 24B それぞれの幅の合計よりも小さい。

[0112] これにより、長手方向 X において互いに隣接する電源配線板 24 の 2 つの幅広部の間、つまり、短手方向 Y において電源配線板 24 の各幅狭部 24A と装置本体 20 の第一側面 20c との間、に電源配線板及び出力配線板以外の配線板を設けるための領域を確保することができる。

[0113] 更に、長手方向 X において互いに隣接する 2 つの出力配線板（例えば 28 と 29）の間と、各出力配線板の幅狭部と装置本体 20 の第二側面 20d との間と、にも電源配線板及び出力配線板以外の配線板を設けるための領域を確

保することができる。

[0114] したがって、これらの領域に、上述のグランド配線板、第一ゲート配線板、及び第二ゲート配線板を、各配線板と接続させる端子板間のピッチを確保しながら配置することができる。したがって、これらの配線板を配置すれば、隣り合う端子板間のピッチを確保しながら放熱面積を増やすことができる。

[0115] また、このようにして確保される領域は、電源配線板 24 と各出力配線板が互いに係合するように配置されている場合、つまり、電源配線板 24 の幅広部 24 B が装置本体 20 の第一側面 20 c 側ではなく、第二側面 20 d 側に突出しており、各出力配線板の幅広部が装置本体 20 の第二側面 20 d 側ではなく、第一側面 20 c 側に突出している場合、には確保することができない領域である。

[0116] このことから、本実施形態に係る電源配線板 24 と複数の出力配線板 28 ～30 の配置構成によって、半導体装置 10 の更なるコンパクト化を実現することができる。

[0117] また、本実施形態によれば、半導体装置 10 が、長手方向 X において互いに隣接する電源配線板 24 の 2 つの幅広部 24 B と、当該 2 つの幅広部 24 B を連結する電源配線板 24 の 1 つの幅狭部 24 A とで囲まれる領域に 1 つずつ配置された複数のグランド配線板 25 ～27 を更に備える。複数のグランド配線板 25 ～27 の各グランド配線板（例えば 25）が、短手方向 Y において電源配線板 24 の 1 つの幅狭部 24 A を介して 1 つの出力配線板 28 の幅広部 28 B と向き合っている。

[0118] これにより、上記と同様、隣り合う端子板間のピッチを確保しながら放熱面積を増やすことができると共に、半導体装置の更なるコンパクト化を図ることができる。

[0119] また、本実施形態によれば、半導体装置 10 が、長手方向 X において互いに隣接する 2 つの出力配線板（例えば 28 と 29）の間に 1 つずつ配置された複数の第一ゲート配線板 82, 84, 86 と、複数の第一ゲート配線板 82, 84, 86 の各第一ゲート配線板（例えば 82）と、当該第一ゲート配線板（82

）と隣接する１つの出力配線板（２８）の幅狭部（２８Ａ）及びこれに連結された幅広部（２８Ｂ）と、によって囲まれた領域に１つずつ配置された複数の第二ゲート配線板８１、８３、８５と、を更に備える。

[0120] これにより、上記と同様、隣り合う端子板間のピッチを確保しながら放熱面積を増やすことができると共に、半導体装置の更なるコンパクト化を図ることができる。

[0121] また、本実施形態によれば、装置本体２０が、複数の回路ユニット４１、４２、４３から構成され、複数の回路ユニット４１、４２、４３の各回路ユニット（例えば４１）が、電源配線板（２４）の１組の幅狭部（２４Ａ）及び幅広部（２４Ｂ）と、１つの出力配線板（２８）と、１つのグランド配線板（２５）と、１つの第一ゲート配線板（８２）と、１つの第二ゲート配線板（８１）とを含む。

[0122] これにより、上記と同様、隣り合う端子板間のピッチを確保しながら放熱面積を増やすことができると共に、半導体装置の更なるコンパクト化を図ることができる。

[0123] また、各回路ユニットが同一の構成を有していることから、半導体装置１０の製造工程を簡素化することができる。より具体的には、各回路ユニット間で各配線板と各半導体素子の形状と配置が同一のため、電源配線板２４の各幅広部２４Ｂと、出力配線板２８～３０の各幅広部２８Ｂ～３０Ｂとに１つずつ半導体素子９１～９６を実装する工程において、回路ユニット毎に半導体素子の位置決めを行う必要がなくなる。

[0124] また、本実施形態によれば、半導体装置１０が、各回路ユニット（例えば４１）において、電源配線板２４の幅広部２４Ｂに配置された第一半導体素子（９１）と１つの出力配線板（２８）の幅狭部（２８Ａ）とを電気接続する第一接続子（１０１）と、１つの出力配線板（２８）の幅広部（２８Ｂ）に配置された第二半導体素子（９４）と１つのグランド配線板（２５）とを電気接続する第二接続子（１０７）と、第一半導体素子（９１）と１つの第一ゲート配線板（８２）とを電気接続する第三接続子（１０４）と、第二半導

体素子（９４）と１つの第二ゲート配線板（８１）とを電気接続する第四接続子（１１０）と、を更に備える。

[0125] これにより、隣り合う端子板間のピッチを確保しながら放熱面積を増やすことができると共に、半導体装置の更なるコンパクト化を図ることができる。

[0126] また、各回路ユニットが同一の構成を有していることから、半導体装置１０の製造工程を簡素化することができる。より具体的には、各回路ユニット間で各配線板と各半導体素子の形状と配置が同一のため、第一半導体素子と第一ゲート配線板を第一接続子で電気接続する工程と、第二半導体素子と第二ゲート配線板を第二接続子で電気接続する工程において、装置本体２０を回転移動させなくても精度良く電気接続することができる。

[0127] また、本実施形態によれば、半導体装置１０が、電源配線板２４の各幅広部２４Ｂとそれぞれ一体的に接続され、平面視で当該各幅広部２４Ｂから装置本体２０の第一側面２０ｃ側へ突出する複数の電源端子板３１～３３と、複数のグランド配線板２５～２７とそれぞれ一体的に接続され、平面視で当該複数のグランド配線板２５～２７から装置本体２０の第一側面２０ｃ側へ突出する複数のグランド端子板３７～３９と、複数の出力配線板２８～３０の各幅広部２８Ｂ～３０Ｂとそれぞれ一体的に接続され、平面視で各幅広部２８Ｂ～３０Ｂから装置本体２０の第二側面２０ｄ側へ突出する複数の出力端子板３４～３６と、複数の第一ゲート配線板８２，８４，８６とそれぞれ一体的に接続され、平面視で装置本体２０の第二側面２０ｄ側へ突出する複数の第一ゲート端子板６２，６４，６６と、複数の第二ゲート配線板８１，８３，８５とそれぞれ一体的に接続され、平面視で前記装置本体２０の第二側面２０ｄ側へ突出する複数の第二ゲート端子板６１，６３，６５と、を更に備える。複数の電源端子板３１～３３及び複数の出力端子板３４～３６が、複数の第一ゲート端子板６２，６４，６６及び複数の第二ゲート端子板６１，６３，６５よりも長手方向Ｘの幅が大きい。

[0128] これにより、上記と同様、隣り合う端子板間のピッチを確保しながら放熱面積を増やすことができると共に、半導体装置の更なるコンパクト化を図るこ

とができる。

[0129] また、本実施形態によれば、前記各回路ユニット（例えば４１）において、第三接続子（１０４）は、第一半導体素子（９１）から１つの第一ゲート配線板（８２）へ向かうに従って、１つの電源端子板（３１）から、電源配線板２４、第一半導体素子（９１）、第一接続子（１０１）、及び１つの出力配線板（２８）を経て、１つの出力端子板（３４）へと至る第一電流経路（７１）から反れるように配置されている。各回路ユニット（例えば４１）において、第四接続子（１１０）は、第二半導体素子（９４）から１つの第二ゲート配線板（８１）へ向かうに従って、１つの第一出力端子板（３４）から、１つの出力配線板（２８）、第四半導体素子（９４）、第四接続子（１０７）、及び１つのグランド配線板（２５）を経て、１つのグランド端子板（３７）へと至る第二電流経路（７２）から反れるように配置されている。

[0130] これにより、上記と同様、隣り合う端子板間のピッチを確保しながら放熱面積を増やすことができると共に、半導体装置の更なるコンパクト化を図ることができる。

[0131] また、第一半導体素子（９１）と出力配線板（２８）の幅狭部（２８Ａ）とを第一接続子（１０１）で接続する工程と、第一半導体素子（９１）と第一ゲート配線板（８２）とを第三接続子（１０４）で接続する工程において、第一接続子（１０１）と第三接続子（１０４）との間の距離が近くても、第一接続子（１０１）と第三接続子（１０４）とが互いに平行に配置される場合と比べて、より接続不良を回避することができる。また、第一接続子（１０１）と第三接続子（１０４）とが互いに平行に配置される場合と比べて、より電流経路への電氣的干渉を抑制することができる。

[0132] また、本実施形態によれば、複数の電源端子板３１～３３、複数のグランド端子板３７～３９、複数の出力端子板３４～３６、複数の第一ゲート端子板６２、６４、６６、及び複数の第二ゲート端子板６１、６３、６５の各端子板の延出方向の基端部３１Ａ～３９Ａ、６１Ａ～６６Ａが、装置本体２０の第二主面２０ｂと同一平面をなす端子主面を有する。各端子板の基端部３１Ａ～３

9 A, 6 1 A～6 6 Aが、各端子板の他の部分 3 1 B～3 9 B, 6 1 B～6 6 Bよりも幅が広い。

[0133] これにより、上記と同様、隣り合う端子板間のピッチを確保しながら、放熱面積を増やすことができる。したがって、半導体素子 9 1～9 6 で発生した熱を効率よく外部に逃がすことができる。更に、半導体装置の更なるコンパクト化を図ることができる。

[0134] また、本実施形態によれば、各端子板（電源端子板 3 1, 3 2, 3 3、出力端子板 3 4, 3 5, 3 6 及びグランド端子板 3 7, 3 8, 3 9、ゲート端子板 6 1～6 6）の基端部（3 1 A～3 9 A, 6 1 A～6 6 A）と、端子板の他の部分（3 1 B～3 9 B, 6 1 B～6 6 B）との間に段差が設けられている。

[0135] これにより、この段差を、端子板の折曲げ位置の目印とすることができる。

[0136] また、本実施形態によれば、複数の配線板（電源配線板 2 4、グランド配線板 2 5, 2 6, 2 7、出力配線板 2 8, 2 9, 3 0、ゲート配線板 8 1～8 6）がそれぞれ端子板（電源端子板 3 1, 3 2, 3 3、出力端子板 3 4, 3 5, 3 6、グランド端子板 3 7, 3 8, 3 9、ゲート端子板 6 1～6 6）と一体に形成されている。

[0137] このため、半導体装置 1 0 における電氣的な損失を抑えながら、半導体装置 1 0 のコンパクト化を図ることができる。

[0138] また、本実施形態によれば、端子板（電源端子板 3 1, 3 2, 3 3、出力端子板 3 4, 3 5, 3 6 及びグランド端子板 3 7, 3 8, 3 9、ゲート端子板 6 1～6 6）の基端部（3 1 A～3 9 A, 6 1 A～6 6 A）の下面（3 1 b～3 9 b, 6 1 b～6 6 b）と、配線板の下面（電源配線板 2 4 の第二主面 2 4 b、グランド配線板 2 5, 2 6, 2 7 の第二主面 2 5 b, 2 6 b, 2 7 b 及び出力配線板 2 8, 2 9, 3 0 の第二主面 2 8 b, 2 9 b, 3 0 b）が同一面上に配されている。また、一部の配線板の第一主面に半導体素子 9 1～9 6 が配されている。

[0139] このため、半導体素子 9 1～9 6 で発生した熱を効率よく外部に逃がすこと

ができる。

[0140] また、本実施形態によれば、複数の端子板には、電源端子板 3 1, 3 2, 3 3 と、装置本体 2 0 から電源端子板 3 1, 3 2, 3 3 と逆向きに延びる出力端子板 3 4, 3 5, 3 6 と、装置本体 2 0 から電源端子板 3 1, 3 2, 3 3 と同じ向きに延びるグランド端子板 3 7, 3 8, 3 9 と、がある。複数の配線板には、電源端子板 3 1, 3 2, 3 3 に接続された電源配線板 2 4 と、グランド端子板 3 7, 3 8, 3 9 に接続されたグランド配線板 2 5, 2 6, 2 7 と、出力端子板 3 4, 3 5, 3 6 に接続された出力配線板 2 8, 2 9, 3 0 と、がある。電源配線板 2 4 は、出力端子板 3 4, 3 5, 3 6 及びグランド端子板 3 7, 3 8, 3 9 の配列方向に直交する方向に連続する幅狭部 2 4 A と幅広部 2 4 B を複数有する。

[0141] このため、電源配線板 2 4 の幅広部 2 4 B に配された 3 つの半導体素子 9 1, 9 2, 9 3 で発生した熱を、電源配線板 2 4 全体で、均等に逃がすことができる。すなわち、放熱効率の向上を図ることができる。

[0142] また、本実施形態によれば、電源配線板 2 4 の幅広部 2 4 B の第一主面 2 4 a に配された半導体素子 9 1, 9 2, 9 3 と、出力配線板 2 8, 2 9, 3 0 の幅狭部 2 8 A, 2 9 A, 3 0 A とが接続子 1 0 1, 1 0 2, 1 0 3 で接続され、出力配線板 2 8, 2 9, 3 0 の幅広部 2 8 B, 2 9 B, 3 0 B の第一主面 2 8 a, 2 9 a, 3 0 a に配された半導体素子 9 4, 9 5, 9 6 と、グランド配線板 2 5, 2 6, 2 7 とが接続子 1 0 7, 1 0 8, 1 0 9 で接続されている。

[0143] このため、半導体素子 9 1, 9 2, 9 3 で発生した熱を、接続子 1 0 1, 1 0 2, 1 0 3 を通じて、出力配線板 2 8, 2 9, 3 0 の幅狭部 2 8 A, 2 9 A, 3 0 A に効率よく伝えることができる。また、半導体素子 9 4, 9 5, 9 6 で発生した熱を、接続子 1 0 7, 1 0 8, 1 0 9 を通じて、グランド配線板 2 5, 2 6, 2 7 に効率よく伝えることができる。したがって、半導体装置 1 0 の放熱効率を向上することができる。

[0144] また、本実施形態によれば、接続子 1 0 1, 1 0 2, 1 0 3, 1 0 7, 1 0

8, 109が、導電性を有する板材である。

[0145] 板材はボンディングワイヤと比較して電気抵抗が小さいため、半導体装置10における電氣的な損失を小さくできる。また、板材は、ボンディングワイヤと比較して熱伝導率が高いため、半導体装置10の放熱効率の向上をさらに図ることができる。

[0146] また、本実施形態によれば、封止樹脂50に電源配線板24、出力配線板28, 29, 30、グランド配線板25, 26, 27の厚み方向に貫通する貫通孔51, 51が形成されている。

[0147] このため、貫通孔51, 51を利用して半導体装置10をネジ止めによって放熱部材に固定できる。この固定により、電源配線板24、出力配線板28, 29, 30、グランド配線板25, 26, 27の第二主面（装置本体20の下面）を放熱部材に押し付けることができる。

[0148] これにより、電源配線板24、出力配線板28, 29, 30、グランド配線板25, 26, 27の第二主面と放熱部材との接触を確保できるため、半導体素子91～96で発生した熱を、これらの配線板の第二主面から放熱部材に効率よく逃がすことができる。

[0149] また、貫通孔51, 51は、封止樹脂50における出力端子板34, 35, 36及びグランド端子板37, 38, 39の配列方向に直交する方向の両端に形成されている。

[0150] このため、電源配線板24、出力配線板28, 29, 30、グランド配線板25, 26, 27の第二主面（装置本体20の下面20b）と放熱部材との面接触を確保できる。

[0151] これにより、半導体素子91～96で発生した熱を、これらの配線板の第二主面から放熱部材に、さらに効率よく逃がすことができる。

[0152] また、本実施形態によれば、複数の端子板には、装置本体10から電源端子板31, 32, 33と逆向きに延びるゲート端子板61～66がある。

[0153] このため、電源端子板31, 32, 33及びグランド端子板37, 38, 39間の間隔と、出力端子板34, 35, 36及びゲート端子板61～66

間の間隔を確保しながら、半導体装置 10 を長手方向に小型化することができる。

[0154] また、本実施形態によれば、配線板には、ゲート配線板 81, 83, 85 がある。端子板には、電源配線板 24 に接続された電源端子板 31, 32, 33 と、グランド配線板 25, 26, 27 に接続されたグランド端子板 37, 38, 39 と、出力配線板 28, 29, 30 に接続された出力端子板 34, 35, 36 と、ゲート配線板 81, 83, 85 に接続されたゲート端子板 61～66 と、がある。電源端子 31, 32, 33、出力端子板 34, 35, 36 及びグランド端子板 37, 38, 39 の幅は、ゲート端子 61～66 の幅よりも大きい。

[0155] このため、半導体装置 10 における電氣的な損失を抑えながら、半導体装置 10 のコンパクト化を図ることができる。電源端子板 31, 32, 33、出力端子板 34, 35, 36 及びグランド端子板 37, 38, 39 には大電流が流れるため、これらの端子板を幅広とすることで、これらの端子板における電気抵抗を小さく抑えて、これらの端子板における電氣的な損失を抑制できる。

[0156] 一方、ゲート端子板 61～66 には小さい電流しか流れないため、これらの端子板を幅狭としても、これらの端子板における電氣的な損失を抑えることができる。

[0157] また、本実施形態によれば、電源配線板 24 の複数の幅広部 24B のそれぞれに配された半導体素子 91, 92, 93 は、出力端子板 34, 35, 36 及びグランド端子板 37, 38, 39 の配列方向（装置本体 20 の短手方向 Y）に直交する方向（装置本体 20 の長手方向 X）に間隔を空けて配列されて第一素子群を構成する。複数の出力配線板 28, 29, 30 の幅広部 28B, 29B, 30B のそれぞれに配された半導体素子 94, 95, 96 は、出力端子板 34, 35, 36 及びグランド端子板 37, 38, 39 の配列方向（装置本体 20 の短手方向 Y）に直交する方向（装置本体 20 の長手方向 X）に間隔を空けて配列されて第二素子群を構成している。第二素子群を

構成する半導体素子板 95, 96 の中心が、出力端子板 34, 35, 36 及びグランド端子板 37, 38, 39 の配列方向（装置本体 20 の短手方向 Y）に直交する方向（装置本体 20 の長手方向 X）において第一素子群を構成する半導体素子 91, 92, 93 のうちの 2 つの中心間に位置している。

[0158] このため、第一電流経路 71, 73, 75 及び第二電流経路 72, 74, 76 をより単純化することができる。また、複数の半導体素子 91～96 において発生した熱に基づく装置本体 20 での熱分布の均等化を図ることができる。すなわち、装置本体 20 における熱の集中を防止できると共に、半導体装置 10 の放熱効率向上を図ることもできる。

[0159] また、本実施形態によれば、電源配線板 24、出力配線板 28, 29, 30、グランド配線板 25, 26, 27 から延びる電源端子 31, 32, 33、出力端子 34, 35, 36、グランド端子 37, 38, 39 の先端部は、これらの配線板の第一主面から突出するように、これらの配線板の厚み方向に延びている。

[0160] このため、半導体装置 10 の下面が接触する放熱部材から離れた位置において、半導体装置 10 を回路基板などに接続することができる。

[0161] また、本実施形態によれば、電源配線板 24 と出力配線板 28, 29, 30 とがコンデンサ 121, 122, 123 によって接続され、出力配線板 28, 29, 30 とグランド配線板 25, 26, 27 とがコンデンサ 124, 125, 126 によって接続されている。

[0162] 半導体素子 91～96 が、車載用電装品に搭載される MOS-FET や IGBT 等のスイッチング素子である場合、半導体素子 91～96 のスイッチングにより電流が間欠的に流れる。半導体装置 10 において、コンデンサ 121～126 を設けることにより、半導体素子 91～96 のスイッチング時の電圧変動を緩和させることができる。

[0163] [リードフレーム]

以下、本発明の一実施形態によるリードフレームについて、図面を参照して説明する。

- [0164] 図6に示すように、本実施形態のリードフレーム200は、複数の配線板（電源配線板24、グランド配線板25、26、27、出力配線板28、29、30、ゲート配線板81～86）と、複数の端子板（電源端子板（リード）31、32、33、出力端子板（リード）34、35、36、グランド端子板（リード）37、38、39、ゲート端子板61～66）とが一体に形成され、複数の端子板が連結部（タイバー201、202と枠体部203）によって連結されている。
- [0165] 本実施形態では、図6に示すリードフレーム200において、図1に示す半導体装置10と同一の構成要素には、同一の符号を付して、それらの構成要素に関する説明を省略する。
- [0166] 連結部のうちタイバー201、202は、複数の端子板の配列方向にわたって、複数の端子板における複数の配線板近傍の部分（基端部（31A～39A、61A～66A））を連結するように形成されている。
- [0167] 連結部のうち枠体部203は、複数の端子板における複数の配線板とは反対側の部分（先端部（31B～39B、61B～66B））と、タイバー201、202における複数の端子板から離隔する部分とを連結し、複数の配線板と複数の端子板を囲むように形成されている。
- [0168] 本実施形態のリードフレーム200は、半導体装置10用のリードフレームとして用いられる。
- [0169] すなわち、本実施形態のリードフレーム200は、半導体装置10を構成する、複数の配線板（電源配線板24、グランド配線板25、26、27、出力配線板28、29、30、ゲート配線板81～86）と、複数の端子板（電源端子板（リード）31、32、33、出力端子板（リード）34、35、36、グランド端子板（リード）37、38、39、ゲート端子板61～66）として用いられる。
- [0170] 本実施形態のリードフレーム200を用いて、前述した半導体装置10を製造することができる。

符号の説明

- [0171] 1 0 半導体装置
- 2 0 装置本体
- 2 1, 2 2, 2 3 装置単位
- 2 4 電源配線板
- 2 5, 2 6, 2 7 グランド配線板
- 2 8, 2 9, 3 0 出力配線板
- 3 1, 3 2, 3 3 電源端子板
- 3 4, 3 5, 3 6 出力端子板
- 3 7, 3 8, 3 9 グランド端子板
- 4 1, 4 2, 4 3 回路ユニット
- 5 0 封止樹脂
- 5 1 貫通孔
- 6 1, 6 2, 6 3, 6 4, 6 5, 6 6 ゲート端子板
- 7 1, 7 3, 7 5 第一電流経路
- 7 2, 7 4, 7 6 第二電流経路
- 8 1, 8 2, 8 3, 8 4, 8 5, 8 6 ゲート配線板
- 9 1, 9 2, 9 3, 9 4, 9 5, 9 6 半導体素子
- 1 0 1, 1 0 2, 1 0 3, 1 0 4, 1 0 5, 1 0 6, 1 0 7, 1 0 8, 1 0 9, 1 1 0, 1 1 1, 1 1 2 接続子
- 1 2 1, 1 2 2, 1 2 3, 1 2 4, 1 2 5, 1 2 6 コンデンサ
- 2 0 0 リードフレーム
- 2 0 1, 2 0 2 タイバー
- 2 0 3 枠体部

請求の範囲

- [請求項1] 互いに対向する第一主面及び第二主面と、前記第一主面の短手方向において互いに対向する第一側面及び第二側面とを有する装置本体と、前記第一主面の長手方向に交互に連結された幅狭部と幅広部を複数組有する1つの電源配線板であって、前記短手方向において前記幅広部が前記幅狭部に対して前記第一側面側に突出している、1つの電源配線板と、
- 前記電源配線板に沿って前記長手方向に配置された複数の出力配線板であって、前記複数の出力配線板の数は前記電源配線板の前記幅狭部及び前記幅広部の組数と等しく、前記複数の出力配線板の各出力配線板は前記長手方向に連結された幅狭部と幅広部を有し、当該幅広部が当該幅狭部に対して前記第二側面側に突出している、複数の出力配線板と、
- 前記電源配線板の各幅広部と、前記出力配線板の各幅広部とに1つずつ配置された複数の半導体素子と、
- を備え、
- 前記長手方向において、互いに隣接するどの2つの前記出力配線板についても、一方の出力配線板の前記幅狭部が、他方の前記出力配線板の前記幅広部と向き合っており、
- 前記短手方向において、前記各出力配線板の前記幅狭部及び前記幅広部が、前記電源配線板の1組の前記幅広部及び前記幅狭部とそれぞれ向き合っており、
- 前記長手方向において、前記各出力配線板の幅が、前記電源配線板の1組の前記幅狭部及び前記幅広部それぞれの幅の合計よりも小さい、半導体装置。
- [請求項2] 前記長手方向において互いに隣接する前記電源配線板の2つの前記幅広部と、当該2つの前記幅広部を連結する前記電源配線板の1つの前記幅狭部とで囲まれる領域に1つずつ配置された複数のグラウンド配線

板を更に備え、

前記複数のグラウンド配線板の各グラウンド配線板が、前記短手方向において前記電源配線板の1つの前記幅狭部を介して1つの前記出力配線板の前記幅広部と向き合っている、

請求項1に記載の半導体装置。

[請求項3]

前記長手方向において互いに隣接する2つの前記出力配線板の間に1つずつ配置された複数の第一ゲート配線板と、

前記複数の第一ゲート配線板の各第一ゲート配線板と、当該第一ゲート配線板と隣接する1つの前記出力配線板の前記幅狭部及びこれに連結された前記幅広部と、によって囲まれた領域に1つずつ配置された複数の第二ゲート配線板と、

を更に備える請求項2に記載の半導体装置。

[請求項4]

前記装置本体は、複数の回路ユニットから構成され、

前記複数の回路ユニットの各回路ユニットが、前記電源配線板の1組の前記幅狭部及び前記幅広部と、1つの前記出力配線板と、1つの前記グラウンド配線板と、1つの前記第一ゲート配線板と、1つの前記第二ゲート配線板とを含む、

請求項3に記載の半導体装置。

[請求項5]

前記各回路ユニットにおいて、前記電源配線板の前記幅広部に配置された第一半導体素子と、前記1つの出力配線板の前記幅狭部とを電気接続する第一接続子と、

前記1つの出力配線板の前記幅広部に配置された第二半導体素子と、

前記1つのグラウンド配線板とを電気接続する第二接続子と、

前記第一半導体素子と、前記1つの第一ゲート配線板とを電気接続する第三接続子と、

前記第二半導体素子と、前記1つの第二ゲート配線板とを電気接続する第四接続子と、

を更に備える請求項4に記載の半導体装置。

[請求項6] 前記電源配線板の各幅広部とそれぞれ一体的に接続され、平面視で当該各幅広部から前記装置本体の前記第一側面側へ突出する複数の電源端子板と、

前記複数のグランド配線板とそれぞれ一体的に接続され、平面視で当該複数のグランド配線板から前記装置本体の前記第一側面側へ突出する複数のグランド端子板と、

前記複数の出力配線板の各幅広部とそれぞれ一体的に接続され、平面視で前記各幅広部から前記装置本体の前記第二側面側へ突出する複数の出力端子板と、

前記複数の第一ゲート配線板とそれぞれ一体的に接続され、平面視で前記装置本体の前記第二側面側へ突出する複数の第一ゲート端子板と、

、

前記複数の第二ゲート配線板とそれぞれ一体的に接続され、平面視で前記装置本体の前記第二側面側へ突出する複数の第二ゲート端子板と、

、

を更に備え、

前記複数の電源端子板及び前記複数の出力端子板が、前記複数の第一ゲート端子板及び前記複数の第二ゲート端子板よりも前記長手方向の幅が大きい、

請求項3～5のいずれか1項に記載の半導体装置。

[請求項7] 前記各回路ユニットにおいて、前記第三接続子は、前記第一半導体素子から前記1つの第一ゲート配線板へ向かうに従って、前記1つの電源端子板から、前記電源配線板、前記第一半導体素子、前記第一接続子、及び前記1つの出力配線板を経て、前記1つの出力端子板へと至る第一電流経路から反れるように配置されており、

前記各回路ユニットにおいて、前記第四接続子は、前記第二半導体素子から前記1つの第二ゲート配線板へ向かうに従って、前記1つの第一出力端子板から、前記1つの出力配線板、前記第四半導体素子、前

記第四接続子、及び前記１つのグランド配線板を経て、前記１つのグランド端子板へと至る第二電流経路から反れるように配置されている、

請求項５に記載の半導体装置。

[請求項８] 前記複数の電源端子板、前記複数のグランド端子板、前記複数の出力端子板、前記複数の第一ゲート端子板、及び前記複数の第二ゲート端子板の各端子板の延出方向の基端部が、前記装置本体の第二主面と同一平面をなす端子主面を有し、
前記各端子板の前記基端部が、前記各端子板の他の部分よりも幅が広い、

請求項６に記載の半導体装置。

[請求項９] 前記各端子板の基端部と、前記各端子板の前記他の部分との間に段差がある、

請求項８に記載の半導体装置。

[請求項１０] 前記複数の半導体素子は、前記電源配線板及び前記複数の出力配線板の第一主面に配置され、

前記各配線板の第二主面が、前記装置本体の第二主面を構成する、

請求項８又は９に記載の半導体装置。

[請求項１１] 前記第一接続子から前記第四接続子が、導電性を有する板材である、
請求項５に記載の半導体装置。

[請求項１２] 前記装置本体は、前記各配線板の前記第二主面が露出するように前記各配線板を封止する樹脂を更に備え、

前記樹脂は、前記装置本体の前記長手方向の両端に前記各配線板の厚み方向に貫通する貫通孔を有する、

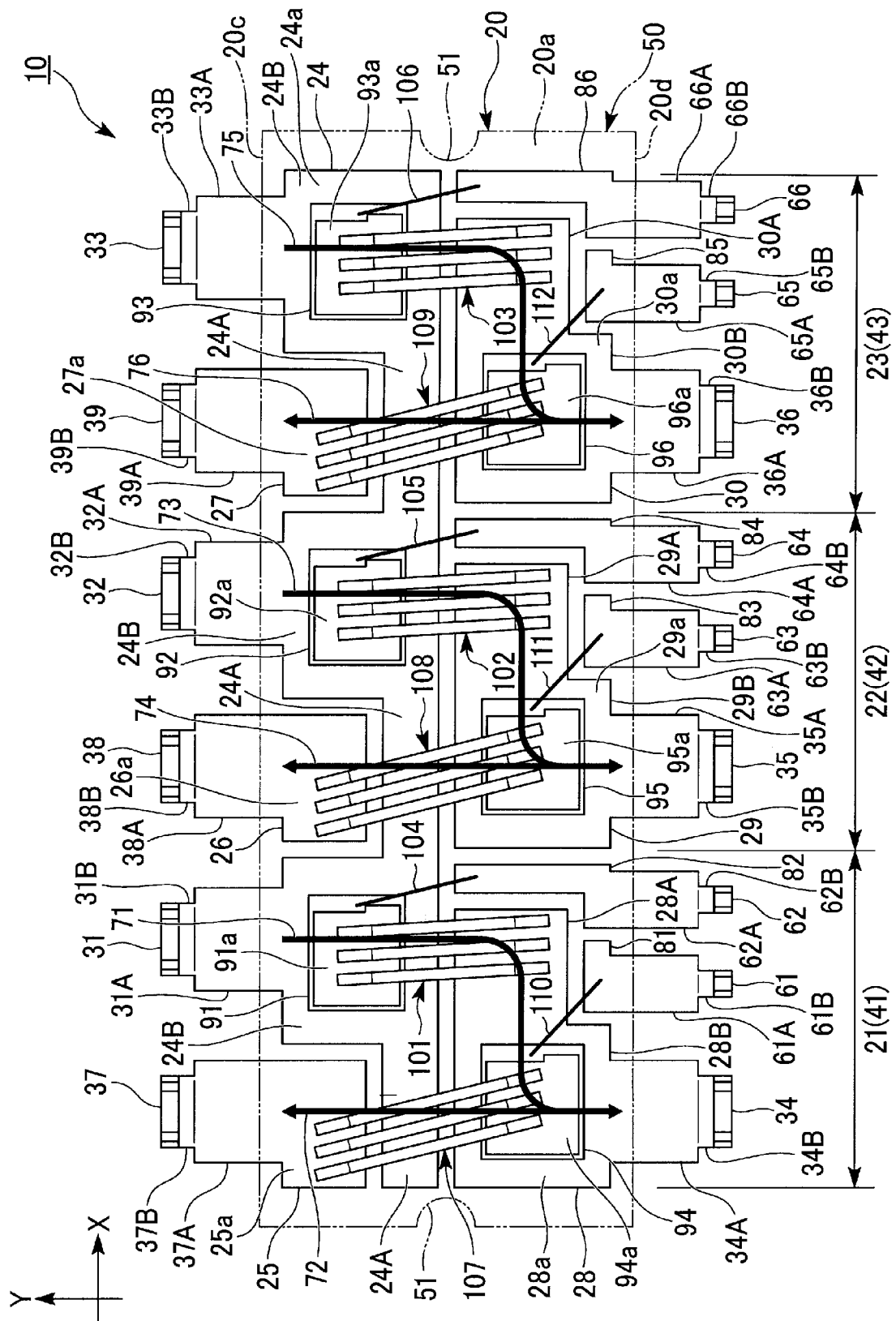
請求項１０または１１に記載の半導体装置。

[請求項１３] 前記各端子板の先端部は、前記各配線板の厚み方向において前記第一主面側に突出するように延びている

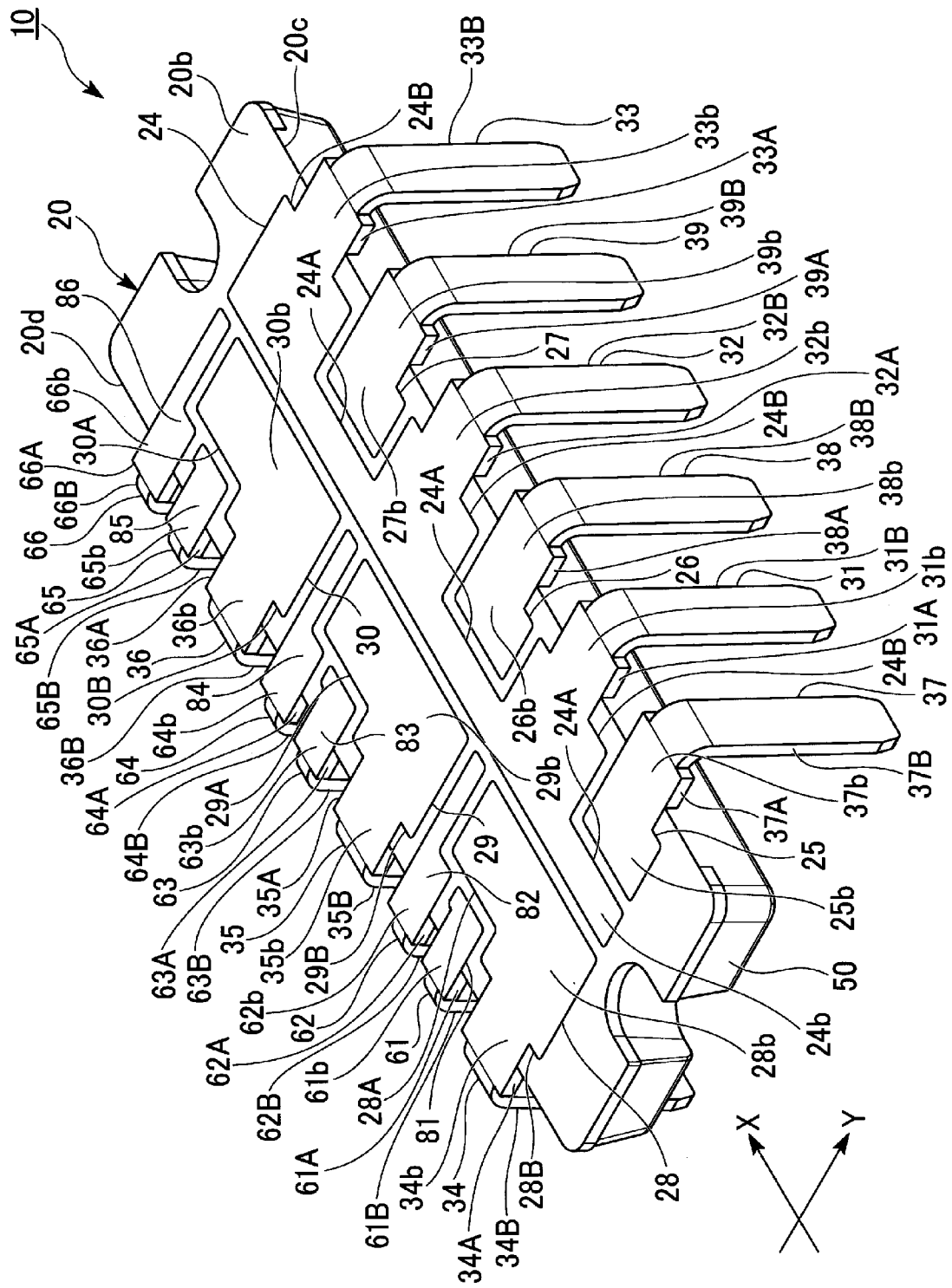
請求項１０から１２のいずれか１項に記載の半導体装置。

- [請求項14] 前記電源配線板と前記各出力配線板とを接続する第一コンデンサと、
前記各出力配線板と前記各グランド配線板とを接続する第二コンデンサと、
を更に備える請求項2から13のいずれか1項に記載の半導体装置。
- [請求項15] 請求項6から14のいずれか一項に記載の半導体装置用のリードフレームであって、
前記複数の電源端子板、前記複数のグランド端子板、前記複数の出力端子板、前記複数の第一ゲート端子板、及び前記複数の第二ゲート端子板と、
これらの複数の端子板を連結する連結部と、
を備えるリードフレーム。

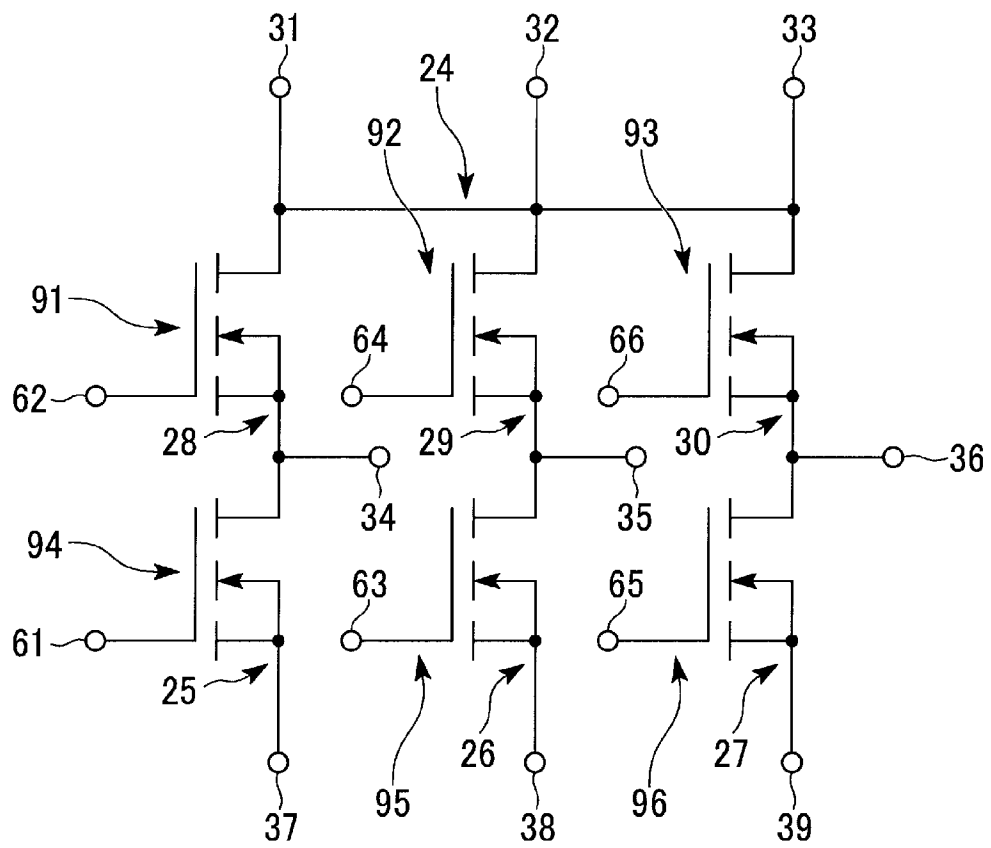
[図1]



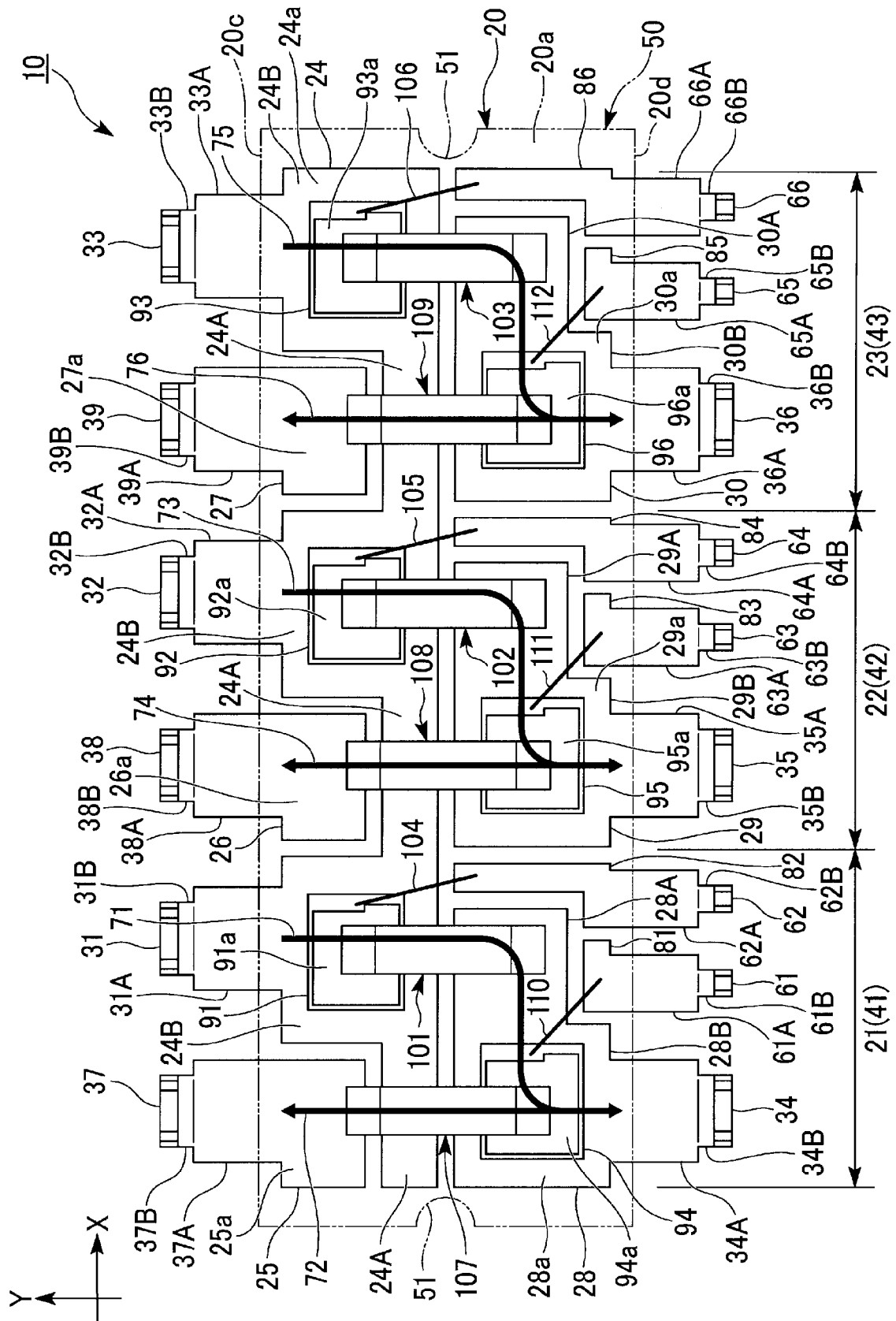
[図2]



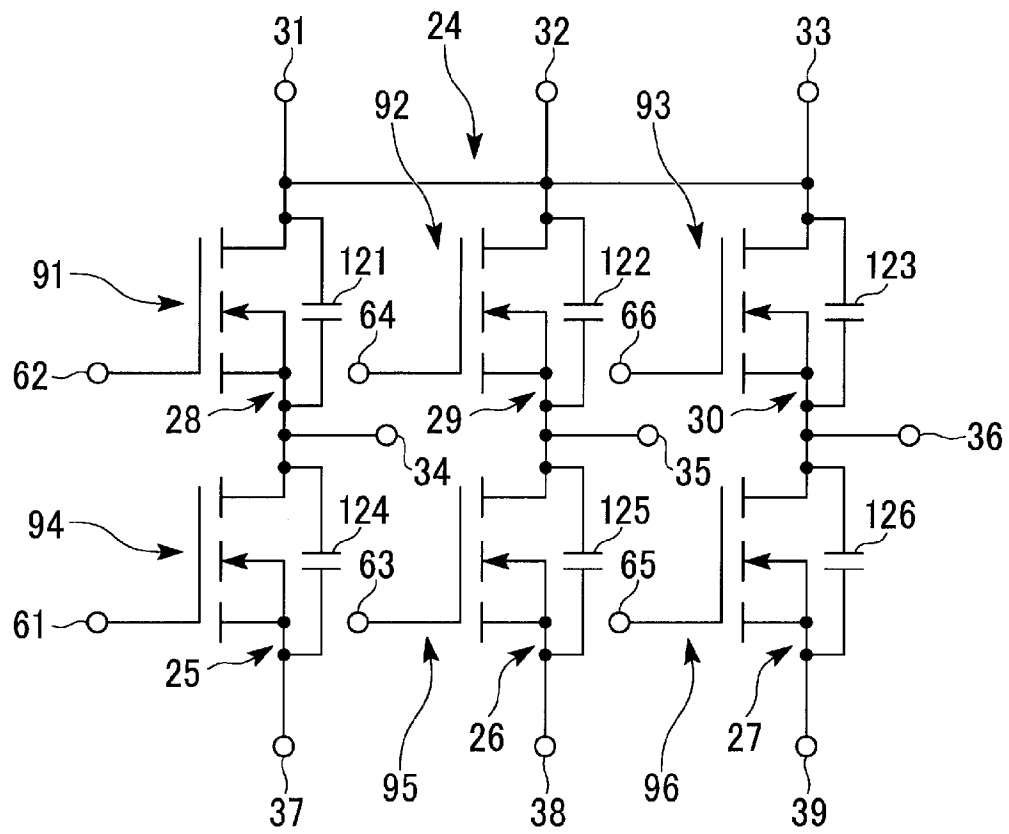
[図3]



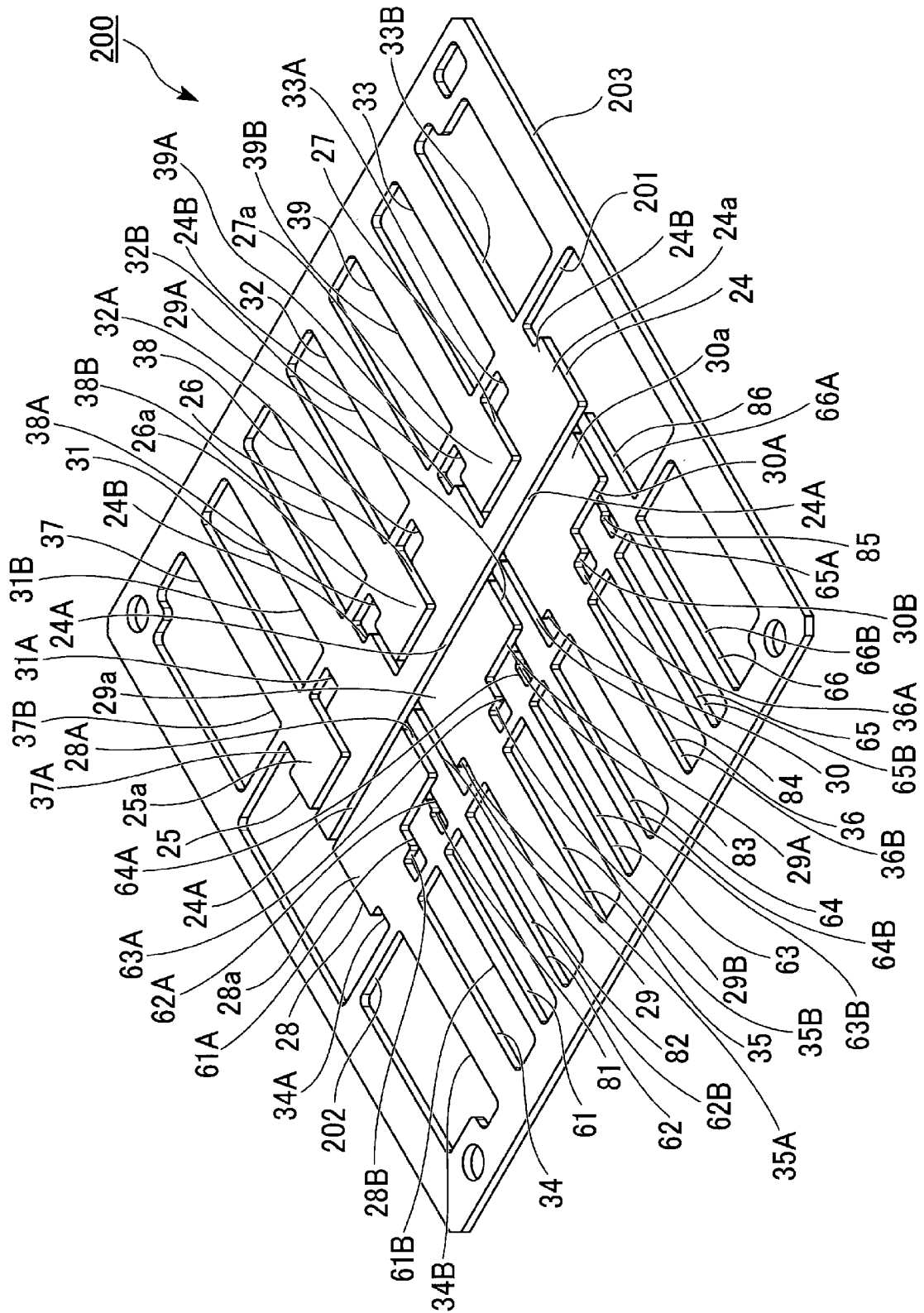
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/070664

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/48(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/48, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-249457 A (Denso Corp.), 13 December 2012 (13.12.2012), paragraphs [0043] to [0052]; fig. 3 to 5 & US 2012/0306299 A1 paragraphs [0046] to [0054]; fig. 3 to 5 & DE 102012104376 A & CN 102810979 A	1-15
A	WO 2012/108011 A1 (Mitsubishi Electric Corp.), 16 August 2012 (16.08.2012), paragraphs [0020] to [0028]; fig. 1 to 3 & US 9129949 B2 specification, column 4, line 2 to column 5, line 39; fig. 1 to 3 & EP 2674973 A1 & CN 103339724 A	1-15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 September 2016 (09.09.16)

Date of mailing of the international search report
20 September 2016 (20.09.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/070664

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-90960 A (Denso Corp.), 11 May 2015 (11.05.2015), paragraphs [0009] to [0011], [0028]; fig. 1 to 3, 9 & DE 102014116175 A1	1-15
A	JP 9-275174 A (Toko, Inc.), 21 October 1997 (21.10.1997), paragraphs [0008] to [0009], [0011]; fig. 1, 2, 4 (Family: none)	1-15
A	JP 2010-104204 A (Denso Corp.), 06 May 2010 (06.05.2010), paragraph [0026]; fig. 3 (Family: none)	1-15
A	JP 2013-51376 A (Denso Corp.), 14 March 2013 (14.03.2013), paragraphs [0034] to [0057]; fig. 1 to 6 & US 2013/0047426 A1 paragraphs [0035] to [0064]; fig. 1 to 5	1-15
A	JP 2012-182250 A (Sanken Electric Co., Ltd.), 20 September 2012 (20.09.2012), paragraph [0027]; fig. 1, 3, 4 & CN 202487565 U	1-15
A	JP 2011-238906 A (Denso Corp.), 24 November 2011 (24.11.2011), fig. 1, 5 & US 2011/0291236 A fig. 2, 6 & DE 102011002026 A	1-15
A	WO 2014/174573 A1 (Mitsubishi Electric Corp.), 30 October 2014 (30.10.2014), paragraph [0019]; fig. 2, 3 & US 2015/0318247 A1 paragraph [0027]; fig. 2, 3 & CN 105144376 A	1-15
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 6230/1990 (Laid-open No. 97940/1991) (Fujitsu Ltd.), 09 October 1991 (09.10.1991), specification, pages 4 to 5; fig. 1(a) (Family: none)	1-15

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L23/48(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L23/48, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-249457 A（株式会社デンソー）2012.12.13, 段落 0043-0052, 図 3-5 & US 2012/0306299 A1, 段落 0046-0054, FIGS. 3-5 & DE 102012104376 A & CN 102810979 A	1-15
A	WO 2012/108011 A1（三菱電機株式会社）2012.08.16, 段落 0020-0028, 図 1-3 & US 9129949 B2, 明細書第 4 欄第 2 行-第 5 欄第 39 行, Figs. 1-3 & EP 2674973 A1 & CN 103339724 A	1-15

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

09.09.2016

国際調査報告の発送日

20.09.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

木下 直哉

5 D

3 8 5 8

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-90960 A (株式会社デンソー) 2015. 05. 11, 段落 0009-0011, 0028, 図 1-3, 9 & DE 102014116175 A1	1-15
A	JP 9-275174 A (東光株式会社) 1997. 10. 21, 段落 0008-0009, 0011, 図 1, 2, 4 (ファミリーなし)	1-15
A	JP 2010-104204 A (株式会社デンソー) 2010. 05. 06, 段落 0026, 図 3 (ファミリーなし)	1-15
A	JP 2013-51376 A (株式会社デンソー) 2013. 03. 14, 段落 0034-0057, 図 1-6 & US 2013/0047426 A1, 段落 0035-0064, FIGS. 1-5	1-15
A	JP 2012-182250 A (サンケン電気株式会社) 2012. 09. 20, 段落 0027, 図 1, 3, 4 & CN 202487565 U	1-15
A	JP 2011-238906 A (株式会社デンソー) 2011. 11. 24, 図 1, 5 & US 2011/0291236 A1, FIGS. 2, 6 & DE 102011002026 A	1-15
A	WO 2014/174573 A1 (三菱電機株式会社) 2014. 10. 30, 段落 0019, 図 2, 3 & US 2015/0318247 A1, 段落 0027, FIGS. 2, 3 & CN 105144376 A	1-15
A	日本国実用新案登録出願 2-6230 号(日本国実用新案登録出願公開 3-97940 号)の願書に添付した明細書及び図面の内容を撮影したマイ クロフィルム (富士通株式会社) 1991. 10. 09, 明細書第 4-5 頁, 第 1 図(a) (ファミリーなし)	1-15