

⑫

DEMANDE DE BREVET D'INVENTION

A1

⑫② Date de dépôt : 29.06.90.

⑫③ Priorité : 21.11.89 US 439694.

⑫④ Date de la mise à disposition du public de la  
demande : 24.05.91 Bulletin 91/21.

⑫⑤ Liste des documents cités dans le rapport de  
recherche : *Le rapport de recherche n'a pas été  
établi à la date de publication de la demande.*

⑫⑥ Références à d'autres documents nationaux  
apparentés :

⑦① Demandeur(s) : INTEL CORPORATION — US.

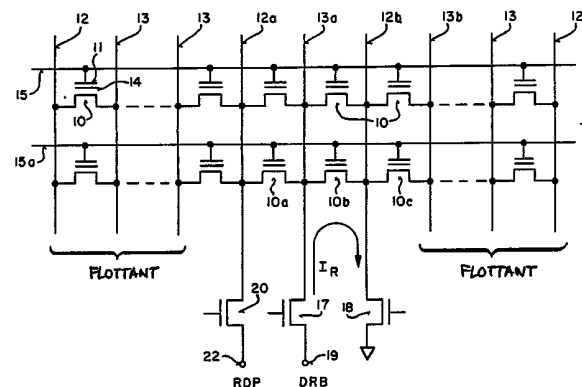
⑦② Inventeur(s) : Park Chin S.

⑦③ Titulaire(s) :

⑦④ Mandataire : Cabinet Regimbeau Martin Schrimpf  
Warcoin Ahner.

⑤④ Composant de mémoire Eprom à masse virtuelle, et procédé pour sa lecture et sa programmation.

⑤⑦ Le composant comprend: des cellules de mémoire (10) en rangées et colonnes pour former un réseau, chaque cellule comprenant une électrode de commande et une première et une seconde région de type de conductivité différent du substrat; des lignes de rangée (15, 15a) reliées aux électrodes de commande; des premières (13, 13a, 13b) et des secondes (12, 12a, 12b) lignes de colonne alternées auxquelles sont respectivement reliées, les premières et les secondes régions; des moyens décodeurs et rangée, pour sélectionner une ligne de rangée et accéder à une cellule; et des moyens décodeurs de colonne, pour relier une seconde ligne de colonne (12b) à la masse et une première ligne de colonne (13a) à un premier potentiel (DRB) pour faire passer sélectivement un courant dans ladite cellule et accéder à son contenu, ces moyens décodeurs de colonne reliant également une autre seconde ligne de colonne (12a) adjacente à un second potentiel (RDP) pour éviter toute interférence.



La présente invention concerne le domaine des composants mémoire à semiconducteurs, en particulier les composants MOS des mémoires mortes du type électriquement programmable.

Le besoin permanent de mémoires à semiconducteurs à grande rapidité et faible coût a conduit à développer la configuration à masse virtuelle pour mémoires du type mémoire morte. Les mémoires à masse virtuelle constituent une technique bien connue permettant d'accroître la densité du réseau tout en maintenant en même temps une compatibilité de processus avec les processus existants à canal  $n$  et polysilicium à double niveau. Des exemples représentatifs de réseaux mémoire à masse virtuelle sont décrits dans les US-A-3 916 169, US-A-3 934 233, US-A-4 021 781 et US-A-4 387 447. Un processus de fabrication de cellules de mémoire sans contact électriquement programmables et électriquement effaçables (EPROMs) du type "flash" pour utilisation dans un réseau à masse virtuelle est décrit dans le US-A-4 780 424 au nom de Holler et al., qui appartient à la Demanderesse. Les cellules sans contact de Holler utilisent des régions de source et de drain allongées disposées au-dessous de régions d'oxyde de champ. Les régions de drain sont peu profondes par rapport aux régions de source, tandis que les régions de source sont plutôt caractérisées par une jonction en dégradé.

Bien que les mémoires à masse virtuelle présentent des avantages réels du point de vue de leur densité binaire accrue, elles ne sont pas sans inconvénients. Un inconvénient possible des réseaux EPROM sans contact, et des réseaux de mémoire à masse virtuelle en général, est le problème de l'interaction indésirable entre cellules adjacentes. Cette interférence se manifeste généralement sous la forme d'un état de programmation parasite (c'est-à-dire d'une programmation indésirable d'une cellule adjacente non sélectionnée) ou sous forme d'une dégradation de l'accès en lecture, due à une composante de courant indésirable. Dans l'un et l'autre cas, l'interférence est une interférence en direction de la cellule de mémoire morte électriquement programmable située dans la colonne adjacente, sous la ligne de mot sélectionnée.

tionnée. L'interaction entre cellules adjacentes conduit également à la formation de courants parasites qui interfèrent avec la lecture, l'effacement et la programmation des cellules individuelles. Enfin, la vitesse d'accès et l'intégrité du réseau mémoire sont affectées de façon néfaste par ces problèmes.

Pour pallier les inconvénients associés aux architectures à masse virtuelle de l'art antérieur, la présente invention propose un dispositif et un procédé pour éliminer, dans un réseau de mémoire EPROM à masse virtuelle, les courants parasites lors des opérations en mode de lecture. Il est important de noter que la présente invention permet d'atteindre ce résultat sans sacrifier la vitesse d'accès aux données. L'invention utilise une source de tension supplémentaire pour établir un potentiel de polarisation de lecture le long de la ligne de bit adjacente (adjacente à la cellule sélectionnée). Ceci a pour effet de créer un écran aux interférences possibles en provenance des colonnes adjacentes et accélère la charge ou la décharge de la colonne sélectionnée. En outre, la présente invention utilise un mécanisme de dépolarisation qui utilise les portes de traversée entre colonnes combinées à une rampe lente de la tension de colonne sélectionnées, afin d'éviter les perturbations des cellules adjacentes lors de la programmation.

On va décrire à cet effet un composant mémoire électriquement programmable du type comportant un réseau de rangées et de colonnes de cellules de mémoire constituées de transistors à effet de champ à grille flottante. Chaque transistor comporte une grille flottante, une électrode de commande, un drain et une source.

Selon l'un des modes de mise en oeuvre de la présente invention, on accède à une cellule de mémoire du réseau de manière à éviter le passage d'un courant parasite dans les cellules adjacentes en sélectionnant tout d'abord la ligne de rangée reliée à l'électrode de commande de la cellule. Ensuite, on met à la masse une première ligne de colonne reliée à la source de la cellule. Simultanément, un premier potentiel est appliqué à une seconde ligne de colonne,

tandis qu'un second potentiel est appliqué à une troisième ligne de colonne. La seconde ligne de colonne est reliée au drain de la cellule et la troisième ligne de colonne est reliée au drain de la cellule adjacente, c'est-à-dire de la cellule où l'on veut empêcher le passage d'un courant parasite. Le premier potentiel fait passer de façon conditionnelle un courant de lecture dans la cellule sélectionnée. La valeur de ce courant conditionnel est, bien entendu, représentative du contenu de la cellule de mémoire.

10 Dans un autre mode de mise en oeuvre, on propose un procédé permettant d'éviter des perturbations de programmation avec des cellules adjacentes d'un réseau mémoire à grille flottante comprenant une pluralité de lignes de rangée, toutes les électrodes de commande des cellules de  
15 chaque rangée étant reliées à une ligne de rangée, et comprenant également des premières et secondes lignes de colonne alternées. Les premières et secondes régions précitées de toutes les cellules de chaque colonne sont reliées, respectivement, à ces premières et secondes lignes  
20 de colonne.

Le procédé permettant d'éviter la perturbation des cellules adjacentes lors de la programmation comprend les étapes consistant à appliquer un premier potentiel à la ligne de rangée reliée à la cellule à programmer ainsi qu'aux cellules adjacentes de cette rangée. Ensuite, toutes les premières et secondes lignes de colonne situées d'un même côté de la cellule sont reliées à un premier noeud. Toutes les premières et secondes lignes de colonne situées de l'autre côté sont reliées à un second noeud. Ensuite, le premier  
25 noeud est mis à la masse, tandis que le potentiel sur le second noeud est élevé, avec un taux d'acroissement prédéterminé, jusqu'à un second potentiel. Ceci provoque le passage, par effet tunnel, d'électrons sur la grille flottante de la cellule programmée. De façon significative, le  
30 taux d'acroissement prédéterminé est contrôlé de manière que le potentiel entre chacune des premières et secondes lignes de colonne situées de l'autre côté de la cellule sélectionnée soit insuffisant pour perturber l'état de program-

mation de toutes les cellules adjacentes correspondantes.

◇

5        La figure 1 est un schéma électrique d'une partie d'un réseau EPROM de l'art antérieur utilisant des transistors à grille flottante ; la figure 1 illustre également un procédé classique pour accéder à des informations mémorisées dans des cellules individuelles.

10       La figure 2 est un schéma électrique d'une partie d'un réseau EPROM de l'art antérieur utilisant des transistors à grille flottante ; la figure 2 illustre un procédé différent pour accéder à des informations dans une cellule individuelle.

15       La figure 3 est un schéma électrique d'une partie d'un réseau mémoire EPROM dans lequel on accède à une information dans une cellule conformément au procédé de la présente invention.

20       La figure 4 est un schéma électrique des circuits décodeurs Y associés au mode de réalisation actuellement préféré de la présente invention.

25       La figure 5 est un schéma électrique des circuits de polarisation de drain en lecture utilisés lors des opérations de lecture conformément au mode de réalisation actuellement préféré de la présente invention.

      La figure 6 est un schéma électrique du mode de réalisation actuellement préféré des circuits de polarisation de drain en lecture RDP.

◇

30

#### *Exposé de l'art antérieur*

35       Sur la figure 1, on a représenté une partie d'un réseau mémoire EPROM de l'art antérieur. On a également illustré un procédé classique de lecture d'une donnée dans une cellule individuelle. Le réseau mémoire de la figure 1 comporte une pluralité de composants mémoire 10 à grille flottante, com-

prenant chacun une grille flottante 14, une grille de commande 11 et des électrodes de source et de drain reliées à des lignes de colonne, respectivement 12 et 13. Généralement, les colonnes 12 et 13 comprennent des lignes de bit enterrées qui sont réalisées sous forme d'une partie des régions de source et de drain des transistors à grille flottante 10 d'une colonne isolée.

Comme cela est bien connu des praticiens de cette technique, lors des opérations de lecture l'électrode 12 joue le rôle du drain du composant, tandis que l'électrode 13 joue le rôle de la source. La situation est inversée lors des opérations de lecture, l'électrode 13 fonctionnant en drain et l'électrode 12 fonctionnant en source (pour éviter toute confusion, la présente description se réfèrera toujours aux électrodes 12 et 13 en tant qu'électrodes "de source" et "de drain", respectivement, abstraction faite de la fonction effective de chacune de ces électrodes selon les cas particuliers de fonctionnement). Comme illustré sur la figure 1, toutes les grilles de commande 11 d'une même rangée sont reliées à la ligne de rangée 15, également appelée "ligne de mot".

Pour mieux comprendre les problèmes associés aux opérations de lecture du réseau de la figure 1, considérons l'exemple suivant. Supposons que l'utilisateur veuille lire le contenu de la cellule de mémoire 10b. Typiquement, la ligne de source 12b est mise à la masse via le transistor 18, tandis que la ligne de mot 15a est amenée à un potentiel haut positif. La ligne de drain associée 13a est reliée via le transistor 17 à un potentiel de polarisation de drain en lecture appliqué au noeud 19. Ce potentiel de polarisation de drain en lecture est référencé DRB (*DRain Bias*) sur la figure 1. L'application du potentiel DRB, qui est habituellement de l'ordre de 1 à 2 V, à la ligne de drain 13a provoque le passage d'un courant de lecture  $I_R$  dans la cellule du transistor 10b. Le contenu de la cellule de mémoire 10b est directement déterminé d'après l'intensité du courant  $I_R$ .

Le problème qui se présente avec le procédé illustré

figure 1 est que, s'il se trouve que la ligne de colonne de source 12a associée à la cellule de mémoire adjacente 10a est à un potentiel différent du potentiel DRB, un courant parasite peut traverser le transistor 10a. Ce courant parasite va interférer avec le courant  $I_r$ , ce qui va provoquer une erreur lors de la lecture de la cellule 10b. Le plus souvent, le potentiel DRB est d'environ 1,2 V. Si le potentiel sur la ligne 12a est inférieur à 1,2 V, une partie du courant de lecture  $I_r$  sera dérivée par la cellule adjacente 10a. Pour pallier cette difficulté, on laissait jusqu'à présent flottantes les lignes de colonne adjacentes du réseau mémoire, comme illustré figure 1. Les lignes de bit adjacentes flottantes du réseau mémoire EPROM ne remédient cependant pas totalement à la présence des courants parasites qui interfèrent lors des opérations en mode de lecture.

Un autre mécanisme utilisé par le passé pour éviter le problème des courants parasites en mode de lecture est illustré figure 2. Au lieu de laisser flotter les lignes de colonne adjacentes du réseau, on met à la masse toutes les lignes de colonne d'un côté de la cellule 10b, et on relie au potentiel DRB toutes les lignes de colonne de l'autre côté de la cellule 10b. Par exemple, la ligne de bit de source 12b, avec toutes les autres lignes de bit situées à droite de la ligne 12b (par exemple les lignes 13b, 12c, 13c, etc.) sont mises à la masse par le transistor 18. De la même façon, toutes les lignes de bit situées à gauche du transistor 10b (par exemple, la ligne 12a, etc.) sont reliées au noeud 19 par le transistor 17. Bien que ce mécanisme ait pour effet d'éliminer le passage d'un courant parasite dans le transistor adjacent 10a, la capacité importante résultant de la liaison des lignes de bit additionnelles à la ligne de colonne 13a donne naissance à des temps d'accès importants.

### Mode(s) de réalisation préférentiels de l'invention

On va maintenant décrire un dispositif et un procédé permettant, selon l'invention, d'améliorer les caractéristi-

ques en lecture/programmation d'un réseau mémoire à semiconducteurs utilisant des composants de mémoire à grille flottante. Dans la description qui va suivre, on a donné de nombreux détails spécifiques tels que des types de conductivité, tailles de blocs, tensions, etc. particuliers afin  
5 de permettre une meilleure compréhension de la présente invention. L'homme du métier saura cependant que ces détails particuliers n'ont bien évidemment pas besoin d'être repris pour mettre en oeuvre la présente invention. Inversement,  
10 des structures et des circuits bien connus n'ont pas été décrits en détail afin de ne pas alourdir inutilement la description de la présente invention.

### *Opérations de lecture*

15

On décrira en référence à la figure 3 le procédé actuellement préféré de mise en oeuvre de la présente invention. Le réseau EPROM de la figure 3 comporte un réseau de rangées et de colonnes de cellules de mémoire 10, dont chacune est  
20 constituée d'un transistor à effet de champ à canal n à grille isolée électriquement programmable, d'un type bien connu de la technique. La grille de commande de chaque transistor 10 d'une rangée est reliée à l'une des lignes de rangée 15. La région de source de chaque transistor d'une  
25 colonne est reliée à la ligne de bit 12, tandis que la région de drain correspondante est reliée à la ligne de bit 13. Dans le mode de réalisation préféré, les lignes de colonne 12 et 13 comportent des lignes de bit enterrées formées de régions de diffusion allongées, parallèles et  
30 espacées.

Pour lire le contenu de la cellule 10b, on commence par sélectionner la ligne de mot 15a en élevant son potentiel à une valeur haute positive. En même temps, on met à la masse la ligne de source 12b par le transistor 18. Les autres  
35 lignes de bit situées à droite de la cellule 10b (par exemple la ligne 13b, etc.) sont laissées flottantes. La ligne de colonne 13a est reliée au potentiel de polarisation de drain en lecture (référéncé DRB, pour *DRain Bias*) appli-



qué au noeud 19 par le transistor 17. Au lieu de relier la ligne de colonne adjacente 12a au même potentiel DRB que celui appliqué sur le noeud 19, on utilise, conformément au procédé de la figure 3, un potentiel distinct de polarisation de drain en lecture (référéncé RDP, pour *Read Drain bias Potential*) appliqué au noeud 22. Le noeud 22 est relié à la ligne de bit adjacente 12a par le transistor 20. Toutes les autres lignes de bit situées à gauche de la colonne 12a sont laissées flottantes.

10 Le potentiel de polarisation de drain en lecture RDP appliqué au noeud 22 est identique en valeur au potentiel DRB appliqué au noeud 19, tous deux étant par exemple d'environ 1,2 V. Le fait d'avoir la même valeur de tension permet d'être sûr que le courant de lecture ne sera pas  
15 dérivé par le transistor 10a et traversera entièrement le transistor 10b. De la sorte, la valeur du courant  $I_r$  correspondra exactement au contenu binaire de la cellule 10b. Comme on le décrira brièvement, les circuits qui appliquent le potentiel RDP au noeud 22 sont distincts des  
20 circuits qui appliquent le potentiel DRB au noeud 19.

Si l'on se réfère à la figure 4, on y a représenté un schéma électrique du décodeur Y 25 du mode de réalisation actuellement préféré de la présente invention, avec des lignes de bit de source 12 et des lignes de bit de drain 13  
25 entre lesquelles sont montés des transistors à effet de champ distincts 26. Les grilles de chacun des transistors 26 sont reliées à la ligne de signal Y<sub>DB</sub> par la ligne 27. Les lignes 12 et 13 font bien entendu partie des lignes de colonne du réseau EPROM illustré figure 3. Quant aux  
30 transistors 26, ils font partie des transistors formant porte de traversée entre colonnes utilisés pour découpler les diverses lignes de colonne lors des diverses opérations de programmation. Le rôle des transistors 26 sera décrit plus en détail ci-après.

35 Les diverses lignes de drain 13 se terminent à l'une des bornes du transistor 41, l'autre borne du transistor 41 étant reliée au potentiel de polarisation de drain en lecture DRB par la ligne 30. Les grilles des divers transistors

41 sont reliées chacune au bus 29, référencé  $Y_1$ . Sur la figure 4, on a représenté un décodeur 25 adapté à un réseau ayant une largeur de 8 bits. En lui-même, le bus 29 a une largeur de 8 bits, chaque ligne de bit étant reliée à une grille distincte du transistor 41. Lors d'une opération de lecture, on sélectionne une certaine ligne du bus 29 de manière à relier une ligne de drain 13 donnée au potentiel DRB.

De la même façon, chacune des diverses lignes de source 12 est reliée à l'une des bornes du transistor 42, l'autre borne en étant reliée à la ligne de polarisation de lecture de source 31, référencée SRB (pour *Souce Read Bias*). Les grilles des divers transistors 42 sont reliées chacune au bus 33, référencé  $Y_{s1}$ . Normalement, la ligne SRB 31 est reliée au potentiel de la masse lors des opérations de lecture, la ligne  $Y_{s1}$  appropriée étant élevée à un potentiel haut, permettant ainsi de relier une ligne de source sélectionnée 12 à la masse par le transistor 42.

Sur la figure 4, le potentiel auxiliaire de polarisation de drain en lecture RDP est appliqué sur la ligne 34, qui est reliée à l'une des bornes des transistors à effet de champ 43. L'autre borne de chaque transistor 43 est reliée à des lignes de bit de source individuelles 12. Les grilles des transistors 43 sont reliées par un bus de sélection de ligne 35, référencé  $Y_{RP}$ . Lorsque l'on souhaite lire le contenu d'une cellule de mémoire donnée, les lignes de sélection  $Y_{s1}$  et  $Y_1$  relient les lignes de bit de source et de drain à la masse et au potentiel DRB, respectivement. L'une des lignes du bus  $Y_{RP}$  est utilisée pour sélectionner la ligne de colonne de source située immédiatement à côté de la ligne de drain courante reliée au potentiel DRB. Cette ligne de colonne de source sélectionnée est reliée au potentiel RDP présent sur la ligne 34. Comme on l'a indiqué, les potentiels RDP et DRB sont de valeurs identiques ; cependant, chaque potentiel est appliqué sur un noeud distinct par des circuits distincts.

Les diverses lignes de colonne de source 12 se terminent à l'une des extrémités d'un transistor à effet de champ à

canal p 46. L'autre extrémité du transistor 46 est reliée au potentiel d'alimentation  $V_{PP}$  sur la ligne 40. Le puits n associé à chaque transistor à canal p 46 est également relié à  $V_{PP}$  sur la ligne 40. Les grilles des divers transistors 46 sont reliées par le bus 38, référencé  $Y_{PP}$ . On a prévu des transistors 46 pour les opérations d'effacement "flash", par lesquelles on peut effacer simultanément le contenu de la totalité du réseau EPROM. A titre d'exemple, pour effacer le réseau mémoire de la figure 3, on applique le potentiel d'alimentation  $V_{PP}$  aux diverses lignes de colonne 12 du réseau en mettant à la masse les grilles des transistors 46. Simultanément, on met à la masse toutes les lignes de mot 15 du réseau. Ceci produit un effacement "flash" de la totalité du réseau. Bien entendu, il existe bien d'autres procédés pour effacer les cellules de mémoire du réseau.

Si l'on se réfère maintenant à la figure 5, on y a illustré un schéma électrique du circuit de polarisation de drain en lecture qui produit la tension DRB lors des opérations de lecture. Le circuit de la figure 5 peut être considéré comme comprenant deux blocs distincts 51 et 52. Le bloc de circuit 51 comporte des transistors à effet de champ à canal p 53 et 54 et au moins un transistor à effet de champ à canal n 55. Les composants 53 à 55 sont configurés de manière à permettre une mesure de la résistance au courant traversant le noeud 61 depuis le potentiel d'alimentation  $V_{CC}$ . Le bloc 52 joue le rôle d'un simple composant de commutation à rétroaction, où le potentiel DRB approprié d'environ 1,2 V est développé au noeud 19 après une transition du niveau bas au niveau haut de la ligne d'entrée d'autorisation de lecture 59.

Lorsque les lignes d'entrée d'autorisation de lecture 59 sont amenées au niveau haut, le bloc 52 est activé et le courant traverse le transistor 58, ce qui établit la tension appropriée sur le noeud 19. Le courant traversant le composant 58 crée une chute de tension aux bornes de la résistance que présente le bloc 51. La valeur de cette chute de tension est une fonction de l'intensité du courant de lecture  $I_R$ . La chute de tension apparaissant au noeud 61

dépend donc largement du courant  $I_R$  et de la résistance du bloc 51.

Le noeud 61 est relié à un amplificateur opérationnel de détection servant à détecter l'importance de la chute de tension aux bornes du bloc 51. Cette mesure de la chute de tension est utilisée pour établir le contenu de la cellule de mémoire en cours d'accès. En conséquence, on obtient une sensibilité supérieure si l'on donne à la résistance associée au bloc 51 une valeur relativement élevée. Cette résistance élevée, combinée à la capacité dimensionnable de la ligne de bit de drain sélectionnée, constitue le facteur limitatif déterminant le temps d'accès du réseau de mémoire EPROM de la figure 3.

Sur la figure 6, on a représenté un schéma électrique du mode de réalisation actuellement préféré du circuit de polarisation de drain en lecture qui produit le potentiel RDP. Le circuit 64 comporte des transistors à effet de champ à canal p 65, 66, 68 et 70 et des composants à canal n 67, 69 et 72. Dans son principe, le rôle du circuit 64 est très proche de celui du bloc 52 du circuit 50, c'est-à-dire que, lorsque la ligne d'entrée RDBACT 63 est amenée au potentiel haut, le circuit 64 est activé de manière à produire sur le noeud 22 un potentiel RDP d'environ 1,2 V.

Dans le circuit 64, les transistors 66 à 69 forment un miroir de courant entre le potentiel d'alimentation  $V_{cc}$  et la masse. Le transistor 72 opère d'une manière semblable à celle du transistor de commutation 58 du circuit 50. On notera cependant que le drain du transistor 72 est relié directement au potentiel d'alimentation  $V_{cc}$ , et non à un noeud de forte impédance. On notera également que la dimension de éléments du transistor 72 est considérablement plus importante (à savoir, dans un rapport de 200/2), de manière à aider à la réduction de l'impédance au noeud 22. Bien évidemment, une impédance faible sur le noeud 22 signifie que l'on peut élever relativement rapidement la ligne de bit adjacente du réseau (c'est-à-dire adjacente à la cellule à laquelle on accède) à son potentiel de polarisation de drain en lecture.

En outre, le fait que le circuit DRB n'ait plus à piloter les lignes de colonne adjacentes (comme cela était le cas avec certains procédés de l'art antérieur) permet une amélioration considérable du temps d'accès à la cellule de mémoire sélectionnée. Essentiellement, dans la présente invention on scinde la source de tension de potentiel de polarisation de drain en lecture normale en deux sources distinctes - l'une dédiée à la détection de l'intensité du courant de lecture traversant la cellule sélectionnée, et l'autre dédiée à l'élimination des interférences en provenance des cellules adjacentes dues à un passage de courant parasite. Cette dernière source de tension est conçue de manière à présenter une faible impédance de sortie, afin de réduire les temps d'accès dans le réseau.

15

#### *Opérations de programmation*

De façon classique, lors de la programmation d'une cellule de mémoire EPROM, on relie la source à la masse, on élève le drain à un potentiel d'environ 7 V et l'on élève le potentiel de la grille de commande à un potentiel de programmation d'environ 12 V. Le champ électrique élevé résultant produit des électrons chauds qui sont attirés par l'élément de grille flottante du composant.

Le terme "perturbation de la programmation" identifie le fait que les cellules voisines ou adjacentes situées le long de la même rangée peuvent, à un certain degré, venir à être programmées par inadvertance. Par exemple, si l'on élève la ligne de mot d'une rangée donnée à un potentiel de programmation de 12 V, la grille de commande de la cellule immédiatement adjacente à la cellule sélectionnée (c'est-à-dire à la cellule à lire) est également au potentiel de 12 V. Du fait que la cellule adjacente partage également la ligne de drain qui est élevée à un potentiel d'environ 7 V, il y a possibilité de production d'un champ électrique intense entre les extrémités du canal de la cellule adjacente. Ceci provoque la programmation parasite de la cellule EPROM adjacente. Bien évidemment, si les lignes de

source et de drain de la cellule adjacente peuvent être maintenues pratiquement au même potentiel, on peut éviter la programmation parasite. Pour éviter de perturber par programmation les cellules adjacentes de la même ligne de rangée que celle de la cellule sélectionnée, la présente invention utilise un mécanisme de dépolarisation qui inclut des portes de traversée entre colonnes en combinaison avec une rampe lente de la tension de colonne sélectionnée.

On a représenté figure 4 une pluralité de transistors à effet de champ à canal  $n$  26 comportant chacun une grille de commande reliée à un bus de 16 bits 27 référencé YDB. Chacun des transistors 26 est monté entre une ligne de bit de source 12 et une ligne de bit de drain 13. Lors de la programmation d'une cellule sélectionnée dans une colonne du réseau, on commence par mettre à la masse la ligne de source 12 par le transistor 18 (voir figure 3). On met également à la masse toutes les autres lignes de colonne de source et de drain situées de ce même côté du réseau (c'est-à-dire les lignes 13b, etc. de la figure 3) en élevant le potentiel des grilles de commande reliées aux transistors de traversée entre colonnes 26 se trouvant à droite de la cellule sélectionnée. Le potentiel de masse relié à la ligne de bit de source 12 se propage ainsi jusqu'aux autres lignes de colonne situées de ce même côté du réseau.

On procède de la même manière pour dépolariser toutes les lignes de colonne situées à gauche de la cellule de mémoire sélectionnée, c'est-à-dire que, par l'intermédiaire des portes de traversée 26, on permet au potentiel de programmation appliqué à la ligne de colonne de drain 13 de se propager vers toutes les lignes de colonne situées à gauche de la cellule de mémoire sélectionnée en élevant à un potentiel haut les grilles de commande des transistors 26 situés à gauche de la cellule sélectionnée.

En résumé, lorsque l'on doit programmer une cellule de mémoire sélectionnée, on met à la masse toutes les lignes de colonne situées du côté de la source de la cellule sélectionnée, tandis que l'on relie au potentiel de programmation d'environ 7 V toutes les lignes de colonne située du côté du

drain de la cellule sélectionnée. Si l'on effectue de cette manière la dépolarisation, on peut empêcher qu'un champ électrique intense ne se développe entre cellules adjacentes. Comme mentionné précédemment, un champ électrique intense entre bornes de source et de drain d'une cellule adjacente pourrait aisément provoquer une programmation parasite indésirable de cette cellule.

Si l'on tient compte du fait que chaque transistor 26 possède une certaine résistance associée à sa région de canal et que chaque ligne de colonne présente une capacité qui lui est associée, si le potentiel de programmation appliqué à la ligne de colonne de drain 13 est élevé très rapidement (c'est-à-dire avec un taux d'acroissement de rampe élevé), il peut apparaître une différence de tension importante. Considérons par exemple ce qu'il arriverait si la ligne 13a de la figure 3 était élevée très rapidement au potentiel de programmation de 7 V. Du fait des termes résistifs et capacitifs associés aux transistors 26 et aux lignes de colonne 12 et 13, respectivement, le potentiel sur la ligne de colonne adjacente 12a serait en retard par rapport à celui sur la ligne 13a. Le trajet du signal présente ainsi les propriétés d'une ligne de transmission ordinaire.

En raison du retard de propagation du potentiel de programmation, un gradient de tension se développe entre lignes de colonne adjacentes 13a et 12a. Si la tension différentielle est suffisamment élevée, il y aura programmation de la cellule adjacente 10a. Idéalement, la différence de tension entre deux lignes de colonne reliées d'une cellule EPROM non sélectionnée devrait être nulle. En tout état de cause, elle doit être inférieure à une certaine limite - cette limite étant la contrainte maximale de champ électrique tolérable avant que la programmation n'intervienne. Pour maintenir cette différence de tension au-dessous d'une limite acceptable, on élève le potentiel de programmation appliqué à la ligne de polarisation de drain 13 avec un taux d'acroissement contrôlé.

De façon expérimentale, on a montré qu'un taux d'acroissement de rampe ou de montée d'environ 10 V/ $\mu$ s ou moins est

une valeur convenable pour éviter des perturbations de programmation. Au-dessous de cette valeur, les tensions sur chacune des lignes de colonne reliées croissent de façon pratiquement identique. En d'autres termes, au-dessous de  
5 10 V/ $\mu$ s la différence de tension développée entre deux lignes de colonne adjacentes quelconques est généralement insuffisante pour programmer de façon parasite cette cellule de mémoire. On comprendra que les portes de traversée entre colonnes 26 peuvent être éventuellement supprimées si la  
10 programmation parasite est négligeable ou si le taux d'acroissement n'est pas critique.

---

15

20

25

30

35



**REVENDICATIONS**

1. Un composant semiconducteur électriquement programmable, caractérisé en ce qu'il comprend :

- 5       - une pluralité de cellules de mémoire (10) configurées en rangées et en colonnes de manière à former un réseau, chaque cellule comprenant une électrode de commande et une première et une seconde région de type de conductivité différent de celui du substrat,
- 10       - une pluralité de lignes de rangée (15, 15a), les électrodes de commande de toutes les cellules de chaque rangée étant reliées à une ligne de rangée,
  - des premières (13, 13a, 13b) et des secondes (12, 12a, 12b) lignes de colonne alternées, les premières et les
  - 15       secondes régions de toutes les cellules de chaque colonne étant, respectivement, reliées à ces premières et secondes lignes de colonne,
  - des moyens décodeurs de rangée, pour sélectionner une ligne de rangée de manière à accéder à une cellule de mémoire, et
  - 20       - des moyens décodeurs de colonne, pour relier une seconde ligne de colonne (12b) à la masse et une première ligne de colonne (13a) à un premier potentiel (DRB) de manière à faire passer de façon conditionnelle un courant dans
  - 25       ladite cellule de mémoire, permettant ainsi d'accéder au contenu de cette cellule,
  - cès moyens décodeurs de colonne reliant également une autre seconde ligne de colonne (12a) adjacente à ladite cellule à un second potentiel (RDP) pour empêcher lors de
  - 30       l'accès toute interférence en provenance d'une cellule adjacente.

2. Le composant de la revendication 1, dans lequel, lors de l'accès à ladite cellule, toutes les autres premières (13, 13b) et secondes (12) lignes de colonne du réseau sont

35       laissées flottantes.

3. Le composant de la revendication 2, dans lequel le premier (DRB) et le second (RDP) potentiel sont de valeurs identiques, de manière à protéger ladite cellule d'un passage de courant parasite lors des opérations de lecture.

5

4. Le composant de la revendication 3, dans lequel le premier potentiel (DRB) est produit par un premier circuit (50) et le second potentiel (RDP) est produit par un second circuit (64), le second circuit ayant une impédance de sortie plus faible que celle du premier circuit.

10

5. Le composant de la revendication 4, comprenant en outre une pluralité de transistors formant portes de traversée (26), montés entre les premières (13) et les secondes (12) lignes de colonne de manière à dépolariser sélectivement le réseau lors de la programmation, afin d'éviter de perturber les cellules adjacentes.

15

6. Un procédé pour accéder à une cellule de mémoire du réseau d'un composant mémoire électriquement programmable du type comprenant un réseau de rangées et de colonnes de cellules de mémoire comprenant chacune un transistor à effet de champ (10) à grille flottante pourvu d'une électrode de commande, d'un drain et d'une source,

20

procédé caractérisé en ce que, pour éviter le passage d'un courant parasite dans une cellule adjacente, il comprend les étapes consistant à :

25

- sélectionner la ligne de rangée (15) reliée à l'électrode de commande de ladite cellule,

30

- mettre à la masse une première ligne de colonne (12b) reliée à la source de cette cellule, et

35

- appliquer simultanément un premier potentiel (DRB) à une seconde ligne de colonne (13a) et un second potentiel (RDP) à une troisième ligne de colonne (12a), la seconde ligne de colonne étant reliée au drain de ladite cellule et la troisième ligne de colonne étant reliée au drain de ladite cellule adjacente, le premier potentiel produisant le passage conditionnel d'un courant de lecture dans ladite

cellule dont la valeur est représentative du contenu de cette cellule de mémoire.

7. Le procédé de la revendication 6, dans lequel toutes  
5 les autres lignes de colonne (12, 13, 13b) du réseau sont laissées flottantes.

8. Le procédé de la revendication 7, dans lequel le  
premier (DRB) et le second (RDP) potentiel sont de valeurs  
10 identiques.

9. Le procédé de la revendication 8, dans lequel le  
premier potentiel (DRB) est produit par un premier circuit  
(50) et le second potentiel (RDP) est produit par un second  
15 circuit (64), le second circuit ayant une impédance de sortie inférieure à celle du premier circuit.

10. Un procédé pour programmer une cellule d'un réseau  
d'un composant mémoire à semiconducteurs électriquement pro-  
grammable comprenant :

- une pluralité de cellules de mémoire (10) à grille  
flottante configurées en rangées et en colonnes de manière à  
former un réseau, chaque cellule comprenant une électrode de  
commande et une première et une seconde région de type de  
25 conductivité différent de celui du substrat,

- une pluralité de lignes de rangée (15, 15a), toutes les  
électrodes de commande des cellules de chaque rangée étant  
reliées à une ligne de rangée, et

- des premières (13, 13a, 13b) et des secondes (12, 12a,  
30 12b) lignes de colonne alternées, les premières et les secondes régions de toutes les cellules de chaque colonne étant reliées, respectivement, à ces premières et secondes lignes de colonne,

procédé caractérisé en ce que, pour éviter de perturber  
35 les cellules adjacentes, il comprend les étapes consistant à :

- appliquer un premier potentiel (DRB) à la ligne de  
rangée reliée à ladite cellule et aux cellules adjacentes,

- relier à un premier noeud toutes les premières et secondes lignes de colonne situées d'un même côté de ladite cellule,
- relier à un second noeud toutes les premières et secondes lignes de colonne situées de l'autre côté de ladite cellule,
- mettre à la masse le premier noeud,
- élever, avec un taux d'acroissement prédéterminé, le potentiel du second noeud jusqu'à un second potentiel (RDP) de manière à provoquer par effet tunnel le passage d'électrons sur la grille flottante de ladite cellule, ce taux d'acroissement prédéterminé étant contrôlé de manière que le potentiel entre chacune des premières et secondes lignes de colonne situées dudit autre côté de la cellule soit insuffisant pour perturber l'état de programmation des dites cellules adjacentes.

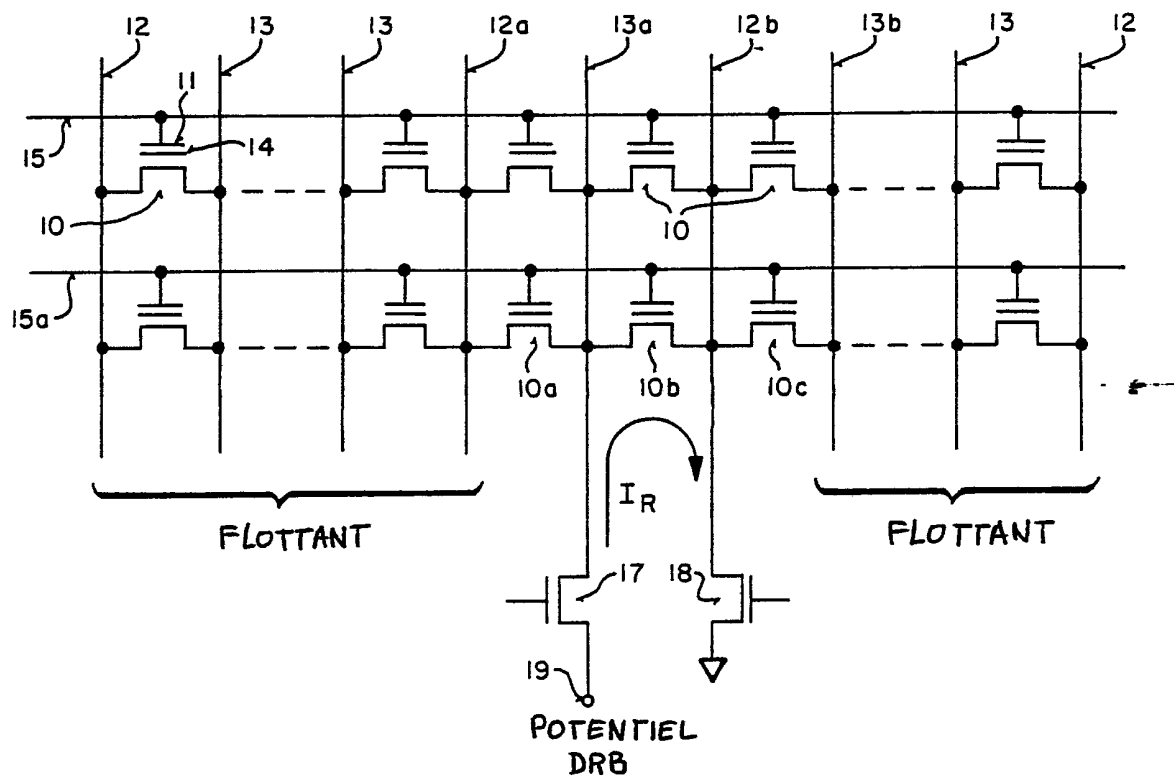
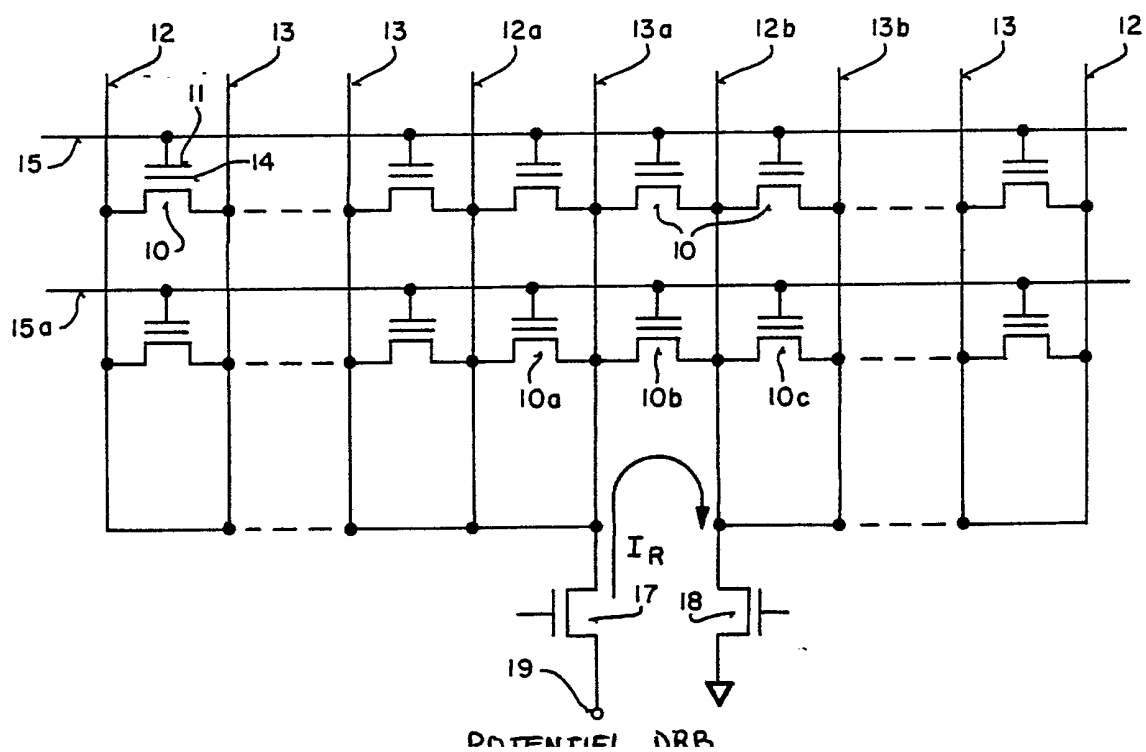
11. Le procédé de la revendication 10, dans lequel ledit taux d'acroissement prédéterminé est inférieur ou égal à 10 V/ $\mu$ s.

25

30

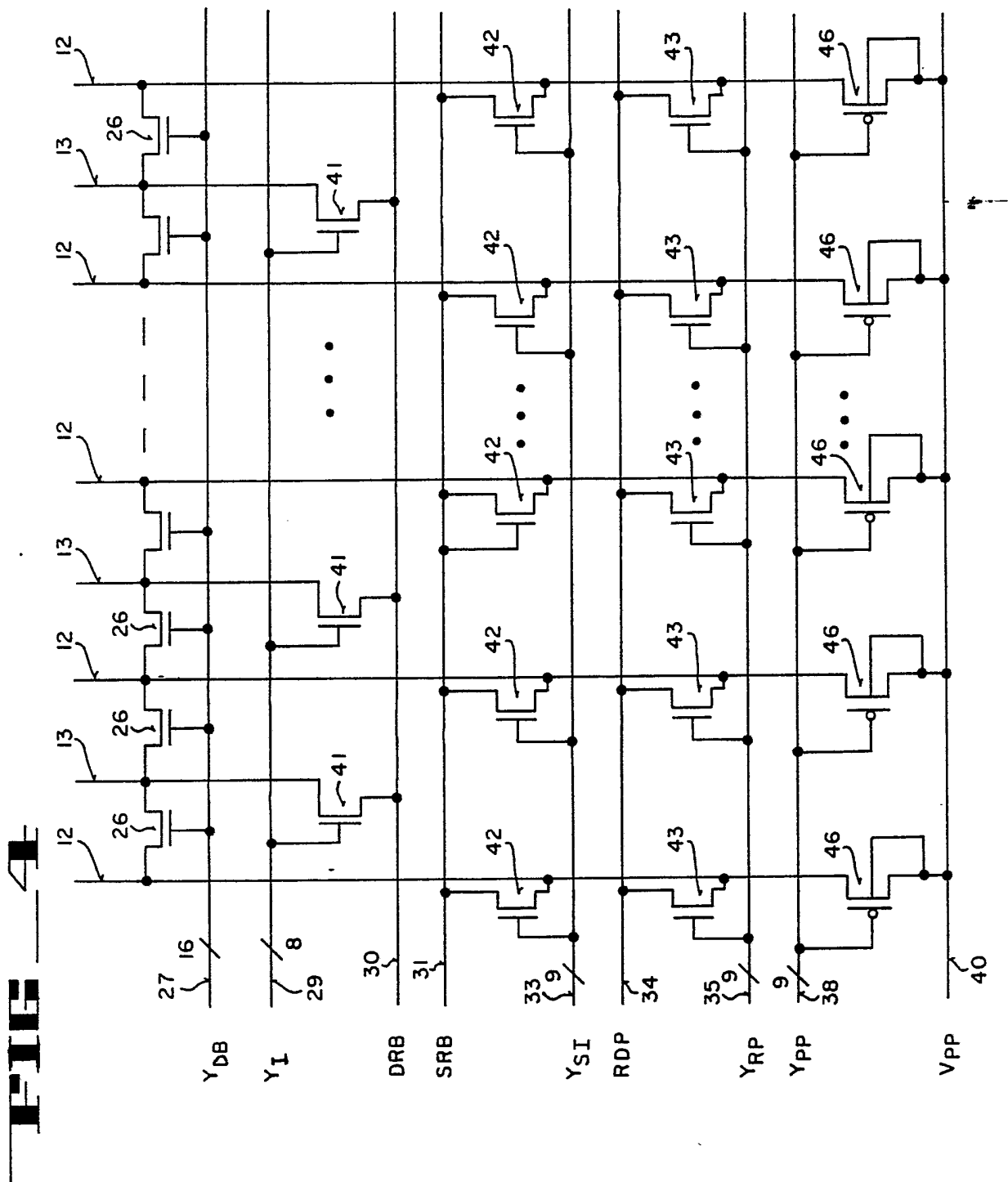
35

1/4

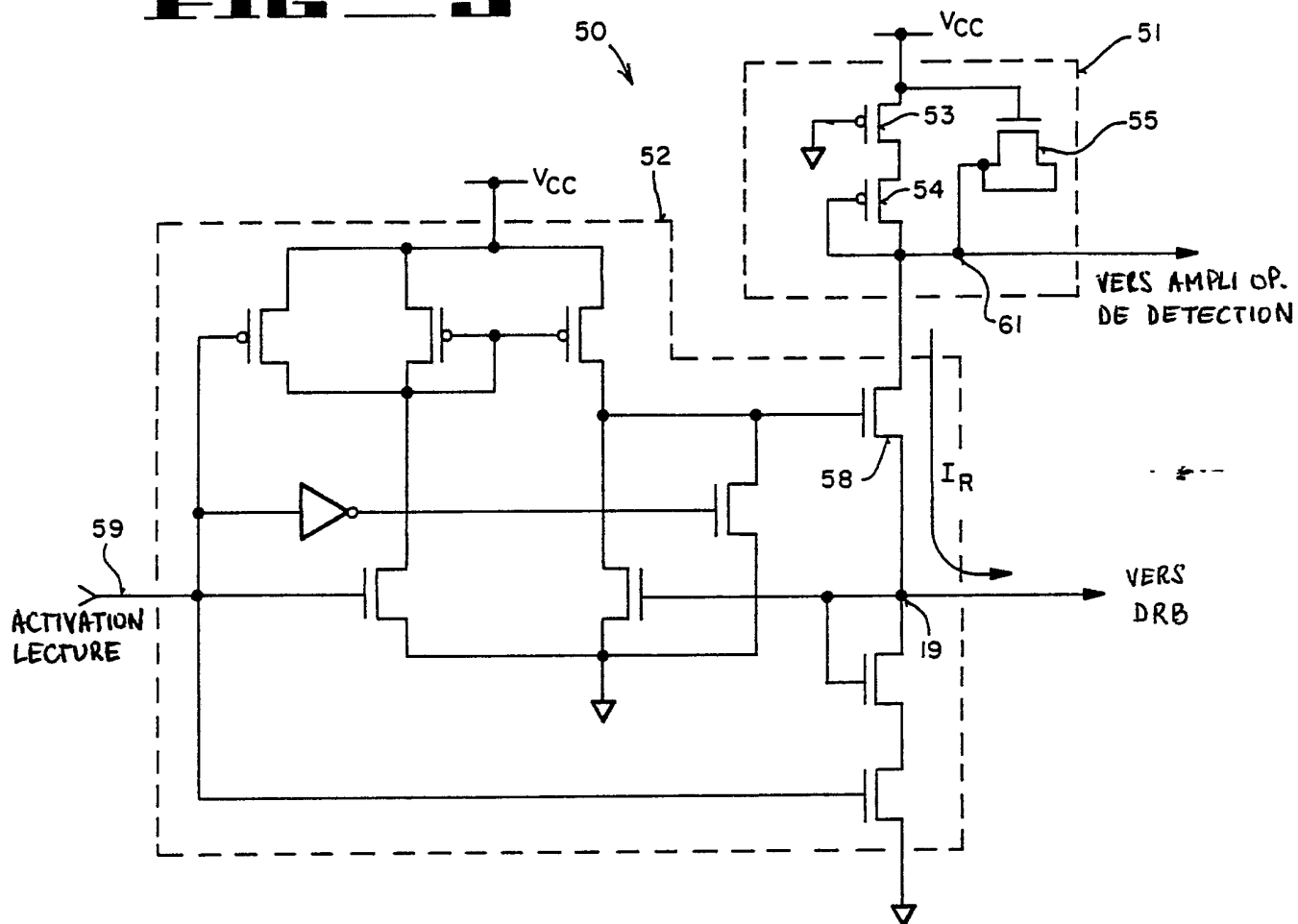
**FIG 1** (ART ANTERIEUR)**FIG 2** (ART ANTERIEUR)



25



4/4

**FIG 5****FIG 6**