



(12) 发明专利

(10) 授权公告号 CN 102034837 B

(45) 授权公告日 2012. 07. 11

(21) 申请号 201010288327. 5

CN 1691345 A, 2005. 11. 02, 全文.

(22) 申请日 2010. 09. 21

US 2005/0269604 A1, 2005. 12. 08, 全文.

(30) 优先权数据

审查员 闫立刚

2009-219218 2009. 09. 24 JP

2010-185290 2010. 08. 20 JP

(73) 专利权人 佳能株式会社

地址 日本东京

(72) 发明人 川端康博 高田英明

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 杨小明

(51) Int. Cl.

H01L 27/146 (2006. 01)

(56) 对比文件

CN 101276829 A, 2008. 10. 01, 全文.

CN 1841755 A, 2006. 10. 04, 全文.

JP 特开 2003-258232 A, 2003. 09. 12, 全文.

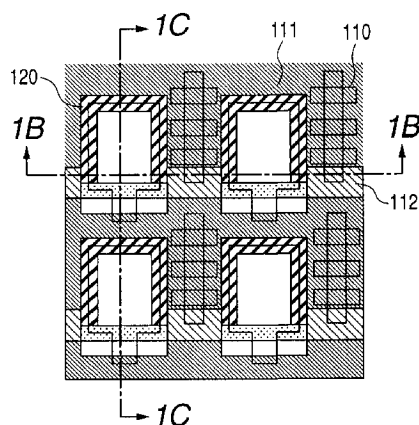
权利要求书 1 页 说明书 9 页 附图 15 页

(54) 发明名称

光电转换装置和使用光电转换装置的成像系统

(57) 摘要

本发明涉及一种光电转换装置和成像系统。本发明的光电转换装置包括第一光电转换元件和第二光电转换元件之间的用作针对信号电荷的势垒的第一半导体区域、以及第一光电转换元件和第三光电转换元件之间的具有比第一半导体区域窄的宽度并用作针对信号电荷的势垒的第二半导体区域。具有低势垒的区域被设置在第一光电转换元件和第二光电转换元件之间的至少一部分处。



1. 一种光电转换装置,包括:

基板;

布置在所述基板上的多个光电转换元件;和

布置在所述基板上的用于传送由光电转换元件产生的信号电荷的晶体管,其中,

所述多个光电转换元件包含第一光电转换元件、与第一光电转换元件相邻的第二光电转换元件、以及与第一光电转换元件相邻的第三光电转换元件,并且,

具有第一宽度的第一区域被布置在第一光电转换元件和第二光电转换元件之间,

具有比第一宽度窄的第二宽度的第二区域被布置在第一光电转换元件和第三光电转换元件之间,

具有第一导电类型以使得信号电荷是少数载流子并且具有第三宽度的第一半导体区域被布置在第一区域中,

具有第一导电类型并且具有比第三宽度窄的第四宽度的第二半导体区域被布置在第二区域中,并且,

具有比第一区域低的关于信号电荷的电势的第三区域被布置在第一区域中。

2. 根据权利要求1的光电转换装置,其中,

具有第一导电类型并具有比第四宽度窄的第五宽度的第三半导体区域被布置在第三区域中。

3. 根据权利要求1的光电转换装置,其中,

具有第一导电类型并且具有比第二半导体区域的杂质浓度低的杂质浓度的第三半导体区域被布置在第三区域中。

4. 根据权利要求1的光电转换装置,其中,

具有第一导电类型的第三半导体区域以比第二半导体区域的深度浅的深度被布置在第三区域中。

5. 根据权利要求1的光电转换装置,其中,

具有第一导电类型、具有比第四宽度窄的第五宽度、并且具有比第二半导体区域的杂质浓度低的杂质浓度的第三半导体区域被布置在第三区域中。

6. 一种成像系统,包括:

根据权利要求1的光电转换装置;和

用于处理从所述光电转换装置输出的信号的信号处理电路。

光电转换装置和使用光电转换装置的成像系统

技术领域

[0001] 本申请涉及光电转换装置的分离结构。

背景技术

[0002] CCD 型和 CMOS 型光电转换装置被用于许多的数字照相机和数字便携式摄像机 (camcorder)。近年来,在光电转换装置中,像素已被减小。因此,讨论了针对电荷混入相邻的像素 (串扰) 的措施。

[0003] 日本专利申请公开 No. 2003-258232 讨论了与光电转换元件的 N 型阱区域一致地在深区域中形成 P 型阱区域的配置,所述 P 型阱区域用作用于防止电荷在相邻的像素之间混合的元件隔离势垒 (barrier)。

[0004] 但是,即使通过在日本专利申请公开 No. 2003-258232 中公开的 P 型阱区域,也可能难以充分地抑制载流子泄漏。一般地,在光电转换装置中,在光电转换元件的周围设置用于从光电转换元件读取电荷的晶体管。不必以规则的间隔布置光电转换元件。并且,分离光电转换元件的 P 型阱的宽度可能是不同的。因此,本发明的发明人已经发现从某个光电转换元件泄漏到相邻的光电转换元件的信号电荷的量会根据这种 P 型阱区域的宽度改变。如果泄漏到相邻的光电转换元件的载流子的量改变,那么图像质量劣化并且通过信号处理的校正变得困难。如果使得光电转换元件之间的间隔均等化并且还使得 P 型阱区域的宽度均等化,那么用于读取信号电荷的晶体管的平面布局的自由度减小,并且,像素的减小变得困难。

[0005] 本发明的目的是,提供能够减少混入相邻的光电转换元件 (像素) 中的电荷的变化的光电转换装置。

发明内容

[0006] 根据本发明的光电转换装置包括:基板;被布置在基板上的多个光电转换元件;和被布置在基板上的用于传送由光电转换元件产生的信号电荷的晶体管,其中,多个光电转换元件包含第一光电转换元件、与第一光电转换元件相邻的第二光电转换元件和与第一光电转换元件相邻的第三光电转换元件,并且,具有第一宽度的第一区域被布置在第一光电转换元件和第二光电转换元件之间,具有比第一宽度窄的第二宽度的第二区域被布置在第一光电转换元件和第三光电转换元件之间,具有第一导电类型而信号电荷是少数载流子并且具有第三宽度的第一半导体区域被布置在第一区域中,具有第一导电类型并且具有比第三宽度窄的第四宽度的第二半导体区域被布置在第二区域中,并且,具有比第一区域低的关于信号电荷的电势的第三区域被配置在第一区域中。

[0007] 从结合附图进行的以下描述,本发明的其它特征和优点将是清晰的,在这些附图中,类似的附图标记始终表示相同或类似的部分。

[0008] 从参照附图对示例性实施例的以下描述,本发明的其它特征将变得清晰。

附图说明

- [0009] 图 1A 是第一示例性实施例的光电转换装置的平面图。
- [0010] 图 1B 是第一示例性实施例的光电转换装置的示意性截面图。
- [0011] 图 1C 是第一示例性实施例的光电转换装置的示意性截面图。
- [0012] 图 2A 示出光电转换装置的像素电路的例子。
- [0013] 图 2B 是光电转换装置的像素电路的平面图。
- [0014] 图 3A 是用于示出第一示例性实施例的光电转换装置的平面图。
- [0015] 图 3B 是用于示出第一示例性实施例的光电转换装置的示意性截面图。
- [0016] 图 3C 是用于示出第一示例性实施例的光电转换装置的示意性截面图。
- [0017] 图 4A 是第二示例性实施例的光电转换装置的平面图。
- [0018] 图 4B 是第二示例性实施例的光电转换装置的示意性截面图。
- [0019] 图 4C 是第二示例性实施例的光电转换装置的示意性截面图。
- [0020] 图 5A 是用于示出第一示例性实施例的变更方式的光电转换装置的平面图。
- [0021] 图 5B 是用于示出第一示例性实施例的变更方式的光电转换装置的示意性截面图。
- [0022] 图 5C 是用于示出第一示例性实施例的变更方式的光电转换装置的示意性截面图。
- [0023] 图 6A 是第三示例性实施例的光电转换装置的平面图。
- [0024] 图 6B 是第三示例性实施例的光电转换装置的示意性截面图。
- [0025] 图 6C 是第三示例性实施例的光电转换装置的示意性截面图。
- [0026] 图 7A 是用于示出第三示例性实施例的变更方式的光电转换装置的平面图。
- [0027] 图 7B 是用于示出第三示例性实施例的变更方式的光电转换装置的示意性截面图。
- [0028] 图 7C 是用于示出第三示例性实施例的变更方式的光电转换装置的示意性截面图。
- [0029] 图 8A、图 8B、图 8C、图 8D、图 8E、图 8F 和图 8G 是用于示出第一示例性实施例的光电转换装置的制造方法的示意性截面图。
- [0030] 图 9A、图 9B、图 9C、图 9D、图 9E、图 9F 和图 9G 是用于示出第一示例性实施例的光电转换装置的制造方法的示意性截面图。
- [0031] 图 10 是用于示出成像系统的框图。
- [0032] 图 11A、图 11B、图 11C、图 11D 和图 11E 是用于示出根据第五示例性实施例的路径(path)的电势的电势图。
- [0033] 被包含于说明书中并构成其一部分的附图示出本发明的实施例,并与描述一起用于解释本发明的原理。

具体实施方式

- [0034] 现在将根据附图详细描述本发明的优选实施例。
- [0035] 本发明的光电转换装置包括:第一光电转换元件和第二光电转换元件之间的用作针对信号电荷的势垒的第一半导体区域;以及第一光电转换元件和第三光电转换元件之间

的用作针对信号电荷的势垒并且比第一半导体区域窄的第二半导体区域。并且,在第一光电转换元件和第二光电转换元件之间的至少一部分处设置具有低势垒(电势壁垒)的区域。该配置可抑制在第一光电转换元件中产生的信号电荷不均匀地混入相邻的第二光电转换元件和第三光电转换元件中。即,混入相邻的光电转换元件中的信号电荷的量可被均等化,由此改善将获取的图像质量。并且,当进行校正时,能够容易地校正图像信号。从而,可以简化图像处理器的必要的配置。

[0036] 以下通过使用附图详细描述本发明的实施例。

[0037] (像素电路的例子)

[0038] 描述可应用本发明的像素电路的例子。图 2A 是可应用本发明的像素电路的例子的电路图。图 2B 是示出用于四个像素的像素电路的平面布局的平面图。以下描述信号电荷是电子的情况。

[0039] 在图 2A 中,像素 (PIXEL) 包含:作为光电转换元件的光电二极管 100;传送 MOS 晶体管 101;复位 MOS 晶体管 102;放大 MOS 晶体管 103;和选择 MOS 晶体管 105。传送 MOS 晶体管 101 将在光电转换元件 100 中产生的信号电荷传送到浮动扩散区域 104。放大 MOS 晶体管 103 通过选择 MOS 晶体管 105 将根据浮动扩散区域 104 的电势的输出输出到输出线 106。放大 MOS 晶体管 103 是源跟随器 (follower) 电路的一部分。其栅电极与浮动扩散区域 104 连接。复位 MOS 晶体管 102 将放大 MOS 晶体管 103 的栅电极的节点即浮动扩散区域 104 复位到规定的 (prescribed) 电势 (复位电势)。向传送 MOS 晶体管 101 供给传送控制信号 TX。向复位 MOS 晶体管 102 供给复位控制信号 RES。向选择 MOS 晶体管 105 供给选择控制信号 SEL。各控制信号对信号电荷的读出进行控制。在光电转换装置中,以一维或二维的方式布置这些像素。该布置配置成像区域。

[0040] 图 2B 示出四个像素 (像素 a ~ d) 的平面布局。在图 2B 中,布置四个光电二极管 200。栅电极 201 是传送 MOS 晶体管 101 的栅电极。栅电极 202 是复位 MOS 晶体管 102 的栅电极。栅电极 203 是放大 MOS 晶体管 103 的栅电极。栅电极 205 是选择 MOS 晶体管 105 的栅电极。存在浮动扩散区域 204。并且,栅电极 206 是复位 MOS 晶体管的源极区域。漏极区域 207 是复位 MOS 晶体管和放大 MOS 晶体管的漏极区域。漏极区域 208 是放大 MOS 晶体管的源极区域,并且还是选择 MOS 晶体管的漏极区域。作为选择 MOS 晶体管的源极区域的源极区域 209 与输出线 106 连接。以下,为了描述,图 2B 中的光电转换元件 200 被称为第一光电转换元件 200a、第二光电转换元件 200b、第三光电转换元件 200c 和第四光电转换元件 200d。在光电转换元件的配置以外的配置中,仅对于像素 d 分配符号。例如,与光电转换元件 200d 对应的传送 MOS 晶体管的栅电极由附图标记 201d 表示。由于配置在其它的像素中是相同的,因此省略符号。

[0041] 元件隔离区域 210 限定活性区域 211 和 212。在本实施例中,对于元件的元件隔离区域 210 使用 LOCOS (硅局部氧化) 结构。但是,该结构也可以是 STI (浅槽隔离) 结构。并且,元件隔离区域 210 可以是只布置用作针对信号电荷的势垒的半导体区域的结构 (扩散隔离)。如果元件隔离区域 210 仅包含用作针对信号电荷的势垒的半导体区域,那么在与用作针对信号电荷的势垒的半导体区域的边界处限定活性区域。在图 2B 中,活性区域 211 包含光电转换元件 200 和浮动扩散区域 204。活性区域 212 包含各晶体管的源极区域和漏极区域。这里,在图 2B 中,布置光电转换元件 200a 的活性区域 211a 和布置光电转换元件

200b 的活性区域 211b 之间的距离、或者光电转换元件 200a 和 200b 之间的第一区域 213 的宽度表示为第一宽度 W1。布置光电转换元件 200a 的活性区域 211a 和布置光电转换元件 200c 的活性区域 211c 之间的距离、或者光电转换元件 200a 和 200c 之间的第二区域 214 的宽度表示为第二宽度 W2。第一宽度 W1 和第二宽度 W2 相互不同,并且 $W1 > W2$ 。这里,沿第一方向(X轴)和第二方向(Y轴)以矩阵的方式布置像素。第一方向和第二方向相互正交。

[0042] 光电转换装置不限于图 2A 所示的电路。该装置可以是更多的光电转换元件共享放大 MOS 晶体管的配置或没有选择 MOS 晶体管的配置。并且,该配置不限于图 2B 所示的平面布局。以下,通过使用附图描述本发明的示例性实施例。

[0043] (第一示例性实施例)

[0044] 通过使用图 1A ~ 1C 描述本示例性实施例的光电转换装置。首先,图 1A 是与图 2B 的平面图对应的平面图。在图 1A 中,省略与图 2B 中的那些元件类似的元件的符号。仅对于表征本示例性实施例的部分赋予符号。在图 1A 中,布置有第一半导体区域 110 和第二半导体区域 111。区域 110 和 111 是信号电荷变成少数载流子的第一导电类型(P型),并且对于信号电荷(电子)构成势垒。具体而言,在第一区域 213 中布置具有第三宽度 W3 的第一半导体区域 110。在第二区域 214 中布置具有第四宽度 W4 的第二半导体区域 111。这些布置形成势垒。在布置晶体管的活性区域 211 下面布置第一半导体区域 110。在第一区域 213 的一部分处布置第三半导体区域 112。区域 112 是具有第三宽度 W3 的第一导电类型。第三半导体区域 112 具有比第一半导体区域 110 的电势低的电势。因为,第三半导体区域 112 的杂质浓度比第一半导体区域 110 的杂质浓度低。更具体而言,第三半导体区域 112 被布置在复位 MOS 晶体管的源极区域 206 下面。第一到第三半导体区域形成包围光电转换元件的格子状势垒。这里,通过布置第三半导体区域 112,从光电转换元件 200a 流入光电转换元件 200b 和 200c 的电荷的量可被均等化,而从光电转换元件 200a 流入相邻的光电转换元件的电荷受到抑制。

[0045] 进一步通过使用图 1B 和图 1C 描述图 1A 的配置。图 1B 和图 1C 分别是沿 1B-1B 和 1C-1C 线切取的图 1A 的示意性截面图。在图 1B 和图 1C 中,具有相同的配置的元件被赋予相同的符号,并且,省略其描述。在图 1B 和图 1C 中,存在第一导电基板 115、第一导电类型半导体区域 114 和包含光电转换元件的受光面的面 119。这里,基板 115 的导电类型是任意的。半导体区域 114 可以为第二导电类型,可以通过外延生长在基板 115 上形成的层或通过离子注入形成到基板 115 中的层。参照面 119,向着基板 115 的方向是基板处的深度方向。在图 1B 和图 1C 中,元件隔离区域 210 包含 LOCOS 结构 113。在图 1B 和图 1C 中,光电转换元件 200 包含第二导电类型(N型)电荷蓄积区域 116 和布置在光电转换元件的受光面 119 侧的 P 型表面保护层 117。

[0046] 在图 1C 中,第二半导体区域 111 具有宽度 W4 和深度 D1。在图 1B 的截面图中,第三半导体区域 112 具有宽度 W3 和深度 D1。被布置在第一区域 213 中的第一半导体区域 110 具有宽度为 W3 且深度为 D1 的配置。在本示例性实施例中,布置在第一区域 213 中的第一半导体区域 110 和第三半导体区域 112 的宽度和深度被设为彼此相同。第三半导体区域的杂质浓度被设为低于第一和第二半导体区域的杂质浓度。可通过光电转换装置的布局 and 第一半导体区域的宽度 W3 和 W4 适当地设定第三半导体区域 112 的杂质浓度。

[0047] 这里,通过使用图 3A ~ 3C 描述信号电荷的流动。图 3A ~ 3C 是与图 1A ~ 1C 对

应的示图,并且如图 1A 那样基于图 2B。在图 3A ~ 3C 中,与图 1A ~ 1C 或图 2B 相同的元件被赋予相同的符号,并且,省略其描述。在图 3A ~ 3C 中不设置在图 1A ~ 1C 中设置的第三半导体区域。在图 3A ~ 3C 中设置第一半导体区域 110 和第二半导体区域 111。在这种配置中,当信号电荷流入相邻的光电转换元件时,电荷经由穿过第一半导体区域 110 的具有宽度 W3 的路径 2 并经由穿过第二半导体区域 111 的具有宽度 W4 的路径 3 流动。这里,由于第一半导体区域 110 和第二半导体区域 111 具有相同的杂质浓度和相同的深度,因此信号电荷经由路径 3 流入相邻的光电转换元件的可能性比经由路径 2 流入相邻的光电转换元件的可能性高。因此,即使在相邻的光电转换元件中,在光电转换元件 200a 中产生的信号电荷的混合量也在光电转换元件 200c 中比在光电转换元件 200b 中大,由此导致不均匀。即,在单色光电转换装置中,出现图像质量的不均匀。在用于照相机的单板式彩色光电转换装置中,相邻的光电转换元件产生不同的颜色信号,由此导致串扰(混色)。

[0048] 另一方面,根据图 1A ~ 1C 所示的配置,由于设置具有低杂质浓度的第三半导体区域,因此形成路径 1。与经由路径 2 相比,信号电荷更可能经由路径 1 流入相邻的光电转换元件。可通过路径 1 将由于路径 2 和路径 3 而变得不均匀的对于相邻的光电转换元件的信号电荷的混合量调整为均匀。这里,根据对于信号电荷的电势的高度(即,势垒的高度)确定信号电荷流入相邻的光电转换元件的可能性。这里,路径 3 的势垒比路径 2 的势垒低。路径 1 的势垒比路径 3 的势垒低。即,如果在光电转换元件之间存在用作势垒的具有不同的宽度的半导体区域,那么使得具有较宽的宽度的势垒的一部分具有低的势垒。因此,信号电荷的混合量可被均等化。

[0049] 在本示例性实施例中,在布置具有宽的宽度的半导体区域的光电转换元件之间的至少一个部分中布置具有低杂质浓度的第三半导体区域 112。根据这种配置,可以抑制从光电转换元件 200a 流入相邻的光电转换元件的电荷。并且,从光电转换元件 200a 流入光电转换元件 200b 和 200c 的电荷的量可被均等化。布置具有宽的宽度的半导体区域的光电转换元件之间的至少一个部分可以是具有宽的宽度的半导体区域的一部分。即,可以采用在第一半导体区域中形成第三半导体区域的配置。

[0050] 下面,通过使用图 8A ~ 8G 和图 9A ~ 9G 描述本示例性实施例的光电转换装置的制造方法。图 8A ~ 8G 是通过使用与图 1B 对应的截面图示出制造过程的示图。图 9A ~ 9G 是通过使用与图 1C 对应的截面图示出制造过程的示图。

[0051] 首先,如图 8A 和图 9A 所示,在 N 型基板 115 上形成 N 型外延层 114'。然后,形成 LOCOS 113 并且形成活性区域(图 8B 和图 9B)。在图 8C 和图 9C 中,通过使用光致抗蚀剂掩模执行离子注入,并且,在 LOCOS 113 的端部形成 P 型第四半导体区域 120。

[0052] 然后,通过使用光致抗蚀剂掩模执行希望的剂量的离子注入,并且,形成 P 型第一半导体区域 110 和第二半导体区域 111(图 8D 和图 9D)。然后,通过使用另一光致抗蚀剂掩模执行剂量比图 8D 和图 9D 中的小的离子注入,并且,形成 P 型第三半导体区域 112(图 8E 和图 9E)。

[0053] 然后,通过构图形成晶体管的栅电极(图 8F 和图 9F)。随后,形成光电转换元件的 N 型电荷蓄积区域 116 和 P 型表面保护层 117,并且,形成晶体管的源极区域和漏极区域(图 8G 和图 9G)。

[0054] 随后,在受光面 119 上形成绝缘膜和布线,并且,形成层内透镜、滤色器和微透镜

(未示出)。由此,完成光电转换装置。

[0055] 第四半导体区域 113 被配置在元件隔离区域的绝缘体(或这里的 LOCOS 113)与光电转换元件 200 之间,并且覆盖光电转换元件 200 的表面。该第四半导体区域 113 使得能够减少在元件隔离区域中产生的暗电流混合到光电转换元件中。

[0056] 作为本示例性实施例的应用,可以如图 5A ~ 5C 所示的那样在晶体管的栅电极下面设置第三半导体区域。图 5A 与图 1A 对应。图 5B 和图 5C 分别是沿图 5A 中的线 5B-5B 和 5C-5C 切取的示意性截面图。在图 5A、图 5B 和图 5C 中,与图 1A ~ 1C 中的元件类似的元件被赋予相同的符号,并且,省略其描述。在图 5A、图 5B 和图 5C 中,作为复位 MOS 晶体管的源极区域的替代,在放大 MOS 晶体管的栅电极 203 下面设置第三半导体区域 512。即使通过这种配置,从光电转换元件 200a 流入光电转换元件 200b 和 200c 中的电荷的量也可被均等化,而从光电转换元件 200a 流入相邻的光电转换元件中的电荷受到抑制。

[0057] 在本示例性实施例中,在复位 MOS 晶体管的源极区域下面设置第三半导体区域。注意,同样,在另一晶体管的源极区域中,可以在漏极区域下面布置第三半导体区域。

[0058] (第二示例性实施例)

[0059] 通过使用图 4A、图 4B 和图 4C 描述本示例性实施例的光电转换装置。图 4A 与图 1A 对应。图 4B 和图 4C 分别是沿图 4A 中的线 4B-4B 和 4C-4C 切取的示意性截面图。在图 4A、图 4B 和图 4C 中,与图 1A ~ 1C 中的那些类似的元件被赋予相同的符号,并且省略其描述。以下只描述本示例性实施例中的与第一示例性实施例不同的配置。

[0060] 在第一示例性实施例中,通过杂质浓度形成具有低势垒的部分。另一方面,在本示例性实施例中,通过形成势垒的半导体区域的宽度形成具有低势垒的部分。如同第一示例性实施例那样,本示例性实施例的光电转换装置包含具有宽度 W3 的第一半导体区域 110 和具有宽度 W4 的第二半导体区域 111。并且,设置具有比宽度 W4 窄的第五宽度 W5 的第一导电类型的第三半导体区域 412。这里,第一半导体区域 110、第二半导体区域 111 和第三半导体区域 412 具有相同的杂质浓度和深度 D1。在本示例性实施例中,作为第一示例性实施例的路径 3 的替代,设置穿过第三半导体区域 412 的路径 4。因此,可以均匀地调整混合到相邻的光电转换元件的信号电荷的量。

[0061] 在由此如图 2B 中那样在光电转换元件之间设置用作针对信号电荷的势垒的具有不同的宽度的半导体区域的情况下,在具有宽的宽度的区域的至少一部分中布置具有窄的宽度的第三半导体区域 412。根据这种配置,可以抑制从光电转换元件 200a 流入相邻的光电转换元件的电荷。并且,根据该配置,从光电转换元件 200a 流入光电转换元件 200b 的电荷的量和从光电转换元件 200a 流入光电转换元件 200c 的电荷的量可被均等化。

[0062] 与第一示例性实施例相比,简化了第一到第三半导体区域的形成过程。即,在以希望的形式形成光致抗蚀剂掩模的形状的情况下,可通过相同的离子注入过程形成第一到第三半导体区域。

[0063] (第三示例性实施例)

[0064] 通过使用图 6A、图 6B 和图 6C 描述本示例性实施例的光电转换装置。图 6A 与图 1A 对应。图 6B 和图 6C 分别是沿图 6A 中的线 6B-6B 和 6C-6C 切取的示意性截面图。在图 6A、图 6B 和图 6C 中,与图 1A ~ 1C 中的元件类似的元件被赋予相同的符号,并且省略其描述。以下只描述本示例性实施例中的与第一示例性实施例不同的配置。

[0065] 在第一示例性实施例中,通过杂质浓度形成具有低势垒的部分。另一方面,在本示例性实施例中,存在不设置形成势垒的半导体区域的部分,由此形成具有低势垒的部分。如同第一示例性实施例那样,本示例性实施例的光电转换装置包含第一半导体区域 110 和第二半导体区域 111。在布置第一半导体区域 110 的区域 212 中形成没有第一导电类型的半导体区域的第三区域 612。这里,第一半导体区域 110 和第二半导体区域 111 具有相同的杂质浓度和相同的深度 D1。如图 6B 所示,作为第一示例性实施例的路径 3 的替代,设置穿过第三区域 612 的路径 5。因此,可以均匀地调整混合到相邻的光电转换元件的信号电荷的量。

[0066] 表 1 示出在图 6A ~ 6C 和图 3A ~ 3C 的配置中混合到相邻的光电转换元件的信号电荷的量的比较。从光电转换元件 200a 到光电转换元件 200c 的信号电荷的混合量表示为电荷混合量 1。从光电转换元件 200a 到光电转换元件 200b 的信号电荷的混合量表示为电荷混合量 2。电荷混合量的单位是任意的。如表 1 所示,图 6A ~ 6C 中的配置减小电荷混合量 1 和电荷混合量 2 之间的差异。通过设计中的深入考虑,可进一步减小电荷混合量 1 和电荷混合量 2 之间的差异。

[0067] 表 1

[0068]

	电荷混合量 1	电荷混合量 2
图 6	100	95
图 3	100	64

[0069] 在由此如图 2B 中那样在光电转换元件之间布置用作针对信号电荷的势垒的具有不同的宽度的半导体区域的情况下,具有宽的宽度的半导体区域的至少一部分是缺口(chipped,不被设置)。根据这种配置,可以抑制从光电转换元件 200a 流向相邻的光电转换元件的电荷。并且,从光电转换元件 200a 流入光电转换元件 200b 的电荷的量和从光电转换元件 200a 流入光电转换元件 200c 的电荷的量可被均等化。

[0070] 如图 7A ~ 7C 所示,可以在晶体管的源极区域或漏极区域下面布置与区域 612 对应的区域 712。在这种情况下,可以在被供给诸如电源或地 (ground) 的固定电势的源极区域、漏极区域或半导体区域下面布置该区域。该布置使得能够将在 LOCOS 中产生的暗电流排出 (drain) 到源极区域、漏极区域或半导体区域中。因此,可以减少流入光电转换元件中的暗电流。

[0071] 在本示例性实施例中,与第一示例性实施例相比,形成第一和第二半导体区域和第三区域 612 的过程得到简化。即,关于用于形成第一和第二半导体区域的离子注入的掩模图案,使用不在第三区域 612 中设置开口的图案。因此,可以形成本示例性实施例的第一和第二半导体区域和区域 612。

[0072] (第四示例性实施例)

[0073] 详细描述在将本发明的光电转换装置作为成像装置应用于成像系统的情况下的示例性实施例。成像系统包括数字照相机、数字便携式摄像机和监视照相机。图 10 示出将光电转换装置应用于作为成像系统的例子的数字照相机的情况下的框图。

[0074] 在图 10 中,该系统包括用于保护透镜的挡板 1、在成像装置 4(光电转换装置)处形成被摄体的光学图像的透镜 2、和用于改变通过透镜 2 的光的量的光阑 3。系统还包括对于从成像装置 4 输出的图像信号执行模拟 / 数字转换的 A/D 转换器 6 和对于从 A/D 转换器 6 输出的图像数据施加各种校正并且压缩同一数据的信号处理单元 7。在图 10 中,该系统还包括向成像装置 4、图像信号处理电路 5、A/D 转换器 6 和信号处理单元 7 输出各种定时信号的定时产生器 8。该系统包括执行各种运算并且总体控制数字照相机的总体控制和算术运算单元 9。该系统包括用于暂时存储图像数据的存储器单元 10、用于在记录介质上记录数据或从记录介质读取数据的接口 11、和用于记录和读取图像数据的诸如半导体存储器的可拆卸的记录介质 12。并且,系统包括用于与外部计算机通信的接口 13。这里,可从外面输入定时信号。成像系统可至少包括成像装置 4 和处理从成像装置输出的图像信号的信号处理单元 7。可以与成像装置在同一基板上形成定时产生器或 A/D 转换器。如上所述,本发明的光电转换装置可被应用于成像系统。通过将本发明的光电转换装置应用于成像系统,可以获取高质量图像。

[0075] (第五示例性实施例)

[0076] 这里,参见图 11A ~ 11E,如下描述每一个路径中的电势配置。图 11A 示意性地示出关于图 1B 中的路径 1 中的信号电荷(这里是电子)的电势配置。图 11B 示意性地示出关于图 3B 中的路径 2 中的信号电荷的电势配置。图 11C 示意性地示出关于图 4B 中的路径 4 中的信号电荷的电势配置。图 11D 示意性地示出关于图 6B 中的路径 5 中的信号电荷的电势配置。图 11E 示意性地示出关于图 1C 中的路径 3 中的信号电荷的电势配置。

[0077] 首先,在图 11A 中的路径 1 中,关于电子,N 型半导体区域的电荷蓄积区域 116 中的电势 P1 处于最低的状态。P 型的半导体区域 114 中的电势 P2 高于电势 P1。宽度为 W3 的第三半导体区域 112 中的电势 P3 高于电势 P2。

[0078] 在图 11B 中的路径 2 中,宽度为 W3 的第一半导体区域 110 中的电势 P4 高于电势 P3。因此,不是第一半导体区域 110 的电势而是第三半导体区域 112 的电势较低。

[0079] 在图 11D 中的路径 3 中,宽度为比 W3 窄的 W4 的第二半导体区域 111 处于电势 P4。这里,比较路径 2 和路径 3,路径 2 中的第一半导体区域 110 与路径 3 中的第二半导体区域 111 的电势处于相同的电势 P4。但是,路径 2 中的第一半导体区域 110 的宽度 W3 宽于路径 3 中的第二半导体区域 111 的宽度。从而,信号电荷几乎不通过或者经由路径 2(而非路径 3)传输。接着,比较路径 1 和路径 2,路径 1 中的第三半导体区域 112 具有与路径 2 中的第一半导体区域 110 的宽度相同的宽度 W3。但是,路径 1 中的第三半导体区域 112 处于比路径 2 中的第一半导体区域 110 的电势低的电势 P3。从而,信号电荷易于通过或者经由路径 1(而非路径 2)传输。在这种状态下,借助于第一区域在其一部分处具有较低的电势区域的配置(诸如路径 1),例如第一半导体区域 110 的一部分被第三半导体区域 112 代替的配置,能够调整信号电荷的混合量。特别地,比较具有宽度 W3 和电势 P3 的第三半导体区域 112 与具有宽度 W4 和电势 P4 的第二半导体区域 111,设置杂质浓度和半导体区域的宽度以使得信号电荷能够容易地通过第三半导体区域 112 而非第二半导体区域 111 传输将是有益的。

[0080] 接着,在图 11C 中的路径 4 中,第三半导体区域 112 具有比宽度 W4 窄的宽度 W5,并且处于电势 P4。这里,比较路径 2 和路径 4,路径 2 中的第一半导体区域 110 处于与路径 4

中的第三半导体区域 412 的电势相同的电势 P4。但是,路径 2 中的第一半导体区域 110 具有比路径 4 中的第三半导体区域 412 的宽度要宽的宽度 W3。即,信号电荷易于通过或者经由路径 4 而非路径 2 传输。此外,比较路径 4 和路径 3,路径 4 中的第三半导体区域 412 处于与路径 3 中的第二半导体区域 111 的电势相同的电势 P4。但是,路径 4 中的第三半导体区域 412 具有比路径 3 中的第二半导体区域 111 的宽度要窄的宽度 W5。从而,信号电荷易于通过或者经由路径 4 而非路径 3 传输。借助于路径 4 是第一区域的一部分这样的配置,即,用第三半导体区域 412 部分地替代第一半导体区域 110,能够调整信号电荷的混合量。

[0081] 参见图 11D,比较路径 5 和路径 2,路径 2 中的第一半导体区域 110 处于电势 P4。而路径 5 中的第三半导体区域 612 处于电势 P2。从而,信号电荷易于通过路径 5 而非路径 2 传输。接着,比较路径 5 和路径 3,路径 3 中的第二半导体区域 111 处于电势 P4。而路径 5 中的第三半导体区域 612 处于电势 P2。从而,信号电荷易于通过路径 5 而非路径 3 传输。借助于使得路径 5 是第一区域的一部分的配置,即,用第三半导体区域 612 部分地替代第一半导体区域 110,能够调整信号电荷的混合量。

[0082] 如上所述,当在光电转换元件之间布置用作针对信号电荷的势垒(电势壁垒)的具有不同的宽度的半导体区域的情况下,使得具有宽的宽度的半导体区域的至少一个部分的势垒低。该配置可抑制在某个光电转换元件中产生的信号电荷不均匀地混入相邻的光电转换元件中的任何光电转换元件中。

[0083] 这里,减小电势的一部分的配置是降低用作势垒的半导体区域的杂质浓度的一部分、宽度变窄或者深度减小的配置,或者是不设置用作势垒的半导体区域的一部分的配置。可以适当地组合这些配置和各示例性实施例。可通过估计流入相邻的光电转换元件中的量的平衡进行适当的设计。

[0084] 虽然已参照示例性实施例说明了本发明,但应理解,本发明不限于公开的示例性实施例。以下的权利要求的范围应被赋予最宽的解释以包含所有这样的修改和等同的结构和功能。

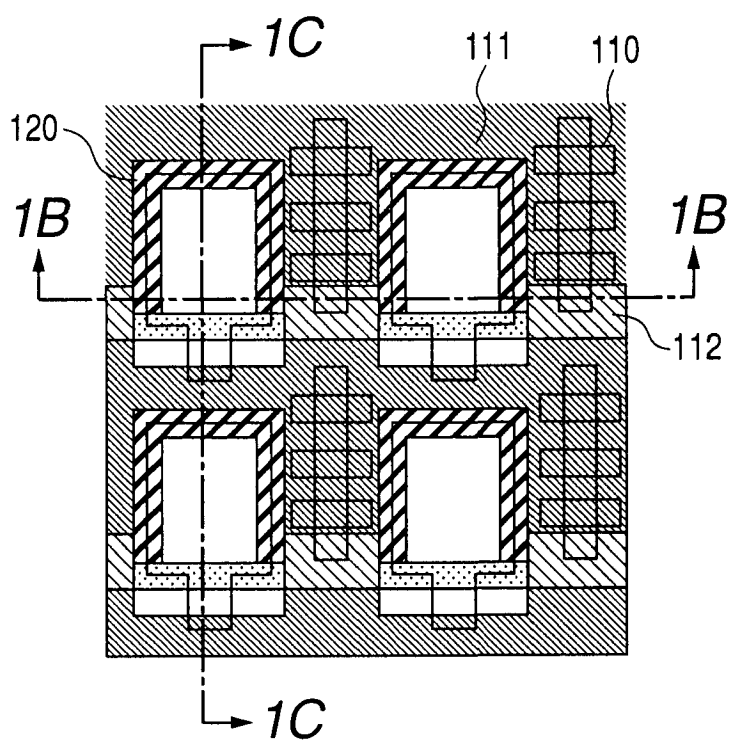


图 1A

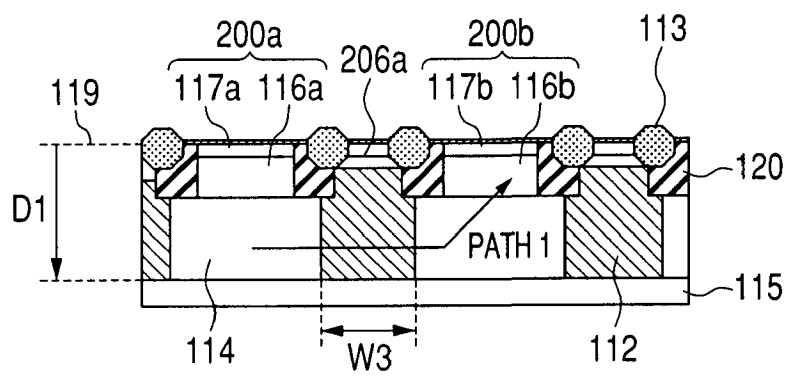


图 1B

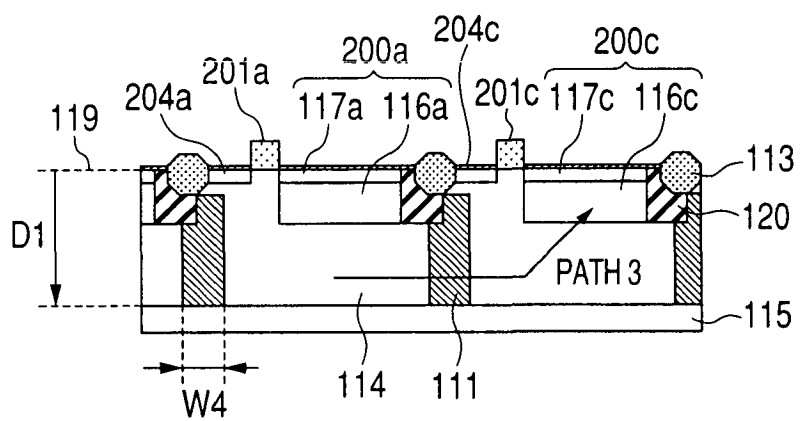


图 1C

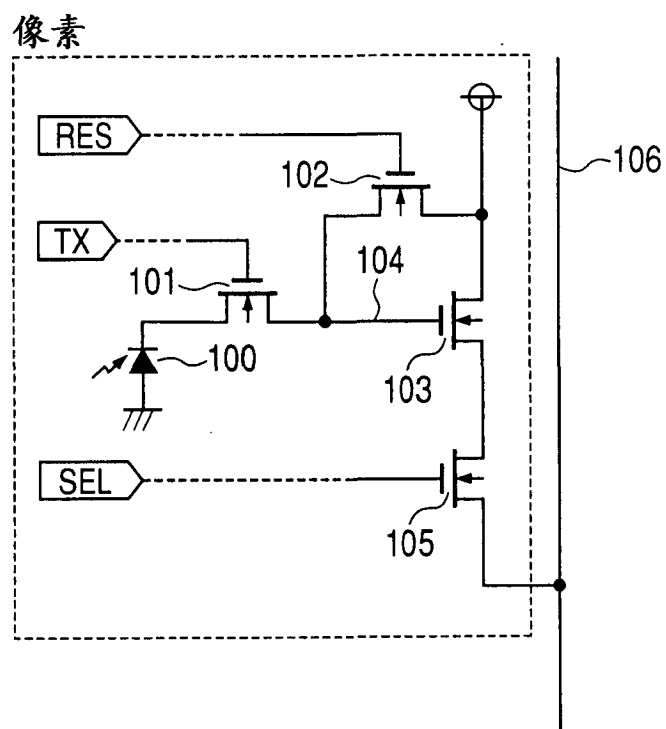


图 2A

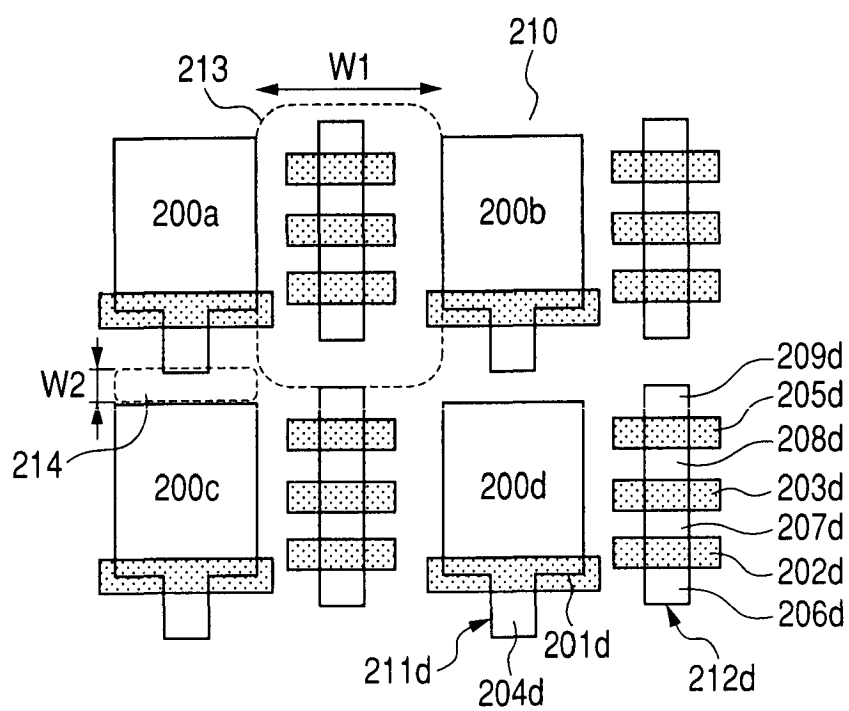


图 2B

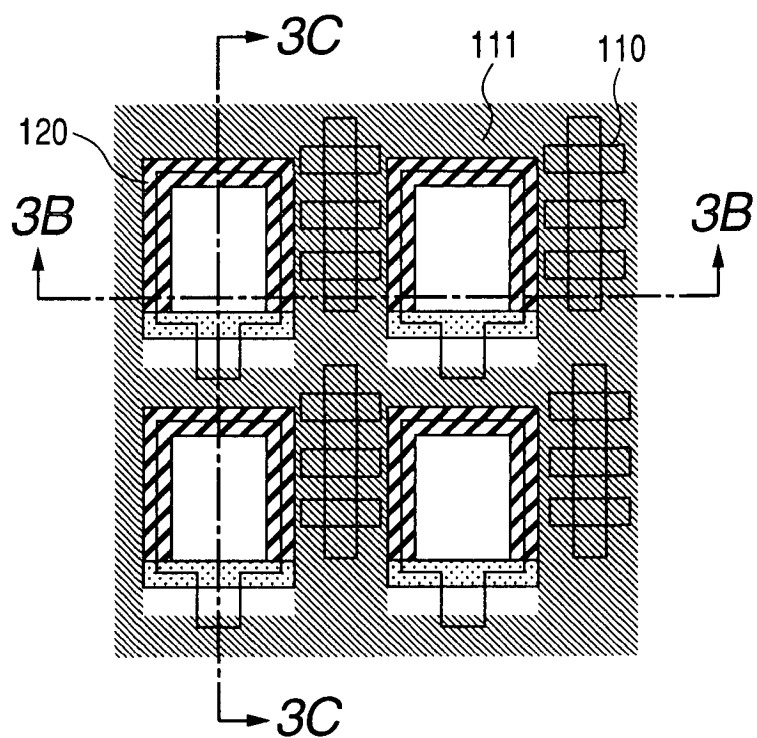


图 3A

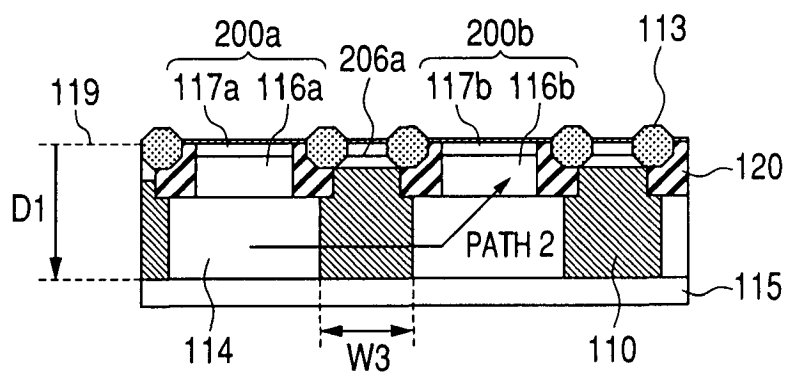


图 3B

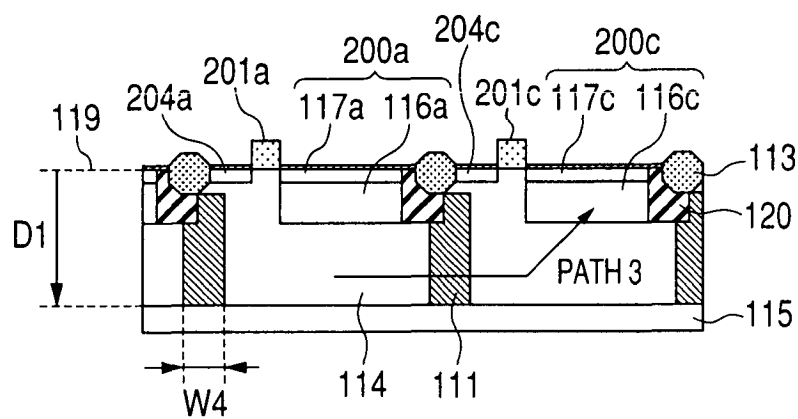


图 3C

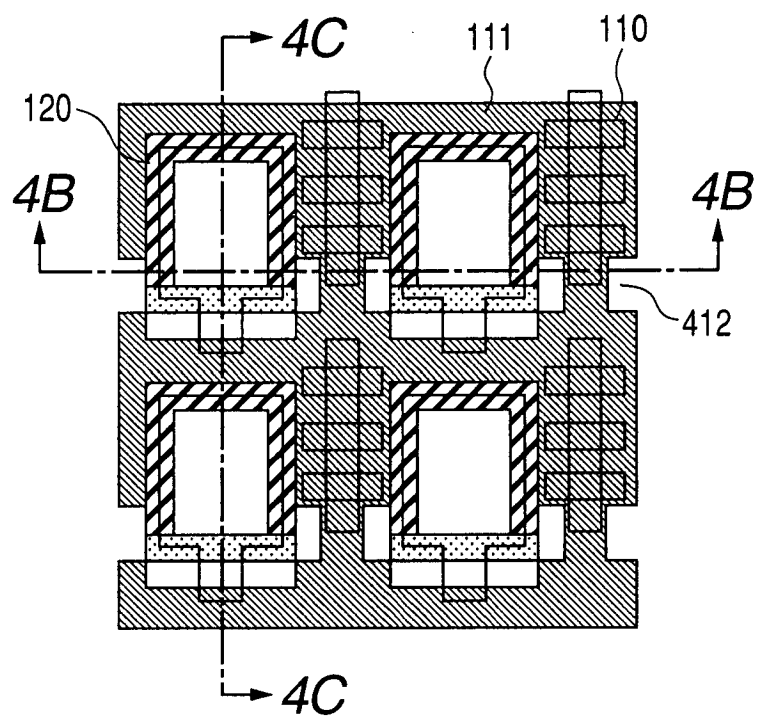


图 4A

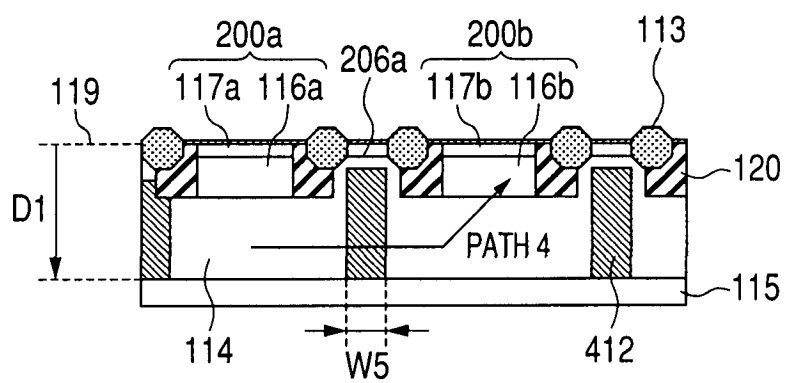


图 4B

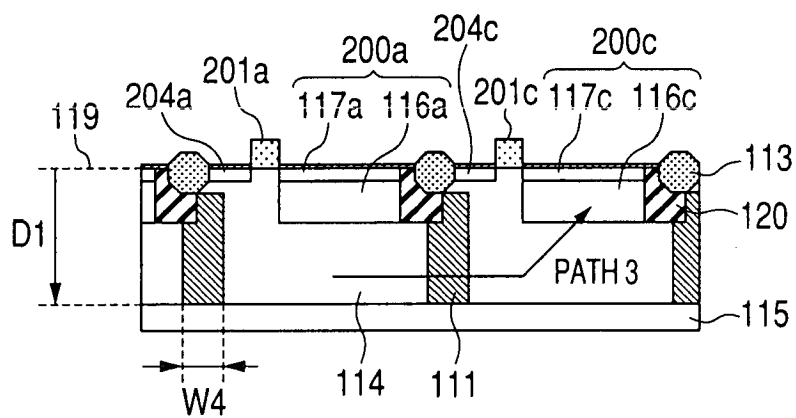


图 4C

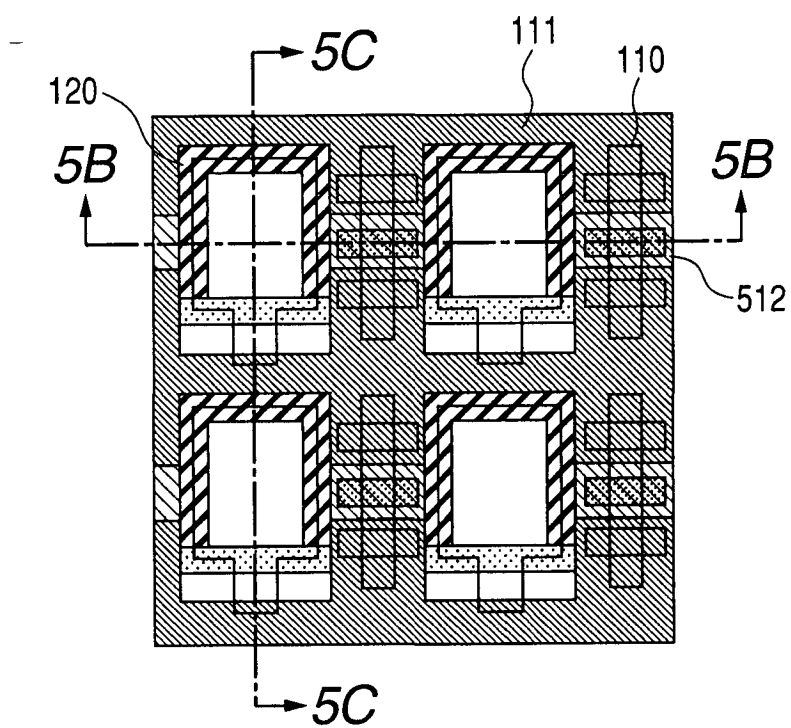


图 5A

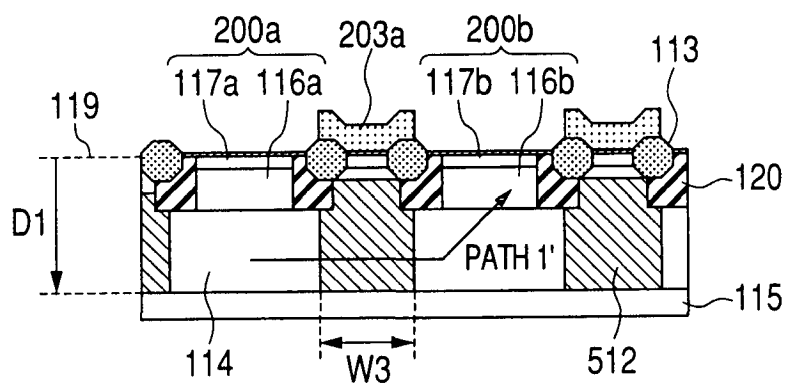


图 5B

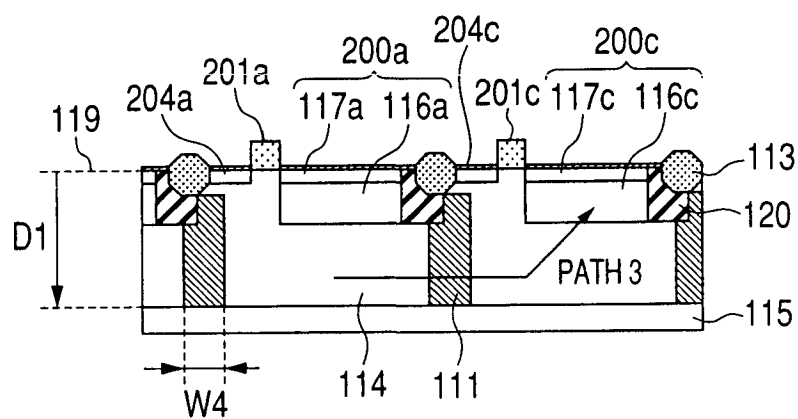


图 5C

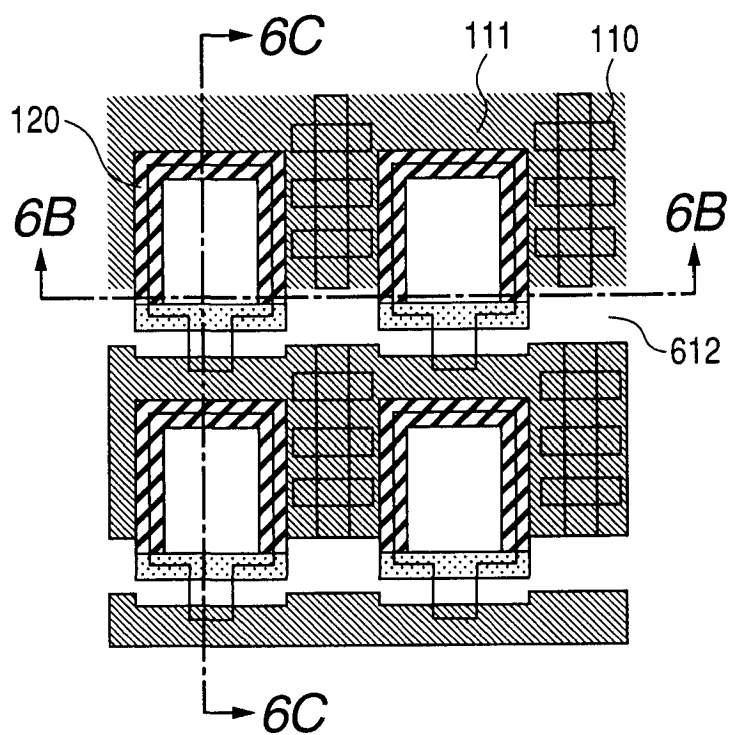


图 6A

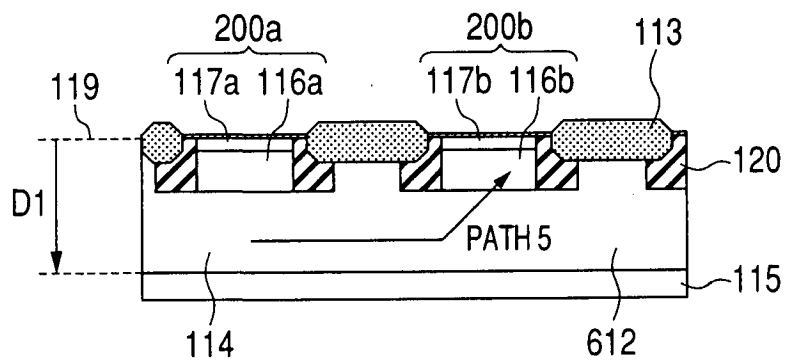


图 6B

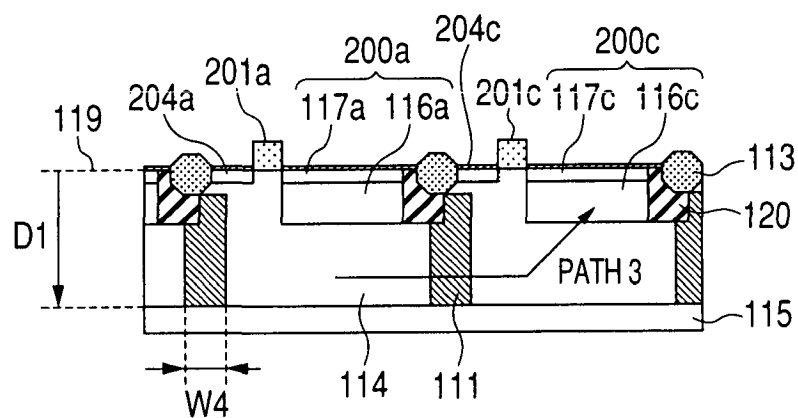


图 6C

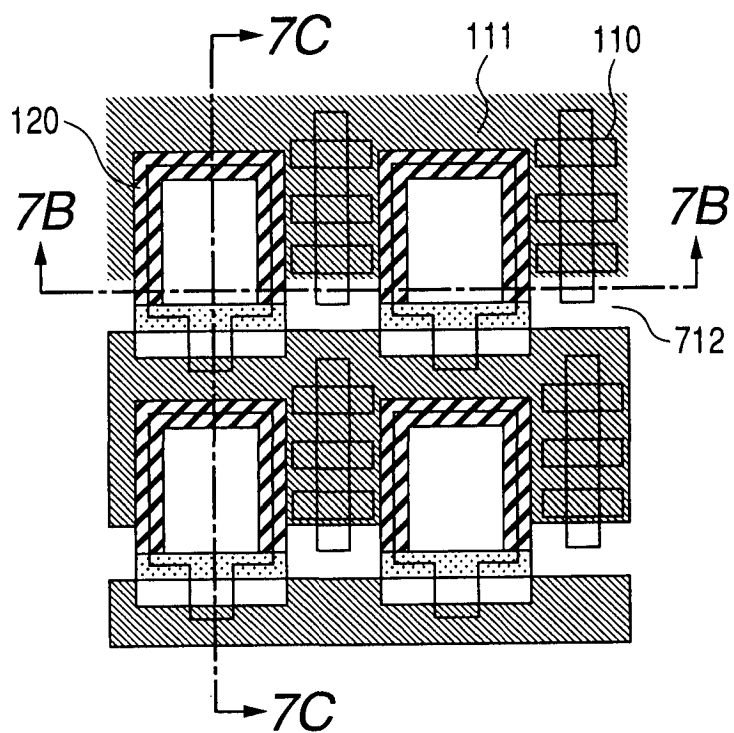


图 7A

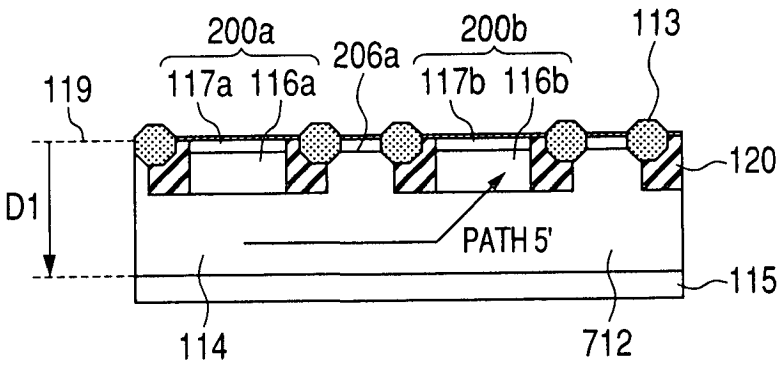


图 7B

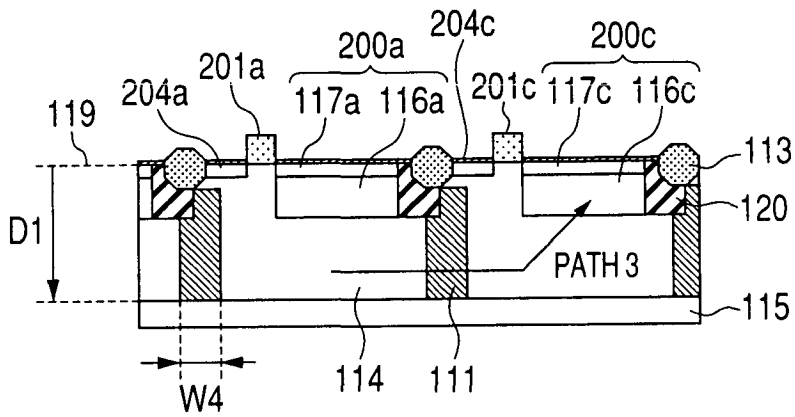


图 7C

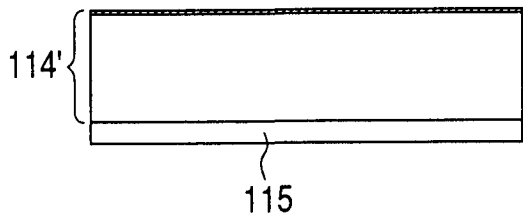


图 8A

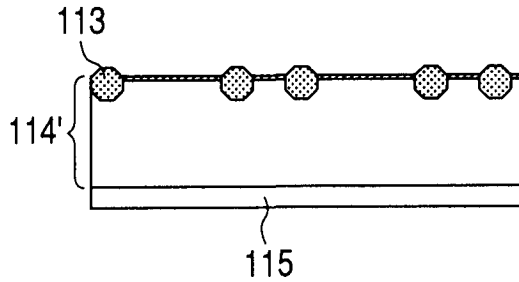


图 8B

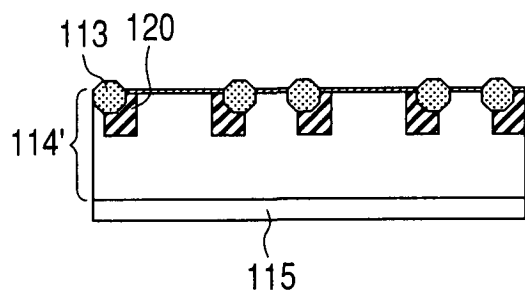


图 8C

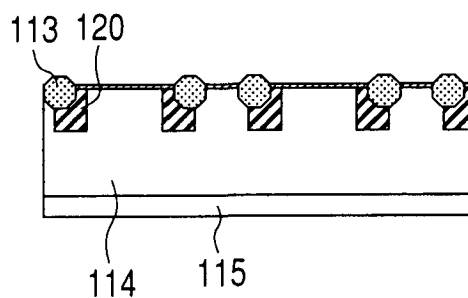


图 8D

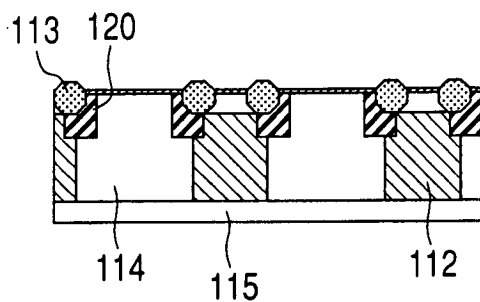


图 8E

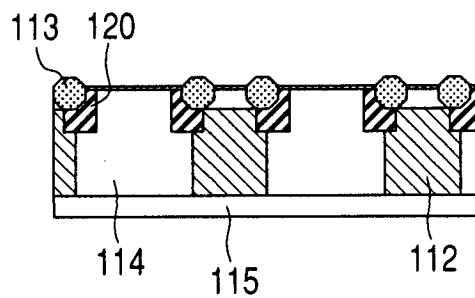


图 8F

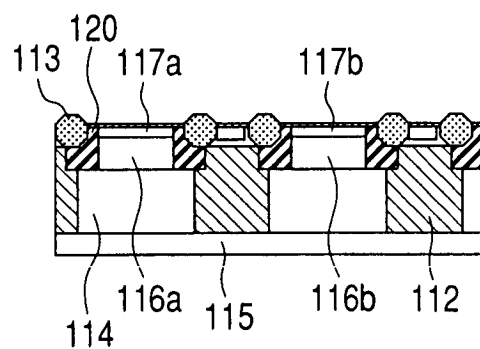


图 8G

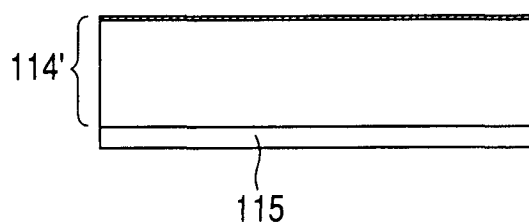


图 9A

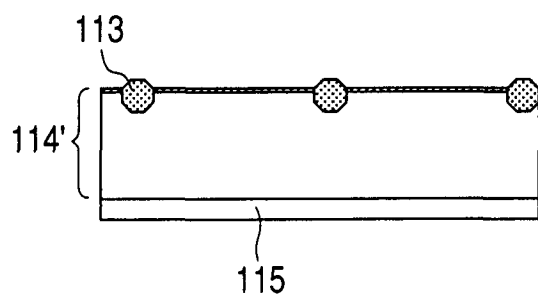


图 9B

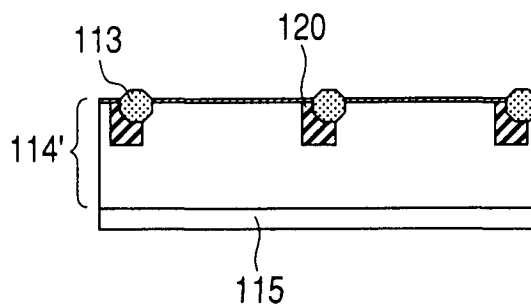


图 9C

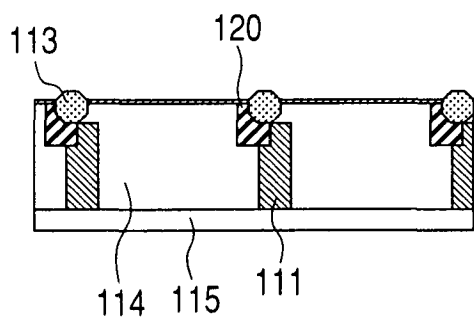


图 9D

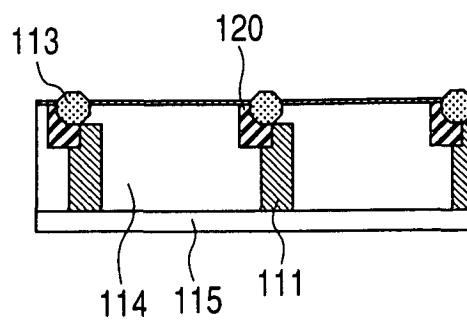


图 9E

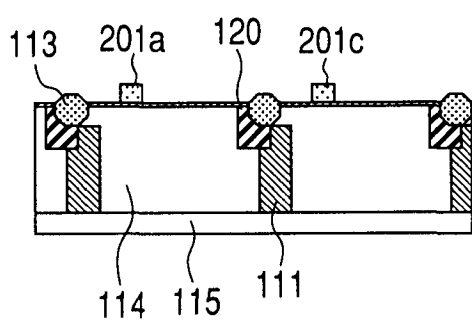


图 9F

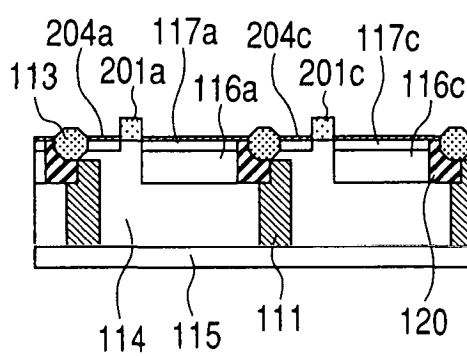


图 9G

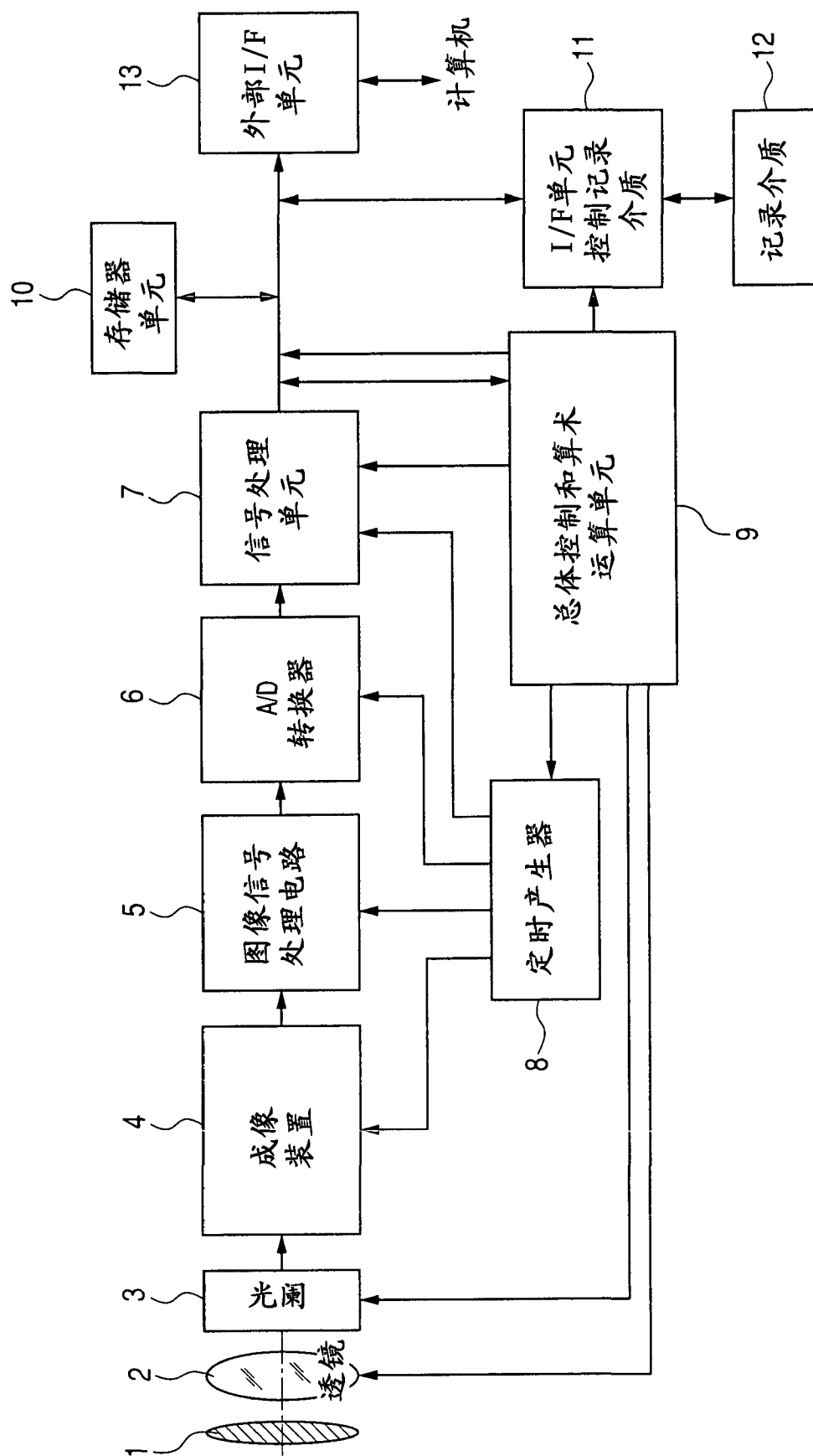


图 10

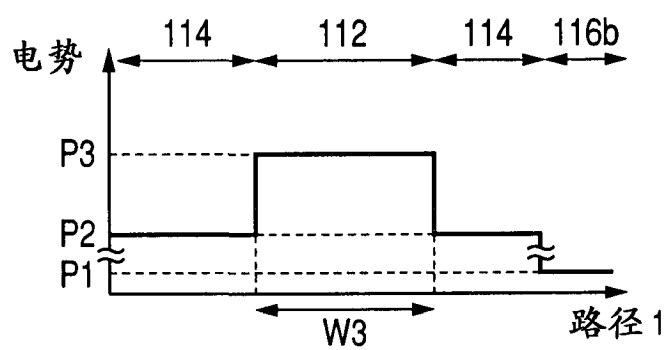


图 11A

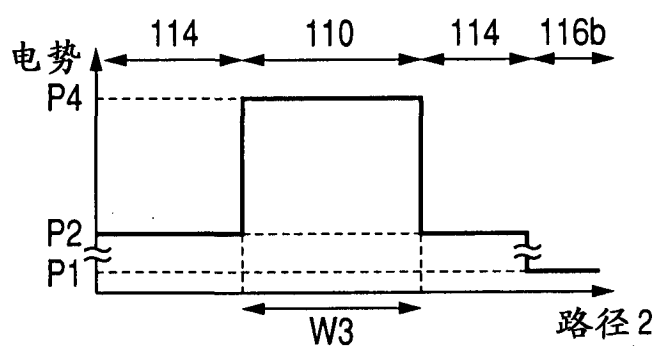


图 11B

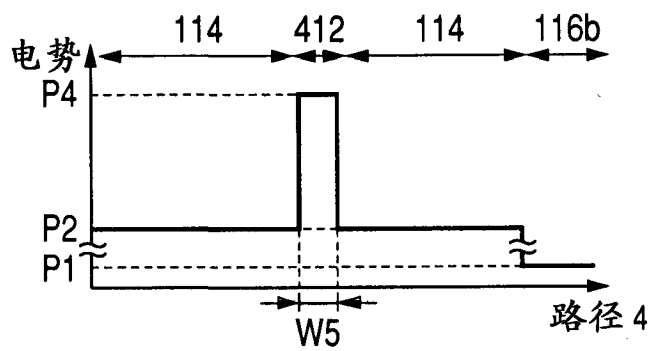


图 11C

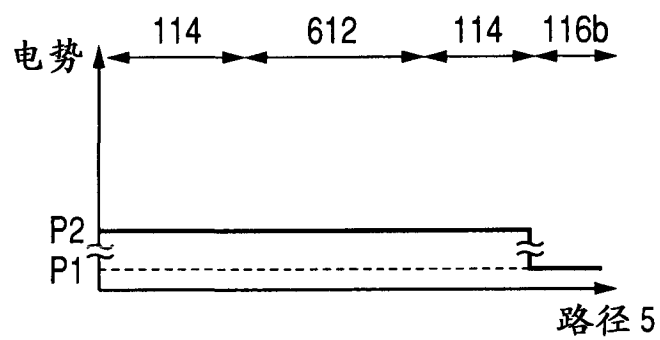


图 11D

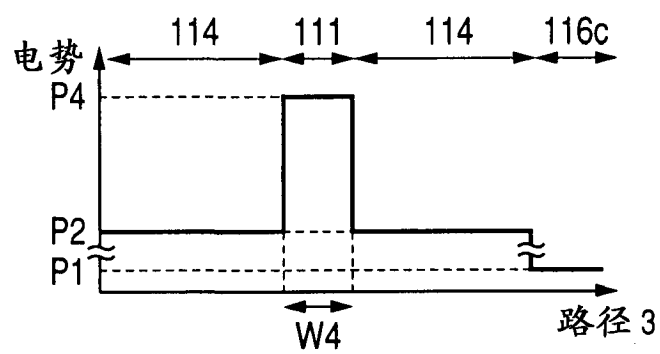


图 11E