



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

255452

(11) (B1)

(51) Int. Cl.⁴
G 11 C 7/02

(22) Přihlášeno 13 12 85

(21) PV 9257-85

(40) Zveřejněno 16 07 87

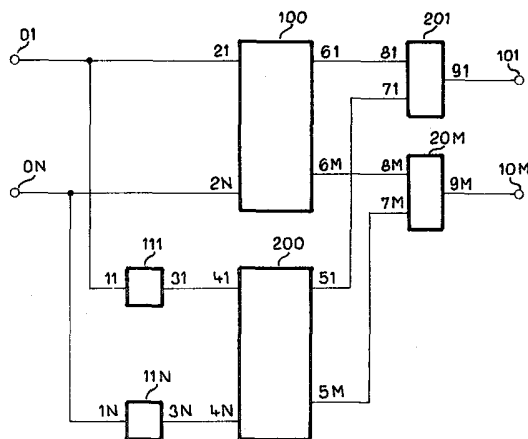
(45) Vydáno 15 12 88

(75)
Autor vynálezu

KRISTEN JIŘÍ, PRAHA

(54) Zapojení pro potlačení statických hazardů na výstupech statických polovodičových pamětí

Zapojení je z oblasti číslicové a výpočetní techniky. Při změně adresovacích signálů přiváděných na statické polovodičové paměti vykází výstupní signály statický hazard. Jeho odstranění přináší prodloužení doby pro získání platných dat. Zapojení umožňuje eliminovat statické hazardy při zachování skutečné pracovní rychlosti paměti. Podstata zapojení je založena na tom, že pro vznik hazardu je rozhodující orientace změny adresy, čehož využívá zapojení sestavené ze dvou pamětí, v nichž každá má plnou paměťovou kapacitu výsledného zapojení, dále obsahující negace vstupních adres a logické členy pro sloučení datových výstupů. Na jednu paměť je adresa přivedena přímo, kdežto na druhou v negované formě, přičemž odpovídající výstupy jsou sloučeny společným logickým členem. V pamětech je nahrán obsah na komplementárních adresách tak, že výstup vykazující hazard je zajištěn výstupem druhé paměti. Zapojení lze užít zvláště pro řešení asynchronních obvodů i v oborech měřicí a regulační techniky.



Obr. 1

Vynález se týká zapojení pro potlačení statických hazardů na výstupech statických polovodičových pamětí, vznikajících ve struktuře integrované paměti a projevujících se při změně logické proměnné přiváděné na adresový vstup. Zapojení podle vynálezu umožňuje eliminovat statické hazardy při zachování skutečné pracovní rychlosti paměti.

Statický hazard vzniká při změně logické proměnné přiváděné na adresový vstup paměti a projevuje se na jejím datovém výstupu. Znemožňuje přivést výstupní signál z paměti na dynamické vstupy následujících obvodů, například při užití paměti jako dekodéru v synchronních sekvenčních obvodech. Nebo nedovoluje užít bez potíží statickou paměť pro stavbu asynchronních sekvenčních obvodů. Až dosud se při aplikaci pamětí statický hazard na výstupech odstraňoval v obvodech synchronního charakteru vhodným synchronizátorem výstupních signálů, nejčastěji registry výstupních dat nahrávanými z paměti s časovou rezervou v době ustálení výstupních signálů. Při aplikaci statické paměti v obvodech nemajících synchronní charakter se statický hazard v případě nutnosti odstraňoval stejnosměrnou filtrací nejčastěji blokováním poruchového impulsu kapacitou tak, že se mezi výstup paměti a zemní potenciál zapojí kondenzátor.

V obou případech se prodlužuje doba vybavení obsahu paměti od adresy. V prvním případě může vést přenesení obsahu do následujícího hodinového taktu k složitější struktuře obvodu. V případě filtrace poruchového impulsu se nutně zpomaluje změna logických úrovní na výstupech paměti a tím se prodlužuje vybavovací doba při současné zpomalení hran průběhu. Tím může dojít k překročení technických podmínek vztahujících se k délce trvání hran vstupního signálu dalších navázaných obvodů, ale především lze snadno překročit technické podmínky určující provoz polovodičové paměti a nepříznivě tak ovlivnit její bezporuchový provoz.

Tyto nedostatky odstraňuje zapojení pro potlačení statických hazardů na výstupech statických polovodičových pamětí podle vynálezu, jehož podstata spočívá v tom, že první vstupní adresová svorka je spojena s prvním adresovým vstupem první paměti a nadto je spojena se vstupem prvního invertoru, jehož výstup je propojen na první adresový vstup druhé paměti, až konečně n -tá vstupní adresová svorka je spojena s n -tým adresovým vstupem první paměti a nadto je spojena se vstupem n -tého invertoru, jehož výstup je propojen na n -tý adresový vstup druhé paměti, zatímco první obsahový výstup první paměti je spojen s prvním vstupem prvního logického členu, přičemž první obsahový výstup druhé paměti je propojen na druhý vstup logického členu, jehož výstup je spojen s první výstupní obsahovou svorkou, až konečně m -tý obsahový výstup druhé paměti je spojen s druhým vstupem m -tého logického členu, přičemž m -tý obsahový výstup první paměti je propojen na první vstup m -tého logického členu, jehož výstup je spojen s m -tou výstupní svorkou.

Výhodou tohoto řešení je odstranění statických hazardů na výstupech polovodičových pamětí způsobených změnou signálu přiváděného na vstupní adresovou svorku při zachování skutečné vybavovací doby dat použité polovodičové paměti, která je prodloužena jen o dobu zpoždění průchodu vstupního signálu invertory na druhou polovodičovou paměť a o zpoždění průchodu výstupního datového signálu přes užitý slučovací logický člen. Zapojení také může být snadno testováno, zvláště v dynamickém režimu, a to pomocí prostého rozpojení výběrových vstupů, což je jednodušší než stálé zpomalení signálů trvale připojenou kapacitou.

Na připojených výkresech je znázorněné zapojení pro jednotlivé případy vykazovaných statických hazardů. Na obr. 1 je uvedeno obecné zapojení pro potlačení statických hazardů na výstupech statických polovodičových pamětí podle prvního bodu předmětu vynálezu. Na obr. 2 je uvedeno zapojení pro potlačení statických hazardů na výstupech statických polovodičových pamětí vykazujících na výstupech hazard v úrovni logické nuly. Na obr. 3 je uvedeno pro potlačení statických hazardů na výstupech statických polovodičových pamětí vykazujících na otevřených kolektorových výstupech statický hazard v úrovni logické nuly. Na obr. 4 je uvedeno zapojení pro potlačení statických hazardů na výstupech statických polovodičových pamětí vykazujících na výstupech hazard v úrovni logické jedničky. Zapojení pro potlačení statických hazardů na výstupech statických polovodičových pamětí uvedené

na obr. 1 sestává z první a druhé statické polovodičové paměti 100 a 200, každé o plně zabezpečené paměťové kapacitě s n adresovanými vstupy a s m obsahovými výstupy a dále z prvního až n -tého invertoru 111, ..., 11N a z prvního až m -tého dvojevstupového logického členu 201, ..., 20M. První vstupní adresová svorka 01 je spojena s prvním adresovým vstupem 21 první paměti 100 a současně je spojena se vstupem 11 prvního invertoru 111, jehož výstup 31 je propojen na první adresový vstup 41 druhé paměti 200.

Obdobně jsou spojovány i další vstupní adresové svorky až n -tá vstupní adresová svorka 0N, je spojena s n -tým adresovým vstupem 2N první paměti 100 a současně je spojena se vstupem 1N n -tého invertoru 11N, jehož výstup 3N je propojen na n -tý adresový vstup 4N druhé paměti 200. První obsahový výstup 61 první paměti 100 je spojen s prvním vstupem 81 prvního logického členu 201, přičemž první obsahový výstup 51 druhé paměti 200 je propojen na druhý vstup 71 prvního logického členu 201, jehož výstup 91 je spojen s první výstupní obsahovou svorkou 101.

Obdobně jsou propojovány i další výstupní obsahové svorky až m -tý obsahový výstup 6M první paměti 100 je spojen s prvním vstupem 8M m -tého logického členu 20M, zatímco m -tý obsahový výstup 5M druhé paměti 200 je propojen na druhý vstup 7M m -tého logického členu 20M, jehož výstup 9M je spojen s m -tou výstupní obsahovou svorkou 10M.

Funkce obvodu je následující:

Informace získávané ze slučovaných výstupů pamětí, z nichž pouze jeden v dané době může vykazovat statický hazard, jsou shodné. Toho je dosaženo nahráváním shodné informace do obou pamětí, ale na vzájemně komplementární adresy. Ve statické polovodičové paměti dochází ke vzniku statického hazardu jen při jednom typu přechodu adresových proměnných, tedy při snižování anebo při zvyšování adresy. Splnění podmínky vykazování statického hazardu jen při jednom z výstupů je provedeno adresováním jedné z pamětí přes invertory. Potom stačí, jen podle vykazovaného statického hazardu vhodně zvolit logický člen určený ke sloučení signálových cest, tak, aby signál z výstupu, který statický hazard nevykazuje, zablokoval signálovou cestu poruchovému impulsu.

Pro statický hazard vykazovaný v úrovni logické nuly je užito logického součinnového obvodu jako logického členu. Je-li statický hazard na výstupech paměti vykazovaný v úrovni logické jedničky, potom je jako logického členu užito logického součtového obvodu. Předpokládáme-li změnu adresového signálu na libovolné vstupní svorce, třeba na první vstupní adresové svorce 01, je tato změna signálu přivedena na první adresový vstup 21 první paměti 100 přímo, ale na první adresový vstup 41 druhé paměti 200 je přivedena komplementární signálová změna přes první invertor 111. Podle užití struktury paměti a uvažované signální změny dojde ke vzniku statického hazardu jen v jedné určité paměti, třeba v druhé paměti 200.

Při tom ale obě paměti vykazují na výstupech stejná data, neboť nahraný obsah je uložen na vzájemně komplementárních adresách. Potom libovolný, třeba první obsahový výstup 51 paměti 200, který na předchozí i na následující adrese vykazuje signál stejné logické úrovně, ve které navíc dochází ke statickému hazardu, vyšle krátký poruchový impuls. Ale protože v první paměti 100 ke statickému hazardu nedochází, její první obsahový výstup 61 vysílá signál stejný jako první obsahový výstup 51 druhé paměti 200, ale bez poruchového impulsu, a tím je ve slučovacím členu 201 zablokována signálová cesta poruchovému impulsu na výstupní obsahovou svorku 101 podle výše uvedené úvahy.

Příkladné zapojení pro potlačení statických hazardů na výstupech statických polovodičových pamětí vykazujících na výstupech hazard v úrovni logické nuly uvedené na obr. 2 sestává z první a druhé statické polovodičové paměti 100 a 200, každé o plně zabezpečené paměťové kapacitě s organizací $2^n \times m$ a dále sestává z prvního až n -tého invertoru 111, ..., 11N a z prvního až m -tého dvojevstupového součinnového obvodu; tyto součinnové obvody

jsou zapojeny ve funkci prvního až m-tého logického členu 201, ..., 20M. První vstupní adresová svorka 01 je spojena s prvním adresovým vstupem 21 první paměti 100 a současně je spojena se vstupem 11 prvního invertoru 111, jehož výstup 31 je propojen na první adresový vstup 41 druhé paměti 200.

Obdobně jsou propojovány i následující vstupní adresové svorky až n-tá svorka ON je spojena s n-tým adresovým vstupem 2N první paměti 100 a současně je spojena se vstupem 1N n-tého invertoru 11N, jehož výstup 3N je propojen na n-tý adresový vstup 4N druhé paměti 200. První obsahový výstup 61 první paměti 100 je spojen s prvním vstupem 81 prvního součinného obvodu 201, přičemž první obsahový výstup 51 druhé paměti 200 je propojen na druhý vstup 7 prvního logického členu 201, jehož výstup 91 je spojen s první výstupní obsahovou svorkou 101.

Obdobně jsou propojovány i další obsahové svorky až m-tý obsahový výstup 6M první paměti 100 je spojen s prvním vstupem 8M m-tého součinného obvodu 20M, zatímco m-tý obsahový výstup 5M druhé paměti 200 je propojen na druhý vstup 7M m-tého logického členu 20M, jehož výstup 9M je spojen s m-tou výstupní obsahovou svorkou 10M. Předpokládáme-li změnu adresového signálu na libovolné vstupní adresové svorce, třeba první 01 takovou, aby vyvolala statický hazard kupříkladu ve druhé paměti 200 a přitom byla v pamětech nahrazena data taková, že na libovolných, třeba prvních obsahových výstupech 61 a 51 byl výstupní signál na původní i nové adrese v úrovni logické nuly, potom dojde k potlačení statického hazardu následujícím způsobem: první obsahový výstup 51 druhé paměti 200 vyšle krátký poruchový impuls do úrovně logické jedničky, ale protože na adresový vstup 21 první paměti 100 došlo i inverzní signálové změně oproti adresovému vstupu 41 druhé paměti 200, tak v první paměti 100 ke statickému hazardu nedochází a první obsahový výstup 01 vysílá výstupní signál v úrovni logické nuly bez poruchového impulsu a protože je na prvním vstupu 81 logického členu 201 trvale signál logické nuly, je i z jeho výstupu 91 vyslán na výstupní obsahovou svorku 101 signál s úrovní logické nuly bez poruchového impulsu.

Příkladné zapojení pro potlačení statických hazardů na výstupech statických polovodičových pamětí vykazujících na otevřených kolektorových výstupech hazard v úrovni logické nuly uvedené na obr. 3 sestává z první a druhé statické polovodičové paměti 100 a 200, každé o plně zabezpečené paměťové kapacitě s organizací $2^n \times m$ a dále sestává z prvního až n-tého invertoru 111, ..., 11N a dále z prvního až m-tého zakončovacího odporu, tyto zakončovací odpory jsou zapojeny ve funkci prvního až m-tého logického členu 201, ..., 20M, a realizují první až m-tý montážní součin. První vstupní adresová svorka 01 je spojena s prvním adresovým vstupem 21 první paměti 100 a současně je spojena se vstupem 11 prvního invertoru 111, jehož výstup 31 je propojen na první adresový vstup 41 druhé paměti 200.

Obdobně jsou propojovány i následující vstupní adresové svorky, až n-tá svorka ON je spojena s n-tým adresovým vstupem 2N první paměti 100 a současně je spojena se vstupem 1N n-tého invertoru 11N, jehož výstup 3N je propojen na n-tý adresový vstup 4N druhé paměti 200. První obsahový otevřený kolektorový výstup 61 první paměti 100, je spojen s prvním obsahovým otevřeným kolektorovým výstupem 51 druhé paměti 200, a nadto je spojen s prvním příívodem prvního zakončovacího odporu 201 a navíc je spojen s první výstupní obsahovou svorkou 101.

Obdobně jsou propojovány i další výstupní obsahové svorky až m-tý obsahový otevřený kolektorový výstup 6M první paměti 100 je spojen s m-tým obsahovým otevřeným kolektorovým výstupem 5M druhé paměti 200 a nadto je spojen s prvním příívodem m-tého zakončovacího odporu 20M a navíc je spojen s m-tou vstupní obsahovou svorkou 10M. Druhý příívod prvního zakončovacího odporu 201 je propojen na druhé příívody následujících zakončovacích odporů, až je propojen na druhý příívod m-tého zakončovacího odporu 20M a nadto je propojen na napájecí svorku 2000. Zatímco vstupní výběrová svorka 1000 je spojena s výběrovým vstupem 1100 první paměti 100 a současně s výběrovým vstupem 1200 druhé paměti 200. Předpokládáme-li signálovou změnu na libovolné vstupní adresové svorce, kupříkladu na první vstupní

adresové svorce 01 takovou, aby způsobila statický hazard ve druhé paměti 200 a při tom předpokládáme, že jsou v pamětech nahrána data taková, že na libovolných například prvních obsahových otevřených kolektorových Y1 výstupech 61 a 51 byl výstupní signál na původní i na nové adrese v úrovni logické nuly, potom dojde k potlačení statického hazardu následujícím způsobem: první obsahový Y1 výstup 51 druhé paměti 200 vyšle krátký poruchový impuls do úrovně logické jedničky, ale protože na adresový A1 vstup 21 první paměti 100 došla inverzní signálová změna oproti adresovému A1 vstupu 41 druhé paměti 200, tak v první paměti 100 ke statickému hazardu nedochází a první obsahový otevřený kolektorový Y1 výstup 61 udrží přes montážní součin signál přiváděný na výstupní obsahovou svorku 101 v úrovni logické nuly bez poruchového impulsu.

Příkladné zapojení pro potlačení statických hazardů na výstupech statických polovodičových pamětí vykazujících na výstupech hazard v úrovni logické jedničky uvedené na obr. 4 sestává z první a druhé statické polovodičové paměti 100 a 200, každé o plné zabezpečované paměťové kapacitě s organizací $2^n \times m$ a dále sestává z prvního až n -tého invertoru 111, až 11N a z prvního až m -tého dvojitý vstupového součtového obvodu 201 až 20M.

Vyznačuje se tím, že jeho první vstupní adresová svorka 01 je spojena s prvním adresovým A1 vstupem 21 první paměti 100 a současně je spojena se vstupem 11 prvního invertoru 111, jehož výstup 31 je propojen na první adresový vstup 21 první paměti 100 a současně je spojena se vstupem 11 prvního invertoru 111, jehož výstup 31 je propojen na první adresový vstup 41 druhé paměti 200.

Obdobně jsou propojovány i následující vstupní adresové svorky až n -tá vstupní adresová svorka 0N je spojena s n -tým adresovým vstupem 2N první paměti 100 a současně je spojena se vstupem 1N n -tého invertoru 11N, jehož výstup 3N je propojen na n -tý adresový vstup 4N druhé paměti 200. První obsahový výstup 61 první paměti 100 je spojen s prvním vstupem 81 prvního logického členu 201, přičemž první obsahový výstup 51 druhé paměti 200 je propojen na druhý vstup 71 prvního součtového obvodu 201, jehož výstup 91 je spojen s první výstupní obsahovou svorkou 101. Obdobně jsou propojovány i další výstupní obsahové svorky až m -tý obsahový výstup 6M první paměti 100 je spojen s prvním vstupem 8M m -tého součtového obvodu 20M, zatímco m -tý obsahový výstup 5M druhé paměti 200 je propojen na druhý vstup 7M m -tého součtového obvodu 20M, jehož výstup 9M je spojen s m -tou výstupní obsahovou svorkou 10M.

Zatímco vstupní výběrová svorka 1000 je spojena s výběrovým vstupem 1100 první paměti 100 a současně je spojena s výběrovým vstupem 1200 druhé paměti 200. Uvažujme signálovou změnu na libovolné vstupní adresové svorce, například na první svorce 01 takovou, že způsobí hazard ve struktuře druhé paměti 200 a dále uvažujme v pamětech nahraný takový datový obsah aby na libovolných, třeba prvních obsahových výstupech 61 a 51 výstupní signál předešlé i nové adresy by v úrovni logické jedničky, potom statický hazard je potlačen takto: první obsahový výstup 51 druhé paměti 200 vyšle během změny adresy poruchový impuls do úrovně logické nuly ale proto, že na adresovém vstupu 21 první paměti 100 přechází signál do opačné logické úrovně než na adresovém vstupu 41, tak v první paměti 100 ke statickému hazardu nedochází a první obsahový výstup 61 vysílá výstupní signál v úrovni logické jedničky bez poruchového impulsu, který je přiváděn na první vstup 81 součtového obvodu 201 a tak i z jeho výstupu 91 je vysílán na výstupní obsahovou svorku 101 signál s úrovní logické jedničky bez poruchového impulsu.

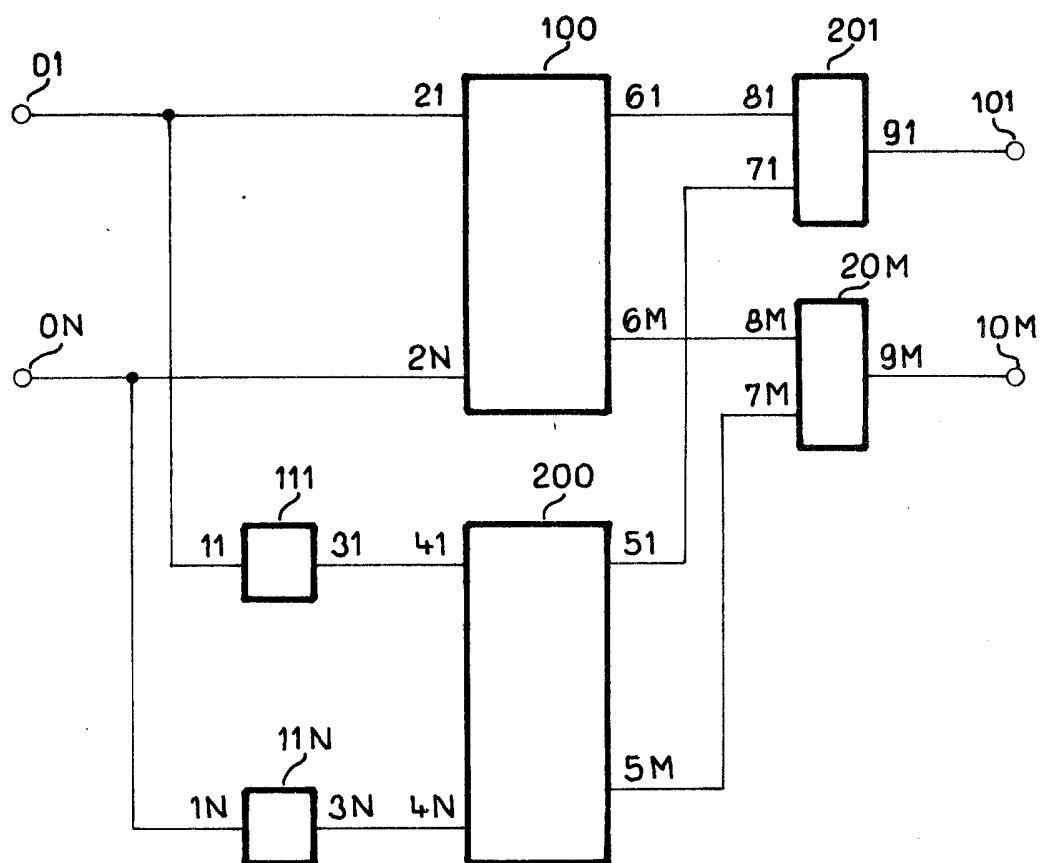
Uvedená příkladná zapojení řeší případy vykazovaných statických hazardů buď v úrovni logické jedničky nebo v úrovni logické nuly. Je-li struktura paměti taková, že je užito dvou adresových dekodérů jak pro sloupce, tak pro řádky paměťové matrice a nadto je v signálové cestě mezi dekodéry vřazena lichá parita negací, potom zřejmě dochází ke statickým hazardům v obou logických úrovních podle signálové změny přiváděno buď na sloupcové nebo na řádkové dekodéry. V takovém případě lze zapojením podle vynálezu odstranit jen statické hazardy vznikající pouze na jednom z adresových dekodérů.

Zapojení pro potlačení statických hazardů na výstupech statických polovodičových pamětí lze užít pro sestavování složitých asynchronních sekvenčních obvodů z malého počtu užitých pouzder obvodů.

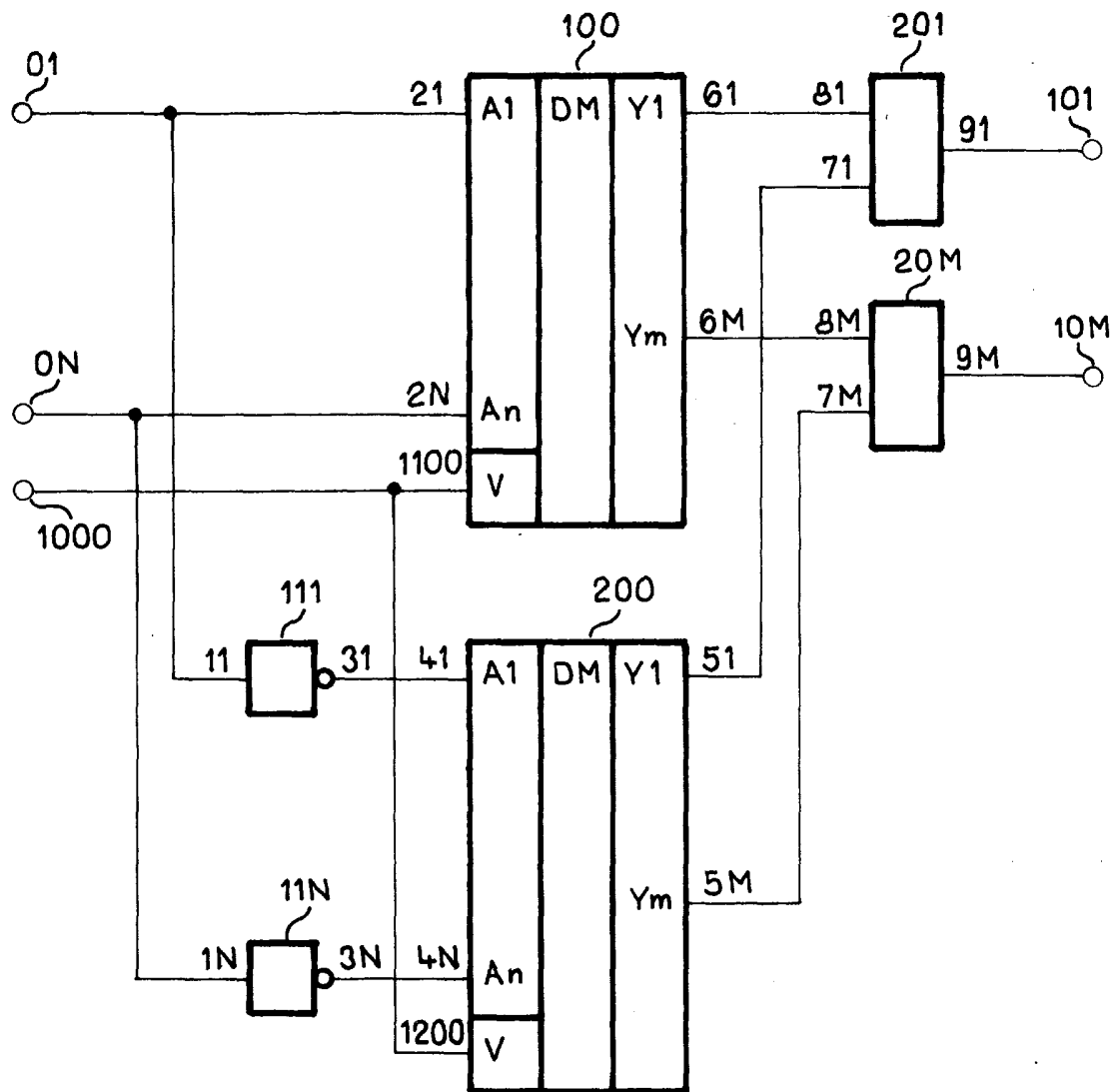
PŘEDMĚT VYNÁLEZU

1. Zapojení pro potlačení statických hazardů na výstupech statických polovodičových pamětí vyznačené tím, že jeho první vstupní adresová svorka (01) je spojena s prvním adresovým vstupem (21) první paměti (100) a současně je spojena se vstupem (11) prvního invertoru, jehož výstup (31) je propojen na první adresový vstup (41) druhé paměti (200) a obdobně jsou spojeny i další vstupní adresové svorky až n-tá vstupní adresová svorka (0N) je spojena s n-tým adresovým vstupem (2N) první paměti (100) a současně je spojena se vstupem (1N) n-tého invertoru (11N), jehož výstup (3N) je propojen na n-tý adresový vstup (4N) druhé paměti (200), zatímco první obsahový výstup (61) první paměti (100) je spojen s prvním vstupem (81) prvního logického členu (201), přičemž první obsahový výstup (51) druhé paměti (200) je spojen s druhým vstupem (71) prvního logického členu (201), přičemž jeho výstup (91) je propojen na výstupní obsahovou svorku (101) a obdobně jsou propojeny i další obsahové výstupy až m-tý obsahový výstup (6M) první paměti (100) je spojen s prvním vstupem (8M) m-tého logického členu (20M), přičemž m-tý obsahový výstup (5M) druhé paměti (200) je spojen s druhým vstupem (7M) m-tého logického členu (20M), přičemž jeho výstup (9M) je spojen na m-tou výstupní obsahovou svorku (10M).

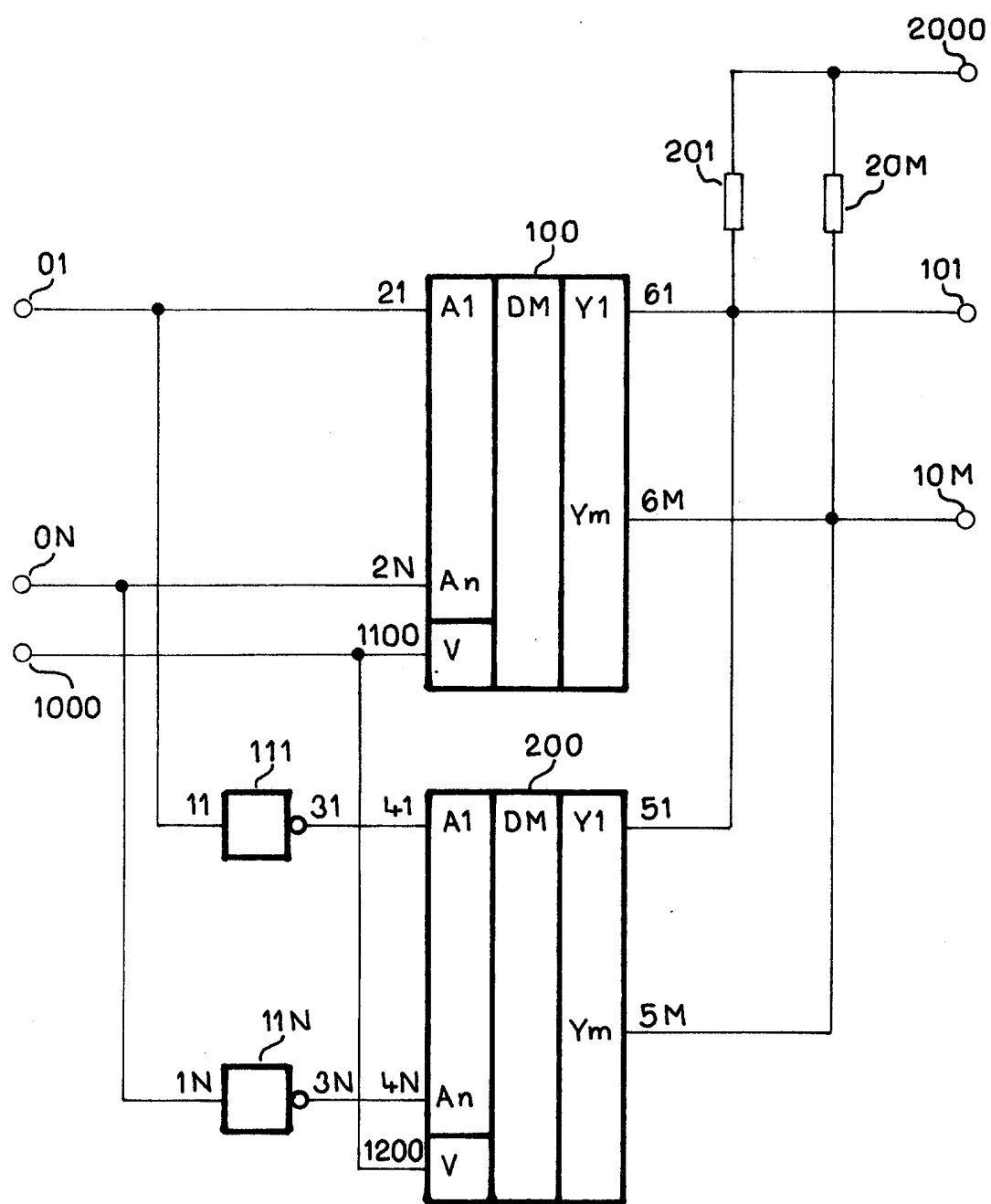
2. Zapojení vyznačené tím, že první obsahový výstup (61) první paměti (100) je spojen s prvním obsahovým výstupem (51) druhé paměti (200) a nadto je spojen s prvním přívodem prvního logického členu odporu (201) a navíc je spojen s první výstupní obsahovou svorkou (101) a obdobně jsou propojeny i další obsahové výstupy až m-tý obsahový výstup (6M) první paměti (100) je spojen s m-tým obsahovým výstupem (5M) druhé paměti (200) a nadto je spojen s prvním přívodem m-tého zakončovacího odporu (20M) a navíc je spojen s m-tou výstupní obsahovou svorkou (10M), zatímco druhý přívod prvního logického členu (201) je spojen s druhými přívody dalších logických členů až konečně s druhým přívodem m-tého logického členu (20M) a nadto je spojen s napájecí svorkou (2000).



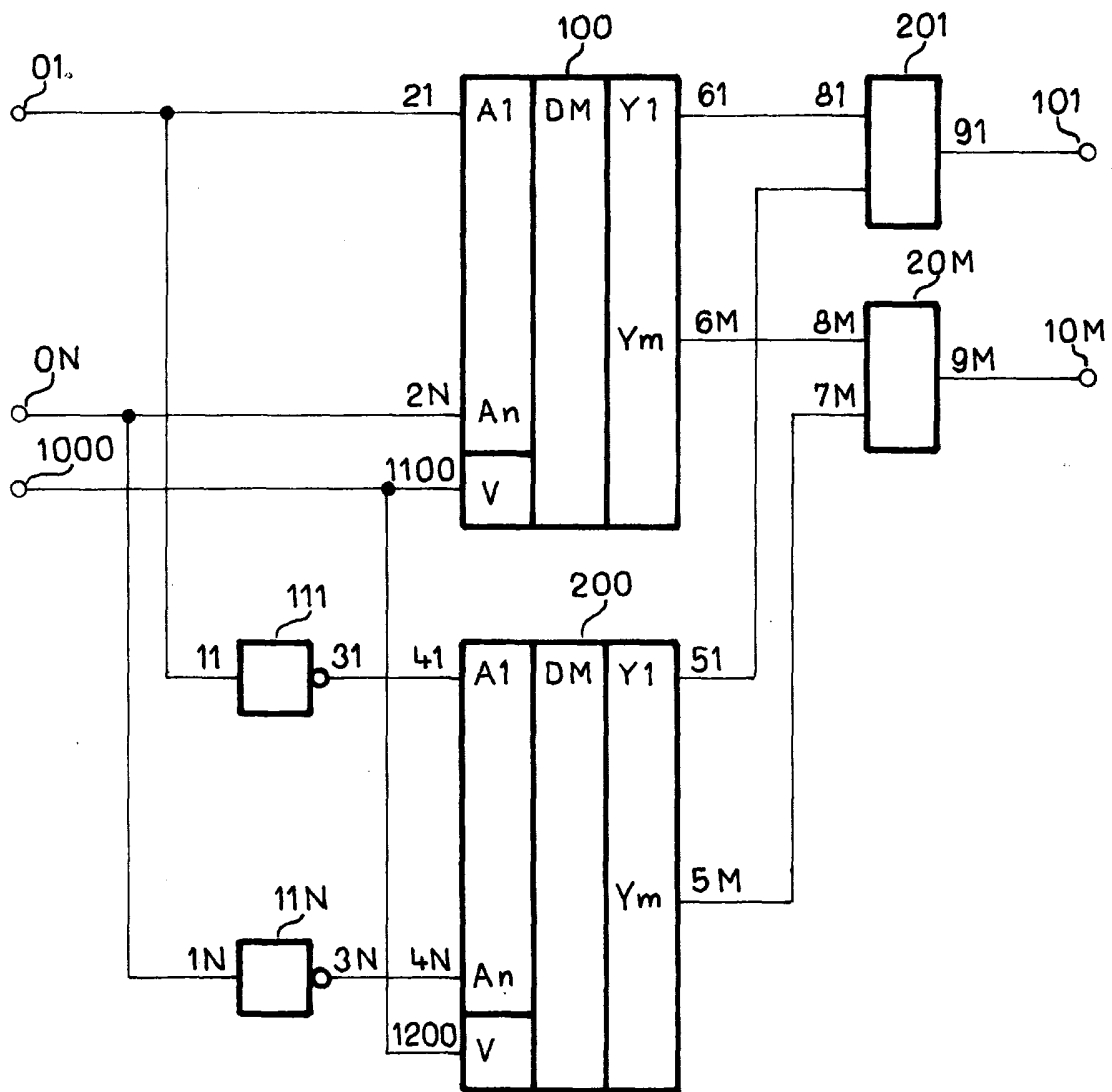
Obr. 1



Obr. 2



Obr. 3



Obr. 4