



Europäisches Patentamt
European Patent Office
Office européen des brevets

Veröffentlichungsnummer: **0 132 720 B1**

12

EUROPÄISCHE PATENTSCHRIFT

45 Veröffentlichungstag der Patentschrift:
07.01.88

51 Int. Cl.: **H 01 L 29/40, H 01 L 21/285,
H 01 L 23/48**

21 Anmeldenummer: **84108239.9**

22 Anmeldetag: **12.07.84**

54 Integrierte Halbleiterschaltung mit einer aus Aluminium oder aus einer Aluminiumlegierung bestehenden äusseren Kontaktleiterbahnebene.

30 Priorität: **20.07.83 DE 3326142**

73 Patentinhaber: **Siemens Aktiengesellschaft Berlin und München, Wittelsbacherplatz 2, D-8000 München 2 (DE)**

43 Veröffentlichungstag der Anmeldung:
13.02.85 Patentblatt 85/7

72 Erfinder: **Neppi, Franz, Dr. rer. nat., St. Quirin-Platz 6, D-8000 München 90 (DE)**
Erfinder: **Schwabe, Ulrich, Dr. phil., Pflövierpark 14, D-8000 München 83 (DE)**

45 Bekanntmachung des Hinweises auf die Patenterteilung:
07.01.88 Patentblatt 88/1

84 Benannte Vertragsstaaten:
AT CH DE FR GB IT LI NL SE

56 Entgegenhaltungen:
EP - A - 0 000 317
EP - A - 0 002 731
EP - A - 0 046 914

IBM TECHNICAL DISCLOSURE BULLETIN, Band 19, Nr. 9, Februar 1977, Seite 3382, New York, USA; P.L. GARBARINO et al.: "Contact barrier metallurgy for MOSFET gate"
CHEMICAL ABSTRACTS, Band 97, 1982, Seite 705, Nr. 179136h, Columbus, Ohio, USA; W.L. LEHRER et al.: "Low-temperature LPCVD deposition of tantalum silicide" & PROC. - ELECTROCHEM. SOC. 1982, 82-87 (VLSI SCI. TECHNOL.), 258-264

EP 0 132 720 B1

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents im Europäischen Patentblatt kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

Die Patentanmeldung betrifft eine integrierte Halbleiterschaltung mit einem aus Silizium bestehenden Substrat, in dem und auf dem die die Schaltung bildenden Elemente erzeugt sind, die diffundierte Siliziumbereiche aufweisen, und mit einer aus Aluminium oder aus einer Aluminiumlegierung bestehenden äusseren Kontaktelektrodenbahnenebene, welche unter Verwendung einer Metallsilizidzwischen-schicht mit den zu kontaktierenden diffundierten Siliziumbereichen der Schaltung verbunden ist.

Eine Anordnung der eingangs genannten Art, wobei Platinsilizid als Zwischenschicht verwendet wird, ist aus einem Aufsatz von Ting und Wittmer aus Thin Solid Films 96 (1982) Seite 331 bekannt. Die thermische Stabilität liegt bei 400°C.

Eine auf Aluminium oder Aluminium-Legierungen wie Aluminium-Silizium oder Aluminium-Silizium-Titan basierende Metallisierung für integrierte Halbleiterschaltungen ist ebenfalls aus dem genannten Aufsatz von Ting und Wittmer bekannt. Die thermische Stabilität liegt bei 550°C. Das Metallisierungssystem besitzt folgende Nachteile:

1. Die Ausbildung kleiner Kontakte zu flachen hochdotierten Diffusionsgebieten im Siliziumsubstrat ist sehr problematisch, da wegen des sogenannten «spiking» und/oder epitaktischen p-Silizium-Wachstums in den Kontakten (Degradierung von n⁺-Kontakten) Substratkurzschlussgefahr besteht.

2. Temperaturstabile Schottky-Dioden mit niedriger Barriere ϕ_B auf n-Silizium herzustellen, wie sie zum Beispiel für «clamped transistors» benötigt werden, die zum Beispiel in Schottky-TTL-Schaltkreisen oder in kombinierten CMOS/Schottky-TTL-Schaltkreisen verwendet werden, ist sehr schwierig, da das Aluminium im allgemeinen an die Grenzflächen diffundiert und ϕ_B erhöht.

Diese Nachteile können weitgehend dadurch behoben werden, dass zusätzlich zur Kontaktierungsschicht weitere Schichten als Diffusionsbarrieren verwendet werden.

So ist beispielsweise aus dem bereits zitierten Aufsatz von Ting und Wittmer in «Thin Solid Films» 96 (1982) auf Seite 338 ein Dreischichtsystem, bestehend aus Aluminium, Titan und Platinsilizid zu entnehmen, wobei sich das Platinsilizid nur im Kontaktloch befindet.

Aus der US-A-4 201 999 (Howard) ist weiterhin bekannt, für die Realisierung von Schottky-Dioden mit niedriger Barriere auf n-Silizium ein Dreischichten-Metallisierungssystem bestehend aus Tantal, Tantal-Aluminium und Aluminium zu verwenden.

Der Nachteil dieser Metallisierung liegt darin, dass Tantal im Kontakt mit Silizium bereits bei verhältnismässig niedrigen Temperaturen zur Silizidbildung tendiert, wodurch Substratkurzschlüsse verursacht werden können.

Der Aufbau dieser bekannten Schichtsysteme erfordert zusätzliche Prozessschritte, welche er-

hebliche Mehrkosten verursachen und die Fehlerquoten bei der Herstellung der integrierten Schaltungen erhöhen können.

Die Aufgabe, die der Erfindung zugrundeliegt, besteht deshalb in der Angabe eines auf Aluminium basierenden Metallisierungssystems, welches nicht nur leichter realisierbar und einfacher aufgebaut ist, sondern auch die Zuverlässigkeit und Belastbarkeit von elektrischen Leiterbahnen und Kontakten zu flachen Diffusionsgebieten bei VLSI-Systemen (= very large scale integration) weiter erhöht.

Diese Aufgabe wird durch eine integrierte Halbleiterschaltung der eingangs genannten Art gelöst, welche erfindungsgemäss dadurch gekennzeichnet ist, dass die Zwischenschicht aus Tantaldisilizid besteht, wobei der Tantalgehalt der Verbindung grösser ist als es der Tantaldisilizid-Stöchiometrie entspricht, wodurch die Diffusion von Aluminium und Silizium im Tantaldisilizid verhindert wird.

Dabei liegt es im Rahmen des Erfindungsgedankens, dass die Zwischenschicht durch gleichzeitiges Aufdampfen der beiden Elemente oder durch Hochfrequenzzerstäuben unter Verwendung eines aus Tantaldisilizid bestehenden Targets erzeugt ist. Bei der Art dieser Herstellung scheidet sich aus Tantaldisilizid bestehenden Targets erzeugt ist. Bei der Art dieser Herstellung scheidet sich das Tantaldisilizid in amorpher Form ab.

Gemäss einem anderen Ausführungsbeispiel nach der Lehre der Erfindung wird die Zwischenschicht durch Abscheidung aus der Gasphase, beispielsweise durch thermische Zersetzung eines aus Tantalhalogenid und Silan bestehenden Gasgemisches gebildet.

Die Verwendung einer Tantaldisilidschicht zur Verhinderung einer Ausdiffusion von Aluminium zwischen einer Kontaktelektrodenbahnenebene und einer Polysiliziumgatestruktur ist zwar aus dem IBM Technical Disclosure Bulletin, Vol. 19, No. 9, Februar 1977, Seite 3382, bekannt, doch wird diese hier durch Aufdampfen einer Tantalschicht und anschliessende Silizidbildung bei 400-800°C aus der Polysilizium-Gatestruktur erzeugt. Eine Diffusionsbarriere aus Tantaldisilizid mit erhöhtem Tantalgehalt ist nicht offenbart.

Weiterhin ist aus der EP-A-0 000 317 bekannt, dass mit einer Zunahme des Tantalgehaltes die Leitfähigkeit einer Tantaldisilidschicht zunimmt, wobei insbesondere auf die Verbindung Ta_5Si_3 hingewiesen wird. Die Verbindung Ta_5Si_3 ist eine stöchiometrische Verbindung und bekannterweise bei hohen Temperaturen nicht stabil. Auch hier entsteht im Endeffekt die stabile Tantaldisilidverbindung, die keinen Tantalüberschuss und damit die Diffusionsbarrierenbildung nicht aufweist. Die aus der EP-A-0 000 317 bekannten Schichten dienen ausschliesslich der Erhöhung der Leitfähigkeit von Polysiliziumverbindungen bzw. als direkte Elektroden-schichten auf diffundierten Siliziumbereichen und weisen vorzugsweise einen Siliziumüberschuss auf.

Weitere Ausgestaltungen der Erfindung ergeben sich aus den Unteransprüchen.

Im folgenden wird anhand der in der Zeichnung befindlichen Figur der Schichtaufbau des Kontaktes im Schnittbild noch näher erläutert.

Dabei ist mit dem Bezugszeichen 1 das den n⁺- bzw. p⁺-dotierten Bereich 2 enthaltende Substrat und mit 3 die das Kontaktloch enthaltende SiO₂-Schicht bezeichnet. Nach bekannten Verfahren der Halbleitertechnologie (Co-Sputtern, Co-Dampfen oder CVD-Verfahren (= chemical vapor deposition)) wird eine Tantalsilizidschicht 5 in einer Schichtdicke von 100 bis 500 nm aufgebracht, wobei die Abscheidung so gesteuert wird, dass mehr Tantal niedergeschlagen wird, als es der Tantalsilizid-Stöchiometrie entspricht. Dies geschieht beispielsweise durch Verwendung eines Tantalsilizidtargets aus einer Legierung mit Tantalüberschuss. Auf die Tantalsilizidschicht 5 wird eine zum Beispiel dotierte Aluminiumschicht 6 in einer Schichtdicke von 500-2000 nm aufgedampft und diese Doppelschicht (5, 6) dann gemeinsam strukturiert (in der Figur nicht dargestellt).

Es ist aber auch möglich, durch ein selektives CVD-Verfahren das Tantalsilizid nur im Kontaktloch (siehe Pfeil 4) abzuscheiden.

Die Aluminiumschicht 6 dient der Minimierung des Leitbahnwiderstandes und ermöglicht die problemlose Kontaktierung. Die Tantalsilizidschicht 5 wirkt gleichzeitig als Diffusionsbarriere und als Kontaktiermaterial. Dies ist möglich, da einerseits mit Tantalsilizid ohmsche Kontakte aus n⁺- und p⁺-Silizium hergestellt werden können und die Schottky-Barriere zu n-Silizium mit 0,59 eV ausreichend niedrig ist, andererseits Tantalsilizid mit einem höheren Tantalgehalt als der Tantalsilizid-Stöchiometrie entspricht die Aluminium-Diffusion bei Temperschritten verhindert.

Folgende Vorteile ergeben sich durch die erfindungsgemässe Metallisierung:

1. Es werden nur zwei, statt üblicherweise drei Schichten verwendet, wodurch die Herstellung (zum Beispiel Ätzung und Abscheidung) wesentlich vereinfacht wird.
2. Es wird eine geringe Reaktionstiefe in (100)-Silizium erzielt, da bereits Silizid statt dem reinen Metall abgeschieden wird.
3. Es findet keine Aluminiumdiffusion in die Kontakte statt.
4. Es entsteht kein p-Silizium-Epitaxie-Wachstum in den Kontakten.
5. Es kann bei der Abscheidung von Aluminium auf den Siliziumzusatz verzichtet werden.
6. Die Abscheidung beider Schichten mit dem gleichen Verfahren, zum Beispiel mit dem CVD-Verfahren, ist möglich.
7. Tantalsilizid besitzt eine hohe Strombelastbarkeit, so dass bei ganzflächiger Silizidbeschichtung eine Sicherheitsreserve bei Aluminium-Unterbrechungen vorhanden ist.

Patentansprüche

1. Integrierte Halbleiterschaltung mit einem

aus Silizium bestehenden Substrat (1), in dem und auf dem die die Schaltung bildenden Elemente erzeugt sind, die diffundierte Siliziumbereiche (2) aufweisen, und mit einer aus Aluminium oder aus einer Aluminiumlegierung bestehenden äusseren Kontaktleiterbahnebene (6), welche unter Verwendung einer Metallsilizidzwischen-schicht (5) mit den zu kontaktierenden diffundierten Siliziumbereichen (2) der Schaltung verbunden ist, dadurch gekennzeichnet, dass die Zwischenschicht (5) aus Tantalsilizid besteht, wobei der Tantalgehalt der Verbindung grösser ist als es der Tantalsilizid-Stöchiometrie entspricht, wodurch die Diffusion von Aluminium und Silizium im Tantalsilizid verhindert wird.

2. Integrierte Halbleiterschaltung nach Anspruch 1, dadurch gekennzeichnet, dass die Zwischenschicht (5) durch gleichzeitiges Aufdampfen der beiden Elemente oder durch Hochfrequenzerstäuben unter Verwendung eines Tantalsilizidtargets erzeugt ist.

3. Integrierte Halbleiterschaltung nach Anspruch 1, dadurch gekennzeichnet, dass die Zwischenschicht (5) durch Abscheidung aus der Gasphase, beispielsweise durch thermische Zersetzung eines aus Tantalhalogenid und Silan bestehenden Gasgemisches gebildet ist.

4. Integrierte Halbleiterschaltung nach Anspruch 3, dadurch gekennzeichnet, dass die Zwischenschicht selektiv nur im Kontaktloch abgeschieden ist.

5. Integrierte Halbleiterschaltung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass die Kontaktleiterbahnebene (6) aus einer Aluminiumlegierung der Systeme Aluminium-Kupfer, Aluminium-Silizium, Aluminium-Kupfer-Silizium oder Aluminium-Silizium-Titan besteht.

6. Integrierte Halbleiterschaltung nach einem der Ansprüche 1 bis 5, gekennzeichnet durch eine Schichtdicke der Zwischenschicht (5) im Bereich von 100 bis 500 nm.

7. Integrierte Halbleiterschaltung nach einem der Ansprüche 1 bis 3, 5 und 6, dadurch gekennzeichnet, dass die Zwischenschicht (5) mit der sie bedeckenden Kontaktleiterbahnebene (6) strukturiert ist, so dass die Metallisierung aus einer Doppelschicht (5, 6) besteht.

Claims

1. An integrated semiconductor circuit comprising a substrate (1) consisting of silicon and in and on which are produced the elements which form the circuit and which have diffused silicon zones (2), and an external contact conductor path plane (6) which consists of aluminium or an aluminium alloy and which is connected to the diffused silicon zones (2) of the circuit which are to be contacted, using a metal silicide intermediate layer (5), characterised in that the intermediate layer (5) consists of tantalum disilicide, in which the tantalum content of the compound is greater than that corresponding to stoichiometric tantalum disilicide, as a result of which the diffusion of

aluminium and silicon into the tantalum disilicide is prevented.

2. An integrated semiconductor circuit as claimed in Claim 1, characterised in that the intermediate layer (5) is produced by simultaneous vapour deposition of the two elements, or by high-frequency atomisation using a tantalum silicide target.

3. An integrated semiconductor circuit as claimed in Claim 1, characterised in that the intermediate layer (5) is formed by deposition from the gas phase, for example by thermal decomposition of a gas mixture consisting of tantalum halide and silane.

4. An integrated semiconductor circuit as claimed in Claim 3, characterised in that the intermediate layer is selectively deposited only in the contact hole.

5. An integrated semiconductor circuit as claimed in one of Claims 1 to 4, characterised in that the contact conductor path plane (6) consists of an aluminium alloy of the systems: aluminium-copper, aluminium-silicon, aluminium-copper-silicon, or aluminium-silicon-titanium.

6. An integrated semiconductor circuit as claimed in one of Claims 1 to 5, characterised by a thickness of the intermediate layer (5) in the range of 100 to 500 nm.

7. An integrated semiconductor circuit as claimed in one of Claims 1 to 3, 5 and 6, characterised in that the intermediate layer (5) is structured with the contact conductor path plane (6) covering it, so that the metallisation consists of a double layer (5, 6).

Revendications

1. Circuit à semi-conducteurs intégré, comprenant un substrat (1) constitué par du silicium et dans lequel ou sur lequel sont réalisés les éléments constitutifs du circuit qui présentent des zones de diffusion de silicium (2), ainsi qu'un plan extérieur (6) de pistes conductrices de contact en aluminium ou en un alliage d'aluminium, ledit

plan extérieur étant relié aux zones de diffusion de silicium (2) du circuit à contacter, avec mise en œuvre d'une couche intermédiaire (5) en siliciure métallique, caractérisé par le fait que la couche intermédiaire (5) est constituée par du disiliciure de tantale, la teneur en tantale du composé étant supérieure à celle qui correspond au silicium de tantale stœchiométrique, grâce à quoi on empêche la diffusion de l'aluminium et du silicium dans le di-siliciure de tantale.

2. Circuit à semi-conducteurs intégré selon la revendication 1, caractérisé par le fait que la couche intermédiaire (5) est produite par évaporation simultanée des deux éléments ou par pulvérisation haute fréquence, avec mise en œuvre d'une cible de siliciure de tantale.

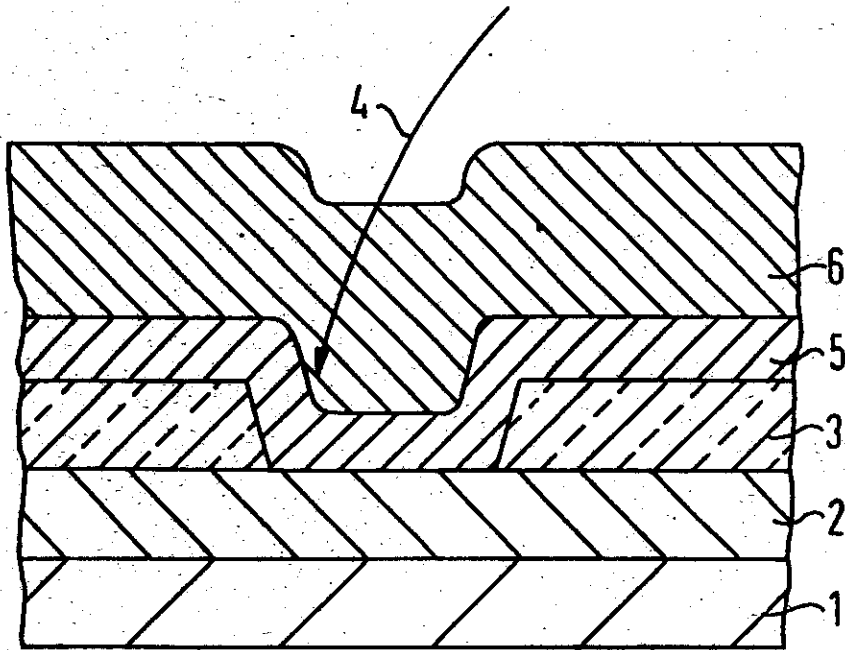
3. Circuit à semi-conducteurs intégré selon la revendication 1, caractérisé par le fait que la couche intermédiaire (5) est produite par le dépôt à partir de la phase gazeuse, par exemple par décomposition thermique d'un mélange gazeux constitué par l'halogénure de tantale et le silane.

4. Circuit à semi-conducteurs intégré selon la revendication 3, caractérisé par le fait que la couche intermédiaire est déposée de façon sélective uniquement dans le trou de contact.

5. Circuit à semi-conducteurs intégré selon l'une des revendications 1 à 4, caractérisé par le fait que le plan de pistes conductrices de contact (6) est constitué par un alliage d'aluminium des systèmes aluminium-cuivre, aluminium-silicium, aluminium-cuivre-silicium ou aluminium-silicium-titane.

6. Circuit à semi-conducteurs intégré selon l'une des revendications 1 à 5, caractérisé par une épaisseur de couche de la couche intermédiaire (5) qui se situe dans la zone de 100 à 500 nm.

7. Circuit à semi-conducteurs intégré selon l'une des revendications 1 à 3, 5 et 6, caractérisé par le fait que la couche intermédiaire (5) est structurée avec le plan de pistes conductrices de contact (6) qui la recouvre, en sorte que la métallisation est constituée par une couche double (5, 6).



REGISTER ENTRY FOR EP0132720 ✓

European Application No EP84108239.9 filing date 12.07.1984 ✓

Application in German

Priority claimed:

20.07.1983 in Federal Republic of Germany - doc: 3326142

Designated States CH DE FR GB IT LI NL SE AT

Title

Applicant/Proprietor

SIEMENS AKTIENGESELLSCHAFT, Incorporated in the Federal Republic of
Germany, Wittelsbacherplatz 2, D-8000, MÜNCHEN 2, Federal Republic of
Germany [ADP No. 06098255001]

Inventors

DR. RER. NAT. FRANZ NEPPL, St. Quirin-Platz 6, D-8000 München 90, Federal
Republic of Germany [ADP No. 53180543001]

DR. PHIL. ULRICH SCHWABE, Plievierpark 14, D-8000 München 83, Federal
Republic of Germany [ADP No. 53180550001]

Classified to

H1K
H01L

Address for Service

SIEMENS LIMITED, Siemens House, Windmill Road, Sunbury-on-Thames,
Middlesex, TW16 7HS, United Kingdom [ADP No. 00001487001]

Publication No EP0132720 dated 13.02.1985 and granted by EPO 07.01.1988.
Publication in German

Examination requested 12.07.1984

Patent Granted with effect from 07.01.1988 (Section 25(1)) with title
INTEGRATED SEMICONDUCTOR CIRCUIT HAVING AN EXTERNAL ALUMINIUM OR ALUMINIUM
ALLOY CONTACT INTERCONNECTION LAYER

11.12.1987 File raised

Entry Type 10.1 Staff ID. ABAC Auth ID. BACK

29.03.1988 Translation filed S77 (6) (A)

Entry Type 10.1 Staff ID. ABAC Auth ID. BACK

**** END OF REGISTER ENTRY ****

080-01
EP

OPTICS - PATENTS

09/04/92 08:15:41
PAGE: 1

RENEWAL DETAILS

PUBLICATION NUMBER EP0132720 ✓

PROPRIETOR(S)

Siemens Aktiengesellschaft, Incorporated in the Federal Republic of Germany, Wittelsbacherplatz 2, D-8000, MÜNCHEN 2, Federal Republic of Germany

DATE FILED 12.07.1984 ✓

DATE GRANTED 07.01.1988 ✓

DATE NEXT RENEWAL DUE 12.07.1992

DATE NOT IN FORCE

DATE OF LAST RENEWAL 25.06.1991

YEAR OF LAST RENEWAL 08

STATUS PATENT IN FORCE ✓

PATENT OFFICE

PATENTS ACT 1977

PATENTS FORM NO. 54/77

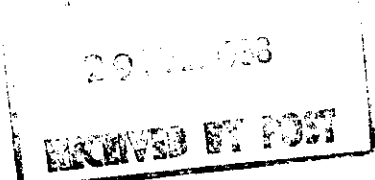
FILING OF TRANSLATION OF EUROPEAN PATENT (UK) UNDER SECTION 77(6)(a)

29/03/88 B2658 PAT*** 25.00

Please write or type in BLOCK LETTERS using dark ink. For details of current fees Please contact the Patent Office

Enter the name and address of the proprietor(s) of the European Patent (UK). If you do not have enough space please continue on a separate sheet.

Enter the date on which the mention of the grant of the European Patent (UK) was published in the European Patent Bulletin, or, if it has not yet been published, the date on which it will be published.



A UK Address for Service MUST be provided to which all communications from the Patent Office will be sent

Please sign here

Attention is drawn to rules 90 and 106 of the Patents Rules 1982

This form must be filed in duplicate and must be accompanied by a translation into English in duplicate of:

- 1) the whole description
 - 2) those claims appropriate to the UK (in the language of the proceedings),
 - 3) all drawings, whether or not these contain any textual matter but excluding the front page which contains bibliographic information.
- The translation must be verified to the satisfaction of the comptroller as corresponding to the original text.

| | |
|--|--|
| 1. European Patent Number | <input type="text" value="0,132,720"/> |
| 2. Name | Siemens Aktiengesellschaft |
| Address | Wittelsbacherplatz 2 D-8000 Munchen 2 Federal Republic of Germany |
| 3. European Patent Bulletin Date: | 7 JAN 1988 Day Month Year |
| 4. Name of Agent (if any) | G F Redfern & Co Agent's Patent Office ADP number (if known) <input type="text"/> |
| 5. Address for Service | G F REDFERN & CO. Marlborough Lodge, 14 Farncombe Road, WORTHING, West Sussex Postcode BN11 2BT |
| 6. Signature: | Date: 28 MARCH 1988 Day Month Year |
| Reminder | |
| Have you attached | |
| One duplicate copy of this form | <input checked="" type="checkbox"/> |
| Two copies of the Translation | <input checked="" type="checkbox"/> |
| Any continuation sheets (if appropriate) | <input type="checkbox"/> |

4
①

GREAT BRITAIN)
ENGLAND)
LONDON)

IN THE MATTER OF an Application
for a Hong Kong Registration
Patent

I, Derek Ernest LIGHT, B.A., B.D.Ü.,
do hereby certify:

THAT I am a Technical Translator to Randall Woolcott Services
plc of Europa House, Marsham Way, Gerrards Cross,
Buckinghamshire, England and known as such to the undersigned
Notary Public;

THAT I have a competent knowledge of the German and English
languages;

AND THAT the attached document is a true and correct translation
of the cover page of the European Patent in the name of
Siemens Aktiengesellschaft
granted under No. 0,132,720 ✓

Signed by DEREK ERNEST LIGHT)
This 14th day of May)
1992)

D. Light

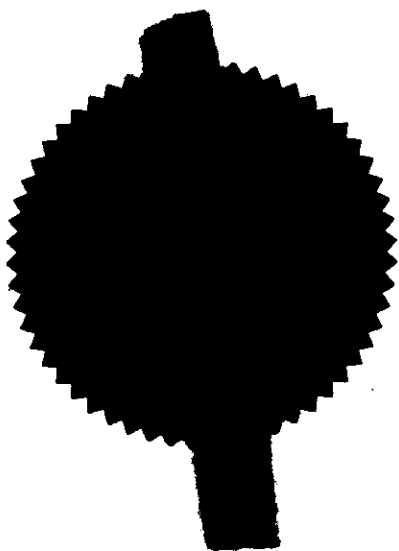
DEREK ERNEST LIGHT

I hereby certify the authenticity of the above signature of
DEREK ERNEST LIGHT whose identity I attest.

London, the 14th day of May 1992

Notary Public

NOTARY PUBLIC OF LONDON ENGLAND



19 European Patent Office
European Patent Office
European Patent Office

11 Publication No.: 0 132 720
B1

12 EUROPEAN PATENT SPECIFICATION

45 Date of publication of the
patent specification:
07.01.88

51 Int. Cl.⁴: H 01 L 29/40, H 01 L 21/285,
H 01 L 23/48

21 Application No.: 84108239.9

22 Filing date: 12.07.84

54 Integrated semiconductor circuit having an external aluminium or
aluminium alloy contact interconnection layer.

30 Priority:
20.07.83 DE 3326142

73 Patent proprietor:
Siemens Aktiengesellschaft Berlin und
München, Wittelsbacherplatz 2,
D-8000 Munich 2 (DE)

43 Date of publication of the
application:
13.02.85 Patent Journal 85/7

45 Publication of the notice
of the patent grant:
07.01.88 Patent Journal 88/1

72 Inventor:
Dr. rer. nat. Franz Neppi,
St. Quirin-Platz 6,
D-8000 Munich 90 (DE)
Inventor:
Dr. phil. Ulrich Schwabe,
Plievierpark 14,
D-8000 Munich 83 (DE)

84 Designated contracting States:
AT CH DE FR GB IT LI NL SE

56 Cited documents:
EP-A- 0 000 317
EP-A- 0 002 731
EP-A- 0 046 914

IBM TECHNICAL DISCLOSURE BULLETIN,
volume 19, No. 9, February 1977, page
3382, New York, USA; P.L. GARBARINO et
al.: "Contact barrier metallurgy for
MOSFET gate"
CHEMICAL ABSTRACTS, volume 97, 1982,
page 705, No. 173139h, Columbus, Ohio,
USA; W.I. LEHRER et al.: "Low-temperature
LPCVD deposition of tantalum silicide" &
PROC.-ELECTROCHEM. SOC. 1982, 82-87(VLSI
SCI. TECHNOL.), 258-264

Note: Within nine months from the publication of the notice of the grant of the European patent in the
European Patent Journal, any person may lodge opposition to the granted European patent at the European
Patent Office. The opposition shall be filed in writing and the grounds thereof shall be stated. It
shall be deemed to have been filed only when the opposition fee has been paid.
(Art. 99 (1) of the European Patent Convention).

EP 0 132 720 B1

PATENTS ACT 1977

IN THE MATTER OF
European Patent (UK) No. 0,132,720 ✓
In the Name of SIEMENS AKTIENGESELLSCHAFT

I, Pauline R E Stone, Translator of G. F Redfern & Co, Marlborough Lodge, 14 Farncombe Road, Worthing, West Sussex, hereby certify that the following is a true translation to the best of my knowledge and belief of a document alleged to be the original authentic text of the specification as proposed to be granted of the above-mentioned European Patent (UK).

Signed this 14th day of March 1988

Pauline R E Stone
.....

(Pauline R E Stone)

- 1 -

The Patent Application relates to an integrated semiconductor circuit comprising a substrate consisting of silicon in and on which are produced the elements which form the circuit and which have diffused silicon zones, and an external contact conductor path plane which consists of aluminium or an aluminium alloy and which is connected to the diffused silicon zones of the contact which are to be contacted using a metal silicide intermediate layer.

An arrangement of the type referred to in the introduction, in which platinum silicide is used as intermediate layer, is disclosed in an article by Ting and Wittmer in "Thin Solid Films" 96 (1982), page 331. The thermal stability lies at 400°C.

A metallisation for integrated semiconductor circuits which is based on aluminium or aluminium alloys, such as aluminium-silicon or aluminium-silicon-titanium, is also disclosed in the aforementioned article by Ting and Wittmer. Thermal stability lies at 550°C. The metallisation system has the following disadvantages:

1. The formation of small contacts to shallow highly doped diffusion zones in the silicon substrate is very problematic since, because of the so-called "spiking" and/or epitaxial p-silicon growth in the contacts (degradation of n⁺-contacts) the danger of substrate short-circuits exists.
2. It is very difficult to produce thermally stable Schottky diodes with a low barrier ϕ_B to n-silicon such as are required, for example, for "clamped transistors", as used for example in Schottky-TTL-circuits or in combined CMOS/Schottky-TTL-circuits, since the aluminium generally diffuses at the boundary surfaces and increases the ϕ_B .

These disadvantages can be largely overcome by using further layers, in addition to the contacting layer, as diffusion barriers.

Thus, for example, the previously mentioned article by Ting and Wittmer in "Thin Solid Films" 96 (1982) page 338 has disclosed a three-layer system, consisting of aluminium, titanium and platinum silicide, in which the platinum silicide is arranged only in the contact hole.

Furthermore, from US-A-4 201 999 (Howard) it is known to use a three-layer metallisation system consisting of tantalum, tantalum-aluminium and aluminium, to construct Schottky diodes with a low barrier to n-silicon.

The disadvantage of this metallisation is that tantalum in contact with silicon tends to form silicide, even at relatively low temperatures, thus giving rise to substrate short-circuits.

The construction of these known layer systems necessitates additional process steps which give rise to considerable additional costs and can increase the fault quota in the production of integrated circuits.

The object of the present invention is to provide a metallisation system which is based on aluminium and which not only can be constructed more easily and in a simpler form but also further increases the reliability and load capacity of electrical conductor paths and contacts to shallow diffusion zones in VLSI (= very large scale integration) systems.

This object is fulfilled by an integrated semiconductor circuit of the type referred to in the introduction which is characterised in accordance with the invention in that the intermediate layer consists of tantalum disilicide, in which the tantalum content of the compound is greater than that corresponding to stoichiometric tantalum disilicide, as a result of which the diffusion of aluminium and silicon into the tantalum disilicide is prevented.

It lies within the scope of the principle of the invention that the intermediate layer is formed by simultaneous vapour deposition of the two elements, or by high frequency sputtering using a target consisting of tantalum silicide. With this sort of production, the tantalum silicide is deposited in amorphous form.

In accordance with another exemplary embodiment according to the teaching of the invention, the intermediate layer is formed by deposition from the gas phase, for example, by thermal decomposition of a gas mixture consisting of tantalum halide and silane.

Although the use of a tantalum silicide layer to prevent the diffusing-out of aluminium between a contact conductor path plane and a polysilicon gate structure is known from IBM Technical Disclosure Bulletin, Vol, 19, No. 9, February 1977, page 3382, in this case it is produced by the vapour deposition of a tantalum layer followed by silicide formation at 400 - 800°C from the polysilicon gate structure. A diffusion barrier of tantalum disilicide with increased tantalum content is not disclosed.

Furthermore, it is known from EP-A-0 000 317 that with an increase in the tantalum content, the conductivity of a tantalum silicide layer increases, particular reference being made to the compound Ta₅Si₃. The compound Ta₅Si₃ is a stoichiometric compound and is known to be unstable at high temperatures. Here also, in the final outcome, a stable tantalum disilicide compound is formed which has no excess of tantalum and therefore no diffusion barrier formation. The layers known from EP-A-0 000 317 serve exclusively to increase the conductivity of polysilicon compounds and as direct electrode layers on diffused silicon zones and preferably have an excess of silicon.

Further developments of the invention are described in the sub-claims.

In the following, the layer construction of the contact will be explained in detail making reference to the sectional view shown in the drawing.

Here, the reference symbol 1 designates the substrate which contains the n⁺- or p⁺-doped zone 2, and 3 designates the SiO₂-layer which contains the contact hole. Using known semiconductor techniques (co-sputtering, co-vaporisation or CVD-processes (= chemical vapour deposition), a tantalum disilicide layer 5 is applied in a thickness of 100 to 500 nm, the deposition being so controlled that more tantalum is deposited than corresponds to stoichiometric tantalum disilicide. This is carried out, for example, by using a tantalum silicide target made of an alloy with a tantalum excess. An aluminium layer 6, for example, a doped layer, is vapour deposited in a thickness of 500 - 2000 nm on to the

tantalum disilicide layer 5 and this double layer (5, 6) is then commonly structured (not shown in the Figure).

However, it is also possible by the use of a selective CVD-procedure, to deposit the tantalum silicide only in the contact hole (see arrow 4).

The aluminium layer 6 serves to minimise the conductor path resistance and facilitates problem-free contacting. The tantalum disilicide layer 5 simultaneously serves as diffusion barrier and as contacting material. This is possible since, on the one hand, tantalum disilicide can be used to form high-resistance contacts for n⁺- and p⁺-silicon and the Schottky barrier to n-silicon, at 0.59 eV, is adequately low, and, on the other hand, tantalum disilicide with a higher tantalum content than corresponds to stoichiometric tantalum disilicide, prevents the diffusion of aluminium during annealing steps.

The following advantages are obtained by the metallisation according to the invention:

1. Only two instead of the usual three layers are used, whereby the production (for example etching and deposition) is considerably simplified.
2. A small reaction depth in (100)-silicon is obtained as silicide is already deposited instead of the pure metal.
3. No diffusion of aluminium into the contacts occurs.
4. No epitaxial growth of p-silicon occurs in the contacts.
5. No silicon need be added for the deposition of aluminium.
6. It is possible to deposit the two layers using the same process, for example, the CVD-process.
7. Tantalum disilicide has a high current load capacity, so that when silicide covers the entire surface a safety reserve is available in the case of aluminium breaks.

CLAIMS

1. An integrated semiconductor circuit comprising a substrate (1) consisting of silicon and in and on which are produced the elements which form the circuit and which have diffused silicon zones (2), and an external contact conductor path plane (6) which consists of aluminium or an aluminium alloy and which is connected to the diffused silicon zones (2) of the circuit which are to be contacted, using a metal silicide intermediate layer (5), characterised in that the intermediate layer (5) consists of tantalum disilicide, in which the tantalum content of the compound is greater than that corresponding to stoichiometric tantalum disilicide, as a result of which the diffusion of aluminium and silicon into the tantalum disilicide is prevented.

2. An integrated semiconductor circuit as claimed in Claim 1, characterised in that the intermediate layer (5) is produced by simultaneous vapour deposition of the two elements, or by high-frequency atomisation using a tantalum silicide target.

3. An integrated semiconductor circuit as claimed in Claim 1, characterised in that the intermediate layer (5) is formed by deposition from the gas phase, for example by thermal decomposition of a gas mixture consisting of tantalum halide and silane.

4. An integrated semiconductor circuit as claimed in Claim 3, characterised in that the intermediate layer is selectively deposited only in the contact hole.

5. An integrated semiconductor circuit as claimed in one of Claims 1 to 4, characterised in that the contact conductor path plane (6) consists of an aluminium alloy of the systems: aluminium-copper, aluminium-silicon, aluminium-copper-silicon, or aluminium-silicon-titanium.

6. An integrated semiconductor circuit as claimed in one of Claims 1 to 5, characterised by a thickness of the intermediate layer (5) in the range of 100 to 500 nm.

7. An integrated semiconductor circuit as claimed in one of Claims 1 to 3, 5 and 6, characterised in that the intermediate layer (5) is structured with the contact conductor path plane (6) covering it, so that the metallisation consists of a double layer (5, 6).

1/1

