(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0112305
(43) 공개일자 2024년07월18일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) *G02F 1/1335* (2019.01)
G02F 1/13357 (2006.01) *G02F 1/1337* (2006.01)
(52) CPC특허분류
G02F 1/1362 (2013.01)
G02F 1/133512 (2013.01)
(21) 출원번호 10-2024-7020088
(22) 출원일자(국제) 2022년11월16일
심사청구일자 없음
(85) 번역문제출일자 2024년06월17일
(86) 국제출원번호 PCT/IB2022/061010
(87) 국제공개번호 WO 2023/094937
국제공개일자 2023년06월01일
(30) 우선권주장
JP-P-2021-191975 2021년11월26일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 슌페이
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
구스노키 고지
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

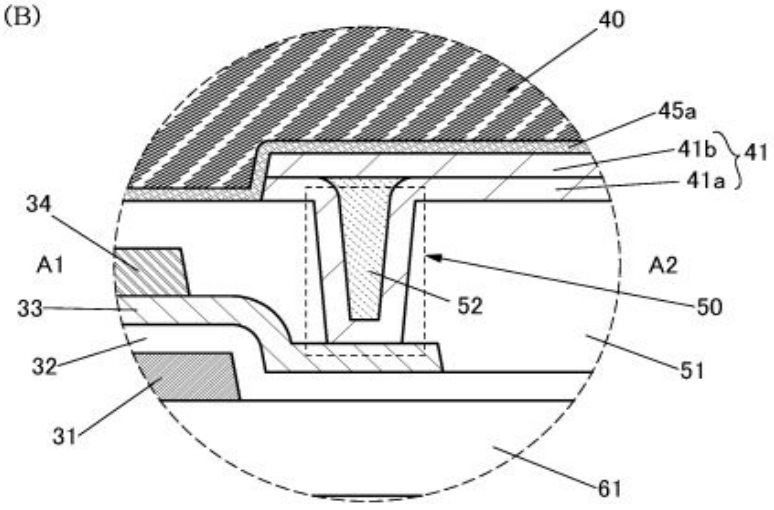
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **표시 장치 및 전자 기기**

(57) 요 약

개구율이 높은 표시 장치를 제공한다. 배선(33)과 화소 전극(41)을 전기적으로 접속하기 위한 콘택트 홀(50)에 기인하는 단차를 유기 절연층(52)으로 매립함으로써 해소하고, 화소 전극의 상면을 평탄하게 하여 배향막(45a)을 형성함으로써 액정층(40)의 배향 불량을 저감시킨다. 또한 콘택트 홀(50)의 바닥부에 노출되는 배선(33)에 투광성을 가지는 재료를 사용한다. 이로써, 액정 디바이스의 표시에 유효한 영역을 증가시킬 수 있다. 즉 개구율이 높은 표시 장치로 할 수 있다.

대 표 도



(52) CPC특허분류
G02F 1/133514 (2021.01)
G02F 1/1336 (2021.01)
G02F 1/1337 (2013.01)
G02F 2202/16 (2013.01)
(72) 발명자
가타야마 마사히로
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
사토 라이
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

명 세 서

청구범위

청구항 1

표시 장치로서,

제 1 트랜지스터와, 제 1 도전층과, 제 2 도전층과, 제 3 도전층과, 제 1 절연층과, 제 2 절연층과, 배향막과, 액정층을 가지고,

상기 제 1 트랜지스터는 상기 제 1 도전층에 전기적으로 접속되고,

상기 제 1 트랜지스터 및 상기 제 1 도전층 위에 상기 제 1 절연층이 제공되고,

상기 제 1 절연층은 상기 제 1 도전층과 중첩되는 영역에 상기 제 1 절연층을 관통하는 개구부를 가지고,

상기 제 1 절연층의 상면, 상기 개구부의 측면, 및 상기 개구부의 바닥부에 노출되는 상기 제 1 도전층과 접하여 상기 제 2 도전층이 제공되고,

상기 개구부에 기인하는 단차를 매립하도록 상기 제 2 도전층과 접하여 상기 제 2 절연층이 제공되고,

상기 제 2 도전층 및 상기 제 2 절연층과 접하여 상기 제 3 도전층이 제공되고,

상기 제 1 절연층, 상기 제 2 도전층, 및 상기 제 3 도전층 위에 상기 배향막이 제공되고,

상기 배향막 위에 상기 액정층이 제공되고,

상기 제 1 도전층, 상기 제 2 도전층, 상기 제 3 도전층, 상기 제 1 절연층, 및 상기 제 2 절연층은 가시광에 대하여 투과성을 가지는, 표시 장치.

청구항 2

제 1 항에 있어서,

상기 액정층 위에 차광층을 가지고,

평면에서 보았을 때, 상기 차광층은 상기 제 1 트랜지스터와 중첩되는 영역을 가지고, 상기 개구부와 중첩되는 영역을 가지지 않는, 표시 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 도전층은 금속 산화물이고, 상기 제 1 도전층은 금속층을 통하여 상기 제 1 트랜지스터의 반도체층에 전기적으로 접속되는, 표시 장치.

청구항 4

제 3 항에 있어서,

상기 제 1 도전층 및 상기 금속층은 커패시터의 한쪽 전극으로서 작용하는, 표시 장치.

청구항 5

제 3 항 또는 제 4 항에 있어서,

상기 반도체층은 금속 산화물인, 표시 장치.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

백라이트 장치를 가지고,

상기 백라이트 장치는 광원으로서 발광 다이오드를 가지는, 표시 장치.

청구항 7

제 6 항에 있어서,

상기 발광 다이오드가 방출하는 광은 청색이고,

상기 발광 다이오드 위에 색 변환층을 가지고,

상기 백라이트 장치는 백색광을 방출하는, 표시 장치.

청구항 8

제 7 항에 있어서,

상기 색 변환층은 퀀텀닷을 포함하는, 표시 장치.

청구항 9

제 6 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 발광 다이오드는 제 2 트랜지스터와 전기적으로 접속되고,

상기 제 2 트랜지스터를 구동하기 위한 구동 회로가 상기 발광 다이오드와 중첩되는 위치에 제공되는, 표시 장치.

청구항 10

제 9 항에 있어서,

상기 제 2 트랜지스터는 채널 형성 영역에 금속 산화물을 포함하고, 상기 구동 회로가 가지는 트랜지스터는 채널 형성 영역에 실리콘을 포함하는, 표시 장치.

청구항 11

제 6 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 발광 다이오드는 미니 LED 또는 마이크로 LED인, 표시 장치.

청구항 12

전자 기기로서,

제 1 항 내지 제 11 항 중 어느 한 항에 기재된 표시 장치와, 카메라를 가지는, 전자 기기.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 액정 표시 장치 및 전자 기기에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 발명의 일 형태의 기술분야의 일례로서는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치(예를 들어 터치 센서 등), 입출력 장치(예를 들어 터치 패널 등), 이들의 구동 방법, 또는 이들의 제조 방법을 들 수 있다.

배 경 기 술

[0003] 근년, 표시 장치의 고정세화(高精細化)가 진행되고 있다. 화소수가 4K2K(3840×2160) 또는 8K4K(7680×4320) 등인 고정세 표시 장치를 텔레비전 장치, 디지털 사이니지(Digital Signage: 전자 간판), 태블릿형 단말기, 및 스마트폰 등에 탑재함으로써, 인식성을 향상시키고 편리성을 높일 수 있다.

[0004] 또한 실리콘 반도체 대신에, 반도체 특성을 나타내는 금속 산화물을 트랜지스터에 사용하는 기술이 주목되고 있다. 또한 본 명세서 중에서는 반도체 특성을 나타내는 금속 산화물을 산화물 반도체라고 표기하는 것으로

한다. 예를 들어, 특허문헌 1 및 특허문헌 2에는, 산화물 반도체로서 산화 아연, 또는 In-Ga-Zn계 산화물을 사용한 트랜지스터를 제작하고, 상기 트랜지스터를 표시 장치의 화소의 스위칭 소자 등에 사용하는 기술이 개시(開示)되어 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 공개특허공보 특개2007-123861호

(특허문헌 0002) 일본 공개특허공보 특개2007-96055호

발명의 내용

해결하려는 과제

[0006] 액정 디바이스를 사용한 표시 장치는 단위 면적당 화소수를 늘림으로써 정세도가 높은 화상을 표시할 수 있다. 액티브 매트릭스형 표시 장치의 경우, 화소에는 액정 디바이스에 더하여 트랜지스터, 커패시터, 및 배선 등을 제공할 필요가 있다.

[0007] 단위 면적당 화소수가 많아지면, 화소 내에서 광을 투과시키지 않는 구성 요소의 점유 면적이 상대적으로 커진다. 즉 개구율(화소에서의 표시에 유효한 영역의 비율)이 저하된다. 그러므로 투과형 액정 디바이스 등에서는 선명한 화상 표시를 수행하기 위하여 백라이트광의 강도를 높일 필요가 있어 소비 전력이 증가된다.

[0008] 따라서 본 발명의 일 형태는 개구율이 높은 표시 장치를 제공하는 것을 목적 중 하나로 한다. 또는 소비 전력이 낮은 표시 장치를 제공하는 것을 목적 중 하나로 한다. 또는 고정세 표시 장치를 제공하는 것을 목적 중 하나로 한다. 또는 신뢰성이 높은 표시 장치를 제공하는 것을 목적 중 하나로 한다.

[0009] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 본 발명의 일 형태는 이들 과제 모두를 반드시 해결할 필요는 없는 것으로 한다. 명세서, 도면, 청구항의 기재에서 이들 이외의 과제를 추출할 수 있다.

과제의 해결 수단

[0010] 본 발명의 일 형태는 개구율이 높은 액정 표시 장치에 관한 것이다.

[0011] 본 발명의 일 형태는 제 1 트랜지스터와, 제 1 도전층과, 제 2 도전층과, 제 3 도전층과, 제 1 절연층과, 제 2 절연층과, 배향막과, 액정층을 가지고, 제 1 트랜지스터는 제 1 도전층에 전기적으로 접속되고, 제 1 트랜지스터 및 제 1 도전층 위에 제 1 절연층이 제공되고, 제 1 절연층은 제 1 도전층과 중첩되는 영역에 제 1 절연층을 관통하는 개구부를 가지고, 제 1 절연층의 상면, 개구부의 측면, 및 개구부의 바닥부에 노출되는 제 1 도전층과 접하여 제 2 도전층이 제공되고, 개구부에 기인하는 단차를 매립하도록 제 2 도전층과 접하여 제 2 절연층이 제공되고, 제 2 도전층 및 제 2 절연층과 접하여 제 3 도전층이 제공되고, 제 1 절연층, 제 2 도전층, 및 제 3 도전층 위에 배향막이 제공되고, 배향막 위에 액정층이 제공되고, 제 1 도전층, 제 2 도전층, 제 3 도전층, 제 1 절연층, 및 제 2 절연층은 가시광에 대하여 투과성을 가지는 표시 장치이다.

[0012] 액정층 위에 차광층을 가지고, 평면에서 보았을 때, 차광층은 제 1 트랜지스터와 중첩되는 영역을 가지고, 개구부와 중첩되는 영역을 가지지 않는 형태로 할 수 있다.

[0013] 제 1 도전층은 금속 산화물이고, 제 1 도전층은 금속층을 통하여 제 1 트랜지스터의 반도체층에 전기적으로 접속될 수 있다.

[0014] 제 1 도전층 및 금속층은 커패시터의 한쪽 전극으로서 작용할 수 있다.

[0015] 제 1 트랜지스터가 가지는 반도체층은 금속 산화물인 것이 바람직하다.

[0016] 표시 장치는 백라이트 장치를 가지고, 백라이트 장치의 광원은 발광 다이오드를 가질 수 있다.

[0017] 발광 다이오드가 방출하는 광은 청색이고, 발광 다이오드 위에 색 변환층을 가지고, 백라이트 장치는 백색광을

방출할 수 있다. 색 변환층은 퀀텀닷(quantum dot)을 포함할 수 있다.

[0018] 발광 다이오드는 제 2 트랜지스터에 전기적으로 접속되고, 제 2 트랜지스터를 구동하기 위한 구동 회로가 발광 다이오드와 중첩되는 위치에 제공된 구성으로 할 수 있다.

[0019] 제 2 트랜지스터는 채널 형성 영역에 금속 산화물을 포함하고, 구동 회로가 가지는 트랜지스터는 채널 형성 영역에 실리콘을 포함할 수 있다.

[0020] 발광 다이오드는 미니 LED 또는 마이크로 LED인 것이 바람직하다.

[0021] 또한 본 명세서 중에서 표시부에 커넥터, 예를 들어 FPC(Flexible printed circuit) 또는 TCP(Tape Carrier Package)가 장착된 모듈, TCP 끝에 프린트 배선판이 제공된 모듈, 또는 표시 소자가 형성된 기판에 COG(Chip On Glass) 방식에 의하여 IC(집적 회로)가 직접 실장된 모듈도 표시 장치에 포함되는 경우가 있다.

발명의 효과

[0022] 본 발명의 일 형태에 의하여 개구율이 높은 표시 장치를 제공할 수 있다. 또는 소비 전력이 낮은 표시 장치를 제공할 수 있다. 또는 고정세 표시 장치를 제공할 수 있다. 또는 신뢰성이 높은 표시 장치를 제공할 수 있다.

[0023] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 본 발명의 일 형태는 이들 효과 모두를 반드시 가질 필요는 없다. 명세서, 도면, 청구항의 기재에서 이들 이외의 효과를 추출할 수 있다.

도면의 간단한 설명

[0024] 도 1의 (A) 및 (B)는 화소를 설명하는 도면이다.

도 2의 (A) 및 (B)는 화소를 설명하는 도면이다.

도 3의 (A) 및 (B)는 화소를 설명하는 도면이다.

도 4의 (A) 및 (B)는 화소를 설명하는 도면이다.

도 5의 (A) 및 (B)는 액정 표시 장치와 백라이트 장치의 적층을 설명하는 도면이다.

도 6의 (A)는 액정 표시 장치의 블록도이다. 도 6의 (B)는 액정 표시 장치의 화소의 회로를 설명하는 도면이다.

도 7의 (A) 및 (B)는 백라이트 장치의 블록도이다. 도 7의 (C), (D), 및 (E1) 내지 (E3)은 발광 유닛의 회로를 설명하는 도면이다.

도 8의 (A) 내지 (C)는 액정 표시 장치를 설명하는 도면이다.

도 9는 액정 표시 장치를 설명하는 단면도이다.

도 10은 액정 표시 장치와 백라이트 장치의 적층을 설명하는 단면도이다.

도 11의 (A) 내지 (D)는 트랜지스터를 설명하는 도면이다.

도 12의 (A) 내지 (E)는 전자 기기를 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0025] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다.

[0026] 또한 이하에서 설명하는 발명의 구성에서, 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 다른 도면 간에서 공통적으로 사용하고, 그 반복적인 설명은 생략한다. 또한 같은 기능을 가지는 부분을 가리키는 경우에는, 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0027] 또한 도면에 나타낸 각 구성의 위치, 크기, 범위 등은 이해를 쉽게 하기 위하여 실제의 위치, 크기, 범위 등을 나타내지 않는 경우가 있다. 그러므로 개시된 발명은 반드시 도면에 개시된 위치, 크기, 범위 등에 한정되지

않는다.

[0028] 또한 "막"이라는 용어와 "층"이라는 용어는 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있다.

[0029] 본 명세서 등에서 금속 산화물(metal oxide)이란 넓은 의미로 금속의 산화물이다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어 트랜지스터의 반도체층에 금속 산화물을 사용한 경우, 상기 금속 산화물을 산화물 반도체라고 하는 경우가 있다. 즉 OS 트랜지스터라고 기재하는 경우에는, 금속 산화물 또는 산화물 반도체를 포함한 트랜지스터라고 바꿔 말할 수 있다.

[0030] 또한 본 명세서 등에서, 질소를 포함한 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한 질소를 포함한 금속 산화물을 금속 산질화물(metal oxynitride)이라고 하여도 좋다.

[0031] (실시형태 1)

[0032] 본 실시형태에서는 본 발명의 일 형태의 표시 장치에 대하여 설명한다.

[0033] 본 발명의 일 형태의 표시 장치는 개구율을 높인 액정 표시 장치에 관한 것이다. 액정 디바이스(액정 소자라고도 함)는 한 쌍의 배향막 사이에 끼워진 액정층을 한 쌍의 전극으로 끼우는 구성을 가진다. 배향막에는 액정 분자를 균일하게 배열시키는 기능이 있지만, 단차가 생긴 영역에 배향막이 형성되어 있으면, 상기 영역 위의 액정층에 배향 불량이 발생하는 경우가 있다.

[0034] 액정 디바이스의 한쪽 전극과 배선을 접속하는 영역에서는, 콘택트 홀에 기인한 단차를 따라 배향막이 형성된다. 그러므로 상기 영역 및 그 근방 위에 제공되는 액정층은 특히 배향 불량이 발생하기 쉽다. 배향 불량이 발생하는 영역은 광 누설 등으로 인하여 표시 콘트라스트를 저하시키기 때문에 상기 영역을 차광층으로 덮는 것이 바람직하다. 한편, 차광층의 면적 확대에 의하여 개구율이 저하된다.

[0035] 본 발명의 일 형태에서는 콘택트 홀에 기인하는 단차를 절연층으로 매립함으로써 해소하고, 액정층의 배향 불량을 저감시킨다. 또한 콘택트 홀의 바닥부에 노출되는 배선을 투광성을 가지는 재료로 형성한다. 이로써, 액정 디바이스의 표시에 유효한 영역을 증가시킬 수 있다. 즉 개구율이 높은 표시 장치로 할 수 있다.

[0036] 도 1의 (A)는 본 발명의 일 형태의 액정 표시 장치가 가지는 화소의 상면도이고, 도 1의 (B)는 도 1의 (A)에서의 선분 A1-A2를 따르는 단면의 일부를 확대한 도면이다. 또한 도 1의 (A)에서는 명료화를 위하여 일부 요소를 생략하여 도시하였다.

[0037] 화소(10)는 트랜지스터(20), 커패시터(30), 및 액정 디바이스를 가진다.

[0038] 트랜지스터(20)는 배선(21), 배선(22), 반도체층(23), 및 배선(34)을 요소로서 가진다. 반도체층(23)으로서는 산화물 반도체(금속 산화물), 비정질 실리콘, 미결정 실리콘, 다결정 실리콘 등을 사용할 수 있다. 반도체층(23)은 배선(21) 및 배선(34)에 전기적으로 접속된다.

[0039] 배선(21)은 소스 및 드레인 중 한쪽으로서, 배선(22)은 게이트로서, 배선(34)은 소스 및 드레인 중 다른 쪽으로서 기능한다. 배선(21), 배선(22), 및 배선(34)은 저저항 도전층으로 제공하는 것이 바람직하다. 도전층으로서는 예를 들어 타이타늄, 탄탈럼, 텅스텐, 크로뮴, 알루미늄 등의 금속층, 또는 이들 중 하나 이상을 포함한 합금층을 사용할 수 있다. 또한 도전층은 상술한 금속층 및 합금층 중에서 선택되는 2 이상의 적층이어도 좋다. 또한 도 1의 (A)에서는 트랜지스터(20)를 백 게이트형으로 예시하였지만, 톱 게이트형 또는 셀프 얼라인형 등으로 하여도 좋다.

[0040] 커패시터(30)는 MIM(Metal-Insulator-Metal)형이고, 배선(31), 절연층(32), 배선(33), 및 배선(34)을 요소로서 가진다. 배선(31)은 커패시터(30)의 한쪽 전극으로서, 절연층(32)은 유전체층으로서, 배선(33) 및 배선(34)은 다른 쪽 전극으로서 기능한다. 여기서 배선(31)은 배선(22)과 동일한 공정으로 형성할 수 있다. 절연층(32)은 트랜지스터(20)의 게이트 절연막으로서도 기능한다.

[0041] 배선(33)은 화소 전극(41)(도전층(41a))에 접속되는 배선으로서도 기능한다. 또한 배선(33)은 배선(34)과 중첩되는 영역을 가지고, 이들은 전기적으로 접속된다. 본 발명의 일 형태에서는 배선(33)과 화소 전극(41)(도전층(41a))이 접속되는 영역을 액정 디바이스의 유효 영역으로서 사용하기 위하여, 배선(33)에는 투광성 도전층(투광성 도전막)을 사용한다.

[0042] 투광성 도전막은 인듐, 아연, 및 주석 중에서 선택된 1종류 또는 복수 종류를 포함하는 것이 바람직하다. 구체적으로는 In 산화물, In-Sn 산화물(ITO: Indium Tin Oxide라고도 함), In-Zn 산화물, In-W 산화물, In-W-Zn 산화물, In-Ti 산화물, In-Sn-Ti 산화물, In-Sn-Si 산화물, Zn 산화물, Ga-Zn 산화물 등의 금속 산화물을 들 수 있다.

[0043] 또는 트랜지스터의 반도체층으로서도 기능하는 금속 산화물에 불순물 원소를 함유시켜 저저항화시킨 산화물 반도체를 사용하여도 좋다. 상기 저저항화시킨 산화물 반도체는 산화물 도전체(OC: Oxide Conductor)라고 할 수 있다.

[0044] 예를 들어 산화물 도전체는 산화물 반도체에 산소 결손을 형성하고, 상기 산소 결손에 수소를 첨가함으로써 전도대 근방에 도너 준위가 형성된다. 산화물 반도체에 도너 준위가 형성됨으로써 산화물 반도체는 도전성이 높아져 도전체화한다.

[0045] 또한 산화물 반도체는 에너지 갭이 크기 때문에(예를 들어 에너지 갭이 2.5eV 이상이기 때문에) 가시광에 대한 투과성을 가진다. 또한 상술한 바와 같이 산화물 도전체는 전도대 근방에 도너 준위를 가지는 산화물 반도체이다. 따라서 산화물 도전체는 도너 준위에 의한 흡수의 영향이 작고, 가시광에 대하여 산화물 반도체와 동등한 투과성을 가진다.

[0046] 예를 들어 배선(33)은 트랜지스터(20)의 반도체층(23)에 산화물 반도체를 사용하는 경우, 반도체층(23)과 동일한 공정으로 형성된 층을 저저항화시킨 층으로 할 수 있다.

[0047] 액정 디바이스는 한 쌍의 배향막 사이에 끼워진 액정층을 한 쌍의 전극으로 끼우는 구성을 가진다. 도 1의 (B)에서는 한쪽 전극으로서의 화소 전극(41)(도전층(41a, 41b)), 한쪽 배향막으로서의 배향막(45a), 및 액정층(40)을 나타내었다. 화소 전극(41)에는 상술한 투광성 도전막을 사용할 수 있다.

[0048] 트랜지스터(20), 커패시터(30), 및 배선(33) 위에는 평탄화층으로서 절연층(51)이 제공되고, 배선(33)과 중첩되는 영역에는 개구부(50)(콘택트 홀)가 형성되어 있다. 도전층(41a)은 개구부(50)의 측면 및 개구부(50)의 바닥부에 노출되는 배선(33)과 접하여 형성된다.

[0049] 여기서 개구부(50)는 단차 형상을 가지지만, 도전층(41a)을 형성하는 것만으로는 상기 단차는 해소되지 않는다. 절연층(51)이 평탄화층으로서 비교적 두껍게 형성되기 때문에, 도전층(41a)의 막 두께를 두껍게 하여도 단차 해소는 어렵다. 따라서, 도 1의 (B)에 나타낸 바와 같이 개구부(50)에 기인한 단차가 해소되도록 도전층(41a)과 접하여 절연층(52)을 형성한다.

[0050] 절연층(52)은 가시광에 대하여 투과성을 가지는 유기 재료로 형성하는 것이 바람직하다. 유기 재료로서는 감광성 유기 수지를 사용하는 것이 바람직하고, 예를 들어 아크릴 수지를 포함한 감광성 수지 조성물을 사용한다. 또한 본 명세서 등에서 아크릴 수지란, 폴리메타크릴산 에스터 또는 메타크릴 수지만을 가리키는 것이 아니고, 넓은 의미의 아크릴계 폴리머 전체를 가리키는 경우가 있다. 감광성 유기 재료를 사용함으로써, 절연층(52)은 포토리소그래피 공정에 의하여 원하는 영역으로 형성할 수 있다.

[0051] 또한 절연층(52)에는 폴리이미드 수지, 에폭시 수지, 이미드 수지, 폴리아마이드 수지, 폴리이미드아마이드 수지, 실리콘(silicone) 수지, 실록세인 수지, 벤조사이클로뷰텐계 수지, 페놀 수지, 및 이들 수지의 전구체 등을 사용하여도 좋다. 또한 절연층(52)에는 폴리바이닐알코올(PVA), 폴리바이닐뷰티랄, 폴리바이닐피롤리돈, 폴리에틸렌글라이콜, 폴리글리세린, 풀루란, 수용성 셀룰로스, 또는 알코올 가용성 폴리아마이드 수지 등의 유기 재료를 사용하여도 좋다.

[0052] 그리고 도전층(41a) 및 절연층(52) 위에 도전층(41b)을 형성함으로써, 상면이 평탄한 화소 전극(41)을 형성할 수 있다. 따라서 화소 전극(41) 위에 평탄한 배향막(45a)을 형성할 수 있다.

[0053] 또한 도 1의 (B)에 나타낸 바와 같이 절연층(51) 위에 제공된 도전층(41a)의 상면과 절연층(52)의 상면의 높이가 일치하도록 형성하는 것이 더 바람직하다. 다만 액정 분자의 배향 불량이 발생하지 않는 범위에서, 예를 들어 도 2의 (A)에 나타낸 바와 같이 절연층(52)의 상면이 볼록 형상이 되어도 좋다. 또는 도 2의 (B)에 나타낸 바와 같이 절연층(52)의 상면이 오목 형상이 되어도 좋다.

[0054] 상술한 구성에 의하여, 개구부(50)에 기인한 단차를 해소할 수 있기 때문에, 상기 영역 및 그 근방 위에 제공되는 액정층(40)의 배향 불량을 방지할 수 있다. 따라서 액정 디바이스의 표시에 유효한 영역을 증가시킬 수 있다.

[0055] 도 3의 (A), (B)는 종래의 예이며, 본 발명의 일 형태를 사용하지 않는 비교예이다. 도 3의 (A)는 인접한 복수의 화소의 상면도이고, 도 3의 (B)는 도 3의 (A)에서의 선분 B1-B2를 따르는 단면도이다.

[0056] 도 1의 (A), (B)와 공통된 요소에는 동일한 부호를 사용하고, 도 1의 (A), (B)에 나타내지 않은 요소로서, 배향막(45b), 대향 전극(42), 착색층(43), 차광층(44), 기판(62), 및 액정 디바이스 전체(액정 디바이스(47))를 나타내었다. 또한 도 3의 (A)에서는 명료화를 위하여 화소 전극(41)보다 위의 요소로서는 차광층(44)만을 도시하였다.

[0057] 배향막(45b)은 액정 디바이스(47)가 가지는 한 쌍의 배향막 중 다른 쪽에 상당한다. 대향 전극(42)은 액정 디바이스(47)가 가지는 한 쌍의 전극 중 다른 쪽에 상당한다. 착색층(43)은 컬러 표시를 하기 위한 컬러 필터이고, 안료를 분산한 수지층 등으로 형성할 수 있다. 차광층(44)은 흑색을 방지하는 기능 및 트랜지스터의 광 조사로 인한 특성 변화를 방지하는 기능을 가지고, 흑색 수지층 등으로 형성할 수 있다.

[0058] 도 3의 (B)에 나타낸 바와 같이 종래에는 개구부(50)에 기인한 단차를 따라 배향막(45a)이 형성되기 때문에 개구부(50) 및 그 근방 위에서 액정 분자의 배향이 흐트러져 액정층(40)에 배향 불량 영역(40x)이 생긴다. 그러므로 배향 불량 영역(40x)과 중첩되도록 차광층(44)을 제공할 필요가 있다. 즉 차광층(44)의 개구 부분이 감소되기 때문에 개구율이 저하된다.

[0059] 도 4의 (A), (B)는 본 발명의 일 형태를 나타낸 도면이다. 도 4의 (A)는 인접한 복수의 화소의 상면도이고, 도 4의 (B)는 도 4의 (A)에서의 선분 C1-C2를 따르는 단면도이다. 도 1의 (A), (B) 및 도 3의 (A), (B)와 공통된 요소에는 동일 부호를 사용하였다. 또한 도 4의 (A)에서는 명료화를 위하여 화소 전극(41)보다 위의 요소로서는 차광층(44)만을 도시하였다. 또한 도 4의 (A)에서는 일례로서 스트라이프 배열의 구성을 도시하였지만, 모자이크 배열 또는 델타 배열이어도 좋다.

[0060] 도 4의 (B)에 나타낸 바와 같이 개구부(50)에 기인한 단차의 해소에 의하여, 개구부(50) 위에서도 배향막(45a)이 평탄해지기 때문에, 개구부(50) 및 그 근방 위의 액정층(40)에 배향 불량 영역이 생기지 않는다. 즉 종래의 예에서 필요하던 개구부(50) 및 그 근방 위의 차광층(44)은 불필요하다.

[0061] 또한 화소 전극(41)에 접속되는 배선(33)에 투광성 도전막을 사용하기 때문에, 개구부(50)와 중첩되는 영역은 투광성을 가지게 된다. 따라서 액정 디바이스(47)의 표시에 유효한 영역을 증가시킬 수 있다. 즉 개구율을 높일 수 있다.

[0062] 또한 상기 구성에서 개구부(50) 및 그 근방은 굴절률이 상이한 복수의 투광성을 가지는 층이 배치된 구조가 되기 때문에, 의도치 않은 광의 굴절, 산란, 또는 반사가 일어나 표시 콘트라스트를 저하시키는 경우가 있다. 그러므로 개구부(50) 및 개구부(50)와 중첩되는 배선(33)은 폭이 가능한 한 작게 되도록 형성하는 것이 바람직하다.

[0063] 예를 들어 대각선 10인치 이하의 표시 장치에서는, 상면에서 본 개구부(50)의 바닥 폭을 3㎛ 이하, 바람직하게는 2㎛ 이하, 더 바람직하게는 1㎛ 이하로 한다. 또한 배선(33)의 폭을 개구부(50)의 바닥 폭의 2배 이하, 바람직하게는 1.5배 이하로 한다.

[0064] 이러한 크기의 개구부(50) 및 배선(33)을 형성하기 위해서는, L/S(라인 엔드 스페이스)의 해상도가 1.5㎛ 이하, 바람직하게는 1.2㎛ 이하이고, 중첩 정밀도가 ±0.25㎛ 이하, 바람직하게는 ±0.23㎛ 이하의 대형 기판용 스테퍼(예를 들어 6세대 유리 기판 대응) 등을 사용하는 것이 바람직하다.

[0065] 도 5의 (A)는 상기 액정 표시 장치와 백라이트 장치를 조합한 적층 구성의 일례를 나타낸 사시도이고, 각 층의 일부를 잘라 도시하였다. 또한 도 5의 (B)는 도 5의 (A)에서의 선분 D1-D2의 단면에 상당하는 도면이다. 또한 상기 적층 구성은 일례이고, 기타 기능을 가지는 층이 상기 적층에 포함되어도 좋다.

[0066] 액정 표시 장치(11)는 복수의 화소(10)를 가지고, 그 상면에는 편광판(71)이 배치되고 하면에는 편광판(72)이 배치된다.

[0067] 백라이트 장치(81)는 복수의 발광 유닛(84)이 매트릭스상으로 배치된 구성을 가진다. 발광 유닛(84)은 발광 다이오드(LED: Light Emitting Diode)(83) 및 트랜지스터(82)를 가진다. 하나의 발광 유닛(84)은 복수의 화소(10)와 중첩되는 영역을 가진다.

[0068] 트랜지스터(82)는 발광 다이오드(83)를 액티브 구동하기 위한 회로의 구성 요소이다. 트랜지스터(82)가 가지는 반도체층에는 산화물 반도체(금속 산화물), 비정질 실리콘, 미결정 실리콘, 다결정 실리콘 등을 사용할 수

있다. 또한 도 5의 (B)에서는 트랜지스터(82)를 백 게이트형으로 예시하였지만, 톱 게이트형 또는 셀프 얼라인형 등으로 하여도 좋다.

[0069] 또한 발광 다이오드(83)는 패시브 구동이어도 좋다. 이 경우에는 트랜지스터(82)를 불필요하게 할 수 있다.

[0070] 발광 다이오드(83)로서는 예를 들어 직경 또는 한 변이 50μm 이하로 형성되는 마이크로 LED, 혹은 직경 또는 한 변이 50μm보다 크고 200μm 이하로 형성되는 미니 LED를 사용하는 것이 바람직하다.

[0071] 또한 도 5의 (B)에서는 백라이트 장치(81)가 가지는 배선과 발광 다이오드(83)가 가지는 전극이 직접 접합하는 형태를 도시하였지만, 땜납, 도전성 수지, 이방성 도전 수지, 또는 이방성 도전 필름 등을 개재(介在)하여 이들을 접합하여도 좋다.

[0072] 백라이트 장치(81)에 매트릭스상으로 배치된 복수의 발광 유닛(84)을 사용함으로써, 로컬 디밍에 의한 미세 제어가 가능해져, 콘트라스트가 높은 매우 선명한 화상을 표시시킬 수 있다. 또한 발광 다이오드(83)는 상시 점등이 아니라, 표시의 명암에 대응하여 휘도를 조정할 수 있으므로 소비 전력을 저감시킬 수 있다.

[0073] 백라이트 장치(81)의 상부에는 색 변환층(89)을 제공할 수 있다. 색 변환층(89)으로서는 형광체 또는 퀀텀닷(QD: Quantum dot)을 포함하는 구성으로 하는 것이 바람직하다. 특히 퀀텀닷을 사용한 경우에는, 발광 스펙트럼의 피크 폭이 좁고 색 순도가 양호한 발광을 얻을 수 있다.

[0074] 예를 들어 발광 다이오드(83)를 청색 발광의 LED로 하고, 청색광을 적색광 및 녹색광으로 각각 변환하는 퀀텀닷을 색 변환층(89)에 사용함으로써 백색광을 얻을 수 있다. 또한 발광 다이오드(83)에 백색 발광의 LED를 사용하는 경우에는 색 변환층(89)을 불필요한 것으로 하여도 좋다.

[0075] 도 6의 (A)는 본 발명의 일 형태의 액정 표시 장치(11)를 설명하는 블록도이다. 액정 표시 장치(11)는 화소 어레이(13)와, 게이트 드라이버(91a)와, 소스 드라이버(92a)를 가진다. 화소 어레이(13)는 열 방향 및 행 방향으로 배치된 화소(10)를 가진다.

[0076] 게이트 드라이버(91a) 및 소스 드라이버(92a)에는 시프트 레지스터 등의 순서 회로를 사용할 수 있다. 게이트 드라이버(91a) 및 소스 드라이버(92a)는 화소(10)가 가지는 회로를 형성하는 기판에 모놀리식으로 형성할 수 있다.

[0077] 또는 게이트 드라이버(91a)가 제공된 IC 칩 및 소스 드라이버(92a)가 제공된 IC 칩을 COF(chip on film)법, COG(chip on glass)법, TCP(tape carrier package)법 등에 의하여 화소 어레이(13)에 접속하여도 좋다.

[0078] 또한 게이트 드라이버(91a)를 화소 어레이(13)의 한쪽에 배치한 예를 나타내었지만, 화소 어레이(13)를 사이에 두고 서로 마주 보도록 게이트 드라이버를 2개 배치하여 구동 행을 분할하여도 좋다.

[0079] 도 6의 (B)는 화소(10)의 회로도의 일례이다. 트랜지스터(20)의 소스 및 드레인 중 한쪽은 커패시터(30)의 한쪽 전극 및 액정 디바이스(47)의 한쪽 전극에 전기적으로 접속된다. 트랜지스터(20)의 게이트는 배선(22)에 전기적으로 접속된다. 트랜지스터(20)의 소스 및 드레인 중 다른 쪽은 배선(21)에 전기적으로 접속된다. 커패시터(30)의 다른 쪽 전극은 고정 전위를 공급하는 배선(31)에 전기적으로 접속된다. 액정 디바이스(47)의 다른 쪽 전극은 고정 전위선에 전기적으로 접속된다.

[0080] 여기서 배선(21)은 소스선으로서 기능하고, 소스 드라이버(92a)에 전기적으로 접속될 수 있다. 배선(22)은 게이트선으로서 기능하고, 게이트 드라이버(91a)에 전기적으로 접속될 수 있다.

[0081] 도 7의 (A)는 도 5의 (A), (B)에 나타낸 백라이트 장치(81)를 설명하는 블록도이다. 백라이트 장치(81)는 LED 어레이(85)와, 게이트 드라이버(91b)와, 소스 드라이버(92b)를 가진다. LED 어레이(85)는 열 방향 및 행 방향으로 배치된 발광 유닛(84)을 가진다.

[0082] 게이트 드라이버(91b) 및 소스 드라이버(92b)에는 시프트 레지스터 등의 순서 회로를 사용할 수 있다. 게이트 드라이버(91b) 및 소스 드라이버(92b)는 발광 유닛(84)이 가지는 회로를 형성하는 기판에 모놀리식으로 형성할 수 있다.

[0083] 또는 게이트 드라이버(91b)가 제공된 IC 칩 및 소스 드라이버(92b)가 제공된 IC 칩을 COF(chip on film)법, COG(chip on glass)법, TCP(tape carrier package)법 등에 의하여 LED 어레이(85)에 접속하여도 좋다.

[0084] 또한 게이트 드라이버(91b)를 화소 어레이(13)의 한쪽에 배치한 예를 나타내었지만, LED 어레이(85)를 사이에 두고 서로 마주 보도록 게이트 드라이버를 2개 배치하여, 구동하는 행을 분할하여도 좋다.

[0085] 또한 게이트 드라이버(91b) 및 소스 드라이버(92b)는 도 7의 (B)에 나타낸 바와 같이 LED 어레이(85)와 중첩되는 영역에 배치할 수도 있다. 이러한 구성으로 함으로써, 게이트 드라이버(91b) 및 소스 드라이버(92b)와 발광 유닛(84) 사이의 배선 길이를 짧게 할 수 있고, 배선 저항 및 배선 용량을 작게 할 수 있다. 따라서 고속 동작 및 소비 전력을 저감할 수 있다. 또한 슬림 베젤화가 가능하기 때문에 백라이트 장치(81)를 소형화할 수 있다.

[0086] 도 7의 (B)의 구성에서는 예를 들어 게이트 드라이버(91b) 및 소스 드라이버(92b)를, 채널 형성 영역에 실리콘을 포함한 트랜지스터(이하, Si 트랜지스터)로 형성할 수 있다. 또한 LED 어레이(85)가 가지는 트랜지스터(트랜지스터(82) 등)를, 채널 형성 영역에 산화물 반도체를 포함한 트랜지스터(이하, OS 트랜지스터)로 형성할 수 있다.

[0087] 여기서 사용하는 Si 트랜지스터에는 유리 기판 위 등에 형성할 수 있는 다결정 실리콘을 사용하는 것이 바람직하다. Si 트랜지스터는 이동도가 높기 때문에, 고속 동작이 요구되는 회로의 요소로서 적합하다. 또한 OS 트랜지스터는 내압이 비교적 높기 때문에 대전류를 흘리는 LED의 구동 트랜지스터로서 적합하다.

[0088] 또한 도 7의 (B)에서는 게이트 드라이버(91b) 및 소스 드라이버(92b)를 분할하여 배치하는 구성을 나타내었지만, 분할 수는 한정되지 않고 적절히 설정할 수 있다. 또한 도 7의 (B)에서는 가로 방향으로는 분할하지 않은 예를 나타내었지만 가로 방향으로 분할하여도 좋다.

[0089] 도 7의 (C)에는 발광 유닛(84)에 적용할 수 있는 회로(UT1)의 일례를 나타내었다. 회로(UT1)는 발광 다이오드(LED1)(발광 다이오드(83)에 상당함), 트랜지스터(M1), 트랜지스터(M2)(트랜지스터(82)에 상당함), 트랜지스터(M3), 및 커패시터(C1)를 가진다.

[0090] 트랜지스터(M1)는 게이트가 배선(G1)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 배선(S1)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 커패시터(C1)의 한쪽 전극 및 트랜지스터(M2)의 게이트에 전기적으로 접속된다. 트랜지스터(M2)의 소스 및 드레인 중 한쪽은 배선(V2)에 전기적으로 접속되고, 다른 쪽은 발광 다이오드(LED1)의 애노드, 그리고 트랜지스터(M3)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(M3)는 게이트가 배선(G2)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 배선(V0)에 전기적으로 접속된다. 발광 다이오드(LED1)의 캐소드는 배선(V1)에 전기적으로 접속된다.

[0091] 배선(V1) 및 배선(V2)에는 각각 정전위가 공급된다. 발광 다이오드(LED1)의 애노드 측을 고전위로 하고 캐소드 측을 저전위로 함으로써 발광을 수행할 수 있다. 트랜지스터(M1)는 배선(G1)에 공급되는 신호에 의하여 제어되고, 회로(UT1)의 선택 상태를 제어하기 위한 선택 트랜지스터로서 기능한다. 또한 트랜지스터(M2)는 게이트에 공급되는 전위에 따라 발광 다이오드(LED1)를 흐르는 전류를 제어하는 구동 트랜지스터로서 기능한다.

[0092] 트랜지스터(M1)가 도통 상태일 때, 배선(S1)에 공급되는 전위가 트랜지스터(M2)의 게이트에 공급되고, 그 전위에 따라 발광 다이오드(LED1)의 발광 휘도를 제어할 수 있다. 트랜지스터(M3)는 배선(G2)에 공급되는 신호에 의하여 제어된다. 이에 의하여, 트랜지스터(M3)와 발광 다이오드(LED1) 사이의 전위를 배선(V0)으로부터 공급되는 일정한 전위로 리셋할 수 있어, 트랜지스터(M2)의 소스 전위를 안정시킨 상태로 트랜지스터(M2)의 게이트에 전위를 기록할 수 있다. 또한 트랜지스터(M3)를 제공하지 않는 구성으로 할 수도 있다.

[0093] 도 7의 (D)에 회로(UT1)와는 다른 회로(UT2)의 일례를 나타내었다. 회로(UT2)는 승압 기능을 가진다. 회로(UT2)는 발광 다이오드(LED2)(발광 다이오드(83)에 상당함), 트랜지스터(M4), 트랜지스터(M5), 트랜지스터(M6)(트랜지스터(82)에 상당함), 트랜지스터(M7), 커패시터(C2), 및 커패시터(C3)를 가진다.

[0094] 트랜지스터(M4)는 게이트가 배선(G1)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 배선(S4)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 커패시터(C2)의 한쪽 전극, 커패시터(C3)의 한쪽 전극, 및 트랜지스터(M6)의 게이트와 전기적으로 접속된다. 트랜지스터(M5)는 게이트가 배선(G3)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽이 배선(S5)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 커패시터(C3)의 다른 쪽 전극에 전기적으로 접속된다.

[0095] 트랜지스터(M6)의 소스 및 드레인 중 한쪽은 배선(V2)에 전기적으로 접속되고, 다른 쪽은 발광 다이오드(LED2)의 애노드 및 트랜지스터(M7)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(M7)는 게이트가 배선(G2)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 배선(V0)에 전기적으로 접속된다. 발광 다이오드(LED2)의 캐소드는 배선(V1)에 전기적으로 접속된다.

[0096] 트랜지스터(M4)는 배선(G1)에 공급되는 신호에 의하여 제어되고, 트랜지스터(M5)는 배선(G3)에 공급되는 신호에 의하여 제어된다. 트랜지스터(M6)는 게이트에 공급되는 전위에 따라 발광 다이오드(LED2)를 흐르는 전류를 제

어하는 구동 트랜지스터로서 기능한다.

[0097] 트랜지스터(M6)의 게이트에 공급된 전위에 따라 발광 다이오드(LED2)의 발광 휘도를 제어할 수 있다. 트랜지스터(M7)는 배선(G2)에 공급되는 신호에 의하여 제어된다. 트랜지스터(M6)와 발광 디바이스(EL2) 사이의 전위를 배선(V0)으로부터 공급되는 일정한 전위로 리셋할 수 있어, 트랜지스터(M6)의 소스 전위를 안정화시킨 상태로 트랜지스터(M6)의 게이트에 전위를 기록할 수 있다. 또한 배선(V0)으로부터 공급되는 전위를 배선(V1)과 같은 전위 또는 배선(V1)보다 낮은 전위로 함으로써 발광 다이오드(LED2)의 발광을 억제할 수 있다.

[0098] 이하에서 화소 회로(PIX2)가 가지는 승압 기능에 대하여 설명한다.

[0099] 우선, 트랜지스터(M6)의 게이트에 트랜지스터(M4)를 통하여 배선(S4)의 전위 "D1"을 공급하고, 이와 겹치는 타이밍으로 커패시터(C3)의 다른 쪽 전극에 트랜지스터(M5)를 통하여 기준 전위 "V_{ref}"를 공급한다. 이때 커패시터(C3)에는 "D1-V_{ref}"가 유지된다. 다음으로 트랜지스터(M6)의 게이트를 플로팅으로 하고, 트랜지스터(M5)를 통하여 커패시터(C3)의 다른 쪽 전극에 배선(S5)의 전위 "D2"를 공급한다. 여기서 전위 "D2"는 가산용 전위이다.

[0100] 이때, 커패시터(C3)의 용량값을 C_3으로, 커패시터(C2)의 용량값을 C_2로, 트랜지스터(M6)의 게이트의 용량값을 C_{M6}으로 하면, 트랜지스터(M6)의 게이트의 전위는 $D1+(C_3/(C_3+C_2+C_{M6}))\times(D2-V_{ref})$가 된다. 여기서 C_3의 값이 C_2+C_{M6}의 값보다 충분히 큰 경우를 상정하면, $C_3/(C_3+C_2+C_{M6})$은 1에 근사한다. 따라서 트랜지스터(M6)의 게이트의 전위는 "D1+(D2-V_{ref})"에 근사한다고 할 수 있다. 그리고, D1=D2이며 V_{ref}=0이면, "D1+(D2-V_{ref}))"="2D1"이 된다.

[0101] 즉, 회로를 적절히 설계하면, 배선(S4) 또는 배선(S5)으로부터 입력할 수 있는 전위의 약 2배의 전위를 트랜지스터(M6)의 게이트에 공급할 수 있게 된다.

[0102] 상기 작용에 의하여, 소스 드라이버(92b)에 범용 드라이버 IC를 사용하여도 높은 전압을 생성할 수 있다. 따라서, 입력하는 전압을 낮출 수 있어 소비 전력을 저감시킬 수 있다.

[0103] 또한 도 7의 (C), (D)에서는 회로 내에 제공되는 발광 다이오드가 하나인 경우를 나타내었지만, 도 7의 (E1)에 나타낸 바와 같이 2개 이상의 발광 다이오드가 직렬 접속되는 구성이어도 좋다. 또는 도 7의 (E2)에 나타낸 바와 같이 2개 이상의 발광 다이오드가 병렬 접속되는 구성이어도 좋다. 또는 도 7의 (E3)에 나타낸 바와 같이 2개 이상 직렬 접속된 발광 다이오드가 2개 이상 병렬 접속되는 구성이어도 좋다. 또한 도 7의 (E1) 내지 (E3)에 나타낸 트랜지스터는 트랜지스터(M2) 또는 트랜지스터(M6)에 상당한다.

[0104] 도 7의 (E1) 내지 (E3)에 나타낸 바와 같이 발광 다이오드를 복수로 함으로써, 하나의 발광 유닛(84)으로 제어할 수 있는 발광 강도를 높일 수 있다. 또는 하나의 발광 유닛(84)으로 제어할 수 있는 발광 면적을 넓힐 수 있다.

[0105] 또한 도 7의 (C), (D)에서는 PAM(Pulse Amplitude Modulation) 제어용 회로를 예시하였지만, PWM(Pulse Width Modulation) 제어용 회로로 발광 다이오드의 휘도를 제어하여도 좋다.

[0106] 본 실시형태는 다른 실시형태에 기재되는 구성과 적절히 조합하여 실시할 수 있다.

[0107] (실시형태 2)

[0108] 본 실시형태에서는 액정 표시 장치의 구성예에 대하여 설명한다. 또한 실시형태 1과 중복되는 설명은 생략한다.

[0109] 도 8의 (A) 내지 (C)는 본 발명의 일 형태의 액정 표시 장치(11)의 구성을 나타낸 도면이다.

[0110] 도 8의 (A)에 나타낸 표시부(215)에는 실시형태 1에서 설명한 화소(10)를 가지는 화소 어레이(13)가 제공된다. 또한 기판(61) 위에 제공된 표시부(215)를 둘러싸도록 실재(405)가 제공되고, 표시부(215)가 실재(405) 및 기판(62)에 의하여 밀봉되어 있다.

[0111] 도 8의 (A)에서는 게이트 드라이버(91a) 및 소스 드라이버(92a) 각각이 인쇄 기판(441) 위에 제공된 복수의 집적 회로(442)로 형성되는 예를 나타내었다. 집적 회로(442)는 IC 칩이고, 단결정 반도체를 사용하여 형성되어 있다.

[0112] 게이트 드라이버(91a) 및 소스 드라이버(92a)에 제공되는 각종 신호 및 전위는 FPC(FPC: Flexible printed

circuit)(418)를 통하여 공급된다.

[0113] 게이트 드라이버(91a)가 가지는 집적 회로(442)는 표시부(215)에 선택 신호를 공급하는 기능을 가진다. 소스 드라이버(92a)가 가지는 집적 회로(442)는 표시부(215)에 화상 데이터를 공급하는 기능을 가진다. 집적 회로(442)는 기판(61) 위의 실재(405)로 둘러싸여 있는 영역과는 다른 영역에 실장되어 있다.

[0114] 또한 집적 회로(442)의 접속 방법은 특별히 한정되는 것은 아니고, 와이어 본딩법, COG(Chip On Glass)법, TCP(Tape Carrier Package)법, COF(Chip On Film)법 등을 사용할 수 있다.

[0115] 도 8의 (B)에는 소스 드라이버(92a)에 포함되는 집적 회로(442)를 COG법에 의하여 실장하는 예를 나타내었다. 또한 구동 회로의 일부 또는 전체를 표시부(215)와 같은 기판 위에 일체로 형성하여 시스템 온 패널(system-on-panel)을 형성할 수 있다.

[0116] 도 8의 (B)에는 게이트 드라이버(91a)를 표시부(215)와 같은 기판 위에 형성하는 예를 나타내었다. 구동 회로를 표시부(215) 내의 화소 회로와 동시에 형성함으로써 부품 점수를 삭감할 수 있다. 따라서 생산성을 높일 수 있다.

[0117] 또한 도 8의 (B)에서는 기판(61) 위에 제공된 표시부(215)와 게이트 드라이버(91a)를 둘러싸도록 실재(405)가 제공되어 있다. 또한 표시부(215) 및 게이트 드라이버(91a) 위에 기판(62)이 제공되어 있다. 따라서 표시부(215) 및 게이트 드라이버(91a)는 기판(61)과 실재(405)와 기판(62)에 의하여 표시 소자와 함께 밀봉되어 있다.

[0118] 또한 도 8의 (B)에서는 소스 드라이버(92a)를 별도로 형성하고, 기판(61)에 실장하는 예를 나타내었지만, 이 구성에 한정되지 않는다. 게이트 드라이버를 별도로 형성하여 실장하여도 좋고, 소스 드라이버의 일부 또는 게이트 드라이버의 일부를 별도로 형성하여 실장하여도 좋다. 또한 도 8의 (C)에 나타낸 바와 같이 소스 드라이버(92a)를 표시부(215)와 같은 기판 위에 형성하여도 좋다.

[0119] 액정 표시 장치(11)는 표시 소자가 밀봉되어 있는 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등이 실장되어 있는 모듈을 포함하는 경우가 있다.

[0120] 주변 구동 회로가 가지는 트랜지스터와, 표시부의 화소 회로가 가지는 트랜지스터의 구조는 같아도 좋고 상이하여도 좋다. 주변 구동 회로가 가지는 트랜지스터는 모두 같은 구조를 가져도 좋고, 2종류 이상의 구조가 조합되어 사용되어도 좋다. 마찬가지로 화소 회로가 가지는 트랜지스터는 모두 같은 구조를 가져도 좋고, 2종류 이상의 구조가 조합되어 사용되어도 좋다.

[0121] 또한 기판(62) 위에는 입력 장치를 제공할 수 있다. 도 8의 (A) 내지 (C)에 나타낸 액정 표시 장치(11)에 입력 장치를 제공한 구성은 터치 패널로서 기능시킬 수 있다.

[0122] 본 발명의 일 형태의 터치 패널이 가지는 검지 소자(센서 소자라고도 함)에 한정은 없다. 손가락 및 스타일러스 등의 피검지체의 근접 또는 접촉을 검지할 수 있는 다양한 센서를 검지 소자로서 적용할 수 있다.

[0123] 센서의 방식으로서는 예를 들어 정전 용량 방식, 저항막 방식, 표면 탄성파 방식, 적외선 방식, 광학 방식, 감압 방식 등 다양한 방식을 사용할 수 있다.

[0124] 도 9는 도 8의 (B)에 나타낸 액정 표시 장치(11)에서 선분 N1-N2 부분의 단면도이다.

[0125] 기판(61) 위에 제공된 표시부(215)와 게이트 드라이버(91a)는 트랜지스터 등을 복수로 가지고, 도 9에는 표시부(215)에 포함되는 트랜지스터(20) 및 커패시터(30), 그리고 게이트 드라이버(91a)에 포함되는 트랜지스터(25)를 예시하였다. 또한 도 9에는 트랜지스터(20) 및 트랜지스터(25)로서 보텀 게이트형 트랜지스터를 예시하였지만 톱 게이트형 트랜지스터이어도 좋다.

[0126] 트랜지스터(20) 및 트랜지스터(25)는 절연층(53) 위에 제공되고, 트랜지스터(20) 및 트랜지스터(25) 위에 절연층(51)이 제공되어 있다.

[0127] 트랜지스터(20) 및 트랜지스터(25)는 절연층(54) 위에 형성된 전극(27)을 가진다. 절연층(54)은 게이트 절연막으로서 기능하고, 전극(27)은 백 게이트 전극으로서 기능할 수 있다.

[0128] 표시부(215)에 제공된 트랜지스터(20)는 액정 디바이스(47)에 전기적으로 접속된다. 액정 디바이스(47)로서 다양한 모드가 적용된 액정 디바이스를 사용할 수 있다.

[0129] 예를 들어 VA(Vertical Alignment) 모드, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Bend) 모드,

FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, ECB(Electrically Controlled Birefringence) 모드, VA-IPS 모드, 게스트 호스트 모드 등이 적용된 액정 디바이스를 사용할 수 있다.

[0130] 또한 본 실시형태에서 설명하는 액정 표시 장치(11)에 노멀리 블랙형 액정 표시 장치, 예를 들어 수직 배향(VA) 모드를 채용한 투과형 액정 표시 장치를 적용하여도 좋다. 수직 배향 모드로서는 MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드 등을 사용할 수 있다.

[0131] 또한 액정 디바이스는 액정의 광학 변조 작용에 의하여 광의 투과 또는 비투과를 제어하는 소자이다. 액정의 광학 변조 작용은 액정에 가해지는 전계(수평 방향의 전계, 수직 방향의 전계, 또는 비스듬한 방향의 전계를 포함함)에 의하여 제어된다. 액정 디바이스에 사용되는 액정으로서는 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC: Polymer Dispersed Liquid Crystal), 고분자 네트워크형 액정(PNLC: Polymer Network Liquid Crystal), 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들 액정 재료는 조건에 따라 콜레스테릭상, 스멕틱상, 큐빅상, 키랄 네마틱상, 등방상 등을 나타낸다.

[0132] 도 9에는 수직 전계 방식의 액정 디바이스를 가지는 액정 표시 장치의 예를 나타내었지만, 본 발명의 일 형태는 수평 전계 방식의 액정 디바이스를 가지는 액정 표시 장치에도 적용할 수 있다. 수평 전계 방식을 채용하는 경우에는 배향막을 사용하지 않는 블루상을 나타내는 액정을 사용하여도 좋다. 블루상은 액정상 중 하나이고, 콜레스테릭 액정을 승온시키면 콜레스테릭상으로부터 등방상으로 전이(轉移)하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서만 발현하기 때문에, 온도 범위를 개선하기 위하여 5중량% 이상의 키랄제를 혼합시킨 액정 조성물을 액정층에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 응답 속도가 빠르고 광학적 등방성을 나타낸다. 또한 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 배향 처리가 불필요하고 시야각 의존성이 작다. 또한 배향막을 제공할 필요가 없으므로 러빙 처리도 불필요하게 되어, 러빙 처리에 기인한 정전 파괴를 방지할 수 있고, 제작 공정 중에서의 액정 표시 장치의 불량 또는 파손을 경감할 수 있다.

[0133] 또한 스페이서(65)는 절연층을 선택적으로 에칭함으로써 얻어지는 기둥 형상의 스페이서이고, 화소 전극(41)과 대향 전극(42)의 간격(셀 갭)을 제어하기 위하여 제공되어 있다. 또한 구(球) 형상의 스페이서를 사용하여도 좋다.

[0134] 액정 표시 장치(11)는 기판(62)과 대향 전극(42) 사이에 차광층(44), 착색층(43), 및 절연층(48)을 가진다.

[0135] 차광층(44)에 사용할 수 있는 재료로서는, 카본 블랙, 타이타늄 블랙, 금속, 금속 산화물, 복수의 금속 산화물의 고용체를 포함한 복합 산화물 등을 들 수 있다. 차광층(44)은 수지 재료를 포함하는 막이어도 좋고, 금속 등의 무기 재료의 박막이어도 좋다. 또한 차광층(44)에 착색층(43)의 재료를 포함한 막의 적층막을 사용할 수도 있다. 예를 들어 어떤 색의 광을 투과시키는 착색층(43)에 사용하는 재료를 포함한 막과, 다른 색의 광을 투과시키는 착색층(43)에 사용하는 재료를 포함한 막의 적층 구조를 사용할 수 있다. 착색층(43)과 차광층의 재료를 공통화함으로써, 장치를 공통화할 수 있을 뿐만 아니라 공정도 간략화할 수 있어 바람직하다.

[0136] 착색층(43)에 사용할 수 있는 재료로서는 금속 재료, 수지 재료, 안료 또는 염료가 포함된 수지 재료 등을 들 수 있다. 상기 재료를 적절히 선택하여 사용함으로써, R(적색), G(녹색), B(청색) 등의 광을 생성할 수 있어 풀 컬러 표시를 수행할 수 있다.

[0137] 또한 착색층(43) 대신에, 반도체 재료를 포함한 색 변환층을 사용하여도 좋다. 예를 들어 나노 크기의 반도체를 포함한 층에 어떤 파장의 광이 입사되면 다른 파장의 광으로 변환될 수 있다.

[0138] 어떤 종류의 반도체에 에너지가 높은 광을 조사하면 들뜬 상태가 되고, 안정된 상태로 전이할 때 발광을 수반한다. 이때 반도체가 방출하는 광의 파장은 반도체 재료의 에너지 갭에 의하여 정해지지만, 나노 크기의 반도체에서는 전자, 정공, 또는 여기자가 그 내부에 갇혀 에너지 상태가 이산적으로 되어 에너지 시프트한다. 그러므로 반도체가 방출하는 광의 파장도 변화된다.

[0139] 이러한 나노 크기의 반도체는 퀀텀닷이라고 불린다. 에너지 시프트양은 퀀텀닷의 크기에 의존하기 때문에, 퀀텀닷의 크기를 조정함으로써 발광 파장을 용이하게 조정할 수 있다. 또한 퀀텀닷은 그 이산성이 위상 완화를 제한하기 때문에 발광 스펙트럼의 피크 폭이 좁고, 색 순도가 양호한 발광을 얻을 수 있다. 따라서 퀀텀닷을 포함한 색 변환층을 착색층(43) 대신에 사용할 수 있다.

[0140] 또한 신호 또는 전원 입력용 FPC(418)가 이방성 도전층(419)을 통하여 전극(29)에 전기적으로 접속되어 있다. 전극(29)은 절연층(51) 및 절연층(54)에 형성된 개구에서 배선(28)에 전기적으로 접속되어 있다. 배선(28)은 게이트 드라이버(91a) 및 소스 드라이버(92a)에 공급되는 각종 신호 및 전위를 공급하기 위한 배선이다.

[0141] 전극(29)은 화소 전극(41)(도전층(41a, 41b))과 같은 도전층으로 형성할 수 있다. 또한 배선(28)은 트랜지스터(20) 및 트랜지스터(25)의 소스 전극 및 드레인 전극과 같은 도전층으로 형성할 수 있다.

[0142] 또한 기판(61)의 표면에는 편광판(71)이 제공되고, 기판(62)의 표면에는 편광판(72)이 제공된다.

[0143] 도 10은 도 7의 (B)에 나타낸 백라이트 장치(81)의 구성과 액정 표시 장치(11)를 조합한 표시 장치의 단면도이다. 백라이트 장치(81) 및 액정 표시 장치(11)에 포함되는 각 요소에 대해서는 도 5의 (B), 도 7의 (B), 및 도 9의 설명을 참조할 수 있다.

[0144] 백라이트 장치(81)가 가지는 발광 유닛(84)의 아래층에는 게이트 드라이버(91b) 및 소스 드라이버(92b)가 배치된다. 여기서 게이트 드라이버(91b) 및 소스 드라이버(92b)는 Si 트랜지스터로 형성되는 예를 나타낸 것이다. 또한 게이트 드라이버(91b) 및 소스 드라이버(92b) 중 한쪽 또는 양쪽을 OS 트랜지스터로 형성할 수도 있다.

[0145] Si 트랜지스터의 채널 형성 영역에는 비정질 실리콘, 미결정 실리콘, 다결정 실리콘 등을 사용할 수 있다. 또한 유리 기판 위 등의 절연 표면 위에 트랜지스터를 제공하는 경우에는 다결정 실리콘을 사용하는 것이 바람직하다.

[0146] 품질이 높은 다결정 실리콘은 레이저 결정화 공정 등을 사용함으로써 용이하게 얻을 수 있다. 또한 품질이 높은 다결정 실리콘은 비정질 실리콘에 니켈 또는 팔라듐 등의 금속 촉매를 첨가하여 가열하는 고상 성장법으로도 얻을 수 있다. 또한 금속 촉매를 사용한 고상 성장법으로 형성된 다결정 실리콘에 레이저 조사를 수행하여 결정성을 더 높여도 좋다. 또한 금속 촉매는 다결정 실리콘 내에 잔류하고, 트랜지스터의 전기 특성을 악화시키기 때문에, 채널 형성 영역 이외에 인 또는 비활성 기체 등을 첨가한 영역을 제공하고, 상기 영역에 금속 촉매를 포획시키는 것이 바람직하다.

[0147] 게이트 드라이버(91b)가 가지는 트랜지스터(86)는 발광 유닛(84)이 가지는 게이트선에 접속될 수 있다. 또한 소스 드라이버(92b)가 가지는 트랜지스터(87)는 발광 유닛(84)이 가지는 트랜지스터(88)에 전기적으로 접속될 수 있다. 트랜지스터(88)는 도 7의 (C)에 나타낸 트랜지스터(M1) 또는 도 7의 (D)에 나타낸 트랜지스터(M4)에 상당한다.

[0148] 또한 신호 또는 전원 입력용 FPC(458)가 이방성 도전층(459)을 통하여 전극(461)에 전기적으로 접속되어 있다. 전극(461)은 절연층에 형성된 개구에서 배선(462)에 전기적으로 접속되어 있다. 배선(462)은 게이트 드라이버(91b) 및 소스 드라이버(92b)에 공급되는 각종 신호 및 전위를 공급하기 위한 배선이다.

[0149] 전극(461)은 발광 유닛(84)이 가지는 게이트선과 같은 도전층으로 형성할 수 있다. 또한 배선(462)은 트랜지스터(86) 및 트랜지스터(87) 등의 소스 배선 및 드레인 배선과 같은 도전층으로 형성할 수 있다.

[0150] 도 11의 (A)에 액정 표시 장치(11) 및 발광 유닛(84)에 적용할 수 있는 OS 트랜지스터를 자세히 나타내었다. 도 11의 (A)에 나타낸 OS 트랜지스터의 구성은 보텀 게이트형이다.

[0151] OS 트랜지스터는 산화물 반도체층(703), 게이트 전극(701a), 게이트 전극(701b), 게이트 절연막(702), 게이트 절연막(708), 소스 전극(704), 드레인 전극(705)을 가지는 구성으로 할 수 있다. 또한 산화물 반도체층은 밴드 갭이 상이한 복수의 반도체층을 적층한 구성으로 하여도 좋다.

[0152] 또는 OS 트랜지스터의 구성은 도 11의 (B)에 나타낸 바와 같이 게이트 전극(701a)을 마스크로서 사용하여 산화물 반도체층(703)에 소스 영역(706) 및 드레인 영역(707)을 형성하는 셀프 얼라인형으로 하여도 좋다.

[0153] 또는 도 11의 (C)에 나타낸 바와 같이 게이트 전극(701a)과 소스 전극(704) 및 드레인 전극(705)이 중첩되는 영역을 가지는 논셀프 얼라인형의 톱 게이트형 트랜지스터이어도 좋다.

[0154] 도 11의 (D)는 도 11의 (A)에 나타낸 B1-B2의 단면도이다. 게이트 전극(701b)은 대향하여 제공되는 트랜지스터의 게이트 전극(701a)(프런트 게이트)에 전기적으로 접속되어도 좋다. 이러한 구성으로 함으로써 온 전류를 높일 수 있다. 또한 게이트 전극(701b)을 게이트 전극(701a)에 접속시키지 않고, 게이트 전극(701b)에 고정 전위를 공급할 수 있는 구성이어도 좋다. 이러한 구성으로 함으로써 문턱 전압을 조정할 수 있다. 또한 게이트 전극(701b)을 제공하지 않는 구성으로 하여도 좋다.

[0155] OS 트랜지스터는 반도체층의 에너지 갭이 크기 때문에, 수yA/㎛(채널 폭 1㎛당 전류값)로 매우 낮은 오프 전류 특성을 나타낼 수 있다. 오프 전류가 낮으면 노드의 전위 유지 능력을 높일 수 있기 때문에, 프레임 주파수를 저하시켜도 적절한 화상 표시를 수행할 수 있다. 예를 들어 동영상 표시를 수행하는 경우에는 제 1 프레임 주파수(예를 들어 60Hz 이상)로 하고, 정지 화상 표시를 수행하는 경우에는 제 1 프레임 주파수보다 낮은 제 2 프레임 주파수(예를 들어 1Hz 내지 10Hz 정도)로 전환함으로써 표시 장치를 저소비 전력화할 수 있다.

[0156] 또한 OS 트랜지스터는 Si 트랜지스터에 비하여 채널 길이가 짧아도 드레인 전류의 포화 특성이 양호하므로, 발광 다이오드(83)의 구동 트랜지스터(트랜지스터(82))로서 적합하다.

[0157] OS 트랜지스터에 사용하는 반도체 재료로서는, 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상인 금속 산화물을 사용할 수 있다. 대표적으로는 인듐을 포함한 산화물 반도체 등이고, 예를 들어 후술하는 CAAC-OS 또는 CAC-OS 등을 사용할 수 있다. CAAC-OS는 결정을 구성하는 원자가 안정적이고, 신뢰성을 중시하는 트랜지스터 등에 적합하다. 또한 CAC-OS는 이동도 특성이 높기 때문에 고속 구동을 수행하는 트랜지스터 등에 적합하다.

[0158] OS 트랜지스터는 충격 이온화, 애벌란시 항복, 및 단채널 효과 등이 발생하지 않는 등, 채널 영역에 실리콘을 포함한 트랜지스터(이하, Si 트랜지스터)와는 다른 특징을 가지기 때문에, 신뢰성이 높은 회로를 형성할 수 있다.

[0159] OS 트랜지스터에 포함되는 반도체층은 예를 들어 인듐, 아연, 및 M(알루미늄, 타이타늄, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 세륨, 주석, 네오디뮴, 또는 하프늄 등의 금속)을 포함한 In-M-Zn계 산화물로 표기되는 막으로 할 수 있다. In-M-Zn계 산화물은 대표적으로는 스퍼터링법으로 형성할 수 있다. 또는 ALD(Atomic layer deposition)법을 사용하여 형성하여도 좋다.

[0160] 스퍼터링법으로 In-M-Zn계 산화물을 형성하는 데 사용하는 스퍼터링 타깃의 금속 원소의 원자수비는 InÃM, Zn≥M을 충족시키는 것이 바람직하다. 이와 같은 스퍼터링 타깃의 금속 원소의 원자수비로서는 In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=3:1:2, In:M:Zn=4:2:3, In:M:Zn=4:2:4.1, In:M:Zn=5:1:6, In:M:Zn=5:1:7, In:M:Zn=5:1:8 등이 바람직하다. 또한 성막되는 반도체층의 원자수비는 각각 상기 스퍼터링 타깃에 포함되는 금속 원소의 원자수비의 ±40%의 변동을 포함한다.

[0161] 반도체층에는 캐리어 농도가 낮은 산화물 반도체를 사용한다. 예를 들어 반도체층에는 캐리어 농도가 $1\times10^{17}/cm^3$ 이하, 바람직하게는 $1\times10^{15}/cm^3$ 이하, 더 바람직하게는 $1\times10^{13}/cm^3$ 이하, 더 바람직하게는 $1\times10^{11}/cm^3$ 이하, 더 바람직하게는 $1\times10^{10}/cm^3$ 미만이고 $1\times10^{-9}/cm^3$ 이상인 산화물 반도체를 사용할 수 있다. 이러한 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체라고 한다. 상기 산화물 반도체는 결함 준위 밀도가 낮고, 안정적인 특성을 가지는 산화물 반도체라고 할 수 있다.

[0162] 또한 이들에 한정되지 않고, 필요로 하는 트랜지스터의 반도체 특성 및 전기 특성(전계 효과 이동도, 문턱 전압 등)에 따라 적절한 조성의 산화물 반도체를 사용하면 좋다. 또한 필요로 하는 트랜지스터의 반도체 특성을 얻기 위하여, 반도체층의 캐리어 농도, 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자 간 거리, 밀도 등을 적절하게 하는 것이 바람직하다.

[0163] 반도체층을 구성하는 산화물 반도체에 14족 원소의 하나인 실리콘 또는 탄소가 포함되면, 산소 결손이 증가되어 n형화된다. 그러므로 반도체층에서의 실리콘 또는 탄소의 농도(이차 이온 질량 분석법으로 얻어지는 농도)를 $2\times10^{18}atoms/cm^3$ 이하, 바람직하게는 $2\times10^{17}atoms/cm^3$ 이하로 한다.

[0164] 또한 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합되면 캐리어를 생성하는 경우가 있어, 트랜지스터의 오프 전류가 증대되는 경우가 있다. 그러므로 반도체층에서의 알칼리 금속 또는 알칼리 토금속의 농도(이차 이온 질량 분석법으로 얻어지는 농도)를 $1\times10^{18}atoms/cm^3$ 이하, 바람직하게는 $2\times10^{16}atoms/cm^3$ 이하로 한다.

[0165] 또한 반도체층을 구성하는 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 농도가 증가되어 반도체층이 n형화되기 쉽다. 따라서 질소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 반도체층에서의 질소 농도(이차 이온 질량 분석법으로 얻어지는 농도)는 $5\times10^{18}atoms/cm^3$ 이하로 하는 것이 바람직하다.

[0166] 또한 반도체층을 구성하는 산화물 반도체에 수소가 포함되면, 금속 원자와 결합되는 산소와 반응하여 물이 되기

때문에, 산화물 반도체 내에 산소 결손을 형성하는 경우가 있다. 산화물 반도체 내의 채널 형성 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성을 가지는 경우가 있다. 또한 산소 결손에 수소가 들어간 결함은 도너로서 기능하고, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합되는 산소와 결합되어 캐리어인 전자가 생성되는 경우가 있다. 따라서 수소를 많이 포함하는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다.

[0167] 산소 결손에 수소가 들어간 결함은 산화물 반도체의 도너로서 기능할 수 있다. 그러나 상기 결함을 정량적으로 평가하는 것은 어렵다. 그러므로 산화물 반도체는 도너 농도가 아니라 캐리어 농도로 평가되는 경우가 있다. 따라서 본 명세서 등에서는 산화물 반도체의 파라미터로서, 도너 농도 대신에 전계가 인가되지 않는 상태를 상정한 캐리어 농도를 사용하는 경우가 있다. 즉 본 명세서 등에 기재되는 "캐리어 농도"는 "도너 농도"라고 바꿔 말할 수 있는 경우가 있다.

[0168] 그러므로 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 얻어지는 산화물 반도체의 수소 농도를 1×10^{20} atoms/cm^3 미만, 바람직하게는 1×10^{19} atoms/cm^3 미만, 더 바람직하게는 5×10^{18} atoms/cm^3 미만, 더 바람직하게는 1×10^{18} atoms/cm^3 미만으로 한다. 수소 등의 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정적인 전기 특성을 부여할 수 있다.

[0169] 또한 반도체층은 예를 들어 비단결정 구조를 가져도 좋다. 비단결정 구조에는 예를 들어 c축 배향된 결정을 가지는 CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor), 다결정 구조, 미결정 구조, 또는 비정질 구조가 포함된다. 비단결정 구조에서 비정질 구조는 결함 준위 밀도가 가장 높고, CAAC-OS는 결함 준위 밀도가 가장 낮다.

[0170] 비정질 구조를 가지는 산화물 반도체막은 예를 들어 원자 배열이 무질서하고 결정 성분을 가지지 않는다. 또는 비정질 구조를 가지는 산화물막은 예를 들어 완전한 비정질 구조이고 결정부를 가지지 않는다.

[0171] 또한 반도체층은 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중 2종류 이상을 가지는 혼합막이어도 좋다. 혼합막은 예를 들어 상술한 영역 중 어느 2종류 이상을 포함하는 단층 구조 또는 적층 구조를 가지는 경우가 있다.

[0172] 이하에서는 비단결정의 반도체층의 일 형태인 CAC(Cloud-Aligned Composite)-OS의 구성에 대하여 설명한다.

[0173] CAC-OS란, 예를 들어 산화물 반도체를 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 그 근방의 크기로 편재(偏在)된 재료의 한 구성이다. 또한 이하에서는 산화물 반도체에서 하나 또는 그 이상의 금속 원소가 편재되고, 이 금속 원소를 포함한 영역이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 그 근방의 크기로 혼합된 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.

[0174] 또한 산화물 반도체는 적어도 인듐을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.

[0175] 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS(CAC-OS 중에서도 In-Ga-Zn 산화물을 특히 CAC-IGZO라고 하여도 좋음)란, 인듐 산화물(이하, InO_{X1}(X1은 0보다 큰 실수(實數))로 함) 또는 인듐 아연 산화물(이하, $In_{X2}Zn_{Y2}O_{Z2}$(X2, Y2, 및 Z2는 0보다 큰 실수)로 함)과, 갈륨 산화물(이하, GaO_{X3}(X3은 0보다 큰 실수)으로 함) 또는 갈륨 아연 산화물(이하, $Ga_{X4}Zn_{Y4}O_{Z4}$(X4, Y4, 및 Z4는 0보다 큰 실수)로 함) 등으로 재료가 분리되어 모자이크 패턴을 형성하고, 모자이크 패턴의 InO_{X1} 또는 $In_{X2}Zn_{Y2}O_{Z2}$가 막 내에 균일하게 분포된 구성(이하, 클라우드상(cloud-like)이라고도 함)을 말한다.

[0176] 즉 CAC-OS는 GaO_{X3}이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역이 혼합된 구성을 가지는 복합 산화물 반도체이다. 또한 본 명세서에서 예를 들어 제 1 영역의 원소 M에 대한 In의 원자수비가 제 2 영역의 원소 M에 대한 In의 원자수비보다 높은 경우, 제 1 영역은 제 2 영역보다 In의 농도가 높은 것으로 한다.

[0177] 또한 IGZO는 통칭이며, In, Ga, Zn, 및 O로 이루어지는 하나의 화합물을 말하는 경우가 있다. 대표적인 예로서

는 $InGaO_3(ZnO)_{m1}$(m1은 자연수) 또는 $In_{(1+x0)}Ga_{(1-x0)}O_3(ZnO)_{m0}$(-1≤x0≤1, m0은 임의의 수)으로 나타내어지는 결정성 화합물을 들 수 있다.

[0178] 상기 결정성 화합물은 단결정 구조, 다결정 구조, 또는 CAAC 구조를 가진다. 또한 CAAC 구조란, 복수의 IGZO의 나노 결정이 c축 배향을 가지고, 또한 a-b면에서는 배향하지 않고 연결된 결정 구조를 말한다.

[0179] 한편으로, CAC-OS는 산화물 반도체의 재료 구성에 관한 것이다. CAC-OS란 In, Ga, Zn, 및 O를 포함하는 재료 구성에서, Ga을 주성분으로 하는 나노 입자상의 영역이 일부에서 관찰되고, In을 주성분으로 하는 나노 입자상의 영역이 일부에서 관찰되고, 각각이 모자이크 패턴으로 불균일하게 분산된 구성을 말한다. 따라서 CAC-OS에서 결정 구조는 부차적인 요소이다.

[0180] 또한 CAC-OS는 조성이 다른 2종류 이상의 막의 적층 구조를 포함하지 않는 것으로 한다. 예를 들어 In을 주성분으로 하는 막과 Ga을 주성분으로 하는 막의 2층으로 이루어지는 구조는 포함하지 않는다.

[0181] 또한 GaO_{X3}이 주성분인 영역과 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역 사이에서는 명확한 경계가 관찰되지 않는 경우가 있다.

[0182] 또한 갈륨 대신에 알루미늄, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류가 포함되는 경우, CAC-OS란, 상기 금속 원소를 주성분으로 하는 나노 입자상의 영역이 일부에서 관찰되고, In을 주성분으로 하는 나노 입자상의 영역이 일부에서 관찰되고, 각각이 모자이크 패턴으로 불균일하게 분산된 구성을 말한다.

[0183] CAC-OS는 예를 들어 기판을 의도적으로 가열하지 않는 조건에서 스퍼터링법으로 형성할 수 있다. 또한 CAC-OS를 스퍼터링법으로 형성하는 경우, 성막 가스로서 불활성 가스(대표적으로는 아르곤), 산소 가스, 및 질소 가스 중에서 선택된 어느 하나 또는 복수를 사용하면 좋다. 또한 성막 시의 성막 가스의 총유량에 대한 산소 가스의 유량비는 낮을수록 바람직하고, 예를 들어 산소 가스의 유량비를 0% 이상 30% 미만, 바람직하게는 0% 이상 10% 이하로 하는 것이 바람직하다.

[0184] CAC-OS는 X선 회절(XRD: X-ray diffraction) 측정법의 하나인 Out-of-plane법에 의한 Θ/2Θ 스캔을 사용하여 측정하였을 때, 명확한 피크가 관찰되지 않는다는 특징을 가진다. 즉 X선 회절 측정으로부터 측정 영역의 a-b면 방향 및 c축 방향의 배향이 보이지 않는다는 것을 알 수 있다.

[0185] 또한 CAC-OS는 프로브 직경이 1nm인 전자선(나노 빔 전자선이라고도 함)을 조사함으로써 얻어지는 전자 회절 패턴에서, 휘도가 높은 링 형상의 영역과, 상기 링 형상의 영역 내의 복수의 휘점이 관측된다. 따라서 전자 회절 패턴으로부터 CAC-OS의 결정 구조가 평면 방향 및 단면 방향에서 배향성을 가지지 않는 nc(nano-crystal) 구조를 가지는 것을 알 수 있다.

[0186] 또한 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS는 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 매핑으로부터, GaO_{X3}이 주성분인 영역과 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역이 편재되고 혼합된 구조를 가지는 것을 확인할 수 있다.

[0187] CAC-OS는 금속 원소가 균일하게 분포된 IGZO 화합물과는 다른 구조이고, IGZO 화합물과는 다른 성질을 가진다. 즉 CAC-OS는 GaO_{X3} 등이 주성분인 영역과 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역으로 서로 상분리(相分離)되어, 각 원소를 주성분으로 하는 영역이 모자이크 패턴을 형성하는 구조를 가진다.

[0188] 여기서, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역은 GaO_{X3} 등이 주성분인 영역보다 도전성이 높다. 즉 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역을 캐리어가 흐름으로써, 산화물 반도체로서의 도전성이 나타난다. 따라서 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역이 산화물 반도체 내에 클라우드상으로 분포됨으로써 높은 전계 효과 이동도(μ)를 실현할 수 있다.

[0189] 한편으로, GaO_{X3} 등이 주성분인 영역은 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역보다 절연성이 높다. 즉 GaO_{X3} 등이 주성분인 영역이 산화물 반도체 내에 분포됨으로써, 누설 전류를 억제하고 양호한 스위칭 동작을 실현할 수 있다.

[0190] 따라서 CAC-OS를 반도체 디바이스에 사용한 경우, GaO_{X3} 등에 기인하는 절연성과 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}에 기인하

는 도전성이 상보적으로 작용함으로써, 높은 온 전류(I_{on}) 및 높은 전계 효과 이동도(μ)를 실현할 수 있다.

[0191] 또한 CAC-OS를 사용한 반도체 디바이스는 신뢰성이 높다. 따라서 CAC-OS는 다양한 반도체 장치의 구성 재료로서 적합하다.

[0192] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0193] (실시형태 3)

[0194] 본 발명의 일 형태에 따른 표시 장치를 사용할 수 있는 전자 기기로서, 표시 기기, 퍼스널 컴퓨터, 기록 매체를 포함하는 화상 기억 장치 또는 화상 재생 장치, 휴대 전화기, 휴대용을 포함한 게임기, 휴대 데이터 단말기, 전자책 단말기, 비디오 카메라, 디지털 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다.

[0195] 도 12의 (A)는 디지털 카메라를 나타낸 것이고, 하우징(961), 셔터 버튼(962), 마이크로폰(963), 스피커(967), 표시부(965), 조작 키(966), 줌 레버(968), 렌즈(969) 등을 가진다. 표시부(965)에 본 발명의 일 형태의 표시 장치를 사용할 수 있다.

[0196] 도 12의 (B)는 휴대용 정보 단말기를 나타낸 것이고, 하우징(911), 표시부(912), 스피커(913), 조작 버튼(914), 카메라(919) 등을 가진다. 표시부(912)가 가지는 터치 패널 기능에 의하여 정보를 입출력할 수 있다. 표시부(912)에 본 발명의 일 형태의 표시 장치를 사용할 수 있다.

[0197] 도 12의 (C)는 블랙박스를 나타낸 것이고, 하우징(931), 표시부(932), 조작 버튼(933), 마이크로폰(934), 렌즈(935), 장착 부품(936) 등을 가진다. 장착 부품(936)을 사용하여 자동차의 앞유리 등에 고정함으로써, 주행 시에 앞쪽의 상황을 녹화할 수 있다. 표시부(932)에서는 녹화된 화상을 표시할 수 있다. 표시부(932)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0198] 도 12의 (D)는 텔레비전을 나타낸 것이고, 하우징(971), 표시부(973), 조작 버튼(974), 스피커(975), 통신용 접속 단자(976), 광 센서(977) 등을 가진다. 표시부(973)에는 터치 센서가 제공되고, 입력 조작을 수행할 수도 있다. 표시부(973)에 본 발명의 일 형태의 표시 장치를 사용할 수 있다.

[0199] 도 12의 (E)는 디지털 사이니지를 나타낸 것이고, 대형 표시부(922)를 가진다. 디지털 사이니지는 예를 들어 기둥(921)의 측면에 대형 표시부(922)가 장착된다. 표시부(922)에 본 발명의 일 형태의 표시 장치를 사용할 수 있다.

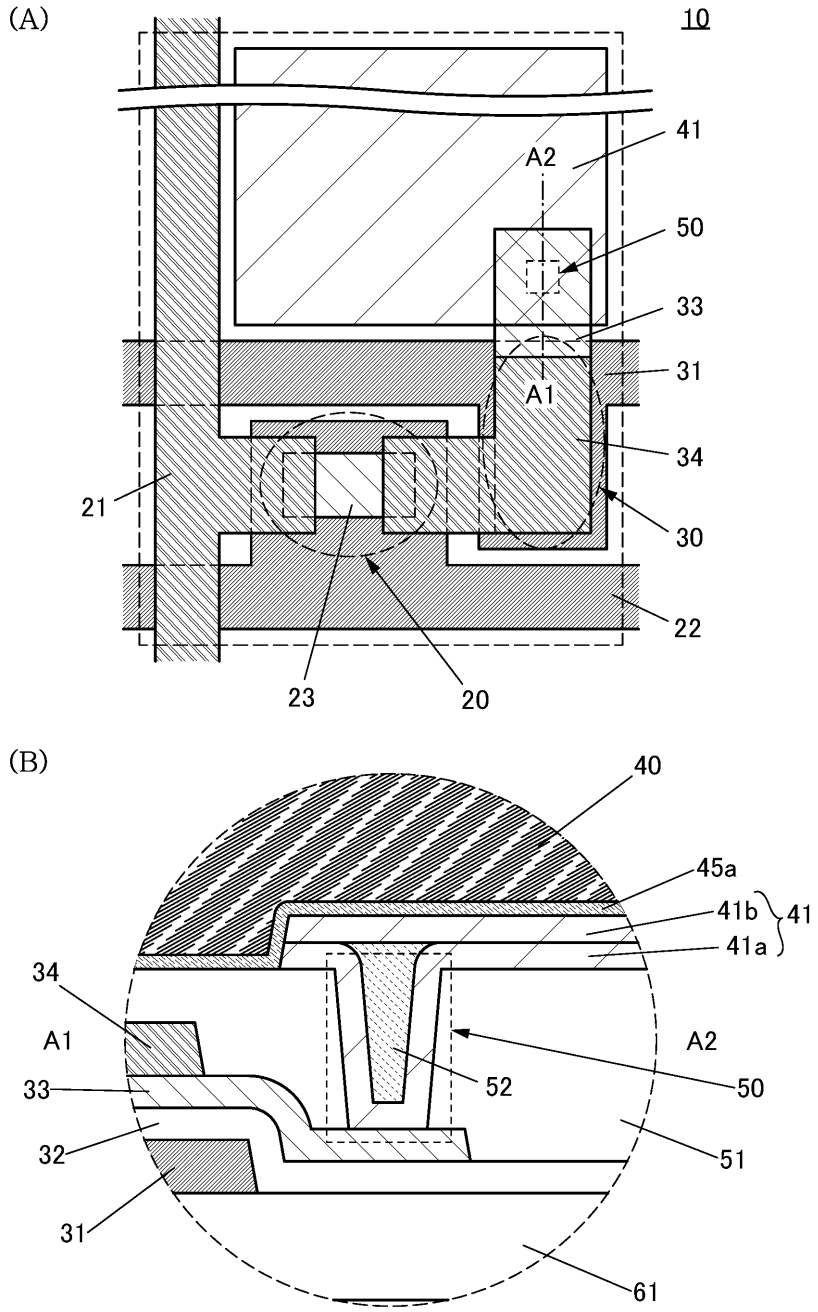
[0200] 본 실시형태는 다른 실시형태에 기재되는 구성과 적절히 조합하여 실시할 수 있다.

부호의 설명

[0201] 10: 화소, 11: 액정 표시 장치, 13: 화소 어레이, 20: 트랜지스터, 21: 배선, 22: 배선, 23: 반도체층, 25: 트랜지스터, 27: 전극, 28: 배선, 29: 전극, 30: 커패시터, 31: 배선, 32: 절연층, 33: 배선, 34: 배선, 40x: 배향 불량 영역, 40: 액정층, 41a: 도전층, 41b: 도전층, 41: 화소 전극, 42: 대향 전극, 43: 착색층, 44: 차광층, 45a: 배향막, 45b: 배향막, 47: 액정 디바이스, 48: 절연층, 50: 개구부, 51: 절연층, 52: 절연층, 53: 절연층, 54: 절연층, 61: 기판, 62: 기판, 65: 스페이서, 71: 편광판, 72: 편광판, 81: 백라이트 장치, 82: 트랜지스터, 83: 발광 다이오드, 84: 발광 유닛, 85: LED 어레이, 86: 트랜지스터, 87: 트랜지스터, 88: 트랜지스터, 89: 색 변환층, 91a: 게이트 드라이버, 91b: 게이트 드라이버, 92a: 소스 드라이버, 92b: 소스 드라이버, 215: 표시부, 405: 실재, 418: FPC, 419: 이방성 도전층, 441: 인쇄 기판, 442: 집적 회로, 458: FPC, 459: 이방성 도전층, 461: 전극, 462: 배선, 701a: 게이트 전극, 701b: 게이트 전극, 702: 게이트 절연막, 703: 산화물 반도체층, 704: 소스 전극, 705: 드레인 전극, 706: 소스 영역, 707: 드레인 영역, 708: 게이트 절연막, 911: 하우징, 912: 표시부, 913: 스피커, 914: 조작 버튼, 919: 카메라, 921: 기둥, 922: 표시부, 931: 하우징, 932: 표시부, 933: 조작 버튼, 934: 마이크로폰, 935: 렌즈, 936: 장착 부품, 961: 하우징, 962: 셔터 버튼, 963: 마이크로폰, 965: 표시부, 966: 조작 키, 967: 스피커, 968: 줌 레버, 969: 렌즈, 971: 하우징, 973: 표시부, 974: 조작 버튼, 975: 스피커, 976: 통신용 접속 단자, 977: 광 센서

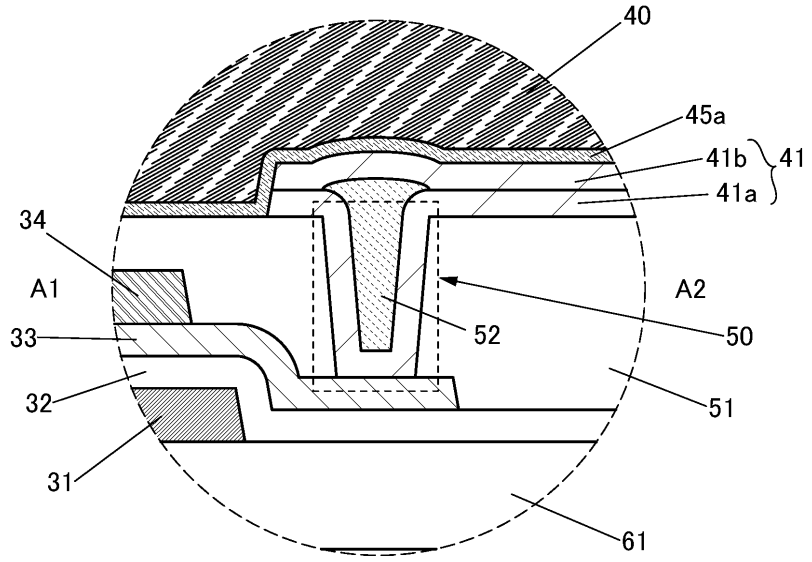
도면

도면1

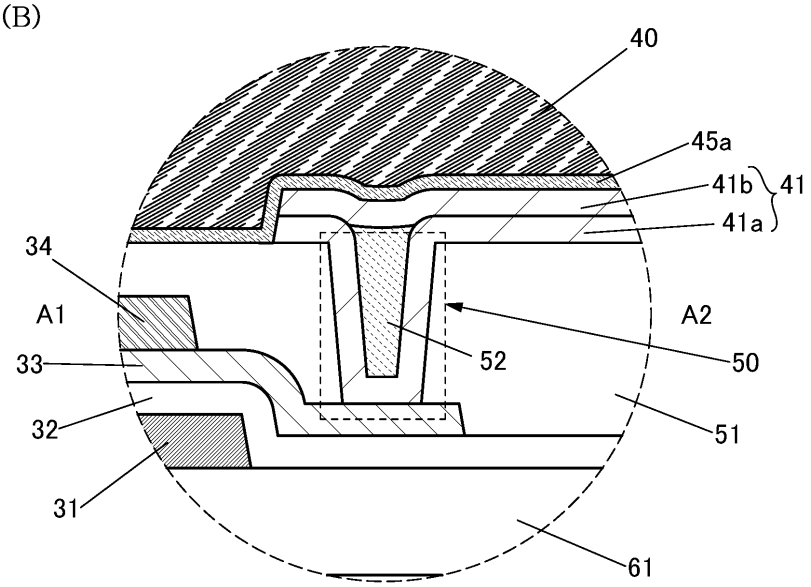

(A)
10
41
A2
50
33
31
A1
34
21
30
22
23
20
(B)
40
45a
41b
41
41a
34
A1
A2
33
52
50
32
51
31
61

도면2

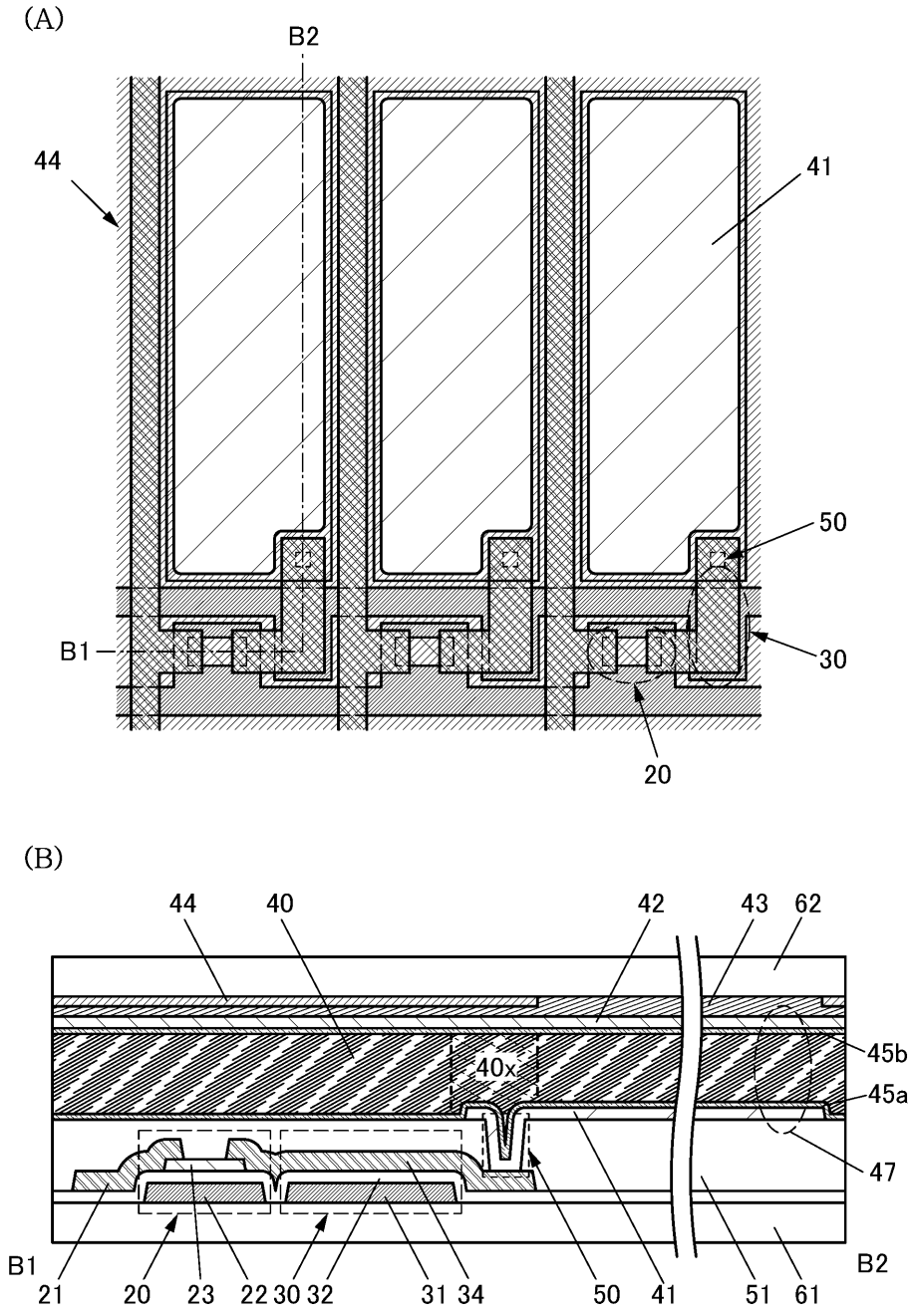
(A)


40
45a
41b
41
41a
34
A1
A2
33
52
50
32
51
31
61

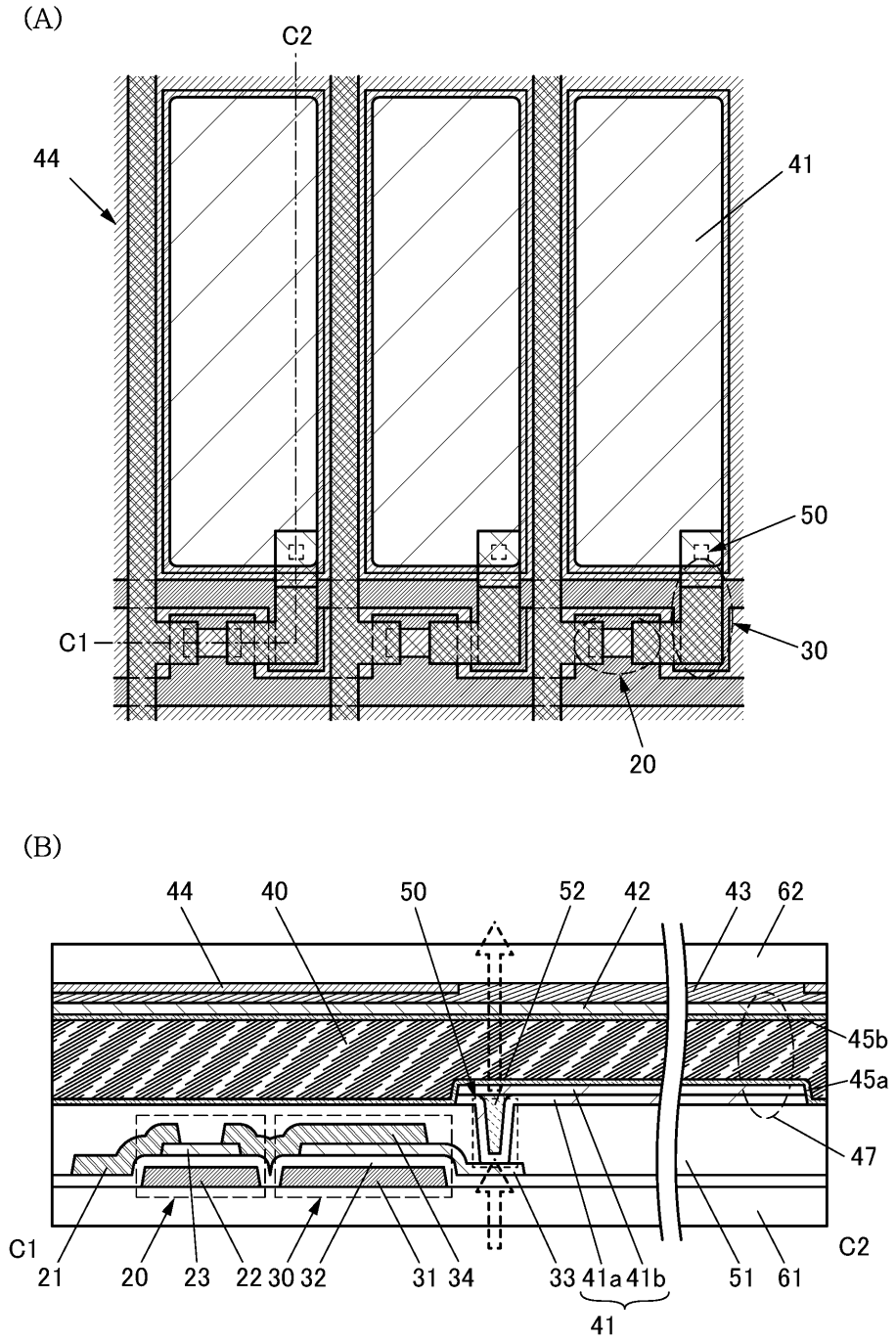
(B)


40
45a
41b
41
41a
34
A1
A2
33
52
50
32
51
31
61

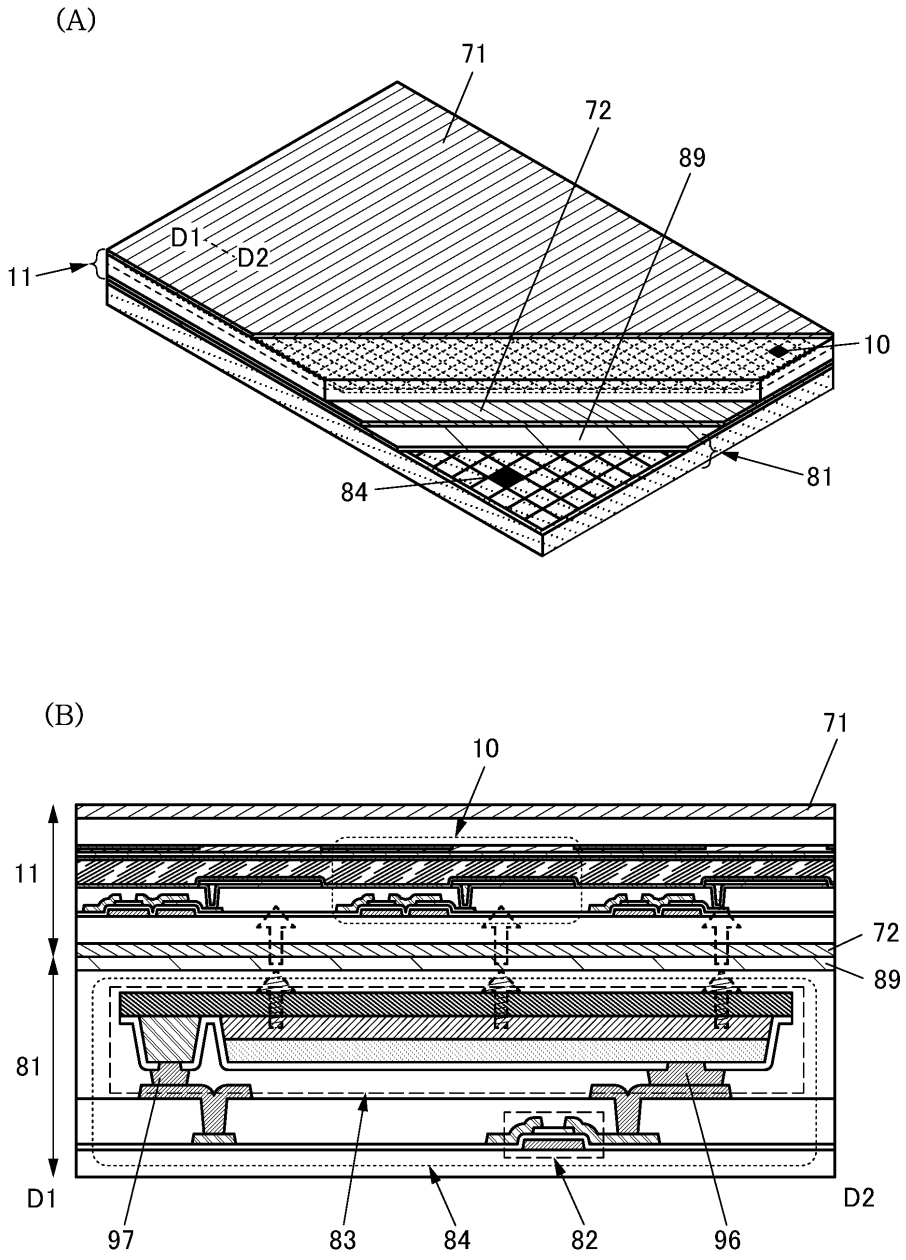
도면3


(A)
B2
44
41
50
B1
30
20
(B)
44
40
42
43
62
45b
40x
45a
47
B1
B2
21
20
23
22
30
32
31
34
50
41
51
61

도면4

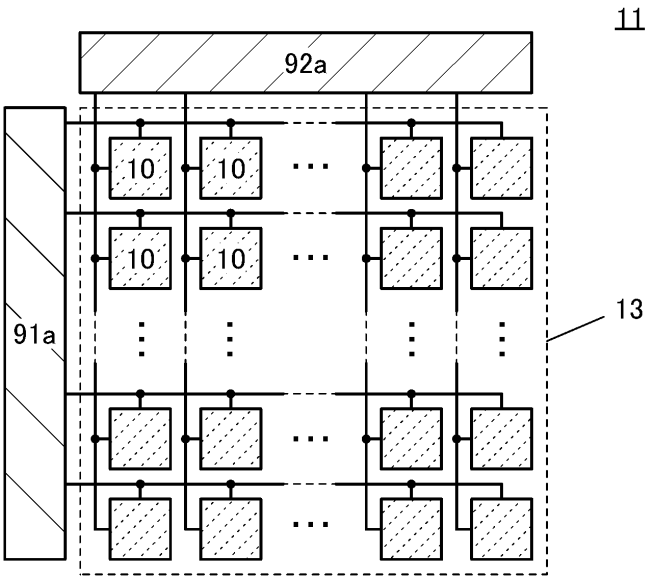

(A)
C2
44
41
50
C1
30
20
(B)
44
40
50
52
42
43
62
45b
45a
47
C1
21
20
23
22
30
32
31
34
33
41a
41b
41
51
61
C2

도면5

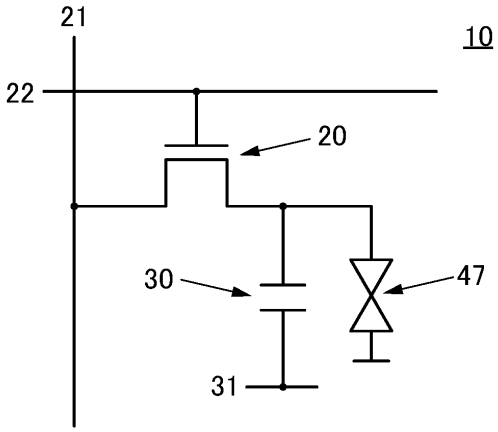


도면6

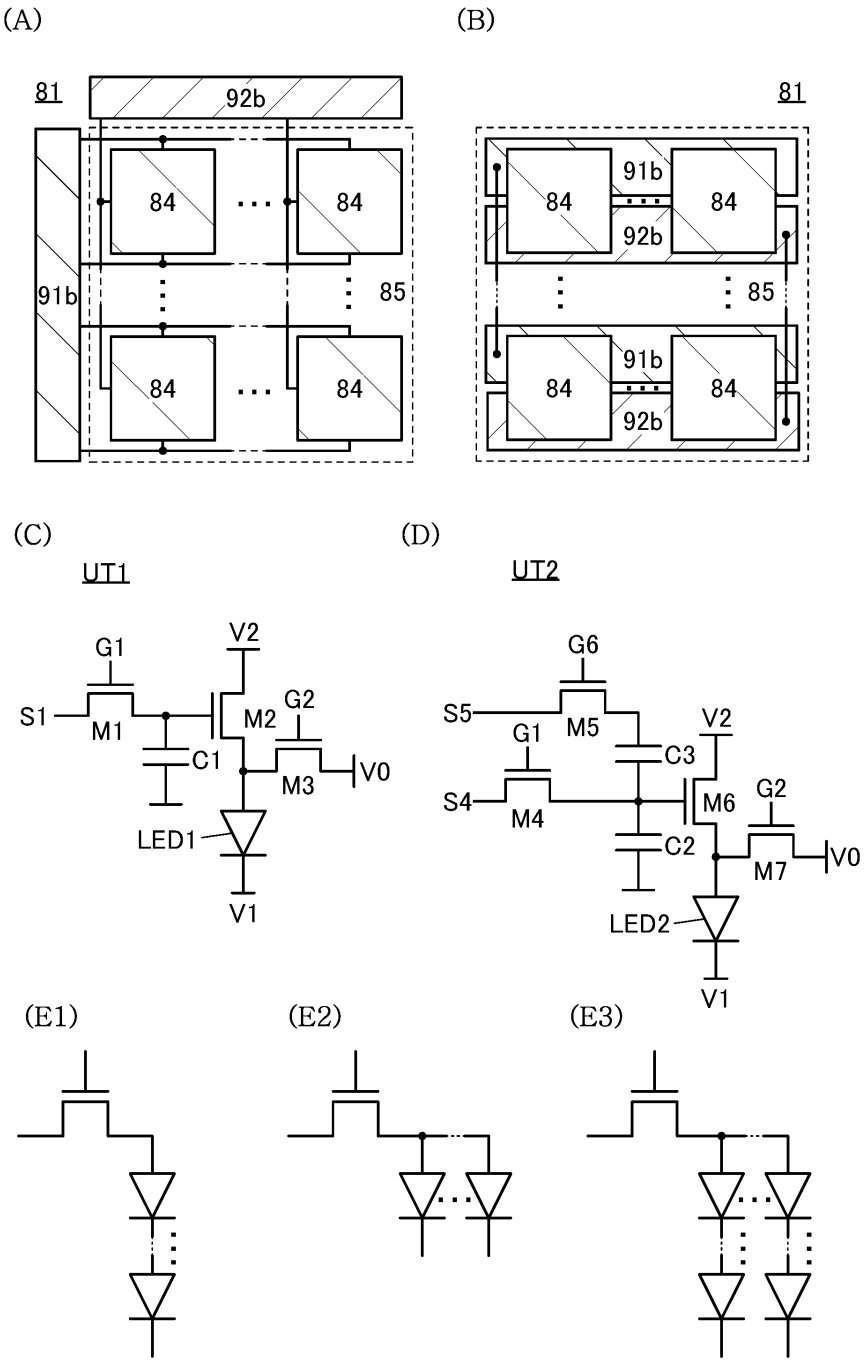
(A)



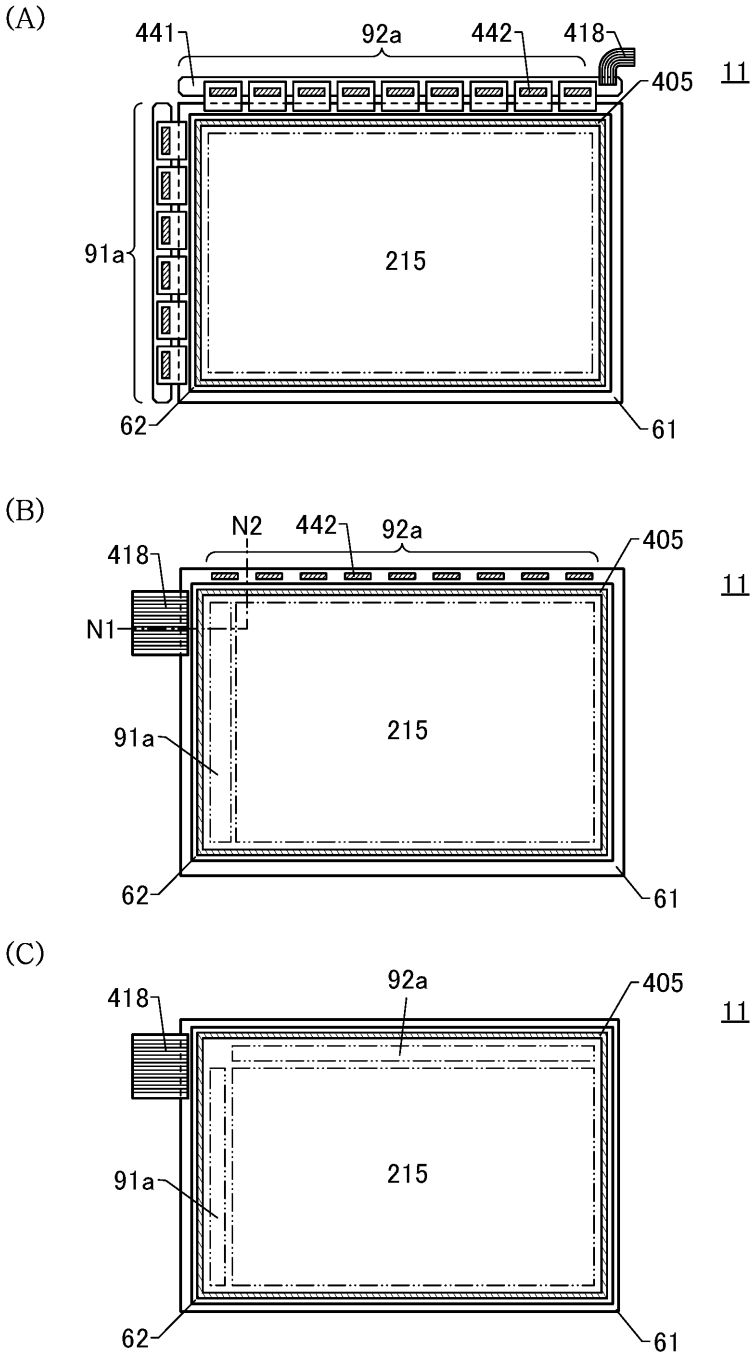
(B)



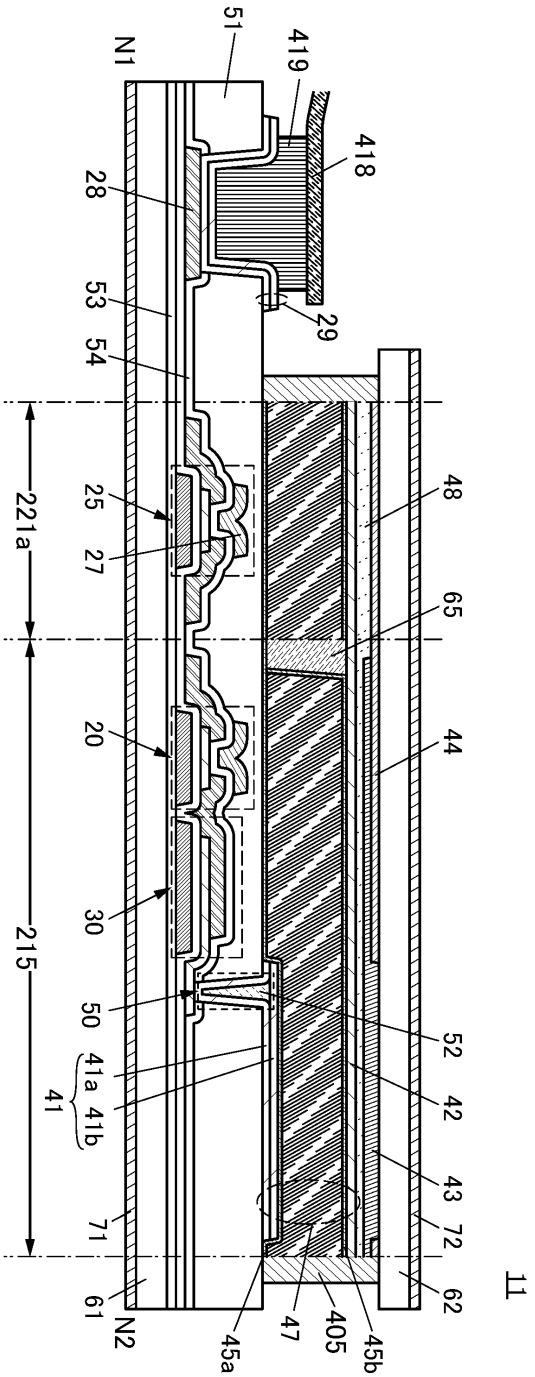
도면7


(A)
(B)
81
92b
84
91b
85
(C)
(D)
UT1
UT2
G1
V2
S1
M1
M2
G2
C1
M3
V0
LED1
V1
G6
S5
M5
C3
S4
M4
M6
C2
M7
LED2
(E1)
(E2)
(E3)

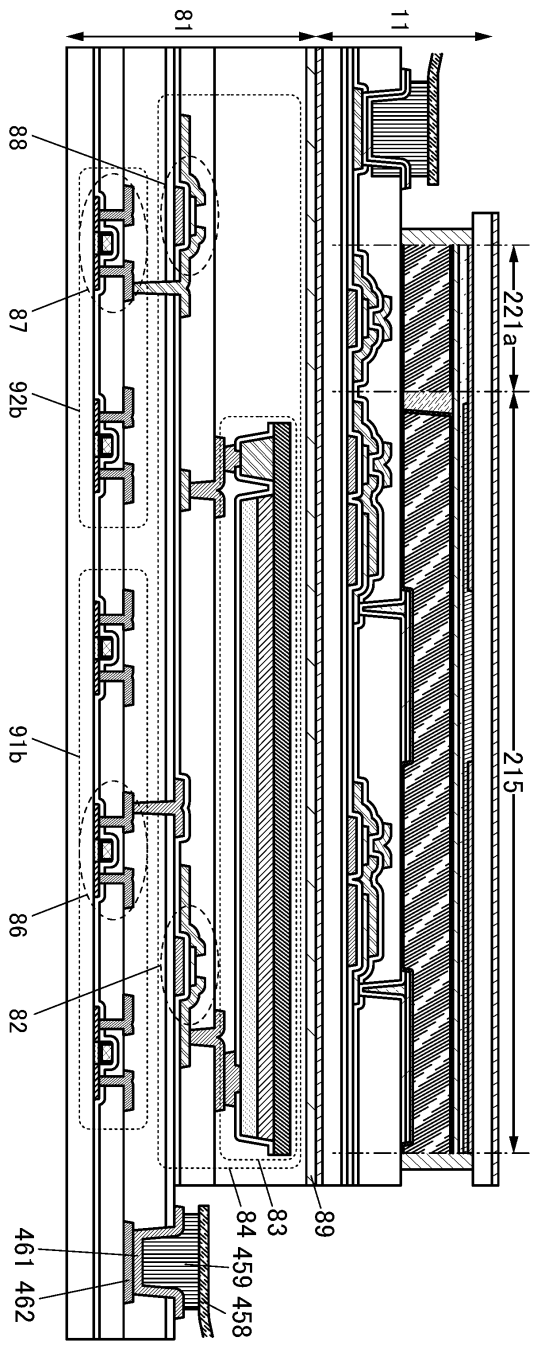
도면8


(A)
441
92a
442
418
405
11
91a
215
62
61
(B)
N2
442
92a
405
418
11
N1
91a
215
62
61
(C)
92a
405
418
11
91a
215
62
61

도면9

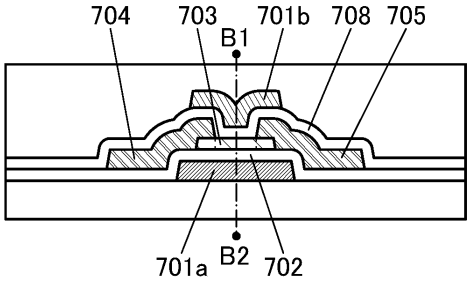

11
N1
N2
51
419
418
29
28
53
54
25
27
20
30
50
41a
41b
41
71
61
48
65
44
52
42
43
72
62
47
405
45a
45b
221a
215

도면10

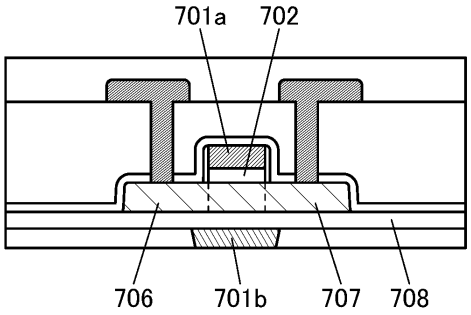


도면11

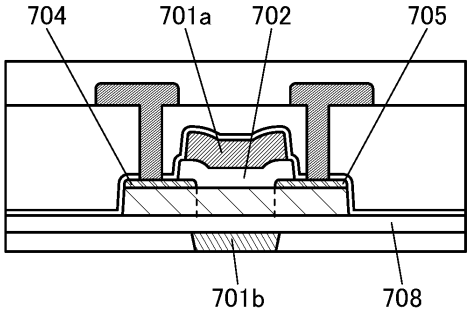
(A)


704
703
B1
701b
708
705
701a
B2
702

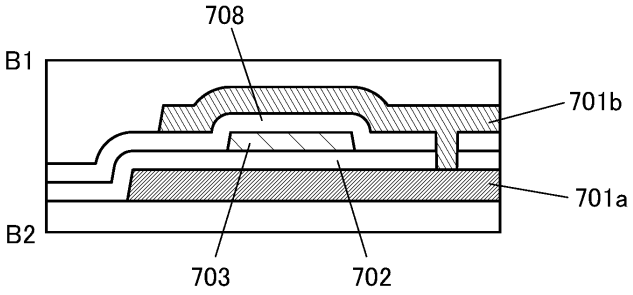
(B)


701a
702
706
701b
707
708

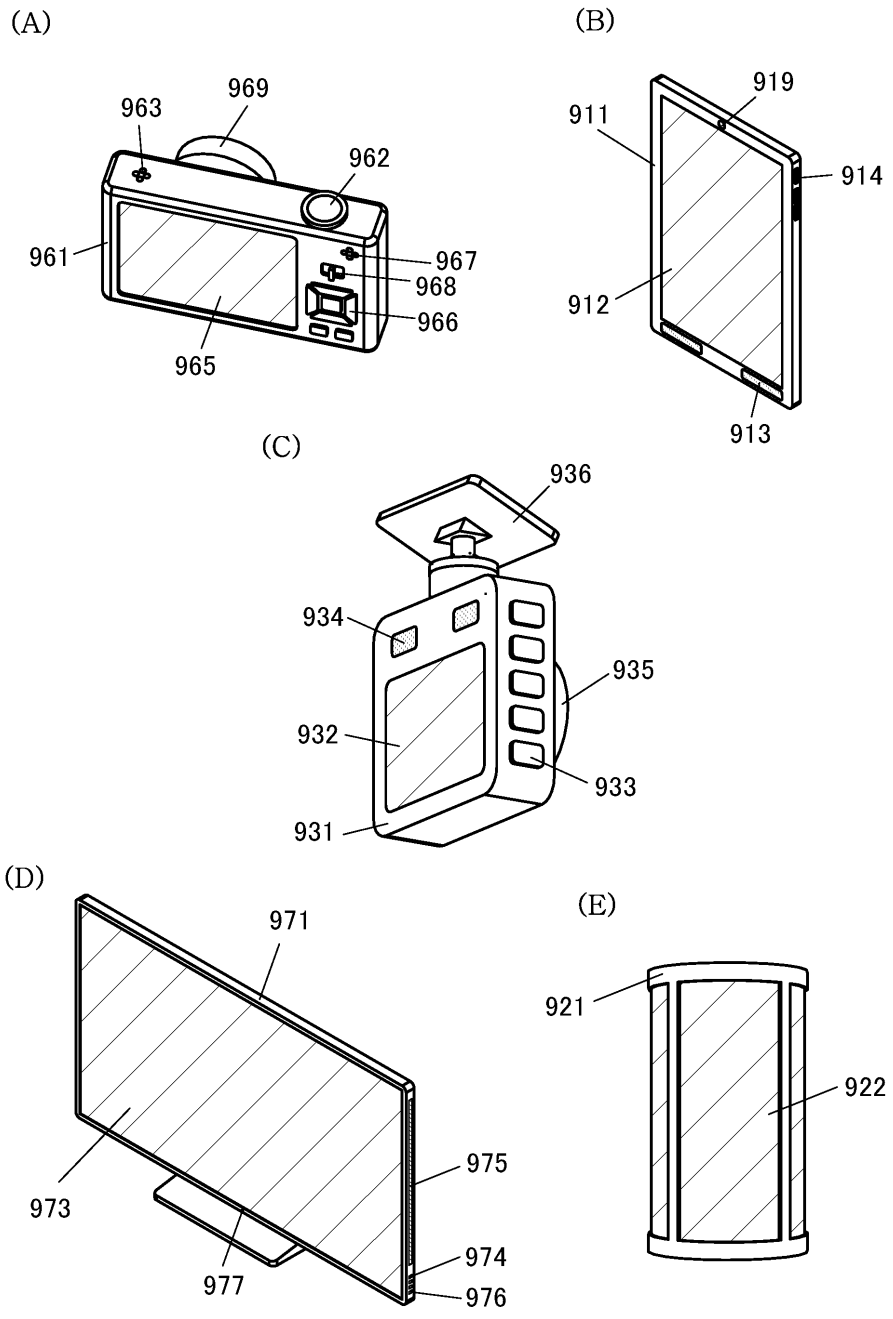
(C)


704
701a
702
705
701b
708

(D)


708
B1
701b
701a
B2
703
702

도면12


(A)
963
969
962
961
967
968
966
965
(B)
919
911
914
912
913
(C)
936
934
935
932
933
931
(D)
971
973
975
974
977
976
(E)
921
922