

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3940176号

(P3940176)

(45) 発行日 平成19年7月4日(2007.7.4)

(24) 登録日 平成19年4月6日(2007.4.6)

(51) Int. Cl.	F I
HO 1 L 27/10 (2006.01)	HO 1 L 27/10 3 1 1
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 C
HO 1 L 27/04 (2006.01)	HO 1 L 27/10 4 2 1

請求項の数 5 (全 14 頁)

(21) 出願番号 特願平10-530742	(73) 特許権者 503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号
(86) (22) 出願日 平成10年1月8日(1998.1.8)	(74) 代理人 110000350 ポレール特許業務法人
(86) 国際出願番号 PCT/JP1998/000027	(72) 発明者 三木 浩史 東京都新宿区上落合1丁目8番17号401号室
(87) 国際公開番号 W01998/031053	(72) 発明者 中井 浩巳 神奈川県横浜市青葉区あざみ野2丁目35番4号 カーサコスモスB101号室
(87) 国際公開日 平成10年7月16日(1998.7.16)	(72) 発明者 櫛田 恵子 東京都小平市小川東町1丁目23番14号301号室
審査請求日 平成14年8月9日(2002.8.9)	
(31) 優先権主張番号 特願平9-3571	
(32) 優先日 平成9年1月13日(1997.1.13)	
(33) 優先権主張国 日本国(JP)	

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

第1の電極と、前記第1の電極と接して設けられた高強誘電体膜と、前記高強誘電体膜に接して設けられた第2の電極とから構成される蓄積容量部と、
前記蓄積容量部に設けられた水素拡散バリア層と、
前記水素拡散バリア層上に設けられた水素吸着阻止層と、前記水素拡散バリア層と前記水素吸着阻止層との間の反応バリア層とを有することを特徴とする半導体記憶装置。

【請求項2】

前記吸着阻止層は、銀、アルミニウム、シリコン、鉛、ビスマス、金、亜鉛、カドミウム、インジウム、ゲルマニウム、錫の何れかからなる層であることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】

前記水素拡散バリア層は、チタン、タングステン、タンタル、モリブデン、又はこれらの合金若しくは窒化物、タングステン、ルテニウム、イリジウム、パラジウム、オスミウム、酸化ルテニウム、酸化イリジウム、酸化パラジウム、酸化オスミウム、白金酸化物、又は、タングステン、ルテニウム、イリジウム、パラジウム、オスミウムの何れかの合金の酸化物からなる層であることを特徴とする請求項1に記載の半導体記憶装置。

【請求項4】

前記反応バリア層は、チタン、タングステン、タンタル、モリブデン、又はこれらの合金、あるいは窒化物の何れかであることを特徴とする請求項1に記載の半導体記憶装置。

10

20

【請求項5】

前記高強誘電体膜は、チタン酸バリウムストロンチウム、チタン酸ジルコニウム酸鉛であることを特徴とする請求項1記載の半導体記憶装置。

【発明の詳細な説明】

技術分野

本発明は、半導体記憶装置、特に高強誘電体を用いたコンデンサを有する半導体記憶装置に関する。

背景技術

従来のシリコン酸化膜に比べて誘電率の高い高誘電体、あるいはシリコン窒化膜に比べてさらに誘電率の高い強誘電体 (Ferroelectric) を用いるコンデンサは、単位面積あたりの静電容量が大きいために、特に大規模DRAMのような、小面積で大きな静電容量を必要とする応用が検討されている。なお、本明細書では、高誘電体とはシリコン酸化膜よりも誘電率が高いものをいい、強誘電体とは、自発分極を有しており、それが電界によって反転できるものをいう。特に、強誘電体としては (Ba, Sr) TiO₃ (以下BST)、Pb (Zr, Ti) O₃ (以下PZT) のような複合金属酸化物が検討されている。これらの成膜時の劣化を抑止するために、通常、下部電極は耐酸化性のある白金など貴金属が用いられる。一方、上部電極は、成膜後に形成されることが一般的であるが、コンデンサ形成後熱処理工程での高誘電体との反応を避けるため、やはり白金で形成することが一般的である。

たとえば、米国特許第5,005,102号によると、下部電極は白金/窒化チタン/チタンの構造を持ち、上部電極は、アルミニウム/チタン/白金の構造を持っている。特に上部電極については、アルミニウムが電氣的接触層 (Electrical Contact)、チタンが拡散による反応のバリア層 (Diffusion Barrier)、白金がプレート層 (Plate Layer) の役割を持つことが示されている。

また、これらを用いるメモリを製造する場合には、コンデンサを作成した後に、このコンデンサに対する電氣的な接続を行なう配線層、及び、メモリセルとメモリチップ外部との電氣的な変換を行なう周辺回路部分に関わる配線層が形成される。このため、各配線層の間、及び、これら配線層とコンデンサとの間の電氣的絶縁をとるために、層間絶縁膜を形成する必要があるが、この工程は配線層の劣化を防ぐために還元性あるいは弱い酸化性の雰囲気となる。また、周辺回路と配線層の電氣的接続を行なうスルーホールは、一般に開口部のサイズに比較して深さが大きい、アスペクト比の大きな形状となるため、タングステンなどをCVD法により形成するが、この際の雰囲気は、還元性である。これら還元性雰囲気での処理を経ることで、コンデンサは重大なダメージを被ることが知られている。例えば、マテリアル・リサーチ・ソサエティ・シンポジウム会議録第310巻1993年151頁から156頁 (Material Research Society Symposium Proceedings Vol. 310, pp. 151 - 156 (1993)) によると、CVDによるSiO₂膜を形成することにより、強誘電体であるPZTは強誘電性を失うとともに、リーク電流が増大することが報告されている。

さらに、半導体能動素子は、コンデンサ製造工程での熱処理、配線工程におけるプラズマ加工等で特性が劣化するが、配線工程終了後に400程度の水素中熱処理を加えることで、最終的にはこれらの劣化を修復することができる。従って、一般的に配線工程終了後に水素処理が行われているが、この水素処理は、層間絶縁膜工程と同様に、コンデンサ特性に影響を与えることが知られている。例えば第8回集積強誘電体国際シンポジウム、発表番号11c (1996年) (8th International Symposium on Integrated Ferroelectrics, 11c (1996)) によると、強誘電体としてSrBi₂Ta₂O₉ (以下SBT) を用いた場合には、水素雰囲気での処理を行なうとコンデンサが剥離したり、剥離しない場合にも洩れ電流特性の大幅な劣化を伴うことが報告されている。

なお、上記高誘電体及び上記強誘電体を総称して、以下に高強誘電体と言う。

本発明の目的は、上記高強誘電体の劣化を防止した、信頼性の高い半導体記憶装置を得る

10

20

30

40

50

ことにある。

発明の開示

(解決手段)

上記目的は、キャパシタ電極に到達する水素分子の量が 10^{13} 個 / cm^2 以下となるような膜を、キャパシタ電極に設けることによって達成される。望ましくは、水素分子が 10^{12} 個 / cm^2 以下となるような膜にすれば良い。

これら水素を含む処理における劣化原因を検討した結果、我々は劣化過程に電極である白金が関与していることが明らかになった。即ち、白金を電極として使用すると、水素分子が白金によって分解され、水素原子や水素ラジカル等の活性な水素が生成し、この活性水素が白金中を速やかに拡散して高強誘電体を劣化させる機構が明らかになった。

10

この機構が存在するために、通常、高強誘電体が還元されて劣化することは考えられないような低温、例えば 300°C で、コンデンサ特性が劣化したり、電極の剥離が起こっていることも判明した。

そこで、電極への水素分子の到達をできるだけ防ぐような膜を設けることで、高強誘電体膜の劣化を防止することが可能となる。

具体的には、水素分子の吸着が 10^{13} 個 / cm^2 以下、望ましくは 10^{12} 個 / cm^2 以下である膜を設ければ良い。このような、実質的に水素の吸着が起きない膜（以下、「吸着阻止層」という）を設けることによって、コンデンサ電極の一部である白金膜へ水素分子が到達する量を減少させ、結果的に、上記の活性水素の量を低下させることができる。これにより、高強誘電体コンデンサの配線形成工程での劣化、剥離が抑えられ、また、長期信

20

頼性の向上も認められた。この膜の材料としては、銀、アルミニウム、シリコン、鉛、ビスマス、金、亜鉛、カドミウム、インジウム、ゲルマニウム、錫が有効であった。これらの材料は、表面の原子配列が水素の吸着を妨げるような構成であるために、吸着を防止する効果がある。このように、白金よりも水素の吸着が起きにくい層を設けることで活性水素の生成を押さえる効果はあるが、アルミニウム膜だけを用いた場合には、水素の吸着が比較的多いため、さらに以下に述べる拡散防止層を設けると良い。また、これらの膜を白金電極に接して設けると、相互拡散が生じてしまうため、窒化チタン膜や窒化タングステン膜のような反応バリア層を間に設けると良い。

30

また、水素分子の拡散が 10^{13} 個 / cm^2 以下、望ましくは 10^{12} 個 / cm^2 以下である膜を設けて良い。このような水素分子の拡散を実質的になくす膜（以下「水素拡散バリア層」という）を設けることによって、水素分子の拡散する量が極めて少なくなり、コンデンサ電極に到達する水素分子量が減少し、コンデンサ電極によって活性水素が生成する量を低減することができる。この水素拡散バリア層として、具体的には、タングステンの他、導電性の酸化物、例えば、酸化ルテニウム、酸化イリジウム、酸化パラジウム、酸化オスミウム、白金酸化物、又は、ルテニウム、イリジウム、パラジウム、オスミウム、あるいは、これらの合金の酸化物が挙げられる。これらをコンデンサ電極に、上記の吸着阻止層を設けずに単独で形成する場合は、これらと白金電極とは反応性が小さいため、反応バリア層を設けなくても良い。

40

さらに、コンデンサ電極に、吸着阻止層と水素拡散バリア層を積層して設けると、コンデンサ電極に到達する水素分子の量がさらに少なくなり、より効果的である。この場合は、吸着阻止層及び水素拡散バリア層合わせて水素の電極への到達が 10^{12} 個 / cm^2 以下となっていれば良い。ただし、これらを積層する場合で、吸着阻止層と水素拡散バリア層の一方が酸化物である場合には、これらの反応を防止するため、間に反応バリア層と設けると良い。但し、これら双方が酸化物である場合には、この反応バリア層を設けなくても良い。

なお、反応バリア層としては、チタン、チタン合金、窒化チタンが挙げられる。またこの他、タングステン、タンタル、モリブデン、又はこれらの窒化物等を、水素拡散バリア層かつ反応バリア層として用いても良い。

50

nm以上0.5μm以下の膜厚であると良い。

また、コンデンサ電極は、白金に限らず、ルテニウム、イリジウム、パラジウム、ニッケル、オスニウム、レニウム及びこれらの酸化物の導電材を主成分とするものであっても良い。

また、水素拡散バリア層や吸着阻止層はコンデンサ電極の上部に形成しても効果が充分得られるが、上部だけでなく、側部にも形成した方がより効果がある。さらに、キャパシタ電極の下に形成しても、ウエハ基板側から拡散する水素分子のキャパシタ電極への侵入を防止する効果がある。具体的には以下の通りである。

コンデンサと、半導体能動素子とを設け、コンデンサと半導体能動素子との間に水素拡散バリア層を配置する。さらに、コンデンサの上に、水素吸着阻止層を配置することが好ましい。上記のコンデンサは、2つの電極が上下に置かれていても、左右に置かれていてもよく、2つの電極が上下に置かれているとき、水素吸着阻止層は、2つの電極の内の上部に配置された電極の一部を構成するようにしてもよい。

また、水素拡散バリア層は、その一部が上記2つの電極の内の一つと半導体能動素子とを電気的に接続する接続プラグの一部を構成することが好ましい。

さらに、水素拡散バリア層は、その一部がコンデンサと半導体能動素子との層間絶縁膜の一部を構成することが好ましい。このとき水素拡散バリア層は、酸化物絶縁体であることが好ましい。このような材料には、例えば、アルミニウム又はセリウムの酸化物を主成分とする材料が挙げられる。アルミニウム又はセリウムの酸化物は、通常絶縁層として用いられるSiO₂に含有されても用いることもできる。アルミニウム又はセリウムの酸化物は5重量%以上あればある程度の効果があり、10重量%以上であればより効果が認められる。これらの値の上限は、アルミニウム酸化物では加工性の点から、セリウムの酸化物では絶縁性の点から制限される。

さらに本発明の半導体装置は、前記のコンデンサが配置された領域と異なる領域に、第2の半導体能動素子を配置し、この第2の半導体能動素子の上部には水素拡散バリア層を配置しないことが好ましい。

(効果)

金属膜CVDなどの還元性雰囲気処理、層間絶縁膜形成工程など水素を含む処理による絶縁不良、電極剥離が防止でき、また、長期信頼性の向上が図れる。

【図面の簡単な説明】

第1図は本発明の一実施例を示すコンデンサの断面図、第2図は従来技術によるコンデンサの断面図、第3図は本発明の他の好適な実施例を示すコンデンサの断面図、第4図は本発明のコンデンサおよび従来技術によるコンデンサの絶縁破壊率を示す特性図、第5図は本発明のコンデンサおよび従来技術によるコンデンサの分極-電圧特性図、第6図は本発明の他の好適な実施例を示すコンデンサの断面図、第7図は本発明のコンデンサと、従来技術によるコンデンサの交番電界ストレスによる容量の劣化の比較を示す特性図、第8図は本実施例の材料選択による効果の差を示す特性図、第9図は本発明によるDRAMの部分断面図、第10図は本発明による不揮発動作モードつきDRAMの部分断面図、第11図は本発明の一実施例のDRAMの断面図、第12図は従来のDRAMの断面図、第13図は水素吸着解離阻止層の有無によるコンデンサの容量の比較を示す図、第14図は水素吸着解離阻止層の有無によるトランジスタの界面準位密度の比較を示す図、第15図は本発明及び従来のトランジスタの界面準位密度を示す図、第16図は本発明及び従来のトランジスタのコンデンサの絶縁耐圧特性を示す図、第17図は本発明の一実施例のDRAMの製造工程を示す図、第18図は本発明の一実施例のDRAMの製造工程を示す図、第19図は本発明の一実施例のDRAMの製造工程を示す図、第20図は本発明の一実施例のDRAMの製造工程を示す図、第21図は本発明の一実施例のDRAMの製造工程を示す図である。

発明を実施するための最良の形態

(実施例1)

本発明の好適な一実施例を第1図を参照して以下に説明する。

本発明によるコンデンサは、公知の方法で形成されたトランジスタを構成する素子層または半導体領域(101)上に、公知の方法で形成された下部電極(102)と高強誘電体薄膜(103)が形成されている。この上に、本発明の4層よりなる上部積層電極を形成した。すなわち、ショットキー障壁層(104)、水素拡散バリア層(105)、反応バリア層(106)、および吸着阻止層(107)からなっている。

なお、第1図は、上部積層電極を4層で構成しているが、複数の層の効果을合わせ持つ層により積層数を減らしたり、1つの層の役割を複数の層で構成することも可能であるので、積層数は増減するが、これらはすべて本発明に含まれるものである。また、ここで言うトランジスタは、具体的にはスイッチ素子としての絶縁ゲート型電界効果トランジスタを構成している。

次に、各層の働きを述べる。ショットキー障壁層(104)は、高強誘電体層と接触してショットキー障壁を形成する。この層は、強誘電体と電極との界面を構成して電子の伝導帯の不連続を作る。この障壁によりコンデンサのリーク電流が低減され、半導体記憶装置の動作に必要な情報保持特性が得られる。ショットキー障壁層(103)は、コンデンサ形成後の熱工程で高強誘電体層中に構成元素が拡散したり、あるいは、高強誘電体層の構成元素を吸収したりしないこと、また、上記バンド不連続が、半導体記憶装置動作に十分な大きさを持つことが必要である。次に形成される水素拡散バリア層(105)は、上部から拡散してきた水素の拡散を抑制してショットキー障壁層に到達する水素濃度を実効的に低下させる働きを有する。

水素拡散防止層(105)上に望ましくは反応防止層(106)を介して形成される吸着阻止層(107)は、気相中の水素を阻止する層である。通常、高強誘電体を用いるコンデンサの上部電極には、白金が用いられるが、この白金は、水素を吸着し、分解する作用があることが知られている。一旦分解された水素は、金属中を容易に拡散し、高強誘電体層に到達して強い還元性を示すため、300のような低温であってもコンデンサが致命的に劣化する。ここで用いた吸着阻止層(107)は、水素の吸着が起こらない、従って、水素を解離させる効果もないために、水素の高強誘電体層への到達確率を低下させるものである。

従来のコンデンサでは、第2図に示したように、電気的接続層であるアルミニウム(202)と反応バリア層であるチタン(201)、及び、プレート層である白金からなっており、水素の拡散を抑止する効果がない。また、アルミニウム(202)は、水素の吸着を阻止する働きがあることが知られているが、後に示すように、十分な効果を得ることはできなかった。

(実施例2)

つぎに、より具体的に積層上部電極の製造方法を示す。

第3図は本発明によるコンデンサの好適な1実施例である。公知な方法で形成されたトランジスタを含む能動素子層(101)の上に、下部電極として直流スパッタ法で白金(102)を100nm形成した。次に、PZTを高周波スパッタ法で50nm堆積後、酸素中で650の熱処理を行ない、高誘電体層(103)を形成した。次にショットキー障壁層として白金(301)を50nm形成し、引き続き、拡散バリア層としてタングステン(302)を100nm、反応防止層として窒化チタン(303)を50nm、吸着阻止層として銀(304)を100nm形成し、積層上部電極とした。

この構造を持つコンデンサの水素中熱処理後の絶縁耐圧分布を第4図に示す。ここでは、350で30分の処理を行なった場合について、第2図の従来技術と比較した。従来の上部電極構造では、1V~2Vでほとんどのコンデンサが絶縁不良を示し、DRAMへの適用は不可能であったが、本発明によれば、印加電圧1V迄の領域では、実用に耐えることがわかった。また、分極-電界特性について、第5図に示す。同様に水素処理は、350で30分である。従来技術では、分極電界特性のヒステリシス特性が消えているのに対して、本発明では、特性が保持できることがわかった。また、400での水素処理では、従来技術によるコンデンサの上部電極が剥離を起こしたのに対して、本発明では、剥離がなく、絶縁耐圧と誘電特性の劣化もわずかであった。

10

20

30

40

50

(実施例3)

本発明の他の好適な実施例について、第6図を用いて説明する。公知な方法で形成されたトランジスタを含む能動素子層(101)の上に、下部電極として直流スパッタ法で白金(102)を100nm形成した。次に、500℃に加熱した基板上に、BSTを高周波スパッタ法で50nm堆積後、酸素中で650℃の熱処理を行ない、高誘電体層(601)を形成した。次にショットキー障壁層として白金(301)を50nm形成した。水素拡散バリア層として、本実施例では、酸素を用いる反応性スパッタ法により酸化ルテニウム(602)を50nm形成した。この上に反応防止層として金属ルテニウムと窒化チタンの積層膜(603)をスパッタ法でそれぞれ50nmずつこの順序で形成した。この上に吸着阻止層としてアルミニウム(604)を100nm形成し、積層上部電極とした。第6図の構造を持つコンデンサを水素処理し、交番電界を印加して容量の経時変化を調べた(第7図)。水素処理は、400℃で30分である。比較のため第2図に示した従来技術でも、初期の静電容量に変化はないが、交番電界による劣化が激しく、半導体記憶装置に必要とされる信頼性を確保することができない。本発明によれば、静電容量の劣化はわずかであり、信頼性を確保できることがわかった。

10

次に、本発明の積層上部電極について、他の好適な材料及び製法について説明する。ショットキー障壁層は、これまでの例では白金としたが、ルテニウム、イリジウム、パラジウム、ニッケルおよび白金のいずれかを主成分として含む材料が好適である。水素拡散バリア層としては、タングステン、酸化ルテニウムの他に、導電性酸化物が適用でき、特に望ましくは、酸化イリジウム、酸化パラジウムである。反応バリア層としては、窒化チタンの他に、チタン及びチタン合金が適用可能である。また、タングステン、タンタル、モリブデンから選ばれた金属またはその窒化物を水素拡散バリア層かつ反応バリア層として使うことも可能である。また、水素拡散バリア層として導電性酸化物を用いた場合には、導電性酸化物中の酸素に対するバリアとして、酸化物が導電性を示す金属を主成分とする層をバリア層として用いる必要がある。望ましくは、白金、イリジウム、ルテニウム、パラジウムである。水素吸着阻止層としては、銀、アルミニウムの例を挙げたが、銀、アルミニウム、シリコン、鉛、ビスマスのいずれかを主成分として含む導体が好適であるが、その作用には材料による差が大きい。第8図は、吸着阻止層として銀とアルミニウムを用いた場合、水素アニールによるPZTのスイッチング電荷量の変化を比較している。積層膜とせず、ショットキー障壁層の白金単独で用いた場合も比較のために示した。このように、アルミニウムを用いた場合の効果は銀と比較して小さく、第2図に示した従来構造では水素によるダメージを抑止し切れないことがわかる。

20

30

なお、高強誘電体材料の例としては、これまでBSTおよびPZTを挙げたが、バリウム、鉛、ストロンチウム、ビスマスから選ばれた元素を主成分として酸化物高強誘電体材料が有効であった。BSTとPZT以外の好ましい材料としては、チタン酸ストロンチウム(SrTiO_3)、チタン酸鉛(PbTiO_3)、チタン酸ジルコニウム酸バリウム鉛($(\text{Ba}, \text{Pb})(\text{Zr}, \text{Ti})\text{O}_3$)、ニオブ酸バリウム鉛($(\text{Ba}, \text{Pb})\text{Nb}_2\text{O}_6$)、タンタル酸ストロンチウムビスマス($\text{SrBi}_2\text{Ta}_2\text{O}_9$)、チタン酸ビスマス($\text{Bi}_4\text{Ti}_3\text{O}_{12}$)である。

(実施例4)

40

これらのコンデンサを有する半導体記憶装置の例を次に示す。

第9図は、高強誘電体としてBSTを用いたDRAMの例である。

Si基板(1001)上に公知な工程によってトランジスタを含む素子層を形成する。即ち、素子領域分離膜(1002)、導電性不純物拡散層(1003)、ポリシリコントランジスタゲート電極(1004)、ポリシリコン配線(1005)、層間絶縁膜(1006)を形成する。次にコンデンサとトランジスタの電氣的接続を形成する導電性プラグ(1007)を形成する。この材料は、望ましくはCVD法で形成した窒化チタン/チタンシリサイド積層、または、窒化チタン/ポリシリコン積層である。次に、白金を直流スパッタ法で100nm形成した後に、公知なフォトリソグラフィ法により形成したマスクパターンを用いて白金をアルゴンスパッタ法で加工し、白金下部電極(1008)を形成

50

する。次に、BST膜(1009)を形成する。これは、バリウム、ストロンチウム、チタンのアルコレートまたは錯体を用いて酸素中で熱分解するCVD法が望ましい。さらに望ましくは、バリウムジピバロイルメタネート($Ba(DPM)_2$)、ストロンチウムジピバロイルメタネート($Sr(DPM)_2$)、チタンイソプロポキサイド($Ti(i-OC_3H_7)_4$)を用いたCVD法が有効である。これら原料を保温容器に収納し、 $Ba(DPM)_2$ 、 $Sr(DPM)_2$ については、150 ~ 250、 $Ti(i-OC_3H_7)_4$ については30 ~ 60 に加熱して適当な蒸気圧を持たせ、アルゴンバブリングで反応炉に原料を輸送する。同時に反応炉に供給する酸素とともに、400 ~ 700 に加熱した基板上で原料を熱分解、酸化させた。このBST膜の膜厚は、20nmとした。次に、ショットキーバリア層(1010)として、白金をスパッタ法により100nm形成した。この場合、下部電極間の溝のアスペクト比によっては、白金粒子に方向性を持たせるスパッタ法とエッチバック法、または、CVD法によるルテニウムの形成が必要であった。さらに水素拡散防止層および反応バリア層の一部としてイリジウム/酸化イリジウム積層膜(1011)を形成した。ここでは、酸素混合による反応性スパッタ法酸化イリジウムと通常アルゴンスパッタによる金属イリジウムの積層膜を形成した。つぎに、窒素混合による反応性スパッタ法により、反応バリア層として窒化チタン(1012)を50nm形成した。最後に、水素吸着防止層として、銀(1013)を20nmスパッタ法で形成し、本発明によるコンデンサ用積層上部電極を構成した。なお、第9図中に示したように、本発明による上部電極の構造は、各情報ビット毎に分割する必要はなく、複数ビットに渡ってコンデンサを覆う構造にすることが可能であり、また、本図に示したような被覆構造がより効果的であった。この構造により、複雑な積層構造を持つ上部電極であっても、微細加工が例えばトランジスタの制御ゲートのごときその世代の製品を構成する最小加工寸法によることなく、緩い加工精度での適用を実現できる。

コンデンサ形成後の配線工程について次に説明する。公知なテトラエトキシシラン(TEOS)を用いるプラズマCVD法により、層間絶縁膜(1014)を200nm形成する。次に、ドライエッチングにより電気的接続孔(1016)を開口する。そして、この接続孔(1016)に対して、公知な水素還元ブランケットタングステンCVD法により、接続プラグを埋め込んだ。この際、基板温度は400、圧力は0.5 Torrで、六弗化タングステンと水素により、約30秒の堆積を行なった。公知な上部電極構造、即ち、アルミニウム、窒化チタン、白金の積層電極の場合には、このCVDにより、絶縁耐圧の劣化が起きることは、第4図と同様である。タングステン接続プラグ形成後、平坦化工程を経て、さらに窒化チタンとアルミニウムの積層配線(1017)を形成する。そして、この積層配線(1017)を覆うように、層間絶縁膜(1018)を形成した。さらに配線層を設ける場合にも、ここで述べたコンデンサ形成後の配線工程を適用することが可能である。また、配線工程後の水素熱処理400、30分を行なった場合にも、従来構造の電極では、コンデンサの耐圧劣化が著しかったのに対し、本発明によれば、積層上部電極の形成後の特性を保持することが可能であった。最終的なコンデンサの静電容量は、 $90\text{ fF}/\mu\text{m}^2$ であり、 $10^{-8}\text{ A}/\text{cm}^2$ で定義した絶縁性の臨界電圧は、1.2Vであった。なお、第9図は2つのキャパシタを有する図としたが、3以上のキャパシタの場合でも上記同様、キャパシタ部を覆うように保護膜を形成すれば良い。

また、第10図は、高強誘電体としてPZTを用いた不揮発動作モードを持つDRAMの例である。BST-DRAMの場合と同様に、トランジスタを含む素子層を公知な方法で形成する。次に、下部電極(1102)と導電性プラグ(1007)の反応防止層(1101)となる窒化チタンを反応性スパッタ法により50nm形成する。引き続き、下部電極(1102)となる白金を直流スパッタ法により150nm形成した。つぎに、PZTを50nm形成した。PZTの形成には、スパッタ法、ゾルゲル法、反応性蒸着法、CVD法が、適用できる。例えばCVD法としては、鉛、ジルコニウム、チタンのアルコレートまたは錯体を用いて、酸素中で熱分解する方法が望ましい。さらに望ましくは、鉛ジピバロイルメタネート($Pb(DPM)_2$)、ジルコニウムジピバロイルメタネート($Zr(DPM)_4$)、チタンイソプロポキサイド($Ti(i-OC_3H_7)_4$)を用いる方法が有

10

20

30

40

50

効である。これら原料を保温容器に収納し、 $Pb(DPM)_2$ については $100 \sim 150$ 、 $Zr(DPM)_4$ については $150 \sim 200$ 、 $Ti(i-OC_3H_7)_4$ については $30 \sim 60$ に加熱して適当な蒸気圧を持たせ、アルゴンバブリングで反応炉に原料を輸送する。同時に反応炉に供給する酸素とともに、 $500 \sim 700$ に加熱した基板上で原料を熱分解、酸化させた。このPZT膜の膜厚は、 40 nm とした。

次に、ショットキーバリア層(1104)となる白金を直流スパッタ法で 50 nm 、水素拡散バリア層(1105)となるタングステンを直流スパッタ法で 100 nm 形成後、公知なフォトリソグラフィ技術により、コンデンサ領域のパターンを形成後ドライエッチングにより、コンデンサを各ビット毎に分割する。つぎに、公知のテトラエトキシシラン(TEOS)のオゾン雰囲気熱分解によりキャパシタ保護膜(1107)を形成、エッチバックし、さらに公知のフォトリソグラフィ技術により、コンデンサに対する電氣的接続孔を開口した。この上部に、電氣的接続孔を埋め込みながらスパッタ法により水素拡散防止層(1106)としてタングステンを形成し、反応防止層として、窒化チタンを反応性スパッタ法で 50 nm 、最後に吸着防止層(1013)として銀を 50 nm スパッタ法で形成した。これらプロセスにより、素子層の上に本発明のコンデンサを形成した。

コンデンサ形成後の配線工程については、BST-DRAMと同様であるが、タングステン接続プラグ(1016)の形成時、従来のアルミニウム/チタン/白金積層構造の場合には、ショットキー障壁層(1104)とPZT(1103)の界面で剥離が多発し、実用とならなかったのに対して、本発明の構造を用いた場合には、剥離が起きず、残留分極の劣化も抑えられた。最終的な残留分極は、電源電圧 3 V 動作時で $10\text{ }\mu\text{ C}/\text{cm}^2$ であり、非残留分極成分は、 $20\text{ }\mu\text{ C}/\text{cm}^2$ であった。

(実施例5)

本発明の好適な実施例を第11図を基に説明する。第11図は、本発明をDRAMに適用した例である。シリコン基板(1)上に、半導体能動素子としてメモリセルトランジスタ(2)、周辺トランジスタ(3)が形成されている。ここでメモリセルトランジスタ(2)は、下部電極(8)、高強誘電体(9)、上部電極(10)からなる情報記憶用コンデンサの下に形成された半導体能動素子であり、周辺トランジスタ(3)は、コンデンサ領域とは別に形成された半導体能動素子である。

コンデンサ層とトランジスタ層との間には、両者を電氣的に絶縁する層間絶縁層(4)があり、コンデンサ層とトランジスタ層は、プラグで電氣的に接続されている。このプラグは、第1のプラグ(5)と第2のプラグ(6)の2層からなり、第2のプラグ(6)は水素拡散の程度が第1のプラグ(5)よりも小さい導電性酸化物から形成されている。また、層間絶縁層(4)とコンデンサ層との間には、層間絶縁層(4)よりも水素拡散の程度が小さい絶縁物からなる水素拡散バリア層(7)が配置されている。コンデンサ層の上部電極(10)の最上部には、水素吸着阻止層(11)が設けられている。さらに上部の配線層(14)との間の層間絶縁層(12)、接続プラグ(13)を持つ形状となっている。

従来のDRAMの構造を第12図に示す。このDRAMとの差は、本発明のDRAM(第11図)が水素吸着阻止層(11)、導電性酸化物からなる第2のプラグ(6)と絶縁物からなる水素拡散バリア層(7)により、コンデンサが水素による還元から守られているところにある。

次に本発明の効果について述べる。第12図示した構造のうち、コンデンサは水素によるダメージに非常に敏感である。例えば、 350 で 10 分程度の水素熱処理を加えると、誘電率、耐圧ともに激減する。これに対して上部電極の上に、第11に示したのと同じ水素吸着阻止層を設けると、これらの劣化は抑えられた(第13図)。しかしながら一方で水素吸着阻止層を設けることにより、第14図に示したように、トランジスタのゲート部分の界面準位は、水素熱処理によっても十分な回復が見られないという結果になった。これは、トランジスタのゲート部分に活性な水素が到達しづらくなったことによるものである。特に周辺トランジスタではトランジスタの利得を下げてしまうために、当初設計のON電流が確保できず、記憶装置としてのアクセス時間が長くなってしまいうという課題が

10

20

30

40

50

発生した。

これに対して本発明のDRAMのコンデンサでは、上部電極の最上部の水素吸着阻止層(11)は、比較的トランジスタの利得に対する要求が小さいメモリセルトランジスタのみを覆うように設けられている。さらにコンデンサの下部に配置した第2のプラグ(6)と水素拡散バリア層(7)の作用により、横方向から拡散してきた水素によるコンデンサの劣化が抑えられている。この結果、第15図に示したように、十分な水素熱処理を加えられるのでメモリセルトランジスタ、周辺トランジスタの両方において、界面準位密度を下げる事ができた。第15図において、曲線；水素吸着阻止層ありは、メモリセルトランジスタ及び周辺トランジスタの両方の上に水素吸着阻止層を設けた場合を示し、曲線；メモリセルトランジスタ及び曲線；周辺トランジスタは、メモリセルトランジスタの上のみ水素吸着阻止層を配置した場合のそれぞれのトランジスタの実効界面準位密度を示す。また、熱処理時間を30分とした時のコンデンサ耐圧の変化を、コンデンサ下部に設けた第2のプラグ(6)及び水素拡散阻止層(7)の有無で比較したものが第16図である。従来技術は、横方向からの拡散でコンデンサの耐圧劣化が発生しており、トランジスタの特性回復とコンデンサの特性保持がトレードオフになっていることが分かる。一方本発明によれば、耐圧劣化がメモリ適用可能な範囲内に抑えられ、このトレードオフを回避できることが分かった。

10

(実施例6)

次に、より具体的に半導体装置の製造方法を示す。

まず、第17図に示したように、シリコン基板(1)上に公知の方法でメモリセルトランジスタ(2)及び周辺トランジスタ(3)を形成する。次に、トランジスタ間配線を含む層間絶縁層(4)を形成した後に、コンデンサ下部の水素拡散バリア層(7)を形成した。この材料としては、層間絶縁層として通常用いられるSiO₂を主成分とする絶縁膜と比較して水素の拡散が抑えられる材料、望ましくは、アルミニウム酸化物を用いることができる。他の材料としては、セリウム酸化物が上げられる。また、これらを含むSiO₂酸化物としてもよい。この水素拡散阻止層は、膜形成後に、周辺トランジスタ部分を除去しておく(第18図)。

20

次にコンデンサとメモリセルトランジスタの電気接続を行なうプラグ用のコンタクト穴をドライエッチングにより形成する。なお、周辺トランジスタ部分にも必要に応じてこのコンタクト穴を形成するが、これは第11図における接続プラグ(13)のコンタクト穴の加工の困難さに応じて取捨選択されるものであり、本発明の本質とは関係がない。次にこれらコンタクト穴に対して、プラグの埋め込みプロセスを行なう。これはまずステップカバレジに優れたCVD法により、望ましくは窒化チタン又はポリシリコンの層を形成した後に、エッチバックによってまず第1のプラグ(5)を形成する。次に、導電性の水素拡散阻止層である第2のプラグ(6)を全面に形成する。ここではイリジウム酸化物とした。他の望ましい例としては、ルテニウム酸化物、オスミウム酸化物、白金酸化物又はこれらの混合物が挙げられる(第19図)。

30

全面に形成された水素拡散バリア層は、エッチバック又は化学機械研磨法によりプラグ部分のみを残して除去した。次に、下部電極(8)を形成した。ここでの下部電極材料は白金としたが、他にルテニウム、イリジウム、オスミウム、レニウム及びこれら材料の酸化物から選ばれた材料を主成分とする導電性の材料が好適である。これら材料をスパッタ法で150nm堆積後、ドライエッチング法により、各メモリ要素毎に分割し、下部電極構造を得た(第20図)。

40

次に、高強誘電体(9)としてBSTをCVD法により厚さ30nm堆積した。BSTは、バリウムジピバロイルメタネート(Ba(DPM)₂)、ストロンチウムジピバロイルメタネート(Sr(DPM)₃)、イソプロポキシチタン(Ti(i-OC₃H₇)₄)をパブリングにより反応室内に導入し、酸化性雰囲気中で熱分解により形成した。なお、CVD原料としては、上記の他に公知の錯体やアルコキシドも用いられる。また、原料導入には、液体原料の定量と気化器を用いる方式も用いられる。分解の方式としては、熱分解の他にプラズマアシストも用いられる。また、BST膜形成後必要に応じて、酸素中又は窒

50

素中での熱処理を行なった。

次に、上部電極(10)として、CVD法により、Ruを厚さ100nm形成した。上部電極の材料としては、下部電極に用いた材料、すなわち、白金、イリジウム、オスミウム、レニウム及びこれら材料の酸化物から選ばれた材料を主成分とする導電性の材料が好適である。ここでは、ルテノシンを原料とする酸素雰囲気中での熱分解CVDにより、上部電極となるルテニウム薄膜を形成した。上部電極形成後、必要に応じて酸素中又は窒素中での熱処理を行なった。

この上部電極/BST積層膜を、まずメモリセル部分を残すようにドライエッチング法により加工し、次に、吸着阻止層(11)をCVD法により形成した。この材料は、水素吸着解離性が小さい材料としてアルミニウムを用いた。吸着阻止層(11)は、上部電極(10)、下部電極(8)よりも水素吸着解離性の小さい材料であればよい。この例としては、金、銀、アルミニウム、シリコン、銀、亜鉛、カドミウム、インジウム、ゲルマニウム、錫、鉛、ビスマスがあり、特に、アルミニウム、シリコン、鉛が好適であった。この膜はドライエッチング法により、メモリセルトランジスタ部分を残して除去し、第21図に示す構造とした。

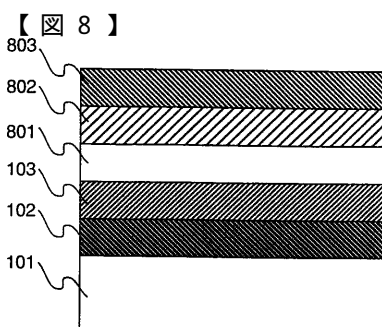
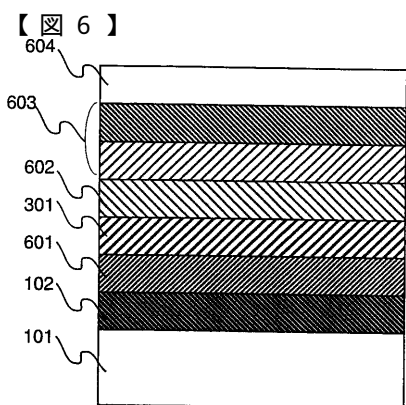
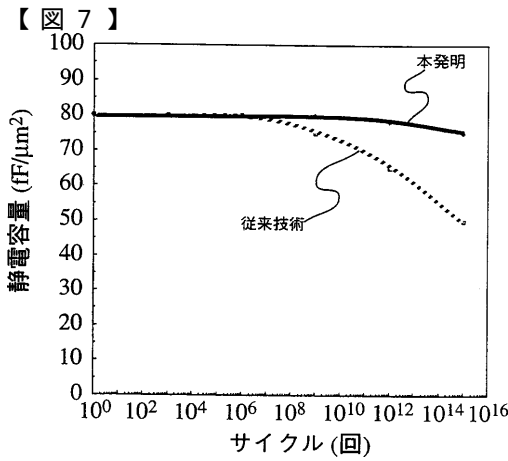
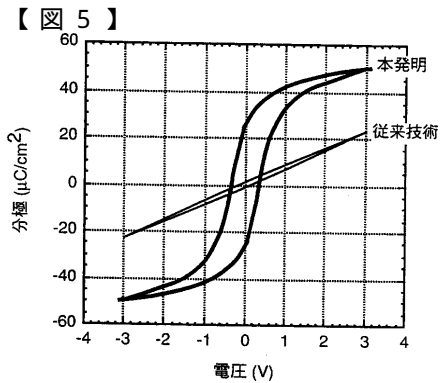
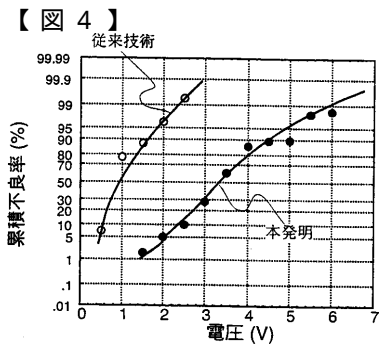
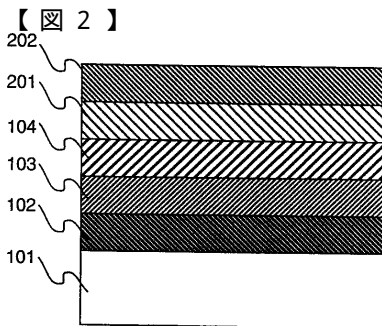
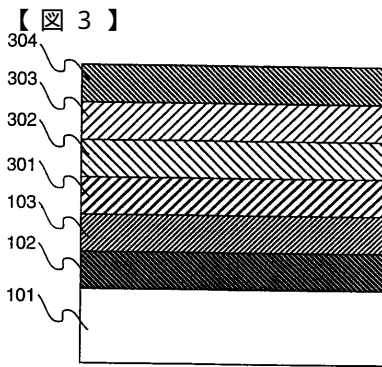
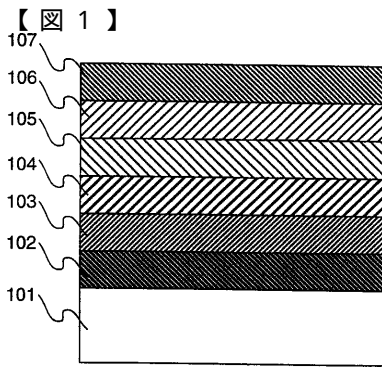
次に、CVD法によって層間絶縁膜(12)を形成した。吸着阻止層(11)、水素拡散バリア層(7)、第2のプラグ(6)の作用により、ここでのCVDは、公知のプラズマCVD法や熱CVD法が使えるのは先に説明したとおりである。吸着阻止層(11)を持たない場合には、この時点でコンデンサの容量低下、耐圧劣化、電極剥離が発生し、メモリを作製することはできなかった。この層間絶縁膜(12)に対して、配線層(14)及びこれとトランジスタの電気的接続をする接続プラグ(13)を形成して、第21図に示した構造とした。特に本発明の効果として、接続プラグ(13)をシラン系ガスと六弗化タンゲステンによる選択CVD法で形成できることが挙げられる。第21図の状態の水素アニールを行ない、メモリセルトランジスタ(2)及び周辺トランジスタ(3)の特性の修復を行なった。条件は、3%水素雰囲気中400-30分とした。ここでも従来の構造では、第13図~第15図に挙げたような劣化が起こり、メモリ動作ができないことは先に述べた通りである。

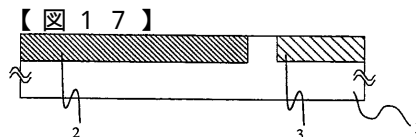
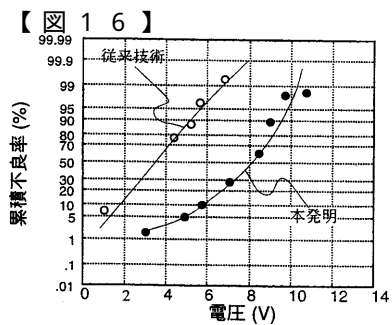
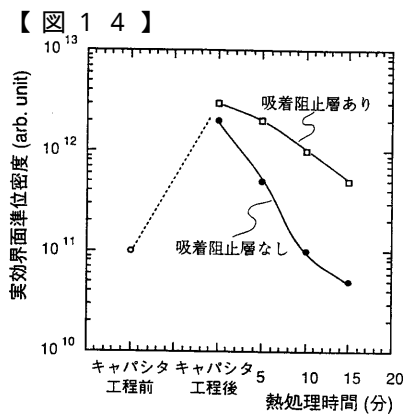
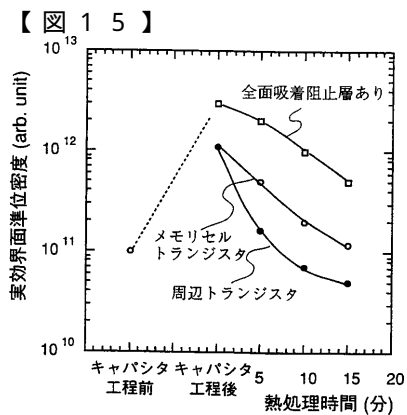
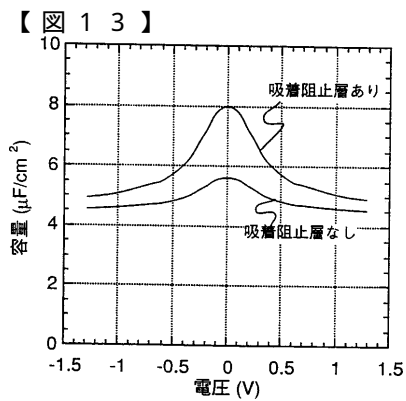
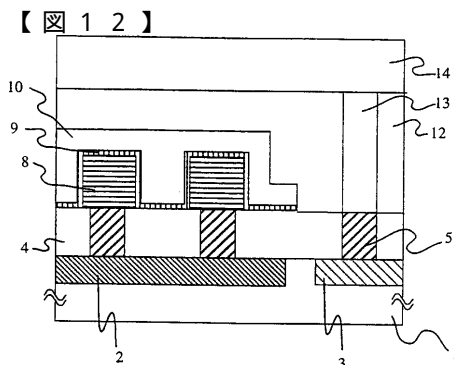
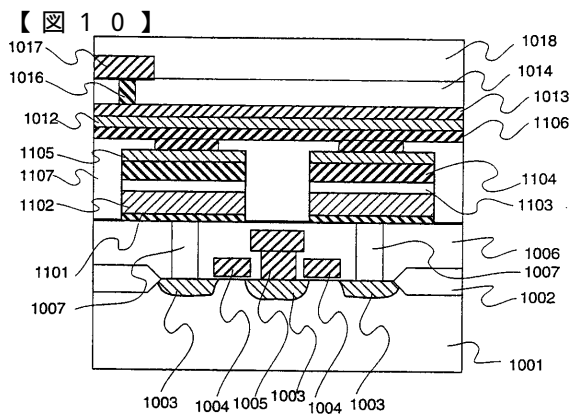
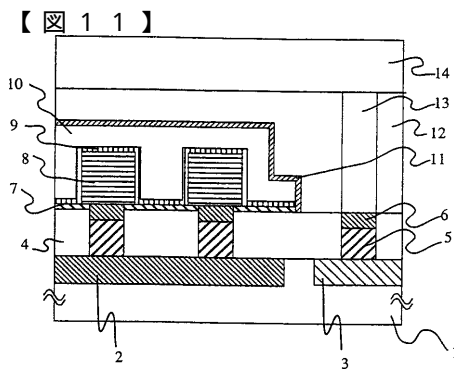
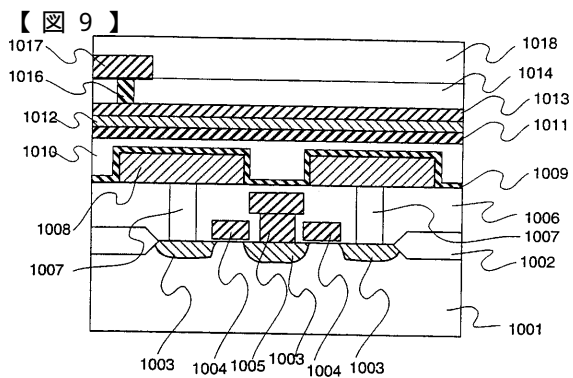
なお、高強誘電体材料の例としてBSTを挙げたが、チタン酸ストロンチウム(SrTiO_3)でもほぼ同様の効果が得られた。また、これ以外にもバリウム、鉛、ストロンチウム、ビスマスから選ばれた元素を主成分とした酸化物高強誘電体材料が有効であった。特にPZT、チタン酸鉛(PbTiO_3)、チタン酸ジルコニウム酸バリウム鉛($(\text{Ba}, \text{Pb})(\text{Zr}, \text{Ti})\text{O}_3$)、ニオブ酸バリウム鉛($(\text{Ba}, \text{Pb})\text{Nb}_2\text{O}_6$)、タンタル酸ストロンチウムビスマス($\text{SrBi}_2\text{Ta}_2\text{O}_9$)、チタン酸ビスマス($\text{Bi}_4\text{Ti}_3\text{O}_{12}$)を用いたときは、不揮発機能を付与したメモリを構成することができた。

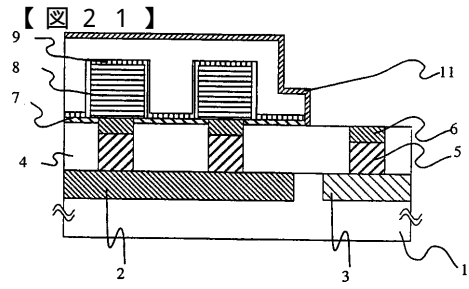
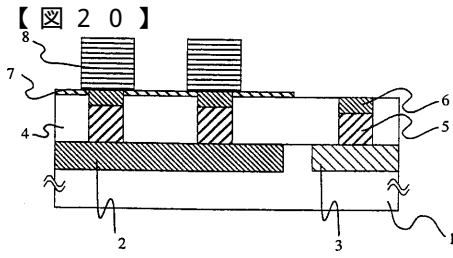
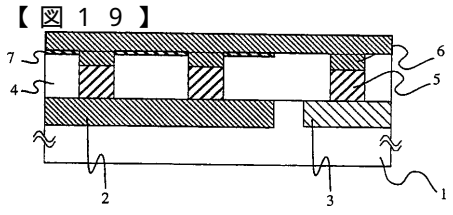
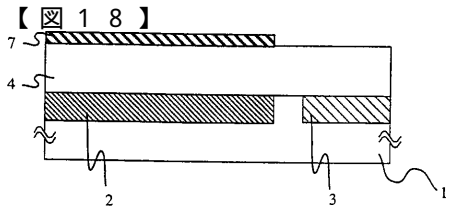
BSTを用いた場合の最終的なコンデンサ容量は $6.5 \mu\text{F}/\text{cm}^2$ (電源電圧2.2V動作時)であり、平均絶縁耐圧は3Vであった。

産業上の利用可能性

本願発明は、蓄積容量部を有するメモリ装置、例えばダイナミックランダムアクセスメモリ等にも用いられる。







フロントページの続き

- (72)発明者 嶋本 泰洋
東京都国分寺市恋ヶ窪4丁目14番6号B203号室
- (72)発明者 高谷 信一郎
東京都小金井市貫井南町5丁目21番31号305号室
- (72)発明者 藤崎 芳久
東京都府中市紅葉丘1丁目21番32号301号室

審査官 河合 俊英

- (56)参考文献 特開平05-183106(JP,A)
特開平07-111318(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- H01L 27/10
 - H01L 21/822
 - H01L 27/04