



(12) 发明专利申请

(10) 申请公布号 CN 119654711 A

(43) 申请公布日 2025. 03. 18

(21) 申请号 202380057166.4

(22) 申请日 2023.04.14

(30) 优先权数据

2022-122856 2022.08.01 JP

(85) PCT国际申请进入国家阶段日

2025.01.26

(86) PCT国际申请的申请数据

PCT/JP2023/015137 2023.04.14

(87) PCT国际申请的公布数据

W02024/029138 JA 2024.02.08

(71) 申请人 株式会社村田制作所

地址 日本

(72) 发明人 舟木达弥

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

专利代理师 金雪梅

(51) Int.Cl.

H01L 25/065 (2023.01)

H01L 23/32 (2006.01)

H01L 25/04 (2023.01)

H01L 25/07 (2006.01)

H01L 25/10 (2006.01)

H01L 25/11 (2006.01)

H01L 25/18 (2023.01)

H05K 1/03 (2006.01)

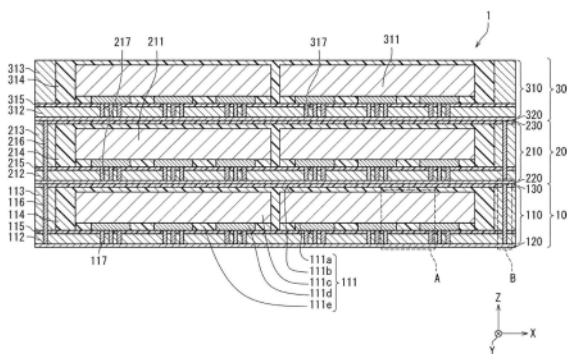
权利要求书3页 说明书21页 附图51页

(54) 发明名称

复合部件器件及其制造方法

(57) 摘要

一种复合部件器件,具备两个以上的复合部件层,该复合部件层具有电子部件层以及设置于电子部件层的再布线层,两个以上的复合部件层在厚度方向上层叠为电子部件层与再布线层交替地配置,电子部件层具有一个以上的电子部件,该电子部件具有电子部件主体部和多个部件电极,该电子部件主体部具有与厚度方向垂直的第一面以及与该第一面对置的第二面,该多个部件电极配置于该第一面,一个以上的电子部件的部件电极与再布线层电连接,与两个以上的复合部件层的再布线层邻接的复合部件层中的电子部件层还具有与其他的复合部件层的该再布线层电连接的电子部件层贯通通孔。



1. 一种复合部件器件,具备两个以上的复合部件层,该复合部件层具有电子部件层以及设置于该电子部件层的再布线层,其中,

所述两个以上的复合部件层在厚度方向上层叠为所述电子部件层与所述再布线层交替地配置,

所述电子部件层具有一个以上的电子部件,该电子部件具有电子部件主体部和多个部件电极,该电子部件主体部具有与所述厚度方向垂直的第一面以及与所述第一面对置的第二面,该多个部件电极配置于该第一面,

所述一个以上的电子部件的所述部件电极与所述再布线层电连接,

所述两个以上的复合部件层中的与其他的复合部件层的再布线层邻接的复合部件层中的电子部件层还具有电子部件层贯通孔,该电子部件层贯通孔与该其他的复合部件层的该再布线层电连接。

2. 根据权利要求1所述的复合部件器件,其中,

所述电子部件层贯通孔实质上由铜构成。

3. 根据权利要求1或2所述的复合部件器件,其中,

所述电子部件层还具有树脂密封部,该树脂密封部将所述一个以上的电子部件密封。

4. 根据权利要求1至3中任一项所述的复合部件器件,其中,

所述复合部件器件所包含的全部的电子部件在所述两个以上的复合部件层内配置为其第一面相对于第二面位于再布线层侧。

5. 根据权利要求1至4中任一项所述的复合部件器件,其中,

所述电子部件层还具有侧壁部,该侧壁部配置为包围所述一个以上的电子部件,所述电子部件层贯通孔贯通该侧壁部。

6. 根据权利要求1至5中任一项所述的复合部件器件,其中,

所述电子部件层还具有:

Si基极层,支承所述一个以上的电子部件;以及

Si贯通孔,贯通所述Si基极层而将所述部件电极与所述再布线层电连接。

7. 根据权利要求1至6中任一项所述的复合部件器件,其中,

所述再布线层具有实质上由无机材料构成的介电膜。

8. 根据权利要求5所述的复合部件器件,其中,

所述复合部件层经由粘接层与所述其他的复合部件层粘接,

所述电子部件层贯通孔具有贯通所述侧壁部的侧壁部贯通孔以及贯通所述粘接层的导电通孔,

所述导电通孔将所述电子部件层贯通孔与所述其他的复合部件层的再布线层电连接,

在与所述厚度方向垂直的平面中,所述导电通孔的截面积比所述侧壁部贯通孔的截面积大。

9. 根据权利要求1至4中任一项所述的复合部件器件,其中,

所述再布线层与所述部件电极直接接合。

10. 根据权利要求1至5以及权利要求9中任一项所述的复合部件器件,其中,

所述再布线层具有实质上由有机材料构成的介电膜。

11. 根据权利要求10所述的复合部件器件, 其中,
与所述厚度方向垂直的面中的所述电子部件层贯通通孔的截面积从所述第二面朝向所述第一面增加。

12. 一种复合部件器件的制造方法, 制造权利要求1至8中任一项所述的复合部件器件, 其中,

所述复合部件器件的所述电子部件层还具有:

侧壁部, 配置为包围所述一个以上的电子部件, 所述电子部件层贯通通孔贯通该侧壁部; 以及

树脂密封部, 使所述一个以上的电子部件一体化,

在该复合部件器件的制造方法中, 包含:

电子部件粘接工序, 使所述一个以上的电子部件粘接于所述Si基极层, 以使得所述一个以上的电子部件的多个部件电极经由电子部件粘接层与具有格子状的侧壁部的Si基极层的底面部接触;

电子部件密封工序, 利用树脂使所述一个以上的电子部件密封而形成树脂密封部;

再布线层形成工序, 形成所述再布线层而制成复合部件层; 以及

层叠工序, 通过所述电子部件粘接工序、所述电子部件密封工序以及所述再布线层形成工序而形成其他的复合部件层, 在该其他的复合部件层形成电子部件层贯通通孔, 而将其其他的复合部件层叠于所述复合部件层,

执行至少一次所述层叠工序。

13. 根据权利要求12所述的复合部件器件的制造方法, 其中, 还包含:

Si基极层薄化工序, 使所述Si基极层变薄;

贯通孔形成工序, 在所述薄化的Si基极层以及所述电子部件粘接层形成贯通孔, 而使所述部件电极的表面的一部分露出; 以及

Si贯通通孔形成工序, 在所述贯通孔形成Si贯通通孔,

所述Si贯通通孔贯通所述Si基极层以及所述电子部件粘接层, 将所述再布线层与所述电子部件的所述部件电极电连接,

所述再布线层的介电膜实质上由无机材料构成。

14. 根据权利要求12所述的复合部件器件的制造方法, 其中,

还包含Si基极层除去工序, 除去所述Si基极层以及所述电子部件粘接层而使所述部件电极的表面整体露出,

所述再布线层的介电膜实质上由有机材料构成。

15. 一种复合部件器件的制造方法, 制造权利要求1至5以及权利要求9中任一项所述的复合部件器件, 其中,

所述复合部件器件的所述电子部件层还具有使所述一个以上的电子部件一体化的树脂密封部,

所述再布线层还具有与所述部件电极直接接合且实质上由有机材料构成的介电膜,

在该复合部件器件的制造方法中, 包含:

电子部件粘接工序, 使所述一个以上的电子部件粘接于所述Si支撑件, 以使得所述一个以上的电子部件的所述第二面经由电子部件粘接层与Si支撑件接触;

电子部件密封工序,利用树脂使所述一个以上的电子部件密封而形成树脂密封部;
树脂密封部薄化工序,使所述树脂密封部变薄而使所述部件电极的表面整体露出;
再布线层形成工序,形成所述再布线层而制成复合部件层;以及
层叠工序,在所述复合部件层上形成所述电子部件层贯通孔,使所述一个以上的电子部件粘接于所述复合部件层以使得所述一个以上的电子部件的所述第二面经由电子部件粘接层与所述复合部件层接触,利用树脂将该一个以上的电子部件密封而形成树脂密封部,使该树脂密封部变薄而使所述部件电极的表面整体露出,形成再布线层而将其他的复合部件层层叠于所述复合部件层,
执行至少一次所述层叠工序。

复合部件器件及其制造方法

技术领域

[0001] 本发明涉及复合部件器件及其制造方法。

背景技术

[0002] 以往,作为组合了多个电子部件的封装,例如有在日本特开2019—125779号公报(专利文献1)的图4F中记载的装置。在该装置(400F)中,具备再布线层(306)、配置在再布线层(306)上的第一模制层(316)、以及配置在第一模制层(316)上的第二模制层(326)。在第二模制层(326)内密封的裸片(318、320)经由电连接部(312)与在第一模制层(316)内密封的桥接裸片(310)连接,经由电连接部(314)与再布线层(306)连接。

[0003] 专利文献1:日本特开2019-125779号公报

[0004] 然而,本发明者发现了如下,在上述的装置中,存在如下的问题。即,裸片与桥接裸片以及布线层经由球(凸块)连接。因此,连接电阻比较高,另外,有可能由于凸块的破裂等而可靠性降低。并且,有可能由于在制造时使用的凸块而在装置内形成空间从而妨碍薄型化。

发明内容

[0005] 因此,本发明的目的在于,提供一种复合部件器件,能够提高可靠性,并且实现薄型化。

[0006] 本发明者为了解决上述课题而进行了深入研究,得到如下见解,一种复合部件器件,具备两个以上的复合部件层,该复合部件层具有电子部件层以及设置于电子部件层的再布线层,其中,一个以上的电子部件与再布线层的电连接、以及两个以上的复合部件层间的电连接不使用焊料凸块而进行连接。基于这样的技术见解,想到本发明,使部件电极与再布线层电连接,复合部件层间与电子部件层贯通孔电连接。即,本发明包含以下的实施方式。

[0007] 为了解决上述课题,本发明的一个技术方案的复合部件器件具备两个以上的复合部件层,该复合部件层具有电子部件层以及设置于该电子部件层的再布线层,其中,上述两个以上的复合部件层在厚度方向上层叠为上述电子部件层与上述再布线层交替地配置,上述电子部件层具有一个以上的电子部件,该电子部件具有电子部件主体部和多个部件电极,该电子部件主体部具有与上述厚度方向垂直的第一面以及与该第一面对置的第二面,该多个部件电极配置于该第一面,上述一个以上的电子部件的上述部件电极与上述再布线层电连接,上述两个以上的复合部件层中的与其他的复合部件层的再布线层邻接的复合部件层中的电子部件层还具有与该其他的复合部件层的该再布线层电连接的电子部件层贯通孔。

[0008] 根据上述实施方式,部件电极与再布线层电连接,复合部件层间与电子部件层贯通孔电连接。由此,复合部件器件中,与使用凸块(例如,焊料凸块)而电连接的情况相比,能够缩短布线长度(特别是,复合部件器件的厚度方向的通孔布线的长度),因此能够降低

连接电阻,能够提高可靠性。由此,另外,复合部件器件中,与使用凸块而电连接的情况相比,能够消除复合部件层间中的由凸块引起的空间,能够实现薄型化。

[0009] 根据本发明的一个实施方式的复合部件器件,能够提高可靠性并且实现薄型化。

附图说明

- [0010] 图1是表示第一实施方式的复合部件的剖视图。
- [0011] 图2是图1的A部放大图。
- [0012] 图3是图1的B部放大图。
- [0013] 图4A是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0014] 图4B是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0015] 图4C是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0016] 图4D是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0017] 图4E是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0018] 图4F是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0019] 图4G是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0020] 图4H是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0021] 图4I是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0022] 图4J是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0023] 图4K是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0024] 图4L是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0025] 图4M是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0026] 图4N是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0027] 图4O是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0028] 图4P是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0029] 图4Q是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0030] 图4R是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0031] 图4S是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0032] 图4T是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0033] 图4U是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0034] 图4V是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0035] 图5是表示第二实施方式的复合部件的剖视图。
- [0036] 图6A是对第二实施方式的复合部件器件的制造方法进行说明的说明图。
- [0037] 图6B是对第二实施方式的复合部件器件的制造方法进行说明的说明图。
- [0038] 图6C是对第二实施方式的复合部件器件的制造方法进行说明的说明图。
- [0039] 图6D是对第二实施方式的复合部件器件的制造方法进行说明的说明图。
- [0040] 图6E是对第二实施方式的复合部件器件的制造方法进行说明的说明图。
- [0041] 图6F是对第二实施方式的复合部件器件的制造方法进行说明的说明图。
- [0042] 图6G是对第二实施方式的复合部件器件的制造方法进行说明的说明图。
- [0043] 图6H是对第二实施方式的复合部件器件的制造方法进行说明的说明图。

- [0044] 图6I是对第二实施方式的复合部件器件的制造方法进行说明的说明图。
- [0045] 图6J是对第二实施方式的复合部件器件的制造方法进行说明的说明图。
- [0046] 图6K是对第二实施方式的复合部件器件的制造方法进行说明的说明图。
- [0047] 图6L是对第二实施方式的复合部件器件的制造方法进行说明的说明图。
- [0048] 图6M是对第二实施方式的复合部件器件的制造方法进行说明的说明图。
- [0049] 图6N是对第二实施方式的复合部件器件的制造方法进行说明的说明图。
- [0050] 图6O是对第二实施方式的复合部件器件的制造方法进行说明的说明图。
- [0051] 图7是表示第三实施方式的复合部件的剖视图。
- [0052] 图8是图7的D部放大图。
- [0053] 图9A是对第三实施方式的复合部件器件的制造方法进行说明的说明图。
- [0054] 图9B是对第三实施方式的复合部件器件的制造方法进行说明的说明图。
- [0055] 图9C是对第三实施方式的复合部件器件的制造方法进行说明的说明图。
- [0056] 图9D是对第三实施方式的复合部件器件的制造方法进行说明的说明图。
- [0057] 图9E是对第三实施方式的复合部件器件的制造方法进行说明的说明图。
- [0058] 图9F是对第三实施方式的复合部件器件的制造方法进行说明的说明图。
- [0059] 图9G是对第三实施方式的复合部件器件的制造方法进行说明的说明图。
- [0060] 图9H是对第三实施方式的复合部件器件的制造方法进行说明的说明图。
- [0061] 图9I是对第三实施方式的复合部件器件的制造方法进行说明的说明图。
- [0062] 图9J是对第三实施方式的复合部件器件的制造方法进行说明的说明图。
- [0063] 图10A是对第一实施方式的复合部件器件的制造方法进行说明的说明图。
- [0064] 图10B是对第一实施方式的复合部件器件的制造方法进行说明的说明图。

具体实施方式

[0065] 以下,通过图示的实施方式而详细地说明本发明的一个技术方案的复合部件器件及其制造方法。应予说明,附图包含局部示意性的内容,有时不反映实际的尺寸、比率。另外,复合部件器件内的结构要素的尺寸(更具体而言,厚度等)是基于由扫描式电子显微镜(SEM)拍摄到的SEM图像而测定的。上述尺寸是根据多个测定数(测定数 $n \geq 3$)的平均值而得到的。

[0066] 在本说明书中提及的各种数值范围只要不标注“小于”、“比…大”以及“比…小”这样的特别的用语,意味着也包含下限以及上限的数值(即,上限值以及下限值)本身。即,例如,以 $80 \sim 120\mu\text{m}$ 这样的数值范围为例,数值范围 $80 \sim 120\mu\text{m}$ 被解释为包含下限值的“ $80\mu\text{m}$ ”,并且也包含上限值的“ $120\mu\text{m}$ ”。

[0067] <第一实施方式:复合部件器件>

[0068] 第一实施方式的复合部件器件具备两个以上的复合部件层。在本实施方式中,作为一例,列举具备三个复合部件层的复合部件器件,进行说明。

[0069] 第一实施方式的复合部件器件具备两个以上的复合部件层,该复合部件层具有电子部件层以及设置于电子部件层的再布线层,其中,

[0070] 两个以上的复合部件层在厚度方向上层叠为电子部件层与再布线层交替地配置,

[0071] 电子部件层具有一个以上的电子部件,该电子部件具有电子部件主体部和多个部

件电极,该电子部件主体部具有与厚度方向垂直的第一面以及与第一面对置的第二面,该多个部件电极配置于第一面,

[0072] 一个以上的电子部件的部件电极与再布线层电连接,

[0073] 两个以上的复合部件层中的与其他的复合部件层的再布线层邻接的复合部件层中的电子部件层还具有与其他的复合部件层的再布线层电连接的电子部件层贯通孔。

[0074] [作用机制]

[0075] 第一实施方式的复合部件器件能够提高可靠性并且实现薄型化。虽然不限于特定的理论,但其理由推测为如下。

[0076] 在第一实施方式的复合部件器件中,部件电极与再布线层电连接,复合部件层间与电子部件层贯通孔电连接。由此,在复合部件器件中,与使用凸块(例如,焊料凸块)电连接的情况相比,能够缩短布线长度(特别是,复合部件器件的厚度方向的通孔布线的长度),因此能够降低连接电阻,能够提高可靠性。由此,另外,在复合部件器件中,与使用凸块而电连接的情况相比,能够消除由复合部件层间的凸块引起的空间,能够实现薄型化。

[0077] [复合部件器件的结构]

[0078] 参照图1、图2以及图3对第一实施方式的复合部件器件的结构进行说明。图1是示意性地表示本发明的第一实施方式的复合部件器件的截面的图。图2是图1的A部放大图。图3是图1的B部放大图。

[0079] 如图1所示,复合部件器件1具备三个复合部件层100、200、300。在图1中,将与复合部件器件1的厚度平行的方向设为Z方向,将正Z方向设为上侧,将逆Z方向设为下侧。在图1所示的复合部件器件1的截面中将与Z方向垂直的方向设为X方向。将与图1所示的复合部件器件1的截面垂直的方向设为Y方向。

[0080] [复合部件层]

[0081] 复合部件层100、200、300分别具备电子部件层110、210、310、以及设置于电子部件层110、210、310的再布线层120、220、320。三个复合部件层100、200、300在厚度方向上层叠为电子部件层110、210、310与再布线层120、220、320交替地配置。在复合部件层与其他的复合部件层的再布线层连接的情况下,复合部件层还具备层间粘接层。具体而言,复合部件层100、200还具备层间粘接层130、230。

[0082] 第二、第三复合部件层200、300的结构与第一复合部件层100的结构大致相同,因此,以下,举例说明第一复合部件层100。但是,关于与第一复合部件层100不同的部分,有时提及第二、第三复合部件层200、300。第三复合部件层300在不具有层间粘接层以及复合部件层贯通孔的方面与第一、第二复合部件层100、200不同。

[0083] (电子部件层)

[0084] 第一电子部件层110在其下表面与第一再布线层120粘接(接合),在其上表面经由第一层间粘接层(第一复合部件粘接层)130与第二复合部件层200的第二再布线层220粘接。这里,第一再布线层120以及第二再布线层220像后述那样例如为多层布线层的片材或者基板,例如具有布线(导电布线)120b以及包含无机材料(无机绝缘材料)的介电膜120a。第一电子部件层110具有一个以上的第一电子部件111和第一电子部件层贯通孔116,还具有第一Si基极层112、第一侧壁部113、第一树脂密封部114、第一电子部件粘接层115、第一Si贯通孔117。

[0085] —电子部件—

[0086] 第一电子部件111在第一复合部件层100内配置有一个以上。一个以上的第一电子部件111具有：第一电子部件主体部111c,具有与厚度方向垂直的第一面111a以及与第一面111a对置的第二面111b(相互对置的第一面111a以及第二面111b);多个第一部件电极111d,配置于第一面111a;以及第一绝缘部111e,配置在多个第一部件电极111d间。第一电子部件111经由第一电子部件粘接层115支承于第一Si基极层112。第一电子部件111由第一树脂密封部114密封在第一复合部件层100内。第一电子部件111的第一部件电极111d经由第一Si贯通孔117与第一再布线层120电连接。在一个以上的第一电子部件111存在多个的情况下,这些第一电子部件111可以是相互相同的种类,也可以是不同的种类。第一电子部件111的厚度例如为80~120 μm 。

[0087] 一个以上的第一电子部件111(具体地,两个第一电子部件111)在第一复合部件层100内均配置为其第一面111a相对于第二面111b位于第一再布线层120侧。而且,关于第二、第三复合部件层200、300,与一个以上的第一电子部件111的配置方向相同,一个以上的第二、第三电子部件211、311也在第二、第三复合部件层200、300内全部配置为其第一面211a、311a相对于第二面211b、311b位于第二、第三再布线层220、320侧。这些一个以上的电子部件111、211、311与再布线层120、220、320分别连接。这样,由于复合部件器件1的布线简单,因此不仅能够将复合部件层层叠两层,还能够层叠三层以上。

[0088] 一个以上的第一电子部件111例如是在与构成第一Si基极层112的物质相同的物质中将一个以上的元件一体化的电子部件。第一电子部件111例如是有源部件(更具体而言,CPU、GPU、以及LSI等)以及无源部件(更具体而言,电容器、电阻器、以及电感器等)。

[0089] 第一电子部件主体部111c例如包含陶瓷或者半导体材料(更具体而言,硅等)。

[0090] 第一部件电极111d作为导电性材料,例如是Cu、Ni、Sn以及Al以及包含它们的合金。优选导电性材料为这些材料中的与第一Si贯通孔117相同的材料。第一部件电极111d的厚度例如为1 μm ~30 μm ,优选为5 μm 以下。能够使第一部件电极111d变薄至1~5 μm 的厚度。第一部件电极111d的厚度例如能够为第一电子部件主体部111c的厚度的1/4~1/6倍。

[0091] 第一绝缘部111e作为将第一部件电极111d间电绝缘的层发挥功能。第一绝缘部111e的厚度例如为1~30 μm ,优选为5 μm 以下。能够使第一部件电极111d变薄至1~5 μm 的厚度。第一绝缘部111e的厚度例如能够为第一电子部件主体部111c的厚度的1/4~1/6倍。第一绝缘部111e的厚度也可以与第一部件电极111d相同,在该情况下,第一绝缘部111e的下表面与第一部件电极111d的下表面共面。

[0092] —Si基极层—

[0093] 第一Si基极层112具有相互对置的第一主面112a以及第二主面112b。第一Si基极层112在第二主面112b经由第一电子部件粘接层115支承一个以上的第一电子部件111,在第一主面112a与第一再布线层120连接。第一Si基极层112实质上由Si构成。这里,在本说明书中,实质上由Si构成是指对象部件以99质量%以上的比例包含Si。

[0094] 第一Si基极层112的厚度例如为150 μm 以下,优选为50 μm 以下,更优选为30 μm 以下。这样,能够使第一Si基极层112的厚度极端地变薄的理由是因为如下,在后述的复合部件器件1的制造方法中,将第一Si支撑件140贴合于第一Si基极层112而加强强度,因此即使对第一Si基极层112进行研磨而薄化,也不容易产生因强度不足引起的第一Si基极层112的破损

(破裂等) (参照图4E以及4F)。通过第一Si支撑件140对强度的加强,能够制造复合部件器件1。能够使第一Si基极层112的厚度与以往相比极端变薄,因此能够缩短从一个以上的电子部件111的第一部件电极111d电连接到第一再布线层120的通孔布线(即,第一Si贯通通孔117)的长度。由此,能够降低基于通孔布线的寄生阻抗,提高使用复合部件器件1的电子设备的电特性。

[0095] —侧壁部—

[0096] 在图1的基础上,如图3所示,第一侧壁部113在第一Si基极层112的第二主面112b配置为包围一个以上的第一电子部件111。第一侧壁部113在第一复合部件层100的两端部配置为包围一个以上的电子部件111的整体。第一电子部件层贯通通孔116贯通第一侧壁部113的内部。第一侧壁部113在截面观察时,具有大致矩形状,在其上表面经由第一层间粘接层130与第二复合部件层200的第二再布线层220连接,在其下表面经由第一电子部件粘接层115与第一Si基极层112粘接。第一侧壁部113的厚度例如为90~130 μm 。第一侧壁部113例如实质上由Si构成。

[0097] —树脂密封部—

[0098] 第一树脂密封部114将一个以上的第一电子部件111密封。

[0099] 树脂密封部114包含树脂(例如,环氧树脂),能够利用树脂使多个(两个以上的)第一电子部件111一体化。能够使多个第一电子部件111与树脂一体化,因此即使在两个以上的第一电子部件111具有相互不同的尺寸以及形状的情况下,也能够将两个以上的第一电子部件111配置在第一电子部件层110内。由此,能够进行自由度高的设计,能够根据用途将两个以上的第一电子部件111组合。例如,复合部件器件1能够内置不同种类的第一电子部件111。

[0100] —电子部件粘接层—

[0101] 第一电子部件粘接层115使一个以上的第一电子部件111粘接于第一Si基极层112的第二主面112b。在本说明书中第一电子部件粘接层115的厚度是指从第一部件电极111d的下表面到第一Si基极层112的第二主面112b为止的Z方向的厚度。第一电子部件粘接层115的厚度例如为4~6 μm 。

[0102] —电子部件层贯通通孔—

[0103] 两个以上的复合部件层中的与其他的复合部件层的再布线层邻接的复合部件层中的电子部件层还具有与其他的复合部件层的再布线层电连接的电子部件层贯通通孔。即,在复合部件层与其他的复合部件层的再布线层粘接的情况下,还具有与该其他的复合部件层的再布线层电连接的电子部件层贯通通孔。

[0104] 例如,与第二复合部件层200的第二再布线层220邻接的第一复合部件层100中的第一电子部件层110还具有与第二复合部件层200的第二再布线层220电连接的第一电子部件层贯通通孔116。即,由于第一复合部件层100与其他的第二复合部件层200的第二再布线层220连接,因此第一电子部件层110还具有与第二复合部件层200的第二再布线层220电连接的第一电子部件层贯通通孔116。由于第二复合部件层200与第三复合部件层300的第三再布线层320连接,因此第二电子部件层210还具有与第三复合部件层300的第三再布线层320电连接的第二电子部件层贯通通孔216。另一方面,由于第三复合部件层300不与其他的复合部件层的再布线层连接,因此第三复合部件层300不具有电子部件层贯通通孔。

[0105] 第一电子部件层贯通通孔116在Z方向上贯通第一电子部件层110(更具体而言,在Z方向上贯通第一侧壁部113、第一电子部件粘接层115以及第一Si基极层112),进一步还贯通第一层间粘接层130。第一电子部件层贯通通孔116具有:贯通第一层间粘接层130的粘接层导电通孔116a、贯通第一侧壁部113的侧壁部贯通通孔116b、贯通第一电子部件粘接层115的导电通孔116c、以及贯通第一Si基极层112的Si贯通通孔116d。粘接层导电通孔116a将第一电子部件层贯通通孔116与第二复合部件层200的第二再布线层220电连接。在复合部件器件1的与厚度方向垂直的平面中,粘接层导电通孔116a的截面积(XY平面中的截面积)比侧壁部贯通通孔116b的截面积大。因此,第一电子部件层贯通通孔116与第二再布线层220的电连接良好,第一、第二复合部件层100、200间的连接电阻降低,由此可靠性进一步提高。

[0106] 第一电子部件层贯通通孔116优选实质上由铜构成。这里,在本说明书中,实质上由铜(Cu)构成是指对象部件以99质量%以上的比例包含铜。若第一电子部件层贯通通孔116实质上由铜构成,由于铜为良好的导电材料,因此布线的电阻降低。

[0107] —Si贯通通孔—

[0108] 在图1的基础上,如图2所示,第一Si贯通通孔117贯通第一Si基极层112(以及第一电子部件粘接层115)而将第一部件电极111d与第一再布线层120电连接。

[0109] 第一Si贯通通孔117具有Si贯通通孔主体部117a、延伸部117b。Si贯通通孔主体部117a与第一再布线层120电连接,贯通第一Si基极层112内。延伸部117b与Si贯通通孔主体部117a电连接,从第一Si基极层112的第二主面112b延伸,贯通第一电子部件粘接层115内,并且与第一部件电极111d电连接。这样,从第一部件电极111d电连接到第一再布线层120的通孔布线仅由第一Si贯通通孔117构成,因此不具有(不需要)凸块(例如,焊料凸块)。因此,本实施方式的复合部件器件1能够进一步降低基于通孔布线的寄生阻抗。另外,由此使用复合部件器件1的电子设备的电子特性提高。并且,与以往相比能够缩短布线长度,因此能够降低复合部件器件1的厚度,能够实现复合部件器件1的小型化、轻薄化以及薄型化。通孔布线的长度(即,第一Si贯通通孔117的层叠方向的长度)例如为 $3\mu\text{m} \sim 36\mu\text{m}$ 。作为参考,例如,焊料凸块一般具有 $100 \sim 150\mu\text{m}$ 的直径。

[0110] 在图2中,第一Si贯通通孔117在层叠方向上为大致直线状。ZX平面中的第一Si贯通通孔117的截面形状在图2中为大致矩形状。另外,XY平面中的第一Si贯通通孔117的截面形状例如为大致圆形状、大致多边形形状、以及大致多边形的角带有圆角的形状。

[0111] (再布线层)

[0112] 第一再布线层120形成于第一Si基极层112的第一主面112a。第一再布线层120为多层布线层。第一再布线层120具有布线(导电布线)120b、以及实质上由无机材料(无机绝缘材料)构成的介电膜120a。

[0113] 布线120b具有导电通孔。导电通孔将第一再布线层120内的不同的层间的布线电连接。布线120b包含导电性材料。导电性材料例如是Cu、Ag、以及Au、以及包含它们的合金,在这些材料中优选Cu。第一再布线层120能够具有多个层,例如具有两层以上的布线120b、一层以上的介电膜120a。构成第一再布线层120的布线120b的一层以及介电膜120a的一层的厚度例如为 $1.5\mu\text{m} \sim 5.0\mu\text{m}$ 。在该情况下,第一再布线层120的厚度为使这些一层的厚度($1.5\mu\text{m} \sim 5.0\mu\text{m}$)乘以第一再布线层120内的合计层数而得的值(单位: μm)。

[0114] 介电膜120a实质上由作为绝缘材料的无机材料(无机绝缘材料)构成。这里,在本说明书中,实质上由无机材料构成是指对象部件以99质量%以上的比例包含无机材料。作为无机绝缘材料,例如列举氧化硅(SiO_2)以及氮化硅(SiN 、 Si_3N_4)。若介电膜120a由无机绝缘材料构成,则例如与第二实施方式的复合部件器件1A中的介电膜相比,能够使布线宽度为约1/10。由此,能够实现复合部件器件1的进一步的小型化以及薄型化。包含实质上由无机材料构成的介电膜120a的第一再布线层120的线和间隙(L/S)例如为 $1\mu\text{m}/1\mu\text{m}$ 。

[0115] 介电膜120a的厚度例如为 $0.1 \sim 2\mu\text{m}$ 。介电膜120a也可以为包含两种以上的成分的多成分膜。多成分膜也可以是多个层按照每个成分而形成的多层膜。多层膜的层构造例如从第一Si基极层112侧依次为 SiO_2 (厚度 $0.25\mu\text{m}$)/ Si_3N_4 (厚度 $0.1\mu\text{m}$)/ SiO_2 (厚度 $0.25\mu\text{m}$)/ Si_3N_4 (厚度 $0.1\mu\text{m}$)。

[0116] (层间粘接层)

[0117] 第一层间粘接层130使第一电子部件层110与第二复合部件层200的第二再布线层220粘接。

[0118] [复合部件器件的制造方法]

[0119] 对第一实施方式的复合部件器件1的制造方法的一例进行说明。

[0120] 第一实施方式的复合部件器件1的制造方法例如包含:

[0121] 电子部件粘接工序,使一个以上的电子部件粘接于Si基极层,以使得一个以上的电子部件的多个部件电极经由电子部件粘接层与具有格子状的侧壁部的Si基极层的底面部接触;

[0122] 电子部件密封工序,利用树脂将一个以上的电子部件密封而形成树脂密封部;

[0123] 再布线层形成工序,形成再布线层而制成复合部件层;以及

[0124] 层叠工序,通过电子部件粘接工序、电子部件密封工序以及再布线层形成工序而形成其他的复合部件层,在其他的复合部件层的侧壁部形成电子部件层贯通孔,而将其其他的复合部件层叠于复合部件层,

[0125] 实施至少一次层叠工序。

[0126] 第一实施方式的复合部件器件1的制造方法还包含:

[0127] Si基极层薄化工序,使Si基极层变薄;

[0128] 贯通孔形成工序,在薄化的Si基极层以及电子部件粘接层形成贯通孔,而使部件电极的表面的一部分露出;以及

[0129] Si贯通孔形成工序,在贯通孔形成Si贯通孔。

[0130] 第一实施方式的复合部件器件1的制造方法还可以包含:

[0131] Si基极层准备工序,准备Si基极层;

[0132] 绝缘部形成工序,在部件电极间形成绝缘部;

[0133] 树脂密封部薄化工序,使树脂密封部变薄;

[0134] Si支撑件贴合工序,在电子部件层贴合Si支撑件;

[0135] 介电膜形成工序,在Si基极层形成具有规定的图案的介电膜;以及

[0136] 切割工序,通过切割进行单片化。

[0137] 具体地说,参照图10A~图10B以及图4A~图4V,对复合部件器件1的制造方法的一例进行说明。图10A~图10B以及图4A~图4V是用于对复合部件器件1的制造方法进行说明

的图。第一实施方式的复合部件器件1的制造方法包含：绝缘部形成工序、Si基极层准备工序、电子部件粘接工序、电子部件密封工序、树脂密封部薄化工序、Si支撑件贴合工序、Si基极层薄化工序、介电膜形成工序、贯通孔形成工序、Si贯通孔形成工序、再布线层形成工序、层叠工序、切割工序。

[0138] 此外，在该制造方法中，从电子部件粘接工序到层叠工序为止制成由复合部件器件1集成而得的母集成体。另外，在该制造方法中按照第三复合部件层300、第二复合部件层200、第一复合部件层100的顺序制成。

[0139] (绝缘部形成工序)

[0140] 在绝缘部形成工序中，在第一电子部件111的第一部件电极111d间形成第一绝缘部111e。具体而言，在树脂层形成工序中，形成包含树脂的涂覆膜，实施平坦化处理而形成第一绝缘部111e。如图10A所示，使用旋涂法涂覆包含树脂和溶剂的溶液而形成涂覆膜。这里，使涂覆膜的最低的部分比第一部件电极111d的最高的部分高。即，将涂覆膜形成为多个第一部件电极111d的全部完全埋没于涂覆膜。对涂覆层进行干燥而形成第一绝缘部111e。后续的平坦化处理前的第一绝缘部111e优选完全覆盖第一部件电极111d。

[0141] 在平坦化处理中，如图10B所示，例如，使用平整机(Surface Planer)以及研磨机，对第一部件电极111d以及第一绝缘部111e的表面进行研磨而平坦化，在第一部件电极111d间形成第一绝缘部111e。由此，第一部件电极111d的顶面露出，第一部件电极111d以及第一绝缘部111e的顶面共面。

[0142] (Si基极层准备工序)

[0143] 在Si基极层准备工序中，准备第三Si基极层312。具体而言，如图4A所示，在Si基极层准备工序中，作为第三Si基极层312，准备Si晶片，在第三Si基极层312上形成第三电子部件粘接层315(严格来说，粘接剂的涂覆膜)，配置第三侧壁部313。由此，形成第三Si基极层312，该第三Si基极层312具有俯视时矩形状的底面部、以及以格子状配置为包围矩形状的底面部的侧壁部。在后述的电子部件粘接工序中使一个以上的第三电子部件311粘接于由这些底面部以及侧壁部包围的凹部(或者凹陷、或者空腔)。

[0144] 粘接剂的涂覆膜形成在第三Si基极层312的第二主面312b上。由此，制成形成有涂覆膜的第三Si基极层312。涂覆法例如为旋涂。优选将涂覆膜的厚度控制并涂覆为一个以上的第三电子部件311的第三部件电极311d的厚度 $\sim 10\mu\text{m}$ 的范围。粘接剂例如为热固性树脂。这样的热固性树脂例如为包含来自苯并环丁烯(BCB)的重复单元的热固性树脂，例如能够将1,3-divinyl-1,1,3,3-tetramethyldisiloxane-bis-benzocyclobutene(DVS-bis-BCB)聚合而得到。作为市售品，例如，有陶氏化学(Dow Chemical)制“CYCLOTENE”。

[0145] Si晶片的形状可以在俯视时为扁平的圆柱形状，但不限于此。在本说明书中，扁平是指圆柱形状的高度(h)比外径(直径:2r)小($h/2r < 1$)。在Si晶片的形状为圆柱形状的情况下，Si晶片的厚度例如为 $775\mu\text{m}$ (Si晶片的直径 $\phi 300\text{mm}$)、 $725\mu\text{m}$ ($\phi 200\text{mm}$)、 $675\mu\text{m}$ ($\phi 150\text{mm}$)、以及 $525\mu\text{m}$ ($\phi 100\text{mm}$)。此外，Si基极层准备工序也可以在绝缘部形成工序之前实施。第三Si基极层312以及第三侧壁部313均实质上由Si构成。

[0146] (电子部件粘接工序)

[0147] 在电子部件粘接工序中，使一个以上的第三电子部件311粘接于第三Si基极层312，以使得一个以上的第三电子部件311的多个第三部件电极311d经由第三电子部件粘接

层315与具有格子状的第三侧壁部313的第三Si基极层312的底面部接触。具体而言,在电子部件粘接工序中,如图4B所示,将一个以上的第三电子部件311配置(搭载)于第三Si基极层312(的底面部),以使得第三部件电极311d以及第三绝缘部311e经由第三电子部件粘接层315(严格来说,粘接剂的涂覆膜)与第三Si基极层312(的底面部)接触。接着,使粘接剂的涂覆膜固化,而形成第三电子部件粘接层315。由此,使一个以上的第三电子部件311粘接在第三Si基极层312上。

[0148] 第三电子部件311使用具备真空腔室的装置而配置于涂覆膜。详细地说,使电子部件集成晶片(将一个以上的第三电子部件311集成多个而得的晶片)贴合于第三Si基极层312(具有第三侧壁部313的第三Si基极层312)。沿着第三电子部件311的层叠方向在双方向施加压力,并进行加热。具体而言,在装置中的真空腔室内的下工作台设置该第三Si基极层312。使第三电子部件311真空吸引(或者减压吸引)到真空腔室内的上工作台,以使得第三电子部件311的第三部件电极311d成为与涂覆膜对置的方向。在该第三Si基极层312与电子部件集成晶片的对位中,例如使用第三Si基极层312的识别标记。在该第三Si基极层312的涂覆膜侧配置一个以上的第三电子部件311。沿着上下工作台相互对置的方向,在双方向施加压力,并进行加热。

[0149] 使第三部件电极311d以及第三绝缘部311e经由第三电子部件粘接层315与第三Si基极层312对置,而将电子部件集成晶片粘接在该第三Si基极层312上。

[0150] (电子部件密封工序)

[0151] 在电子部件密封工序中,利用树脂将一个以上的第三电子部件311密封而形成第三树脂密封部314。在电子部件密封工序中,具体而言,如图4C所示,使用点胶机(Dispenser),在搭载了一个以上的第三电子部件311的第三Si基极层312上涂覆液状树脂。然后,使用压缩模塑装置,将所涂覆的液状树脂成型。然后,例如,使用热风循环烘箱,使液状树脂固化。固化中的热处理条件例如为150°C、1小时。由此,形成第三树脂密封部314。

[0152] (树脂密封部薄化工序)

[0153] 在树脂密封部薄化工序中,使第三树脂密封部314变薄。在树脂密封部薄化工序中,具体而言,如图4D所示,使用Si晶片的背面研磨机,对第三树脂密封部314进行研磨而薄化。在电子部件薄化工序中,对第三电子部件311的第二面311b侧的第三树脂密封部314的面进行研磨。优选研磨量尽可能多。薄化后的第三树脂密封部314的厚度例如为50~150 μm 。

[0154] 在表示树脂密封部薄化工序的一例的图4D中,对第三电子部件层310的第三树脂密封部314进行研磨,但也可以进一步对一个以上的第三电子部件311进行研磨。但是,不损伤第三电子部件311的内部的功能部分。功能部分例如在电容器的情况下为电介质以及电极,在电感器的情况下为布线。

[0155] (Si支撑件贴合工序)

[0156] 在Si支撑件贴合工序中,如图4E所示,将第三Si支撑件340贴合于第三树脂密封部314。具体而言,作为第三Si支撑件340,另外准备在Si基极层准备工序中说明的Si晶片。接着,通过在电子部件粘接工序中说明的方法,在第三Si支撑件340上形成粘接层350(严格来说,粘接剂的涂覆膜)。然后,使第三树脂密封部314的研磨面与涂覆膜接触,而在第三Si支撑件340上贴合第三树脂密封部314,施加压力并进行加热。由此,使粘接剂的涂覆膜固化,形成粘接层350,在第三树脂密封部314的研磨面上经由粘接层350配置第三Si支撑件340。

设置第三Si支撑件340的目的是为了在后续的Si基极层薄化工序中,防止因制造过程的层比以往薄而产生弊端(更具体而言,强度的降低等)。

[0157] 第三Si支撑件340根据需要,从提高加工性的观点出发,能够在贴合前薄化。这是为了在后续的工序中使用半导体器件装置形成介电膜。例如,在第三电子部件311的厚度为150 μm 的情况下,使作为第三Si支撑件340的Si晶片(ϕ 300mm、一般的厚度775 μm)薄化至约625 μm 。

[0158] (Si基极层薄化工序)

[0159] Si基极层薄化工序使第三Si基极层312变薄。具体而言,在Si基极层薄化工序中,如图4F所示,利用与树脂密封部薄化工序相同的方法,对第三Si基极层312进行研磨,而将第三Si基极层312薄化并将研磨面平坦化。在Si基极层薄化工序中,在利用第三Si支撑件340承载了第三Si基极层312的状态下进行薄化,因此能够有效地使第三Si基极层312变薄。由此,在本实施方式的复合部件器件1的制造方法中,能够制造电子部件模块优异、并且薄型化、小型化的复合部件器件1。优选研磨量防止上述弊端,例如在能够维持一定的强度的范围内尽可能多。考虑研磨面的平坦化的偏差,薄化后的第三Si基极层312的厚度优选为3 μm 以上。

[0160] (介电膜形成工序)

[0161] 在介电膜形成工序中,如图4G、图4H以及图4I所示,在第三Si基极层312上形成具有规定的图案的介电膜320a。

[0162] 这里,图4G~图4I是与图4F的C部对应的部分的放大图。图4J~图4M也同样。另外,图4G~图4M主要是与第三Si贯通通孔317以及第三再布线层320的形成相关的图,因此为了方便,希望注意第三Si贯通通孔317、第三再布线层320以及形成它们的部位被扩大为占据较大空间。

[0163] 具体而言,使用等离子体增强化学气相沉积(plasma-enhanced chemical vapor deposition:PECVD)这样的气相沉积(CVD)法,如图4G所示,在第三Si基极层312的整面形成介电膜(厚度0.1~0.2 μm)320a。介电膜320a也可以形成一层以上。例如在形成四层的介电膜320a的情况下,能够从第三Si基极层312侧依次设为 $\text{SiO}_2:0.25\mu\text{m}/\text{Si}_3\text{N}_4:0.1\mu\text{m}/\text{SiO}_2:0.25\mu\text{m}/\text{Si}_3\text{N}_4:0.1\mu\text{m}$ 。

[0164] 另外,在介电膜形成工序中能够在介电膜320a的形成前清洗第三Si基极层312的表面。清洗例如是湿式清洗、以及氧等离子体灰化。

[0165] 接着,如图4H以及图4I所示,使用光刻法对介电膜320a进行图案化。通过旋涂液体抗蚀剂,在介电膜320a整面形成光致抗蚀剂膜360。经由与规定的图案对应的掩模对光致抗蚀剂膜360进行曝光。对曝光后的光致抗蚀剂膜360进行显影。使用RIE(反应性蚀刻:Reactive Ion Etching),选择性地除去光致抗蚀剂膜360的介电膜320a。例如,在形成上述的四层的介电膜320a的情况下,选择性地除去介电膜320a的表面侧(在介电膜320a中与第三Si基极层312侧对置的面侧)的两层。然后,剥离光致抗蚀剂膜360。由此,将具有规定的图案的介电膜320a形成于第三Si基极层312。另外,介电膜320a作为将后述的图4L所示的两个第三Si贯通通孔317间电绝缘的绝缘膜发挥功能。

[0166] 此外,第三Si基极层312的第一主面312a还可以具有标记层。能够利用红外线(IR)照相机检测标记层,进行光刻法中的对位。

[0167] (贯通孔形成工序)

[0168] 在贯通孔形成工序中,在薄化的第三Si基极层312以及第三电子部件粘接层315形成贯通孔312c、315c,使第三部件电极311d的表面的一部分露出。具体而言,在贯通孔形成工序中,在整面形成光致抗蚀剂膜360。经由与第三Si贯通孔317的图案对应的掩模对光致抗蚀剂膜360进行曝光。对曝光后的光致抗蚀剂膜360进行显影,形成具有图4J所示的规定的图案的光致抗蚀剂膜360。如图4K所示,从光致抗蚀剂膜360的开口部360a选择性地除去(蚀刻)存在于Z方向的第三Si基极层312以及第三电子部件粘接层315。蚀刻例如使用RIE以及激光照射来实施。由此,形成贯通孔312c、315c,第三部件电极311d(的上表面的一部分)露出。这里,ZX截面中的第三电子部件粘接层315的贯通孔315c具有大致椭圆形状。在本说明书中,大致椭圆形状不仅包含严格的椭圆形状,还包含考虑了制造时的蚀刻条件等现实的偏差等的类似的椭圆形状。这是因为,构成第三电子部件粘接层315的材料比构成第三Si基极层312的材料容易蚀刻。由此,在后续的Si贯通孔形成工序中形成大致椭圆形状的延伸部317b。在贯通孔312c、315c的形成后,除去光致抗蚀剂膜360。作为蚀刻单元,优选为RIE。通过作为蚀刻单元使用RIE,从而提高暴露的第三部件电极311d的上表面的平坦性,因此能够与之后形成的第三Si贯通孔317形成良好的接合。由此,能够进一步抑制电连接性的降低。

[0169] (Si贯通孔形成工序)

[0170] 在Si贯通孔形成工序中,在贯通孔形成Si贯通孔。具体而言,在贯通孔形成工序中,如图4L所示,通过电镀而在贯通孔312c、315c形成第三Si贯通孔317。使用双道金属镶嵌法(更具体而言,Cu双道金属镶嵌法),通过电镀(更具体而言,电解Cu镀覆)而在贯通孔312c、315c形成第三Si贯通孔317。由此,形成第三电子部件层310。

[0171] (再布线层形成工序)

[0172] 在再布线层形成工序中,形成第三再布线层320而制成第三复合部件层300。具体而言,在再布线层形成工序中,如图4M所示,通过上述的光刻法以及蚀刻,形成具有规定的图案的介电膜320a以及布线320b,而形成第三再布线层320。此外,在图4M中,在第三再布线层320中嵌入在图4H中形成的介电膜320a以及在图4L中形成的布线320b来描绘。图4N表示包含图4M的第三复合部件层300的剖视图。图4M是图4N的C'部放大图。

[0173] (层叠工序)

[0174] 在层叠工序中,通过上述的绝缘部形成工序~再布线层形成工序而形成其他的复合部件层(第一、第二复合部件层100、200),在该其他的复合部件层形成电子部件层贯通孔116、216而将该其他的复合部件层层叠于第三复合部件层300。在本实施方式中,将复合部件层层叠两次。

[0175] 具体而言,首先,在层叠工序中,将第二复合部件层200层叠于第三复合部件层300。通过图4A~图4M所示的绝缘部形成工序~再布线层形成工序而形成第二复合部件层200。从贴合了第二Si支撑件240的第二复合部件层200除去第二Si支撑件240,如图4O所示,将第二Si支撑件240重新贴合于第二复合部件层200的第二再布线层220。如图4P所示,通过第二层间粘接层230而将图4O所示的第二复合部件层200贴合于图4N所示的第三复合部件层300。如图4Q所示,除去第二Si支撑件240。如图4R所示,在第二复合部件层200形成第二电子部件层贯通孔216。第二电子部件层贯通孔216能够通过上述的Si贯通孔工序相

同的方式而形成。由此,将第二复合部件层200层叠于第三复合部件层300。

[0176] 接着,层叠第一复合部件层100。与第二复合部件层200同样,如图4A~图4P所示,将第一复合部件层100层叠于第二复合部件层200(参照图4S)。如图4T所示,除去第一Si支撑件140。如图4U所示,在第一复合部件层100形成第一电子部件层贯通通孔116。第一电子部件层贯通通孔116能够通过上述的Si贯通通孔工序相同的方式而形成。由此,进一步层叠第一复合部件层100。

[0177] (切割工序)

[0178] 切割工序如图4V所示那样进行切割而将母集成体单片化,除去第三Si支撑件340。由此,制造复合部件器件1。

[0179] <第二实施方式>

[0180] [复合部件器件的结构]

[0181] 第二实施方式的复合部件器件与第一实施方式的复合部件器件相比,在不具有Si基层层112、212、312、侧壁部113、213、313以及Si贯通通孔117、217、317的方面,在具有金属层370的方面、以及电子部件粘接层115、215、315以及电子部件层贯通通孔116、216、316不同的方面不同。以下主要说明该不同的结构。此外,在第二实施方式中,与第一实施方式相同的附图标记为与第一实施方式相同的结构,因此原则上省略其说明。

[0182] 参照图5以及图6对第二实施方式的复合部件器件的结构进行说明。图5是示意性地表示本发明的第二实施方式的复合部件器件的截面的图。与第一实施方式同样,第二、第三复合部件层200、300的结构与第一复合部件层100大致相同,因此,以下,主要说明第一复合部件层100。但是,关于与第一复合部件层100不同的事项,有时提及第二、第三复合部件层200、300。

[0183] (电子部件层)

[0184] 第一电子部件层110具有第一电子部件111、第一电子部件层贯通通孔116A,还具有第一树脂密封部114、第一电子部件粘接层115A。

[0185] —电子部件—

[0186] 第一电子部件111支承于第一再布线层120A。第一电子部件111的第一部件电极111d与第一再布线层120直接电连接(直接接合)。

[0187] —电子部件粘接层—

[0188] 在复合部件层与其他的复合部件层的再布线层连接的情况下,配置在复合部件层内的一个以上的电子部件通过电子部件粘接层而粘接于其他的复合部件层的再布线层。更具体而言,第一电子部件粘接层115A使第一电子部件111的第二面111b粘接于第二复合部件层200的第二再布线层220A。第二电子部件粘接层215A使第二电子部件211的第二面211b粘接于第三复合部件层300的第三再布线层320。另一方面,第三电子部件粘接层315A使第三电子部件311的第二面311b粘接于金属层370。

[0189] —电子部件层贯通通孔—

[0190] 第一电子部件层贯通通孔116A为柱状布线(更具体而言,Cu柱)。第一电子部件层贯通通孔116A的XY平面中的截面积比第一实施方式中的第一电子部件层贯通通孔116大。第一电子部件层贯通通孔116A的XY平面中的截面直径例如为35~100 μm 。第一电子部件层贯通通孔116A的数量在截面观察时全部为4根,在第一复合部件层100的各端部分别配置2

根。

[0191] 复合部件器件1A的与厚度方向垂直的面中的第一电子部件层贯通孔116A的截面积也可以从第一电子部件111的第二面111b朝向第一面111a增加。即,第一电子部件层贯通孔116A的ZX截面中的形状(ZX截面形状)也可以相对于复合部件层100、200、300的层叠方向为锥形形状。更具体而言,第一电子部件层贯通孔116A的XY平面中的截面积(XY截面积)也可以从第二面111b朝向第一面111a减少。

[0192] (再布线层)

[0193] 第一再布线层120A与第一部件电极111d直接接合。第一再布线层120A若与第一部件电极111d直接接合,则能够进一步减少第一再布线层120A与第一部件电极111d之间的通孔布线的长度,因此能够使复合部件器件进一步小型化以及薄型化,还能够降低通孔布线的电阻。

[0194] 第一再布线层120A具有实质上由有机材料(有机绝缘材料)构成的介电膜、布线(导电布线)。这里,在本说明书中,介电膜实质上由有机材料构成是指介电膜以99质量%以上的比例包含有机材料。

[0195] 介电膜实质上由作为绝缘材料的有机绝缘材料构成。作为有机绝缘材料,例如列举环氧树脂、硅酮树脂、聚酯、聚丙烯、聚酰亚胺、丙烯腈-丁二烯-苯乙烯(ABS)树脂、丙烯腈-苯乙烯(AS)树脂、甲基丙烯酸树脂、聚酰胺、氟树脂、液晶聚合物、聚对苯二甲酸丁二醇酯、以及聚碳酸酯。若构成介电膜的绝缘材料为有机绝缘材料,则介电膜例如不使用PECVD这样的方法而形成,因此与第一实施方式的复合部件器件1相比,能够降低成本。

[0196] 包含实质上由无机材料构成的介电膜的第一再布线层120A的线和间隙(L/S)例如为 $10\mu\text{m}/10\mu\text{m}$ 。介电膜的厚度例如为 $1\sim 20\mu\text{m}$ 。

[0197] (金属层)

[0198] 第三复合部件层300具有金属层370。金属层370作为复合部件器件1A的电磁屏蔽发挥功能。

[0199] [复合部件器件的制造方法]

[0200] 对第二实施方式的复合部件器件1A的制造方法的一例进行说明。

[0201] 第二实施方式的复合部件器件1A的制造方法例如包含:

[0202] 电子部件粘接工序,使一个以上的电子部件粘接于Si支撑件,以使得一个以上的电子部件的第二面经由电子部件粘接层与Si支撑件(Si支撑件基材)接触;

[0203] 电子部件密封工序,利用树脂将一个以上的电子部件密封而形成树脂密封部;以及

[0204] 树脂密封部薄化工序,使树脂密封部变薄而使部件电极的表面整体露出;

[0205] 再布线层形成工序,形成再布线层而制成复合部件层;以及

[0206] 层叠工序,在复合部件层上形成电子部件层贯通孔,使一个以上的电子部件粘接于复合部件层以使得一个以上的电子部件的第二面经由电子部件粘接层与复合部件层接触,利用树脂将一个以上的电子部件密封而形成树脂密封部,使树脂密封部变薄而使部件电极的表面整体露出,形成再布线层而将其他的复合部件层层叠于复合部件层,

[0207] 执行至少一次上述层叠工序。

[0208] 第二实施方式的复合部件器件1A的制造方法还可以包含:

[0209] 绝缘部形成工序,形成绝缘部;以及

[0210] 切割工序,通过切割进行单片化。

[0211] 具体地说,参照图6A~图6O,对复合部件器件1A的制造方法的一例进行说明。图6A~图6O是用于对复合部件器件1A的制造方法进行说明的图。第二实施方式的复合部件器件1A的制造方法按照时间序列的顺序,包含绝缘部形成工序、电子部件粘接工序、电子部件密封工序、树脂密封部薄化工序、再布线层形成工序、层叠工序、切割工序。在这些工序中,绝缘部形成工序(参照图10A以及图10B)、电子部件密封工序(参照图6B)、切割工序(参照图6O)与第一实施方式的对应的工序分别实质上相同,因此省略。

[0212] (电子部件粘接工序)

[0213] 在电子部件粘接工序中,使一个以上的第三电子部件311粘接于第三Si支撑件340,以使得一个以上的第三电子部件311的第二面311b经由第三电子部件粘接层315A与第三Si支撑件340接触。具体而言,在电子部件粘接工序中,如图6A所示,在(与第一实施方式的绝缘部形成工序同样形成第三绝缘部311e的)第三电子部件311的第二面311b形成第三电子部件粘接层315A(严格来说,粘接剂的涂覆膜),经由涂覆膜在第三Si支撑件340(严格来说,经由粘接层350配置有金属层370的第三Si支撑件340)配置(搭载)一个以上的第三电子部件311。接着,使第三电子部件粘接层315A固化。由此,使一个以上的第三电子部件311粘接在第三Si支撑件340上。

[0214] (树脂密封部薄化工序)

[0215] 在树脂密封部薄化工序中,使第三树脂密封部314变薄而使第三部件电极311d的表面整体露出。具体而言,在树脂密封部薄化工序中,如图6C所示,使用Si晶片的背面研磨机,对第三树脂密封部314进行研磨而薄化。由此,使第三部件电极311d的表面整体露出。此外,在本工序中,也可以对部件电极311d以及第三绝缘部311e的一部分进行研磨。

[0216] (再布线层形成工序)

[0217] 在再布线层形成工序中,形成第三再布线层320A而制成第三复合部件层300。具体而言,在再布线层形成工序中,如图6D所示,使用光刻法,形成具有规定的图案的介电膜以及布线,形成第三再布线层320A。在第二实施方式中,在介电膜的形成中不使用比较昂贵的PVCVD等装置,因此能够降低成本。

[0218] (层叠工序)

[0219] 在层叠工序中,在第三复合部件层300上形成第二电子部件层贯通通孔216A,使一个以上的第二电子部件211粘接于第三复合部件层300以使得一个以上的第二电子部件211的第二面211b经由第二电子部件粘接层215A与第三复合部件层300接触,利用树脂将一个以上的第二电子部件211密封而形成第二树脂密封部214,使第二树脂密封部214变薄而使第二部件电极311d的表面整体露出,形成第二再布线层220A而将其他的复合部件层(第一、第二复合部件层100、200)层叠于第三复合部件层300。执行两次层叠工序。

[0220] 具体而言,在层叠工序中,首先,将第二复合部件层200层叠于第三复合部件层300。如图6E所示,在第三复合部件层300上形成第二电子部件层贯通通孔216A。详细地说,将干膜抗蚀剂(DFR)层压于第三复合部件层300的第三再布线层320A(的整面)。通过光刻,贯通DFR而设置开口部。通过Cu通孔镀覆,在开口部形成第二电子部件层贯通通孔216A。将DER剥离。由此,在第三复合部件层300上形成第二电子部件层贯通通孔216A。

[0221] 与电子部件粘接工序同样,如图6F所示,将一个以上的第二电子部件211粘接于第三复合部件层300,以使得一个以上的第二电子部件211的第二面211b经由第二电子部件粘接层215A与第三复合部件层300接触。

[0222] 与电子部件密封工序同样,如图6G所示,利用树脂将一个以上的第二电子部件211密封而形成第二树脂密封部214。与树脂密封部薄化工序同样,如图6H所示,使第二树脂密封部214变薄而使第二部件电极211d以及第二绝缘部211e的表面整体露出。与再布线层形成工序同样,如图6I所示,形成第二再布线层220A。由此,将第二复合部件层200层叠于第三复合部件层300。

[0223] 接着,将第一复合部件层100层叠于第二复合部件层200。与上述的层叠工序中的第二复合部件层200的形成同样,如图6J~图6N所示,将第一复合部件层100层叠于第二复合部件层200。

[0224] 经由图6O所示的切割工序,制造第二实施方式的复合部件器件1A。

[0225] <第三实施方式>

[0226] [复合部件器件的结构]

[0227] 第三实施方式的复合部件器件与第一实施方式的复合部件器件相比,在不具有Si基极层112、212、312、电子部件粘接层115、215、315以及Si贯通通孔117、217、317的方面、以及在电子部件层贯通通孔116、216、316不同的方面不同。以下主要说明该不同的结构。此外,在第三实施方式中,与第一、第二实施方式相同的附图标记为与第一、第二实施方式分别相同的结构,因此原则上省略其说明。

[0228] 参照图7以及图8对第三实施方式的复合部件器件的结构进行说明。图7是示意性地表示本发明的第三实施方式的复合部件器件的截面的图。图8是图7的D部放大图。与第一实施方式同样,第二、第三复合部件层200、300的结构与第一复合部件层100大致相同,因此,以下主要说明第一复合部件层100。但是,关于与第一复合部件层100不同的事项,有时提及第二、第三复合部件层200、300。第一复合部件层100具有第一电子部件层110、以及设置于第一电子部件层110的再布线层120A。

[0229] (电子部件层)

[0230] 第一电子部件层110具有第一电子部件111、第一电子部件层贯通通孔116B,还具有第一侧壁部113、第一树脂密封部114。

[0231] —电子部件层贯通通孔—

[0232] 第一电子部件层贯通通孔116B在Z方向上贯通第一电子部件层110的第一侧壁部113,进一步还贯通第一层间粘接层130。第一电子部件层贯通通孔116B具有贯通第一层间粘接层130的粘接层导电通孔116a、以及贯通第一侧壁部113的侧壁部贯通通孔116b。

[0233] [复合部件器件的制造方法]

[0234] 对第三实施方式的复合部件器件1B的制造方法的一例进行说明。

[0235] 第三实施方式的复合部件器件1B的制造方法例如包含:

[0236] 电子部件粘接工序,使一个以上的电子部件粘接于Si基极层,以使得一个以上的电子部件的多个部件电极经由电子部件粘接层与具有格子状的侧壁部的Si基极层的底面部接触;

[0237] 电子部件密封工序,利用树脂将一个以上的电子部件密封而形成树脂密封部;

- [0238] 再布线层形成工序,形成再布线层而制成复合部件层;以及
- [0239] 层叠工序,通过电子部件粘接工序、电子部件密封工序以及再布线层形成工序而形成其他的复合部件层,在其他的复合部件层的侧壁部形成电子部件层贯通通孔,而将其他的复合部件层层叠于复合部件层,
- [0240] 执行至少一次层叠工序。
- [0241] 第三实施方式的复合部件器件1B的制造方法还包含Si基极层除去工序,除去Si基极层以及电子部件粘接层而使部件电极的表面整体露出。
- [0242] 第三实施方式的复合部件器件1B的制造方法还可以包含:
- [0243] Si基极层准备工序,准备Si基极层;
- [0244] 绝缘部形成工序,形成绝缘部;
- [0245] 树脂密封部薄化工序,使树脂密封部变薄;
- [0246] Si支撑件贴合工序,将Si支撑件贴合于电子部件层;以及
- [0247] 切割工序,通过切割而进行单片化。
- [0248] 具体地说,参照图9A~图9J,对复合部件器件1B的制造方法的一例进行说明。图9A~图9J是用于对复合部件器件1B的制造方法进行说明的图。第三实施方式的复合部件器件1B的制造方法包含绝缘部形成工序、Si基极层准备工序、电子部件粘接工序、电子部件密封工序、树脂密封部薄化工序、Si支撑件贴合工序、Si基极层除去工序、再布线层形成工序、层叠工序、切割工序。
- [0249] (绝缘部形成工序~Si支撑件贴合工序)
- [0250] 与第一实施方式同样,执行绝缘部形成工序~Si支撑件贴合工序(参照:图4A~图4E)。
- [0251] (Si基极层除去工序)
- [0252] 在Si基极层除去工序中,除去第三Si基极层312以及第三电子部件粘接层315而使第三部件电极111d的表面整体露出。具体而言,在Si基极层除去工序中,如图9A所示,使用与第一实施方式中的Si基极层薄化工序相同的方式,除去第三Si基极层312以及第三电子部件粘接层315。
- [0253] (再布线层形成工序)
- [0254] 在再布线层形成工序中,形成第三再布线层320A。具体而言,在再布线层形成工序中,使用与第二实施方式中的再布线层形成工序相同的方式,如图9B所示,形成第三再布线层320A。由此,形成第三复合部件层300。
- [0255] (层叠工序)
- [0256] 如图9C~图9I所示,层叠工序与第一实施方式的层叠工序同样,通过上述的绝缘部形成工序~再布线层形成工序而形成其他的复合部件层(第一、第二复合部件层100、200),在该其他的复合部件层形成电子部件层贯通通孔116B、216B而将该其他的复合部件层层叠于第三复合部件层300。
- [0257] (切割工序)
- [0258] 与第一实施方式同样,执行切割工序(参照:图9J)。由此,制造复合部件器件1B。
- [0259] <其他的实施方式>
- [0260] 本发明不限于上述的实施方式,能够在不脱离本发明的主旨的范围内进行设计变

更。另外,也可以对第一~第三实施方式的结构进行各种组合。

[0261] 在第一~第三实施方式中,是具备三个复合部件层的复合部件器件1、1A、1B,但并不限于此。例如,复合部件器件也可以具备两个或者四个以上的复合部件层。在这样的情况下,在复合部件器件的制造方法中执行一次或者三次以上的层叠工序。本发明的复合部件器件的各复合部件层的结构大致相同,因此布线设计不容易变得复杂,容易地将复合部件层间电连接。因此,即使层叠三个以上的复合部件层也能够容易地形成布线。因此,在电路设计中不容易施加内置的电子部件的数量、种类等的限制,设计的自由度高。能够实现多种电路结构,所应用的用途范围变宽。

[0262] 在第一~第三实施方式中,复合部件器件在各复合部件层各具有两个相同的种类的电子部件,但不限于此。例如,复合部件器件也可以具有不同种类的电子部件,也可以在各复合部件层具有一个或者三个以上的电子部件。另外,复合部件器件也可以在各复合部件层具有不同数量的电子部件。因此,在电路设计中不容易施加内置的电子部件的数量、种类等的限制,设计的自由度高。能够实现多种电路结构,所应用的用途范围更广。

[0263] 本发明的复合部件器件及其制造方法方式像以下那样。

[0264] <1>

[0265] 一种复合部件器件,具备两个以上的复合部件层,该复合部件层具有电子部件层以及设置于该电子部件层的再布线层,其中,

[0266] 上述两个以上的复合部件层在厚度方向上层叠为上述电子部件层与上述再布线层交替地配置,

[0267] 上述电子部件层具有一个以上的电子部件,该电子部件具有电子部件主体部和多个部件电极,该电子部件主体部具有与上述厚度方向垂直的第一面以及与该第一面对置的第二面,该多个部件电极配置于该第一面,

[0268] 上述一个以上的电子部件的上述部件电极与上述再布线层电连接,

[0269] 上述两个以上的复合部件层中的与其他的复合部件层的再布线层邻接的复合部件层中的电子部件层还具有与该其他的复合部件层的该再布线层电连接的电子部件层贯通通孔。

[0270] <2>

[0271] 根据<1>中记载的复合部件器件,其中,

[0272] 上述电子部件层贯通通孔实质上由铜构成。

[0273] <3>

[0274] 根据<1>或<2>中记载的复合部件器件,其中,

[0275] 上述电子部件层还具有将上述一个以上的电子部件密封的树脂密封部。

[0276] <4>

[0277] 根据<1>至<3>中任一个所记载的复合部件器件,其中,

[0278] 上述复合部件器件所包含的全部的电子部件在上述两个以上的复合部件层内配置为该第一面相对于第二面位于再布线层侧。

[0279] <5>

[0280] 根据<1>至<4>中任一个所记载的复合部件器件,其中,

[0281] 上述电子部件层还具有侧壁部,该侧壁部配置为包围上述一个以上的电子部件,

上述电子部件层贯通通孔贯通该侧壁部。

[0282] <6>

[0283] 根据<1>至<5>中任一一个所记载的复合部件器件,其中,

[0284] 上述电子部件层还具有:

[0285] Si基极层,支承上述一个以上的电子部件;以及

[0286] Si贯通通孔,贯通上述Si基极层而将上述部件电极与上述再布线层电连接。

[0287] <7>

[0288] 根据<1>至<6>中任一一个所记载的复合部件器件,其中,

[0289] 上述再布线层具有实质上由无机材料构成的介电膜。

[0290] <8>

[0291] 根据<5>中记载的复合部件器件,其中,

[0292] 上述复合部件层经由粘接层与上述其他的复合部件层粘接,

[0293] 上述电子部件层贯通通孔具有贯通上述侧壁部的侧壁部贯通通孔以及贯通上述粘接层的导电通孔,

[0294] 上述导电通孔将上述电子部件层贯通通孔与上述其他的复合部件层的再布线层电连接,

[0295] 在与上述厚度方向垂直的平面中,上述导电通孔的截面积比上述侧壁部贯通通孔的截面积大。

[0296] <9>

[0297] 根据<1>至<4>中任一一个所记载的复合部件器件,其中,

[0298] 上述再布线层与上述部件电极直接接合。

[0299] <10>

[0300] 根据<1>至<5>以及<9>中任一一个所记载的复合部件器件,其中,

[0301] 上述再布线层具有实质上由有机材料构成的介电膜。

[0302] <11>

[0303] 根据<10>中记载的复合部件器件,其中,

[0304] 与上述厚度方向垂直的面中的上述电子部件层贯通通孔的截面积从上述第二面朝向上述第一面增加。

[0305] <12>

[0306] 一种复合部件器件的制造方法,制造<1>至<8>中任一一个所记载的复合部件器件,其中,

[0307] 上述复合部件器件的上述电子部件层还具有:

[0308] 侧壁部,配置为包围上述一个以上的电子部件,上述电子部件层贯通通孔贯通该侧壁部;以及

[0309] 树脂密封部,使上述一个以上的电子部件一体化,

[0310] 在该复合部件器件的制造方法中,包含:

[0311] 电子部件粘接工序,使上述一个以上的电子部件粘接于上述Si基极层,以使得上述一个以上的电子部件的多个部件电极经由电子部件粘接层与具有格子状的侧壁部的Si基极层的底面部接触;

- [0312] 电子部件密封工序,利用树脂将上述一个以上的电子部件密封而形成树脂密封部;
- [0313] 再布线层形成工序,形成上述再布线层而制成复合部件层;以及
- [0314] 层叠工序,通过上述电子部件粘接工序、上述电子部件密封工序以及上述再布线层形成工序而形成其他的复合部件层,在该其他的复合部件层形成电子部件层贯通孔,而将其他的复合部件层叠于上述复合部件层,
- [0315] 执行至少一次上述层叠工序。
- [0316] <13>
- [0317] 根据<12>中记载的复合部件器件的制造方法,其中,还包含:
- [0318] Si基极层薄化工序,使上述Si基极层变薄;
- [0319] 贯通孔形成工序,在上述薄化的Si基极层以及上述电子部件粘接层形成贯通孔,而使上述部件电极的表面的一部分露出;以及
- [0320] Si贯通孔形成工序,在上述贯通孔形成Si贯通孔,
- [0321] 上述Si贯通孔贯通上述Si基极层以及上述电子部件粘接层,将上述再布线层与上述电子部件的上述部件电极电连接,
- [0322] 上述再布线层的介电膜实质上由无机材料构成。
- [0323] <14>
- [0324] 根据<12>中记载的复合部件器件的制造方法,其中,
- [0325] 还包含Si基极层除去工序,除去上述Si基极层以及上述电子部件粘接层而使上述部件电极的表面整体露出,
- [0326] 上述再布线层的介电膜实质上由有机材料构成。
- [0327] <15>
- [0328] 根据<1>至<5>以及<9>中任一所记载的制造复合部件器件的方法,其中,
- [0329] 上述复合部件器件的上述电子部件层还具有使上述一个以上的电子部件一体化的树脂密封部,
- [0330] 上述再布线层还具有与上述部件电极直接接合且实质上由有机材料构成的介电膜,
- [0331] 在该复合部件器件的制造方法中,包含:
- [0332] 电子部件粘接工序,使上述一个以上的电子部件粘接于上述Si支撑件,以使得上述一个以上的电子部件的上述第二面经由电子部件粘接层与Si支撑件接触;
- [0333] 电子部件密封工序,利用树脂使上述一个以上的电子部件密封而形成树脂密封部;
- [0334] 树脂密封部薄化工序,使上述树脂密封部变薄而使上述部件电极的表面整体露出;
- [0335] 再布线层形成工序,形成上述再布线层而制成复合部件层;以及
- [0336] 层叠工序,在上述复合部件层上形成上述电子部件层贯通孔,使上述一个以上的电子部件粘接于上述复合部件层以使得上述一个以上的电子部件的上述第二面经由电子部件粘接层与上述复合部件层接触,利用树脂使该一个以上的电子部件密封而形成树脂密封部,使该树脂密封部变薄而使上述部件电极的表面整体露出,形成再布线层而将其他

的复合部件层层叠于上述复合部件层，

[0337] 执行至少一次上述层叠工序。

[0338] 产业上的可利用性

[0339] 本发明的复合部件器件能够搭载于各种电子设备来利用。

[0340] 附图标记的说明

[0341] 1、1A、1B...复合部件器件;100、200、300...第一、第二、第三复合部件层;110、210、310...第一、第二、第三电子部件层;111、211、311...第一、第二、第三电子部件;111a、211a、311a...第一面;111b、211b、311b...第二面;111c、211c、311c...第一、第二、第三电子部件主体部;111d、211d、311d...第一、第二、第三部件电极;111e、211e、311e...第一、第二、第三绝缘部;112、212、312...第一、第二、第三Si基极层;112a、312a...第一主面;112b、312b...第二主面;113、213、313...第一、第二、第三侧壁部;114、214、314...第一、第二、第三树脂密封部;115、115A、215、215A、315、315A...第一、第二、第三电子部件粘接层;116、116A、116B、216、216A、216B...第一、第二电子部件层贯通通孔;117、217、317...第一、第二、第三Si贯通通孔;120、120A、220、220A、320、320A...第一、第二、第三再布线层;320a...介电膜;320b...布线;130、230...第一、第二层间粘接层;140、240、340...第一、第二、第三Si支撑件;150、250、350...粘接层。

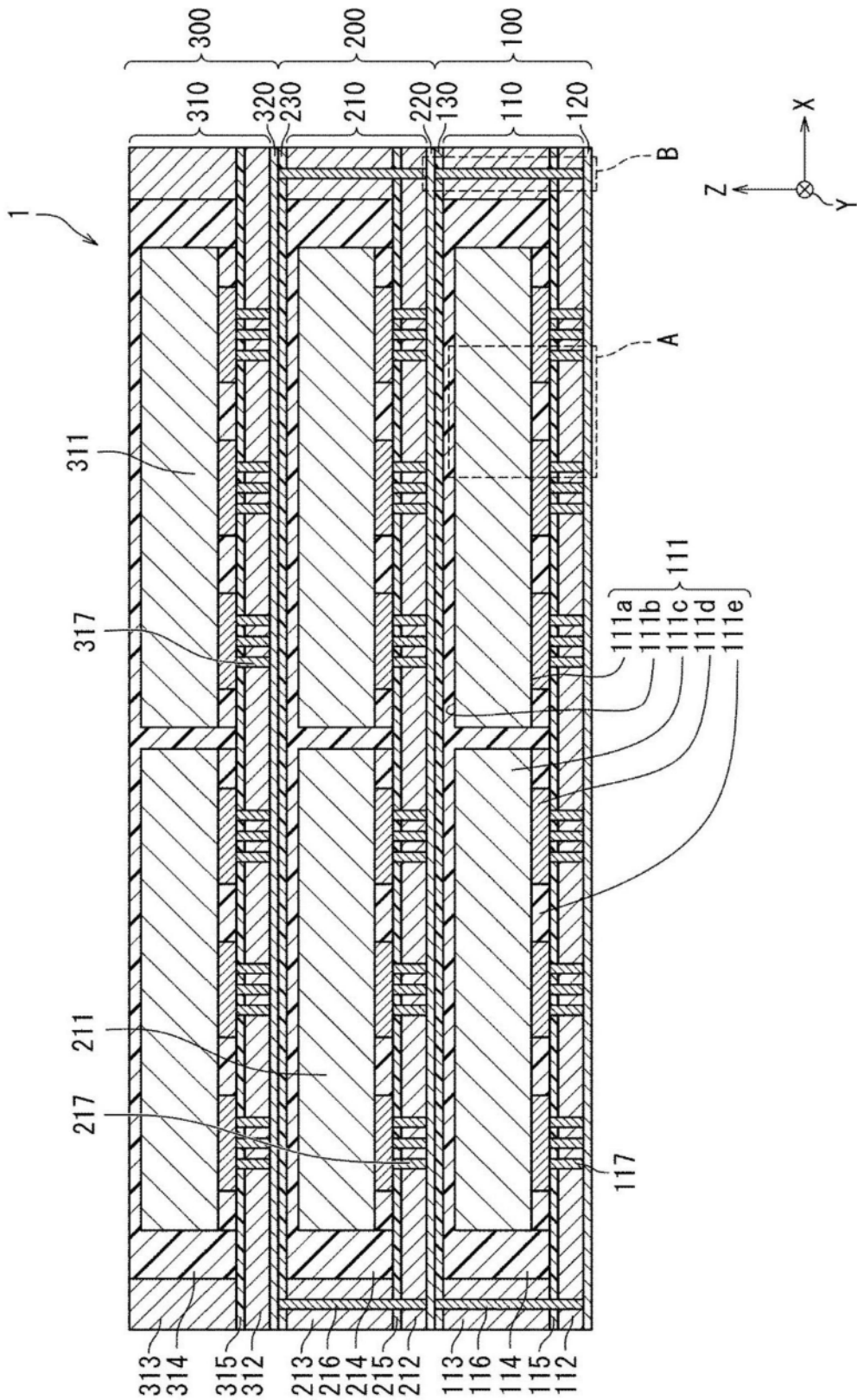


图1

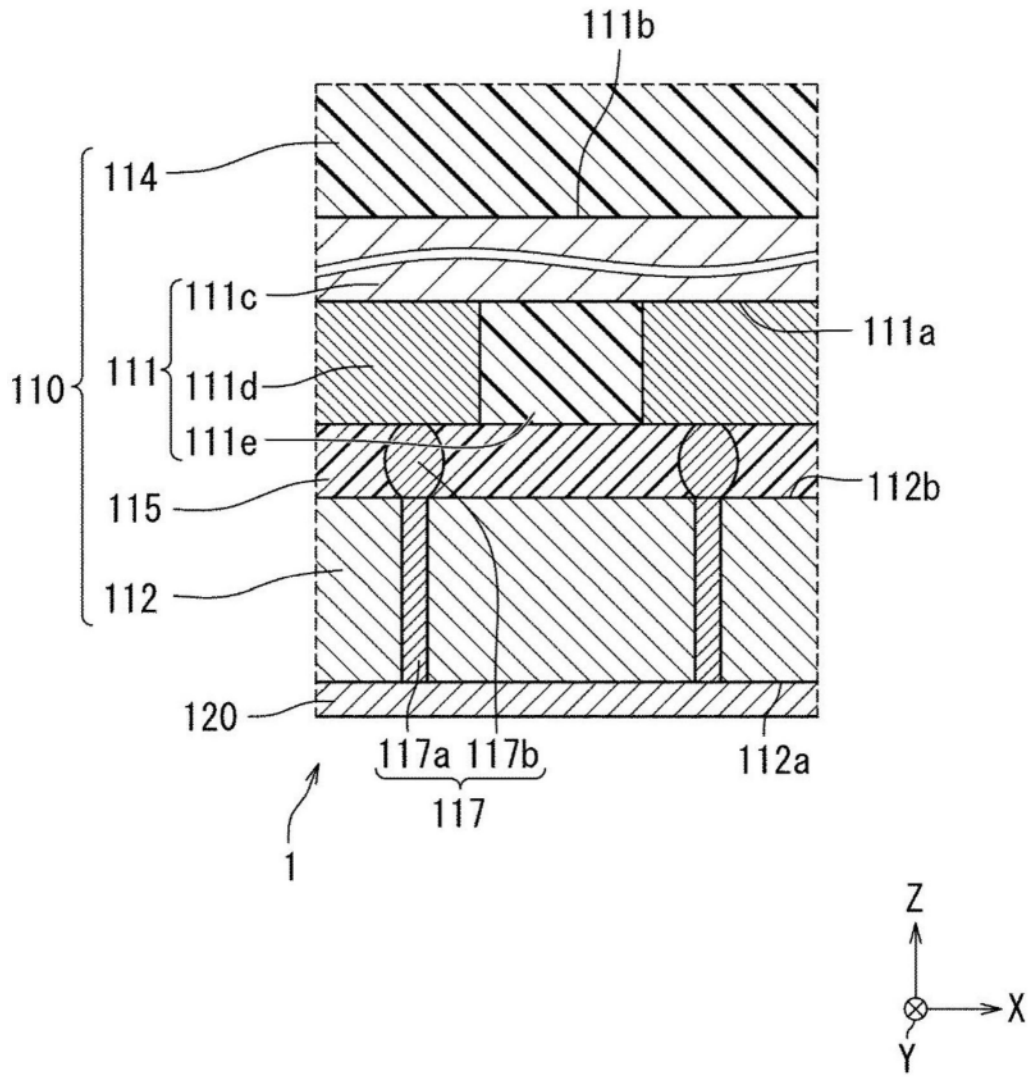


图2

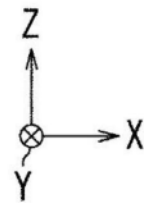
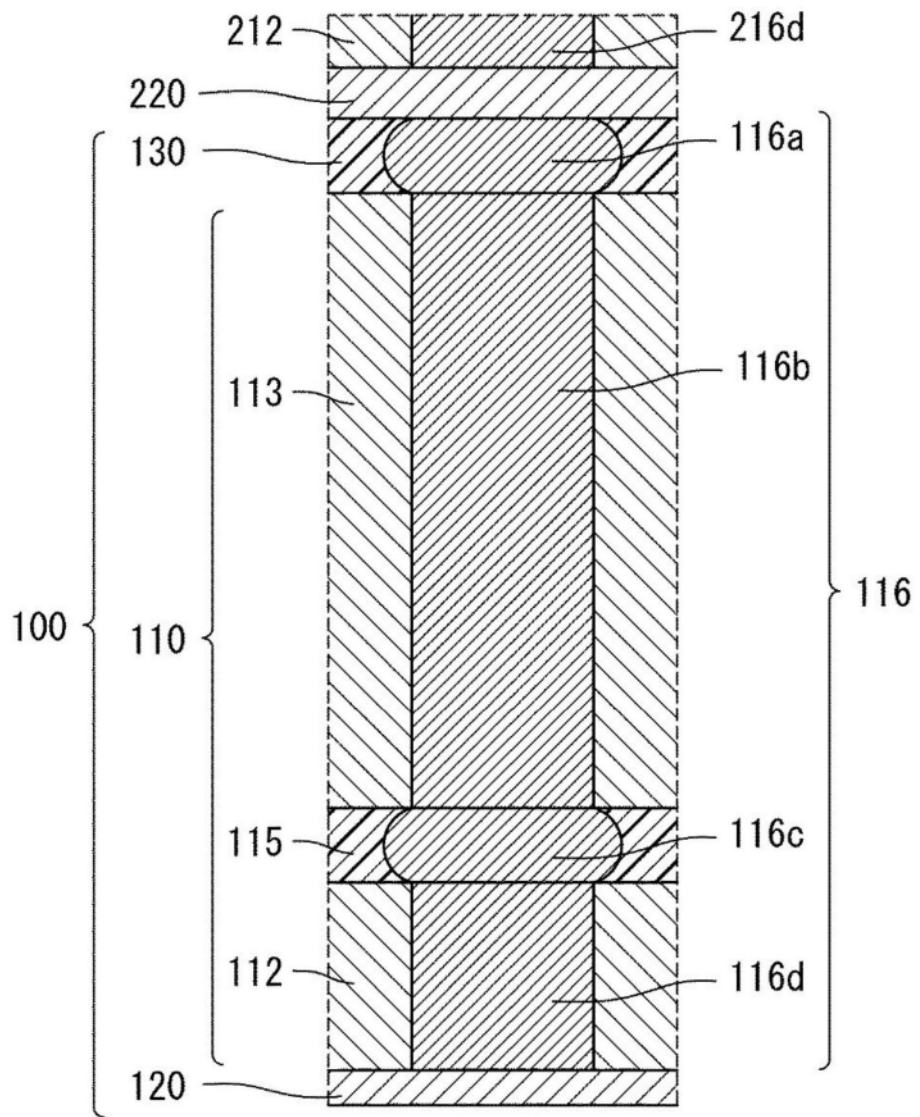


图3

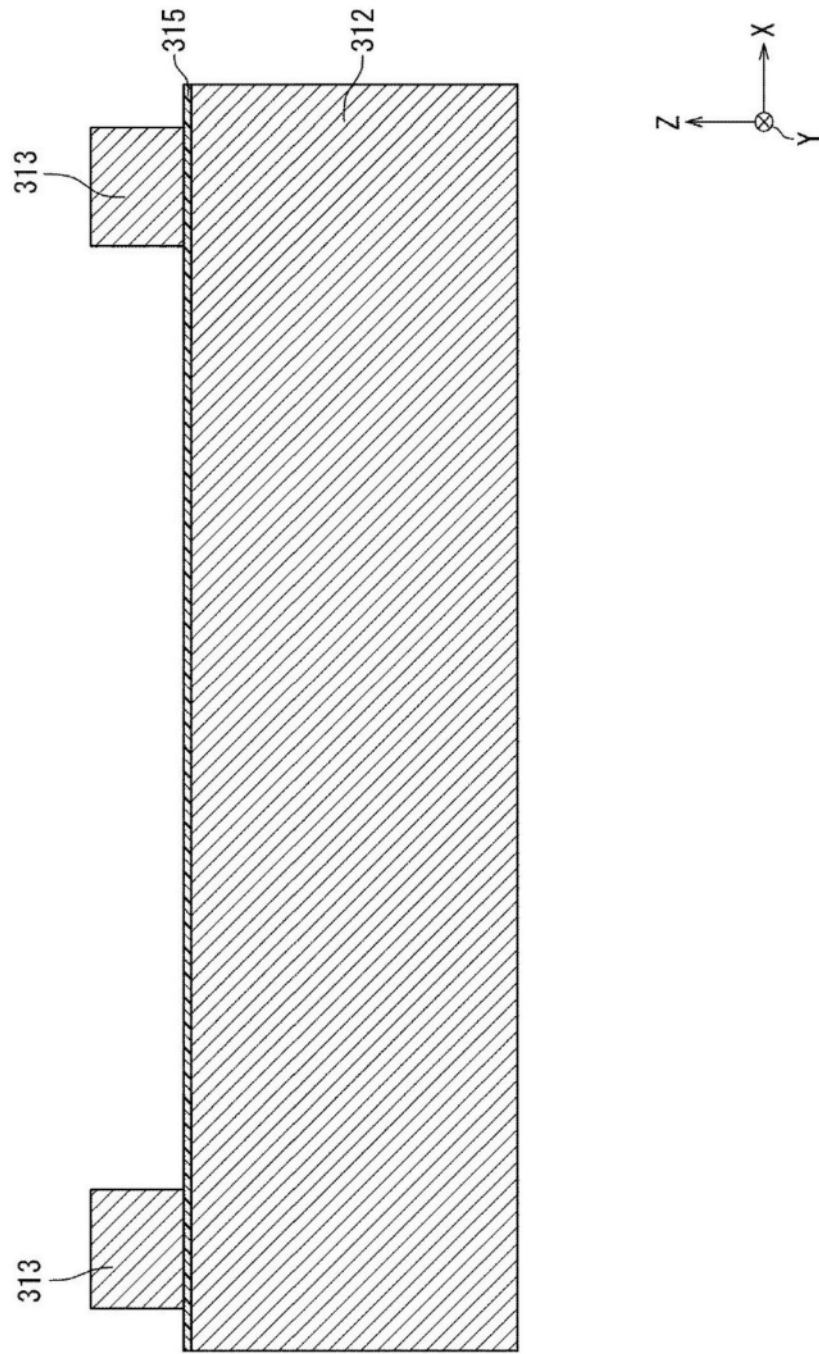


图4A

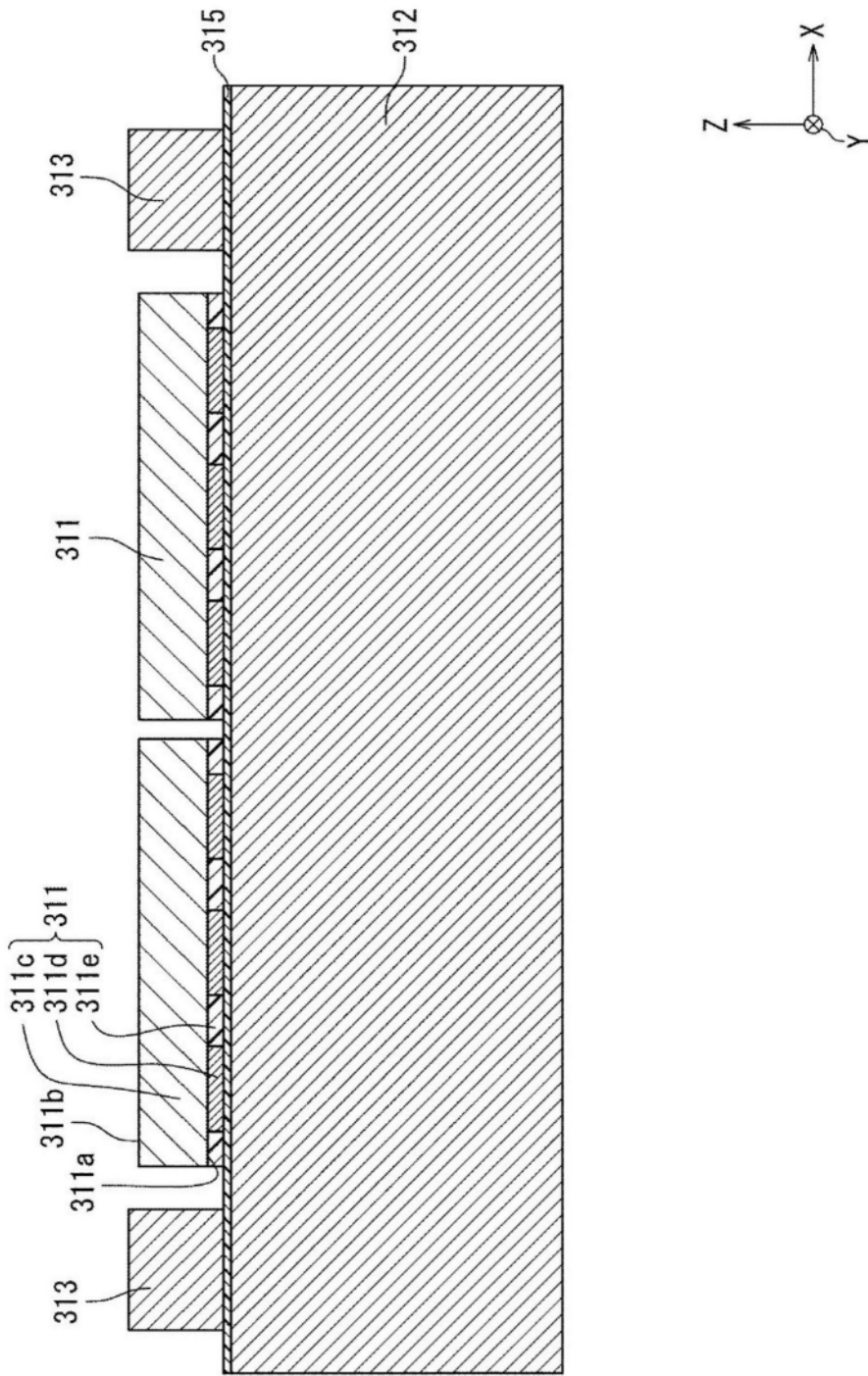


图4B

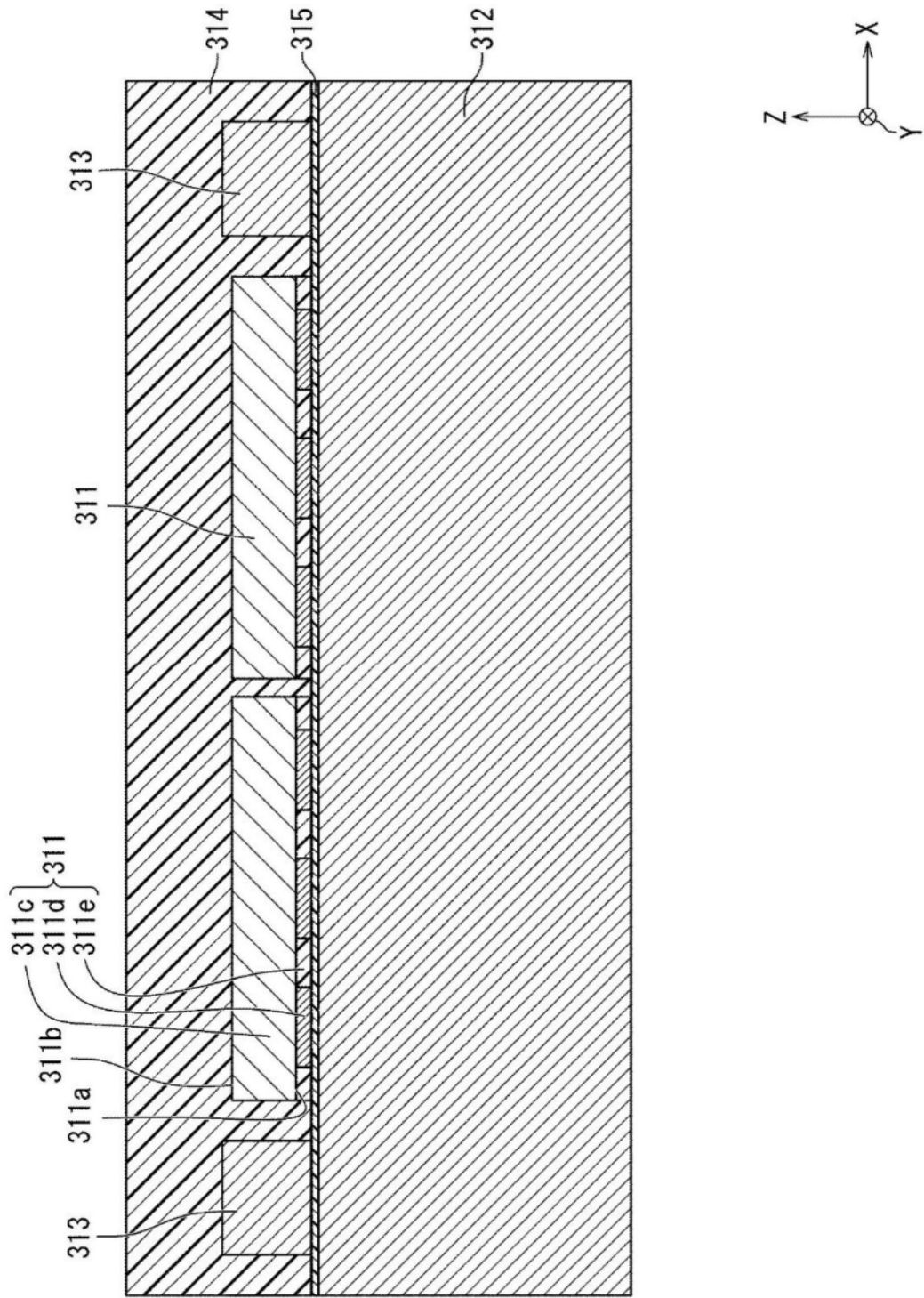


图4C

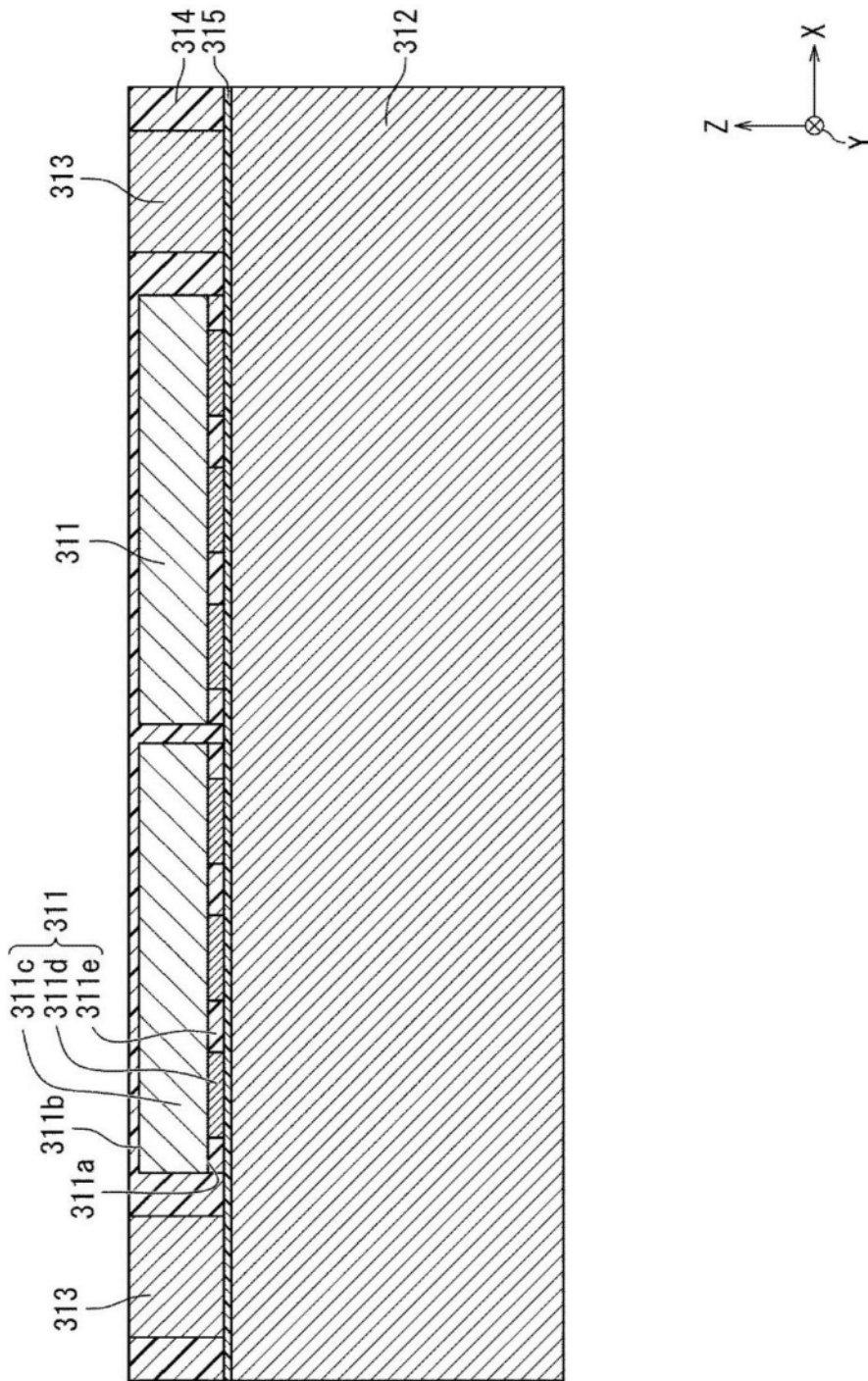


图4D

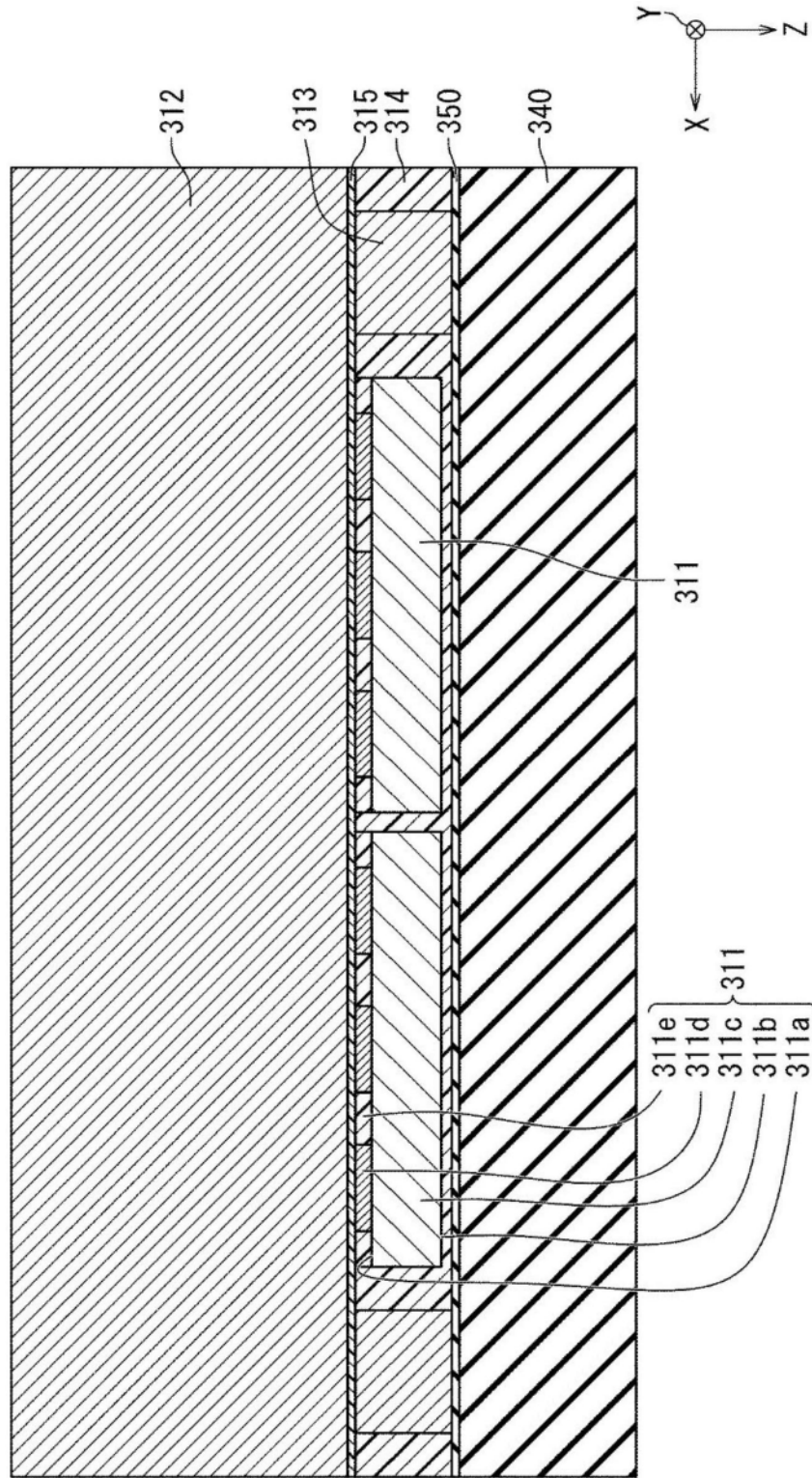


图4E

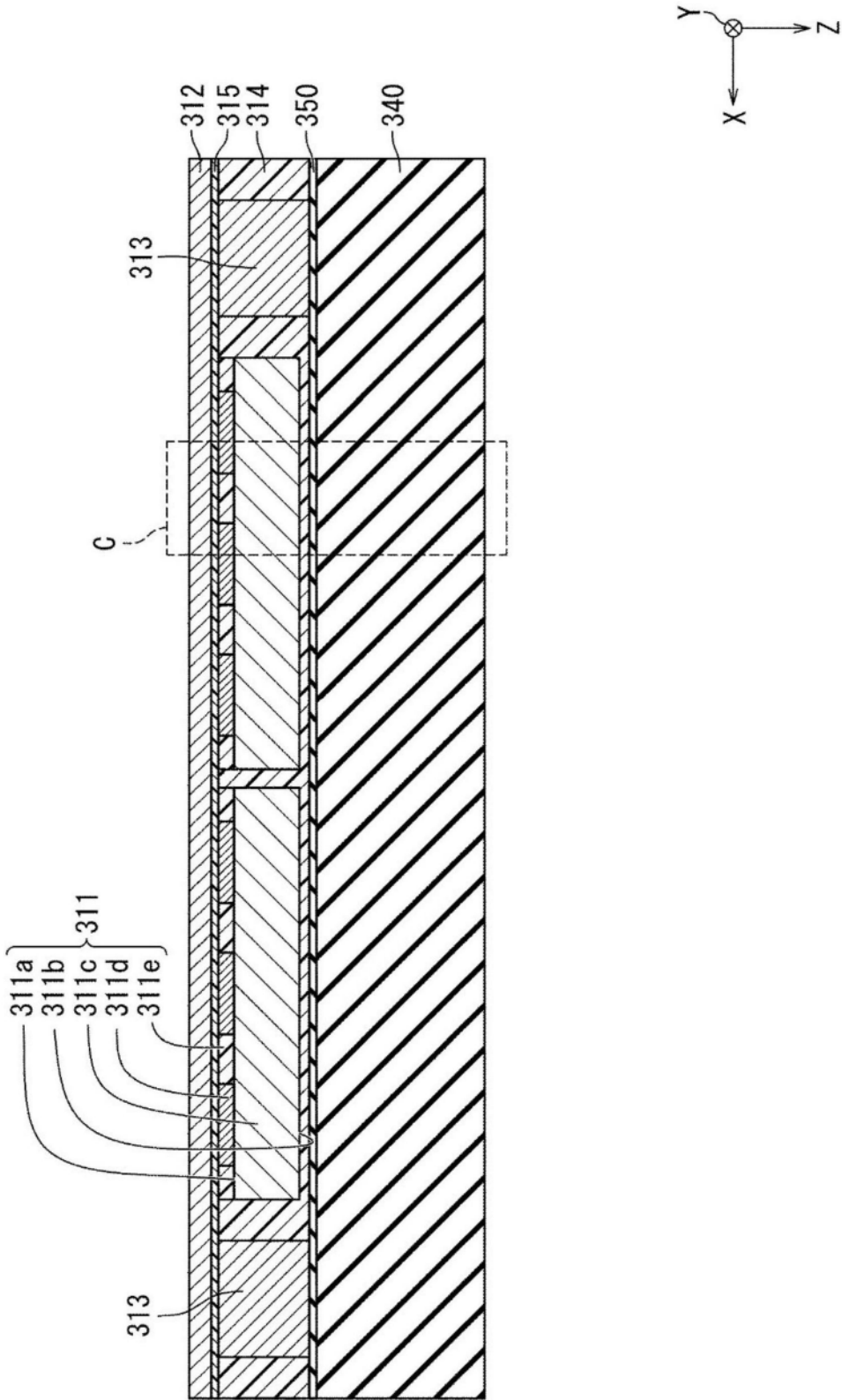


图4F

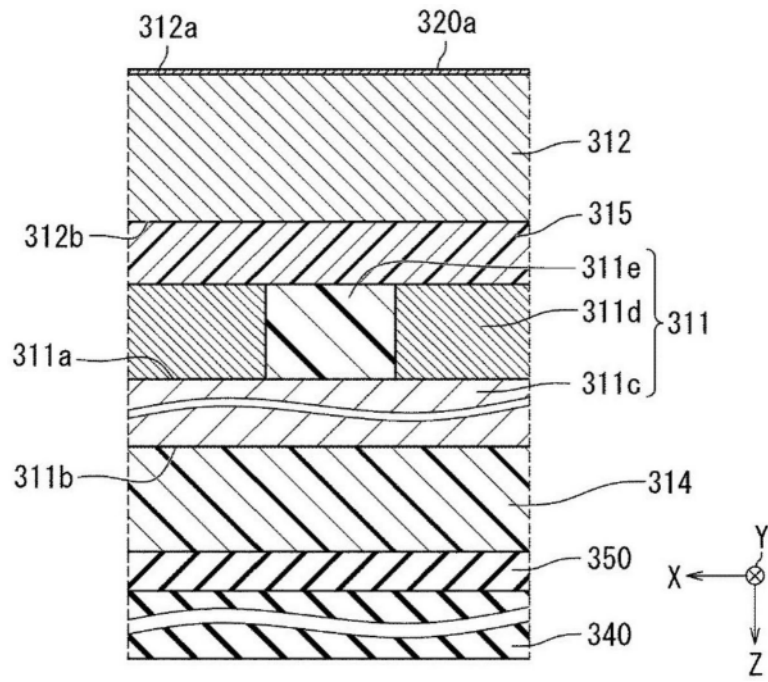


图4G

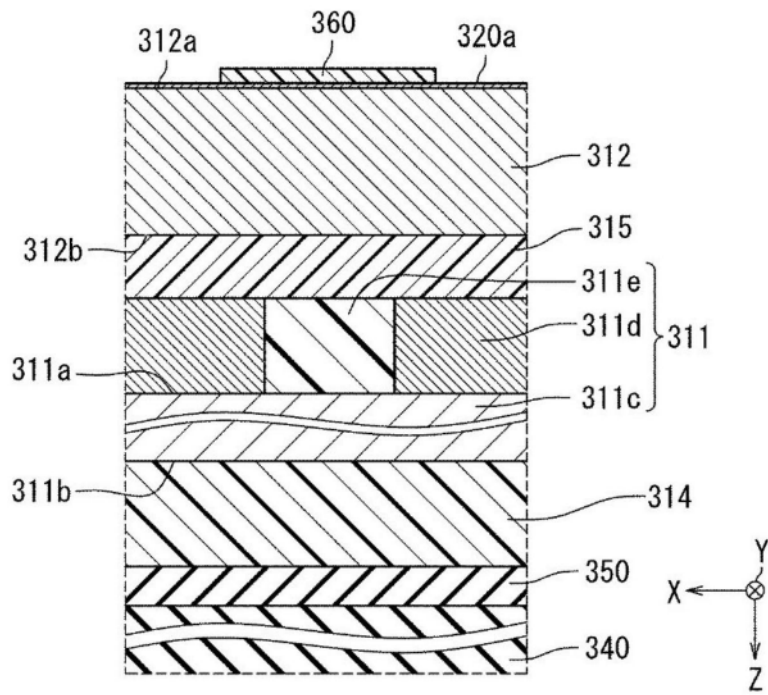


图4H

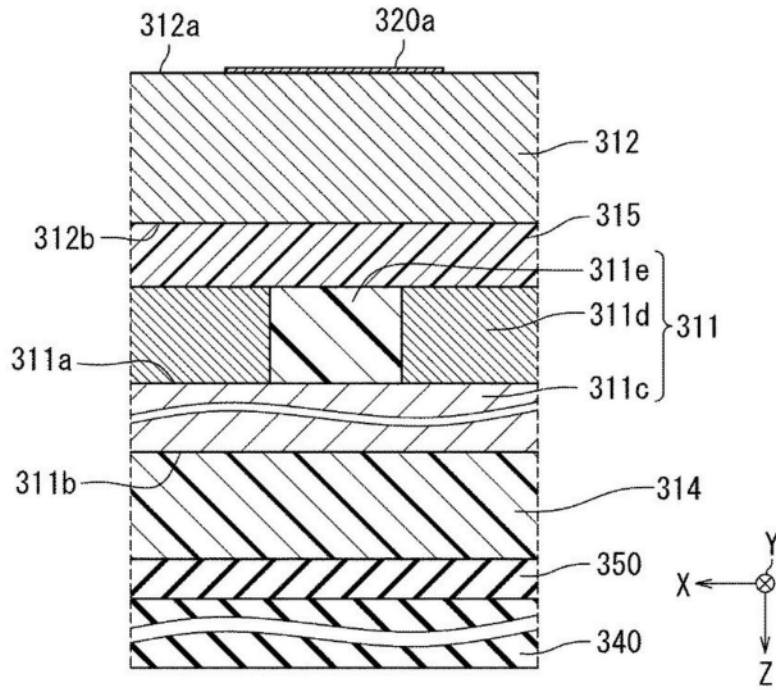


图4I

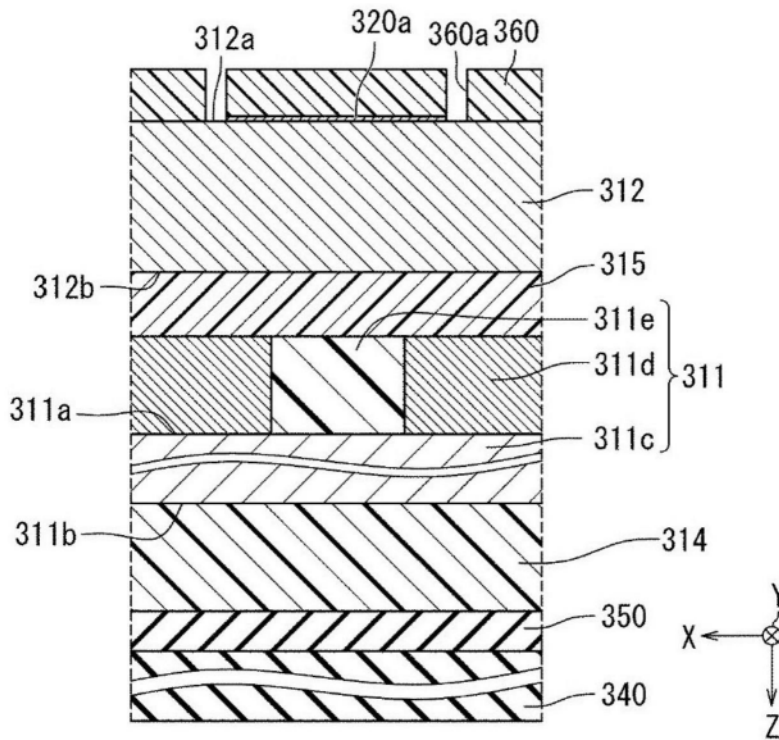


图4J

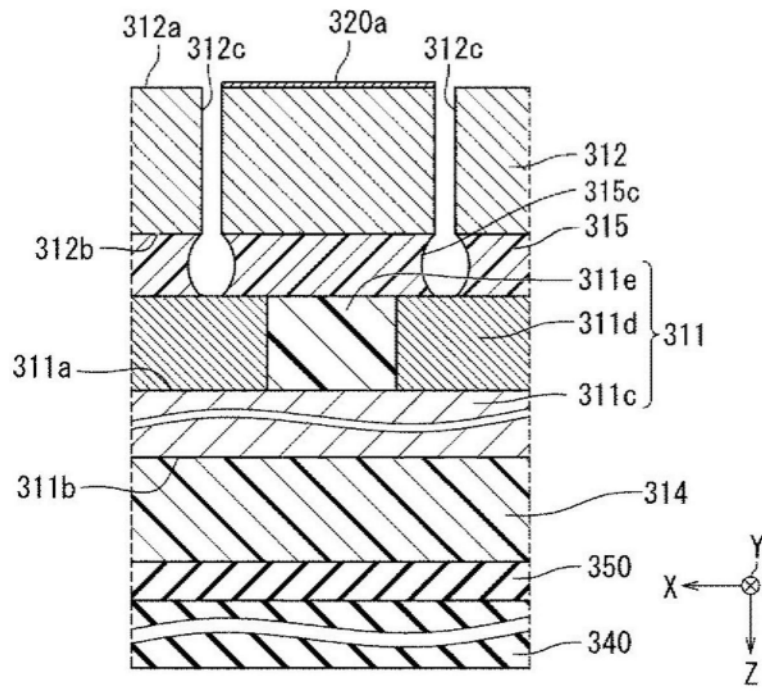


图4K

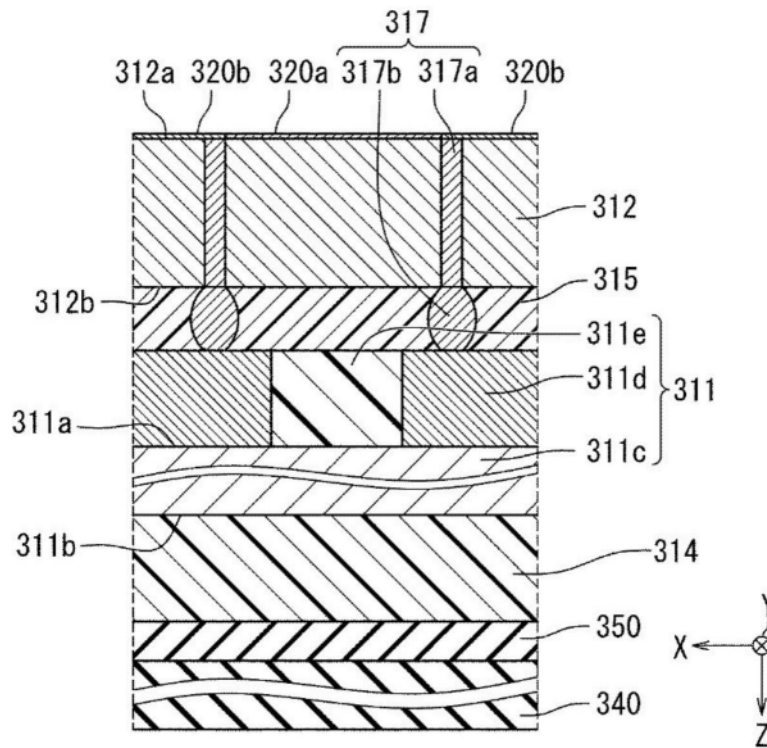


图4L

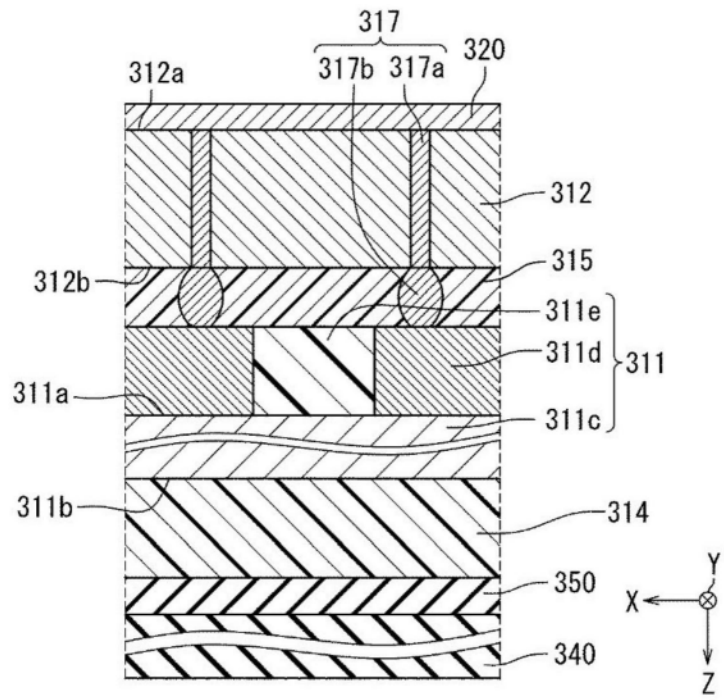


图4M

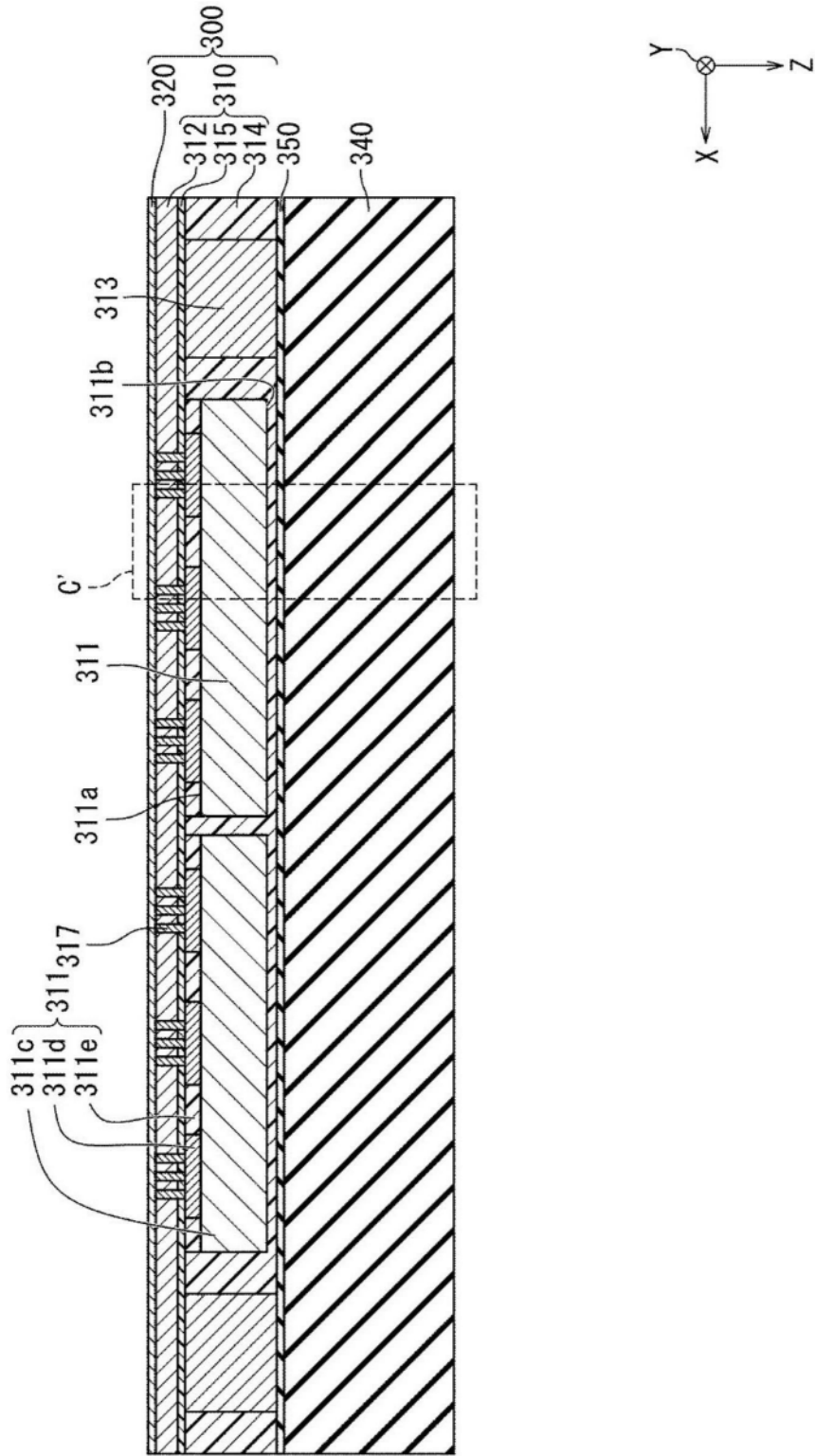


图4N

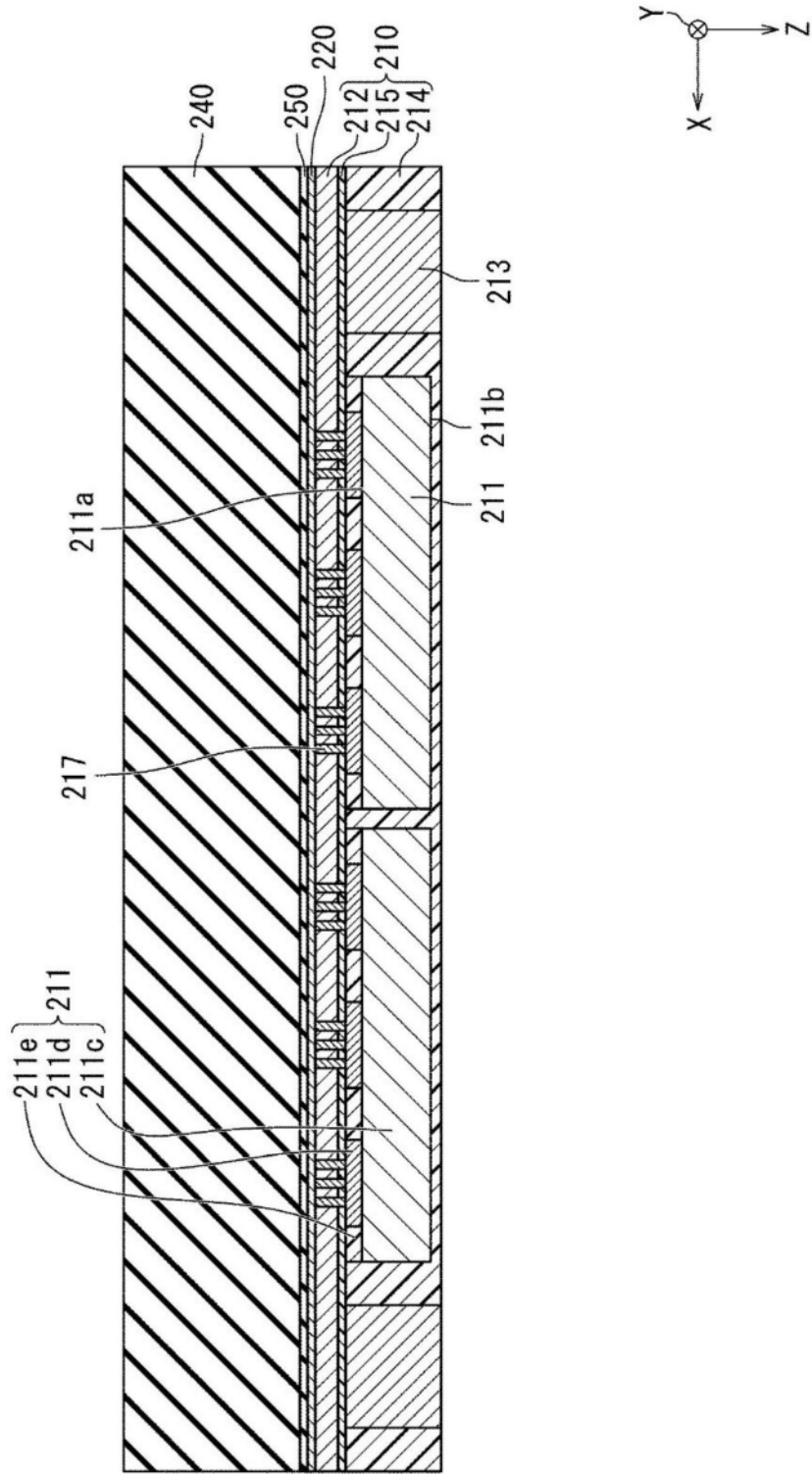


图40

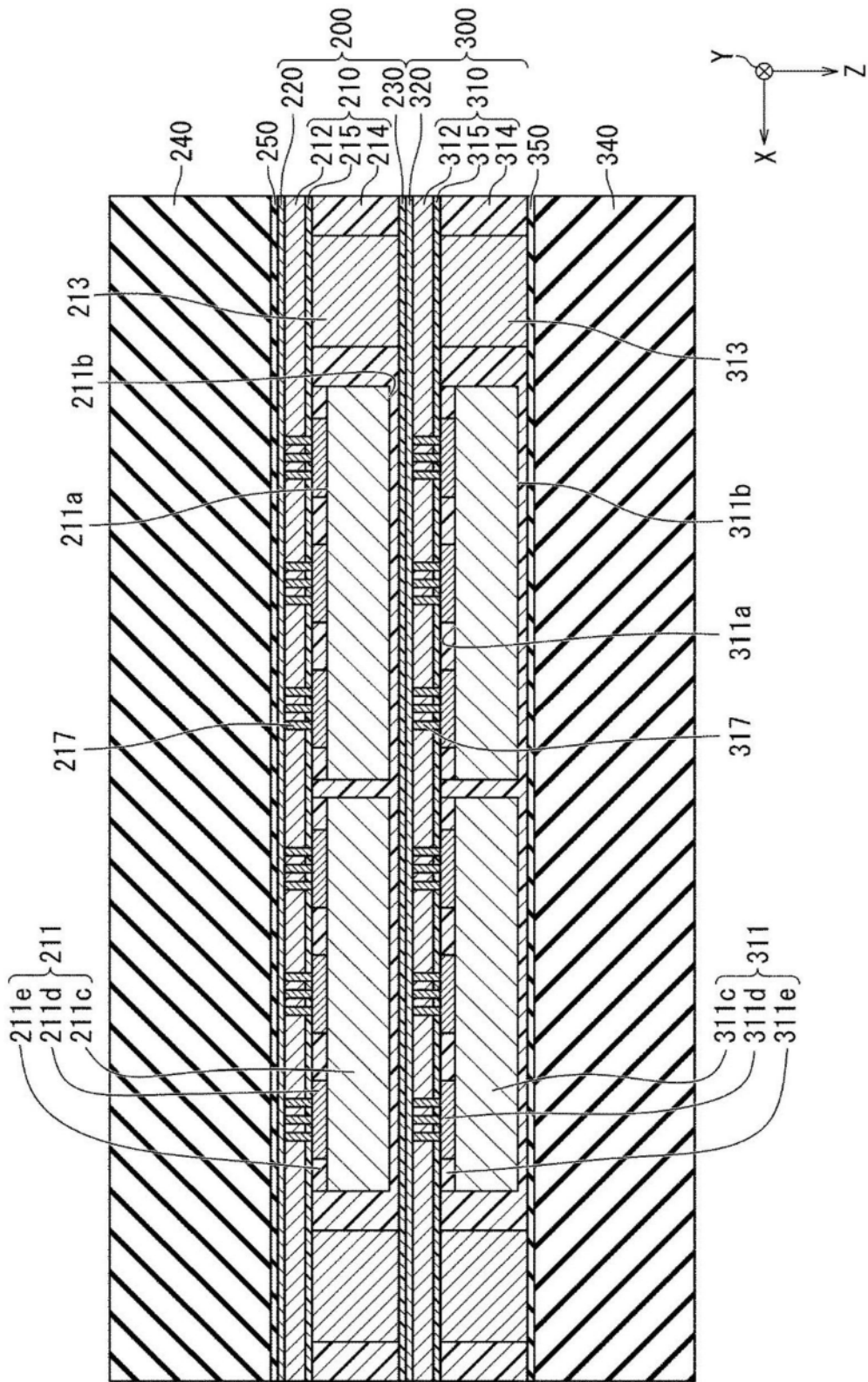


图4P

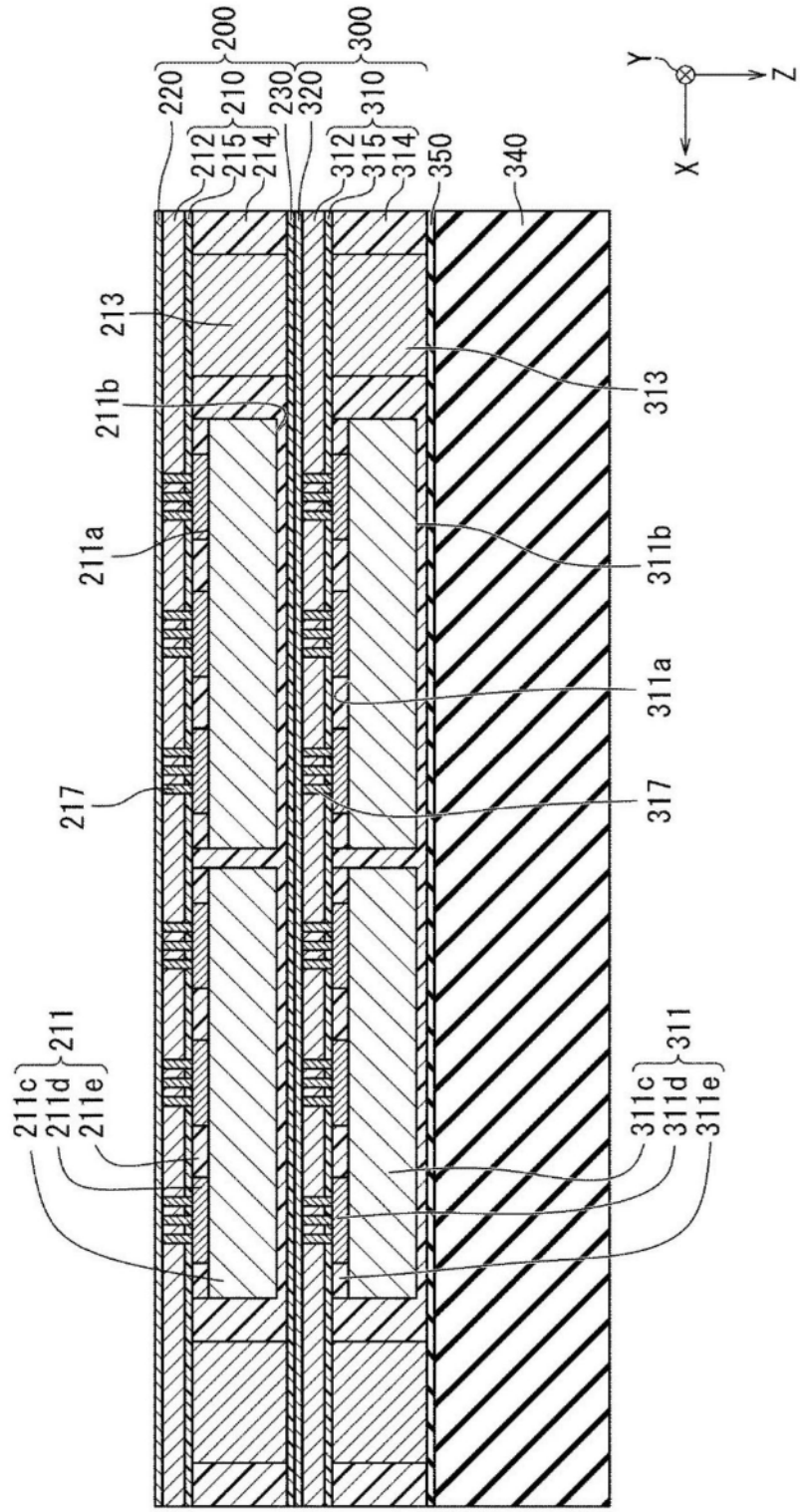


图4Q

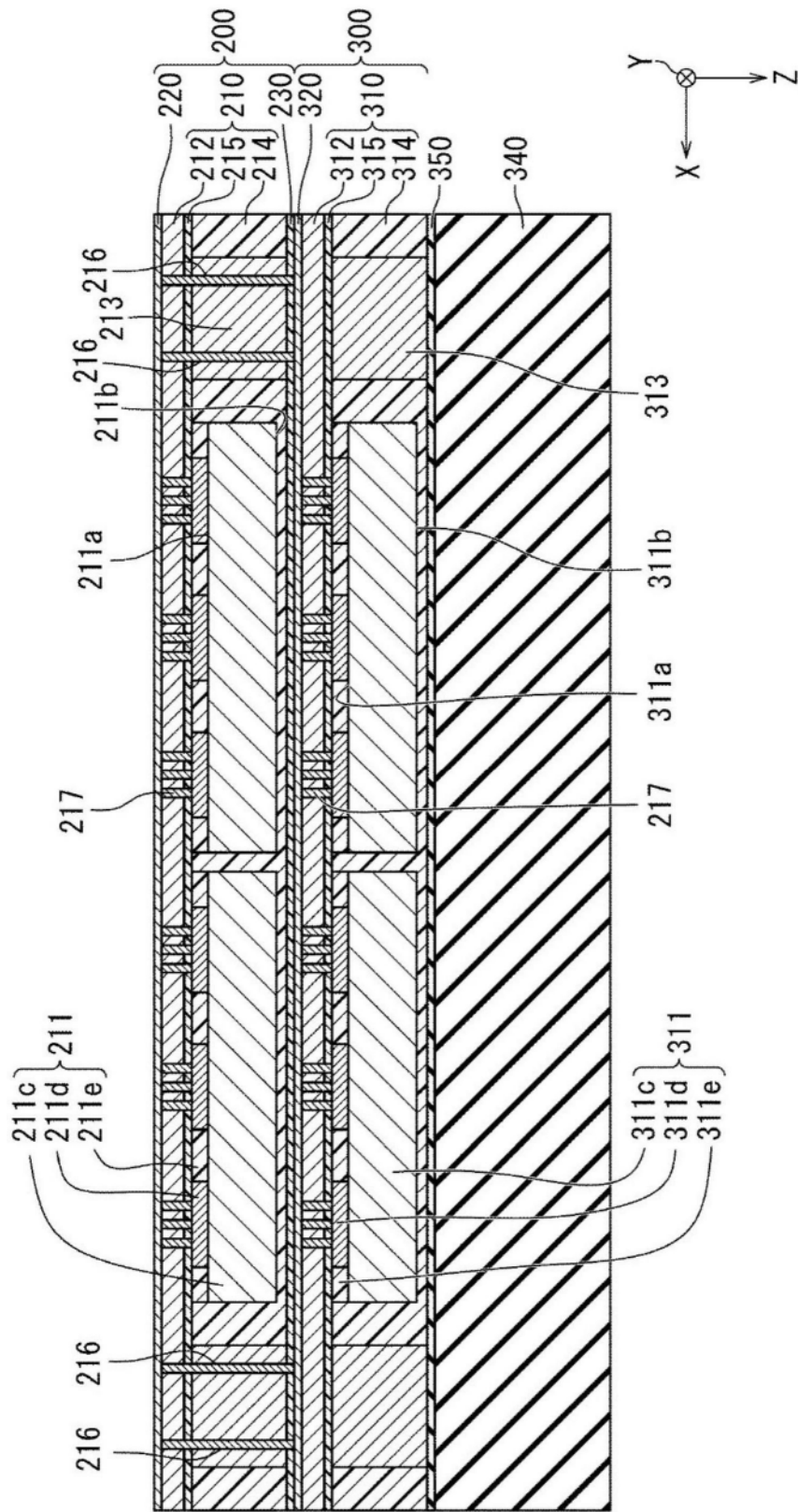


图4R

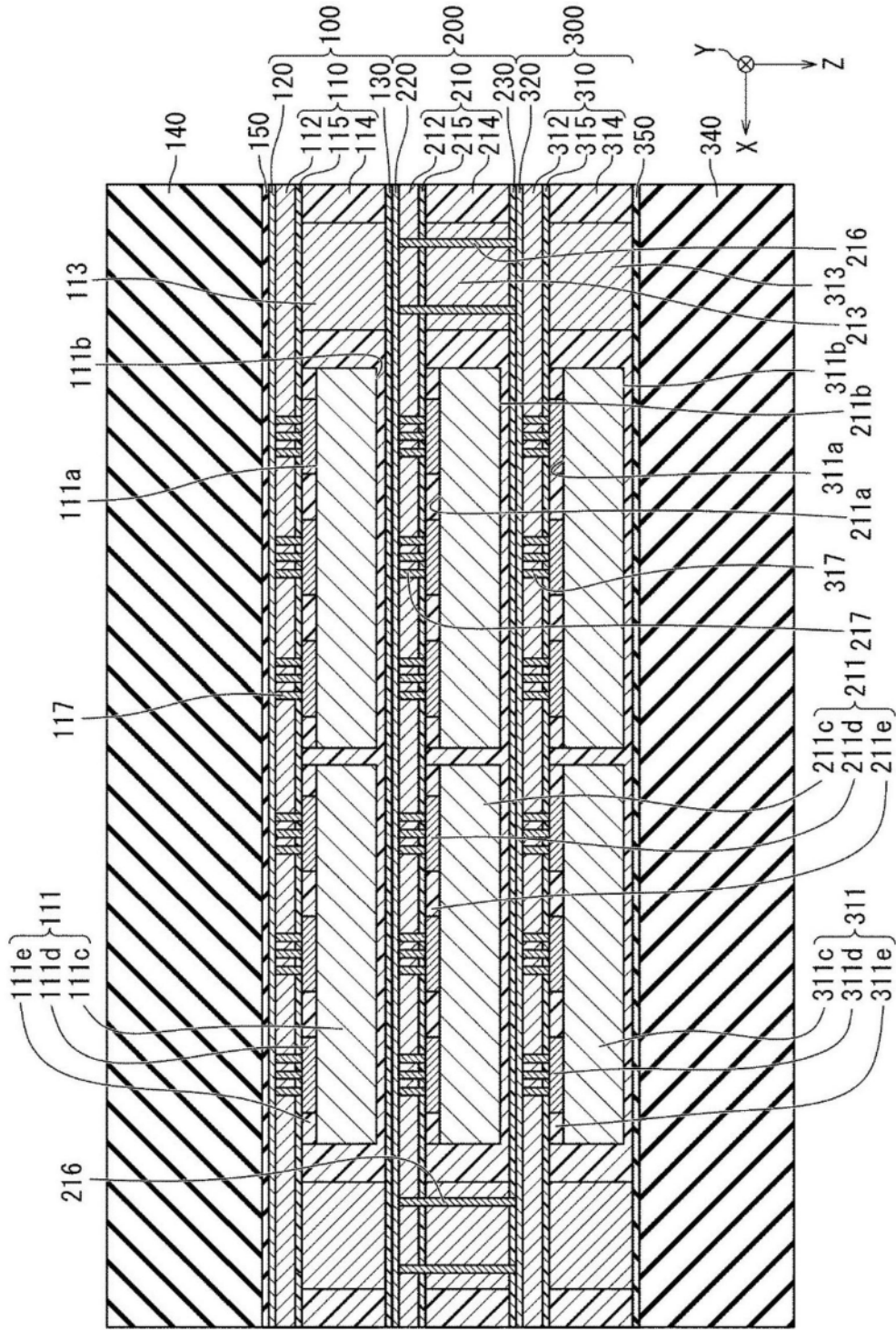


图4S

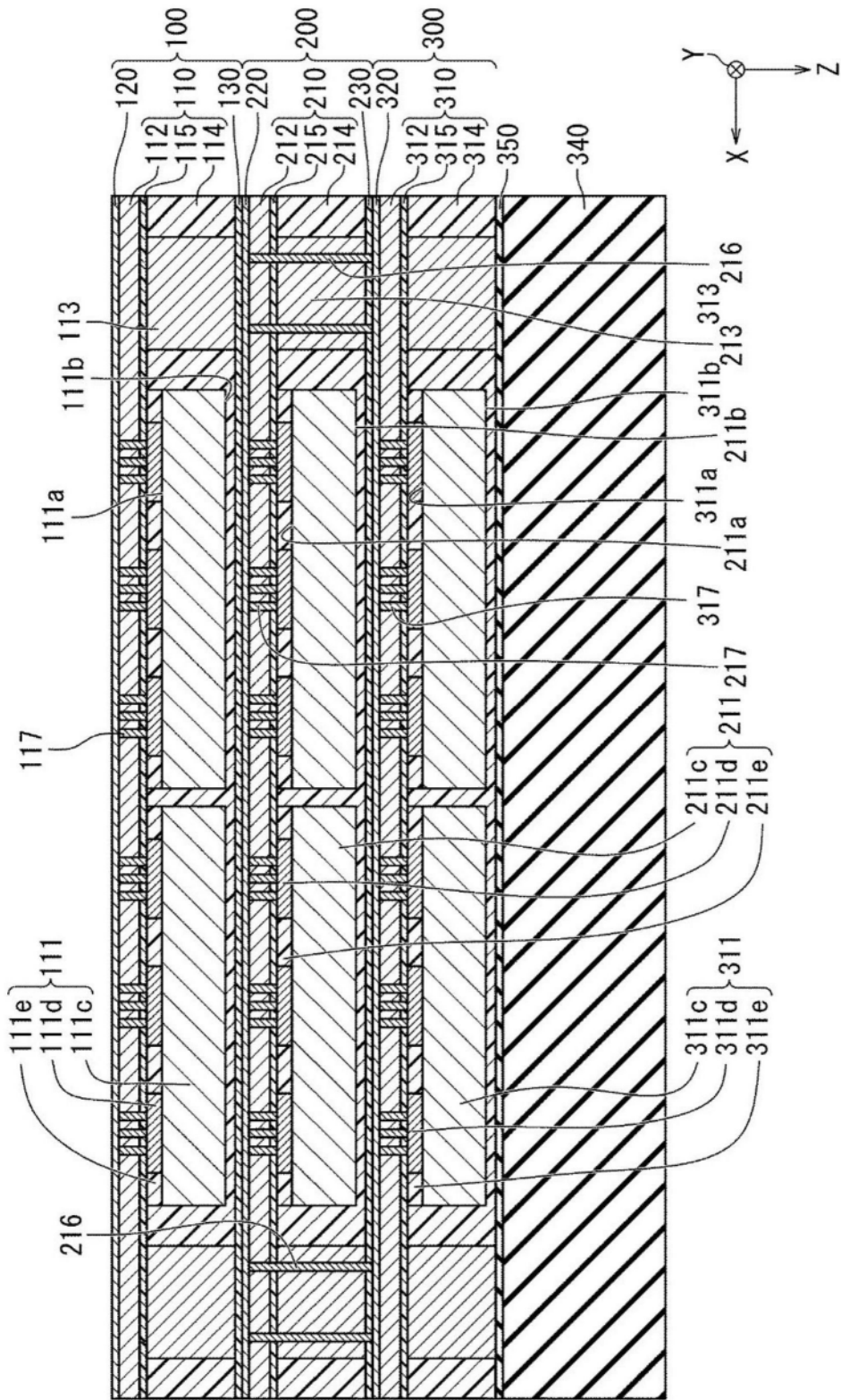


图4T

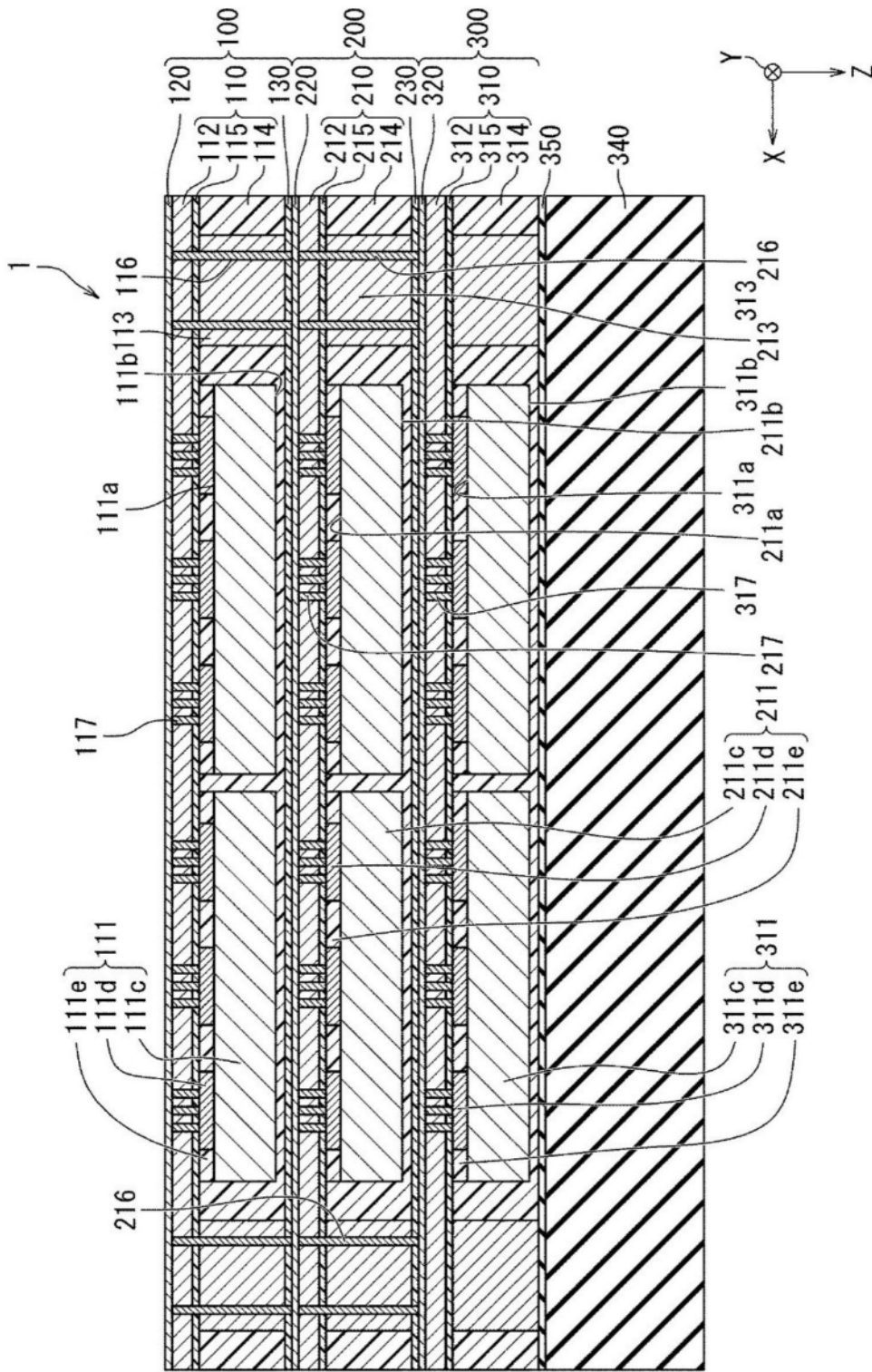


图4U

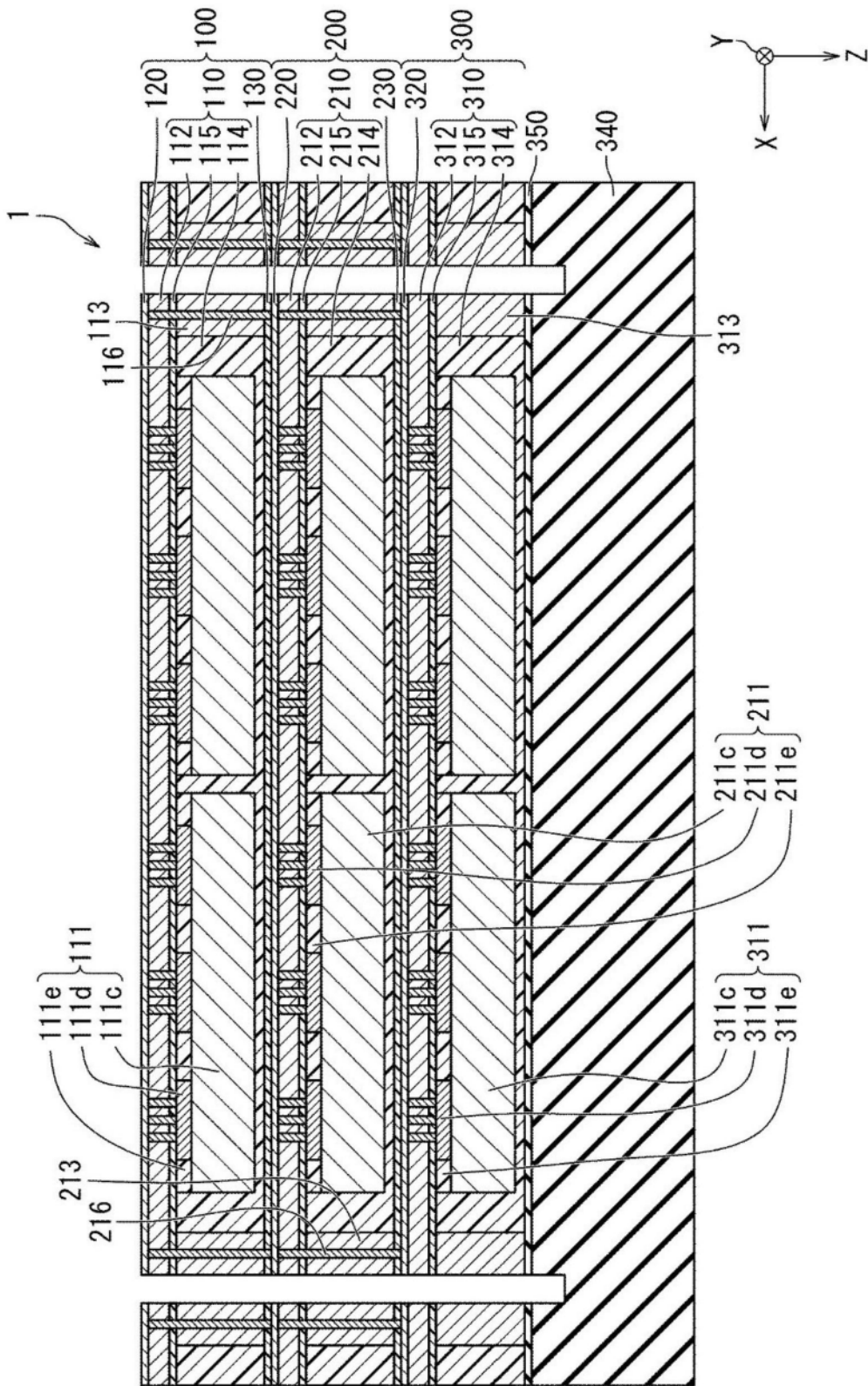


图4V

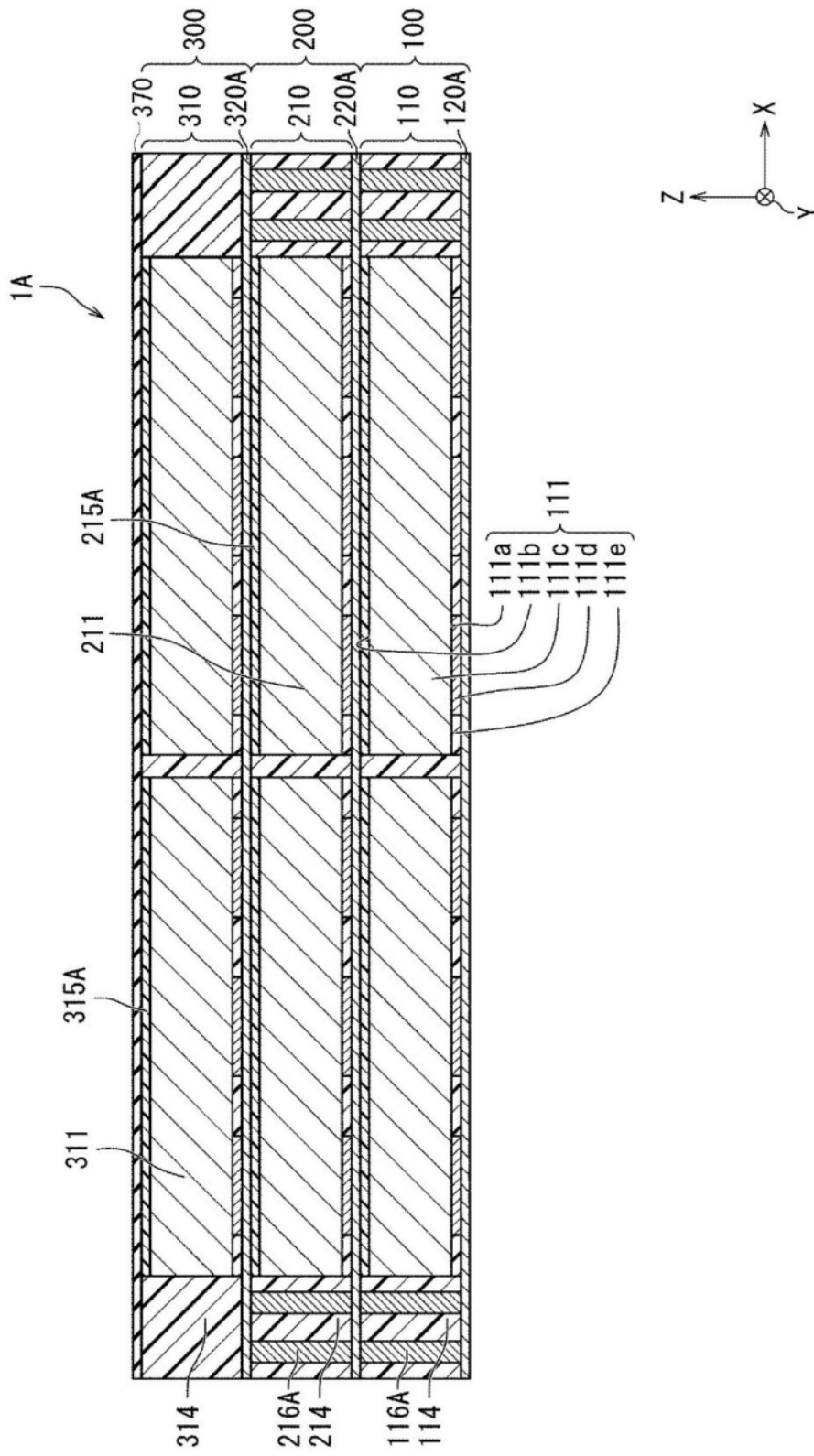


图5

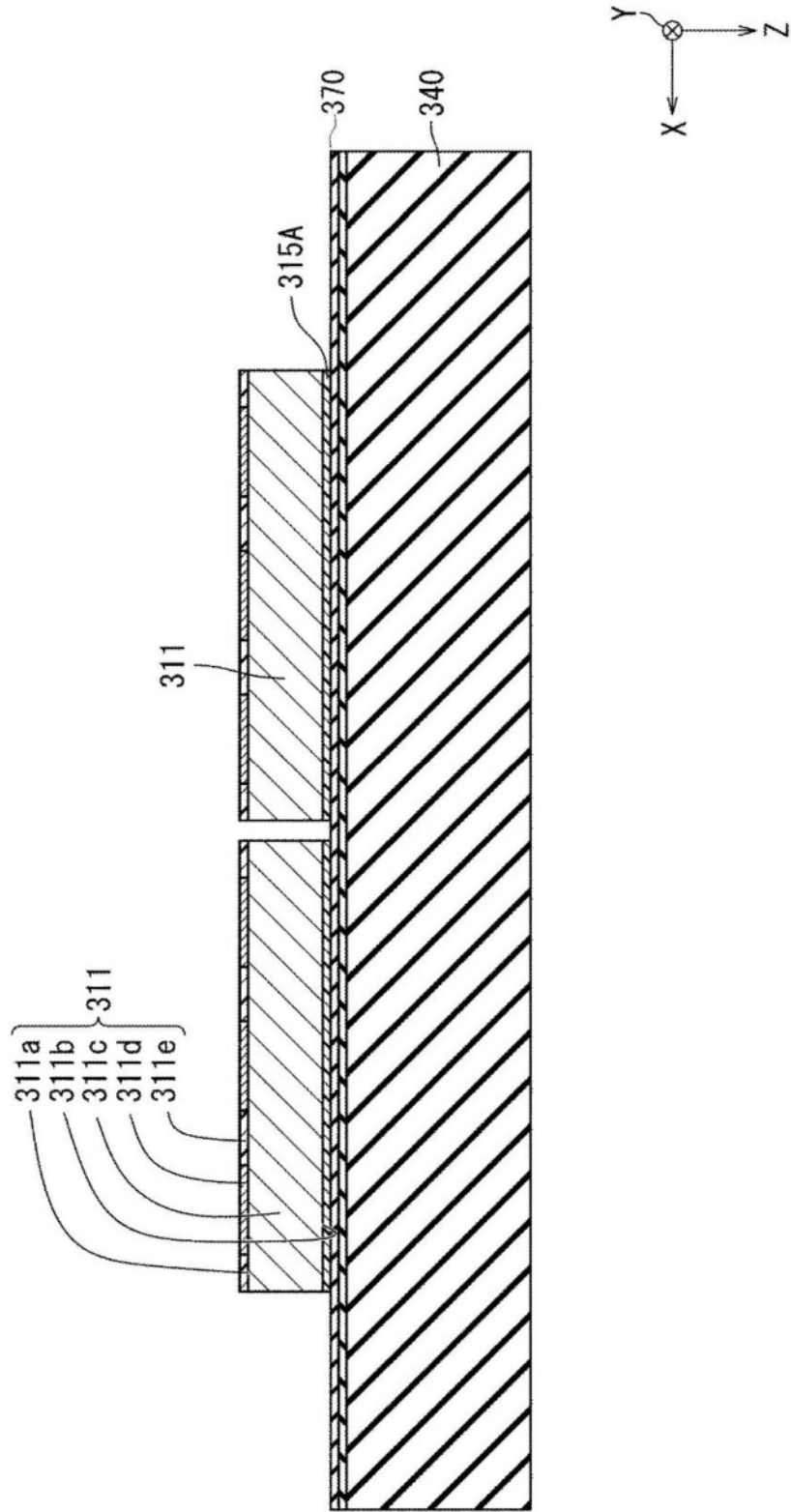


图6A

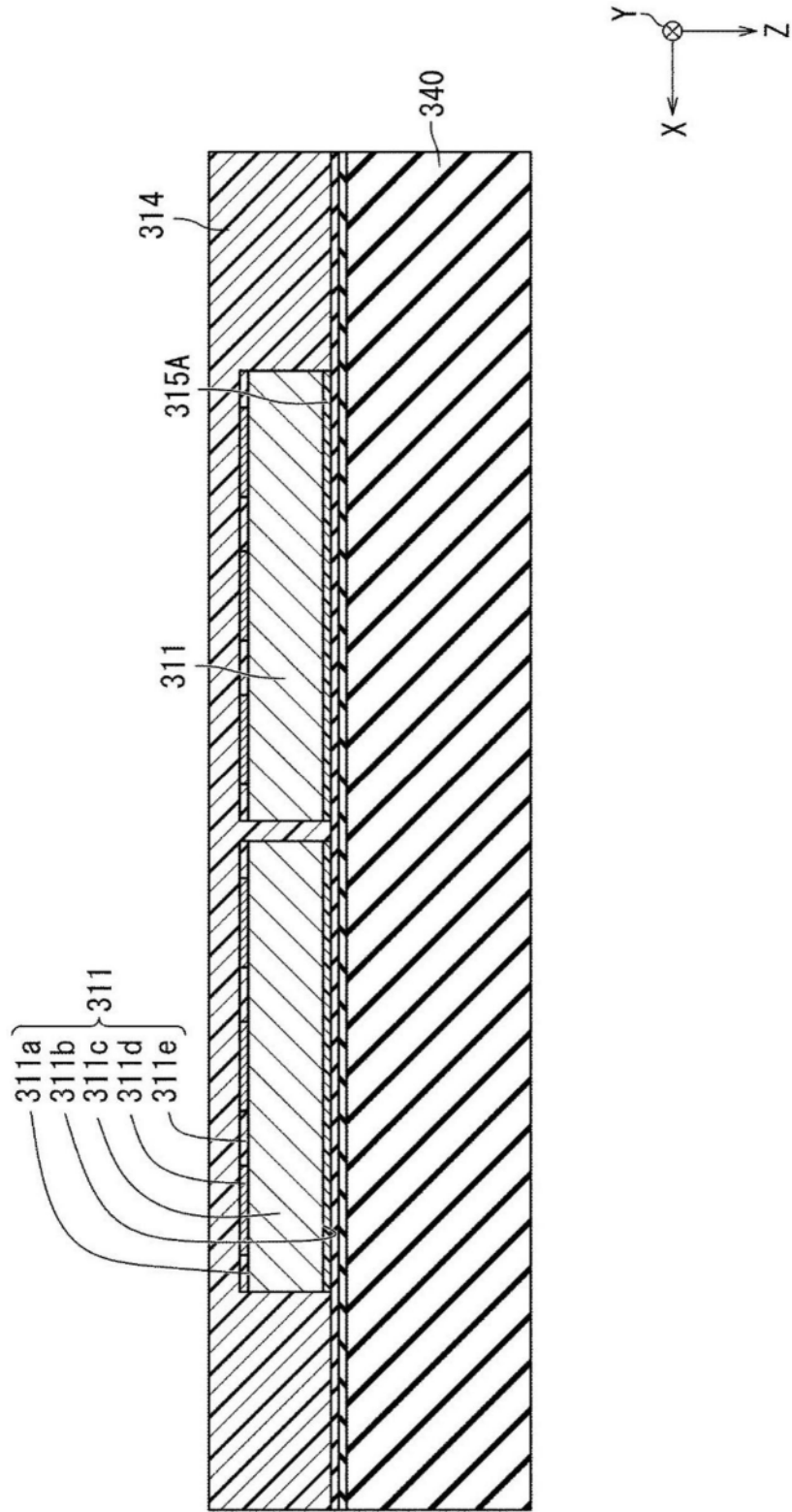


图6B

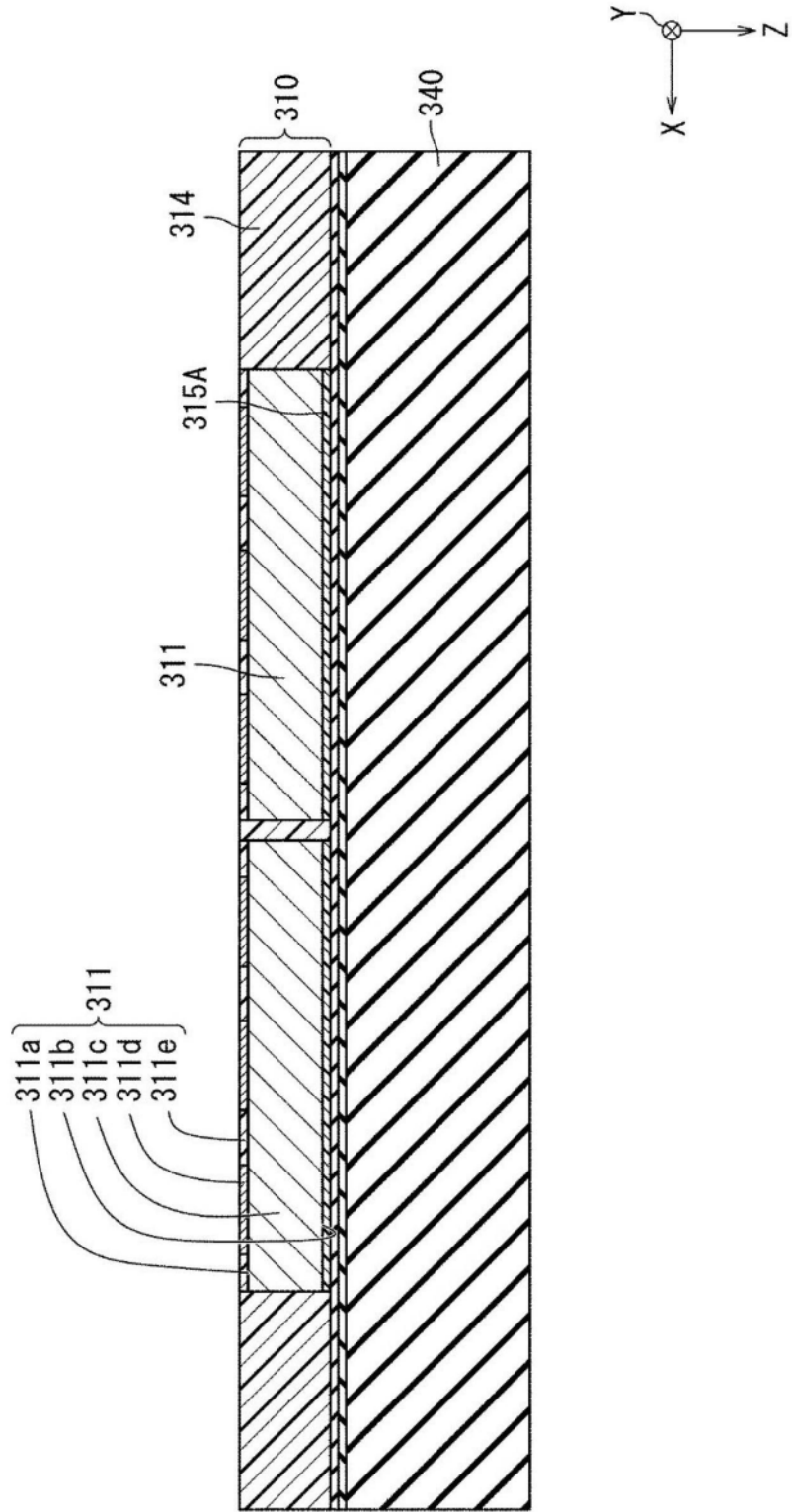


图6C

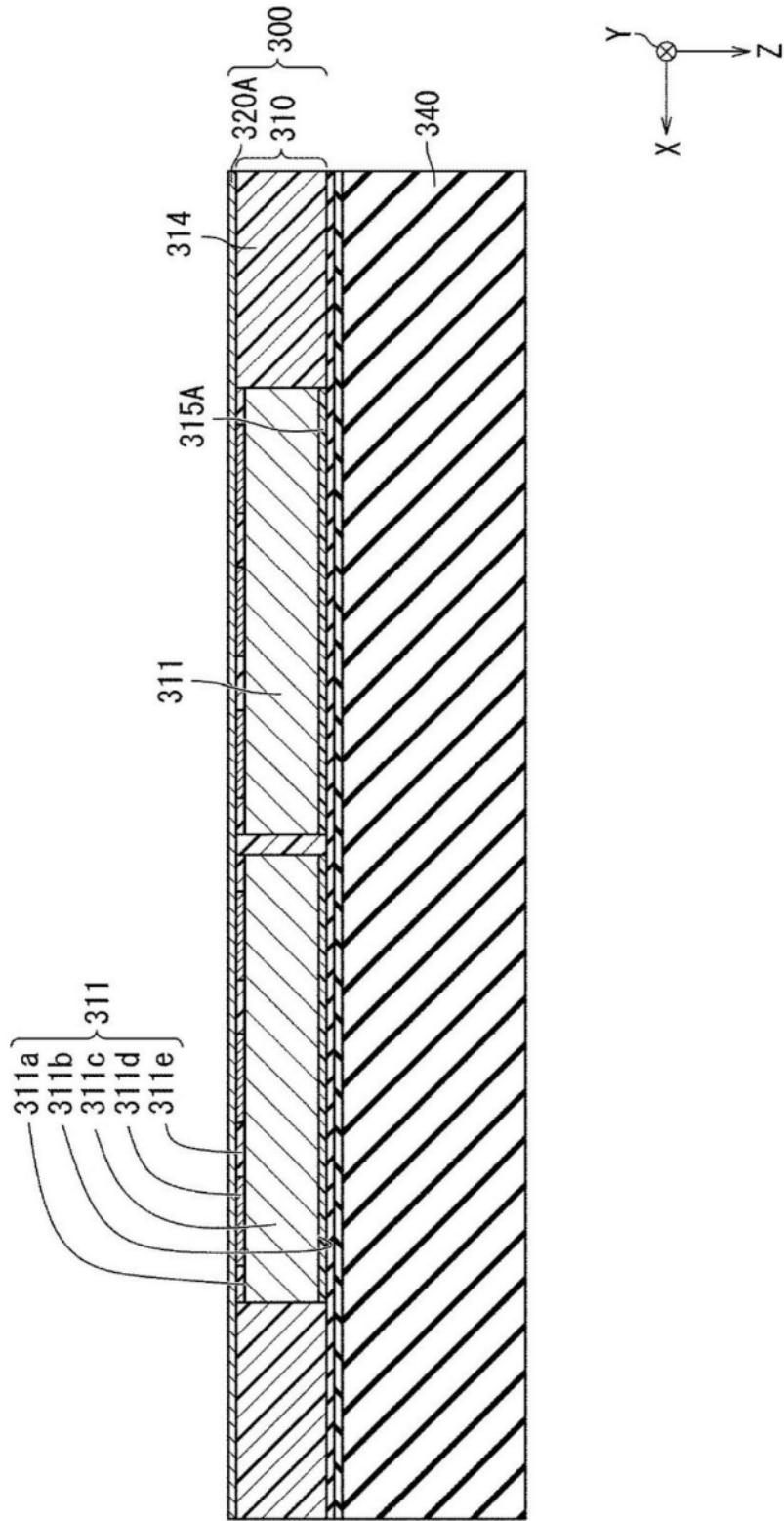


图6D

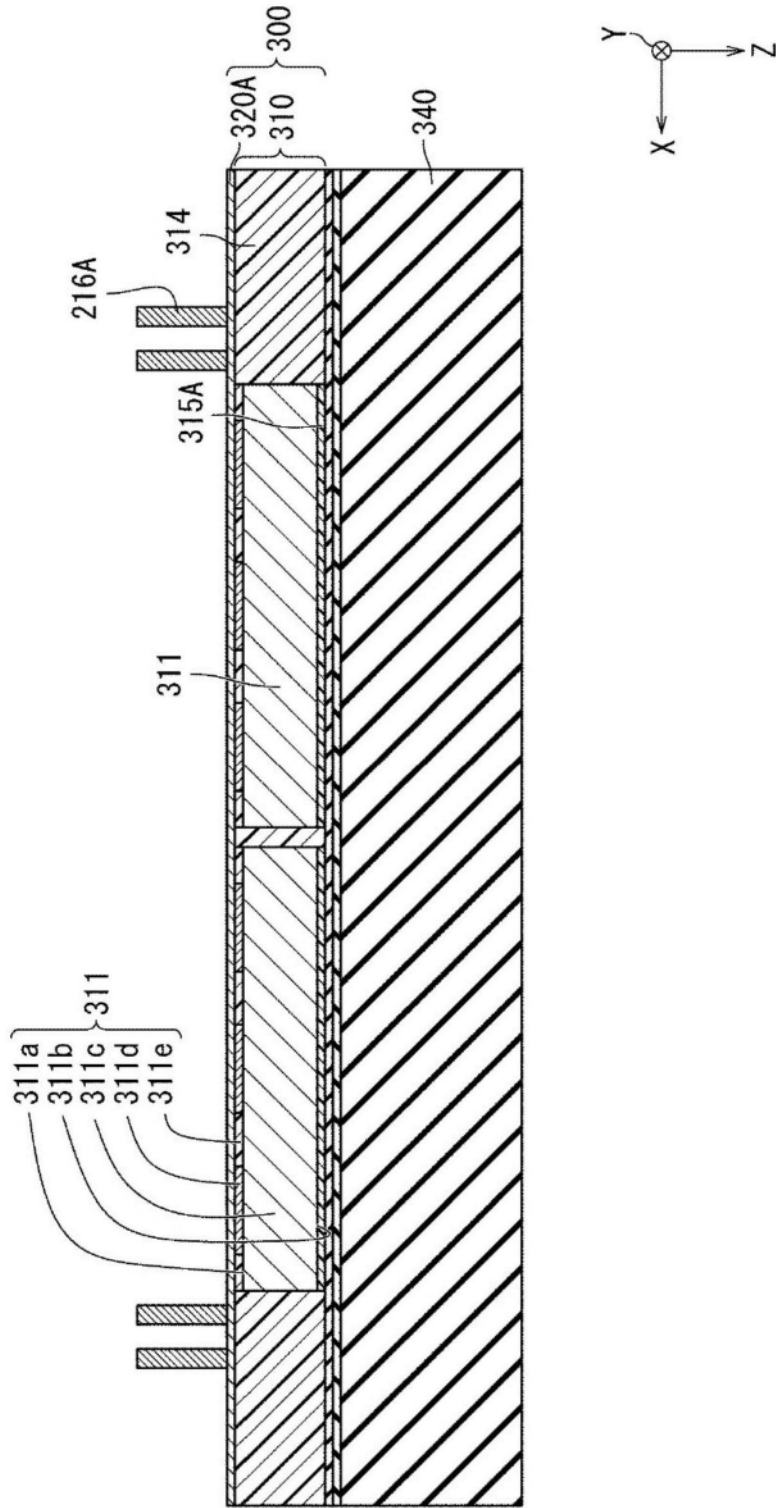


图6E

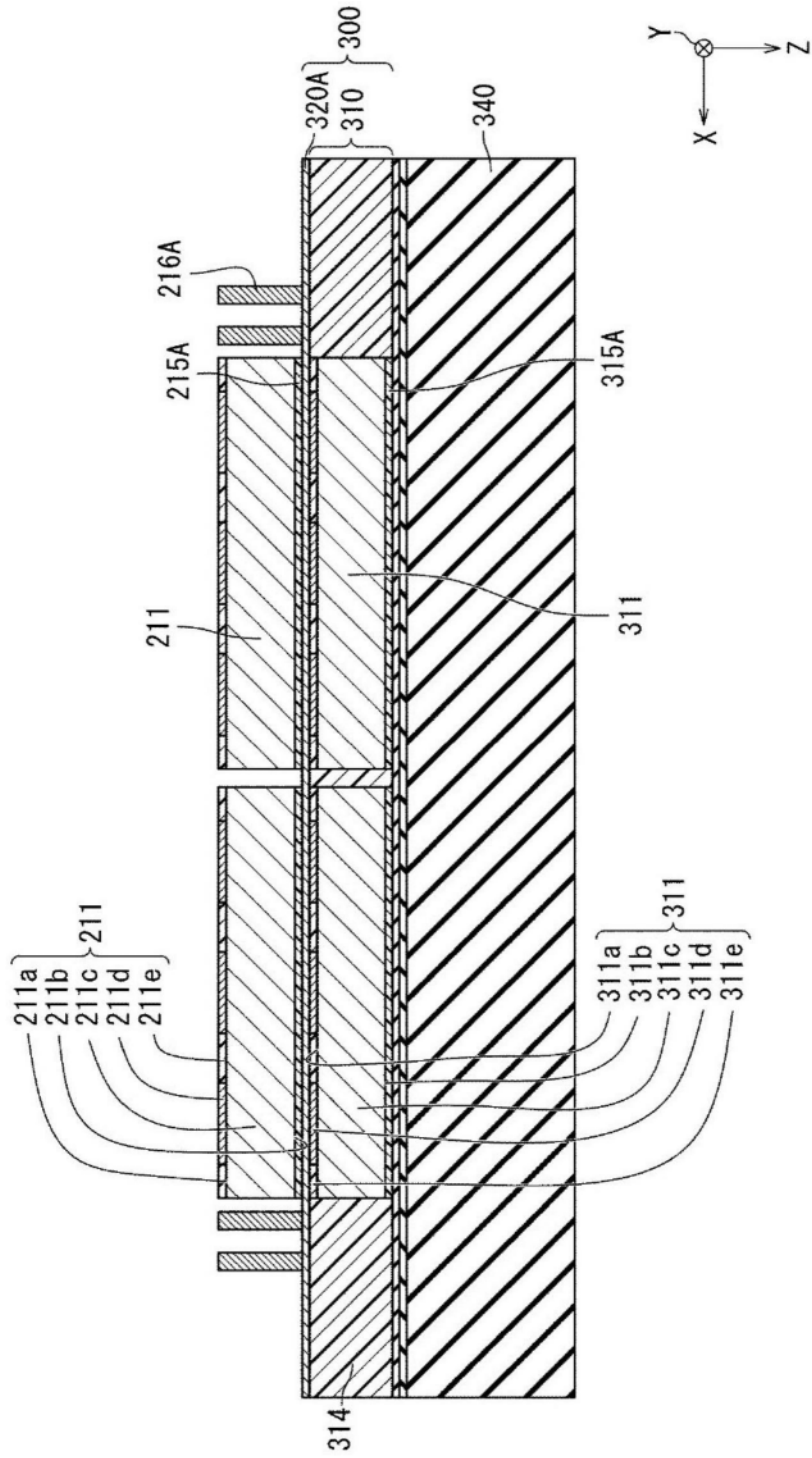


图6F

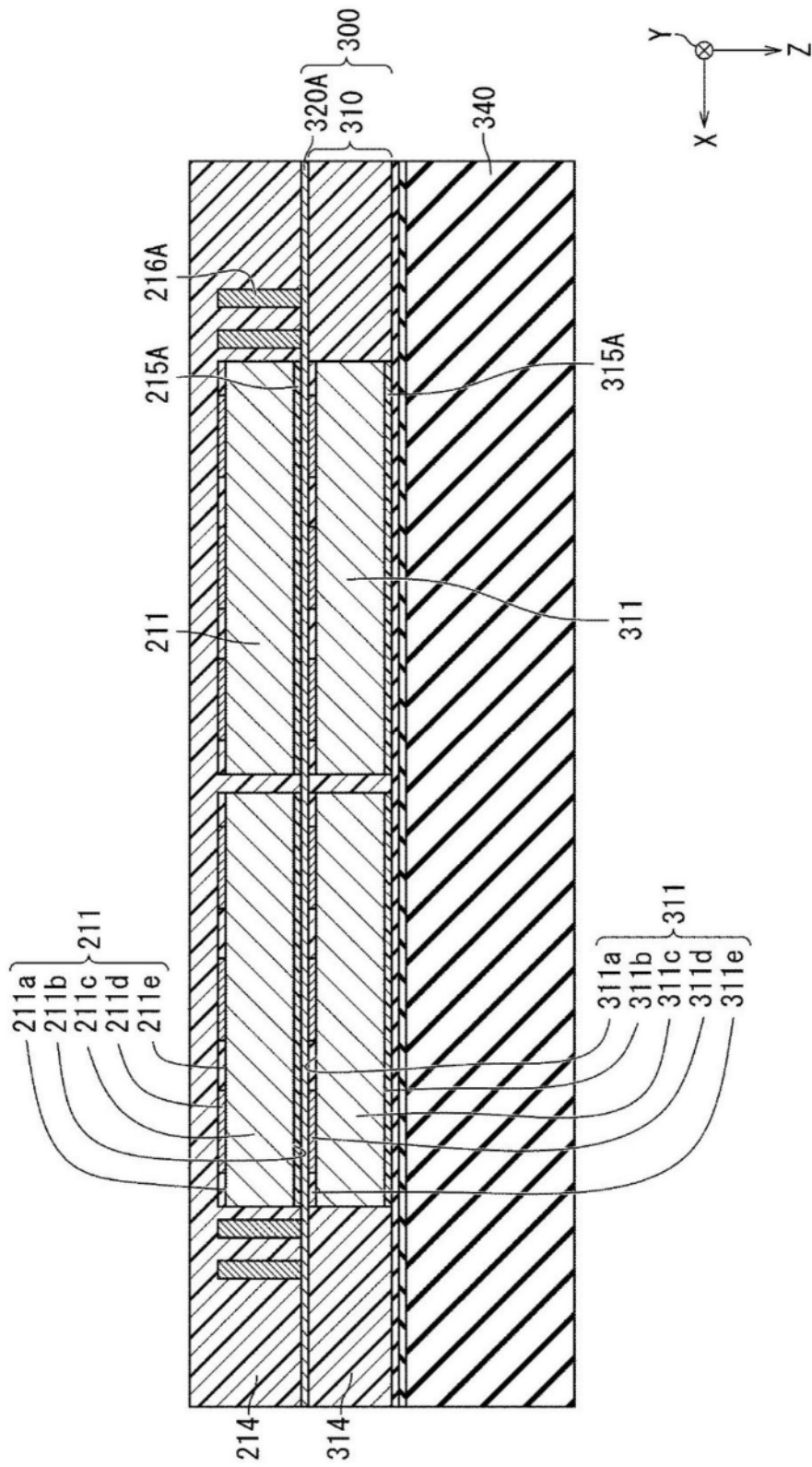


图6G

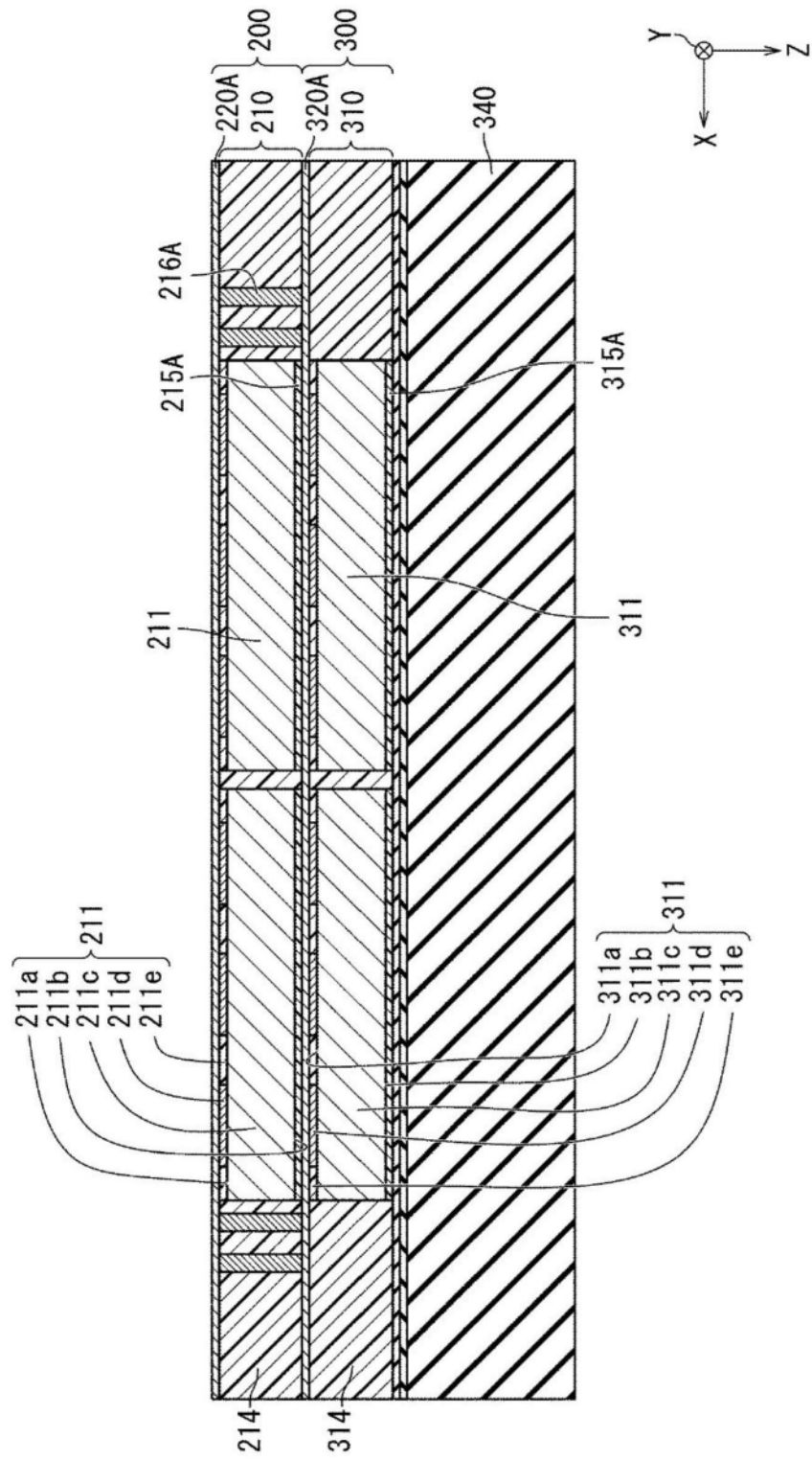


图6I

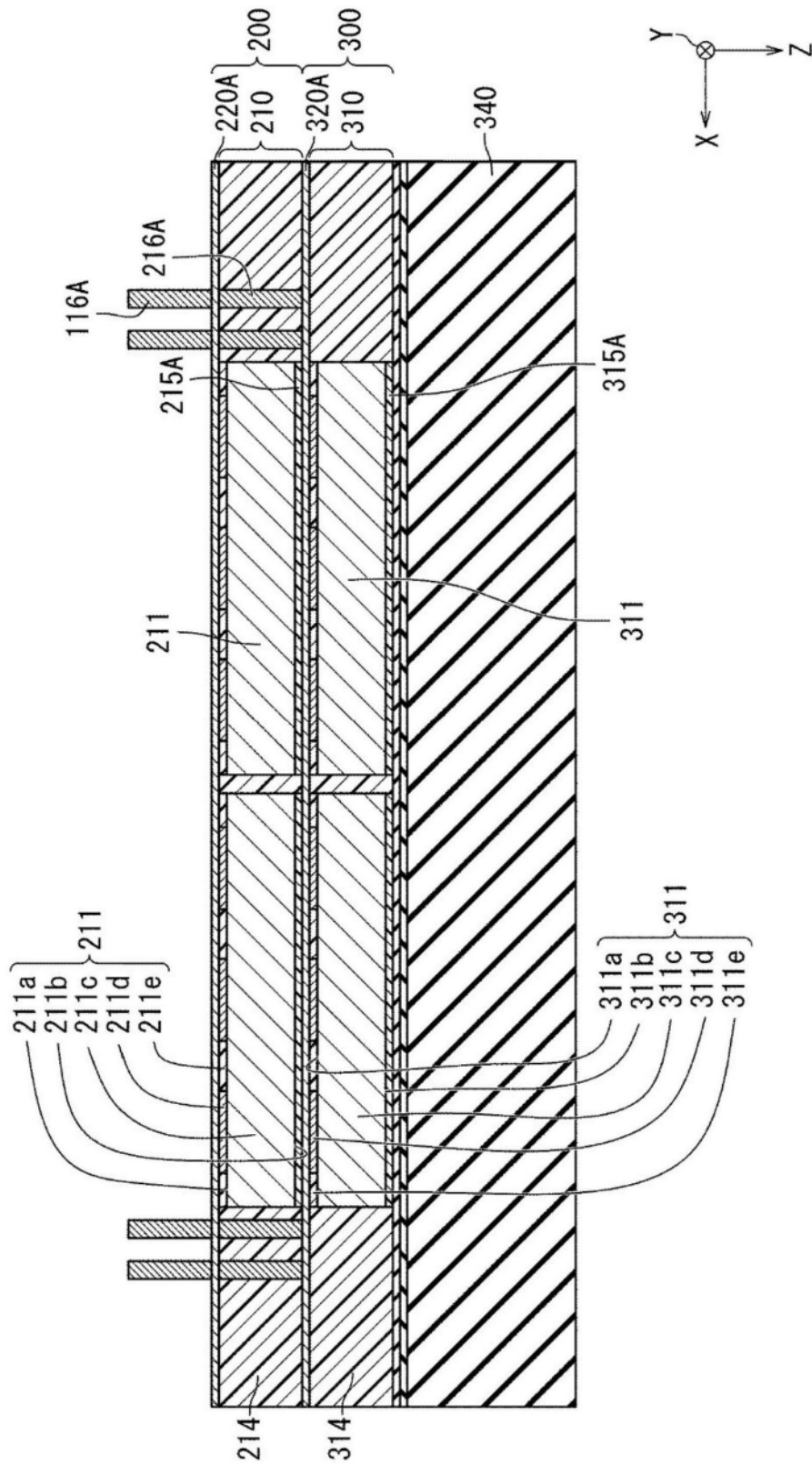


图6J

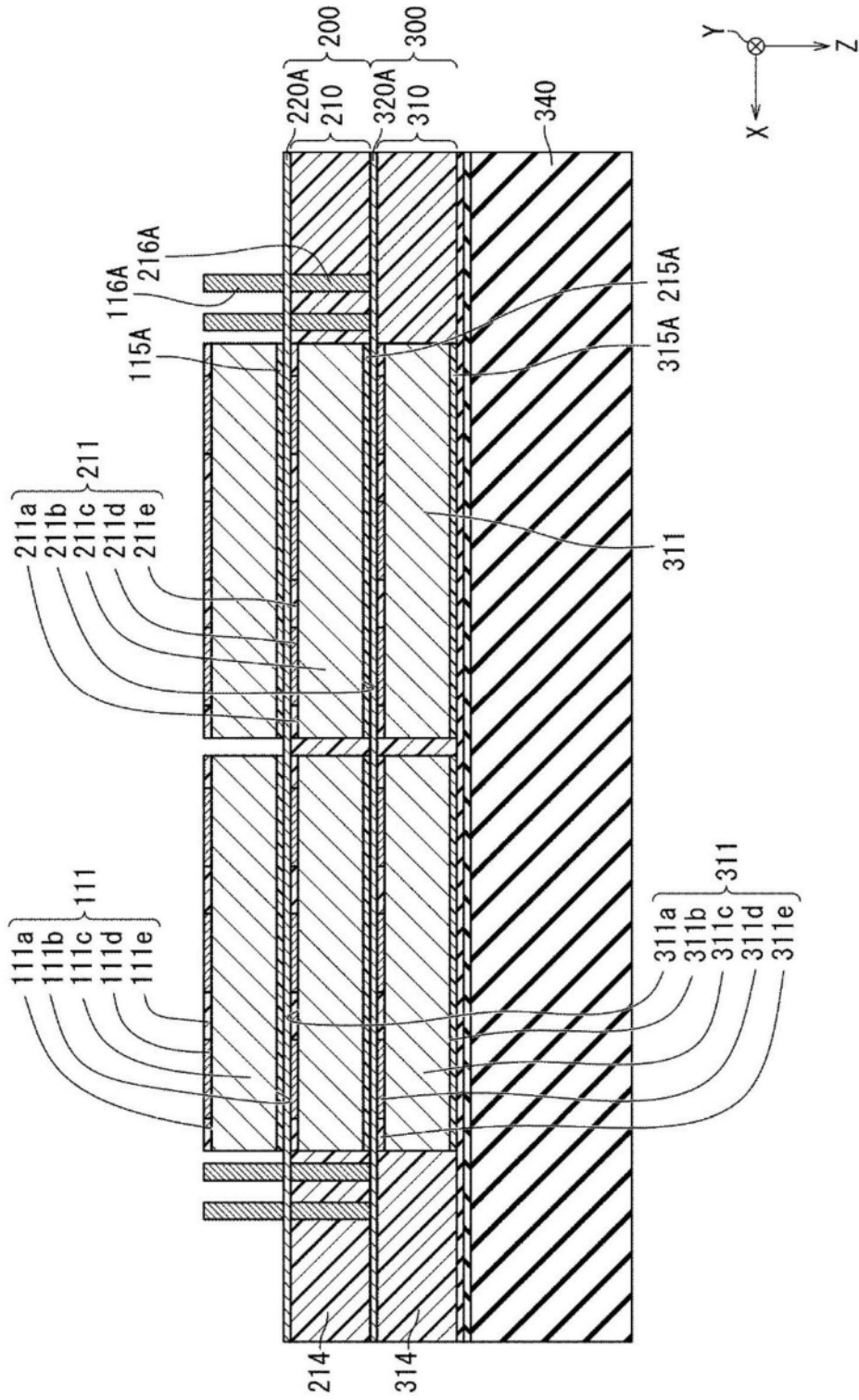


图6K

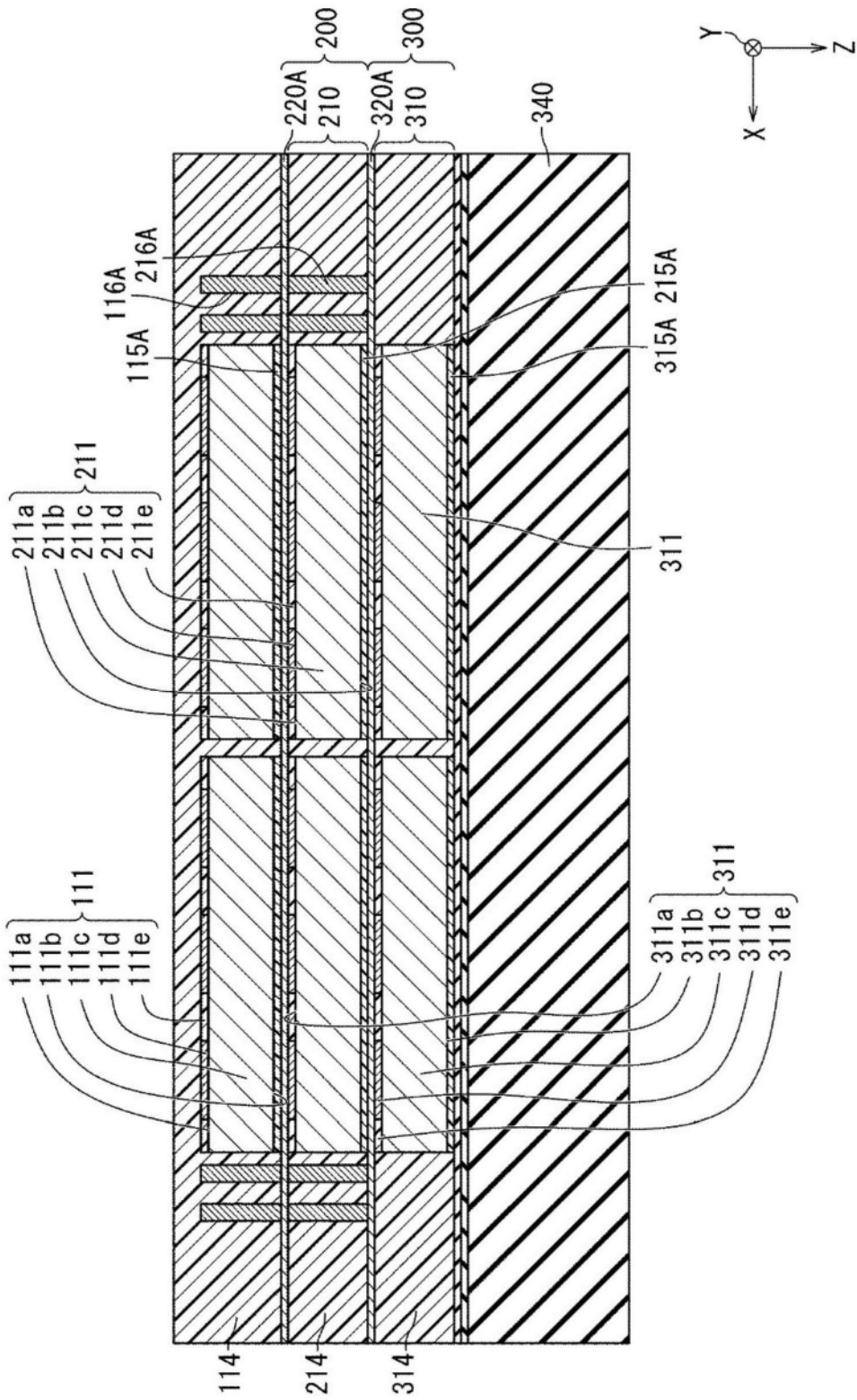


图6L

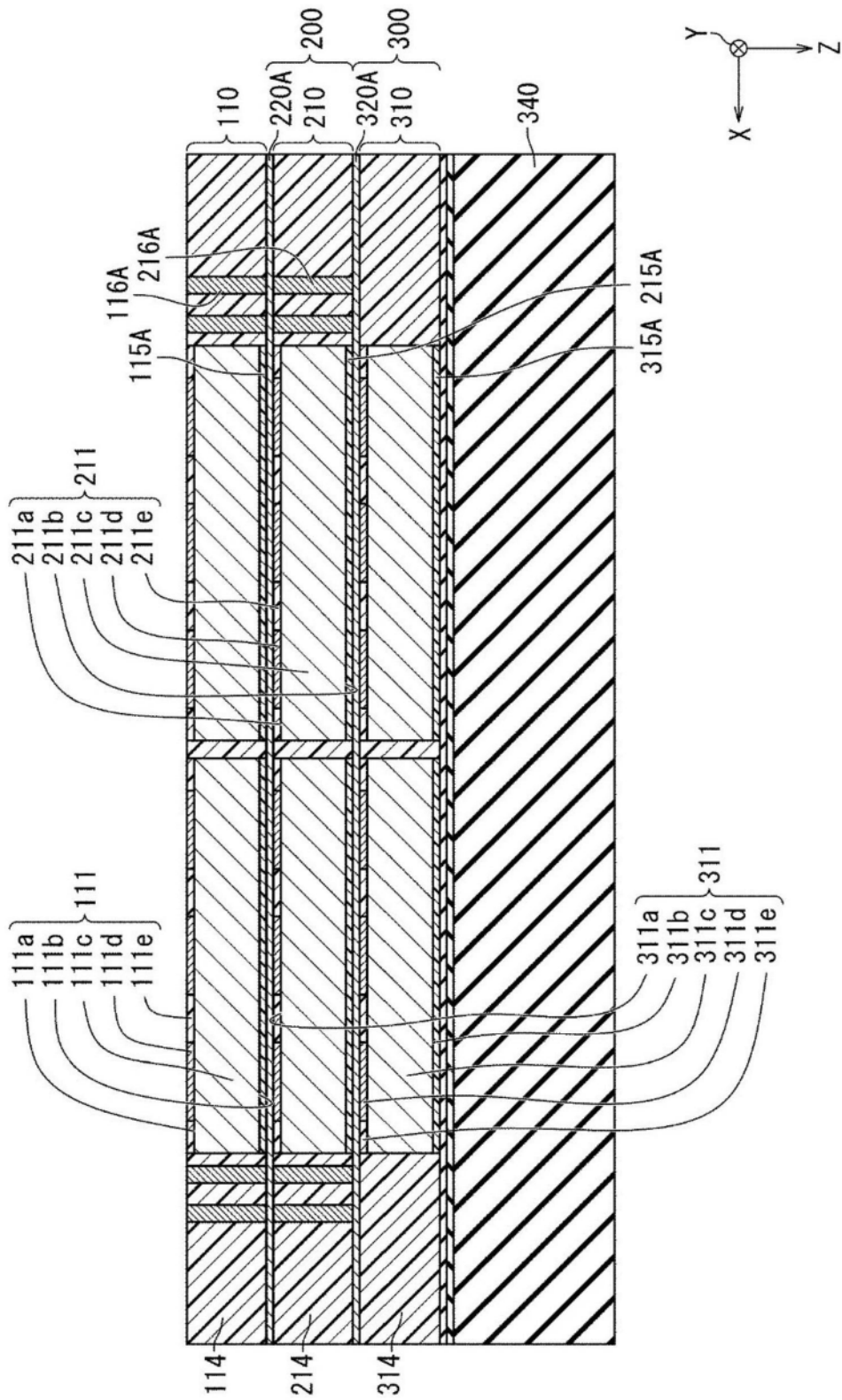


图6M

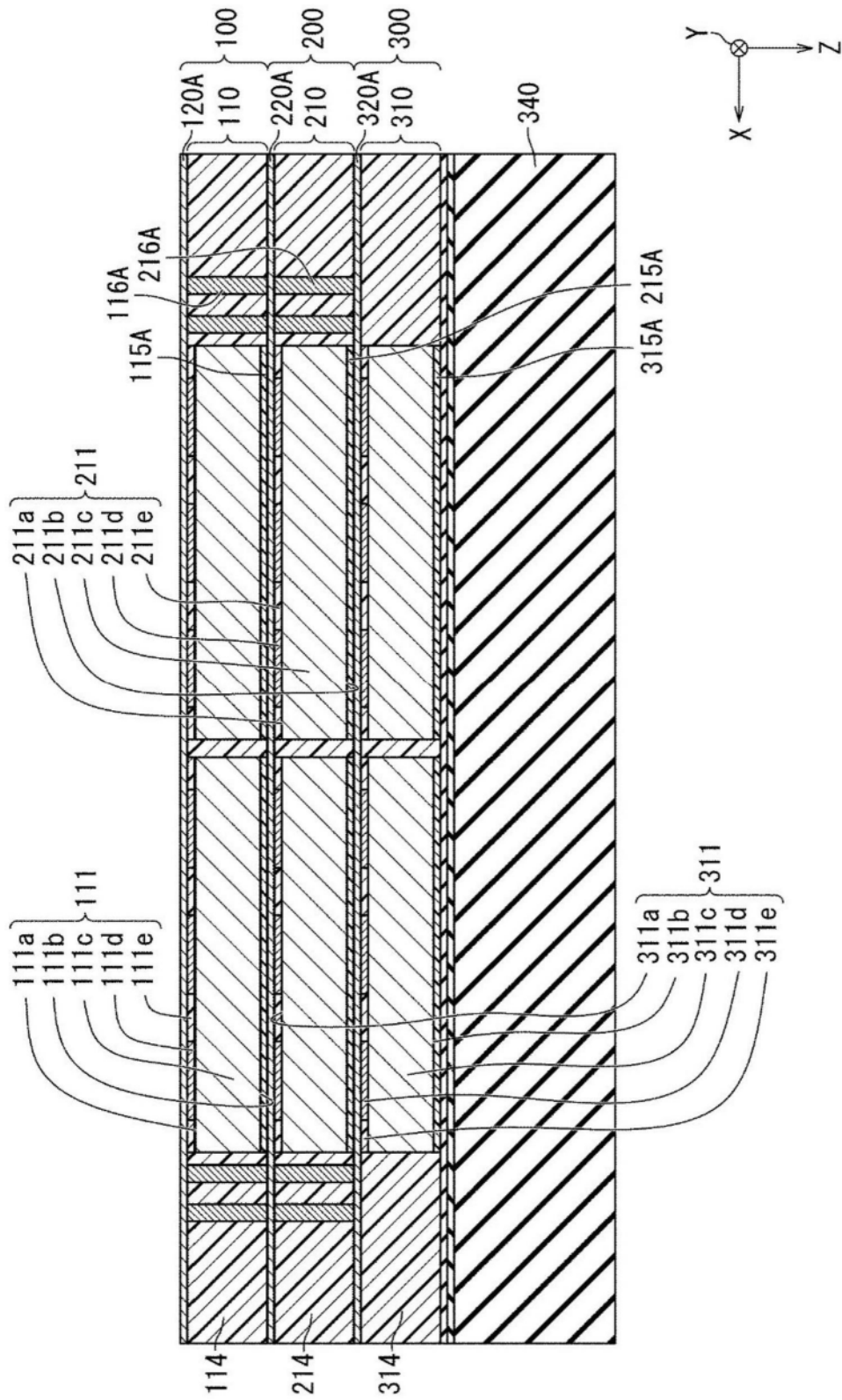


图6N

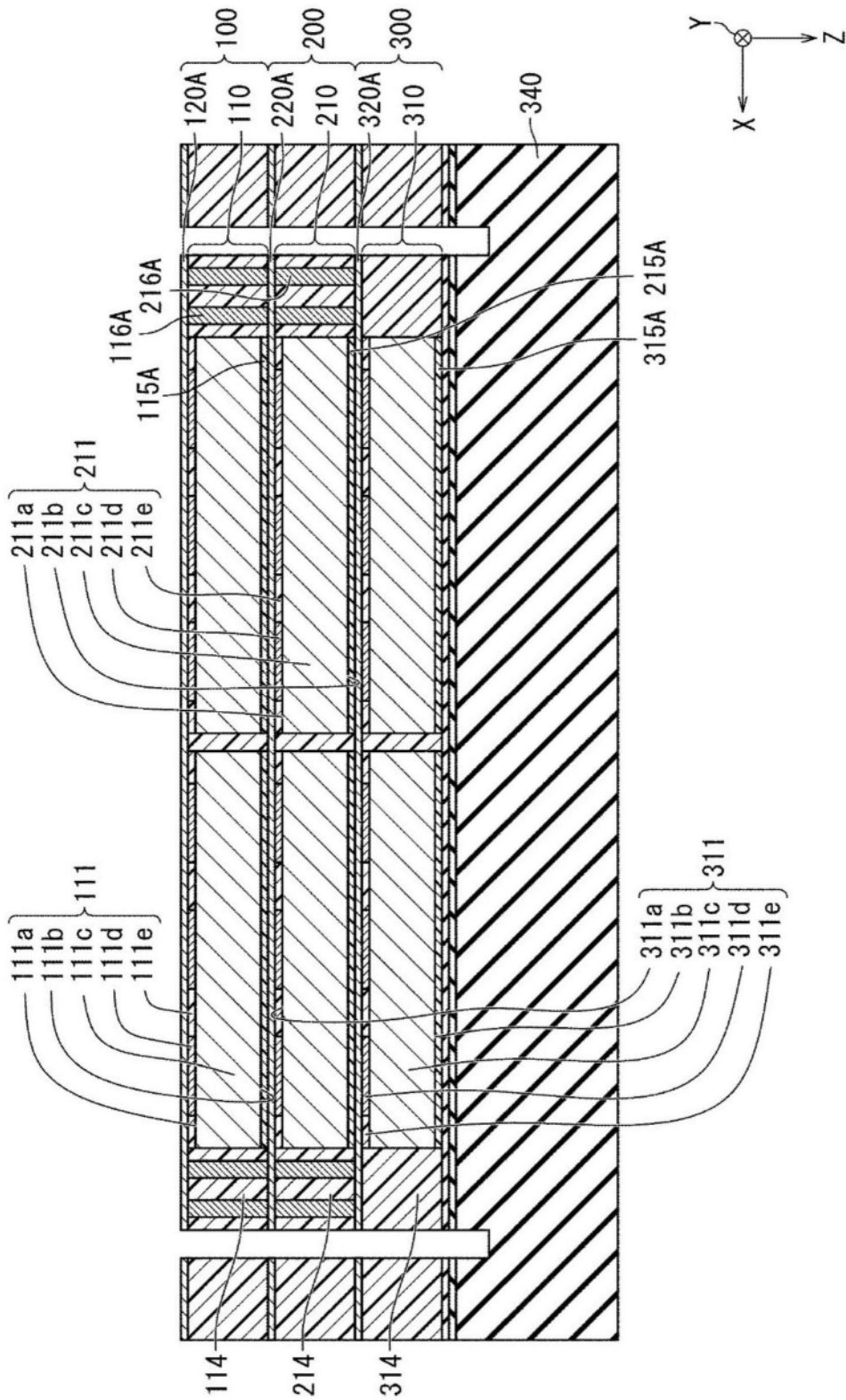


图60

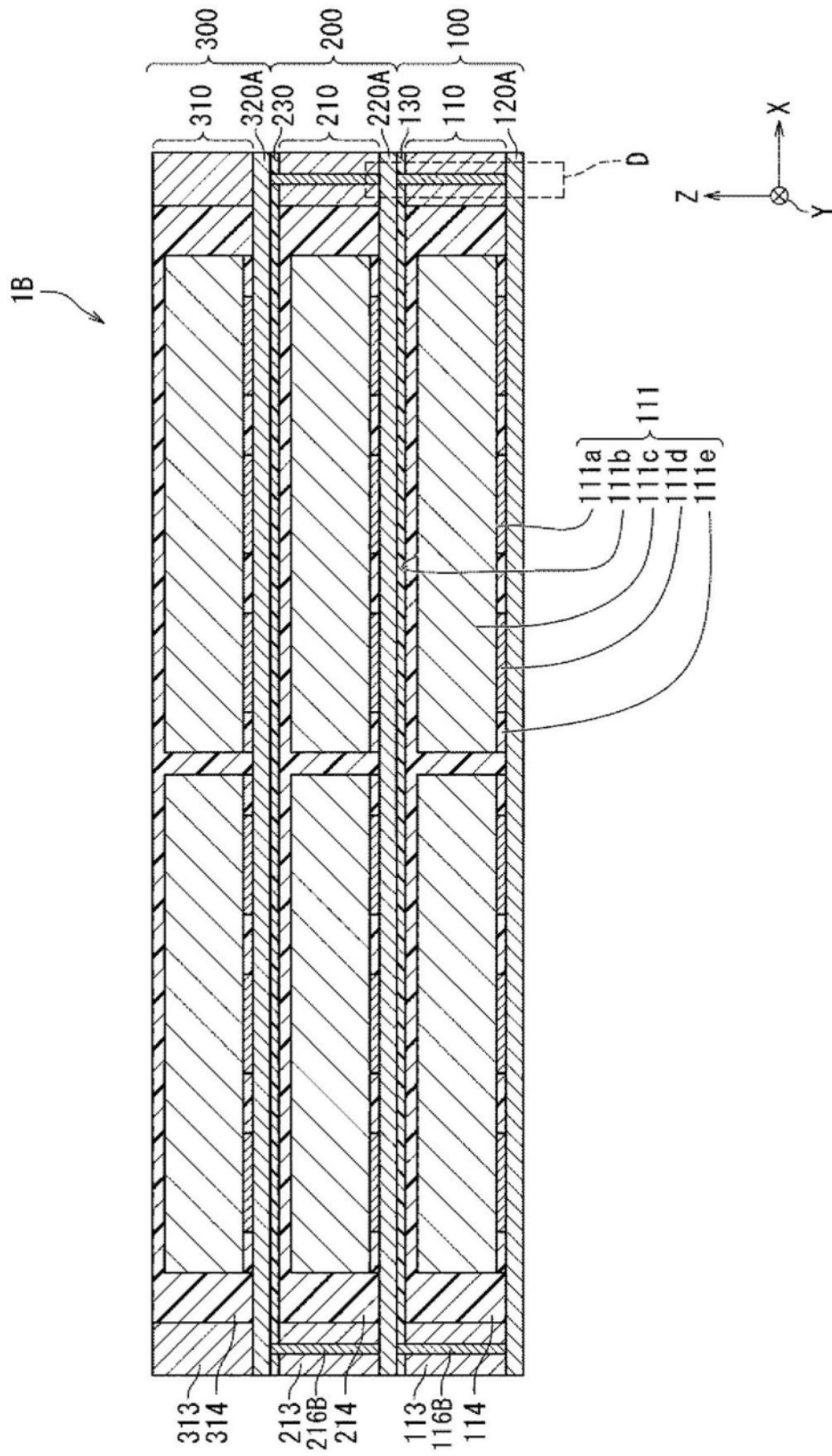


图7

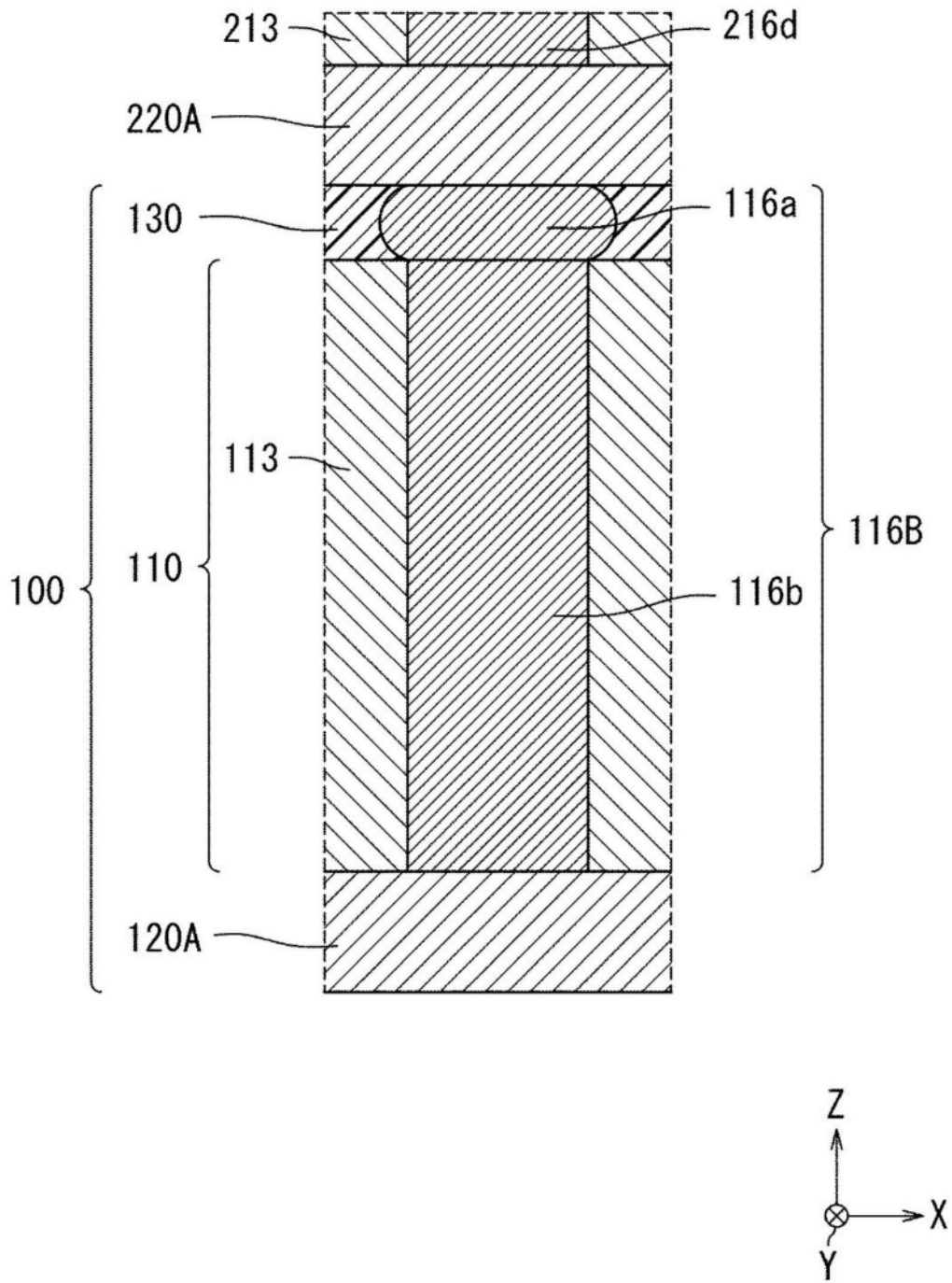


图8

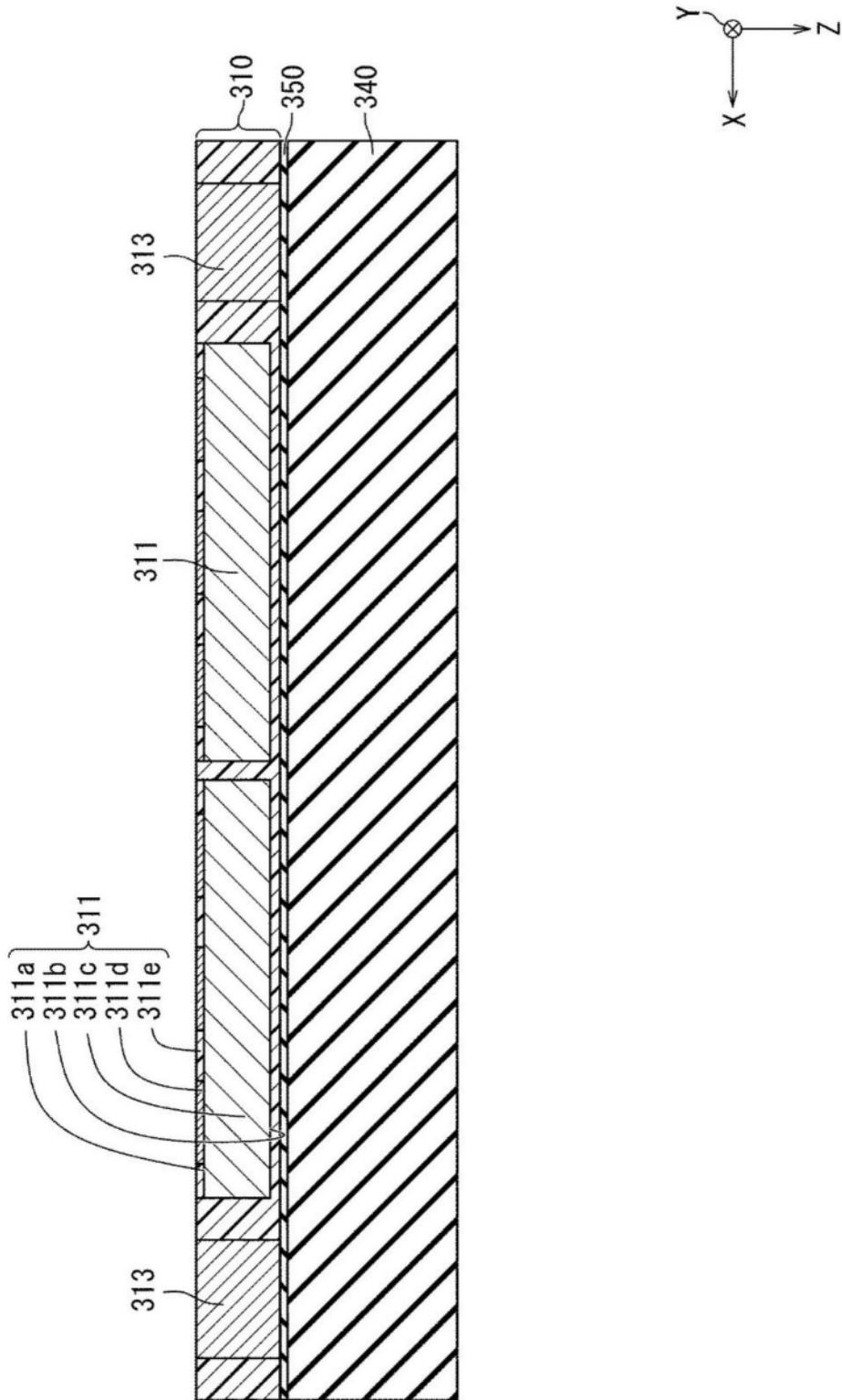


图9A

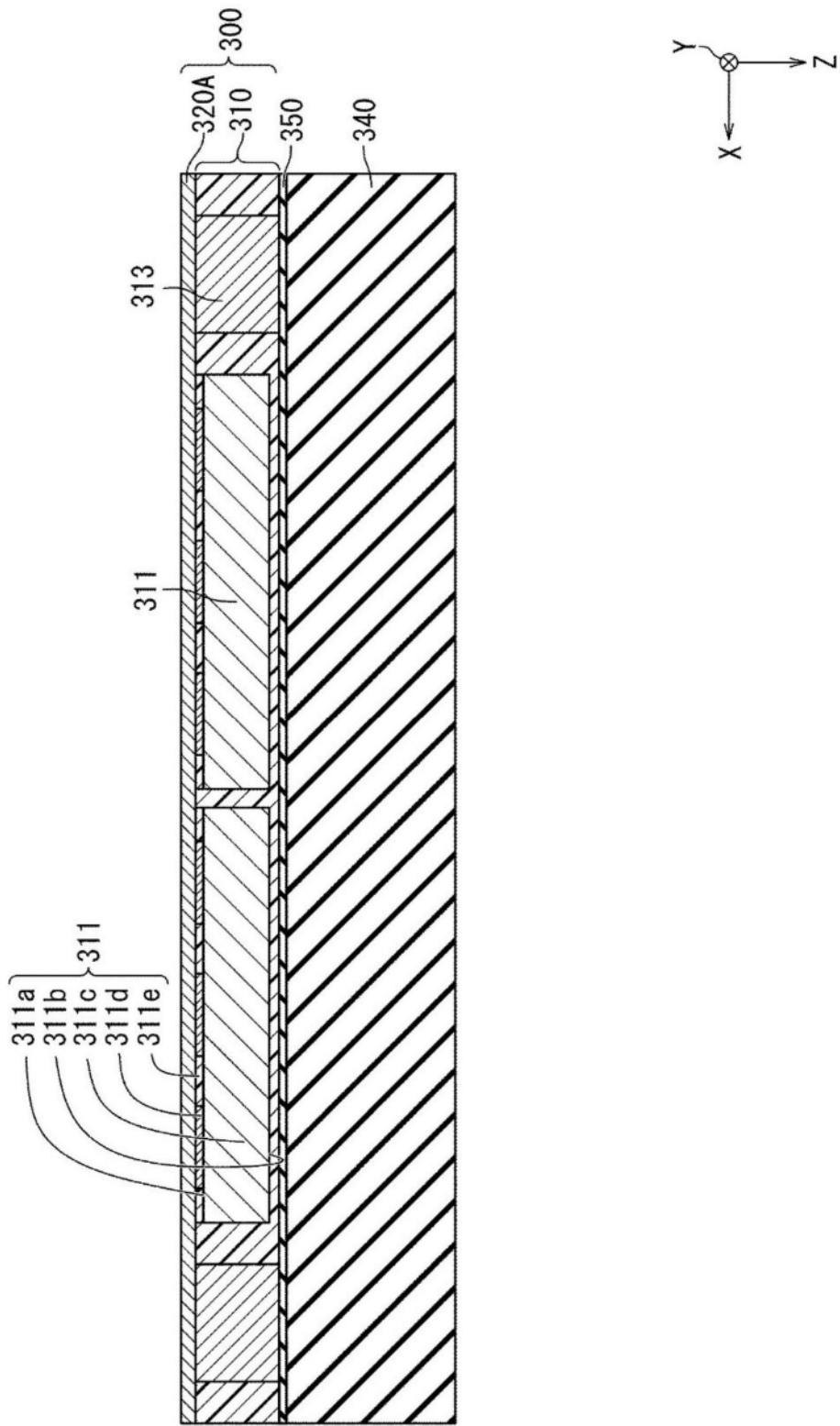


图9B

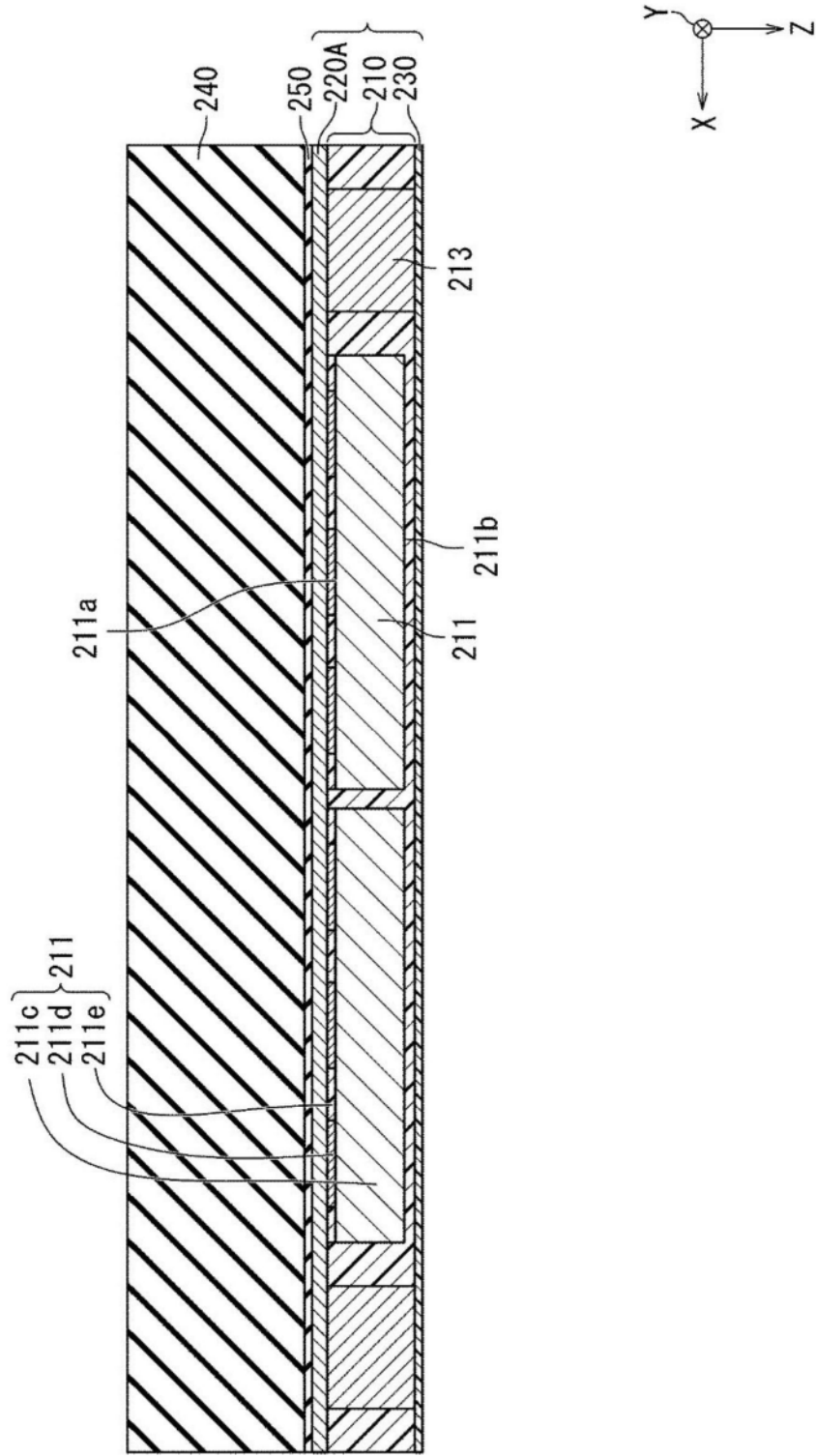


图9C

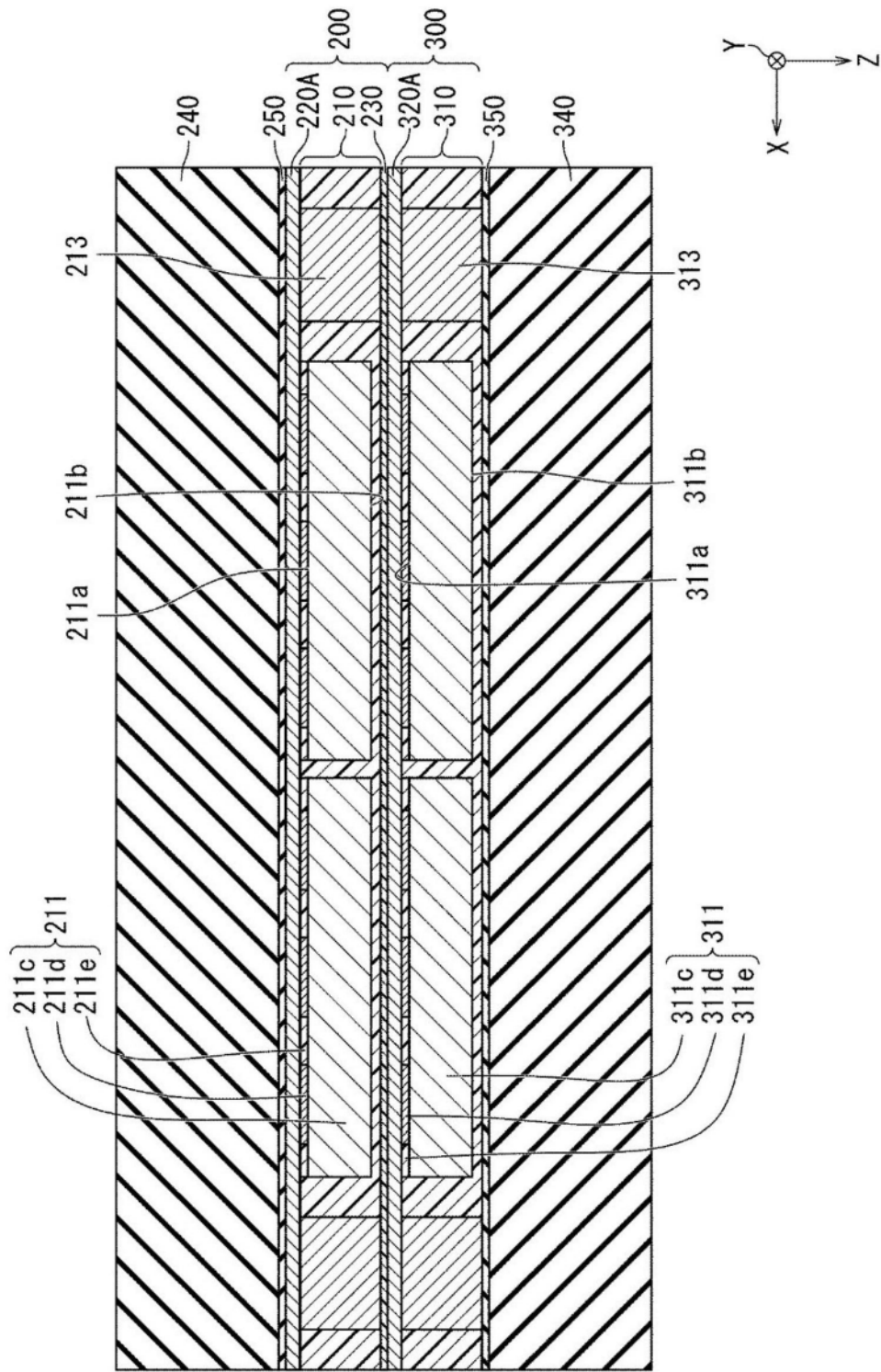


图9D

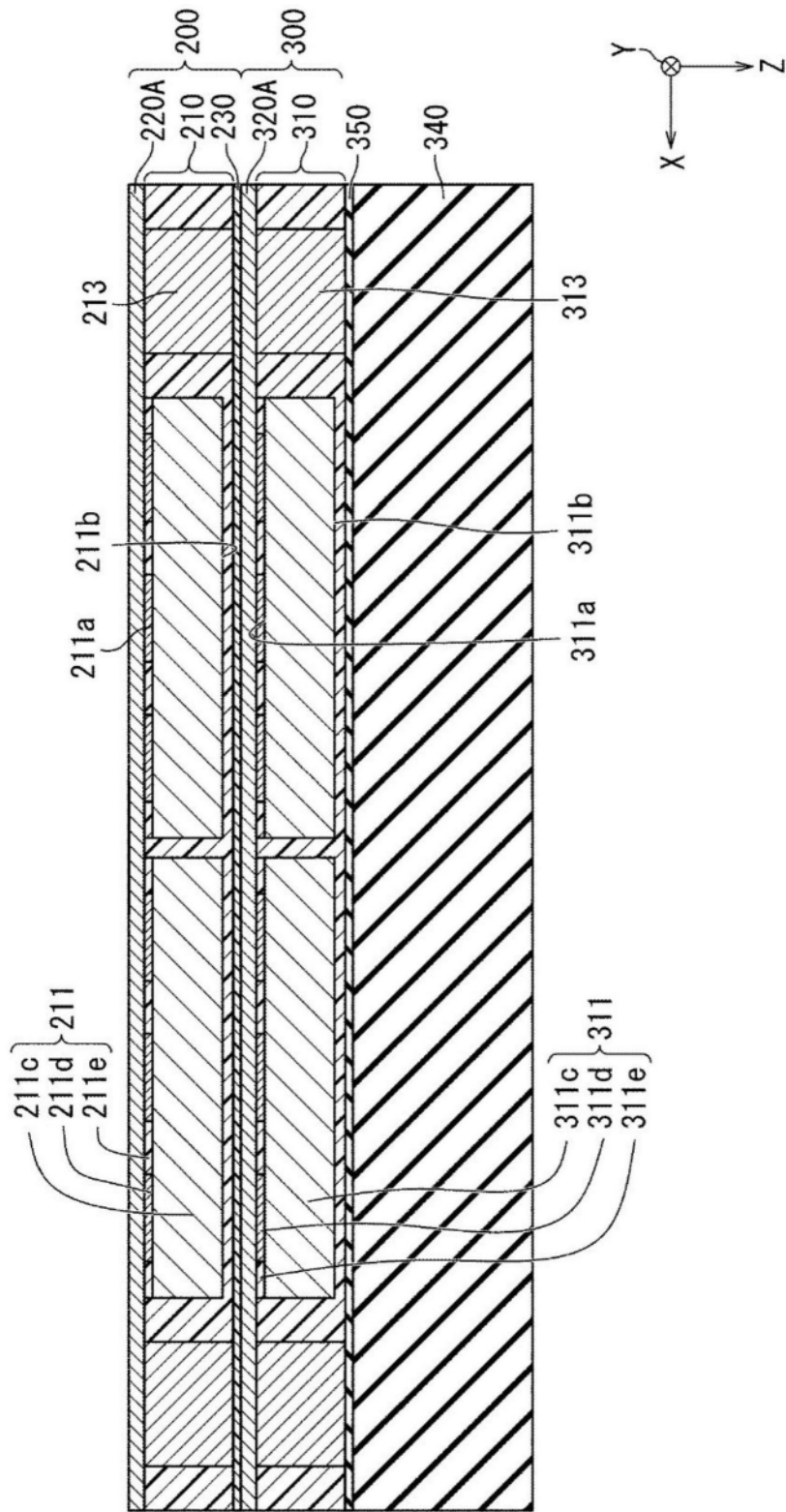


图9E

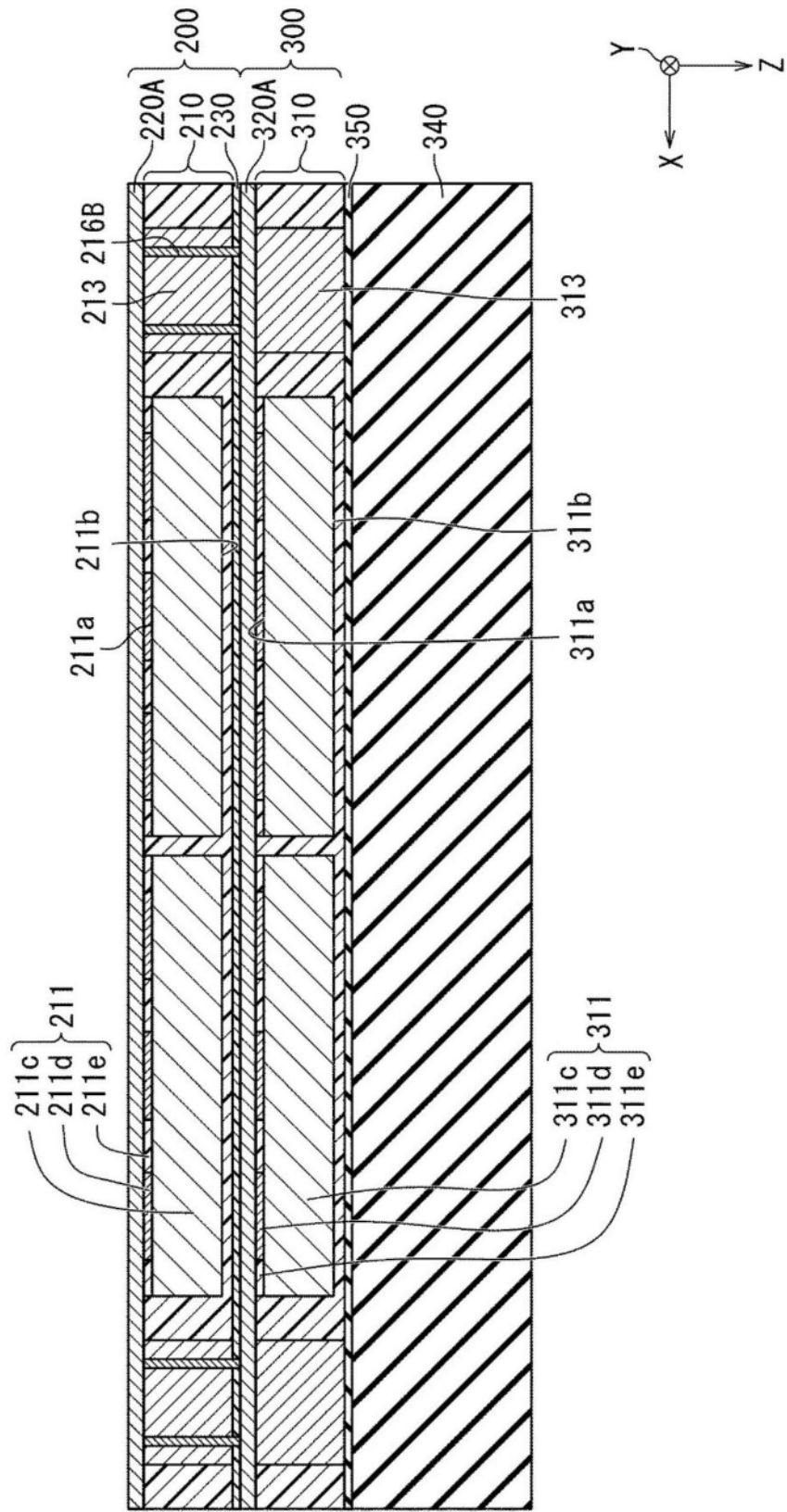


图9F

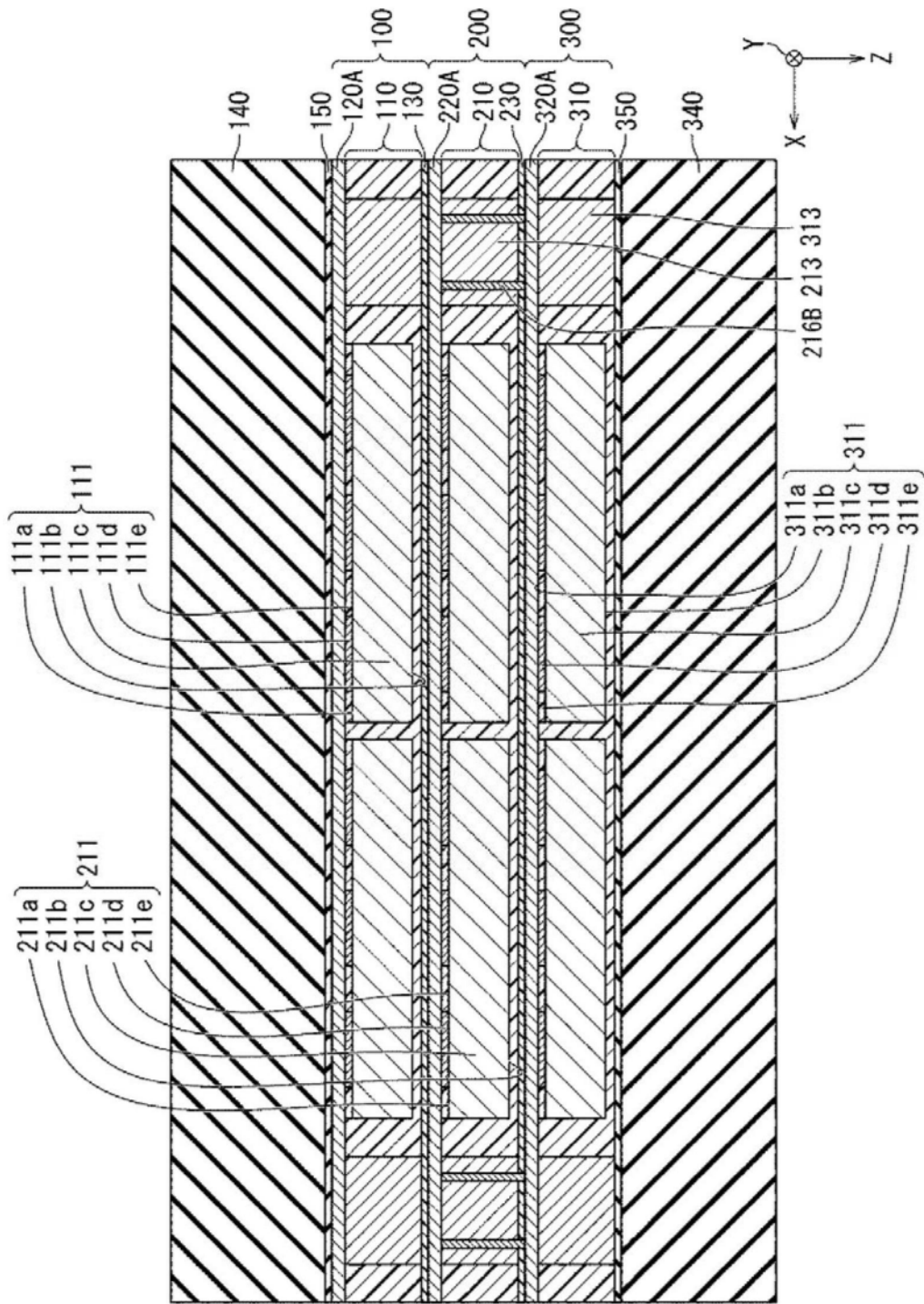


图9G

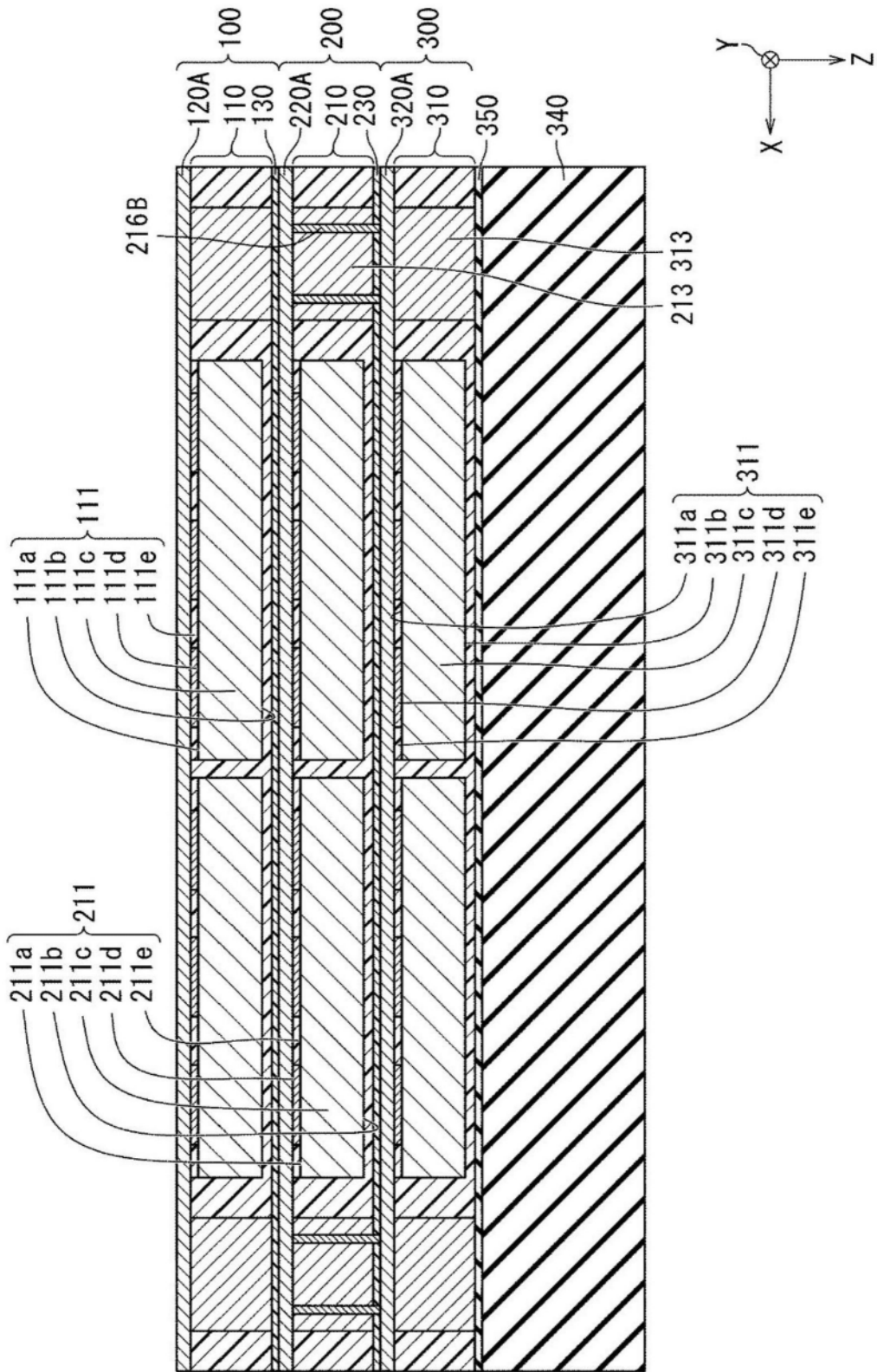


图9H

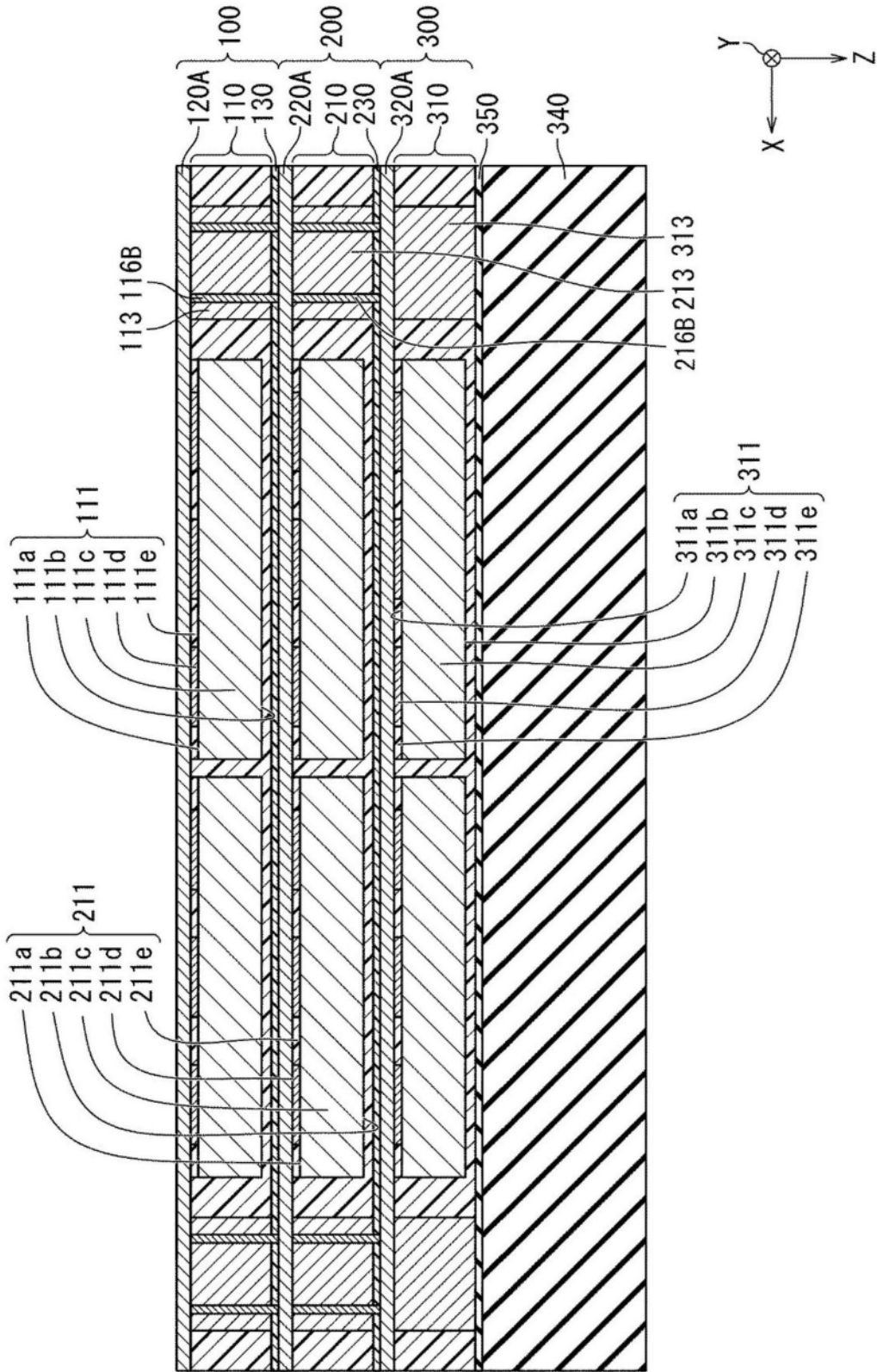


图9I

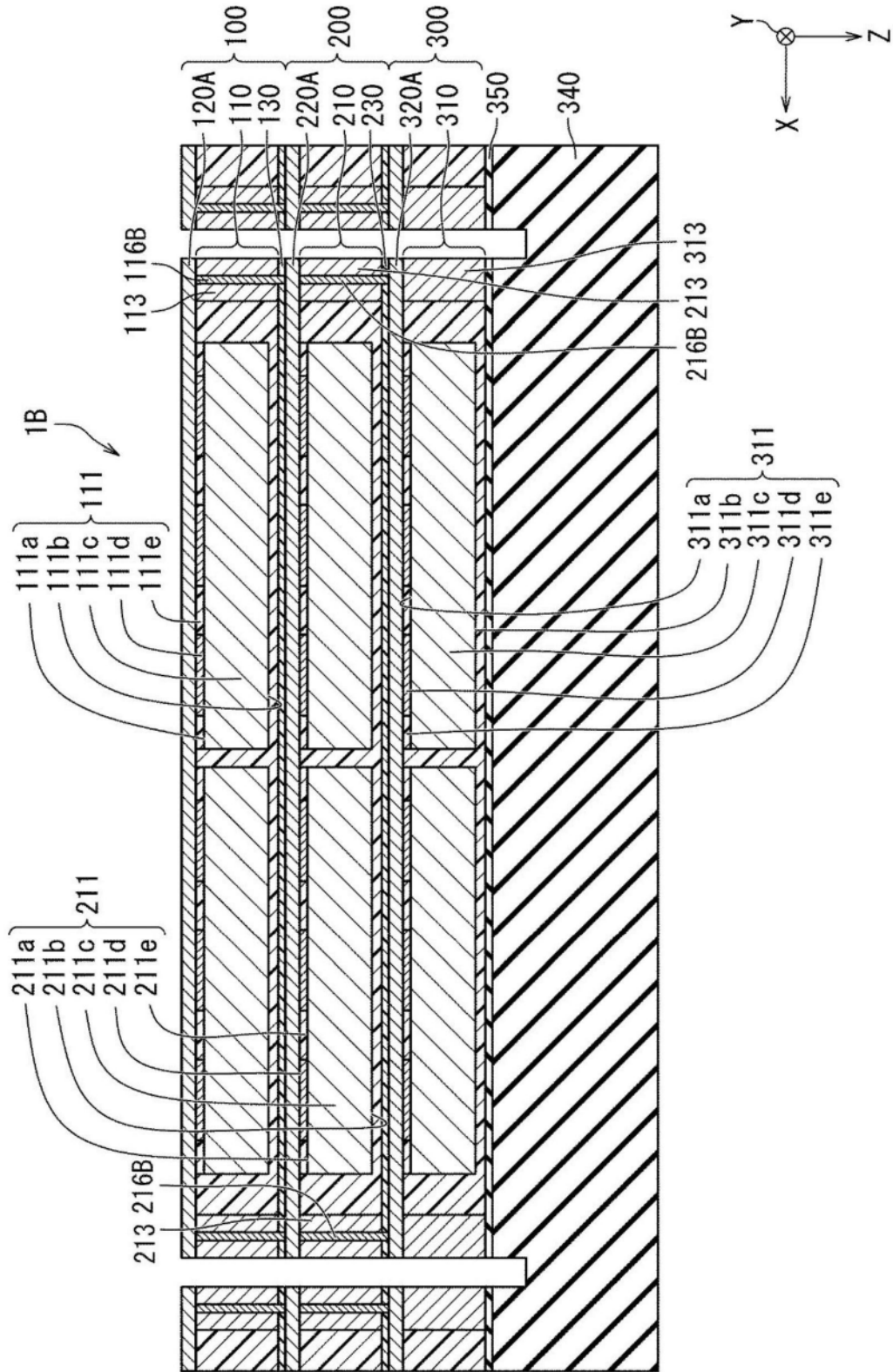


图9J

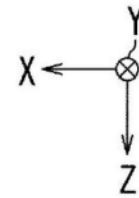
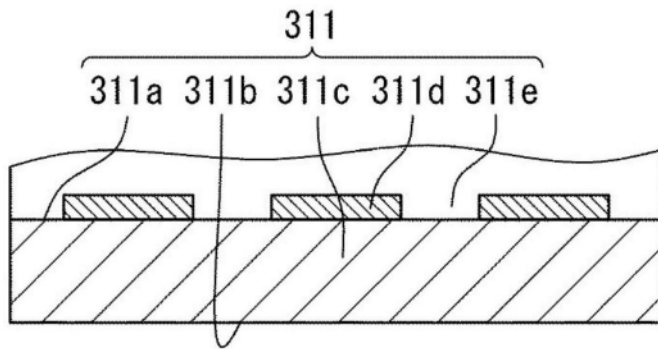


图10A

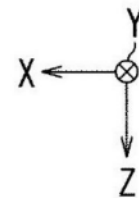
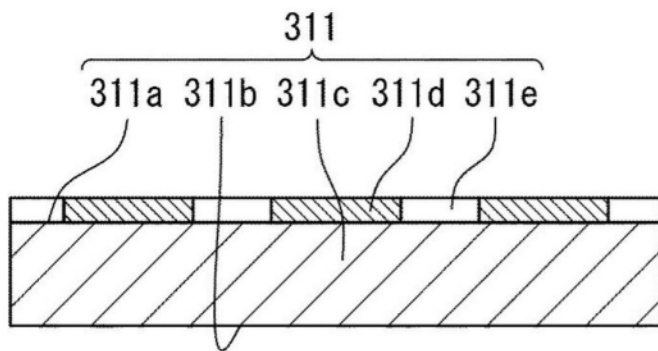


图10B