

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年8月17日(17.08.2023)



(10) 国際公開番号

WO 2023/153245 A1

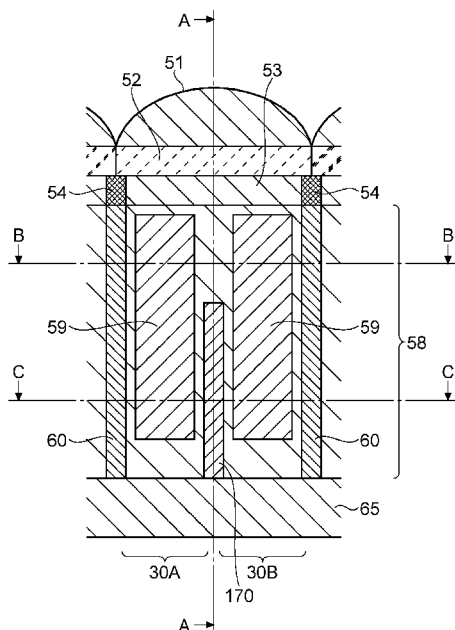
- (51) 国際特許分類:
H01L 27/146 (2006.01) H04N 25/70 (2023.01)
H01L 21/76 (2006.01)
- (21) 国際出願番号: PCT/JP2023/002731
- (22) 国際出願日: 2023年1月27日(27.01.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-018197 2022年2月8日(08.02.2022) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

- (72) 発明者: 伊藤 琢哉(ITO, Takuya); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 榎本 貴幸(ENOMOTO, Takayuki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 岡本 正喜(OKAMOTO, Masaki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 中崎 暢也(NAKAZAKI, Nobuya); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(54) Title: SOLID-STATE IMAGING DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 固体撮像装置及び電子機器



(57) Abstract: A solid-state imaging device according to an embodiment of the present invention comprises: pixel separation units that separate a first surface of a semiconductor substrate into a plurality of first regions arranged in a matrix; an intrapixel division unit that divides each of the plurality of first regions into at least two second regions; an etching stopper region that is placed in at least a part of a space between the pixel separation units and the intrapixel division unit in a plane parallel to the first surface and in a direction perpendicular to the direction of arrangement of the at least two second regions divided by the intrapixel division unit; photoelectric conversion units that are arranged in the respective second regions; and transfer transistors connected to the respective photoelectric conversion units.

(57) 要約: 実施形態に係る固体撮像装置は、半導体基板の第1面を行列状に配列する複数の第1領域に区画する画素分離部と、前記第1領域それぞれを少なくとも2つの第2領域に分割する画素内分離部と、前記第1面と平行な面内であって、前記画素内分離部により分割された前記少なくとも2つの第2領域が配列する方向と垂直な方向において、前記画素分離部と前記画素内分離部との間の少なくとも一部に配置されたエッチングストップ領域と、前記第2領域それぞれに配置された光電変換部と、前記光電変換部それぞれに接続された転送トランジスタと、を備える。

(74) 代理人: 弁理士法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関 3 丁目 8 番 1 号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

明 細 書

発明の名称： 固体撮像装置及び電子機器

技術分野

[0001] 本開示は、固体撮像装置及び電子機器に関する。

背景技術

[0002] 近年、撮像装置のオートフォーカス機能を実現するための技術として、隣り合う一対の位相差検出画素を用いて位相差を検出する、いわゆる像面位相差オートフォーカスが注目されてきている。

先行技術文献

特許文献

[0003] 特許文献1：特開2018-201015号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、像面位相差オートフォーカスが採用された固体撮像装置では、基板に形成された複数の受光部間が、基板の裏面側から形成されたトレンチ部に埋め込まれた遮光部により分離されている。このため、光照射面とされる基板の裏面側から斜め方向に入射した光が遮光部によって遮られてしまい、受光感度が低下してしまう可能性がある。

[0005] そこで本開示では、受光感度の低下を抑制することが可能な固体撮像装置及び電子機器を提案する。

課題を解決するための手段

[0006] 上記の課題を解決するために、本開示に係る一形態の固体撮像装置は、半導体基板の第1面を行列状に配列する複数の第1領域に区画する画素分離部と、前記第1領域それぞれを少なくとも2つの第2領域に分割する画素内分離部と、前記第1面と平行な面内であって、前記画素内分離部により分割された前記少なくとも2つの第2領域が配列する方向と垂直な方向において、前記画素分離部と前記画素内分離部との間の少なくとも一部に配置されたエ

ッチングストップ領域と、前記第2領域それぞれに配置された光電変換部と、前記光電変換部それぞれに接続された転送トランジスタと、を備える。

[0007] また、本開示に係る他の形態の固体撮像装置は、半導体基板の第1面を行列状に配列する複数の第1領域に区画する画素分離部と、前記第1領域それぞれを少なくとも2つの第2領域に分割し、前記少なくとも2つの第2領域のうちの1つに蓄積された電荷が他の少なくとも1つに流れ込むためのオーバフローパス領域を備える画素内分離部と、前記第2領域それぞれに配置された光電変換部と、前記光電変換部それぞれに接続された転送トランジスタと、を備え、前記画素内分離部の少なくとも一部は、前記第1面と平行な面内では当該画素内分離部の中心に向かうほどポテンシャル障壁が高くなり、前記オーバフローパスから離れるほどポテンシャル障壁が高くなるように調整された不純物濃度プロファイルを備える。

図面の簡単な説明

[0008] [図1]本開示の第1の実施形態に係る固体撮像装置を搭載した電子機器の概略構成例を示すブロック図である。

[図2]本開示の第1の実施形態に係るCMOS型の固体撮像装置の概略構成例を示すブロック図である。

[図3]本開示の第1の実施形態に係る画素の概略構成例を示す回路図である。

[図4]本開示の第1の実施形態に係るイメージセンサの積層構造例を示す図である。

[図5]本開示の第1の実施形態に係る画素の基本的な断面構造例を示す断面図である。

[図6]本開示の第1の実施形態に係る像面位相差画素の概略構造例を示す垂直断面図である。

[図7]本開示の第1の実施形態に係る像面位相差画素を図6とは異なる面で切断した際の概略構造例を示す垂直断面図である。

[図8]本開示の第1の実施形態に係る像面位相差画素の概略構造例を示す水平断面図である。

[図9]本開示の第1の実施形態に係る像面位相差画素を図8とは異なる面で切断した際の概略構造例を示す水平断面図である。

[図10]本開示の第1の実施形態に係る固体撮像装置の製造方法を説明するためのプロセス断面図である（その1）。

[図11]本開示の第1の実施形態に係る固体撮像装置の製造方法を説明するためのプロセス断面図である（その2）。

[図12]本開示の第1の実施形態に係る固体撮像装置の製造方法を説明するためのプロセス断面図である（その3）。

[図13]本開示の第1の実施形態に係る固体撮像装置の製造方法を説明するためのプロセス断面図である（その4）。

[図14]本開示の第1の実施形態に係る固体撮像装置の製造方法を説明するためのプロセス断面図である（その5）。

[図15]本開示の第1の実施形態に係る固体撮像装置の製造方法における画素分離部の製造工程に着目したプロセス断面図である（その1）。

[図16]本開示の第1の実施形態に係る固体撮像装置の製造方法における画素分離部の製造工程に着目したプロセス断面図である（その2）。

[図17]本開示の第1の実施形態に係る固体撮像装置の製造方法における画素分離部の製造工程に着目したプロセス断面図である（その3）。

[図18]本開示の第1の実施形態に係る固体撮像装置の製造方法における画素分離部の製造工程に着目したプロセス断面図である（その4）。

[図19]本開示の第1の実施形態に係る固体撮像装置の製造方法における画素分離部の製造工程に着目したプロセス断面図である（その5）。

[図20]本開示の第1の実施形態に係る固体撮像装置の製造方法における画素分離部の製造工程に着目したプロセス断面図である（その6）。

[図21]本開示の第1の実施形態の第1の変形例に係る製造途中の像面位相差画素の概略構造例を示す垂直断面図である。

[図22]本開示の第1の実施形態の第1の変形例に係る製造途中の他の像面位相差画素の概略構造例を示す垂直断面図である。

[図23]本開示の第1の実施形態の第2の変形例に係る像面位相差画素の概略構造例を示す垂直断面図である。

[図24]本開示の第1の実施形態の第3の変形例に係る像面位相差画素の概略構造例を示す垂直断面図である。

[図25]本開示の第1の実施形態の第4の変形例に係る像面位相差画素の概略構造例を示す垂直断面図である。

[図26]本開示の第1の実施形態の第5の変形例に係る像面位相差画素の概略構造例を示す垂直断面図である。

[図27]本開示の第1の実施形態の第6の変形例に係る像面位相差画素の概略構造例を示す垂直断面図である。

[図28]シリコン (Si) の屈折率 n とバンドギャップエネルギー k との波長依存性を示すグラフである。

[図29]本開示の第2の実施形態において画素内分離部に使用される材料の候補であるヒ化ガリウム (GaAs) の屈折率 n とバンドギャップエネルギー k との波長依存性を示すグラフである。

[図30]本開示の第2の実施形態において画素内分離部に使用される材料の候補であるリン化ガリウム (GaP) の屈折率 n とバンドギャップエネルギー k との波長依存性を示すグラフである。

[図31]本開示の第2の実施形態において画素内分離部に使用される材料の候補であるヒ化アルミニウム (AlAs) の屈折率 n とバンドギャップエネルギー k との波長依存性を示すグラフである。

[図32]本開示の第2の実施形態において画素内分離部に使用される材料の候補であるアンチモン化アルミニウム (AlSb) の屈折率 n とバンドギャップエネルギー k との波長依存性を示すグラフである。

[図33]本開示の第2の実施形態において画素内分離部に使用される材料の候補であるリン化インジウム (InP) の屈折率 n とバンドギャップエネルギー k との波長依存性を示すグラフである。

[図34]本開示の第2の実施形態において画素内分離部に使用される材料の候

補である六方晶炭化珪素（ $4H-SiC$ ）の屈折率 n とバンドギャップエネルギー k との波長依存性を示すグラフである。

[図35]本開示の第2の実施形態において画素内分離部に使用される材料の候補であるダイヤモンドの屈折率 n の波長依存性を示すグラフである。

[図36]本開示の第2の実施形態において画素内分離部に使用される材料の候補であるDLCの屈折率 n とバンドギャップエネルギー k との波長依存性を示すグラフである。

[図37]本開示の第2の実施形態において画素内分離部に使用される材料の候補であるセレン化亜鉛（ $ZnSe$ ）の屈折率 n とバンドギャップエネルギー k との波長依存性を示すグラフである。

[図38]本開示の第3の実施形態に係る像面位相差画素の平面構造例を示す上視図である。

[図39]図38におけるE-E断面の構造例を示す垂直断面図である。

[図40]図38におけるF-F断面の構造例を示す垂直断面図である。

[図41]本開示の第3の実施形態に係る固体撮像装置の製造方法を示すプロセス断面図である（その1）。

[図42]本開示の第3の実施形態に係る固体撮像装置の製造方法を示すプロセス断面図である（その2）。

[図43]本開示の第3の実施形態に係る固体撮像装置の製造方法を示すプロセス断面図である（その3）。

[図44]本開示の第3の実施形態に係る固体撮像装置の製造方法を示すプロセス断面図である（その4）。

[図45]本開示の第3の実施形態に係る固体撮像装置の製造方法を示すプロセス断面図である（その5）。

[図46]本開示の第3の実施形態に係る固体撮像装置の製造方法を示すプロセス断面図である（その6）。

[図47]本開示の第3の実施形態に係る固体撮像装置の製造方法を示すプロセス断面図である（その7）。

[図48]本開示の第3の実施形態の第1変形例に係る像面位相差画素の断面構造例を示す垂直断面図である。

[図49]本開示の第3の実施形態の第2変形例に係る像面位相差画素の断面構造例を示す垂直断面図である。

[図50]本開示の第3の実施形態の第3変形例に係る像面位相差画素の断面構造例を示す垂直断面図である。

[図51]本開示の第3の実施形態の第4変形例に係る像面位相差画素の断面構造例を示す垂直断面図である。

[図52]本開示の第3の実施形態の第5変形例に係る像面位相差画素の断面構造例を示す垂直断面図である。

[図53]本開示の第3の実施形態の第6変形例に係る像面位相差画素の断面構造例を示す垂直断面図である。

[図54]本開示の第3の実施形態の第7変形例に係る像面位相差画素の断面構造例を示す垂直断面図である。

[図55]本開示の第3の実施形態の第8変形例に係る像面位相差画素の断面構造例を示す垂直断面図である。

[図56]スマートフォンの概略的な機能構成の一例を示すブロック図である。

[図57]車両制御システムの概略的な構成の一例を示すブロック図である。

[図58]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

[図59]内視鏡手術システムの概略的な構成の一例を示す図である。

[図60]カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

発明を実施するための形態

[0009] 以下に、本開示の一実施形態について図面に基づいて詳細に説明する。なお、以下の実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0010] また、以下に示す項目順序に従って本開示を説明する。

1. 第1の実施形態

1. 1 電子機器（撮像装置）の構成例

- 1. 2 固体撮像装置の構成例
- 1. 3 画素の構成例
- 1. 4 画素の基本機能例
- 1. 5 固体撮像装置の積層構造例
- 1. 6 画素の基本構造例
- 1. 7 像面位相差画素の概略断面構造例
- 1. 8 像面位相差画素構造における課題
- 1. 9 像面位相差画素の断面構造例
- 1. 10 製造方法
- 1. 11 まとめ
- 1. 12 変形例
 - 1. 12. 1 第1の変形例
 - 1. 12. 2 第2の変形例
 - 1. 12. 3 第3の変形例
 - 1. 12. 4 第4の変形例
 - 1. 12. 5 第5の変形例
 - 1. 12. 6 第6の変形例
- 2. 第2の実施形態
 - 2. 1 第1例
 - 2. 2 第2例
 - 2. 3 第3例
 - 2. 4 第4例
 - 2. 5 第5例
 - 2. 6 第6例
 - 2. 7 第7例
 - 2. 8 第8例
 - 2. 9 第9例
 - 2. 10 その他の例

2. 1 1 まとめ

3. 第3の実施形態

3. 1 像面位相差画素の断面構造例

3. 2 製造方法

3. 3 像面位相差画素構造の変形例

3. 3. 1 第1変形例

3. 3. 2 第2変形例

3. 3. 3 第3変形例

3. 3. 4 第4変形例

3. 3. 5 第5変形例

3. 3. 6 第6変形例

3. 3. 7 第7変形例

3. 3. 8 第8変形例

3. 4 まとめ

4. スマートフォンへの応用例

5. 移動体への応用例

6. 内視鏡手術システムへの応用例

[0011] 1. 第1の実施形態

まず、本開示の第1の実施形態について、図面を参照して詳細に説明する。なお、本実施形態では、CMOS (Complementary Metal-Oxide-Semiconductor) 型の固体撮像装置（以下、イメージセンサともいう）に本実施形態に係る技術を適用した場合を例示するが、これに限定されず、例えば、CCD (Charge Coupled Device) 型の固体撮像装置やToF (Time of Flight) センサやEVS (Event-based Vision Sensor) など、光電変換素子を備える種々のセンサに本実施形態に係る技術を適用することが可能である。

[0012] 1. 1 電子機器（撮像装置）の構成例

図1は、第1の実施形態に係る固体撮像装置を搭載した電子機器（撮像装置）の概略構成例を示すブロック図である。図1に示すように、撮像装置1

は、例えば、撮像レンズ 11 と、固体撮像装置 10 と、記憶部 14 と、プロセッサ 13 とを備える。

[0013] 撮像レンズ 11 は、入射光を集光してその像を固体撮像装置 10 の受光面に結像する光学系の一例である。受光面とは、固体撮像装置 10 における光電変換素子が配列する面であってよい。固体撮像装置 10 は、入射光を光電変換して画像データを生成する。また、固体撮像装置 10 は、生成した画像データに対し、ノイズ除去やホワイトバランス調整等の所定の信号処理を実行する。

[0014] 記憶部 14 は、例えば、フラッシュメモリや D R A M (Dynamic Random Access Memory) や S R A M (Static Random Access Memory) 等で構成され、固体撮像装置 10 から入力された画像データ等を記録する。

[0015] プロセッサ 13 は、例えば、C P U (Central Processing Unit) 等を用いて構成され、オペレーティングシステムや各種アプリケーションソフトウェア等を実行するアプリケーションプロセッサや、G P U (Graphics Processing Unit) やベースバンドプロセッサなどが含まれ得る。プロセッサ 13 は、固体撮像装置 10 から入力された画像データや記憶部 14 から読み出した画像データ等に対し、必要に応じた種々処理を実行したり、ユーザへの表示を実行したり、所定のネットワークを介して外部へ送信したりする。

[0016] 1. 2 固体撮像装置の構成例

図 2 は、第 1 の実施形態に係る C M O S 型の固体撮像装置の概略構成例を示すブロック図である。ここで、C M O S 型の固体撮像装置とは、C M O S プロセスを応用して、または、部分的に使用して作成されたイメージセンサである。例えば、本実施形態に係る固体撮像装置 10 は、裏面照射型のイメージセンサで構成されている。

[0017] 本実施形態に係る固体撮像装置 10 は、例えば、画素アレイ部 21 が配置された受光チップ 41 (基板) と、周辺回路が配置された回路チップ 42 (基板) とが積層されたスタック構造を有する (例えば、図 4 参照)。周辺回路には、例えば、垂直駆動回路 22、カラム処理回路 23、水平駆動回路 2

4 及びシステム制御部 25 が含まれ得る。

[0018] 固体撮像装置 10 は更に、信号処理部 26 及びデータ格納部 27 を備えている。信号処理部 26 及びデータ格納部 27 は、周辺回路と同じ半導体チップに設けられてもよいし、別の半導体チップに設けられてもよい。

[0019] 画素アレイ部 21 は、受光した光量に応じた電荷を生成しかつ蓄積する光電変換素子を有する画素 30 が行方向及び列方向に、すなわち、行列状に 2 次元格子状に配置された構成を有する。ここで、行方向とは画素行の画素の配列方向（図面中、横方向）をいい、列方向とは画素列の画素の配列方向（図面中、縦方向）をいう。画素 30 の具体的な回路構成や画素構造の詳細については後述する。

[0020] 画素アレイ部 21 では、行列状の画素配列に対し、画素行ごとに画素駆動線 LD が行方向に沿って配線され、画素列ごとに垂直信号線 VSL が列方向に沿って配線されている。画素駆動線 LD は、画素から信号を読み出す際の駆動を行うための駆動信号を伝送する。図 2 では、画素駆動線 LD が 1 本ずつの配線として示されているが、1 本ずつに限られるものではない。画素駆動線 LD の一端は、垂直駆動回路 22 の各行に対応した出力端に接続されている。

[0021] 垂直駆動回路 22 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 21 の各画素を全画素同時あるいは行単位等で駆動する。すなわち、垂直駆動回路 22 は、当該垂直駆動回路 22 を制御するシステム制御部 25 と共に、画素アレイ部 21 の各画素の動作を制御する駆動部を構成している。この垂直駆動回路 22 はその具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系との 2 つの走査系を備えている。

[0022] 読出し走査系は、画素 30 から信号を読み出すために、画素アレイ部 21 の画素 30 を行単位で順に選択走査する。画素 30 から読み出される信号はアナログ信号である。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりも露光時間分だけ先行して

掃出し走査を行う。

[0023] この掃出し走査系による掃出し走査により、読出し行の画素30の光電変換素子から不要な電荷が掃き出されることによって当該光電変換素子がリセットされる。そして、この掃出し走査系で不要電荷を掃き出す（リセットすることにより、所謂電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の電荷を捨てて、新たに露光を開始する（電荷の蓄積を開始する）動作のことを言う。

[0024] 読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作または電子シャッタ動作以降に受光した光量に対応している。そして、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、画素30における電荷の蓄積期間（露光期間ともいう）となる。

[0025] 垂直駆動回路22によって選択走査された画素行の各画素30から出力される信号は、画素列ごとに垂直信号線VSLの各々を通してカラム処理回路23に入力される。カラム処理回路23は、画素アレイ部21の画素列ごとに、選択行の各画素から垂直信号線VSLを通して出力される信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

[0026] 具体的には、カラム処理回路23は、信号処理として少なくとも、ノイズ除去処理、例えばCDS（Correlated Double Sampling：相関二重サンプリング）処理や、DDS（Double Data Sampling）処理を行う。例えば、CDS処理により、リセットノイズや画素内の増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。カラム処理回路23は、その他にも、例えば、AD（アナログーデジタル）変換機能を備え、光電変換素子から読み出され得たアナログの画素信号をデジタル信号に変換して出力する。

[0027] 水平駆動回路24は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理回路23の画素列に対応する読出し回路（以下、画素回

路ともいう)を順番に選択する。この水平駆動回路24による選択走査により、カラム処理回路23において画素回路ごとに信号処理された画素信号が順番に出力される。

[0028] システム制御部25は、各種のタイミング信号を生成するタイミングジェネレータなどによって構成され、当該タイミングジェネレータで生成された各種のタイミングを基に、垂直駆動回路22、カラム処理回路23、及び、水平駆動回路24などの駆動制御を行う。

[0029] 信号処理部26は、少なくとも演算処理機能を有し、カラム処理回路23から出力される画素信号に対して演算処理等の種々の信号処理を行う。データ格納部27は、信号処理部26での信号処理にあたって、その処理に必要なデータを一時的に格納する。

[0030] なお、信号処理部26から出力された画像データは、例えば、固体撮像装置10を搭載する撮像装置1におけるプロセッサ13等において所定の処理が実行されたり、所定のネットワークを介して外部へ送信されたりしてもよい。

[0031] 1. 3 画素の構成例

図3は、本実施形態に係る画素の概略構成例を示す回路図である。図3に示すように、画素30は、光電変換部PDと、転送トランジスタ31と、リセットトランジスタ32と、増幅トランジスタ33と、選択トランジスタ34と、浮遊拡散領域FDとを備える。

[0032] 選択トランジスタ34のゲートには、画素駆動線LDに含まれる選択トランジスタ駆動線LD34が接続され、リセットトランジスタ32のゲートには、画素駆動線LDに含まれるリセットトランジスタ駆動線LD32が接続され、転送トランジスタ31のゲートには、画素駆動線LDに含まれる転送トランジスタ駆動線LD31が接続されている。また、増幅トランジスタ33のソースには、カラム処理回路23に一端が接続される垂直信号線VSLが選択トランジスタ34を介して接続されている。

[0033] 以下の説明において、リセットトランジスタ32、増幅トランジスタ33

と及び選択トランジスタ34は、まとめて画素回路とも称される。この画素回路には、浮遊拡散領域FD及び／又は転送トランジスタ31が含まれてもよい。

[0034] 光電変換部PDは、入射した光を光電変換する。転送トランジスタ31は、光電変換部PDに発生した電荷を転送する。浮遊拡散領域FDは、転送トランジスタ31が転送した電荷を蓄積する電荷蓄積部として機能する。増幅トランジスタ33は、浮遊拡散領域FDに蓄積された電荷に応じた電圧値の画素信号を垂直信号線VSLに出現させる。リセットトランジスタ32は、浮遊拡散領域FDに蓄積された電荷を放出する。選択トランジスタ34は、読出し対象の画素30を選択する。

[0035] 光電変換部PDのアノードは、接地されており、カソードは、転送トランジスタ31のソースに接続されている。転送トランジスタ31のドレインは、リセットトランジスタ32のソースおよび増幅トランジスタ33のゲートに接続されており、これらの接続点であるノードが浮遊拡散領域FDを構成する。なお、リセットトランジスタ32のドレインは、不図示の垂直リセット入力線に接続されている。

[0036] 増幅トランジスタ33のドレインは、不図示の垂直電圧供給線に接続されている。増幅トランジスタ33のソースは、選択トランジスタ34のドレインに接続されており、選択トランジスタ34のソースは、垂直信号線VSLに接続されている。

[0037] 浮遊拡散領域FDの電位は、そこに蓄積している電荷と浮遊拡散領域FDの容量で決まる。浮遊拡散領域FDの容量は、対接地容量に加え、転送トランジスタ31のドレインの拡散層容量、リセットトランジスタ32のソース拡散層容量、増幅トランジスタ33のゲート容量などで決まる。

[0038] 1. 4 画素の基本機能例

次に、画素30の基本機能について、図3を参照して説明する。リセットトランジスタ32は、垂直駆動回路22からリセットトランジスタ駆動線LD32を介して供給されるリセット信号RSTに従って、浮遊拡散領域FD

に蓄積されている電荷の排出（リセット）を制御する。なお、リセットトランジスタ32がオン状態であるときに転送トランジスタ31をオン状態とすることで、浮遊拡散領域FDに蓄積されている電荷に加え、光電変換部PDに蓄積されている電荷を排出（リセット）することも可能である。

[0039] リセットトランジスタ32のゲートにHighレベルのリセット信号RSTが入力されると、浮遊拡散領域FDの電位が垂直リセット入力線を通して印加される電圧にクランプされる。これにより、浮遊拡散領域FDに蓄積されていた電荷が排出（リセット）される。

[0040] また、リセットトランジスタ32のゲートにLowレベルのリセット信号RSTが入力されると、浮遊拡散領域FDは、垂直リセット入力線と電氣的に切断され、浮遊状態になる。

[0041] 光電変換部PDは、入射光を光電変換し、その光量に応じた電荷を生成する。生成された電荷は、光電変換部PDのカソード側に蓄積する。転送トランジスタ31は、垂直駆動回路22から転送トランジスタ駆動線LD31を介して供給される転送制御信号TRGに従って、光電変換部PDから浮遊拡散領域FDへの電荷の転送を制御する。

[0042] 例えば、転送トランジスタ31のゲートにHighレベルの転送制御信号TRGが入力されると、光電変換部PDに蓄積されている電荷が浮遊拡散領域FDに転送される。一方、転送トランジスタ31のゲートにLowレベルの転送制御信号TRGが供給されると、光電変換部PDからの電荷の転送が停止する。

[0043] リセットトランジスタ32がオフ時の浮遊拡散領域FDの電位は、上述したように、光電変換部PDから転送トランジスタ31を介して転送された電荷量と浮遊拡散領域FDの持つ容量できまる。

[0044] 増幅トランジスタ33は、そのゲートに接続された浮遊拡散領域FDの電位変動を入力信号とする増幅器として機能し、その出力電圧信号は選択トランジスタ34を介して垂直信号線VSLに画素信号として出現する。

[0045] 選択トランジスタ34は、垂直駆動回路22から選択トランジスタ駆動線

L D 3 4 を介して供給される選択制御信号 S E L に従って、増幅トランジスタ 3 3 による画素信号の垂直信号線 V S L への出現を制御する。例えば、選択トランジスタ 3 4 のゲートに H i g h レベルの選択制御信号 S E L が入力されると、増幅トランジスタ 3 3 による画素信号が垂直信号線 V S L に出現される。一方、選択トランジスタ 3 4 のゲートに L o w レベルの選択制御信号 S E L が入力されると、垂直信号線 V S L への画素信号の出現が停止される。これにより、複数の画素 3 0 が接続された垂直信号線 V S L において、選択した画素 3 0 の出力のみを取り出すことが可能となる。

[0046] 1. 5 固体撮像装置の積層構造例

図 4 は、本実施形態に係るイメージセンサの積層構造例を示す図である。図 4 に示すように、固体撮像装置 1 0 は、受光チップ 4 1 と回路チップ 4 2 とが上下に積層された構造を備える。受光チップ 4 1 は、受光チップ 4 1 と回路チップ 4 2 とが積層された構造を備える。受光チップ 4 1 は、例えば、光電変換部 P D が配列する画素アレイ部 2 1 を備える半導体チップであり、回路チップ 4 2 は、例えば、画素回路が配列する半導体チップである。

[0047] 受光チップ 4 1 と回路チップ 4 2 との接合には、例えば、それぞれの接合面を平坦化して両者を電子間力で貼り合わせる、いわゆる直接接合を用いることができる。ただし、これに限定されず、例えば、互いの接合面に形成された銅 (C u) 製の電極パッド同士をボンディングする、いわゆる C u - C u 接合や、その他、バンプ接合などを用いることも可能である。

[0048] また、受光チップ 4 1 と回路チップ 4 2 とは、例えば、半導体基板を貫通する貫通コンタクトである T S V (Through-Silicon Via) などの接続部を介して電氣的に接続される。T S V を用いた接続には、例えば、受光チップ 4 1 に設けられた T S V と受光チップ 4 1 から回路チップ 4 2 にかけて設けられた T S V との 2 つの T S V をチップ外表で接続する、いわゆるツイン T S V 方式や、受光チップ 4 1 から回路チップ 4 2 まで貫通する T S V で両者を接続する、いわゆるシェアード T S V 方式などを採用することができる。

[0049] ただし、受光チップ 4 1 と回路チップ 4 2 との接合に C u - C u 接合やバ

ンプ接合を用いた場合には、Cu-Cu接合部やバンプ接合部を介して両者が電氣的に接続される。

[0050] 1. 6 画素の基本構造例

次に、図5を参照して、第1の実施形態に係る固体撮像装置10における画素30の基本構造例を説明する。図5は、第1の実施形態に係る画素の基本的な断面構造例を示す断面図である。なお、図5には、画素30における光電変換部PDが配置された受光チップ41の断面構造例が示されている。

[0051] 図5に示すように、固体撮像装置10では、光電変換部PDが、半導体基板58の裏面（図では上面）側から入射する入射光L1を受光する。光電変換部PDの上方には、平坦化膜53、カラーフィルタ52及びオンチップレンズ51が設けられており、各部を順次介することで受光面57から半導体基板58内に入射した入射光L1に対して光電変換が行われる。

[0052] 半導体基板58には、例えば、炭素（C）、シリコン（Si）、ゲルマニウム（Ge）及びスズ（Sn）のうちの少なくとも1つで構成されるⅢⅤ族半導体よりなる半導体基板、又は、ホウ素（B）、アルミニウム（Al）、ガリウム（Ga）、インジウム（In）、窒素（N）、リン（P）、ヒ素（As）及びアンチモン（Sb）のうちの少なくとも2つで構成されるⅢⅢⅢ-Ⅴ族半導体よりなる半導体基板が用いられてもよい。ただし、これらに限定されず、種々の半導体基板が用いられてもよい。

[0053] 光電変換部PDは、例えば、N型半導体領域59が、電荷（電子）を蓄積する電荷蓄積領域として形成された構造を備えてよい。光電変換部PDにおいては、N型半導体領域59は、半導体基板58のP型半導体領域56及び64で囲まれた領域内に設けられている。N型半導体領域59の、半導体基板58の表面（下面）側には、裏面（上面）側よりも不純物濃度が高いP型半導体領域64が設けられている。つまり、光電変換部PDは、HAD（Hole-Accumulation Diode）構造になっており、N型半導体領域59の上面側と下面側との各界面において、暗電流が発生することを抑制するように、P型半導体領域56及び64が設けられている。

- [0054] 半導体基板 58 の内部には、複数の画素 30 の間を電氣的に分離する画素分離部 60 が設けられており、この画素分離部 60 で区画された領域に、光電変換部 PD が設けられている。図中、上面側から、固体撮像装置 10 を見た場合、画素分離部 60 は、例えば、複数の画素 30 の間に介在するように格子状に設けられており、光電変換部 PD は、この画素分離部 60 で区画された領域内に配置されている。
- [0055] 各光電変換部 PD では、アノードが接地されており、固体撮像装置 10 において、光電変換部 PD が蓄積した信号電荷（例えば、電子）は、図示せぬ転送トランジスタ 31（図 3 参照）等を介して読み出され、電気信号として、図示せぬ垂直信号線 VSL（図 3 参照）へ出力される。
- [0056] 配線層 65 は、半導体基板 58 のうち、遮光膜 54、平坦化膜 53、カラーフィルタ 52、オンチップレンズ 51 等の各部が設けられた裏面（上面）とは反対側の表面（下面）に設けられる。
- [0057] 配線層 65 は、配線 66 と絶縁層 67 と貫通電極（不図示）で構成される。受光チップ 41 からの電気信号は、配線 66、貫通電極（不図示）を介して回路チップ 42 へ伝送される。同様に、受光チップ 41 の基板電位も、回路チップ 42 から配線 66、貫通電極（不図示）を介して印加される。
- [0058] 配線層 65 の、光電変換部 PD が設けられている側に対して反対側の面には、例えば、図 4 で例示した回路チップ 42 が接合される。
- [0059] 遮光膜 54 は、半導体基板 58 の裏面（図では上面）の側に設けられ、半導体基板 58 の上方から半導体基板 58 の裏面へ向かう入射光 L1 の一部を遮光する。
- [0060] 遮光膜 54 は、半導体基板 58 の内部に設けられた画素分離部 60 の上方に設けられる。ここでは、遮光膜 54 は、半導体基板 58 の裏面（上面）上において、シリコン酸化膜等の絶縁膜 55 を介して、凸形状に突き出るように設けられている。これに対して、半導体基板 58 の内部に設けられた光電変換部 PD の上方においては、光電変換部 PD に入射光 L1 が入射するように、遮光膜 54 は、設けられておらず、開口している。

- [0061] つまり、図中、上面側から、固体撮像装置 10 を見た場合、遮光膜 54 の平面形状は、格子状になっており、入射光 L1 が受光面 57 へ通過する開口が形成されている。
- [0062] 遮光膜 54 は、光を遮光する遮光材料で形成されている。例えば、チタン (Ti) 膜とタングステン (W) 膜とを、順次、積層することで、遮光膜 54 が形成されている。この他に、遮光膜 54 は、例えば、窒化チタン (TiN) 膜とタングステン (W) 膜とを、順次、積層することで形成することができる。
- [0063] 遮光膜 54 は、平坦化膜 53 によって被覆されている。平坦化膜 53 は、光を透過する絶縁材料を用いて形成されている。この絶縁材料には、例えば、酸化シリコン (SiO₂) などを用いることができる。
- [0064] 画素分離部 60 は、例えば、溝部 61、固定電荷膜 62、及び、絶縁膜 63 を有し、半導体基板 58 の裏面 (上面) の側において、複数の画素 30 の間を区画している溝部 61 を覆うように設けられている。
- [0065] 具体的には、固定電荷膜 62 は、半導体基板 58 において裏面 (上面) 側に形成された溝部 61 の内側の面を一定の厚みで被覆するように設けられている。そして、その固定電荷膜 62 で被覆された溝部 61 の内部を埋め込むように、絶縁膜 63 が設けられている (充填されている)。
- [0066] ここでは、固定電荷膜 62 は、半導体基板 58 との界面部分において正電荷 (ホール) 蓄積領域が形成されて暗電流の発生が抑制されるように、負の固定電荷を有する高誘電体を用いて形成されている。固定電荷膜 62 が負の固定電荷を有することで、その負の固定電荷によって、半導体基板 58 との界面に電界が加わり、正電荷 (ホール) 蓄積領域が形成される。
- [0067] 固定電荷膜 62 は、例えば、ハフニウム酸化膜 (HfO₂ 膜) で形成することができる。また、固定電荷膜 62 は、その他、例えば、ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、マグネシウム、イットリウム、ランタノイド元素等の酸化物のうちの少なくとも 1 つを含むように形成することができる。

[0068] なお、画素分離部 60 は、上記構成に限定されず、種々変形することができる。例えば、絶縁膜 63 の代わりにタングステン（W）膜などの光を反射する反射膜を用いることで、画素分離部 60 を光反射構造とすることが可能となる。それにより、光電変換部 PD 内に進入した入射光 L1 を画素分離部 60 で反射させることが可能となるため、光電変換部 PD 内での入射光 L1 の光路長を長くすることが可能となる。加えて、画素分離部 60 を光反射構造とすることで、隣接画素への光の漏れ込みを低減することが可能となるため、画質や測距精度等をより向上させることも可能となる。なお、反射膜の材料としてタングステン（W）などの金属材料を用いた場合には、固定電荷膜 62 の代わりにシリコン酸化膜などの絶縁膜を溝部 61 内に設けるとよい。

[0069] また、画素分離部 60 を光反射構造とする構成は、反射膜を用いる構成に限定されず、例えば、溝部 61 内に半導体基板 58 よりも高い屈折率若しくは低い屈折率の材料を埋め込むことでも実現することができる。

[0070] さらに、図 5 には、半導体基板 58 の裏面（上面）側から形成された溝部 61 内に画素分離部 60 が設けられた、いわゆる RDTI（Reverse Deep Trench Isolation）構造の画素分離部 60 が例示されているが、これに限定されず、例えば、半導体基板 58 の表面（下面）側から形成された溝部内に画素分離部 60 が設けられた、いわゆる DTI（Deep Trench Isolation）構造や、半導体基板 58 の表裏面を貫通するように形成された溝部内に画素分離部 60 が設けられた、いわゆる FTI（Full Trench Isolation）構造など、種々の構造の画素分離部 60 を採用することが可能である。

[0071] 1. 7 像面位相差画素の概略断面構造例

つづいて、図 5 に例示した画素 30 の基本構造例をベースに、像面位相差を取得することが可能な画素ペアとして構成された画素（以下、像面位相差画素ともいう）の概略構造例を説明する。

[0072] 図 6 は、本実施形態に係る像面位相差画素の概略構造例を示す垂直断面図である。なお、図 6 において、図 5 と同様の構成については、同一の符号を

付すことで、重複する説明を省略する。ただし、図5に示す構成と図6に示す構成とでは、本実施形態の特徴的な構成以外の部分において、本開示に係る技術的事項の範疇を逸脱しない範囲で若干の変更がなされている。また、説明の簡略化のため、図6及び以降の説明では、画素構造が必要に応じて省略又は簡略化されている。

[0073] 図6に示すように、本実施形態に係る像面位相差画素は、2つの画素30A及び30Bが1つのオンチップレンズ51及び1つのカラーフィルタ52を共有する構造を備える。なお、本例では、行方向又は列方向に隣接する2つの画素30A及び30Bが1つの像面位相差画素を構成する場合、すなわち、2つの画素30A及び30Bが1つのオンチップレンズ51及び1つのカラーフィルタ52を共有する場合を例示するが、これに限定されず、例えば、2行2列に配列する4つの画素30が1つのオンチップレンズ51及び1つのカラーフィルタ52を共有する場合、1つのオンチップレンズ51及び1つのカラーフィルタ52のいずれかを行方向及び／又は列方向に隣接する複数の画素30で共有する場合、オンチップレンズ51及びカラーフィルタ52のいずれも共有しない隣接画素30で像面位相差画素を構成する場合など、種々変更されてよい。

[0074] 1つの像面位相差画素を構成する画素30A及び30Bのペアと、これを取り囲むように配置された他の画素30との間は、画素分離部60により光学的及び電氣的に分離されている。なお、図6には、画素分離部60が半導体基板58を貫通する、いわゆるFTI構造（貫通構造）を有する場合が例示されている。また、図6及び後述する図7～図9、図11～図22及び図27では、画素分離部60の構造が簡略化されて図示されている。

[0075] 一方、1つの像面位相差画素を構成する画素30A及び30Bの間は、画素分離部60により区画された領域（例えば、矩形領域）を2つに分割する位置に配置された画素分離部（以下、これを画素内分離部ともいう）170により電氣的に分離されている。

[0076] 画素30A及び30Bの間に配置された画素内分離部170は、例えば、

半導体基板 5 8 の裏面（光入射面に相当）側から表面（素子形成面に相当）側へ向けて半導体基板 5 8 を貫通しない程度に延在する、いわゆる D T I 構造（非貫通構造）を有している。

[0077] このように、1 つの像面位相差画素を構成する画素 3 0 A 及び 3 0 B 間の分離部（画素内分離部 1 7 0）を非貫通構造とすることで、半導体基板 5 8 の一部が画素 3 0 A 及び 3 0 B を跨いで連続する構造となる。この半導体基板 5 8 が連続する部分は、画素 3 0 A 及び 3 0 B のうちの一方が飽和した際にもう一方の画素へキャリアを逃がすための同色間パス（以下、オーバフローパスともいう）として機能する。上述のように、1 つの像面位相差画素を構成する画素 3 0 A 及び 3 0 B は同じカラーフィルタ 5 2 を共有するいわゆる同色画素であるため、画素 3 0 A 及び 3 0 B 間をオーバフローパスで電氣的に繋げることで、プロセス誤差等に起因した画素 3 0 A 及び 3 0 B 間の受光感度の差を低減することが可能となる。

[0078] なお、以上のような構造において、オンチップレンズ 5 1 及びカラーフィルタ 5 2 を介して入射した光は、物理的及び電氣的に分離された画素 3 0 A（以下、左画素ともいう）及び画素 3 0 B（以下、右画素ともいう）のいずれかにおける光電変換部 P D（N 型半導体領域 5 9 及びそれを囲む P 型半導体領域 5 6 及び 6 4（図 5 参照））において光電変換され、読み出し電荷となる電子を生成する。生成された電子は、転送トランジスタ 3 1 を介して画素回路の浮遊拡散領域 F D へ順次転送され、各画素 3 0 A 及び 3 0 B の画素信号として読み出される。読み出された画素信号が入力される信号処理部 2 6 は、左画素 3 0 A と右画素 3 0 B との信号量を比較することで位相差を検出し、検出された位相差に基づいて適切な焦点距離を算出する。

[0079] 1. 8 像面位相差画素構造における課題

ここで、上述したように、裏面照射型の固体撮像装置 1 0 において、個々の像面位相差画素間（以下、異色画素間ともいう）を貫通構造で光学的及び電氣的に分離し、1 つの像面位相差画素内をオーバフローパスを形成可能な非貫通構造で電氣的に分離した場合、異色画素間の分離材料（すなわち、画

素分離部 60 の材料) には高反射及び高絶縁性という特性が求められる一方で、同色画素間の分離材料 (すなわち、画素内分離部 170 の材料) には低反射率、低絶縁性及び非光電変換特性という特性が求められる。すなわち、画素分離部 60 と画素内分離部 170 とには、異なる特性が要求される。このように、要求特性が異なる場合、それぞれの内部材料を容易に作り分けることができないという課題が存在する。

[0080] 例えば、貫通構造である画素分離部 60 と、非貫通構造である画素内分離部 170 とをそれぞれ最適構造にするためには、画素内分離部 170 の形成の際に同時に像面位相差画素の周囲 (画素分離部 60 が形成される貫通孔又はトレンチ内) に形成された膜を例えばウェットエッチングなどの等方的なエッチングにより除去する必要があるが、その除去の工程において画素内分離部 170 も同時に除去されてしまうという可能性が存在する。

[0081] そこで、本実施形態では、画素分離部 60 (若しくはそれが形成される貫通孔又はトレンチ) と、画素内分離部 170 (若しくはそれが形成されるトレンチ) との間に、画素内分離部 170 の加工の際 (すなわち、像面位相差画素の周囲に形成された膜を除去する際) にエッチングストッパとして機能する層又は領域が配置された構造とする。それにより、画素内分離部 170 の形成の際に同時に像面位相差画素の周囲に形成された膜の除去工程において、画素内分離部 170 から除去される領域を大幅に低減することが可能となるため、要求特性の異なる画素分離部 60 及び画素内分離部 170 を容易に作り分けることが可能となる。それにより、光照射面とされる基板の裏面側から斜め方向に入射した光が画素内分離部 170 によって遮られてしまうことを抑制できるため、受光感度の低下が抑制された固体撮像装置及び電子機器を実現することが可能となる。

[0082] 1. 9 像面位相差画素の断面構造例

つづいて、本実施形態に係る像面位相差画素の構造例について、図 6 を用いて説明した構造例を含め、より詳細に説明する。

[0083] 図 7 は、本実施形態に係る像面位相差画素を図 6 とは異なる面で切断した

際の概略構造例を示す垂直断面図である。なお、図6は、受光チップ41を半導体基板58の素子形成面と垂直な面であって、画素30A及び30Bの配列方向と平行な面（D-D面）で切断した際の断面図を示し、図7は、受光チップ41を半導体基板58の素子形成面と垂直な面であって、画素30A及び30Bの配列方向と平行な面（A-A面）で切断した際の断面図を示している。また、図8は、本実施形態に係る像面位相差画素の概略構造例を示す水平断面図であり、図9は、本実施形態に係る像面位相差画素を図8とは異なる面で切断した際の概略構造例を示す水平断面図である。なお、図8は、図6及び図7におけるC-C面の断面構造例を示し、図9は、図6及び図7におけるD-D面の断面構造例を示している。

[0084] 図6～図9に示すように、本実施形態に係る像面位相差画素は、像面位相差画素間に設けられた画素分離部60により区画された例えば矩形の像面位相差画素領域が、画素領域の中心を通るように配置された画素内分離部170により2つの例えば矩形の画素領域に分割された構造を備える。

[0085] 本実施形態において、画素分離部60の材料には、例えば、酸化シリコン（ SiO_2 ）、タングステン（W）、アルミニウム（Al）等、高反射率及び高絶縁性という特性を備える1又は複数の材料が用いられてよい。一方、画素内分離部170の材料には、ダイヤモンド、DLC（Diamond-like Carbon）、酸化チタン（ TiO_2 ）、酸化セリウム（ CeO_2 ）、酸化鉄（ Fe_2O_3 ）、窒化シリコン（ SiN ）等、低反射率、低絶縁性及び非光電変換特性という特性を備える1又は複数の材料が用いられてよい。

[0086] このような構成において、画素分離部60と画素内分離部170との間の少なくとも一部の領域には、画素内分離部170に用いられた材料とのエッチング選択比を十分にとることが可能な材料で構成された層又は領域（以下、エッチングストッパ領域101とも称する）が配置される。例えば、エッチングストッパ領域101には、半導体基板58の一部の領域が用いられ得る。その場合、画素内分離部170には、半導体基板58を構成する材料（例えば、シリコン（Si））とのエッチング選択比を十分にとることが可能

な材料が用いられる。

[0087] このような構成とすることで、画素内分離部 170 の形成の際に同時に像面位相差画素の周囲（画素分離部 60 が形成される領域）に形成された膜を除去する工程において、画素内分離部 170 から除去される領域を大幅に低減することが可能となるため、要求特性の異なる画素分離部 60 及び画素内分離部 170 を容易に作り分けることが可能となる。

[0088] 1. 10 製造方法

次に、本実施形態に係る固体撮像装置 10 の製造方法を、上述し構造を備えることによる効果とともに説明する。なお、以下の説明では、光電変換部 PD から電荷を読み出すための画素回路を構成するトランジスタ（転送トランジスタ 31、リセットトランジスタ 32、増幅トランジスタ 33 及び選択トランジスタ 34）のうちの転送トランジスタ 31 が光電変換部 PD と同じ受光チップ 41 に配置された場合を例示するが、これに限定されず、転送トランジスタ 31 以外の少なくとも 1 つトランジスタも受光チップ 41 に配置されてもよい。

[0089] 図 10～図 14 は、本実施形態に係る固体撮像装置の製造方法を説明するためのプロセス断面図である。また、図 15～図 20 は、本実施形態に係る固体撮像装置の製造方法における画素分離部の製造工程に着目したプロセス断面図である。

[0090] 本製造方法では、まず、図 10 に示すように、P 型の導電性を備える半導体基板（例えばシリコンウェハ）58 を用意し、この半導体基板 58 内に光電変換部 PD を構成する N 型半導体領域 59 を形成する。

[0091] 半導体基板 58 内の N 型半導体領域 59 は、例えば、リソグラフィ技術を用いて形成されたフォトレジスト又はハードマスクを用いて半導体基板 58 の表面側から所定の領域に所定の注入エネルギー及びドーズ量で所定のイオンを注入することで形成することができる。なお、本工程及び他の実施形態を含む以下のイオン注入工程にて注入されたイオンは、随時又は所定の工程で、アニーリングなどの熱処理により熱拡散及び活性化がなされてもよい。

[0092] つづいて、既存の半導体プロセスを用いることで、半導体基板 5 8 の素子形成面に転送トランジスタ 3 1 を形成し、転送トランジスタ 3 1 が形成された半導体基板 5 8 の素子形成面を絶縁層 6 7 で覆う。

[0093] 具体的には、例えば、半導体基板 5 8 上の所定の領域にゲート絶縁膜 1 3 2 及びゲート電極 1 3 1 が形成され、その後、素子形成面における所定の領域に所定のドーパントをイオン注入することで拡散領域 1 3 3 が形成される。これにより形成された拡散領域 1 3 3 と、光電変換部 P D のカソードを構成する拡散領域とは、転送トランジスタ 3 1 のソース・ドレインとして機能する。また、絶縁層 6 7 の成膜には、例えば、C V D (Chemical Vapor Deposition) 法やスパッタリングなどを用いることができる。なお、絶縁層 6 7 の上面は、例えば C M P (Chemical Mechanical Polishing) などにより平坦化されてもよい。

[0094] 次に、図 1 1 に示すように、素子形成面から半導体基板 5 8 を掘り込むことで、像面位相差画間を区画する画素分離部 6 0 を形成するための第 1 トレンチ（貫通トレンチともいう）と、画素分離部 6 0 で区画された画素領域を分割する画素内分離部 1 7 0 を形成するための第 2 トレンチ（非貫通トレンチともいう）とが形成される。

[0095] 第 1 及び第 2 トレンチの形成には、例えば、リソグラフィ技術を用いることができる。すなわち、半導体基板 5 8 の素子形成面にフォトリソグラフィにてレジスト膜又はハードマスクを形成し、このマスクを介して半導体基板 5 8 を例えば R I E (Reactive Ion Etching) などのドライエッチングにて掘り込むことで、第 1 及び第 2 トレンチが形成されてよい。

[0096] 第 1 トレンチ及び第 2 トレンチを掘り込む際の R I E のエッチング条件は、例えば以下のように設定されてもよい。

チャンバ内圧力：5～100 (m T o r r (ミリトル))

ソースパワー：500～2000 (W (ワット))

バイアスパワー：100～1000 (W)

塩素ガスフロー：10～300 s c c m (Cubic Centimetre per Minute)

)

酸素ガスフロー：1～50 s c c m

[0097] また、第1及び第2トレンチを形成する際のマスクの開口幅（線幅ともいう）は、例えば、 $0.01\text{ }\mu\text{m}$ （マイクロメートル）～ $0.5\text{ }\mu\text{m}$ 程度とされてもよい。また、加工後の第1トレンチの深さは、例えば、 $0.1\text{ }\mu\text{m}$ 以上であってもよい。

[0098] なお、第1トレンチと第2トレンチとは、マスクの線幅を調整することで同一工程で作成することも可能であるが、別々の工程で作成されてもよい。すなわち、マスクの線幅を調整して深さ方向へのエッチング速度を制御することで、深さの異なる第1トレンチと第2トレンチとを同一工程で作成することも可能である。また、ゲート電極131及び拡散領域にそれぞれ接触する配線66を形成するためのコンタクトホールは、第1及び／又は第2トレンチの形成と同じ工程で形成されてもよいし、別工程で形成されてもよい。

[0099] つづいて、例えばCVD（Chemical Vapor Deposition）法やスパッタリングなどを用いて第2トレンチ内に所定の材料を埋め込むことで、第2トレンチ内に画素内分離部170を形成する。所定の材料は、上述したように、低反射率、低絶縁性及び非光電変換特性を備える材料であってよい。その際、第1トレンチ内には、画素内分離部170と同じ材料で構成された膜170Aが形成されてよい。また、半導体基板58の素子形成面上に堆積した材料は、CMP（Chemical Mechanical Polishing）やリフトオフなどの手法にて除去されてよい。さらに、画素内分離部170及び膜170Aを形成するために絶縁層67に形成された開口は、絶縁層67と同じ材料にて埋め込まれてもよい。

[0100] つづいて、絶縁層67に形成されたコンタクトホール内に導電性材料を埋め込むことで、ゲート電極131及び拡散領域133に電氣的に接続された配線66をそれぞれ形成する。

[0101] 次に、図12に示すように、半導体基板58の素子形成面上に、転送トランジスタ31等の回路素子に電氣的に接続された配線層68-1、68-2

及び68-3と、層間を絶縁する層間絶縁膜67-1、67-2及び67-3と、各層の配線層68-1、68-2及び68-3を電氣的に接続するビア配線66-1及び66-2とを含む多層配線層を形成する。

[0102] 次に、図13に示すように、多層配線層上に例えばシリコン基板などによる回路チップ42を貼り合わせる。チップ間の貼り合わせは、例えば、多層配線層の上面と回路チップ42の接合面とそれぞれ平坦化して両者を電子間力で貼り合わせる直接接合や、多層配線層の上面上に形成された銅(Cu)製の金属パッドと、回路チップ42の接合面に形成された銅(Cu)製の金属パッドとを貼り合わせる接合形態(Cu-Cuボンディング)など、種々の接合手法が用いられてよい。

[0103] 次に、図14に示すように、素子形成面側に回路チップ42が貼り合わせられた半導体基板58を反転させ、半導体基板58を裏面(光入射面)側から高精度に薄厚化することで、画素分離部60が形成される第1トレンチ内に埋め込まれた膜170Aの底部を露出させる。半導体基板58の薄厚化には、CMP、ドライエッチング、ウェットエッチング等のうちの1つ又は2以上の組み合わせが用いられてよい。なお、この薄厚化工程は、膜170A底部の少なくとも一部が除去されることを除外するものではない。

[0104] 次に、像面位相差画間を分離する画素分離部60の製造工程を、図14における領域R1に着目して説明する。なお、図15、17及び図19は、上述における図6に相当する断面のプロセス断面図であり、図16、18及び図20は、上述における図7に相当する断面のプロセス断面図である。

[0105] 図15及び図16に示すように、図14に示す薄厚化工程を終了した段階では、画素分離部60が形成される第1トレンチ内には、画素内分離部170と同じ材料で構成された膜170Aが形成されている。そのため、例えば、ウェットエッチングなどの等方的なエッチング手法により膜170Aを除去しようとした場合、同一材料で構成された画素内分離部170が広範囲に除去されてしまう可能性がある。

[0106] そこで、本実施形態では、上述したように、第1トレンチ内に形成された

膜 170A と、第 2 トレンチ内に形成された画素内分離部 170 との間の少なくとも一部に、画素内分離部 170 の構成材料に対するエッチング選択比を確保すること可能な材料で構成されたエッチングストップ領域 101 を配置する。それにより、膜 170A の除去時に画素内分離部 170 の一部が除去されることを防止又は抑制することが可能となるため、要求特性の異なる画素分離部 60 及び画素内分離部 170 を容易に作り分けることが可能となる。

[0107] なお、エッチングストップ領域 101 の構成材料としては、例えば、半導体基板 58 の構成材料（すなわち、半導体基板 58 の一部）とすることができ。それにより、製造プロセスが複雑化することを回避することが可能となるため、歩留まりの低下を抑制することが可能となる。

[0108] 具体的には、図 17 及び図 18 に示すように、まず、例えばウェットエッチングにより、半導体基板 58 の裏面（図 17 及び図 18 では上面）側から膜 170A を除去する。その際、エッチャントには、エッチングストップ領域 101 を構成する材料（本例では、半導体基板 58 の材料）とのエッチング選択比を確保できるものが使用されてよい。それにより、エッチャントが画素内分離部 170 に接触することがエッチングストップ領域 101 により防止又は制限されるため、膜 170A の除去時に画素内分離部 170 の一部が除去されることを防止又は抑制することが可能となる。

[0109] 次に、図 19 及び図 20 に示すように、膜 170A を除去することで形成されたトレンチ 60T 内に、高反射率及び高絶縁性を備える材料を埋め込むことで、画素分離部 60 を形成する。なお、画素分離部 60 の形成には、CVD 法やスパッタリングなどの成膜技術が適宜使用されてよい。また、画素分離部 60 は、図 5 において例示したように、高誘電率材料よりなる固定電荷膜 62 と、絶縁膜 63 又は金属膜との積層構造を有してもよい。また、半導体基板 58 の裏面上に堆積した材料は、CMP やウェットエッチングなどにより除去されてもよい。

[0110] その後、半導体基板 58 の裏面上に遮光膜 54 と平坦化膜 53 とを形成し

、つづいて、平坦化膜 53 上にカラーフィルタ 52、オンチップレンズ 51 を順次形成することで、図 6～図 9 に例示する断面構造の像面位相差画素を備える固体撮像装置 10 が製造される。

[0111] 1. 11 まとめ

以上のように、本実施形態によれば、画素分離部 60 と画素内分離部 170 との間の少なくとも一部に、画素内分離部 170 の構成材料に対するエッチング選択比を確保すること可能な材料で構成されたエッチングストップ領域 101 が配置される。それにより、製造工程において、画素分離部 60 が形成されるトレンチ（第 1 トレンチ）内に形成された画素内分離部 170 と同じ材料の膜 170A を除去する際に、画素内分離部 170 の一部が除去されることを防止又は抑制することが可能となるため、画素分離部 60 と画素内分離部 170 との構成材料をそれぞれに要求される特性に応じた材料とした場合でも、画素分離部 60 及び画素内分離部 170 を容易に作り分けることが可能となる。その結果、光学的及び電氣的に分離したい異色画素間においては低屈折率（すなわち、高反射率）及び高絶縁性を達成しつつ、光学的には分離せずに電氣的分離のみを行いたい同色画素間においては高屈折率（すなわち、低反射率）、高絶縁性及び非光電変換特性が達成された固体撮像装置 10 及び電子機器を実現することが可能となる。

[0112] また、同色画素間の分離構造を、イオンの拡散領域による分離構造ではなく、物理構造的な分離構造とすることで、分離脇にある浮遊拡散領域 FD への電界緩和も可能となる。

[0113] 1. 12 変形例

次に、上述した第 1 の実施形態の変形例について、いくつか例を挙げて説明する。

[0114] 1. 12. 1 第 1 の変形例

図 21 は、第 1 の変形例に係る製造途中の像面位相差画素の断面構造例であって、図 16 に対応する工程における断面構造例を示す垂直断面図である。

[0115] 上述した第1の実施形態では、画素分離部60（又は膜170A）と画素内分離部170との間の少なくとも一部に、エッチングストップ領域101が配置されていた。例えば、第1の実施形態では、図7及び図16に例示したように、半導体基板58の裏面側で、画素分離部60（又は膜170A）と画素内分離部170とが繋がっていた。

[0116] これに対し、図21に示すように、第1の変形例では、画素分離部60（又は膜170A）と画素内分離部170とがエッチングストップ領域102により完全に分離していてもよい。すなわち、画素分離部60（又は膜170A）と画素内分離部170との間の全範囲に、エッチングストップ領域102が配置されてもよい。

[0117] このように、画素分離部60（又は膜170A）と画素内分離部170との間をエッチングストップ領域102で完全に分離することで、膜170Aの除去時に画素内分離部170が除去されることを防止又は強く抑制することが可能となるため、要求特性の異なる画素分離部60及び画素内分離部170をより容易に作り分けることが可能となる。その結果、受光感度の低下を抑制することが可能な構成を容易に実現することが可能となる。

[0118] また、図22は、第1の変形例に係る製造途中の像面位相差画素の他の断面構造例であって、図16に対応する工程における断面構造例を示す断面図である。図22に示すように、画素分離部60（又は膜170A）から完全に分離されるのは、画素内分離部170の片側だけであってもよい。この構成によっても、膜170Aの除去時に画素内分離部170が除去されることを防止又は強く抑制することが可能となるため、要求特性の異なる画素分離部60及び画素内分離部170をより容易に作り分けることが可能となる。

[0119] 1. 12. 2 第2の変形例

図23は、第2の変形例に係る像面位相差画素の概略構造例を示す垂直断面図であって、図7に例示した断面に相当する断面構造例を示す垂直断面図である。

[0120] 図23に示すように、第2変形例では、画素分離部60が、絶縁膜で構成

された画素分離部 161 に置き換えられている。すなわち、第 2 の変形例では、固定電荷膜 62 が省略され、第 1 トレンチ（溝部 61 に相当）内が絶縁膜 63 で埋められている。

[0121] このような構成でも、絶縁膜 63 の材料に高反射率及び高絶縁性という特性を持たせることで、異色画素間の分離特性を高めることが可能であるため、上述した第 1 の実施形態と同様の効果を奏することが可能となる。

[0122] 1. 12. 3 第 3 の変形例

図 24 は、第 3 の変形例に係る像面位相差画素の概略構造例を示す垂直断面図であって、図 7 に例示した断面に相当する断面構造例を示す垂直断面図である。

[0123] 図 24 に示すように、第 3 変形例では、画素分離部 60 が、遮光膜で構成された画素分離部 162 に置き換えられている。

[0124] 画素分離部 162 が単層構造を有する場合、その材料には、タングステン (W) やアルミニウム (Al) などの遮光材料を用いることができる。ただし、画素分離部 162 に導電性材料が用いられる場合、第 1 トレンチ（溝部 61）の内表面は、シリコン酸化膜 (SiO_2) やシリコン窒化膜 (SiN) などの絶縁膜や固定電荷膜等で覆われていてもよい。

[0125] 一方、画素分離部 162 が多層構造を有する場合、その積層構造は、アルミニウム (Al) / チタニウム (Ti) 系バリアメタルの積層構造や、アルミニウム (Al) / コバルト (Co) の積層構造などが用いられてもよい。ただし、上述と同様に、画素分離部 162 に導電性材料が用いられる場合、第 1 トレンチ（溝部 61）の内表面は、シリコン酸化膜 (SiO_2) やシリコン窒化膜 (SiN) などの絶縁膜や固定電荷膜等で覆われていてもよい。

[0126] また、画素分離部 162 をその上の遮光膜 54 と同一材料にて構成する場合には、画素分離部 162 と遮光膜 54 とが一体の膜で構成されてもよい。

[0127] 1. 12. 4 第 4 の変形例

図 25 は、第 4 の変形例に係る像面位相差画素の概略構造例を示す垂直断面図であって、図 7 に例示した断面に相当する断面構造例を示す垂直断面図

である。

[0128] 図25に示すように、第4変形例では、画素分離部60が、第1トレンチ（溝部61）の内表面を覆う固定電荷を有する絶縁膜（SCF: Silicon Cover Film）163bと、第1トレンチ内を埋める絶縁膜163aとで構成された画素分離部163に置き換えられている。

[0129] 絶縁膜163aは、例えば、上述した絶縁膜63と同様であってもよい。

[0130] 絶縁膜（SCF）163bは、例えば、酸素のダイポールによる負の固定電荷を有し、半導体基板58の表面と接することで、光電変換部PDのピンングを強化する役割を果たすことができる。

[0131] この絶縁膜163bの材料には、例えば、ハフニウム（Hf）、アルミニウム（Al）、ジルコニウム（Zr）、タンタル（Ta）、チタニウム（Ti）などのうちの少なくとも1つを含む酸化物または窒化物を用いることができる。また、ランタン（La）、セリウム（Ce）、ネオジウム、プロメチウム（Pm）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）、イットリウム（Y）などのうちの少なくとも1つを含む酸化物または窒化物を用いることも可能である。その他、絶縁膜163bは、酸窒化ハフニウム又は酸窒化アルミニウムにより構成されてもよい。さらに、絶縁膜163bには、絶縁性が損なわれない量のシリコンや窒素が添加されてもよい。これにより、耐熱性等を向上させることができる。

[0132] 1. 12. 5 第5の変形例

図26は、第5の変形例に係る像面位相差画素の概略構造例を示す垂直断面図であって、図7に例示した断面に相当する断面構造例を示す垂直断面図である。

[0133] 図26に示すように、第5変形例では、画素分離部60が、第1トレンチ（溝部61）の内表面を覆う固定電荷を有する絶縁膜（SCF）164bと、第1トレンチ内を埋める遮光膜164aとで構成された画素分離部164

に置き換えられている。

[0134] 絶縁膜 164b は、例えば、第4の実施形態に係る絶縁膜 163b と同様であってもよい。

[0135] 遮光膜 164a は、例えば、タングステン (W) やアルミニウム (Al) などの単層膜、又は、アルミニウム (Al) /チタニウム (Ti) 系バリアメタルの積層構造や、アルミニウム (Al) /コバルト (Co) の多層膜であってもよい。

[0136] 1. 12. 6 第6の変形例

図27は、第6の変形例に係る像面位相差画素の概略構造例を示す垂直断面図であって、図7に例示した断面に相当する断面構造例を示す垂直断面図である。

[0137] 上述した第1の実施形態及びその変形例では、例えば、図6に例示したように、画素内分離部 170 が、上端部の幅と下端部の幅とが略等しい形状を有していた。すなわち、画素 30A と画素 30B との配列方向と平行な垂直面 (D-D 面に相当) における画素内分離部 170 の断面形状が矩形である場合が例示されていた。

[0138] これに対し、第6の変形例では、図27に示すように、画素内分離部 171 は、上端部の幅が下端部の幅よりも狭い形状、すなわち、画素 30A と画素 30B との配列方向と平行な垂直面 (D-D 面に相当) における画素内分離部 170 の断面が縦方向に細長い台形又は三角形となる形状を有してもよい。

[0139] このように、画素内分離部 171 の上端部の幅を狭くすることで、この上端部で反射して画素 30 から漏れ出る光の量を低減することが可能となるため、受光感度の低下を抑制することが可能となる。

[0140] 2. 第2の実施形態

次に、本開示の第2の実施形態について、図面を参照して詳細に説明する。なお、以下の説明において、第1の実施形態又はその変形例と同様の構成、動作、製造方法及び効果については、それらを引用することで、重複する

説明を省略する。

[0141] 第1の実施形態及びその変形例で述べたように、個々の像面位相差画素間（異色画素間）を貫通構造で光学的及び電氣的に分離し、1つの像面位相差画素内をオーバフローパスを形成可能な非貫通構造で電氣的に分離した場合、異色画素間の分離材料（すなわち、画素分離部60の材料）には高反射率及び高絶縁性という特性が求められる一方で、同色画素間の分離材料（すなわち、画素内分離部170の材料）には低反射率、低絶縁性及び非光電変換特性という特性が求められる。

[0142] そこで、本実施形態では、画素分離部60及び画素内分離部170それぞれの構成材料について、いくつか例を挙げる。なお、固体撮像装置10、像面位相差画素及び画素それぞれの構造例は、上述した第1の実施形態又はその変形例で例示した構造例と同様であってよい。

[0143] 2. 1 第1例

図28は、シリコン（Si）の屈折率 n とバンドギャップエネルギー k との波長依存性を示すグラフである。図29は、ヒ化ガリウム（GaAs）の屈折率 n とバンドギャップエネルギー k との波長依存性を示すグラフである。

[0144] 1つの像面位相差画素を構成する2つの画素30A及び30B間を分離する画素内分離部170が低反射率、低絶縁性及び非光電変換特性を備えるためには、画素内分離部170を構成する材料に、半導体基板58の構成材料に近い屈折率 n を備え、且つ、広いバンドギャップエネルギーを備える材料が使用されることが望ましい。

[0145] ここで、例えば、半導体基板58をシリコン基板とした場合、図28に示すように、Siの波長500nmの光に対する屈折率 n は4以上であり、その波長500nmの光に対するバンドギャップエネルギー k は約1.12eV（エレクトロンボルト）である。

[0146] そこで、第1例としては、画素内分離部170の構成材料として、GaAsを提示する。図29に示すように、GaAsの波長500nmの光に対す

る屈折率 n は Si のそれ（４以上）と同等の４以上であり、その波長 500 nm の光に対するバンドギャップエネルギー k は Si のそれ（約 1.12 eV ）よりも大きい約 1.43 eV である。

[0147] したがって、画素内分離部 170 の構成材料に GaAs を用いることで、半導体基板 50 と画素内分離部 170 との界面での反射を抑制しつつ、画素内分離部 170 での光電変換を抑制することが可能となる。なお、 GaAs は化合物半導体であるため、低い絶縁性を実現することも可能である。

[0148] 2. 2 第 2 例

第 2 例としては、画素内分離部 170 の構成材料として、リン化ガリウム（ GaP ）を提示する。図 30 は、リン化ガリウム（ GaP ）の屈折率 n とバンドギャップエネルギー k との波長依存性を示すグラフである。

[0149] 図 30 に示すように、 GaP の波長 500 nm の光に対する屈折率 n は Si のそれ（４以上）よりもやや低い程度の約 3.5 であり、その波長 500 nm の光に対するバンドギャップエネルギー k は Si のそれ（約 1.12 eV ）よりも大きい約 2.3 eV である。

[0150] したがって、画素内分離部 170 の構成材料に GaP を用いることで、上述した例と同様に、半導体基板 50 と画素内分離部 170 との界面での反射を抑制しつつ、画素内分離部 170 での光電変換を抑制することが可能となる。なお、 GaP は化合物半導体であるため、低い絶縁性を実現することも可能である。

[0151] 2. 3 第 3 例

第 3 例としては、画素内分離部 170 の構成材料として、ヒ化アルミニウム（ AlAs ）を提示する。図 31 は、ヒ化アルミニウム（ AlAs ）の屈折率 n とバンドギャップエネルギー k との波長依存性を示すグラフである。

[0152] 図 31 に示すように、 AlAs の波長 500 nm の光に対する屈折率 n は Si のそれ（４以上）よりもやや低い程度の約 3.25 であり、その波長 500 nm の光に対するバンドギャップエネルギー k は Si のそれ（約 1.12 eV ）よりも大きい約 2.12 eV である。

[0153] したがって、画素内分離部 170 の構成材料に GaP を用いることで、上述した例と同様に、半導体基板 50 と画素内分離部 170 との界面での反射を抑制しつつ、画素内分離部 170 での光電変換を抑制することが可能となる。なお、AlAs は半導体材料であるため、低い絶縁性を実現することも可能である。

[0154] 2. 4 第 4 例

第 4 例としては、画素内分離部 170 の構成材料として、アンチモン化アルミニウム (AlSb) を提示する。図 32 は、アンチモン化アルミニウム (AlSb) の屈折率 n とバンドギャップエネルギー k との波長依存性を示すグラフである。

[0155] 図 32 に示すように、AlSb の波長 500 nm の光に対する屈折率 n は Si のそれ (4 以上) と同程度の 4 以上であり、その波長 500 nm の光に対するバンドギャップエネルギー k は Si のそれ (約 1.12 eV) よりも大きい約 1.58 eV である。

[0156] したがって、画素内分離部 170 の構成材料に GaP を用いることで、上述した例と同様に、半導体基板 50 と画素内分離部 170 との界面での反射を抑制しつつ、画素内分離部 170 での光電変換を抑制することが可能となる。なお、AlSb は III-V 族半導体であるため、低い絶縁性を実現することも可能である。

[0157] 2. 5 第 5 例

第 5 例としては、画素内分離部 170 の構成材料として、リン化インジウム (InP) を提示する。図 33 は、リン化インジウム (InP) の屈折率 n とバンドギャップエネルギー k との波長依存性を示すグラフである。

[0158] 図 33 に示すように、InP の波長 500 nm の光に対する屈折率 n は Si のそれ (4 以上) よりもやや低い程度の 3.7 であり、その波長 500 nm の光に対するバンドギャップエネルギー k は Si のそれ (約 1.12 eV) よりも大きい約 1.29 eV である。

[0159] したがって、画素内分離部 170 の構成材料に InP を用いることで、上

述した例と同様に、半導体基板50と画素内分離部170との界面での反射を抑制しつつ、画素内分離部170での光電変換を抑制することが可能となる。なお、InPはIII-V族半導体であるため、低い絶縁性を実現することも可能である。

[0160] 2. 6 第6例

第6例としては、画素内分離部170の構成材料として、六方晶炭化珪素(4H-SiC)を提示する。図34は、六方晶炭化珪素(4H-SiC)の屈折率 n とバンドギャップエネルギー k との波長依存性を示すグラフである。

[0161] 図34に示すように、4H-SiCの波長500nmの光に対する屈折率 n はSiのそれ(4以上)よりも低い2.7であるが、その波長500nmの光に対するバンドギャップエネルギー k はSiのそれ(約1.12eV)よりも非常に大きい約3.26eVである。

[0162] したがって、画素内分離部170の構成材料に4H-SiCを用いることで、半導体基板50と画素内分離部170との界面での反射の増加を抑えつつ、画素内分離部170での光電変換を大幅に抑制することが可能となる。なお、4H-SiCは半導電性を備える材料である。

[0163] また、4H-SiCに代えて、波長500nmの光に対するバンドギャップエネルギー k が訳3.02eVの六方晶炭化珪素(6H-SiC)や、2.23eVの立方晶炭化珪素(3C-SiC)などを用いることも可能である。

[0164] 2. 7 第7例

第7例としては、画素内分離部170の構成材料として、ダイヤモンドを提示する。図35は、ダイヤモンドの屈折率 n の波長依存性を示すグラフである。

[0165] 図35に示すように、ダイヤモンドの波長500nmの光に対する屈折率 n はSiのそれ(4以上)よりも低い2.4であるが、その波長500nmの光に対するバンドギャップエネルギー k はSiのそれ(約1.12eV)

よりも非常に大きい約5.47 eVである。

[0166] したがって、画素内分離部170の構成材料にダイヤモンドを用いることで、第6例と同様に、半導体基板50と画素内分離部170との界面での反射の増加を抑えつつ、画素内分離部170での光電変換を大幅に抑制することが可能となる。なお、ダイヤモンドは、例えばホウ素（B）などの不純物をドーピングすることで、導電性を獲得することが可能である。

[0167] 2.8 第8例

第8例としては、画素内分離部170の構成材料として、DLC（Diamond Like Carbon）を提示する。図36は、DLCの屈折率 n とバンドギャップエネルギー k との波長依存性を示すグラフである。

[0168] 図36に示すように、DLCの波長500 nmの光に対する屈折率 n はSiのそれ（4以上）よりも低い2.01であるが、その波長500 nmの光に対するバンドギャップエネルギー k は、 sp^2/sp^3 比を制御することで0.8 eV～4.0 eVの範囲で変化し、 sp^3 が多いほどバンドギャップエネルギー k が大きくなる。

[0169] したがって、画素内分離部170の構成材料に sp^2/sp^3 比が調整されたDLCを用いることで、第6例及び第7例と同様に、半導体基板50と画素内分離部170との界面での反射の増加を抑えつつ、画素内分離部170での光電変換を大幅に抑制することが可能となる。なお、DLCは、ダイヤモンドと同様に、例えばホウ素（B）などの不純物をドーピングすることで、導電性を獲得することが可能である。

[0170] 2.9 第9例

第9例としては、画素内分離部170の構成材料として、セレン化亜鉛（ZnSe）を提示する。図37は、セレン化亜鉛（ZnSe）の屈折率 n とバンドギャップエネルギー k との波長依存性を示すグラフである。

[0171] 図37に示すように、ZnSeの波長500 nmの光に対する屈折率 n はSiのそれ（4以上）よりも低い2.6であるが、その波長500 nmの光に対するバンドギャップエネルギー k はSiのそれ（約1.12 eV）より

も大きい約 2.7 eV である。

[0172] したがって、画素内分離部 170 の構成材料にダイヤモンドを用いることで、第 6 例～第 8 例と同様に、半導体基板 50 と画素内分離部 170 との界面での反射の増加を抑えつつ、画素内分離部 170 での光電変換を大幅に抑制することが可能となる。なお、 ZnSe は真性半導体である。

[0173] 2. 10 その他の例

以上で説明した材料の他、ヒ化アンチモン化アルミニウム (AlSbAs)、リン化アンチモン化アルミニウム (AlSbP)、リン化アルミニウムインジウム (AlInP)、リン化ガリウムヒ素 (GaAsP)、リン化インジウムガリウム (InGaP)、ヒ化ガリウムアルミニウム (GaAlAs) などの三元化合物半導体を画素内分離部 170 の材料として用いることが可能である。

[0174] 2. 11 まとめ

以上のように、同色画素間の分離材料（すなわち、画素内分離部 170 の材料）に、半導体基板 58 の構成材料と同程度又はそれ以上（場合によってはそれ以下でもよい）の屈折率を備え、且つ、半導体基板 58 の構成材料よりも大きいバンドギャップエネルギーを備える材料を使用することで、光学的に分離したい異色画素間においては低屈折率（すなわち、高反射率）及び高絶縁性を達成しつつ、光学的には分離せずに電気的分離のみを行いたい同色画素間においては高屈折率（すなわち、低反射率）、高絶縁性及び非光電変換特性が達成された固体撮像装置 10 及び電子機器を実現することが可能となる。

[0175] なお、第 1 の実施形態を含め、例示された材料は適宜組み合わせられて使用されてもよい。その他の構成、動作、製造方法及び効果については、上述した実施形態又はその変形例と同様であってよいので、ここでは詳細な説明を省略する。

[0176] 3. 第 3 の実施形態

次に、本開示の第 3 の実施形態について、図面を参照して詳細に説明する

。なお、以下の説明において、第1、第2の実施形態又はその変形例と同様の構成、動作、製造方法及び効果については、それらを引用することで、重複する説明を省略する。

[0177] 上述した実施形態及びその変形例では、画素分離部60と画素内分離部170とをそれぞれに求められる特性に応じて作り分ける場合について例を挙げて説明した。これに対し、第3の実施形態では、画素内分離部の性能を向上させることで、像面位相差画素の量子効率 Q_s の低下を抑制して固体撮像装置の受光感度低下を抑制する場合について例を挙げて説明する。

[0178] 像面位相差画素のような、画素内分離を有する画素を作製する場合、上述した実施形態及びその変形例のように、一方の画素が飽和した際にもう一方の画素へキャリアを逃がすためのオーバフローパスを設けることが考えられるが、その場合、左画素と右画素とを分断する画素内分離部に電氣的に分離される領域と接続される領域とが混在することになり、その製造や制御が困難となる。

[0179] 例えば、特開2018-201015号公報には、画素内分離部の特性を改善させるべく、画素内分離部を酸化膜や金属の埋め込みにより分離する方法が提案されている。また、特開2019-9425号公報には、同色間パス下の不純物濃度によって画素内分離部の特性を制御する方法が提案されている。

[0180] しかしながら、従来の手法では、画素内分離部の製造工程が複雑になることで、光電変換層へのイオン注入工程が増加し、欠陥形成によるノイズ増加が懸念される。また、イオン注入時の線幅のバラツキや不純物拡散による Q_s の低下やバラツキなどの懸念も存在する。さらに、P型半導体領域に対して高濃度でN型のドーパントが打ち返された領域が転送トランジスタ付近に存在することとなるため、画素の微細化に伴って転送効率やノイズが悪化してしまうという課題も存在する。

[0181] また、特開2018-201015号公報に開示されるように、逆極性での電氣的分離に加えて酸化膜や金属埋込による物理的な画素内分離構造も可

能であるが、この構造では、集光部付近での光電変換領域の減少による量子効率 QE の低下が懸念される。

[0182] 一方、特開2019-9425号公報に開示される方法は、オーバフローパス下の不純物濃度を制御することで、左画素と右画素との間のポテンシャル構造の最適化を図るものであるが、画素の微細化に伴い画素内分離部を形成する際のプロセス制御が困難になると考えられる。

[0183] このように、従来手法では、以下に例示するような課題が存在し得る。

(1) 画素内インプラによる欠陥形成に起因してノイズが悪化

(2) 線幅バラツキや不純物拡散による Q_s の低下とバラツキの発生

(3) 転送ゲート付近に高濃度 $p-n$ 打ち返し領域が形成されることで転送効率やノイズが悪化

(4) 物理的分離を用いる場合、集光部付近での光電変換効率の低下

[0184] そこで、本実施形態では、画素内分離を光電変換領域で発生する電荷とは逆極性の段階的なエピタキシャル(graded-epi)層で形成することで、左右画素を電氣的に接続するオーバフローパスを形成する。それにより、画素内分離部の作成にイオン注入工程を要しないため、上記(1)～(3)の課題を抑制又は回避することが可能となる。また、graded-epi層は、光電変換領域としても機能し得るため、上記(4)の課題も抑制又は回避することが可能となる。

[0185] 3. 1 像面位相差画素の断面構造例

図38は、本実施形態に係る像面位相差画素の平面構造例を示す上視図である。図39は、図38におけるE-E断面の構造例を示す垂直断面図である。図40は、図38におけるF-F断面の構造例を示す垂直断面図である。

[0186] 図38～図40に示すように、本実施形態では、画素分離部60で区画された像面位相差画素領域を2つの例えば矩形の領域に分割する画素内分離部370が、第1分離部360と、第2分離部371とから構成される。

[0187] 第1分離部360は、例えば、画素分離部60から連続する構造部であり

、画素分離部 6 9 と同様の層構造を有してもよい。

[0188] 第 2 分離部 3 7 1 は、例えば、像面位相差画素領域を分断する画素内分離部 3 7 0 の略中央に、第 1 分離部 3 6 0 を縦方向に分断するように配置される。

[0189] 第 2 分離部 3 7 1 における垂直方向のある位置にオーバフローパスを形成する場合、オーバフローパス 3 8 1 以外の領域における第 2 分離部 3 7 1 の不純物濃度は、例えば、水平方向では第 2 分離部 3 7 1 の中心に向かうほど逆極性に高くなり、垂直方向ではオーバフローパス 3 8 1 から離れるほど逆極性に高くなるように、調整されていてもよい。言い換えれば、第 2 分離部 3 7 1 の不純物濃度プロファイルは、例えば、水平方向では第 2 分離部 3 7 1 の中心に向かうほどポテンシャル障壁が高くなり、垂直方向ではオーバフローパス 3 8 1 から離れるほどポテンシャル障壁が高くなるように、調整されていてもよい。また、オーバフローパス 3 8 1 が形成される領域においては、水平方向及び垂直方向で不純物濃度が略均一となるように調整されてもよい。

[0190] このような不純物の濃度プロファイルを持つ第 2 分離部 3 7 1 は、例えば、第 2 分離部 3 7 1 の内側へ進むにつれて不純物濃度が高くなるように調整された graded-epi 層を用いて構成されてもよい。この graded-epi 層は、例えば、半導体基板 5 8 を N 型の不純物を含むシリコン基板とした場合、P 型の不純物を含む半導体層（エピタキシャル層）とされてもよい。画素内分離部 3 7 0 の一部を graded-epi 層で構成することで、右画素 3 0 A 及び左画素 3 0 B 間の光学的及び／又は電氣的な分離と、画素 3 0 A 及び 3 0 B のうちの一方が飽和した際のオーバフローパス 3 8 1 の形成（すなわち、左右画素の受光感度差の低減）とを両立することが可能となる。

[0191] 第 2 分離部 3 7 1 の材料には、光電変換部 P D の構成材料との関係から、読出しキャリアにとって高いポテンシャルエネルギーを持つ材料が用いられてよい。例えば、炭素（C）、シリコン（Si）、ゲルマニウム（Ge）及びスズ（Sn）のうちの少なくとも 1 つで構成される IV 族半導体、ホウ素（

B)、アルミニウム (Al)、ガリウム (Ga)、インジウム (In)、窒素 (N)、リン (P)、ヒ素 (As) 及びアンチモン (Sb) のうちの少なくとも2つで構成されるIII-V族半導体等が用いられてもよい。ただし、これらに限定されず、種々の半導体材料を用いることが可能である。

[0192] 画素30A及び30Bそれぞれの転送トランジスタ31は、例えば、各画素領域内における、画素分離部60と画素内分離部370とが交差する角に設けられ、半導体基板50の素子形成面側表面に設けられた拡散領域333 (ソース・ドレイン領域) と、素子形成面上に設けられたゲート絶縁膜332及びゲート電極331とから構成されてよい。なお、転送トランジスタ31のもう片方のソース・ドレイン領域は、光電変換部PDのカソードで構成されてもよい。

[0193] また、画素30A及び30Bが1つの浮遊拡散領域FDを共有する場合、この浮遊拡散領域FDは、それぞれの転送トランジスタ31が配置された、画素分離部60と画素内分離部370とが交差する角を跨ぐ位置に配置されてよい。この浮遊拡散領域FDは、ビアコンタクト334を介して画素30A及び30Bそれぞれの転送トランジスタ31の拡散領域333と電氣的に接続されてよい。

[0194] 以上のような構造とすることで、イオン注入により左右画素間を分離する場合と比べて、画素内分離部370が形成される領域付近の欠陥を抑制することが可能となるため、ノイズを抑制することが可能となる。また、画素内分離部370の水平方向 (素子形成面と平行な方向) の幅が制御し易くなるため、飽和信号量 Q_s の低下やバラツキを抑制することが可能となる。さらに、オーバフローパス381 (すなわち、第2分離部371) から転送トランジスタ31までの距離を確保することができるため、転送トランジスタ31に近い部分の不純物濃度を低く抑えることが可能となる。それにより、微細化に伴う転送効率やノイズの悪化を抑制することが可能となる。さらにまた、画素内分離部370の少なくとも一部 (第2分離部371に相当) が半導体材料で構成されるため、集光部付近での入射光の蹴られや光電変換効率

の低下を抑制することが可能となる。

[0195] 3. 2 製造方法

次に、本実施形態に係る固体撮像装置 10 の製造方法を説明する。なお、以下の説明では、光電変換部 PD から電荷を読み出すための画素回路を構成するトランジスタ（転送トランジスタ 31、リセットトランジスタ 32、増幅トランジスタ 33 及び選択トランジスタ 34）のうちの転送トランジスタ 31 が光電変換部 PD と同じ受光チップ 41 に配置された場合を例示するが、これに限定されず、転送トランジスタ 31 以外の少なくとも 1 つトランジスタも受光チップ 41 に配置されてもよい。

[0196] 図 41～図 47 は、本実施形態に係る固体撮像装置の製造方法を示すプロセス断面図である。なお、図 41～図 47 において、(A) は、図 38 に対応する像面位相差画素の平面構造例を示す上視図であり、(B) は、図 39 に対応する E-E 断面の構造例を示す垂直断面図であり、(C) は、図 40 に対応する F-F 断面の構造例を示す垂直断面図である。ただし、説明の都合上、図 41～図 47 に示す各層の縮尺やサイズ等は図 38～図 40 に示す各層の縮尺やサイズ等とは異なっている。

[0197] 本製造方法では、まず、図 41 に示すように、用意した半導体基板 58 に対して P 型のドーパントと N 型のドーパントとを適宜イオン注入することで、半導体基板 58 の表面側と裏面側とにそれぞれ P 型半導体領域 56 及び 64 を形成するとともに、P 型半導体領域 56 及び 64 で挟まれた領域に N 型半導体領域 59 を形成する。

[0198] 次に、図 42 に示すように、例えばリソグラフィ技術を用いることで、半導体基板 58 の表面側における画素分離部 60 と画素内分離部 370 の第 1 分離部 360 とが形成される領域に、N 型半導体領域 59 の上層を露出させる程度の浅いトレンチ (Shallow Trench Isolation: STI) T1 を形成する。

[0199] 次に、図 43 に示すように、例えば CVD 法やスパッタリングなどの成膜手法を用いることで、半導体基板 58 の表面側に形成されたトレンチ T1 内

に絶縁性材料を埋め込むことで、トレンチ T 1 内に絶縁膜 6 3 の一部となる絶縁膜 6 3 A を形成する。

[0200] 次に、図 4 4 に示すように、例えばリソグラフィ技術を用いることで、半導体基板 5 8 の表面側における画素分離部 6 0 と画素内分離部 3 7 0 の第 1 分離部 3 6 0 とが形成される領域（すなわち、絶縁膜 6 3 A が形成される領域）に、半導体基板 5 8 の裏面側の P 型半導体領域 6 4 を露出させる程度の深いトレンチ T 2 を形成する。なお、半導体基板 5 8 の深堀には、例えば R I E (Reactive Ion Etching) などの異方性ドライエッチングが用いられてよい。

[0201] つづいて、例えば P L A D (Plasma Assisted Doping) などのイオン注入技術を用いることで、トレンチ T 2 の内側面及び底面に露出した半導体基板 5 8 の表面に固定電荷膜 6 2 を形成する。

[0202] 次に、図 4 5 に示すように、例えば C V D 法やスパッタリングなどの成膜手法を用いることで、内表面及び底面に固定電荷膜 6 2 が形成されたトレンチ T 2 内に絶縁性材料を埋め込むことで、トレンチ T 2 内に絶縁膜 6 3 を形成する。それにより、画素分離部 6 0 及び第 1 分離部 3 6 0 が形成される。

[0203] 次に、図 4 6 に示すように、例えばリソグラフィ技術を用いることで、半導体基板 5 8 の表面側における第 2 分離部 3 7 1 が形成される領域に、半導体基板 5 8 の裏面側の P 型半導体領域 6 4 の表面を露出させる程度の深いトレンチ T 3 を形成する。なお、半導体基板 5 8 の深堀には、例えば R I E などの異方性ドライエッチングが用いられてよい。

[0204] 次に、図 4 7 に示すように、例えば不純物濃度を段階的に制御することが可能なエピタキシャル成長技術 (Graded Epidural Technique) などの成膜手法を用いることで、内側へ進むにつれて逆極性が強くなるように不純物濃度が調整された graded-epi 層で構成された第 2 分離部 3 7 1 を形成する。その際、第 2 分離部 3 7 1 における半導体基板 5 8 裏面側の不純物濃度が薄くなることで、この領域がオーバフローパス 3 8 1 として機能する。

[0205] その後、半導体基板 5 8 の表面側に転送トランジスタ 3 1 等の回路素子及

び配線層 6 5 を形成した後、半導体基板 5 8 の裏面側に、遮光膜 5 4、平坦化膜 5 3、カラーフィルタ 5 2 及びオンチップレンズ 5 1 を順次形成することで、図 3 8 ～図 4 0 に示す断面構造の像面位相差画素を備える固体撮像装置 1 0 を製造することができる。

[0206] なお、以上の製造工程において、図 4 4 及び図 4 5 を用いて説明した工程と、図 4 6 及び図 4 7 を用いて説明した工程とは、順序が入れ替えられてもよい。

[0207] 3. 3 像面位相差画素構造の変形例

次に、本実施形態に係る像面位相差画素構造の変形例について、いくつか例を挙げて説明する。

[0208] 3. 3. 1 第 1 変形例

図 4 8 は、第 1 変形例に係る像面位相差画素の断面構造例を示す垂直断面図である。図 4 8 に示すように、第 1 変形例では、画素分離部 6 0 における固定電荷膜 6 2 が、光電変換部 P D で発生する電荷とは逆極性のイオンを注入することで形成された拡散領域 6 2 a に置き換えられている。このように、例えば P L A D を用いて形成された固定電荷膜 6 2 に代えて、イオン注入や固相拡散等により形成された拡散領域 6 2 a を用いることでも、光電変換部 P D の周囲のポテンシャルを調整することが可能である。

[0209] 3. 3. 2 第 2 変形例

図 4 9 は、第 2 変形例に係る像面位相差画素の断面構造例を示す垂直断面図である。図 4 9 に示すように、第 2 変形例では、F T I 構造の画素分離部 6 0 に代えて、R D T I 構造の画素分離部 6 0 が用いられている。R D T I 構造の画素分離部 6 0 は、半導体基板 5 8 の裏面（光入射面）側から彫り込まれたトレンチ内が絶縁膜 6 3 b で埋め込まれ、この絶縁膜 6 3 b の周囲が固定電荷膜 6 2 b で覆われた構造を備える。このように、像面位相差画素領域間（及び画素領域間の一部）を光学的及び電氣的に分離する画素分離部 6 0（及び第 1 分離部 3 6 0）の構造は、F T I 構造や R D T I 構造など、種々の構造が採用されてよい。

[0210] 3. 3. 3 第3変形例

図50は、第3変形例に係る像面位相差画素の断面構造例を示す垂直断面図である。図50に示すように、第3変形例では、第2変形例と同様に、FTI構造の画素分離部60に代えて、RDTI構造の画素分離部60が用いられている。それに加え、第3変形例では、絶縁膜63bを覆う固定電荷膜62bがイオン注入により形成されたか拡散領域62cに置き換えられるとともに、絶縁膜63bの上面からP型半導体領域56までの間に拡散領域68cが配置されている。このように、RDTI構造の画素分離部60を用いた場合に、絶縁膜63bの上面からP型半導体領域56までの間を拡散領域68cで電氣的に塞ぐことで、隣接する像面位相差画素間の電氣的分離を高めることが可能となる。なお、拡散領域68cに含まれるドーパントは、拡散領域63aと同じものであってよい。また、拡散領域68cと拡散領域63aとは、同一のイオン注入工程で形成されてもよいし、別々のイオン注入工程で形成されてもよい。

[0211] 3. 3. 4 第4変形例

図51は、第4変形例に係る像面位相差画素の断面構造例を示す垂直断面図である。図51に示すように、第4変形例では、物理的な構造を有する画素分離部60が、半導体基板58に、光電変換部PDで発生する電荷とは逆極性のイオンを注入することで形成された拡散領域60dに置き換えられている。このように、像面位相差画素領域間（及び画素領域間の一部）の分離構造は物理的な構造に限定されず、ポテンシャル構造による分離構造など、種々変形されてよい。

[0212] 3. 3. 5 第5変形例

図52は、第5変形例に係る像面位相差画素の断面構造例を示す垂直断面図である。図52に示すように、第5変形例では、画素分離部60で区画された像面位相差画素領域を分断する画素内分離部370における少なくとも第2分離部371が、RDTI構造を有する第2分離部372に置き換えられている。その場合、オーバフローパス382は、半導体基板58の表面側

(素子形成面側)に形成される。このように、オーバフローパスを備えつつ隣接画素間を区画する第2分離部372は、FTI構造に限定されず、種々変形可能である。言い換えれば、オーバフローパスの形成位置は、半導体基板58における裏面側に限定されず、半導体基板58の表面側や中間部分など、種々変更することが可能である。なお、RDTI構造の第2分離部372は、例えば、不純物濃度を段階的に制御することが可能なエピタキシャル成長技術(Graded Epitaxial Technique)などの成膜手法を用いて半導体基板58の裏面側からgraded-epi層を成膜することで、形成することができる。

[0213] 3. 3. 6 第6変形例

図53は、第6変形例に係る像面位相差画素の断面構造例を示す垂直断面図である。図53に示すように、第6変形例では、隣接画素間をつなぐオーバフローパスが複数設けられている。図53には、半導体基板58の基板厚方向における2カ所にオーバフローパス383a及び383bが形成される場合が例示されている。このように、一方の画素30から溢れ出した電荷が流れるオーバフローパスは1つに限定されず、複数設けられてもよい。それにより、一方の画素30から溢れ出した電荷が効率的に他方の画素30に流れ込むため、両画素間の受光感度差をより低減することが可能となる。なお、複数のオーバフローパス383a及び383bが形成される位置は、半導体基板58の中間部分に限定されず、表面側や裏面側であってもよい。また、複数のオーバフローパス383a及び383bを備える第2分離部373は、例えば、不純物濃度を段階的に制御することが可能なエピタキシャル成長技術などの成膜手法を用いた成膜工程を複数段階に分けて実行することで形成されてもよい。

[0214] 3. 3. 7 第7変形例

図54は、第7変形例に係る像面位相差画素の断面構造例を示す垂直断面図である。図54に示すように、第7変形例では、第1分離部360と第2分離部371等とからなる画素内分離部370が、全体がgraded-epi層から

なる画素内分離部 374 に置き換えられている。すなわち、本変形例では、画素内分離部 374 の上層部、下層部及び中間部のうちの少なくとも 1 つが半導体基板 58 の素子形成面に沿って全体的にオーバフローパスとして機能する場合が例示されている。このように、オーバフローパスの幅を拡げることで、一方の画素 30 から溢れ出した電荷が効率的に他方の画素 30 に流れ込むため、両画素間の受光感度差をより低減することが可能となる。

[0215] 3. 3. 8 第 8 変形例

図 55 は、第 8 変形例に係る像面位相差画素の断面構造例を示す垂直断面図である。図 55 に示すように、第 8 変形例では、画素内分離部 370 における第 2 分離部 371 が、物質間の電子のエネルギー準位の差（バンドオフセット）を利用して隣接画素間を電氣的に分離する第 2 分離部 375 に置き換えられている。第 2 分離部 371 のバンドオフセットは、例えば、不純物のドーピング密度や材料組成などにより実現され得る。このように、バンドオフセットを利用して隣接画素間を電氣的に分離した場合でも、その一部がオーバフローパス 385 として機能するように構成することで、隣接素間の受光感度差を低減することが可能となる。

[0216] なお、第 3 の実施形態で例示した像面位相差画素の構造例及び第 1 変形例～第 8 変形例で例示した像面位相差画素の構造例は、適宜組み合わせることが可能である。例えば、第 3 の実施形態で例示した像面位相差画素の構造例又は第 1 変形例～第 4 変形例で例示した像面位相差画素の構造例に対して、第 5 変形例～第 8 変形例で例示した像面位相差画素の構造例のうちの 1 つ以上を組み合わせることで、組み合わせに用いた構造例それぞれによる効果を得ることが可能である。

[0217] 3. 4 まとめ

以上のように、本実施形態によれば、画素内分離部 370 のうちの少なくとも一部が内側へ進むにつれて逆極性が強くなるように不純物濃度が調整された膜（例えば、graded-epi 層）で構成されるため、拡散領域で画素内分離をする場合と比較して、分離領域付近の欠陥に起因したノイズを低減するこ

とが可能となる。また、物理的な分離構造とすることで、画素内分離の水平方向の幅が制御し易いため、飽和信号量 Q_s の低下やバラツキを抑制することが可能となる。さらに、オーバフローパス371等を転送トランジスタ31から離すことができ、転送トランジスタ31に近い部分の不純物濃度を低く抑えることができるため、微細化に伴う転送効率やノイズの悪化を抑制することが可能となる。さらにまた、画素内分離部370が半導体で形成されるため、入射光の蹴られや光電変換領域の縮小を抑制することが可能となる。

[0218] その他の構成、動作、製造方法及び効果は、上述した実施形態と同様であってよい。ここでは詳細な説明を省略する。

[0219] 4. スマートフォンへの応用例

本開示に係る技術（本技術）は、さらに様々な製品へ応用することができる。例えば、本開示に係る技術は、スマートフォン等に適用されてもよい。そこで、図56を参照して、本技術を適用した電子機器としての、スマートフォン900の構成例について説明する。図56は、本開示に係る技術（本技術）が適用され得るスマートフォン900の概略的な機能構成の一例を示すブロック図である。

[0220] 図56に示すように、スマートフォン900は、CPU（Central Processing Unit）901、ROM（Read Only Memory）902、及びRAM（Random Access Memory）903を含む。また、スマートフォン900は、ストレージ装置904、通信モジュール905、及びセンサモジュール907を含む。さらに、スマートフォン900は、撮像装置1、表示装置910、スピーカ911、マイクロフォン912、入力装置913、及びバス914を含む。また、スマートフォン900は、CPU901に代えて、又はこれとともに、DSP（Digital Signal Processor）等の処理回路を有してもよい。

[0221] CPU901は、演算処理装置及び制御装置として機能し、ROM902

、RAM 903、又はストレージ装置 904 等に記録された各種プログラムに従って、スマートフォン 900 内の動作全般又はその一部を制御する。ROM 902 は、CPU 901 が使用するプログラムや演算パラメータなどを記憶する。RAM 903 は、CPU 901 の実行において使用するプログラムや、その実行において適宜変化するパラメータ等を一次記憶する。CPU 901、ROM 902、及び RAM 903 は、バス 914 により相互に接続されている。また、ストレージ装置 904 は、スマートフォン 900 の記憶部の一例として構成されたデータ格納用の装置である。ストレージ装置 904 は、例えば、HDD (Hard Disk Drive) 等の磁気記憶デバイス、半導体記憶デバイス、光記憶デバイス等により構成される。このストレージ装置 904 は、CPU 901 が実行するプログラムや各種データ、及び外部から取得した各種のデータ等を格納する。

[0222] 通信モジュール 905 は、例えば、通信ネットワーク 906 に接続するための通信デバイスなどで構成された通信インタフェースである。通信モジュール 905 は、例えば、有線又は無線 LAN (Local Area Network)、Bluetooth (登録商標)、WUSB (Wireless USB) 用の通信カード等であり得る。また、通信モジュール 905 は、光通信用のルータ、ADSL (Asymmetric Digital Subscriber Line) 用のルータ、又は、各種通信用のモデム等であってもよい。通信モジュール 905 は、例えば、インターネットや他の通信機器との間で、TCP (Transmission Control Protocol) / IP (Internet Protocol) 等の所定のプロトコルを用いて信号等を送受信する。また、通信モジュール 905 に接続される通信ネットワーク 906 は、有線又は無線によって接続されたネットワークであり、例えば、インターネット、家庭内 LAN、赤外線通信又は衛星通信等である。

[0223] センサモジュール 907 は、例えば、モーションセンサ (例えば、加速度センサ、ジャイロセンサ、地磁気センサ等)、生体情報センサ (例えば、脈

拍センサ、血圧センサ、指紋センサ等）、又は位置センサ（例えば、GNSS（Global Navigation Satellite System）受信機等）等の各種のセンサを含む。

[0224] 撮像装置1は、スマートフォン900の表面に設けられ、スマートフォン900の裏側又は表側に位置する対象物等を撮像することができる。詳細には、撮像装置1は、本開示に係る技術（本技術）が適用され得るCMOS（Complementary MOS）イメージセンサ等の撮像素子（図示省略）と、撮像素子で光電変換された信号に対して撮像信号処理を施す信号処理回路（図示省略）とを含んで構成することができる。さらに、撮像装置1は、撮像レンズ、ズームレンズ、及びフォーカスレンズ等により構成される光学系機構（図示省略）及び、上記光学系機構の動作を制御する駆動系機構（図示省略）をさらに有することができる。そして、上記撮像素子は、対象物からの入射光を光学像として集光し、上記信号処理回路は、結像された光学像を画素単位で光電変換し、各画素の信号を撮像信号として読み出し、画像処理することにより撮像画像を取得することができる。

[0225] 表示装置910は、スマートフォン900の表面に設けられ、例えば、LCD（Liquid Crystal Display）、有機EL（Electro Luminescence）ディスプレイ等の表示装置であることができる。表示装置910は、操作画面や、上述した撮像装置1が取得した撮像画像などを表示することができる。

[0226] スピーカ911は、例えば、通話音声や、上述した表示装置910が表示する映像コンテンツに付随する音声等を、ユーザに向けて出力することができる。

[0227] マイクフォン912は、例えば、ユーザの通話音声、スマートフォン900の機能を起動するコマンドを含む音声や、スマートフォン900の周囲環境の音声を集音することができる。

[0228] 入力装置913は、例えば、ボタン、キーボード、タッチパネル、マウス等、ユーザによって操作される装置である。入力装置913は、ユーザが入

力した情報に基づいて入力信号を生成してCPU901に出力する入力制御回路を含む。ユーザは、この入力装置913を操作することによって、スマートフォン900に対して各種のデータを入力したり処理動作を指示したりすることができる。

[0229] 以上、スマートフォン900の構成例を示した。上記の各構成要素は、汎用的な部材を用いて構成されていてもよいし、各構成要素の機能に特化したハードウェアにより構成されていてもよい。かかる構成は、実施する時々の技術レベルに応じて適宜変更され得る。

[0230] 5. 移動体への応用例

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0231] 図57は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0232] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図57に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F（Interface）12053が図示されている。

[0233] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角

を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0234] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0235] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0236] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0237] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合

い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0238] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0239] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0240] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0241] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図57の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

- [0242] 図58は、撮像部12031の設置位置の例を示す図である。
- [0243] 図58では、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。
- [0244] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。
- [0245] なお、図58には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112、12113は、それぞれサイドミラーに設けられた撮像部12102、12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。
- [0246] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。
- [0247] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし1211

4 内における各立体物までの距離と、この距離の時間的変化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0248] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 1 2 0 6 1 や表示部 1 2 0 6 2 を介してドライバに警報を出力することや、駆動系制御ユニット 1 2 0 1 0 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0249] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 1 2 0 5 1 が、撮像部 1 2 1 0 1 ないし 1 2 1 0

4の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0250] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031等に適用され得る。撮像部12031に本開示に係る技術を適用することにより、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

[0251] 6. 内視鏡手術システムへの応用例

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0252] 図59は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0253] 図59では、術者（医師）11131が、内視鏡手術システム11000を用いて、患者ベッド11133上の患者11132に手術を行っている様子が図示されている。図示するように、内視鏡手術システム11000は、内視鏡11100と、気腹チューブ11111やエネルギー処置具11112等の、その他の術具11110と、内視鏡11100を支持する支持アーム装置11120と、内視鏡下手術のための各種の装置が搭載されたカート11200と、から構成される。

[0254] 内視鏡11100は、先端から所定の長さの領域が患者11132の体腔内に挿入される鏡筒11101と、鏡筒11101の基端に接続されるカメラヘッド11102と、から構成される。図示する例では、硬性の鏡筒11101を有するいわゆる硬性鏡として構成される内視鏡11100を図示しているが、内視鏡11100は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

- [0255] 鏡筒 1 1 1 0 1 の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡 1 1 1 0 0 には光源装置 1 1 2 0 3 が接続されており、当該光源装置 1 1 2 0 3 によって生成された光が、鏡筒 1 1 1 0 1 の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者 1 1 1 3 2 の体腔内の観察対象に向かって照射される。なお、内視鏡 1 1 1 0 0 は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。
- [0256] カメラヘッド 1 1 1 0 2 の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU: Camera Control Unit）1 1 2 0 1 に送信される。
- [0257] CCU 1 1 2 0 1 は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡 1 1 1 0 0 及び表示装置 1 1 2 0 2 の動作を統括的に制御する。さらに、CCU 1 1 2 0 1 は、カメラヘッド 1 1 1 0 2 から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。
- [0258] 表示装置 1 1 2 0 2 は、CCU 1 1 2 0 1 からの制御により、当該CCU 1 1 2 0 1 によって画像処理が施された画像信号に基づく画像を表示する。
- [0259] 光源装置 1 1 2 0 3 は、例えばLED（light emitting diode）等の光源から構成され、術部等を撮影する際の照射光を内視鏡 1 1 1 0 0 に供給する。
- [0260] 入力装置 1 1 2 0 4 は、内視鏡手術システム 1 1 0 0 0 に対する入力インタフェースである。ユーザは、入力装置 1 1 2 0 4 を介して、内視鏡手術システム 1 1 0 0 0 に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡 1 1 1 0 0 による撮像条件（照射光の種類、倍

率及び焦点距離等)を変更する旨の指示等を入力する。

[0261] 処置具制御装置 1 1 2 0 5 は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具 1 1 1 1 2 の駆動を制御する。気腹装置 1 1 2 0 6 は、内視鏡 1 1 1 0 0 による視野の確保及び術者の作業空間の確保の目的で、患者 1 1 1 3 2 の体腔を膨らめるために、気腹チューブ 1 1 1 1 1 を介して当該体腔内にガスを送り込む。レコーダ 1 1 2 0 7 は、手術に関する各種の情報を記録可能な装置である。プリンタ 1 1 2 0 8 は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0262] なお、内視鏡 1 1 1 0 0 に術部を撮影する際の照射光を供給する光源装置 1 1 2 0 3 は、例えば L E D、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。R G Bレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 1 1 2 0 3 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、R G Bレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御することにより、R G Bそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0263] また、光源装置 1 1 2 0 3 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0264] また、光源装置 1 1 2 0 3 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の

所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 11203 は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0265] 図 60 は、図 59 に示すカメラヘッド 11102 及び CCU 11201 の機能構成の一例を示すブロック図である。

[0266] カメラヘッド 11102 は、レンズユニット 11401 と、撮像部 11402 と、駆動部 11403 と、通信部 11404 と、カメラヘッド制御部 11405 と、を有する。CCU 11201 は、通信部 11411 と、画像処理部 11412 と、制御部 11413 と、を有する。カメラヘッド 11102 と CCU 11201 とは、伝送ケーブル 11400 によって互いに通信可能に接続されている。

[0267] レンズユニット 11401 は、鏡筒 11101 との接続部に設けられる光学系である。鏡筒 11101 の先端から取り込まれた観察光は、カメラヘッド 11102 まで導光され、当該レンズユニット 11401 に入射する。レンズユニット 11401 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0268] 撮像部 11402 を構成する撮像素子は、1 つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部 11402 が多板式で構成される場合には、例えば各撮像素子によって RGB それぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部 11402 は、3D（dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための 1 対の撮

像素子を有するように構成されてもよい。３Ｄ表示が行われることにより、術者１１１３１は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部１１４０２が多板式で構成される場合には、各撮像素子に対応して、レンズユニット１１４０１も複数系統設けられ得る。

[0269] また、撮像部１１４０２は、必ずしもカメラヘッド１１１０２に設けられなくてもよい。例えば、撮像部１１４０２は、鏡筒１１１０１の内部に、対物レンズの直後に設けられてもよい。

[0270] 駆動部１１４０３は、アクチュエータによって構成され、カメラヘッド制御部１１４０５からの制御により、レンズユニット１１４０１のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部１１４０２による撮像画像の倍率及び焦点が適宜調整され得る。

[0271] 通信部１１４０４は、ＣＣＵ１１２０１との間で各種の情報を送受信するための通信装置によって構成される。通信部１１４０４は、撮像部１１４０２から得た画像信号をＲＡＷデータとして伝送ケーブル１１４００を介してＣＣＵ１１２０１に送信する。

[0272] また、通信部１１４０４は、ＣＣＵ１１２０１から、カメラヘッド１１１０２の駆動を制御するための制御信号を受信し、カメラヘッド制御部１１４０５に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0273] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてＣＣＵ１１２０１の制御部１１４１３によって自動的に設定されてもよい。後者の場合には、いわゆるＡＥ（Auto Exposure）機能、ＡＦ（Auto Focus）機能及びＡＷＢ（Auto White Balance）機能が内視鏡１１１００に搭載されていることになる。

- [0274] カメラヘッド制御部 1 1 4 0 5 は、通信部 1 1 4 0 4 を介して受信した C C U 1 1 2 0 1 からの制御信号に基づいて、カメラヘッド 1 1 1 0 2 の駆動を制御する。
- [0275] 通信部 1 1 4 1 1 は、カメラヘッド 1 1 1 0 2 との間で各種の情報を送受信するための通信装置によって構成される。通信部 1 1 4 1 1 は、カメラヘッド 1 1 1 0 2 から、伝送ケーブル 1 1 4 0 0 を介して送信される画像信号を受信する。
- [0276] また、通信部 1 1 4 1 1 は、カメラヘッド 1 1 1 0 2 に対して、カメラヘッド 1 1 1 0 2 の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。
- [0277] 画像処理部 1 1 4 1 2 は、カメラヘッド 1 1 1 0 2 から送信された R A W データである画像信号に対して各種の画像処理を施す。
- [0278] 制御部 1 1 4 1 3 は、内視鏡 1 1 1 0 0 による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部 1 1 4 1 3 は、カメラヘッド 1 1 1 0 2 の駆動を制御するための制御信号を生成する。
- [0279] また、制御部 1 1 4 1 3 は、画像処理部 1 1 4 1 2 によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置 1 1 2 0 2 に表示させる。この際、制御部 1 1 4 1 3 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 1 1 4 1 3 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 1 1 1 1 2 の使用時のミスト等を認識することができる。制御部 1 1 4 1 3 は、表示装置 1 1 2 0 2 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 1 1 1 3 1 に提示されることにより、術者 1 1 1 3 1 の負担を軽減することや、術者 1 1 1 3 1 が確実に手術を進めることが可能になる。
- [0280] カメラヘッド 1 1 1 0 2 及び C C U 1 1 2 0 1 を接続する伝送ケーブル 1

1400は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0281] ここで、図示する例では、伝送ケーブル11400を用いて有線で通信が行われていたが、カメラヘッド11102とCCU11201との間の通信は無線で行われてもよい。

[0282] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、カメラヘッド11102の撮像部11402に適用され得る。カメラヘッド11102に本開示に係る技術を適用することにより、より鮮明な術部画像を得ることができるため、術者が術部を確実に確認することが可能になる。

[0283] なお、ここでは、一例として内視鏡手術システムについて説明したが、本開示に係る技術は、その他、例えば、顕微鏡手術システム等に適用されてもよい。

[0284] 以上、本開示の実施形態について説明したが、本開示の技術的範囲は、上述の実施形態そのままに限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、異なる実施形態及び変形例にわたる構成要素を適宜組み合わせてもよい。

[0285] また、本明細書に記載された各実施形態における効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

[0286] なお、本技術は以下のような構成も取ることができる。

(1)

半導体基板の第1面を行列状に配列する複数の第1領域に区画する画素分離部と、

前記第1領域それぞれを少なくとも2つの第2領域に分割する画素内分離部と、

前記第1面と平行な面内であって、前記画素内分離部により分割された前記少なくとも2つの第2領域が配列する方向と垂直な方向において、前記画素分離部と前記画素内分離部との間の少なくとも一部に配置されたエッチン

グストップ領域と、

前記第2領域それぞれに配置された光電変換部と、

前記光電変換部それぞれに接続された転送トランジスタと、

を備える固体撮像装置。

(2)

前記エッチングストップ領域は、前記画素内分離部の構成材料に対するエッチング選択比が確保された材料よりなる

前記(1)に記載の固体撮像装置。

(3)

前記エッチングストップ領域は、前記半導体基板の一部の領域である

前記(1)又は(2)に記載の固体撮像装置。

(4)

前記画素内分離部は、前記半導体基板の前記第1面から当該第1面と反対側の第2面に向けて延在し、前記第2面には達していない

前記(1)～(3)の何れか1つに記載の固体撮像装置。

(5)

前記画素内分離部は、ダイヤモンド、DLC (Diamond-like Carbon)、酸化チタン (TiO_2)、酸化セリウム (CeO_2)、酸化鉄 (Fe_2O_3)、窒化シリコン (SiN)、ヒ化ガリウム (GaAs)、リン化ガリウム (GaP)、ヒ化アルミニウム (AlAs)、アンチモン化アルミニウム (AlSb)、リン化インジウム (InP)、六方晶炭化珪素 (4H-SiC)、六方晶炭化珪素 (6H-SiC)、立方晶炭化珪素 (3C-SiC)、セレン化亜鉛 (ZnSe)、ヒ化アンチモン化アルミニウム (AlSbAs)、リン化アンチモン化アルミニウム (AlSbP)、リン化アルミニウムインジウム (AlInP)、リン化ガリウムヒ素 (GaAsP)、リン化インジウムガリウム (InGaP)、及び、ヒ化ガリウムアルミニウム (GaAlAs) のうちの少なくとも1つを含む

前記(1)～(4)の何れか1つに記載の固体撮像装置。

(6)

前記画素分離部は、酸化シリコン (SiO_2)、タングステン (W) 及びアルミニウム (Al) のうちの少なくとも1つを含む

前記(1)～(5)の何れか1つに記載の固体撮像装置。

(7)

前記画素内分離部は、前記半導体基板の前記第1面と反対側の第2面側に位置する上面の幅が前記第1面側に位置する底面の幅よりも狭い形状を有する

前記(1)～(6)の何れか1つに記載の固体撮像装置。

(8)

前記画素分離部は、前記第1領域間を光学的及び電氣的に分離し、

前記画素内分離部は、前記少なくとも2つの第2領域間を電氣的に分離する

前記(1)～(7)の何れか1つに記載の固体撮像装置。

(9)

前記画素分離部は、前記半導体基板と接する面に配置され、負の固定電荷を持つ固定電荷膜を含む

前記(1)～(8)の何れか1つに記載の固体撮像装置。

(10)

前記固定電荷膜は、ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、マグネシウム、イットリウム及びランタノイド元素の酸化物のうちの少なくとも1つを含む

前記(9)に記載の固体撮像装置。

(11)

半導体基板の第1面を行列状に配列する複数の第1領域に区画する画素分離部と、

前記第1領域それぞれを少なくとも2つの第2領域に分割し、前記少なくとも2つの第2領域のうちの1つに蓄積された電荷が他の少なくとも1つに

流れ込むためのオーバフローパス領域を備える画素内分離部と、

前記第2領域それぞれに配置された光電変換部と、

前記光電変換部それぞれに接続された転送トランジスタと、

を備え、

前記画素内分離部の少なくとも一部は、前記第1面と平行な面内では当該画素内分離部の中心に向かうほどポテンシャル障壁が高くなり、前記オーバフローパスから離れるほどポテンシャル障壁が高くなるように調整された不純物濃度プロファイルを備える

固体撮像装置。

(12)

前記オーバフローパス領域は、前記第1面と平行な面内及び前記第1面と垂直な面内の両方において略均一となるように調整された不純物濃度プロファイルを備える

前記(11)に記載の固体撮像装置。

(13)

前記画素内分離部の少なくとも一部は、不純物濃度を段階的に制御することが可能なエピタキシャル成長技術(Graded Epitaxial Technique)を用いて成膜されたエピタキシャル膜である

前記(11)又は(12)に記載の固体撮像装置。

(14)

前記不純物は、前記光電変換部で発生する電荷とは逆極性を持つ不純物である

前記(11)～(13)の何れか1つに記載の固体撮像装置。

(15)

前記不純物は、前記光電変換部で発生する電荷に対して高いポテンシャルエネルギーを持つ不純物である

前記(11)～(14)の何れか1つに記載の固体撮像装置。

(16)

前記画素内分離部の少なくとも一部は、前記半導体基板に含まれる不純物の極性とは逆極性を持つ不純物を含む半導体層である

前記（１１）～（１５）の何れか１つに記載の固体撮像装置。

（１７）

前記画素内分離部の少なくとも一部は、炭素（Ｃ）、シリコン（Ｓｉ）、ゲルマニウム（Ｇｅ）及びスズ（Ｓｎ）のうちの少なくとも１つで構成されるⅠⅤ族半導体、及び、ホウ素（Ｂ）、アルミニウム（Ａｌ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）、窒素（Ｎ）、リン（Ｐ）、ヒ素（Ａｓ）及びアンチモン（Ｓｂ）のうちの少なくとも２つで構成されるⅠⅠⅠ－Ⅴ族半導体のうちの少なくとも１つを含む

前記（１１）～（１６）の何れか１つに記載の固体撮像装置。

（１８）

前記ポテンシャル障壁は、バンドオフセットにより形成されている

前記（１１）～（１６）の何れか１つに記載の固体撮像装置。

（１９）

前記画素内分離部の他の少なくとも一部は、前記画素分離部と同じ層構造を備える

前記（１１）～（１８）の何れか１つに記載の固体撮像装置。

（２０）

前記（１）～（１９）の何れか１つに記載の固体撮像装置と、

前記固体撮像装置から出力された画像データに対して所定の処理を実行するプロセッサと、

を備える電子機器。

符号の説明

- [0287] １ 電子機器（撮像装置）
- １０ 固体撮像装置
- １１ 撮像レンズ
- １３ プロセッサ

- 1 4 記憶部
- 2 1 画素アレイ部
- 2 2 垂直駆動回路
- 2 3 カラム処理回路
- 2 4 水平駆動回路
- 2 5 システム制御部
- 2 6 信号処理部
- 2 7 データ格納部
- 3 0、3 0 A、3 0 B 画素
- 3 1 転送トランジスタ
- 3 2 リセットトランジスタ
- 3 3 増幅トランジスタ
- 3 4 選択トランジスタ
- 4 1 受光チップ
- 4 2 回路チップ
- 5 1 オンチップレンズ
- 5 2 カラーフィルタ
- 5 3 平坦化膜
- 5 4 遮光膜
- 5 5、6 3、6 3 A、6 3 b、1 6 3 a 絶縁膜
- 5 6、6 4 P型半導体領域
- 5 7 受光面
- 5 8 半導体基板
- 5 9 N型半導体領域
- 6 0、1 6 1、1 6 2、1 6 3、1 6 4 画素分離部
- 6 0 T、T 1～T 3 トレンチ
- 6 1 溝部
- 6 2、6 2 b 固定電荷膜

60 d、62 a、68 c、133、333 拡散領域

65 配線層

66 配線

66-1、66-2 ビア配線

67 絶縁層

67-1～67-3 層間絶縁膜

68-1～68-3 配線層

101 エッチングストopp領域

131、331 ゲート電極

132、332 ゲート絶縁膜

163 b、164 b 絶縁膜（SCF）

164 a 遮光膜

170、171、370、374 画素内分離部

170A 膜

334 ビアコンタクト

360 第1分離部

371、372、373、375 第2分離部

381、382、383 a、383 b、385 オーバフローパス

FD 浮遊拡散領域

PD 光電変換部

請求の範囲

- [請求項1] 半導体基板の第1面を行列状に配列する複数の第1領域に区画する画素分離部と、
前記第1領域それぞれを少なくとも2つの第2領域に分割する画素内分離部と、
前記第1面と平行な面内であって、前記画素内分離部により分割された前記少なくとも2つの第2領域が配列する方向と垂直な方向において、前記画素分離部と前記画素内分離部との間の少なくとも一部に配置されたエッチングストッパ領域と、
前記第2領域それぞれに配置された光電変換部と、
前記光電変換部それぞれに接続された転送トランジスタと、
を備える固体撮像装置。
- [請求項2] 前記エッチングストッパ領域は、前記画素内分離部の構成材料に対するエッチング選択比が確保された材料よりなる
請求項1に記載の固体撮像装置。
- [請求項3] 前記エッチングストッパ領域は、前記半導体基板の一部の領域である
請求項1に記載の固体撮像装置。
- [請求項4] 前記画素内分離部は、前記半導体基板の前記第1面から当該第1面と反対側の第2面に向けて延在し、前記第2面には達していない
請求項1に記載の固体撮像装置。
- [請求項5] 前記画素内分離部は、ダイヤモンド、DLC (Diamond-like Carbon)、酸化チタン (TiO_2)、酸化セリウム (CeO_2)、酸化鉄 (Fe_2O_3)、窒化シリコン (SiN)、ヒ化ガリウム (GaAs)、リン化ガリウム (GaP)、ヒ化アルミニウム (AlAs)、アンチモン化アルミニウム (AlSb)、リン化インジウム (InP)、六方晶炭化珪素 (4H-SiC)、六方晶炭化珪素 (6H-SiC)、立方晶炭化珪素 (3C-SiC)、セレン化亜鉛 (ZnSe)、

ヒ化アンチモン化アルミニウム (AlSbAs)、リン化アンチモン化アルミニウム (AlSbP)、リン化アルミニウムインジウム (AlInP)、リン化ガリウムヒ素 (GaAsP)、リン化インジウムガリウム (InGaP)、及び、ヒ化ガリウムアルミニウム (GaAlAs) のうちの少なくとも1つを含む

請求項1に記載の固体撮像装置。

[請求項6] 前記画素分離部は、酸化シリコン (SiO₂)、タングステン (W) 及びアルミニウム (Al) のうちの少なくとも1つを含む

請求項1に記載の固体撮像装置。

[請求項7] 前記画素内分離部は、前記半導体基板の前記第1面と反対側の第2面側に位置する上面の幅が前記第1面側に位置する底面の幅よりも狭い形状を有する

請求項1に記載の固体撮像装置。

[請求項8] 前記画素分離部は、前記第1領域間を光学的及び電氣的に分離し、
前記画素内分離部は、前記少なくとも2つの第2領域間を電氣的に分離する

請求項1に記載の固体撮像装置。

[請求項9] 前記画素分離部は、前記半導体基板と接する面に配置され、負の固定電荷を持つ固定電荷膜を含む

請求項1に記載の固体撮像装置。

[請求項10] 前記固定電荷膜は、ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、マグネシウム、イットリウム及びランタノイド元素の酸化物のうちの少なくとも1つを含む

請求項9に記載の固体撮像装置。

[請求項11] 半導体基板の第1面を行列状に配列する複数の第1領域に区画する画素分離部と、

前記第1領域それぞれを少なくとも2つの第2領域に分割し、前記少なくとも2つの第2領域のうちの1つに蓄積された電荷が他の少な

くとも1つに流れ込むためのオーバフローパス領域を備える画素内分離部と、

前記第2領域それぞれに配置された光電変換部と、

前記光電変換部それぞれに接続された転送トランジスタと、

を備え、

前記画素内分離部の少なくとも一部は、前記第1面と平行な面内では当該画素内分離部の中心に向かうほどポテンシャル障壁が高くなり、前記オーバフローパスから離れるほどポテンシャル障壁が高くなるように調整された不純物濃度プロファイルを備える

固体撮像装置。

[請求項12] 前記オーバフローパス領域は、前記第1面と平行な面内及び前記第1面と垂直な面内の両方において略均一となるように調整された不純物濃度プロファイルを備える

請求項11に記載の固体撮像装置。

[請求項13] 前記画素内分離部の少なくとも一部は、不純物濃度を段階的に制御することが可能なエピタキシャル成長技術 (Graded Epitaxial Technique) を用いて成膜されたエピタキシャル膜である

請求項11に記載の固体撮像装置。

[請求項14] 前記不純物は、前記光電変換部で発生する電荷とは逆極性を持つ不純物である

請求項11に記載の固体撮像装置。

[請求項15] 前記不純物は、前記光電変換部で発生する電荷に対して高いポテンシャルエネルギーを持つ不純物である

請求項11に記載の固体撮像装置。

[請求項16] 前記画素内分離部の少なくとも一部は、前記半導体基板に含まれる不純物の極性とは逆極性を持つ不純物を含む半導体層である

請求項11に記載の固体撮像装置。

[請求項17] 前記画素内分離部の少なくとも一部は、炭素 (C)、シリコン (S

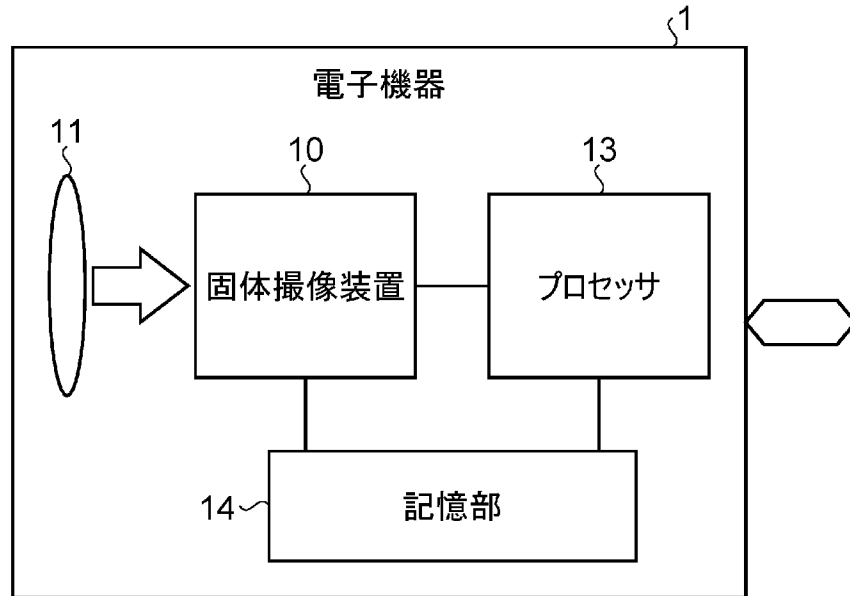
i)、ゲルマニウム(Ge)及びスズ(Sn)のうちの少なくとも1つで構成されるⅢⅤ族半導体、及び、ホウ素(B)、アルミニウム(Al)、ガリウム(Ga)、インジウム(In)、窒素(N)、リン(P)、ヒ素(As)及びアンチモン(Sb)のうちの少なくとも2つで構成されるⅢⅢⅢ-Ⅴ族半導体のうちの少なくとも1つを含む請求項11に記載の固体撮像装置。

[請求項18] 前記ポテンシャル障壁は、バンドオフセットにより形成されている請求項11に記載の固体撮像装置。

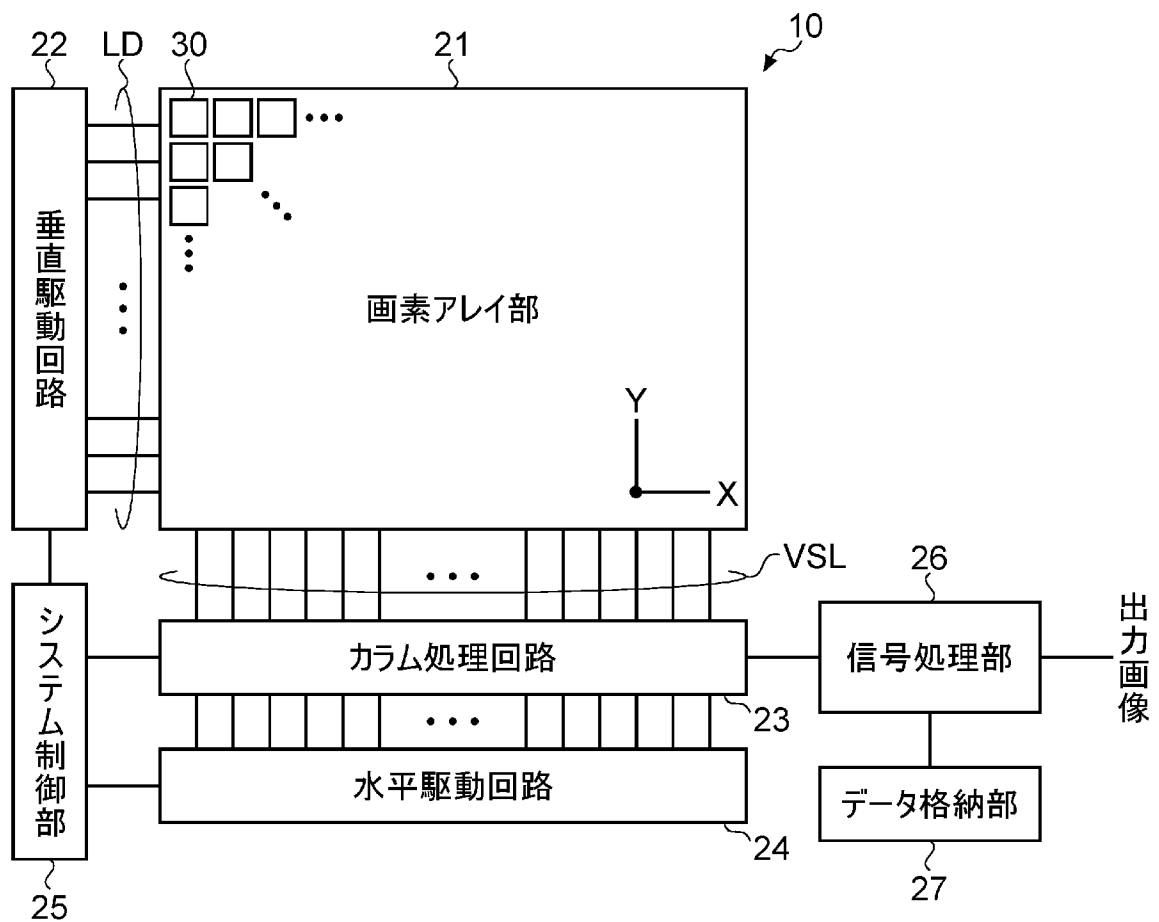
[請求項19] 前記画素内分離部の他の少なくとも一部は、前記画素分離部と同じ層構造を備える請求項11に記載の固体撮像装置。

[請求項20] 請求項1に記載の固体撮像装置と、前記固体撮像装置から出力された画像データに対して所定の処理を実行するプロセッサと、を備える電子機器。

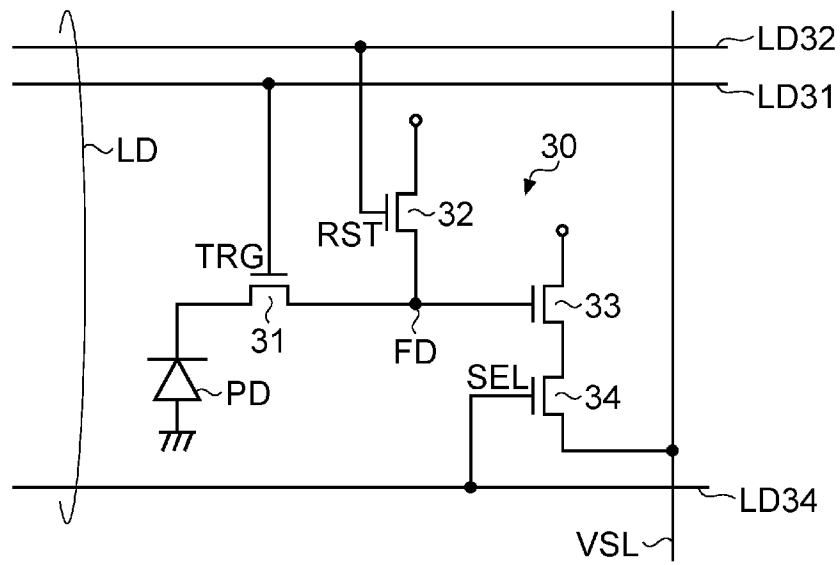
[図1]



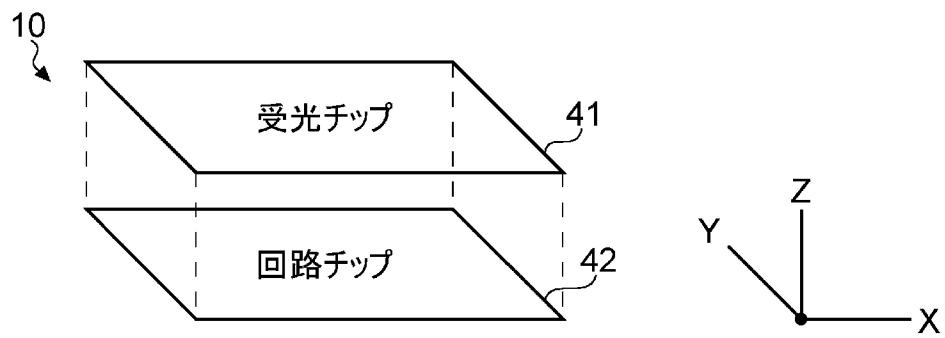
[図2]



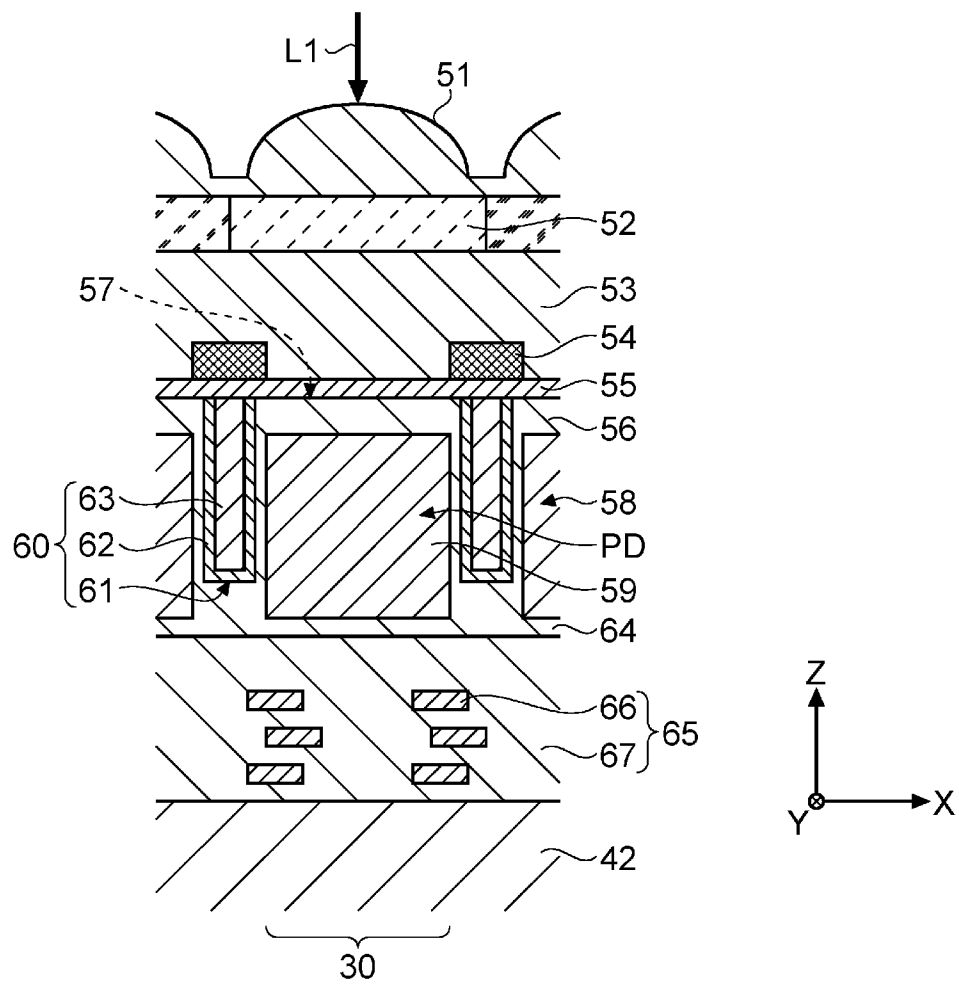
[図3]



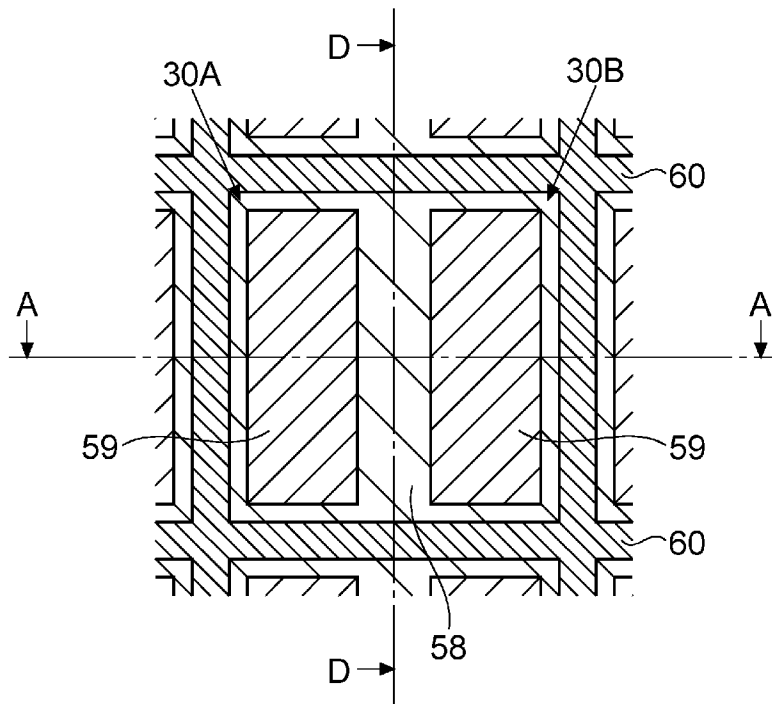
[図4]



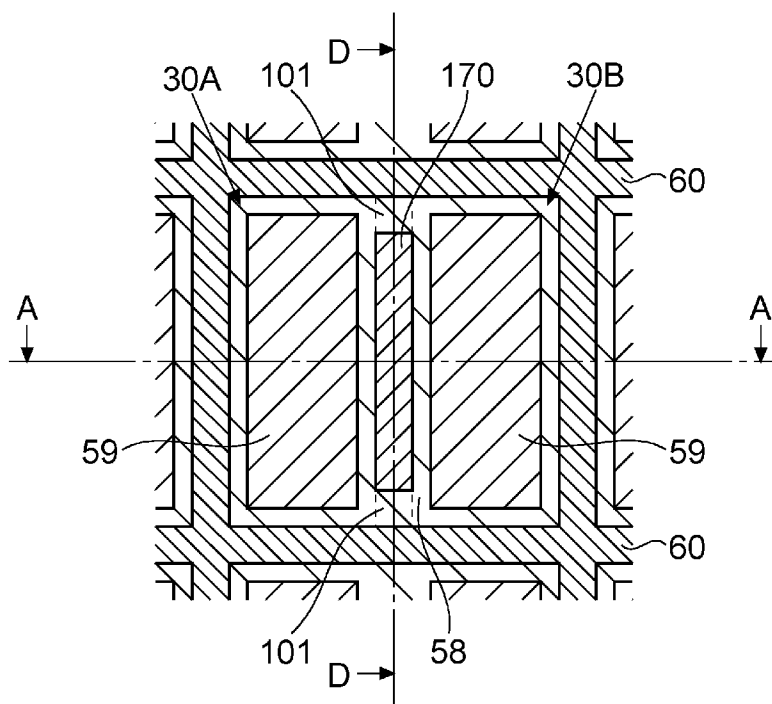
[図5]



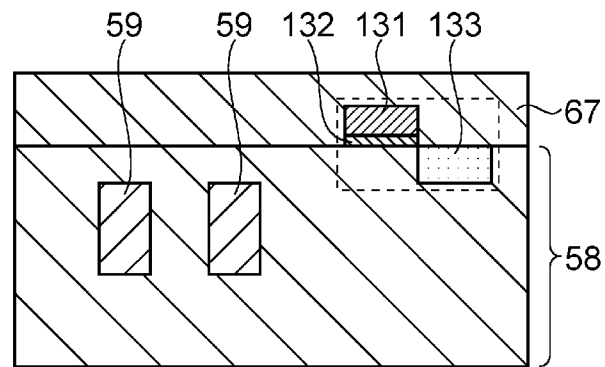
[図8]



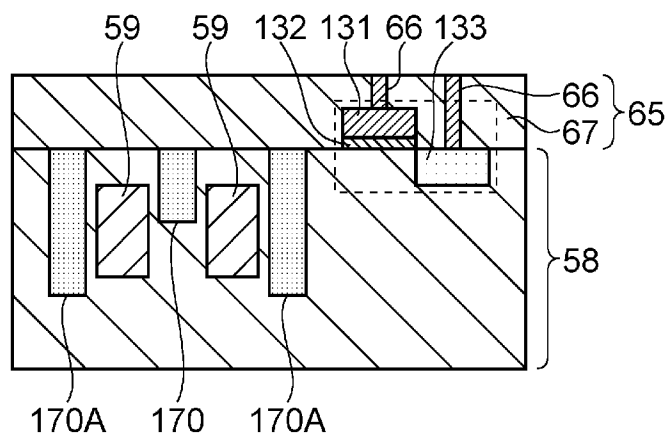
[図9]



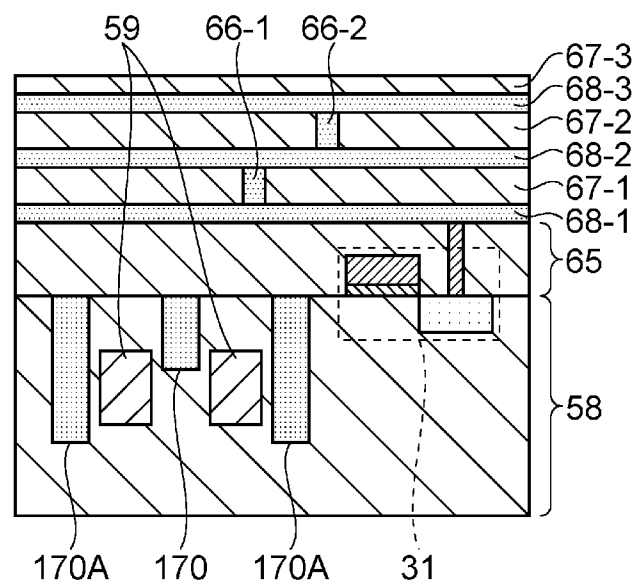
[図10]



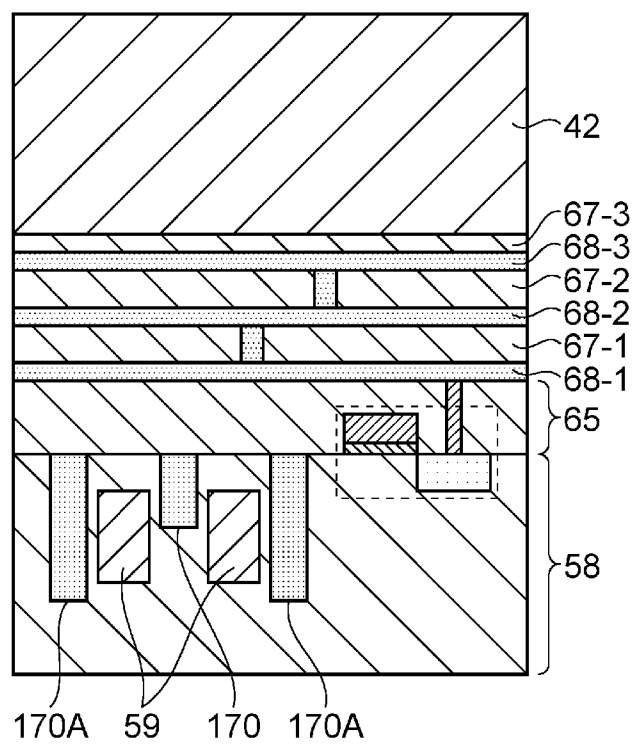
[図11]



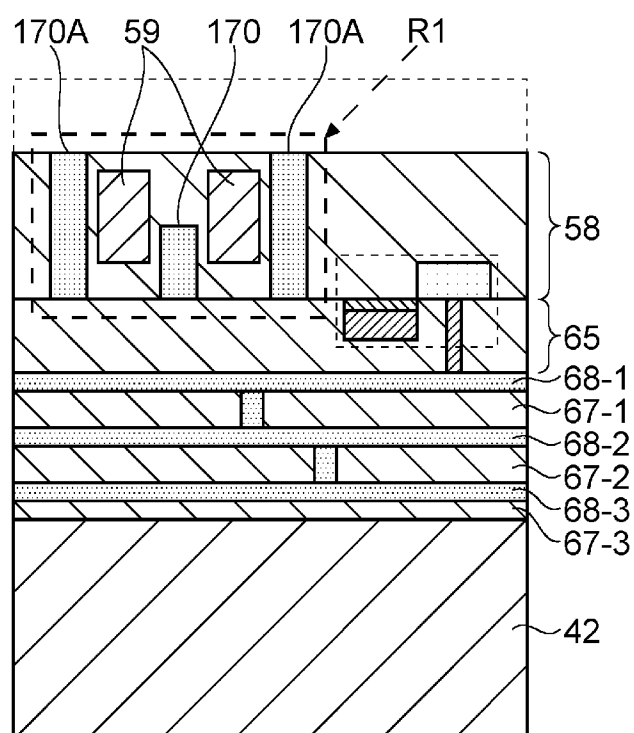
[図12]



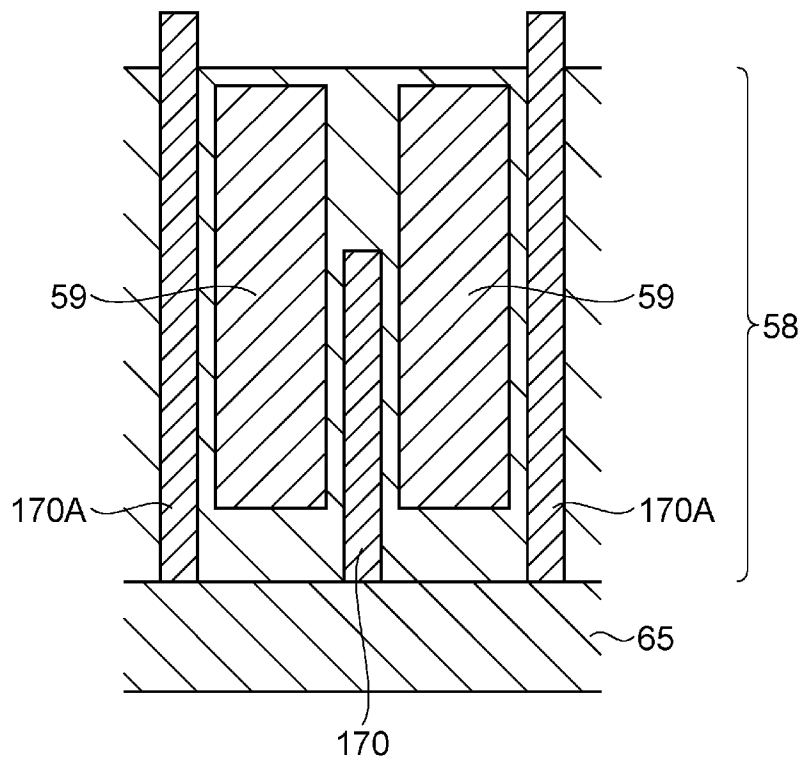
[図13]



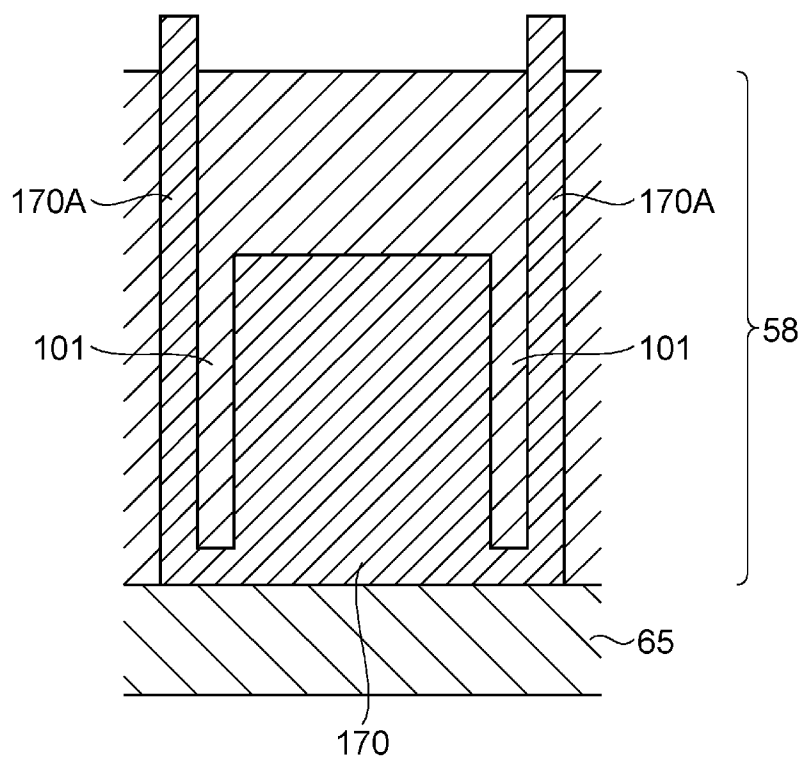
[図14]



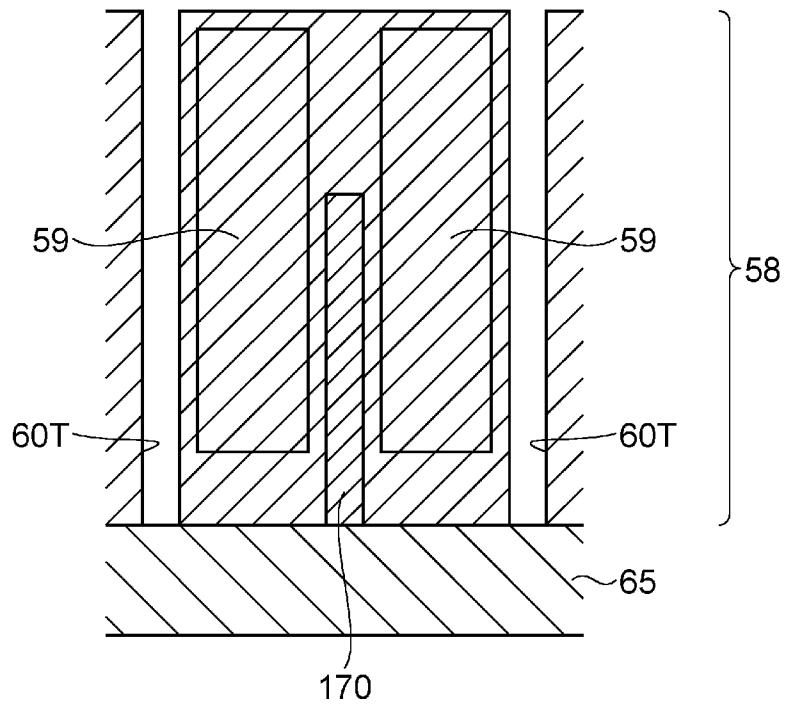
[図15]



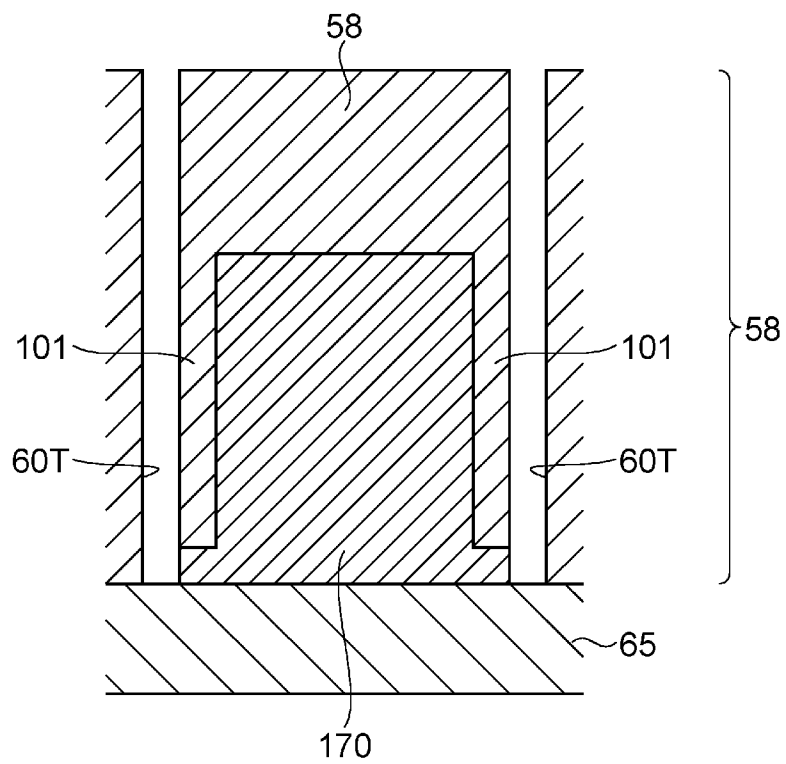
[図16]



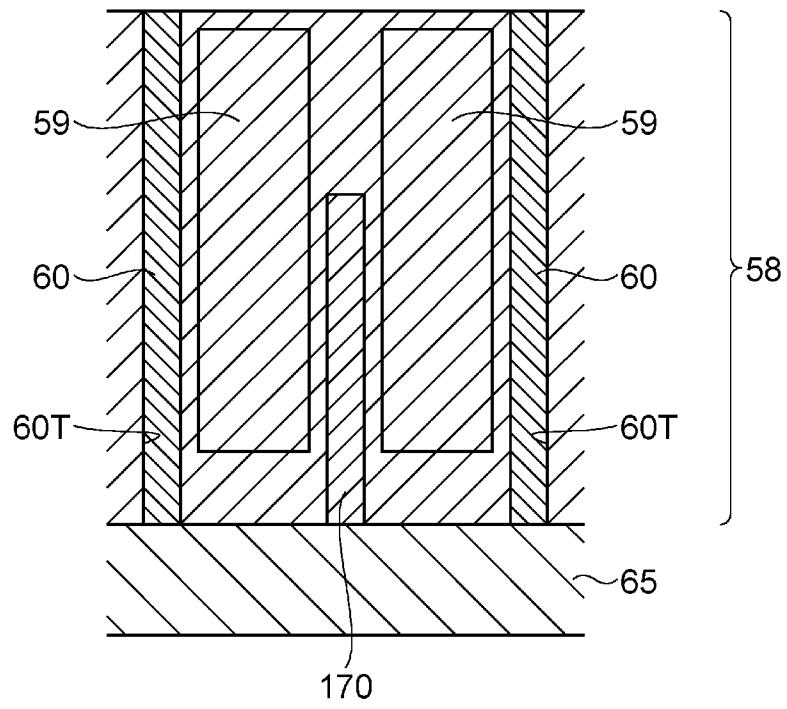
[図17]



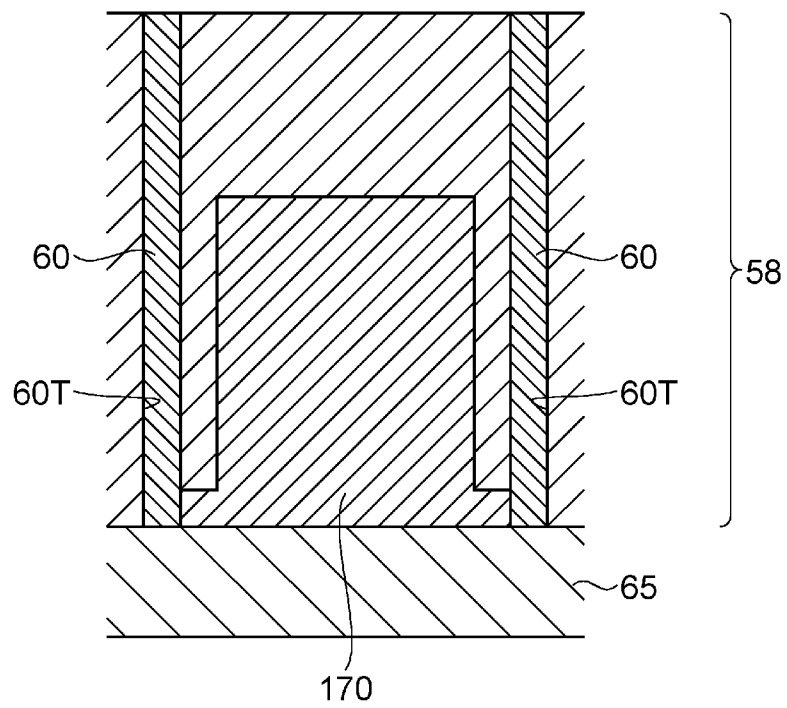
[図18]



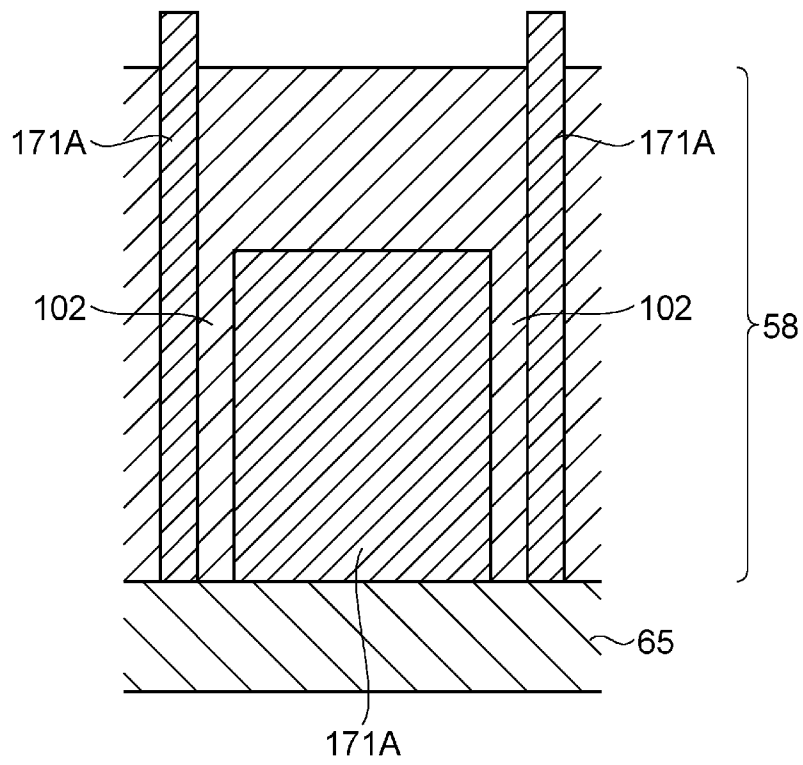
[図19]



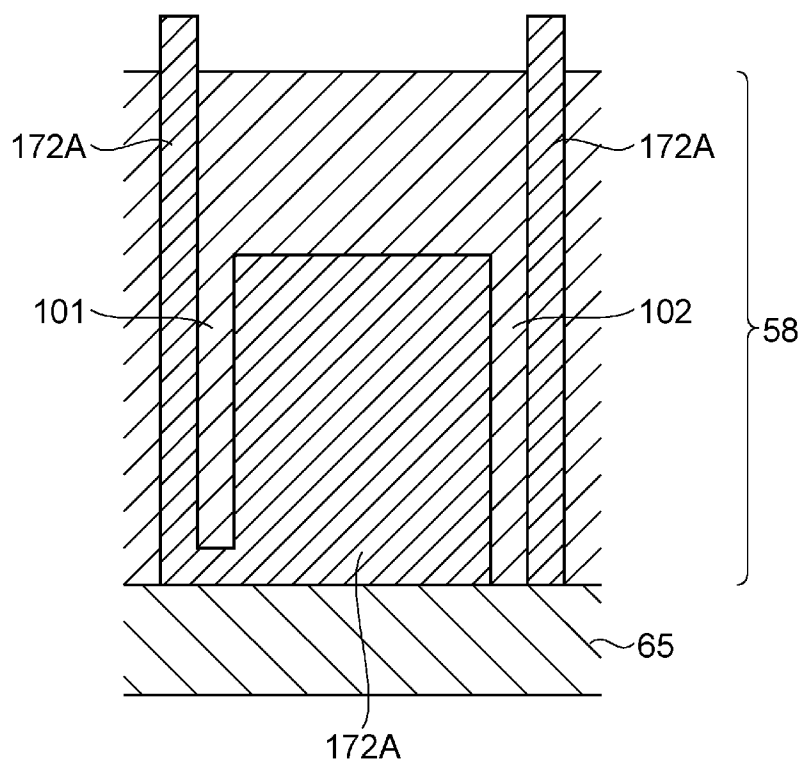
[図20]



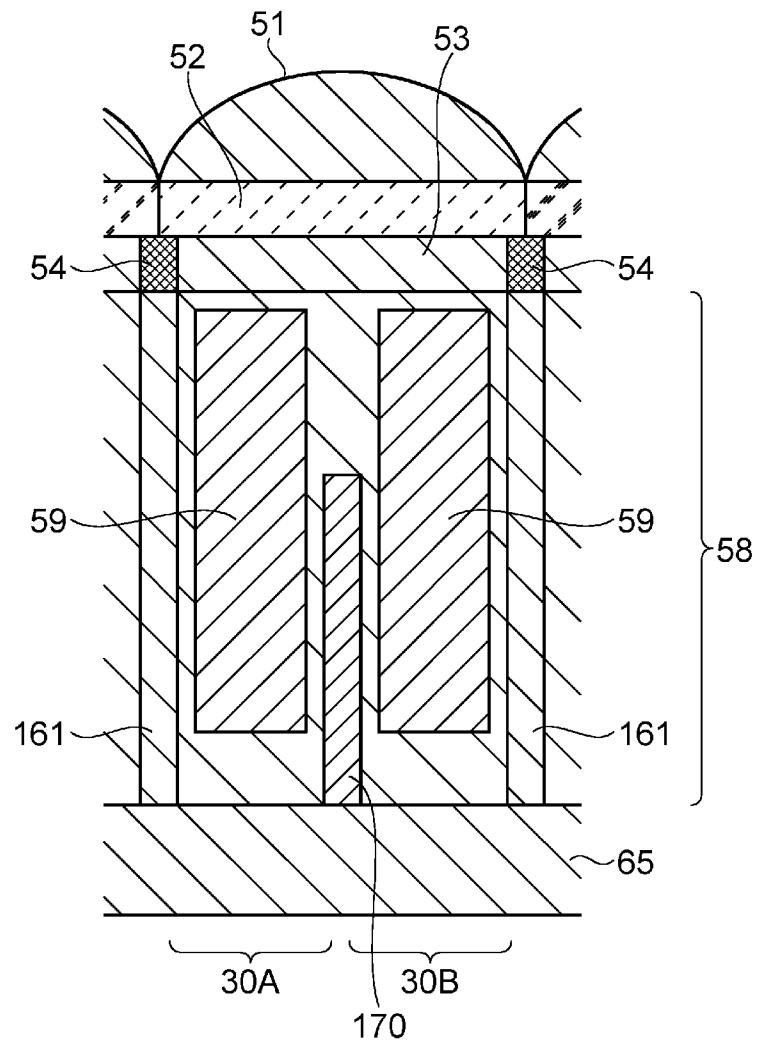
[図21]



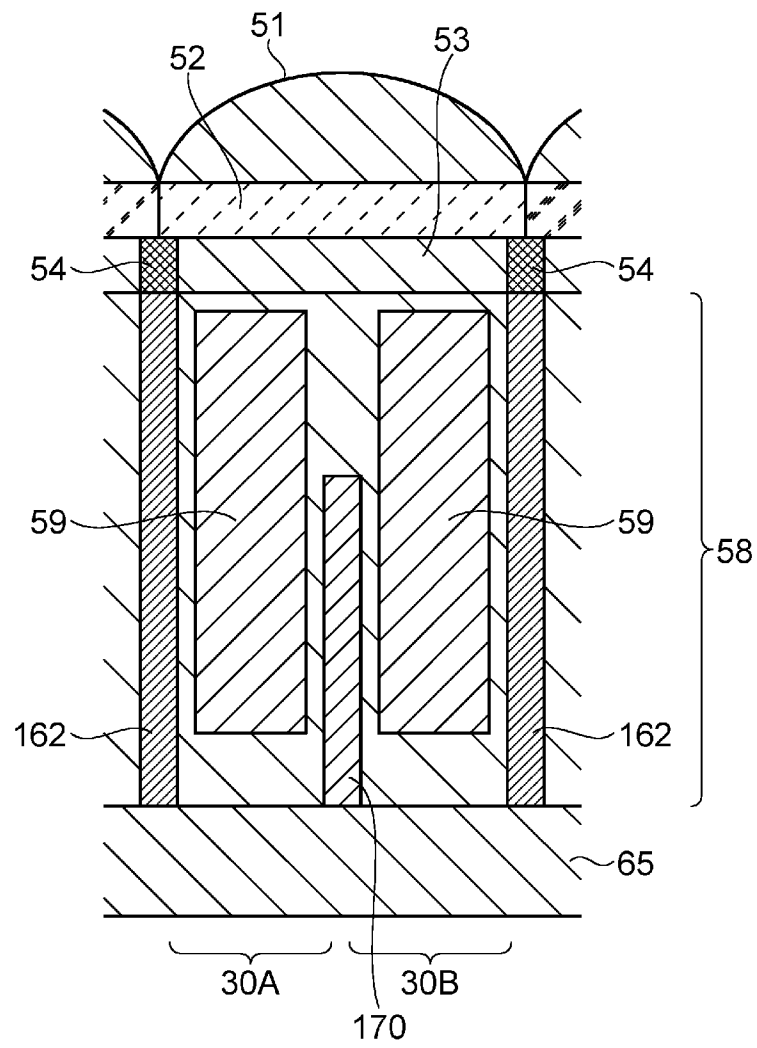
[図22]



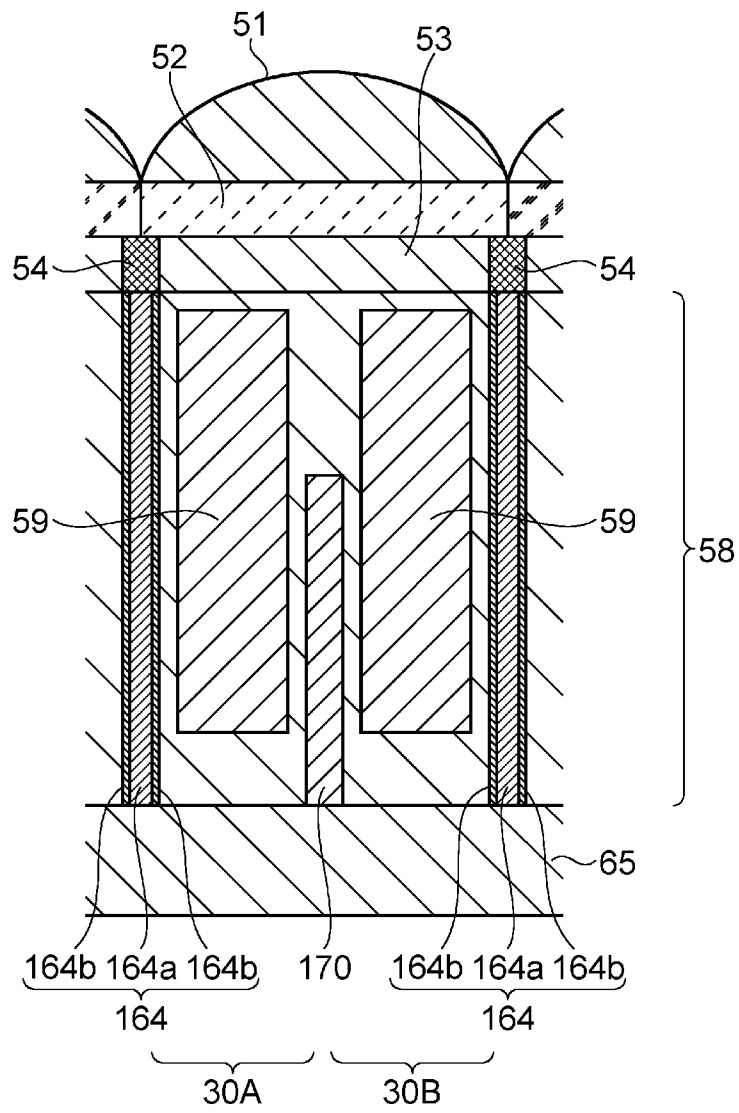
[図23]



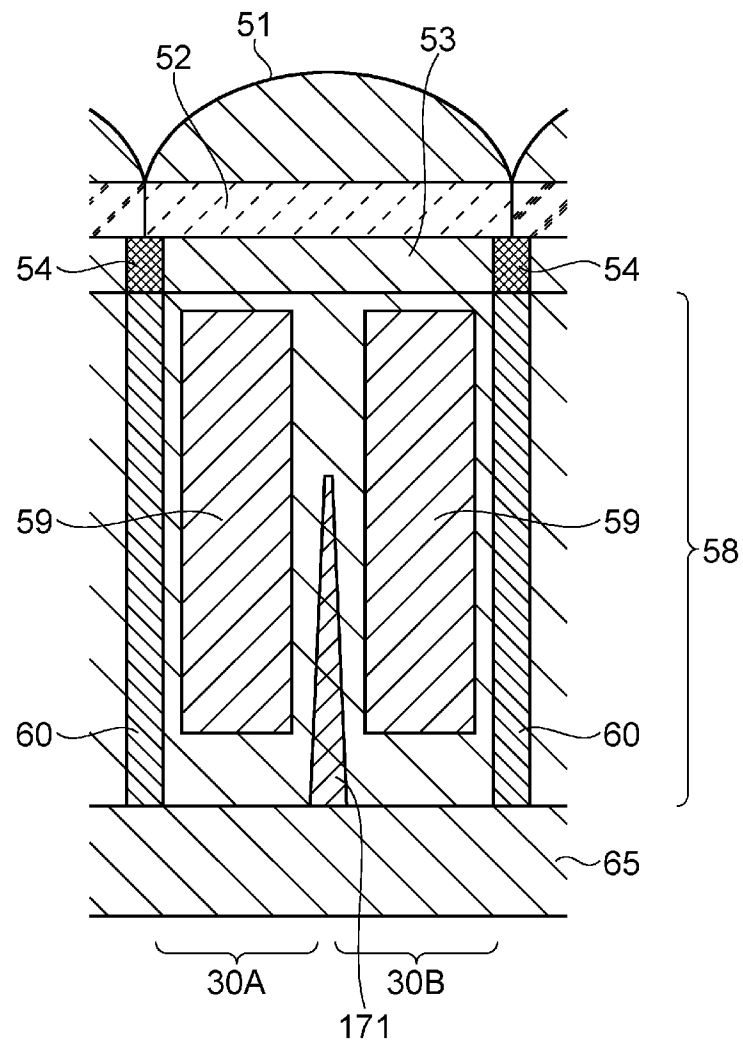
[図24]



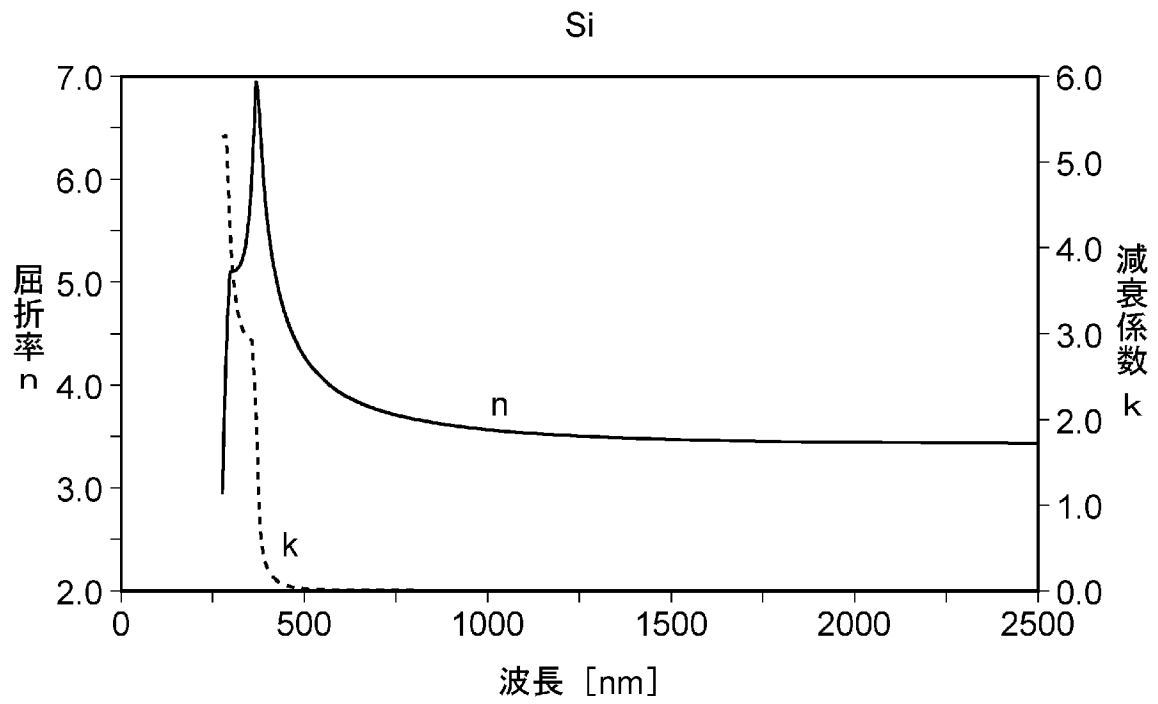
[図26]



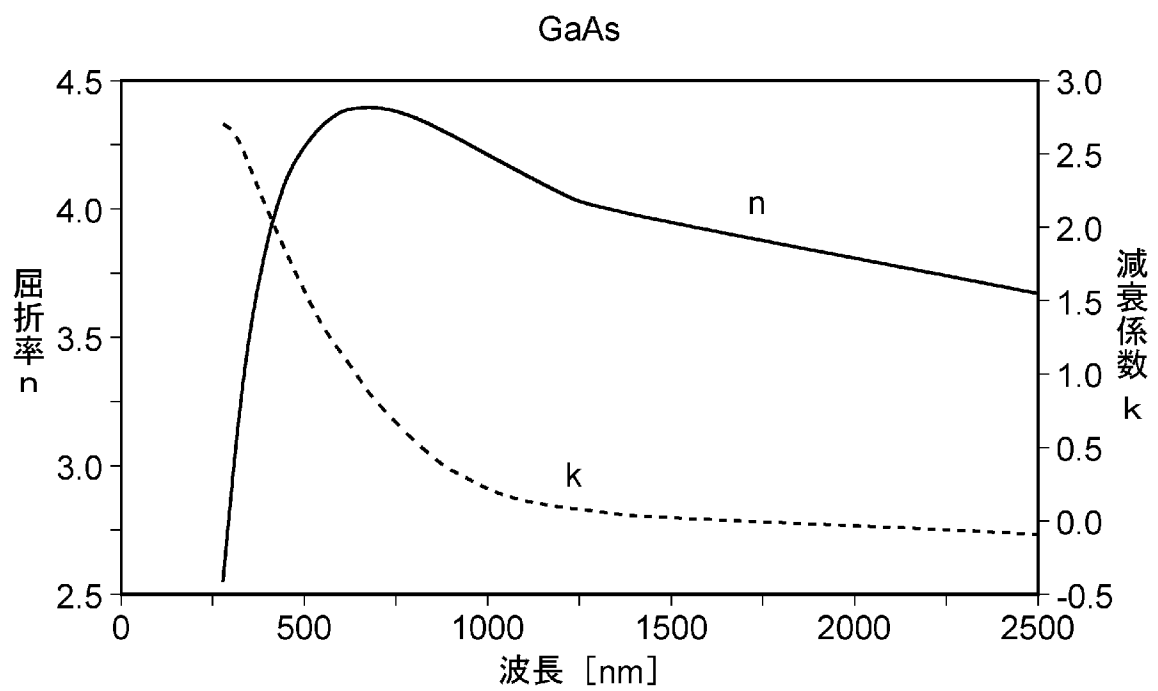
[図27]



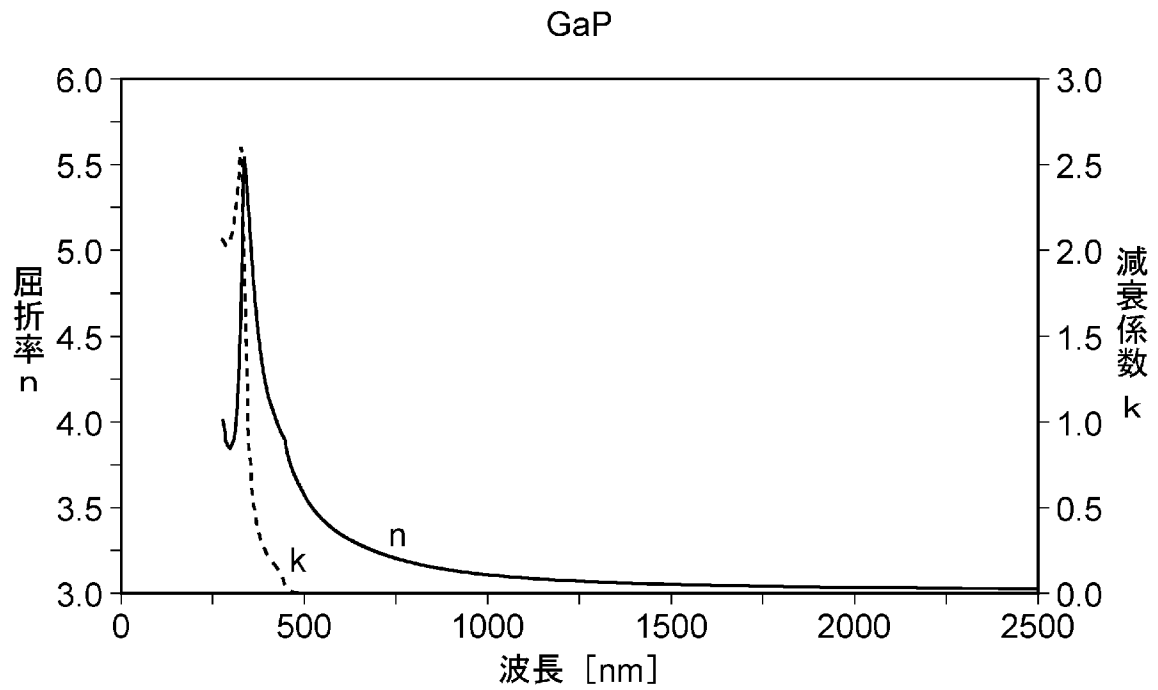
[図28]



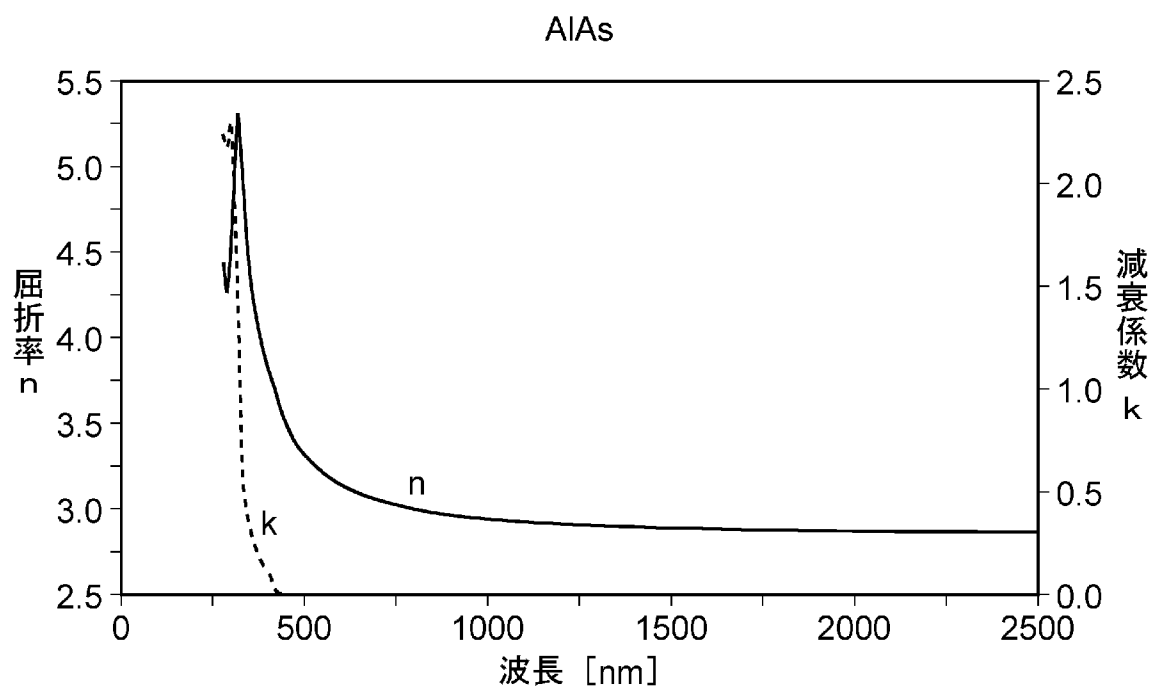
[図29]



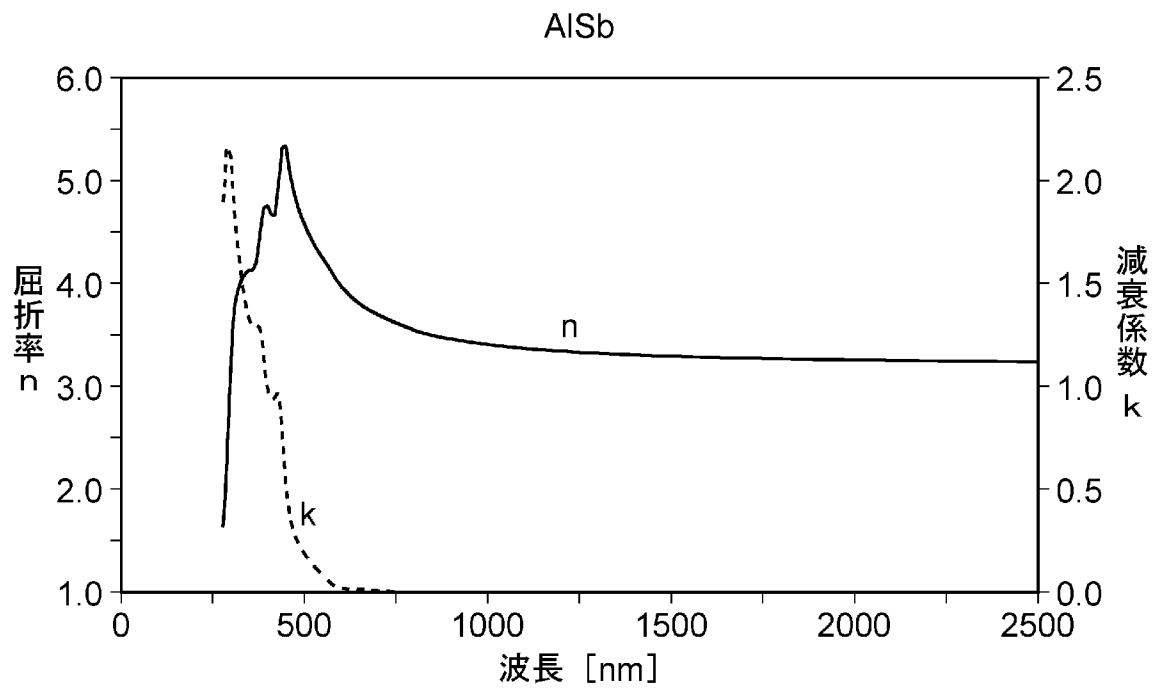
[図30]



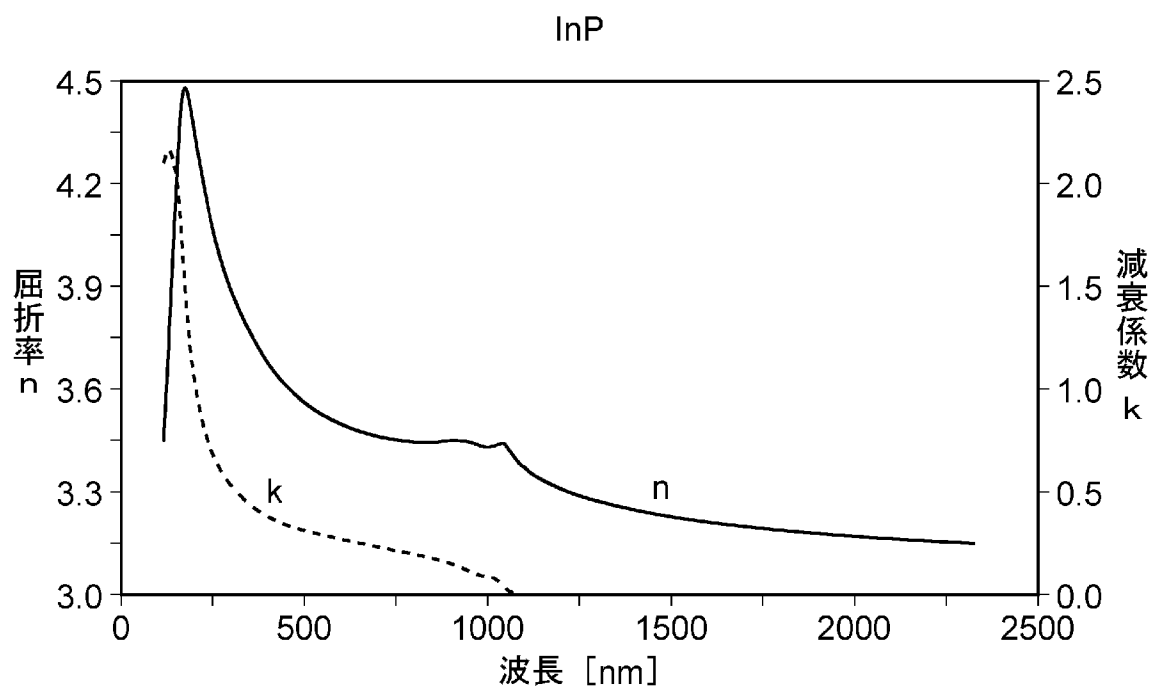
[図31]



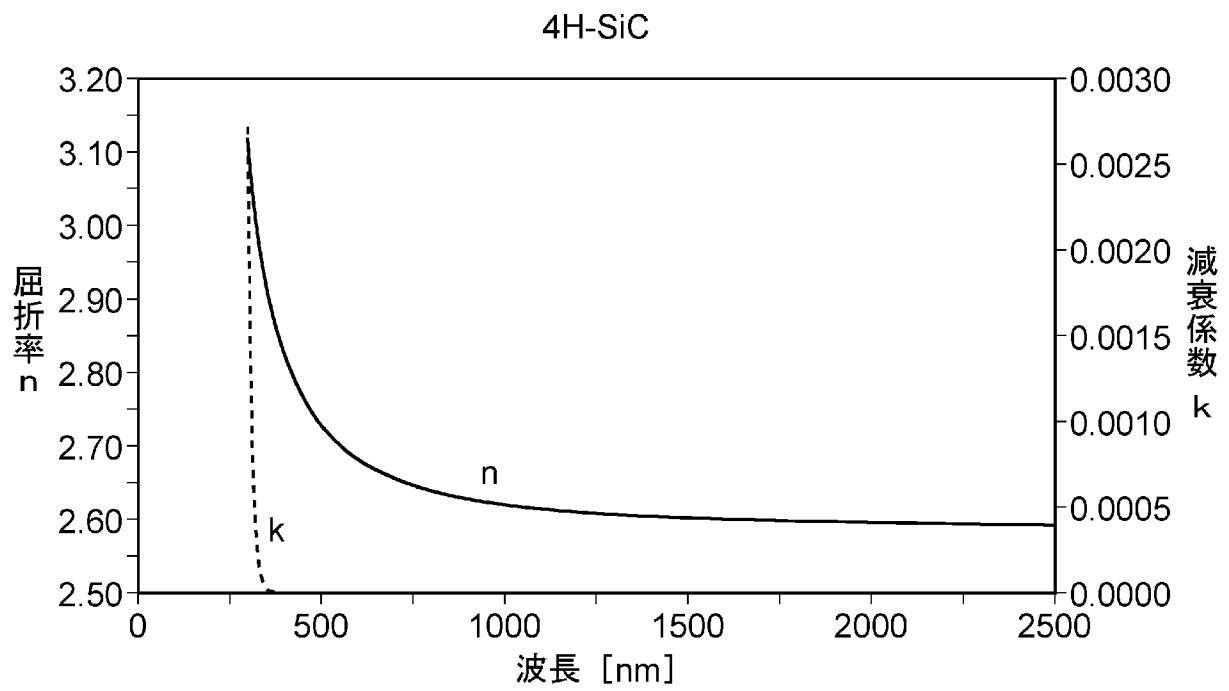
[図32]



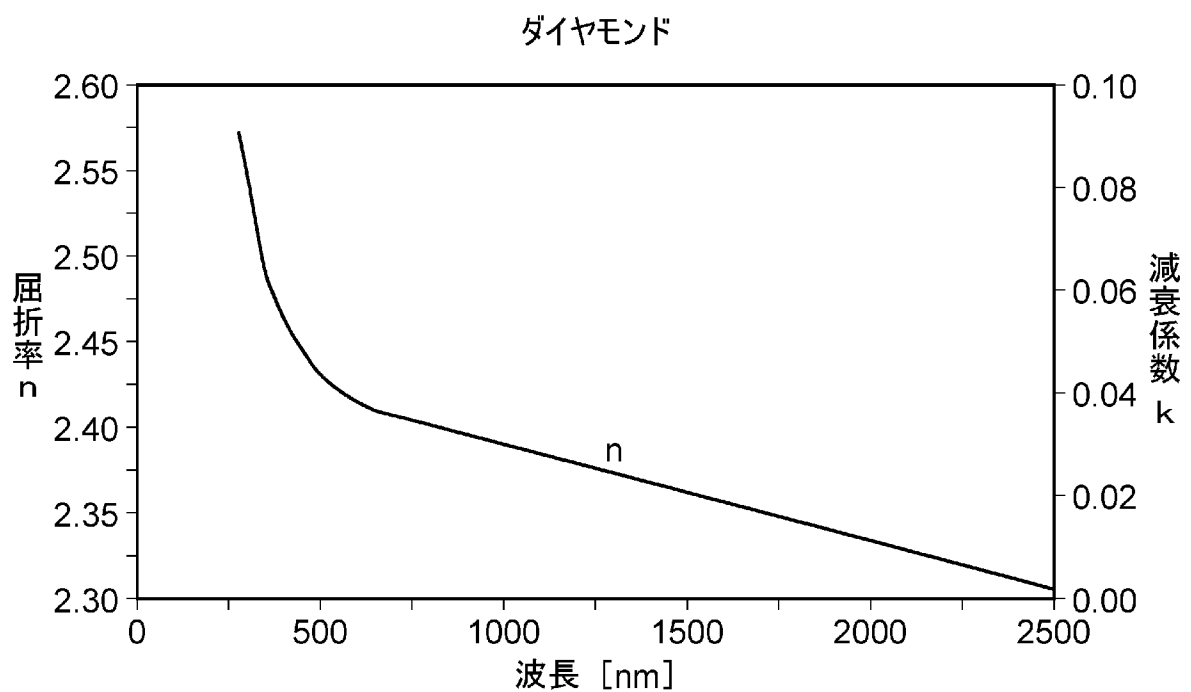
[図33]



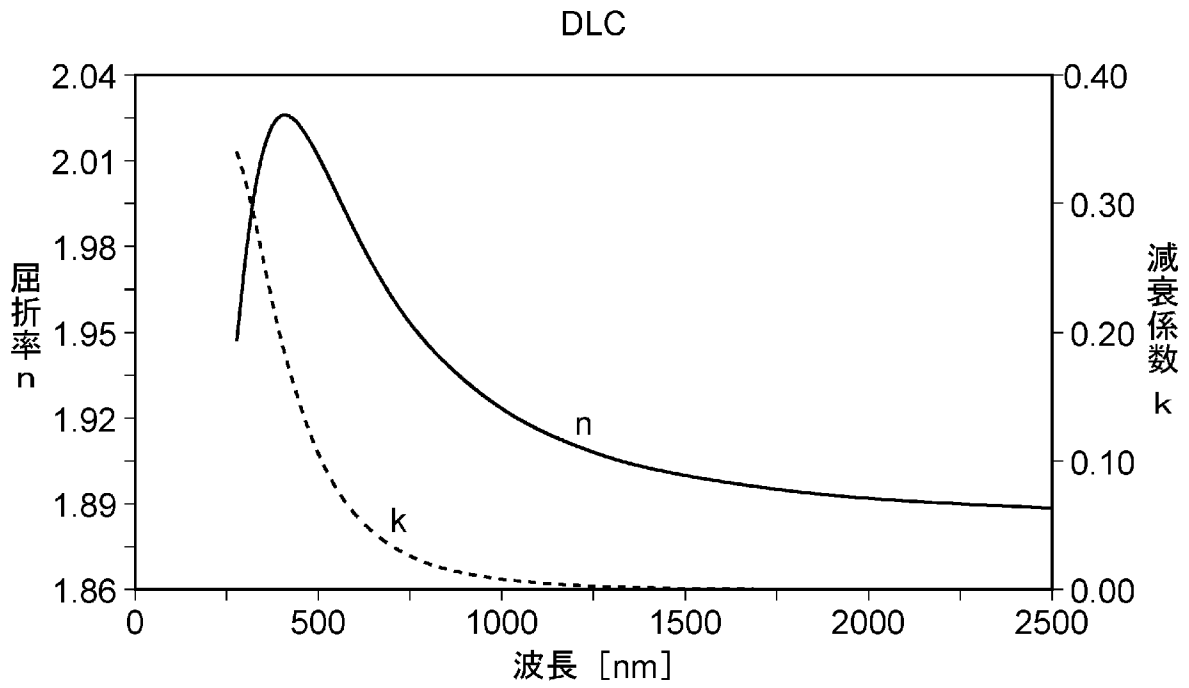
[図34]



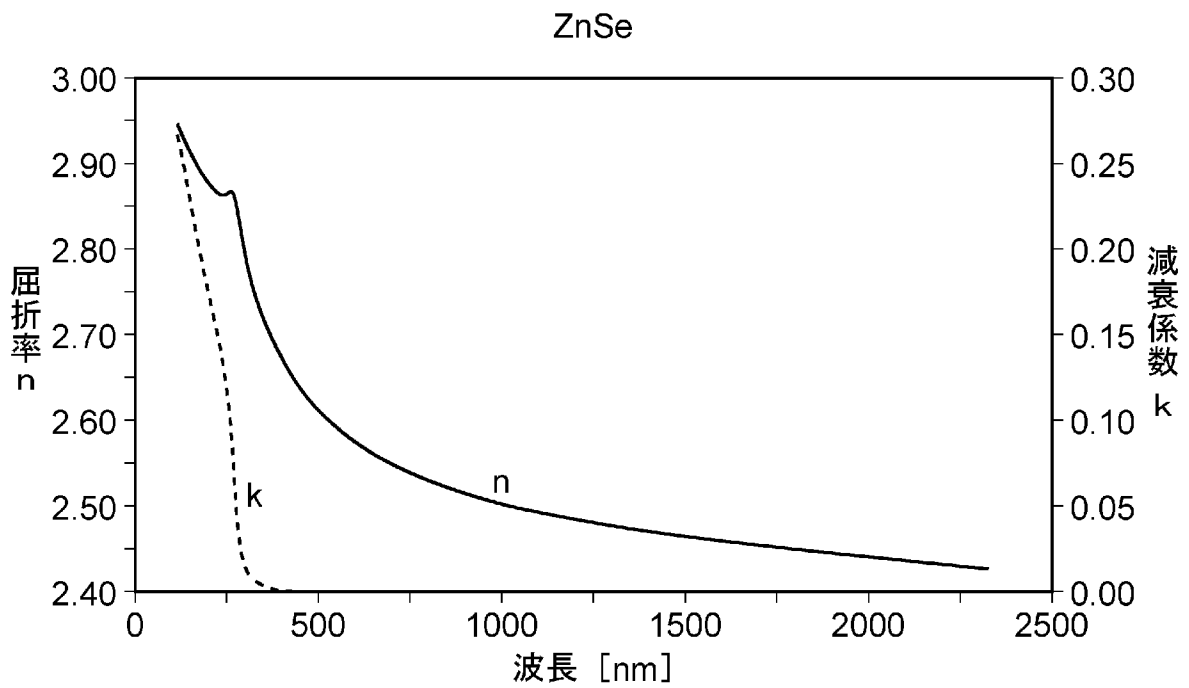
[図35]



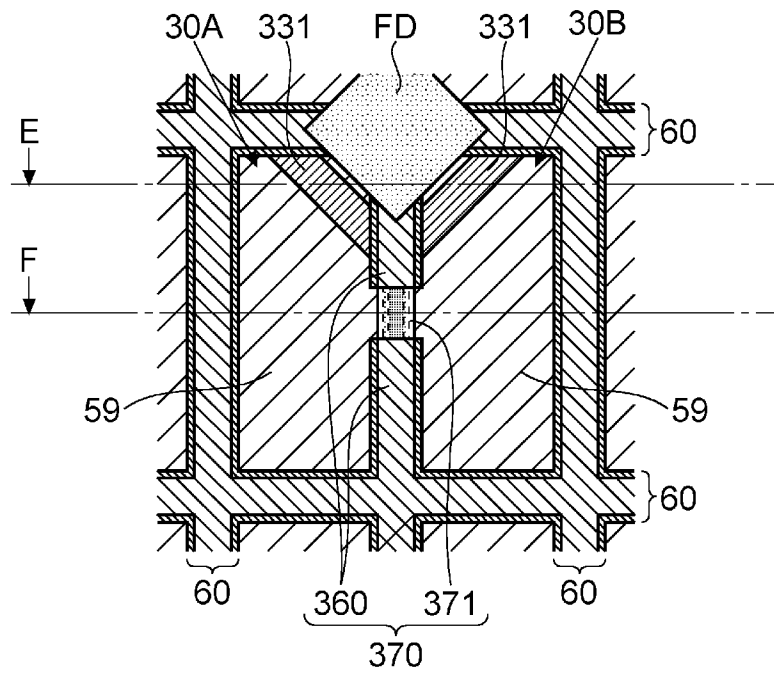
[図36]



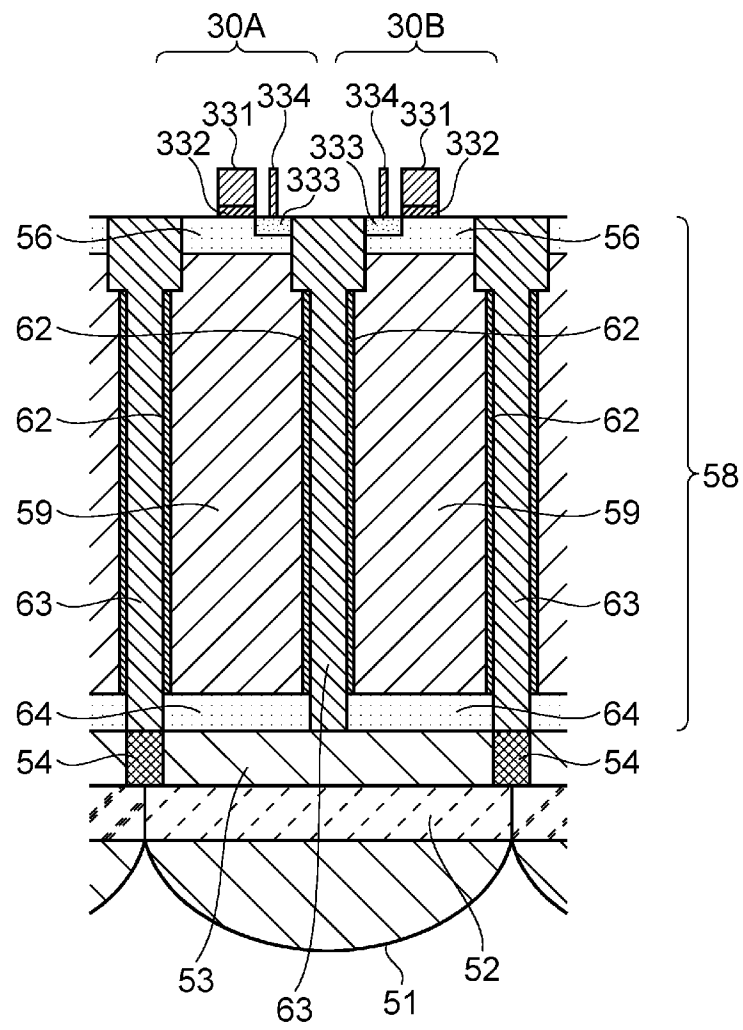
[図37]



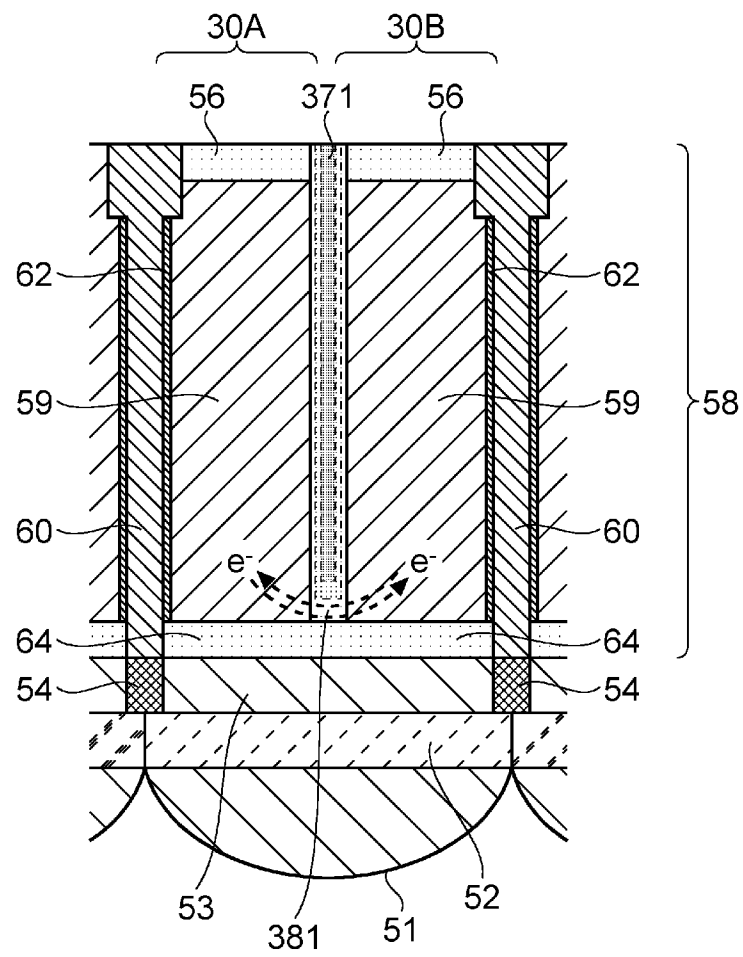
[図38]



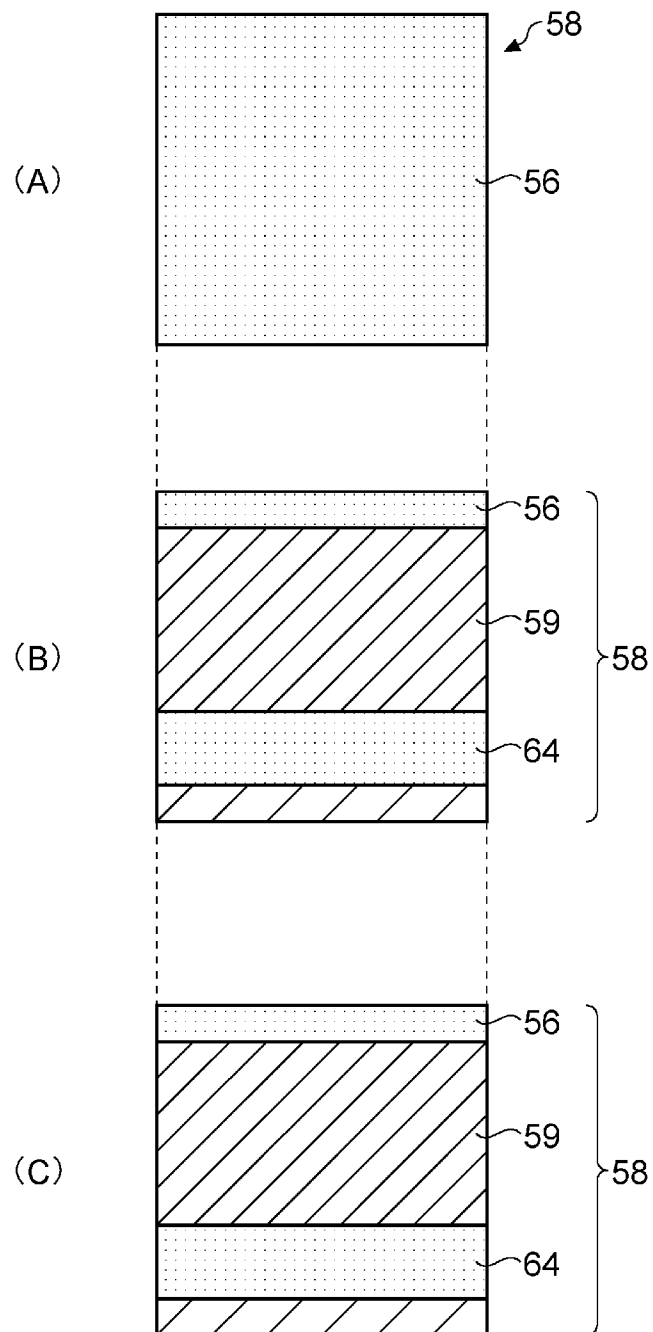
[図39]



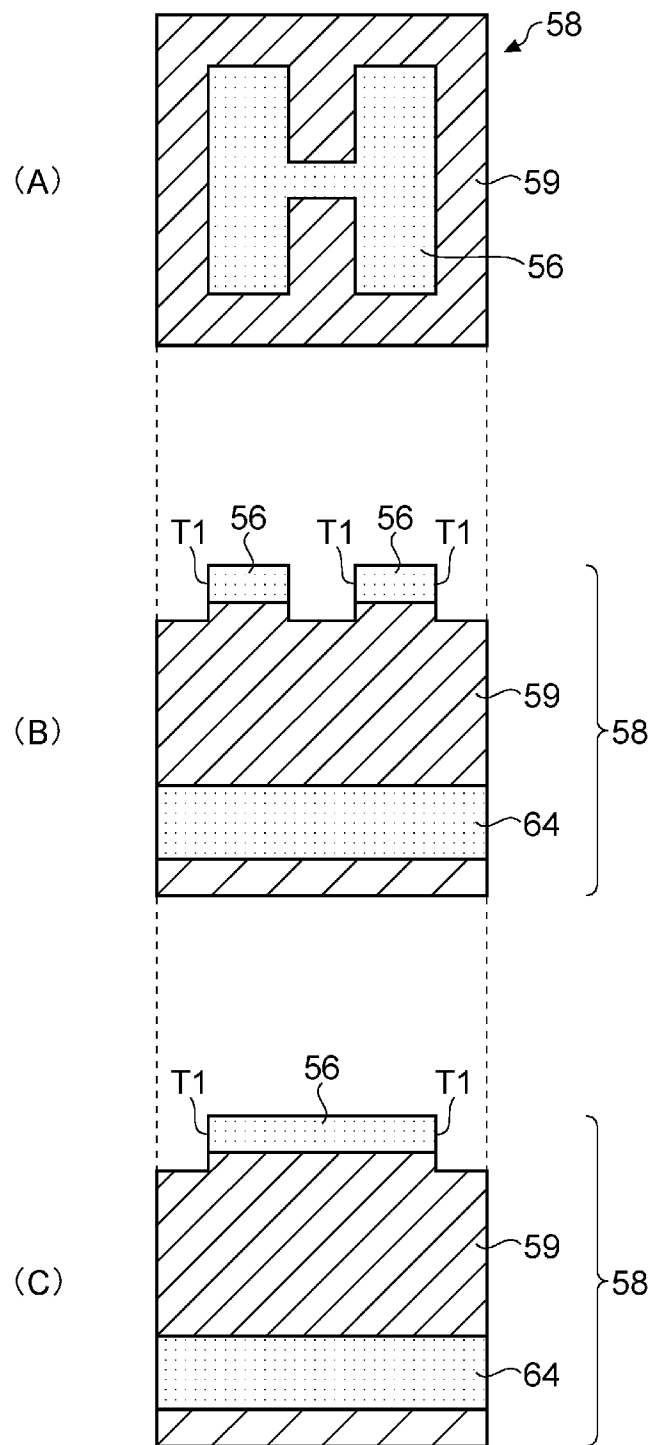
[図40]



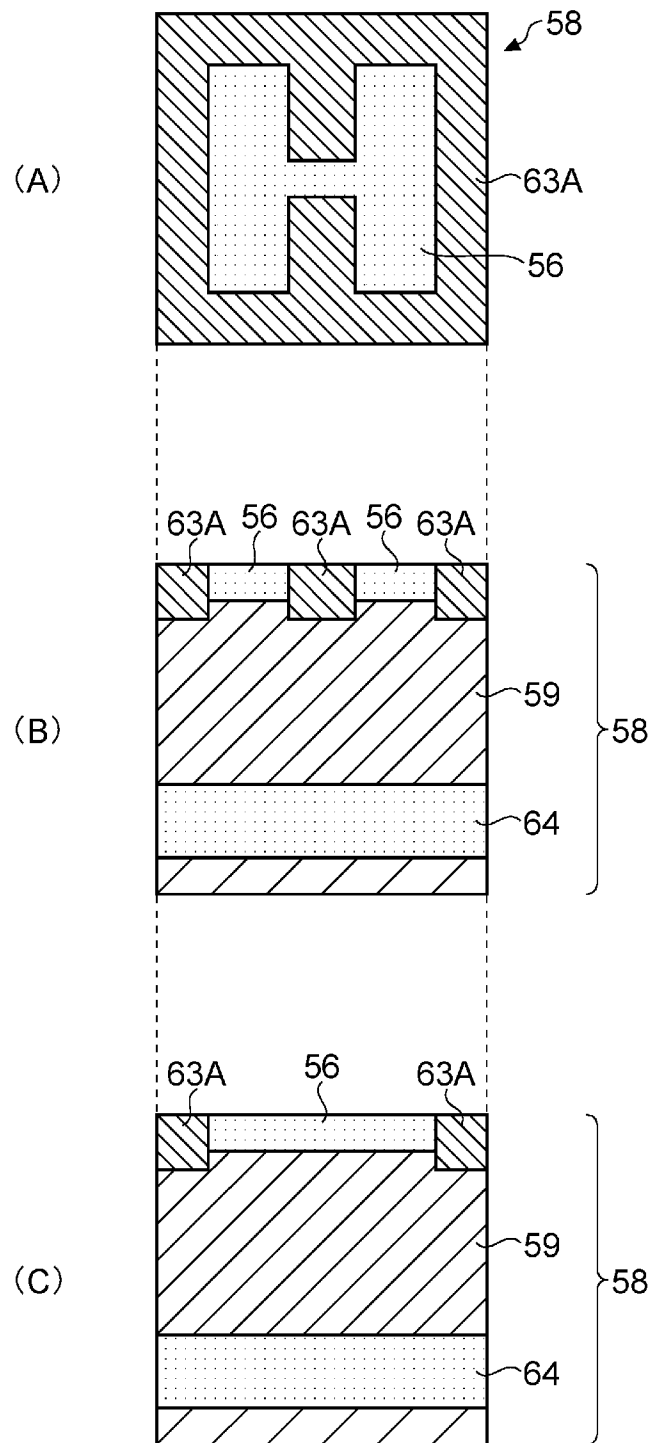
[図41]



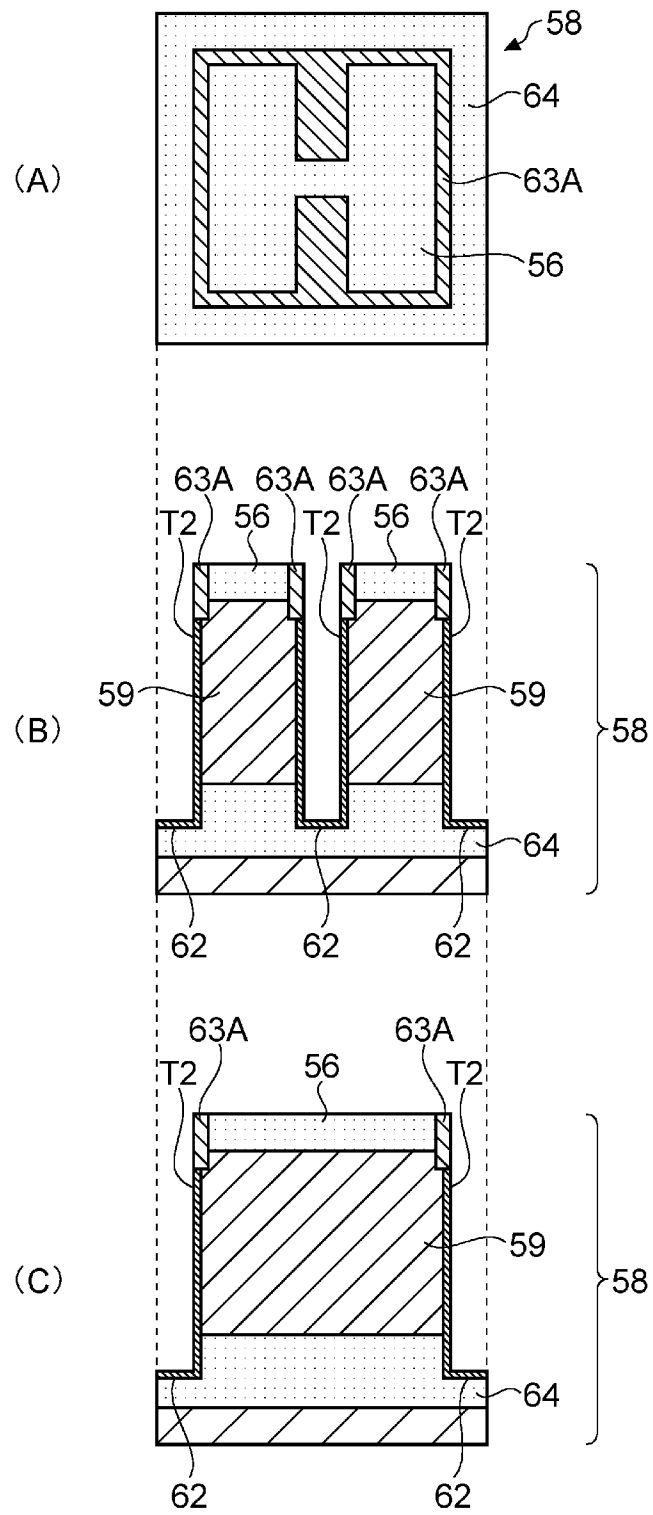
[図42]



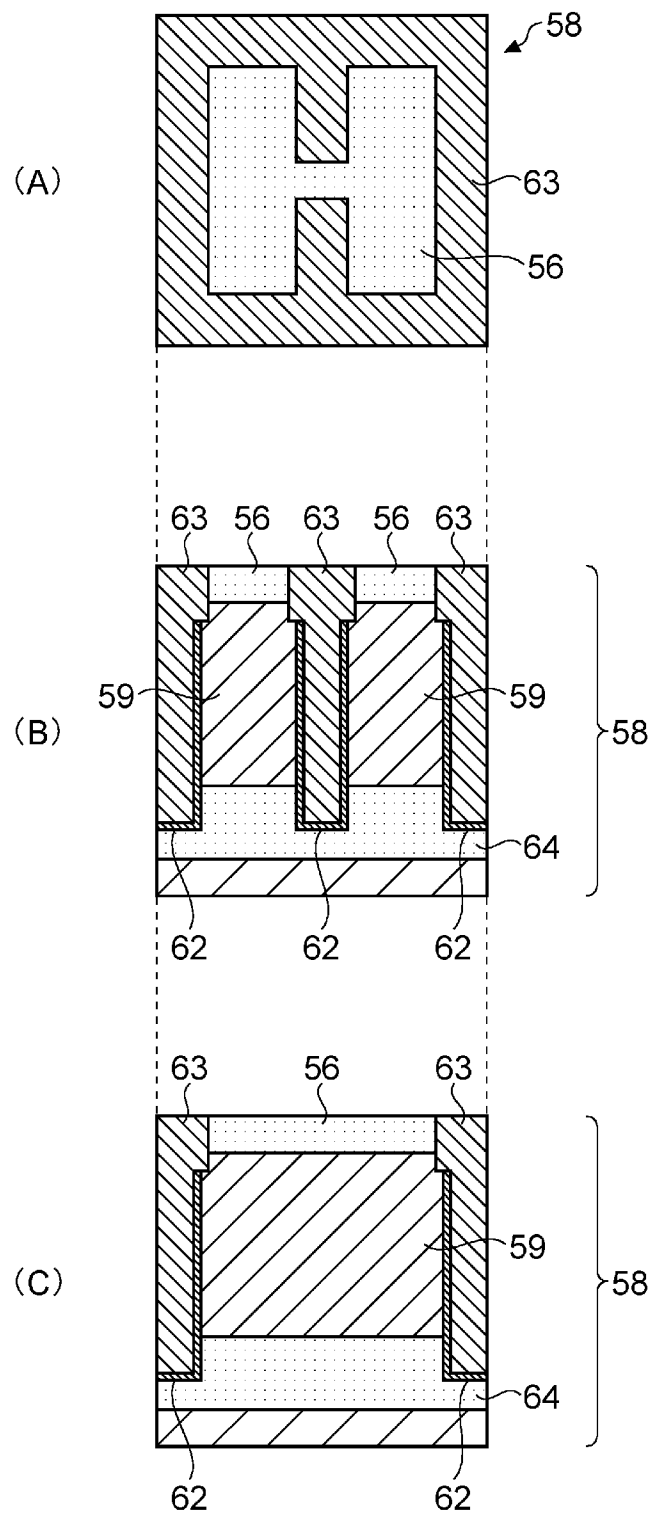
[図43]



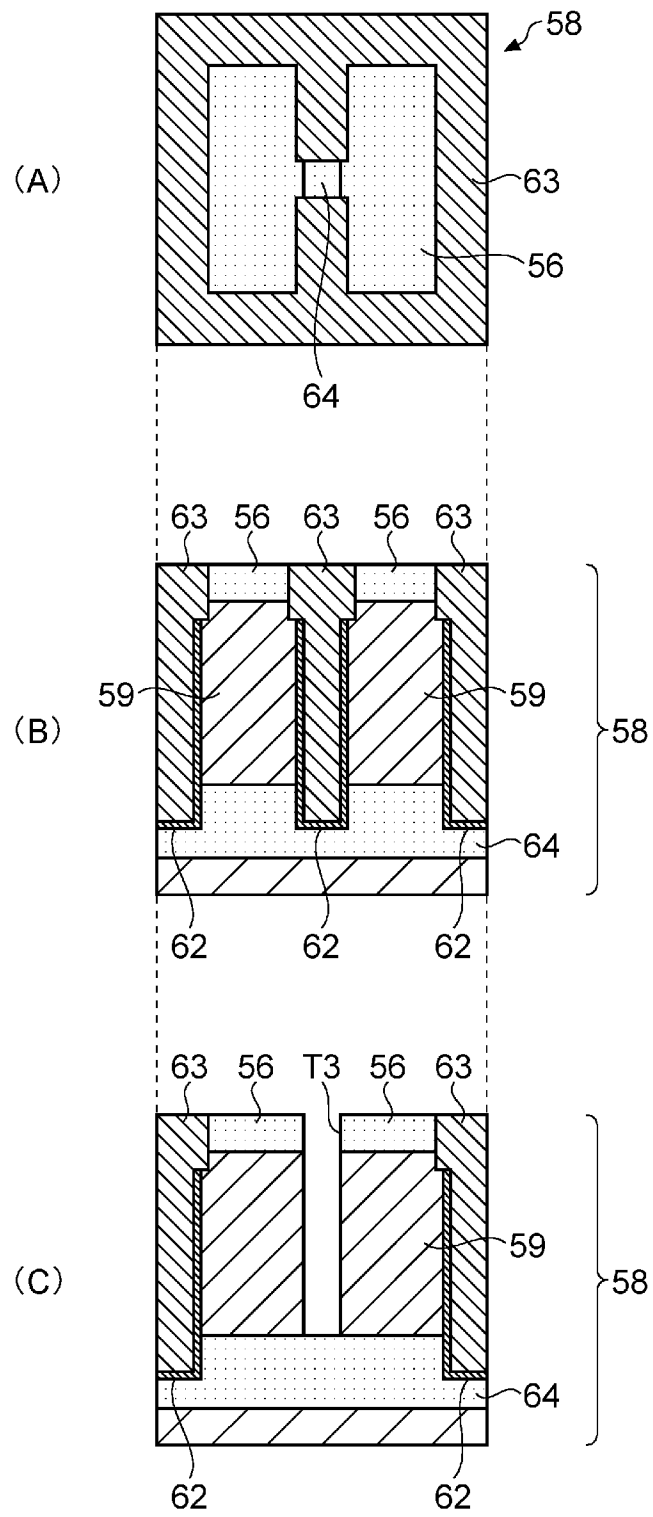
[図44]



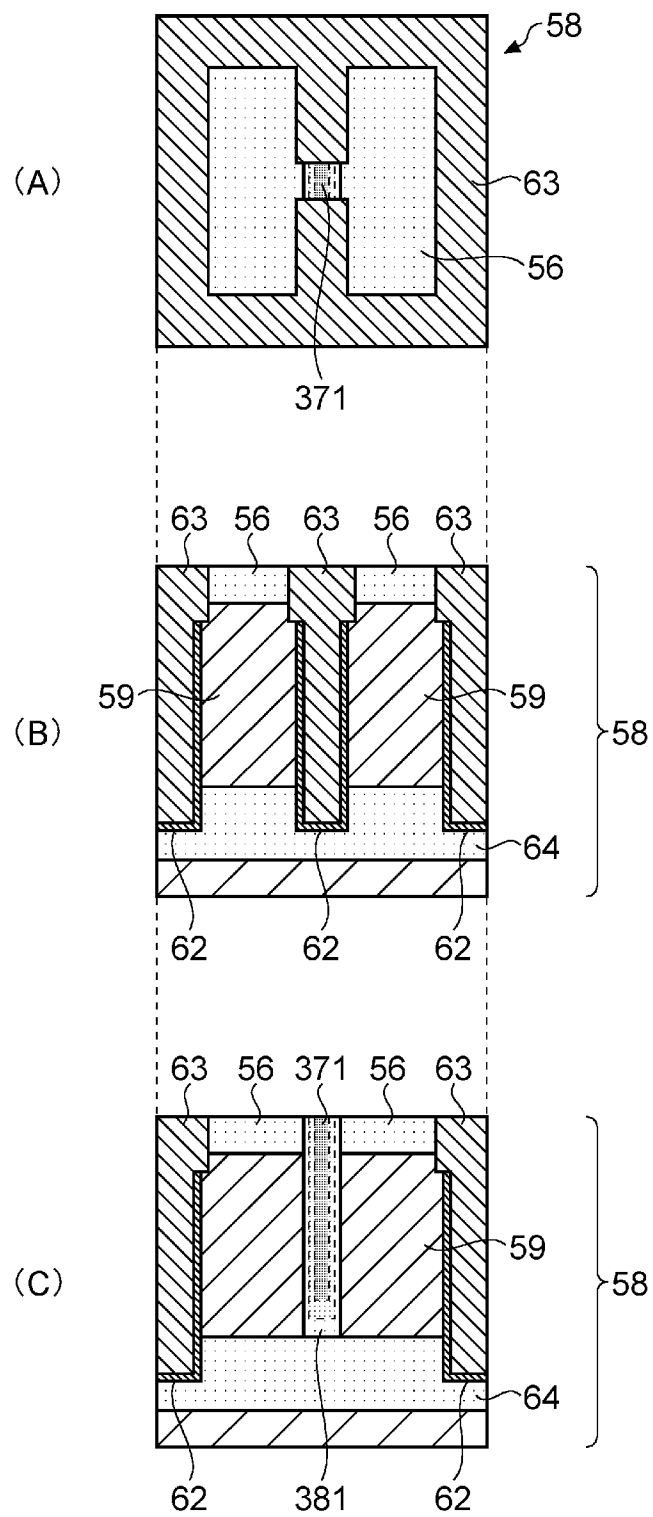
[図45]



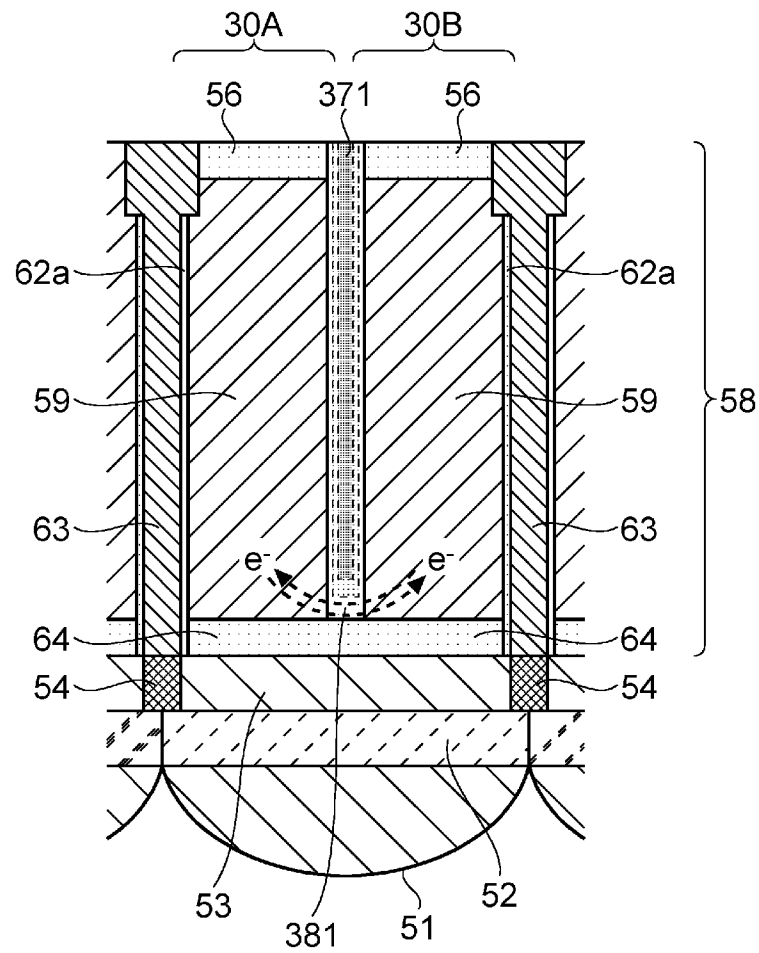
[図46]



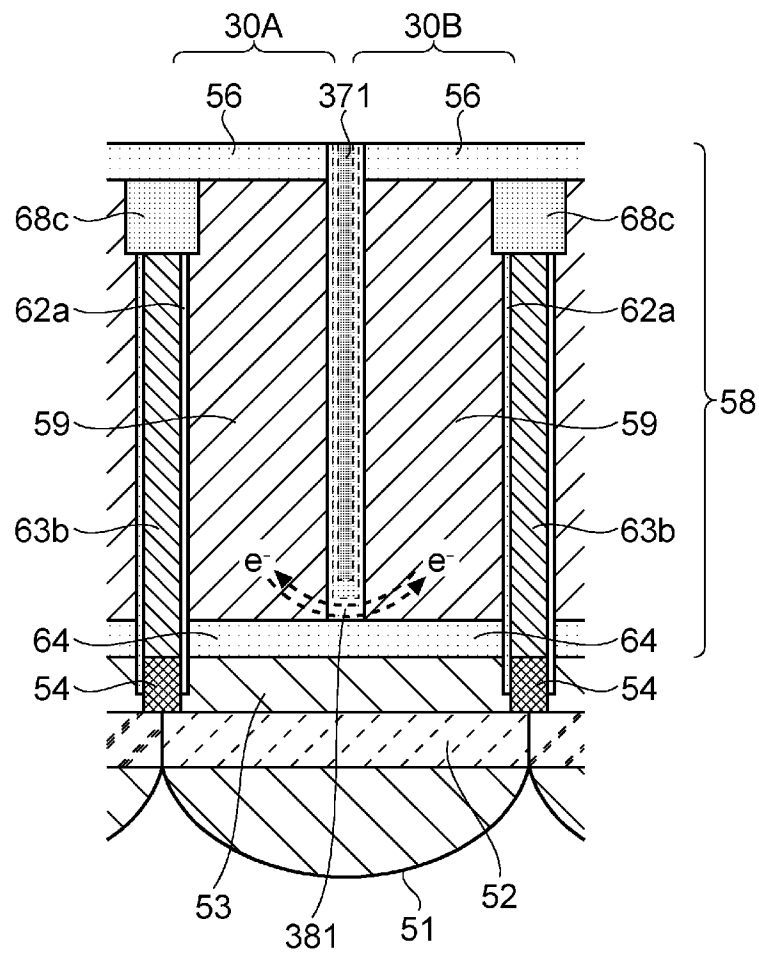
[図47]



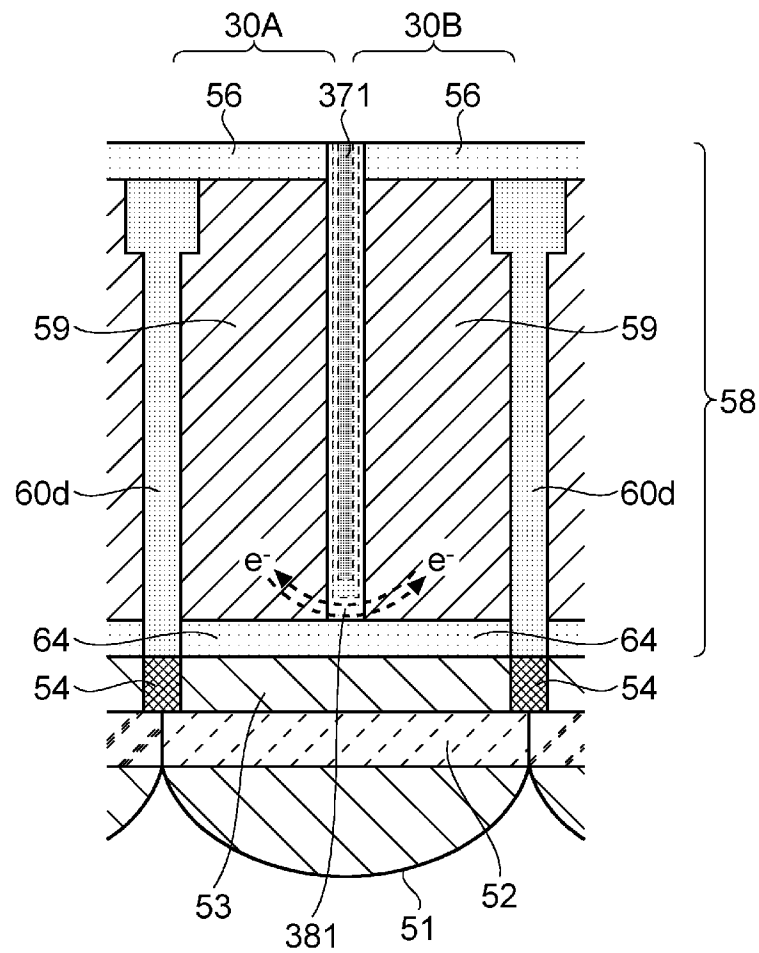
[図48]



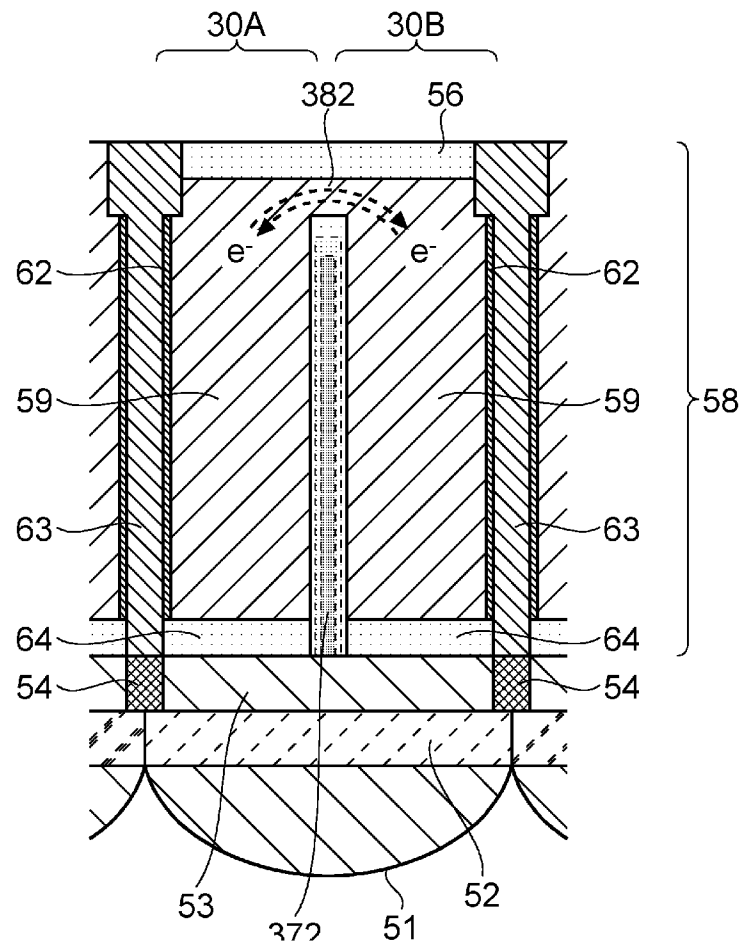
[図50]



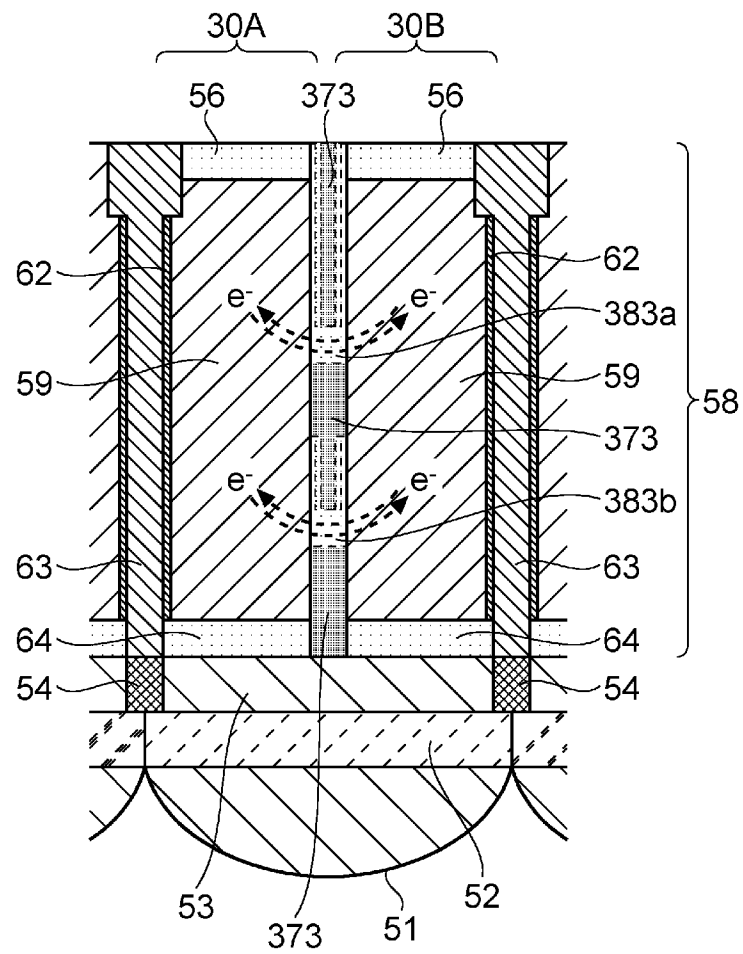
[図51]



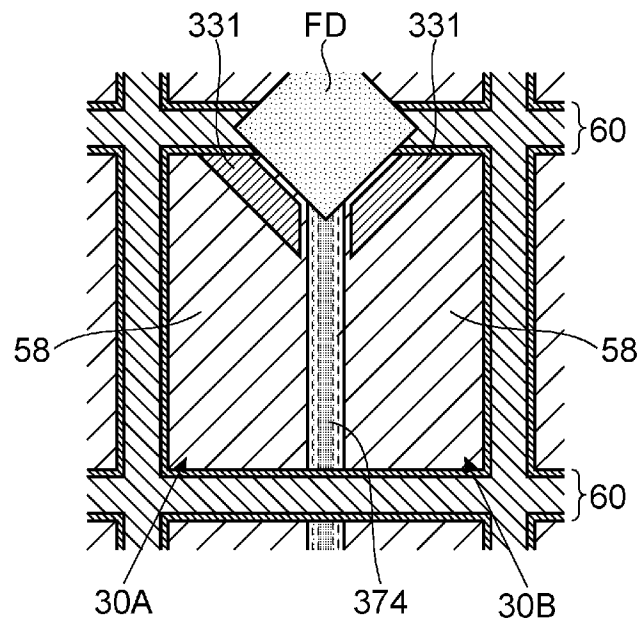
[図52]



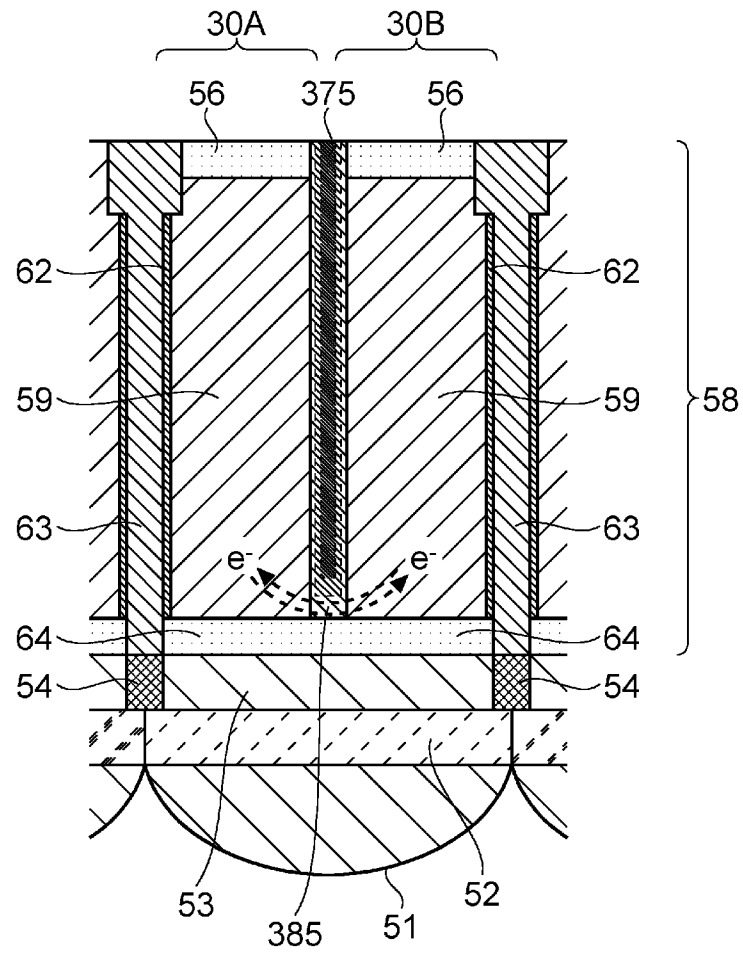
[図53]



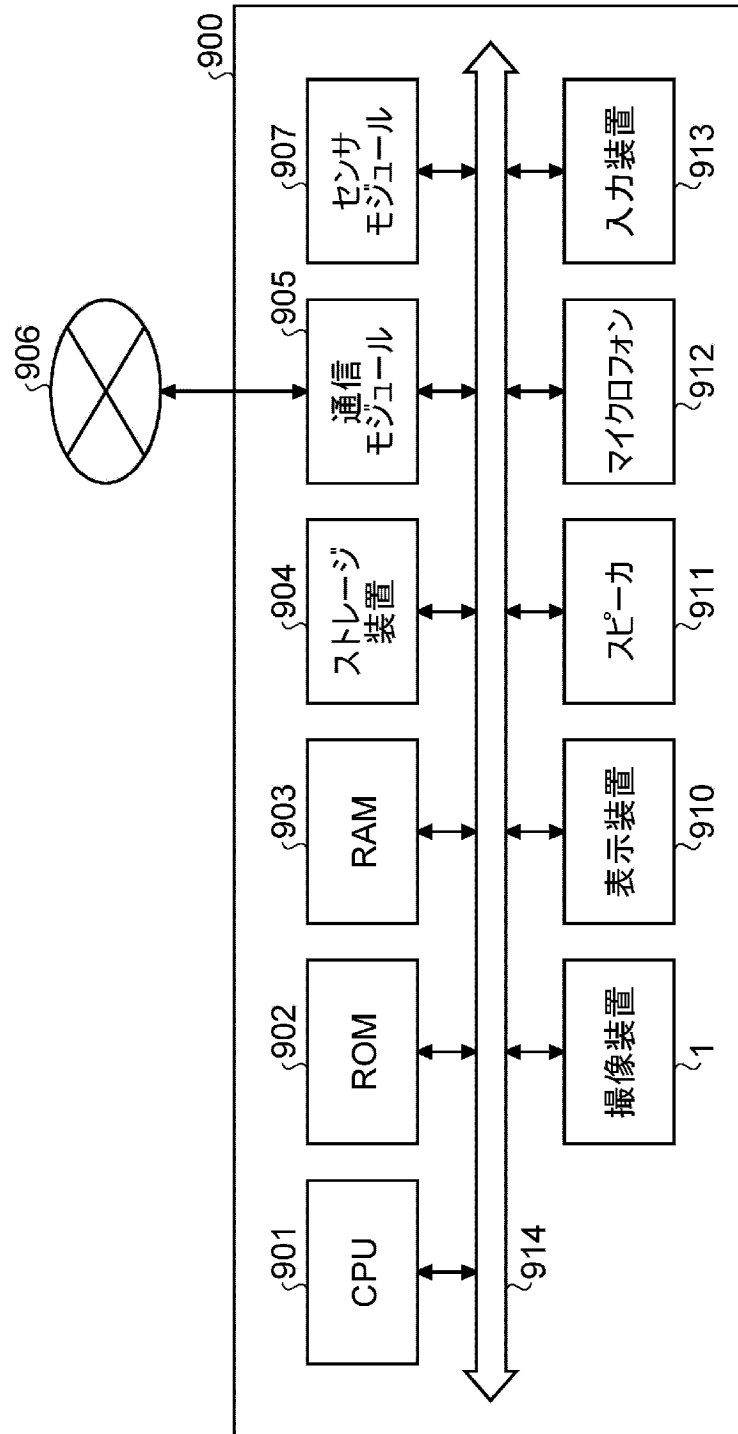
[図54]



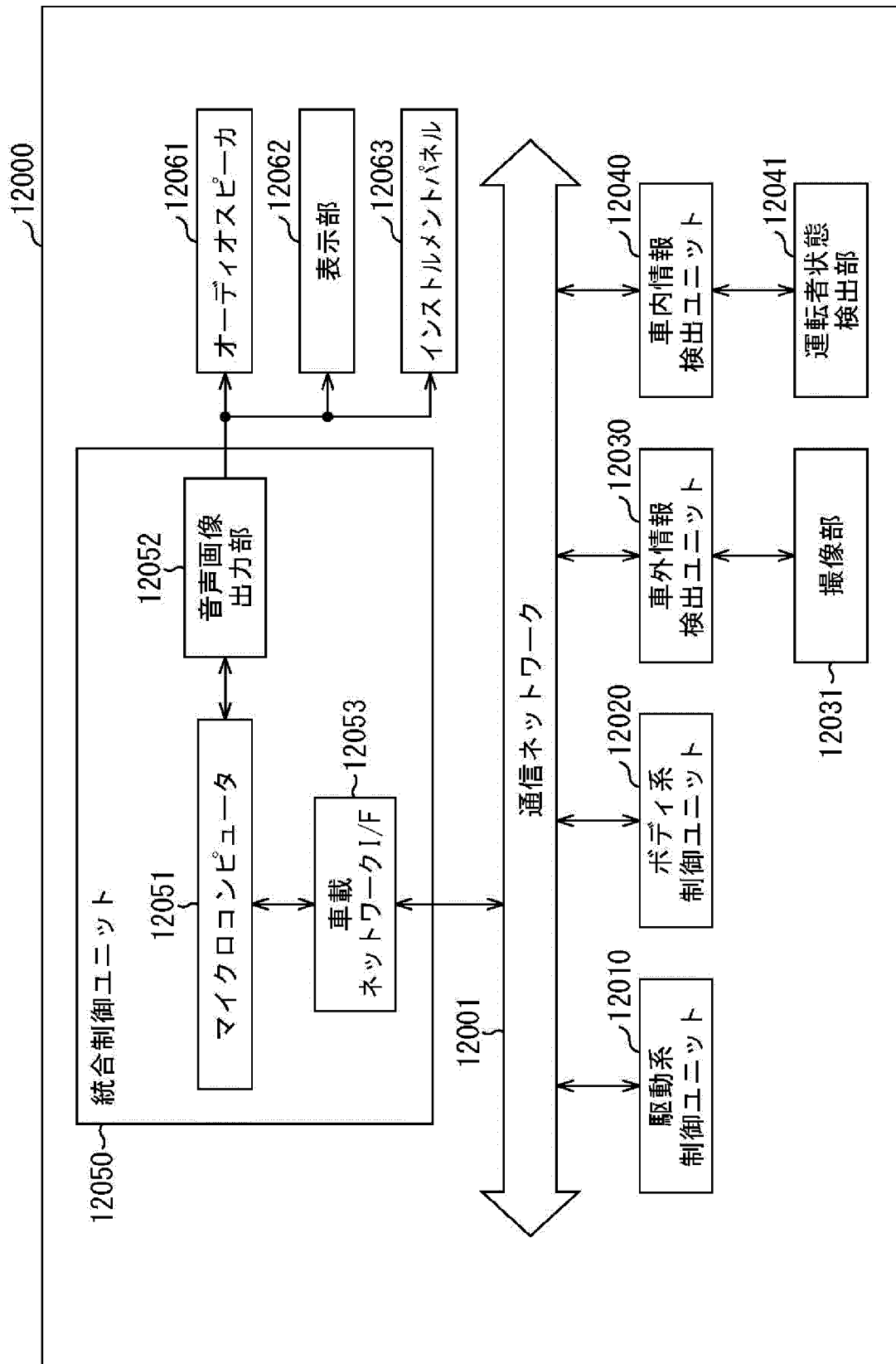
[図55]



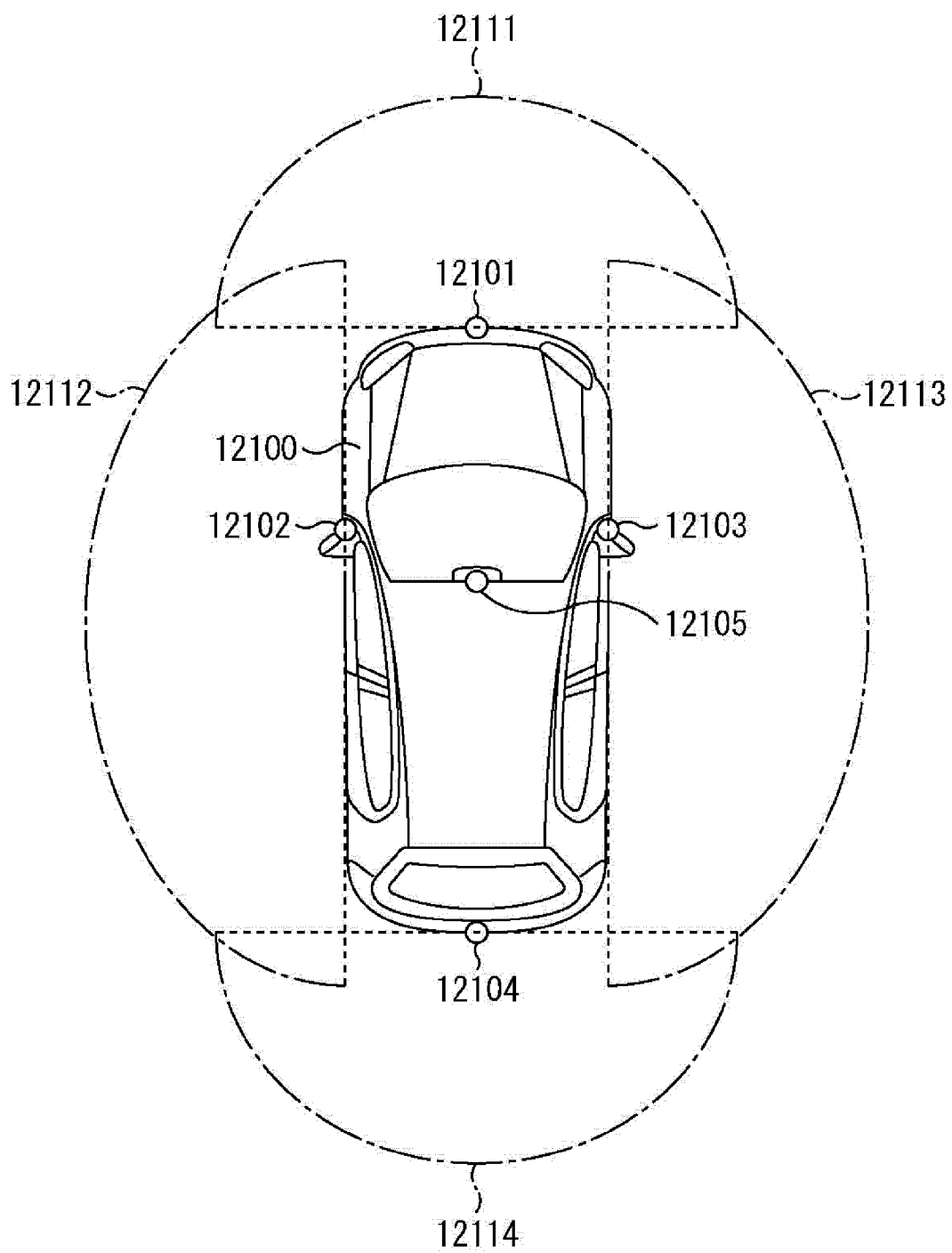
[図56]



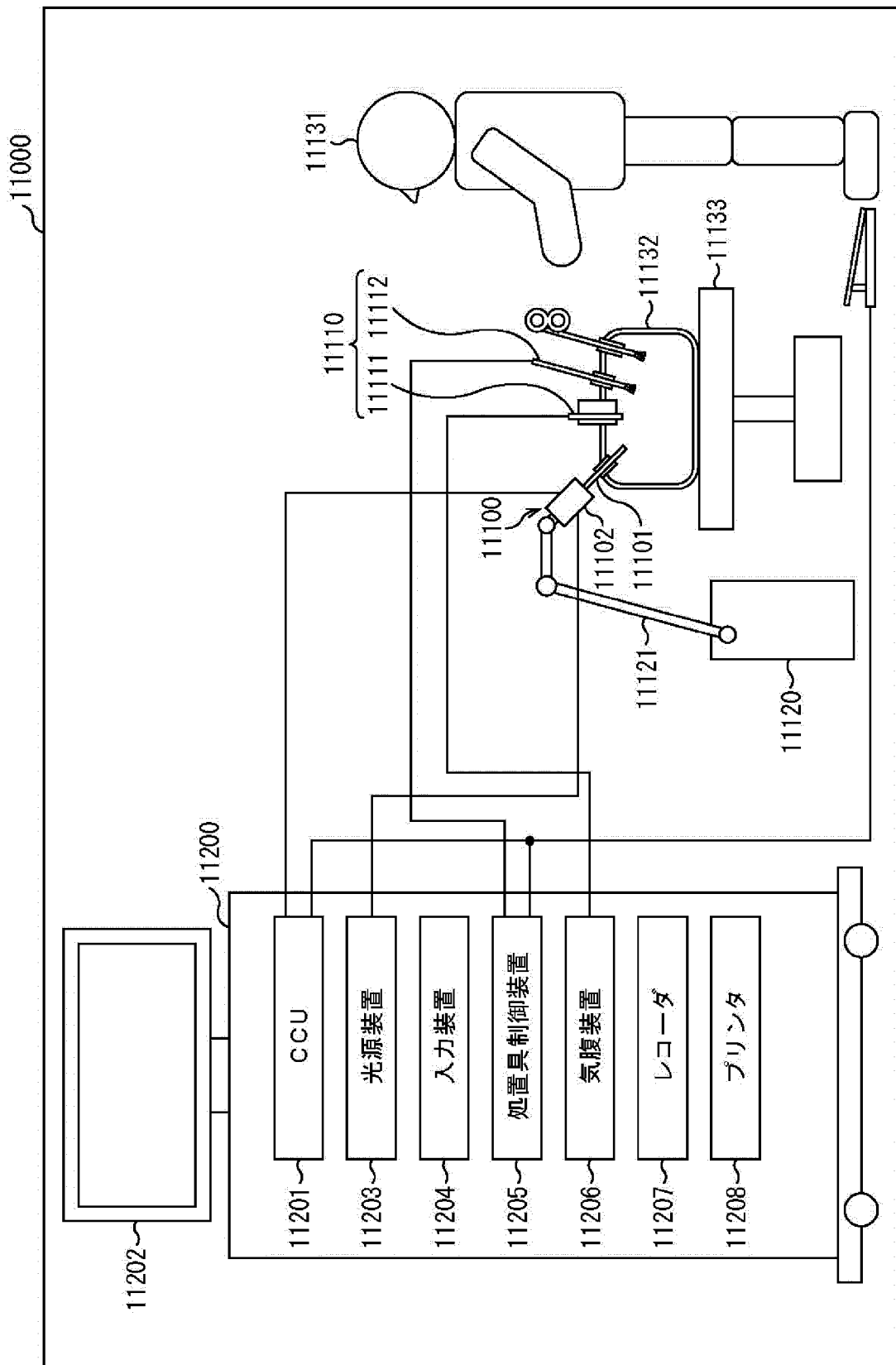
[図57]



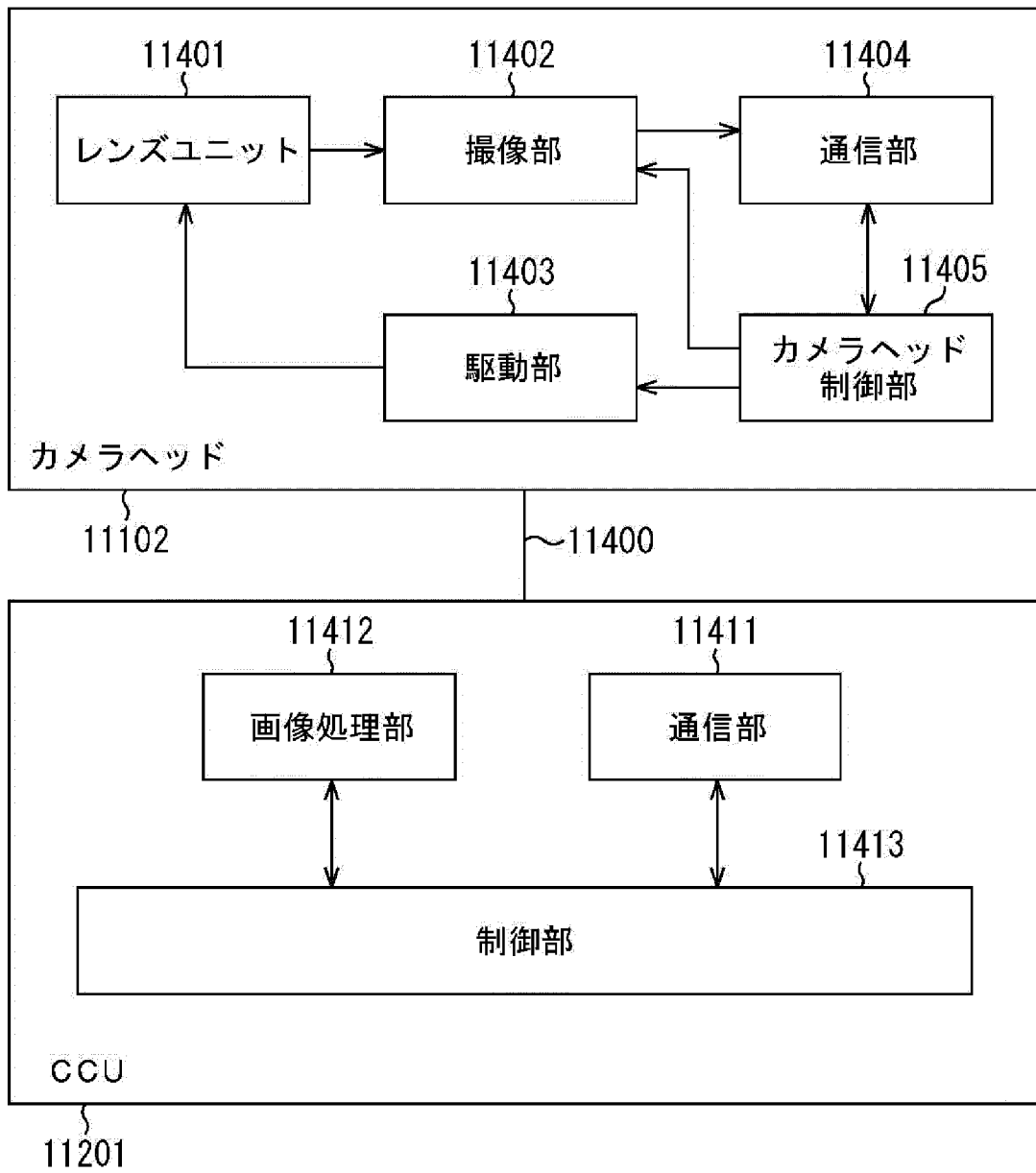
[図58]



[図59]



[図60]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/002731

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/146**(2006.01)i; **H01L 21/76**(2006.01)i; **H04N 25/70**(2023.01)i

FI: H01L27/146 A; H01L21/76 L; H04N25/70

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H01L21/76; H04N25/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2021/193915 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 30 September 2021 (2021-09-30) paragraphs [0017]-[0052], [0076]-[0086], fig. 1-4, 15-19	1-6, 8, 11, 12, 14-20
Y		7, 9, 10
A		13
Y	WO 2017/130723 A1 (SONY CORPORATION) 03 August 2017 (2017-08-03) fig. 9, 10, 38	7
Y	US 2018/0047766 A1 (SAMSUNG ELECTRONICS CO., LTD.) 15 February 2018 (2018-02-15) fig. 9, 18	7
Y	WO 2019/093150 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 16 May 2019 (2019-05-16) paragraphs [0092], [0093], fig. 3	9, 10

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

06 April 2023

Date of mailing of the international search report

18 April 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/002731**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2018/221443 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 06 December 2018 (2018-12-06) entire text, all drawings	1-20
A	JP 2021-101491 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 08 July 2021 (2021-07-08) entire text, all drawings	1-20
A	JP 2021-97241 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 24 June 2021 (2021-06-24) entire text, all drawings	1-20
A	WO 2020/013130 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 16 January 2020 (2020-01-16) entire text, all drawings	1-20
A	JP 2017-212351 A (CANON KK) 30 November 2017 (2017-11-30) entire text, all drawings	1-20
A	JP 2014-204043 A (CANON KK) 27 October 2014 (2014-10-27) entire text, all drawings	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/002731

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2021/193915	A1	30 September 2021	CN	115152022	A	
				KR	10-2022-0159374	A	
				TW	202207484	A	
WO	2017/130723	A1	03 August 2017	US	2018/0350856	A1	
					fig. 9, 10, 38		
				EP	3410487	A1	
				CN	107408568	A	
				KR	10-2018-0108414	A	
				TW	201737479	A	
US	2018/0047766	A1	15 February 2018	KR	10-2018-0018887	A	
				CN	107706200	A	
WO	2019/093150	A1	16 May 2019	EP	3709357	A1	
					paragraphs [0092], [0093], fig. 3		
				CN	111226318	A	
				US	2020/0350345	A1	
WO	2018/221443	A1	06 December 2018	US	2020/0235149	A1	
					entire text, all drawings		
				CN	110383479	A	
				KR	10-2020-0014722	A	
				JP	2018-201015	A	
JP	2021-101491	A	08 July 2021	WO	2022/209681	A1	
JP	2021-97241	A	24 June 2021	WO	2022/185785	A1	
WO	2020/013130	A1	16 January 2020	US	2021/0144321	A1	
					entire text, all drawings		
				CN	112400231	A	
				TW	202007140	A	
JP	2017-212351	A	30 November 2017	US	2017/0345853	A1	
					entire text, all drawings		
JP	2014-204043	A	27 October 2014	US	2014/0299746	A1	
					entire text, all drawings		

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H01L 21/76(2006.01)i; H04N 25/70(2023.01)i FI: H01L27/146 A; H01L21/76 L; H04N25/70		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H01L21/76; H04N25/70		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2021/193915 A1（ソニーセミコンダクタソリューションズ株式会社）30.09.2021 (2021-09-30) [0017] - [0052], [0076] - [0086], 図1-4, 15-19	1-6, 8, 11, 12, 14-20
Y		7, 9, 10
A		13
Y	WO 2017/130723 A1（ソニー株式会社）03.08.2017（2017-08-03） 図9, 10, 38	7
Y	US 2018/0047766 A1（SAMSUNG ELECTRONICS CO., LTD.）15.02.2018（2018-02-15） 図9, 18	7
Y	WO 2019/093150 A1（ソニーセミコンダクタソリューションズ株式会社）16.05.2019 (2019-05-16) [0092], [0093], 図3	9, 10
A	WO 2018/221443 A1（ソニーセミコンダクタソリューションズ株式会社）06.12.2018 (2018-12-06) 全文, 全図	1-20
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 06.04.2023		国際調査報告の発送日 18.04.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 柴山 将隆 5F 3035 電話番号 03-3581-1101 内線 3559

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2021-101491 A (ソニーセミコンダクタソリューションズ株式会社) 08.07.2021 (2021 - 07 - 08) 全文, 全図	1-20
A	JP 2021-97241 A (ソニーセミコンダクタソリューションズ株式会社) 24.06.2021 (2021 - 06 - 24) 全文, 全図	1-20
A	WO 2020/013130 A1 (ソニーセミコンダクタソリューションズ株式会社) 16.01.2020 (2020 - 01 - 16) 全文, 全図	1-20
A	JP 2017-212351 A (キャノン株式会社) 30.11.2017 (2017 - 11 - 30) 全文, 全図	1-20
A	JP 2014-204043 A (キャノン株式会社) 27.10.2014 (2014 - 10 - 27) 全文, 全図	1-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/002731

引用文献			公表日	パテントファミリー文献			公表日
WO	2021/193915	A1	30.09.2021	CN	115152022	A	
				KR	10-2022-0159374	A	
				TW	202207484	A	
WO	2017/130723	A1	03.08.2017	US	2018/0350856	A1	
				Figs.9, 10, 38			
				EP	3410487	A1	
				CN	107408568	A	
				KR	10-2018-0108414	A	
				TW	201737479	A	
US	2018/0047766	A1	15.02.2018	KR	10-2018-0018887	A	
				CN	107706200	A	
WO	2019/093150	A1	16.05.2019	EP	3709357	A1	
				[0092], [0093], Fig.3			
				CN	111226318	A	
				US	2020/0350345	A1	
WO	2018/221443	A1	06.12.2018	US	2020/0235149	A1	
				全文, 全図			
				CN	110383479	A	
				KR	10-2020-0014722	A	
				JP	2018-201015	A	
JP	2021-101491	A	08.07.2021	WO	2022/209681	A1	
JP	2021-97241	A	24.06.2021	WO	2022/185785	A1	
WO	2020/013130	A1	16.01.2020	US	2021/0144321	A1	
				全文, 全図			
				CN	112400231	A	
				TW	202007140	A	
JP	2017-212351	A	30.11.2017	US	2017/0345853	A1	
				全文, 全図			
JP	2014-204043	A	27.10.2014	US	2014/0299746	A1	
				全文, 全図			