I734347

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I734347 B**

(45)公告日： 中華民國 110 (2021) 年 07 月 21 日

(21)申請案號：109101525 (22)申請日： 中華民國 96 (2007) 年 06 月 01 日

(51)Int. Cl.： ***G11C19/28 (2006.01)*** ***G09G3/36 (2006.01)***

(30)優先權：2006/06/02 日本 2006-155472

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：梅崎敦司 UMEZAKI, ATSUSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW	200405235	US	2003/0128180A1
US	2004/0239600A1	US	2005/0156860A1
US	2005/0220262A1		

審查人員：蔡明宏

申請專利範圍項數：8 項 圖式數：78 共 259 頁

(54)名稱

液晶顯示裝置和電子裝置

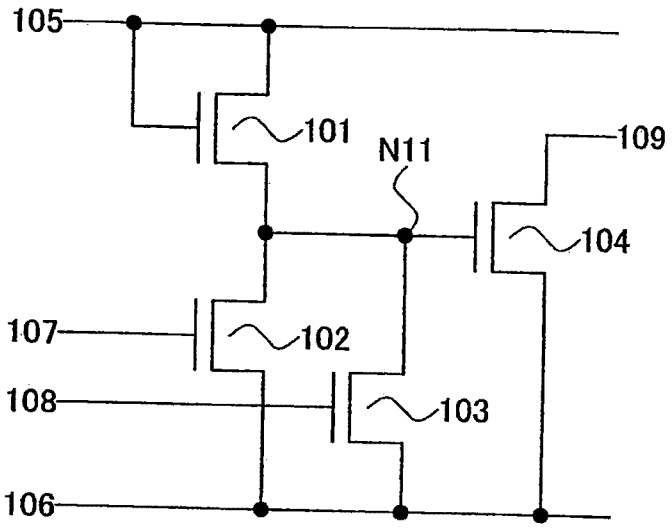
(57)摘要

提供一種用於移位暫存器等的電路。基本構造包括第一到第四電晶體和四個線路。將電源電位 VDD 提供給第一線路，將電源電位 VSS 提供給第二線路。將二位元數位信號提供給第三線路和第四線路的每個。數位信號的 H 位準等於電源電位 VDD，數位信號的 L 位準等於電源電位 VSS。第三線路和第四線路的電位的組合有四種。透過電位的任意組合可以截止第一電晶體到第四電晶體的每個。亦即，由於沒有一直導通的電晶體，可以抑制電晶體特性的劣化。

To provide a circuit used for a shift register or the like. The basic configuration includes first to fourth transistors and four wirings. The power supply potential VDD is supplied to the first wiring and the power supply potential VSS is supplied to the second wiring. A binary digital signal is supplied to each of the third wiring and the fourth wiring. An H level of the digital signal is equal to the power supply potential VDD, and an L level of the digital signal is equal to the power supply potential VSS. There are four combinations of the potentials of the third wiring and the fourth wiring. Each of the first transistor to the fourth transistor can be turned off by any combination of the potentials. That is, since there is no transistor that is constantly on, deterioration of the characteristics of the transistors can be suppressed.

指定代表圖：

圖1A



符號簡單說明：

101~104:電晶體

105~109:線路

N11:節點

申請案號: 109101525(由107142398分割)
申請日: 096年6月1日
I734347

公告本

發明摘要

IPC 分類號: ***G11C 19/28*** (2006.01)
G09G 3/36 (2006.01)

【發明名稱】(中文/英文)

液晶顯示裝置和電子裝置

LIQUID CRYSTAL DISPLAY DEVICE AND ELECTRONIC DEVICE

【中文】

提供一種用於移位暫存器等的電路。基本構造包括第一到第四電晶體和四個線路。將電源電位 VDD 提供給第一線路，將電源電位 VSS 提供給第二線路。將二位元數位信號提供給第三線路和第四線路的每個。數位信號的 H 位準等於電源電位 VDD，數位信號的 L 位準等於電源電位 VSS。第三線路和第四線路的電位的組合有四種。透過電位的任意組合可以截止第一電晶體到第四電晶體的每個。亦即，由於沒有一直導通的電晶體，可以抑制電晶體特性的劣化。

【英文】

To provide a circuit used for a shift register or the like. The basic configuration includes first to fourth transistors and four wirings. The power supply potential VDD is supplied to the first wiring and the power supply potential VSS is supplied to the second wiring. A binary digital signal is supplied to each of the third wiring and the fourth wiring. An H level of the digital signal is equal to the power supply potential VDD, and an L level of the digital signal is equal to the power supply potential VSS. There are four combinations of the potentials of the third wiring and the fourth wiring. Each of the first transistor to the fourth transistor can be turned off by any combination of the potentials. That is, since there is no transistor that is constantly on, deterioration of the characteristics of the transistors can be suppressed.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

101～104：電晶體

105～109：線路

N11：節點

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

液晶顯示裝置和電子裝置

LIQUID CRYSTAL DISPLAY DEVICE AND ELECTRONIC DEVICE

【技術領域】

本發明係關於一種半導體裝置。此外，本發明係關於一種具有該半導體裝置的顯示裝置。具體而言，本發明係關於一種具有該半導體裝置的液晶顯示裝置和具有該液晶顯示裝置的電子裝置。

【先前技術】

近年來，隨著諸如液晶電視的大型顯示裝置的增多，人們在積極開發諸如液晶顯示裝置和發光裝置的顯示裝置。具體而言，已經在積極開發一種技術，用於利用由絕緣體上方的非晶半導體製成的電晶體在同一基板上形成像素電路和包括移位暫存器等的驅動器電路(下文中稱爲內部電路)，因爲該技術對低功耗和低成本很有貢獻。將形成於絕緣體上方的內部電路透過 FPC 等連接到設置於絕緣體外部的控制器 IC(下文中稱爲外部電路)並控制其運行。

此外，已經設計出一種利用非晶半導體製成的電晶體形成的移位暫存器作爲形成於絕緣體上方的內部電路(參

見參考文獻 1：日本公開專利申請 No. 2004-78172)。

不過，有一個問題，即，非晶半導體形成的電晶體特性隨著開啓時間或所施加的電壓而劣化。爲了解決這個問題，已經設計出透過並聯兩個電晶體並依次開啓電晶體來抑制電晶體特性的劣化(參見參考文獻 2：SID '05 DIGEST PP.348 到 PP. 351)。

【發明內容】

在上述參考文獻 2 中未公開詳細的驅動方法。此外，爲了逐個控制並聯的兩個電晶體，必須要有具有大電路尺寸的控制電路。

鑒於前述問題，本發明的目的是提供一種正反器電路和移位暫存器，均具有這種移位暫存器的半導體裝置和顯示裝置，以及具有該顯示裝置的電子裝置，正反器電路和移位暫存器均具有電路尺寸較小的控制電路。

此外，本發明的另一目的是提供一種每者均使用了與習知方法不同的抑制電晶體特性劣化的驅動方法的正反器電路和移位暫存器，均具有這種移位暫存器的半導體裝置和顯示裝置，以及具有這種顯示裝置的電子裝置。

根據本發明的一個觀點的半導體裝置包括第一電晶體、第二電晶體、第三電晶體和第四電晶體。第一電晶體的閘極和第一端子電連接到第一線路，第一電晶體的第二端子電連接到第四電晶體的閘極。第二電晶體的閘極電連接到第二線路，第二電晶體的第一端子電連接到第四線

路，第二電晶體的第二端子電連接到第四電晶體的閘極。第三電晶體的閘極電連接到第三線路，第三電晶體的第一端子電連接到第四線路，第三電晶體的第二端子電連接到第四電晶體的閘極。第四電晶體的第一端子電連接到第四線路，第四電晶體的第二端子電連接到第五線路。

第一到第四電晶體可以具有相同的導電類型。此外，可以將非晶半導體用於第一到第四電晶體的每個的半導體層。

注意，第一電晶體的通道寬度 W 與通道長度 L 的比值(W/L)可以高於第二電晶體的通道寬度 W 與通道長度 L 的比值(W/L)。

注意，第一電晶體的通道寬度 W 與通道長度 L 的比值(W/L)可以高於第三電晶體的通道寬度 W 與通道長度 L 的比值(W/L)。

根據本發明的一個方面的半導體裝置包括第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體、第七電晶體和第八電晶體。第一電晶體的閘極電連接到第一線路，第一電晶體的第一端子電連接到第二線路，第一電晶體的第二端子電連接到第二電晶體的閘極。第八電晶體的閘極電連接到第四線路，第八電晶體的第一端子電連接到第五線路，第八電晶體的第二端子電連接到第二電晶體的閘極。第六電晶體的閘極電連接到第二電晶體的閘極，第六電晶體的第一端子電連接到第五線路，第六電晶體的第二端子電連接到第三電晶體的閘極

和第四電晶體的閘極。第五電晶體的閘極和第一端子電連接到第二線路，第五電晶體的第二端子電連接到第三電晶體的閘極和第四電晶體的閘極。第七電晶體的閘極電連接到第三線路，第七電晶體的第一端子電連接到第五線路，第七電晶體的第二端子電連接到第三電晶體的閘極和第四電晶體的閘極。第四電晶體的第一端子電連接到第五線路，第四電晶體的第二端子電連接到第二電晶體的閘極。第三電晶體的第一端子電連接到第五線路，第三電晶體的第二端子電連接到第六線路。第二電晶體的第一端子電連接到第三線路，第二電晶體的第二端子電連接到第六線路。

第一到第八電晶體可以具有相同的導電類型。此外，可以將非晶半導體用於第一到第八電晶體的每個的半導體層。

注意，第五電晶體的通道寬度 W 與通道長度 L 的比值(W/L)可以高於第六電晶體的通道寬度 W 與通道長度 L 的比值(W/L)。

注意，第五電晶體的通道寬度 W 與通道長度 L 的比值(W/L)可以高於第七電晶體的通道寬度 W 與通道長度 L 的比值(W/L)。

此外，可以將本發明的半導體裝置用於液晶顯示裝置。

根據本發明的一個方面的液晶顯示裝置包括驅動電路和具有液晶元件的像素。驅動電路包括第一電晶體、第二

電晶體、第三電晶體和第四電晶體。第一電晶體的閘極和第一端子電連接到第一線路，第一電晶體的第二端子電連接到第四電晶體的閘極。第二電晶體的閘極電連接到第二線路，第二電晶體的第一端子電連接到第四線路，第二電晶體的第二端子電連接到第四電晶體的閘極。第三電晶體的閘極電連接到第三線路，第三電晶體的第一端子電連接到第四線路，第三電晶體的第二端子電連接到第四電晶體的閘極。第四電晶體的第一端子電連接到第四線路，第四電晶體的第二端子電連接到第五線路。

第一到第四電晶體可以具有相同的導電類型。此外，可以將非晶半導體用於第一到第四電晶體的每個的半導體層。

注意，第一電晶體的通道寬度 W 與通道長度 L 的比值(W/L)可以高於第二電晶體的通道寬度 W 與通道長度 L 的比值(W/L)。

注意，第一電晶體的通道寬度 W 與通道長度 L 的比值(W/L)可以高於第三電晶體的通道寬度 W 與通道長度 L 的比值(W/L)。

根據本發明的一個觀點的液晶顯示裝置包括驅動電路和具有液晶元件的像素。驅動電路包括第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體、第七電晶體和第八電晶體。第一電晶體的閘極電連接到第一線路，第一電晶體的第一端子電連接到第二線路，第一電晶體的第二端子電連接到第二電晶體的閘極。

第八電晶體的閘極電連接到第四線路，第八電晶體的第一端子電連接到第五線路，第八電晶體的第二端子電連接到第二電晶體的閘極。第六電晶體的閘極電連接到第二電晶體的閘極，第六電晶體的第一端子電連接到第五線路，第六電晶體的第二端子電連接到第三電晶體的閘極和第四電晶體的閘極。第五電晶體的閘極和第一端子電連接到第二線路，第五電晶體的第二端子電連接到第三電晶體的閘極和第四電晶體的閘極。第七電晶體的閘極電連接到第三線路，第七電晶體的第一端子電連接到第五線路，第七電晶體的第二端子電連接到第三電晶體的閘極和第四電晶體的閘極。第四電晶體的第一端子電連接到第五線路，第四電晶體的第二端子電連接到第二電晶體的閘極。第三電晶體的第一端子電連接到第五線路，第三電晶體的第二端子電連接到第六線路。第二電晶體的第一端子電連接到第三線路，第二電晶體的第二端子電連接到第六線路。

第一到第八電晶體可以具有相同的導電類型。此外，可以將非晶半導體用於第一到第八電晶體的每個的半導體層。

注意，第五電晶體的通道寬度 W 與通道長度 L 的比值(W/L)可以高於第六電晶體的通道寬度 W 與通道長度 L 的比值(W/L)。

注意，第五電晶體的通道寬度 W 與通道長度 L 的比值(W/L)可以高於第七電晶體的通道寬度 W 與通道長度 L 的比值(W/L)。

注意，可以將各種類型的開關用作本發明所示的開關，於此提出電子開關、機械開關等作爲例子。亦即，只要其能夠控制電流，可以使用任何元件，而不限於某一元件。例如，它可以是電晶體、二極體(例如 PN 二極體、PIN 二極體、肖特基二極體或以二極體方式連接的電晶體)、晶閘管或組合了這些元件的邏輯電路。對於將電晶體用作開關而言，電晶體的極性(導電類型)不特定地限於某一種，因爲其僅僅如開關一樣工作。不過，當較佳的使用小截止電流時，較佳的使用截止電流更小的電晶體。於此提出配有 LDD 區域的電晶體、具有多閘極結構的電晶體等作爲具有小截止電流的電晶體的例子。此外，當被作爲開關的電晶體的源極端子的電位更接近低電位側電源(例如 VSS、GND 或 0V)時，較佳的使用 N 通道電晶體，而當源極端子的電位更接近高電位側電源(例如 VDD)時，使用 P 通道電晶體。這是因爲提高了電晶體的閘極-源極電壓的絕對值，從而能夠容易地將電晶體作爲開關操作。

還可以同時使用 N 通道和 P 通道電晶體來使用 CMOS 開關。透過使用 CMOS 開關，該開關可以有效地作爲開關而運行，因爲當 P 通道開關和 N 通道開關之一導通時，電流能夠流過開關。例如，可以適當地輸出電壓，而不論開關的輸入信號的電壓是高還是低。此外，由於可以使用於導通或截止開關的信號的電壓幅值變小，因此能夠降低功率消耗。

當將電晶體用作開關時，開關包括輸入端子(源極端

子和汲極端子之一)、輸出端子(源極端子和汲極端子中的另一個)以及用於控制導電性的端子(閘極端子)。另一方面，當把二極體用作開關時，開關不具有在某些情況下用於控制導電性的端子。因此，可以減少用於控制端子的線路的數量。

注意，在本發明中，描述“連接”包括元件被電連接的情形、元件被功能性連接的情形以及元件被直接連接的情形。因此，在本發明公開的構造中，可以在具有預定連接關係的元件之間插入其他元件。例如，可以在某一部分和另一部分之間提供實現電連接的一個或多個元件(例如開關、電晶體、電容器、電感器、電阻器和/或二極體)。此外，可以在諸部分之間提供一個或多個實現功能性連接的電路，例如邏輯電路(例如反相器、與非(NAND)電路或或非(NOR)電路)、信號變換器電路(例如 DA 轉換電路、AD 轉換電路或伽瑪校正電路)、電位位準變換器電路(例如諸如升壓電路或降壓電路的電源電路，或用於改變 H 位準信號或 L 位準信號的電位位準的位準偏移電路)、電壓源、電流源、開關電路或放大器電路(例如能夠提高信號振幅、電流量等的電路，諸如運算放大器、差分放大器電路、源極從動電路或緩衝電路)、信號發生電路、儲存電路或控制電路。或者，可以不在其間插入另一元件或另一電路而直接連接諸元件。

在其間不插入另一元件或電路而連接元件的情形下，使用描述“直接連接”。此外，在使用描述“電連接”的

情況下，其中包括以下情形：諸元件被電連接的情形(亦即，透過在其間插入另一元件連接諸元件)，元件被功能性連接的情形(亦即透過在其間插入另一電路連接諸元件)，以及直接連接諸元件的情形(亦即，不在其間插入另一元件或另一電路而連接諸元件)。

注意，顯示元件、顯示裝置、發光元件和發光裝置可以使用各種類型且包括各種元件。例如，作爲顯示元件，可以使用顯示裝置、發光元件以及透過電磁作用改變對比度的顯示媒體，諸如電致發光元件(例如有機電致發光元件、無機電致發光元件或包括有機和無機材料二者的電致發光元件)、電子發射元件、液晶、電子墨水、光柵光閥(GLV)、電漿顯示板(PDP)、數位微鏡裝置(DMD)、壓電陶瓷顯示器或碳奈米管。注意，使用電致發光元件的顯示裝置包括電致發光顯示器；利用電子發射元件的顯示裝置包括場致發射顯示器(FED)、SED 型平板顯示器(SED：表面導電電子發射器顯示器)等；利用液晶元件的顯示裝置包括液晶顯示器，透射型液晶顯示器，半透射型液晶顯示器，反射型液晶顯示器等；且利用電子墨水的顯示裝置包括電子紙張。

注意，在本發明中，可以將各種電晶體用作電晶體，而不限於某一種。於是，例如，可以使用包括由非晶矽或多晶矽代表的非單晶半導體膜的薄膜電晶體(TFT)。因此，這種電晶體可以在低溫下形成，可以以低成本形成，可以在大基板以及透光基板上形成，且這種電晶體可以透

光。此外，可以使用用半導體基板或 SOI 基板形成的電晶體，MOS 電晶體，接面電晶體，雙極電晶體等。因此，可以形成具有很少變化的電晶體，具有高電流供應能力的電晶體和具有小尺寸的電晶體，由此可以利用這種電晶體形成低電耗的電路。此外，可以使用包括諸如 ZnO、a-InGaZnO、SiGe 或 GaAs 的化合物半導體的電晶體或透過減薄這種化合物半導體獲得的薄膜電晶體。因此，這種電晶體能夠在低溫下形成，能夠在室溫下形成，且能夠直接在諸如塑膠基板或膜基板的低耐熱基板上形成。還可以使用透過噴墨方法或印刷方法形成的電晶體等。因此，這種電晶體能夠在室溫下形成，可以在低真空下形成，或可以利用大基板形成。此外，因爲可以不用掩模(中間掩模)形成這種電晶體，因此可以容易地改變電晶體的佈局。此外，可以使用包括有機半導體或碳奈米管的電晶體或者其他電晶體。因此，可以使用能夠被彎折的基板形成電晶體。注意，非單晶半導體膜可以包括氫或鹵素。此外，可以使用各種基板形成電晶體。基板的類型不限於某一種。因此，例如，可以將單晶基板、SOI 基板、玻璃基板、石英基板、塑膠基板、紙基板、玻璃紙基板、石基板、不銹鋼基板、包括不銹鋼箔的基板等用作基板。此外，可以使用一塊基板形成電晶體，然後可以將電晶體轉移到另一基板上。透過使用前述基板，可以形成具有優異特性的電晶體或具有低能耗的電晶體，或者可以形成具有耐用性或高耐熱性的裝置。

電晶體的結構可以是多種模式，而不限於某一結構。例如，可以使用具有兩個或更多閘極電極的多閘極結構。當使用多閘極結構時，提供了一種多個電晶體串聯在一起的結構，因爲提供了一種通道區域串聯在一起的結構。透過使用多閘極結構，可以減小截止電流；可以提高電晶體的耐壓以提高可靠性；或者即使在當電晶體工作在飽和區汲極-源極電壓波動時，汲極-源極電流也不波動，從而能夠獲得平坦的特性。此外，可以使用閘極電極形成於通道上方和下方的結構。透過使用閘極電極形成於通道上方和下方的結構，擴大了通道區，增加了從其流過的電流的量，或者可以容易地形成耗盡層以降低 S 值。當在通道上方和下方形成閘極電極時，提供了一種多個晶體並聯的結構。此外，可以使用閘極電極形成於通道上方的結構，閘極電極形成於通道下方的結構，交錯結構或反交錯結構；或者可以將通道區分成多個區域，且被分割的區域可以並聯或串聯。源極電極或汲極電極可以與通道重疊(或其一部分)。透過使用源極電極或汲極電極與通道(或其一部分)重疊的結構，可以防止如下情形，其中，在通道的一部分中積累了電荷，這將導致不穩定的工作。此外，可以提供 LDD 區域。透過提供 LDD 結構，可以減小截止電流；可以提高電晶體的耐壓以提高可靠性；或者即使在當電晶體工作在飽和區汲極-源極電壓波動時，汲極-源極電流也不波動，從而能夠獲得平坦的特性。

注意，可以將各種電晶體用於本發明中的電晶體，可

以利用各種基板形成電晶體。因此，可以利用玻璃基板、塑膠基板、單晶基板、SOI 基板或任何其他基板形成所有電路。當利用同一基板形成所有電路時，可以減少零部件的數量以削減成本，或者可以減少電路元件之間的連接數量以提高可靠性。或者，可以使用一塊基板形成電路的一部分而使用另一塊基板形成電路的另一部分。亦即，不要求使用同一基板形成所有電路。例如，可以用玻璃基板與電晶體一起形成電路的一部分，可以使用單晶基板形成電路的另一部分，從而可以透過 COG(玻璃上晶片)將 IC 晶片連接至玻璃基板。或者，可以透過 TAB(帶式自動接合)或印製電路板將 IC 晶片連接至玻璃基板。當透過這種方式用同一基板形成電路的一部分時，可以減少零部件的數量以削減成本，或者可以減少電路元件之間的連接數量以提高可靠性。此外，透過在另一基板上形成消耗大功率的具有驅動電壓的部分或具有高驅動頻率的部分，可以防止功耗的增加。

還要注意，在本發明中一個像素對應於能夠控制其亮度的一個元件。因此，例如，一個像素對應於一種基本顏色且以一種色彩元件表達亮度。因此，對於具有 R(紅色)、G(綠色)和 B(藍色)基本顏色的彩色顯示裝置而言，由 R 像素、G 像素和 B 像素三種像素形成影像的最小單元。注意，基本顏色不限於三種顏色，可以使用超過三種顏色的基本顏色，或者可以增加除 RGB 之外的顏色。例如，可以透過增加白色使用 RGBW(W 表示白色)。此外，

可以使用 RGB 加黃色、青色、品紅、翡翠綠、朱紅色等中的一種或多種顏色。此外，可以增加類似於 R、G 和 B 中至少一種的顏色。例如，可以使用 R、G、B1 和 B2。雖然 B1 和 B2 都是藍色，它們具有稍有不同的頻率。透過使用這樣的基本顏色，可以進行更接近真實物體的顯示或者可以降低功耗。或者，作爲另一個例子，在利用多個區域控制一個基本顏色的亮度的情況下，一個區域對應於一個像素。因此，例如，對於進行面積灰階顯示的情況而言，在每個基本顏色中提供控制亮度的多個區域，用整個區域表達灰階。在這種情況下，控制亮度的一個區域對應於一個像素。於是，在這種情況下，一個基本顏色包括多個像素。此外，在這種情況下，根據像素，對顯示有貢獻的區域可以具有不同的區域尺度。此外，在控制每個基本顏色中的亮度的多個區域中，也就是說，在形成一個基本顏色的多個像素中，提供給多個像素的信號可以稍有變化，從而可以拓寬視角。注意，描述“(用於三種顏色的)一個像素”對應於將 R、G 和 B 三個像素看作一個像素的情形。同時，描述“(用於一種顏色的)一個像素”對應於多個像素被提供於每個基本顏色中且被總地看作一個像素的情形。

還要注意，在本發明中，可以以矩陣形式提供(佈置)像素。這裏，以矩陣形式提供(佈置)像素的描述包括在縱向或橫向中，沿直線佈置像素的情形以及沿鋸齒形線佈置像素的情形。因此，在利用三種基本顏色(例如 RGB)進行

全彩色顯示的情況下，其中包括以下情形：像素設置成條形的情形，以及以所謂δ圖案設置三種基本顏色的點的情形。此外，其中還包括這樣的情形：以 Bayer 佈置提供三種基本顏色的點。注意，基本顏色不限於三種顏色，可以使用超過三種顏色的基本顏色。給出了 RGBW(W 表示白色)、RGB 加黃色、青色、品紅等中的一種或多種，等等作爲例子。此外，顯示區的尺寸可以在基本顏色的相應點之間有所不同。於是，可以降低功率消耗，或者可以延長發光元件的壽命。

注意，電晶體爲至少具有閘極、汲極和源極三個端子的元件。電晶體在汲極區和源極區之間具有通道區，電流可以流過汲極區、通道區和源極區。這裏，由於根據電晶體的結構、運行條件等電晶體的源極和汲極可以變化，因此難以定義哪個是源極或汲極。因此，在本發明中，作用當成源極和汲極功能的區域可以不被稱爲源極或汲極。在這種情況下，例如，可以將源極和汲極之一稱爲第一端子，可以將其另一個稱爲第二端子。

還要注意，電晶體可以是至少具有基極、射極和集極三個端子的元件。同樣，在這種情況下，可以類似地將射極和集極之一稱爲第一端子，而將另一個端子稱爲第二端子。

閘極表示閘極電極和閘極線路(也稱爲閘極線、閘極信號線等)的全部或一部分。閘極電極表示與形成通道區、LDD(輕摻雜汲極)區等重疊的導電膜，其間插置有閘

極絕緣膜。閘極線路表示將每一個像素的閘極電極彼此連接的線路，或者用於將閘極電極連接到另一線路的線路。

不過，有一部分作用當成閘極電極和閘極線路。可以將這種區域稱爲閘極電極或閘極線路。亦即，有的區域中不能清楚區分閘極電極和閘極線路。例如，在通道區與延伸的閘極線路重疊的情況下，重疊區域作用當成閘極線路和閘極電極二者。因此，可以將這種區域稱爲閘極電極或閘極線路。

此外，也可以將與閘極電極由相同材料形成且連接至閘極電極的區域稱爲閘極電極。類似地，也可以將與閘極線路由相同材料形成且連接至閘極線路的區域稱爲閘極線路。從嚴格意義上講，這種區域不與通道區重疊，或者在有些情形下不具有將閘極電極連接到另一閘極電極的功能。不過，由於製造條件等原因，有的區域與閘極電極或閘極線路由相同的材料形成且連接至閘極電極或閘極線路。因此，也可以將這種區域稱爲閘極電極或閘極線路。

在多閘極電晶體中，例如，常常利用與閘極電極由相同材料形成的導電薄膜將一個電晶體的閘極電極連接至另一電晶體的閘極電極。由於這種區域是將閘極電極連接到另一閘極電極的區域，可以將其稱爲閘極線路，也可以將其稱爲閘極電極，因爲可以將多閘極電晶體視爲一個電晶體。亦即，可以將與閘極電極或閘極線路由相同材料形成且由連接於其上的區域稱爲閘極電極或閘極線路。此外，例如，也可以將連接閘極電極和閘極線路的導電膜稱爲閘

極電極或閘極線路。

注意，閘極端子表示閘極電極區域的一部分或電連接到閘極電極的區域的一部分。

還要注意，源極表示源極區、源極電極和源極線路(也稱爲源極線、源極信號線等)的全部或一部分。源極區表示含有大量 P 型雜質(例如硼或鎵)或 N 型雜質(例如磷或砷)的半導體區域。因此，含有少量 P 型雜質或 N 型雜質的區域，即 LDD(輕摻雜汲極)區域不包括在源極區中。源極電極是與由與源極區不同的材料形成且電連接到源極區的導電層的一部分。不過，有將源極電極和源極區總稱爲源極電極的情形。源極線路是將每一個像素的源極電極彼此連接的線路，或者用於將源極電極連接到另一線路的線路。

不過，有的部分作用當成源極電極和源極線路二者的功能。可以將這種區域稱爲源極電極或源極線路。亦即，有的區域中不能清楚區分源極電極和源極線路。例如，在源極區與延伸的源極線路重疊的情形下，重疊區域作用當成源極線路和源極電極二者。因此，可以將這種區域稱爲源極電極或源極線路。

此外，也可以將與源極電極由相同材料形成且連接至源極電極的區域，或者用於將源極電極連接到另一源極電極的部分稱爲源極電極。也可以將與源極區重疊的部分稱爲源極電極。類似地，可以將由與源極線路相同的材料形成且連接至源極線路的區域稱爲源極線路。從嚴格意義上

講，這種區域可以不具有將源極電極連接到另一源極電極的功能。不過，由於製造條件等原因，有的區域與源極電極或源極線路由相同的材料形成且連接至源極電極或源極線路。因此，也可以將這種區域稱爲源極電極或源極線路。

此外，例如，可以將連接源極電極和源極線路的導電膜的一部分稱爲源極電極或源極線路。

注意，源極端子表示源極區的一部分、源極電極的一部分或電連接到源極電極的區域的一部分。

還要注意，同樣的情形適用於汲極。

在本發明中，半導體裝置表示具有包括半導體元件(例如電晶體或二極體)的電路的裝置。半導體裝置還可以包括能夠利用半導體特性工作的所有裝置。

此外，顯示裝置表示具有顯示元件(例如液晶元件或發光元件)的裝置。注意，顯示裝置還可以表示顯示面板自身，其中，在與用於驅動像素的週邊驅動電路相同的基板上形成包括諸如液晶元件或電致發光元件的顯示元件的多個像素。此外，顯示裝置還可以包括透過焊接或凸塊焊接，即玻璃上晶片(COG)在基板上提供的週邊驅動電路。此外，顯示裝置還可以包括貼附於顯示面板的撓性印製電路(FPC)或印刷線路板(PWB)(例如 IC、電阻器、電容器、電感器、或電晶體)。顯示裝置還可以包括諸如偏振板或延遲板的光學片。此外，顯示裝置可以包括背光單元(導光板，棱鏡片，漫射片，反射片或光源(例如 LED 或冷陰

極管))。

此外，發光裝置表示具有自照明顯示元件，具體而言例如電致發光元件或用於 FED 的元件的顯示裝置。液晶顯示裝置表示具有液晶元件的顯示裝置。

在本發明中，描述物件“形成於”另一物件“上”或“上方”不一定意味著該物件直接接觸另一物件。這種描述包括兩個物件相互不直接接觸的情形，即另一物件插入其間的情形。因此，例如，當描述層 B 形成於層 A 上(上方)時，其包括層 B 與層 A 直接接觸地形成的情形以及另一層(例如層 C 或層 D)與層 A 直接接觸地形成且層 B 與層 C 或 D 直接接觸地形成的情形兩種情形。類似地，當描述物件形成於另一物件上方時，未必表示該物件與另一物件直接接觸，可以在其間插入另一物件。因此，例如，當描述層 B 形成於層 A 上方時，其包括層 B 與層 A 直接接觸地形成的情形以及另一層(例如層 C 或層 D)與層 A 直接接觸地形成且層 B 與層 C 或 D 直接接觸地形成的情形兩種情形。類似地，當描述物件形成於另一物件下方或之下時，包括物件相互直接接觸的情形以及物件不相互直接接觸的情形兩種情形。

利用本發明，可以提供均使用抑制電晶體特性劣化的驅動方法的正反器電路和移位暫存器、均具有這種移位暫存器的半導體裝置和顯示裝置以及具有顯示裝置的電子裝置。

例如，在將本發明應用於移位暫存器的情況下，因爲

在未選擇期間向輸出端子提供電源電位的電晶體並不總是導通的，所以可以抑制電晶體的特性劣化(例如臨界值電壓漂移)。因此，能夠抑制由於特性劣化造成的移位暫存器的故障。

此外，利用本發明，可以提供均具有電路尺寸較小的控制電路的正反器電路和移位暫存器、均具有這種移位暫存器的半導體裝置和顯示裝置以及具有顯示裝置的電子裝置。

【圖式簡單說明】

在附圖中：

圖 1A 和 1B 顯示實施例模式 1；

圖 2A 和 2B 顯示實施例模式 1；

圖 3A 和 3B 顯示實施例模式 1；

圖 4A 和 4B 顯示實施例模式 1；

圖 5A 和 5B 顯示實施例模式 2；

圖 6A 和 6B 顯示實施例模式 2；

圖 7A 和 7B 顯示實施例模式 2；

圖 8A 和 8B 顯示實施例模式 2；

圖 9A 和 9B 顯示實施例模式 3；

圖 10A 和 10B 顯示實施例模式 3；

圖 11A 和 11B 顯示實施例模式 3；

圖 12A 和 12B 顯示實施例模式 3；

圖 13A 和 13B 顯示實施例模式 1；

圖 14A 和 14B 顯示實施例模式 1；

圖 15A 和 15B 顯示實施例模式 1；

圖 16A 和 16B 顯示實施例模式 1；

圖 17A 和 17B 顯示實施例模式 2；

圖 18A 和 18B 顯示實施例模式 2；

圖 19A 和 19B 顯示實施例模式 2；

圖 20A 和 20B 顯示實施例模式 2；

圖 21A 和 21B 顯示實施例模式 3；

圖 22A 和 22B 顯示實施例模式 3；

圖 23A 和 23B 顯示實施例模式 3；

圖 24A 和 24B 顯示實施例模式 3；

圖 25A 和 25B 顯示實施例模式 4；

圖 26A 和 26B 顯示實施例模式 4；

圖 27 顯示實施例模式 5；

圖 28 顯示實施例模式 5；

圖 29 顯示實施例模式 5；

圖 30 顯示實施例模式 5；

圖 31 顯示實施例模式 5；

圖 32 顯示實施例模式 5；

圖 33 顯示實施例模式 5；

圖 34 顯示實施例模式 5；

圖 35 顯示實施例模式 5；

圖 36 顯示實施例模式 6；

圖 37 顯示實施例模式 6；

圖 38 顯示實施例模式 6；

圖 39 顯示實施例模式 6；

圖 40 顯示實施例模式 6；

圖 41A 和 41B 顯示實施例模式 23；

圖 42 顯示實施例模式 23；

圖 43A 和 43B 顯示實施例模式 23；

圖 44 顯示實施例模式 5；

圖 45 顯示實施例模式 5；

圖 46 顯示實施例模式 5；

圖 47 顯示實施例模式 5；

圖 48 顯示實施例模式 6；

圖 49 顯示實施例模式 6；

圖 50 顯示實施例模式 6；

圖 51 顯示實施例模式 6；

圖 52 顯示實施例模式 6；

圖 53 顯示實施例模式 23；

圖 54 顯示實施例模式 23；

圖 55 顯示實施例模式 23；

圖 56 顯示實施例模式 7；

圖 57 顯示實施例模式 7；

圖 58 顯示實施例模式 7；

圖 59 顯示實施例模式 7；

圖 60 顯示實施例模式 8；

圖 61 顯示實施例模式 8；

圖 62 顯示實施例模式 9；

圖 63 顯示實施例模式 9；

圖 64 顯示實施例模式 9；

圖 65 顯示實施例模式 10；

圖 66 顯示實施例模式 10；

圖 67A 和 67B 顯示實施例模式 15；

圖 68 顯示實施例模式 16；

圖 69A 和 69B 顯示實施例模式 17；

圖 70A 到 70C 顯示實施例模式 18；

圖 71A 和 71B 顯示實施例模式 19；

圖 72A 到 72C 顯示實施例模式 20；

圖 73 顯示實施例模式 21；

圖 74A 到 74D 顯示實施例模式 22；

圖 75A 和 75B 顯示實施例模式 11；

圖 76A 和 76B 顯示實施例模式 12；

圖 77A 到 77C 顯示實施例模式 13；以及

圖 78A 和 78B 顯示實施例模式 14。

【實施方式】

在下文中，將參考附圖透過實施例模式描述本發明。不過，可以透過各種不同方式實施本發明，本領域的技術人員將容易理解各種變化和修改都是可能的。除非這種變化和修改背離了本發明的精神和範圍，應當將它們視爲包含在其中。因此，不應將本發明視爲限於實施例模式的描

述。

(實施例模式 1)

在本實施例模式中，參考圖 1A 描述本發明的基本原理。

圖 1A 顯示基於本發明的基本原理的基本電路。圖 1A 中的基本電路包括電晶體 101、電晶體 102、電晶體 103 和電晶體 104。

描述圖 1A 中的基本電路的連接關係。電晶體 101 的閘極連接到線路 105，電晶體 101 的第一端子連接到線路 105，且電晶體 101 的第二端子連接到電晶體 104 的閘極。電晶體 102 的閘極連接到線路 107，電晶體 102 的第一端子連接到線路 106 且電晶體 102 的第二端子連接到電晶體 104 的閘極。電晶體 103 的閘極連接到線路 108，電晶體 103 的第一端子連接到線路 106，且電晶體 103 的第二端子連接到電晶體 104 的閘極。電晶體 104 的第一端子連接到線路 106，且電晶體 104 的第二端子連接到線路 109。注意，電晶體 101 的第二端子、電晶體 102 的第二端子、電晶體 103 的第二端子和電晶體 104 的閘極的節點由 N11 表示。

此外，電晶體 101 到 104 的每個都是 N 通道電晶體。

因此，由於可以僅使用 N 通道電晶體形成圖 1A 中的基本電路，可以將非晶矽用於圖 1A 中的基本電路的半導體層。於是，能夠簡化製造方法，從而能夠降低製造成本

並可以提高成頻率。此外，還可以形成諸如大型顯示面板板的半導體裝置。此外，在將多晶矽或單晶矽用於圖 1A 中的基本電路的半導體層時，還可以簡化製造方法。

此外，將電源電位 VDD 供應給線路 105 並將電源電位 VSS 供應給線路 106。注意，電源電位 VDD 高於電源電位 VSS。還要注意，可以將數位信號、類比信號或類似信號供應給線路 105 和線路 106 的每個，或者可以向其供應另一個電源電位。

此外，將信號供應給線路 107 和 108 的每個。注意，供應給線路 107 和線路 108 每者的信號爲二位元信號。當數位信號爲 H 位準信號時，其可以具有與電源電位 VDD(在下文中也稱爲電位 VDD 或 H 位準)相同的電位，當數位信號爲 L 位準信號時，其具有與電源電位 VSS(在下文中也稱爲電位 VSS 或 L 位準)相同的電位。注意，可以將電源電位 VDD、電源電位 VSS 或另一電源電位供應給線路 107 和線路 108 的每個。或者，可以將類比信號供應給線路 107 和線路 108 的每個。

接著，參考圖 1B 描述圖 1A 中所示的基本電路的運行。

圖 1B 爲圖 1A 所示的基本電路的時間圖的例子。圖 1B 中的時間圖顯示線路 107 的電位、線路 108 的電位、節點 N11 的電位、線路 109 的電位和電晶體 104 的導通/截止。

透過將整個時段分成時段 T1 到 T4 來描述圖 1B 中的

時間圖。此外，圖 2A 到 3B 分別顯示在時段 T1 到 T4 中圖 1A 中的基本電路的運行。

首先，參考圖 2A 描述時段 T1 中的運行。在時段 T1 中，將 L 位準信號提供給線路 107 並將 L 位準信號提供給線路 108。因此，電晶體 102 截至且電晶體 103 截止。

此外，由於電晶體 101 是以二極體方式連接的，節點 N11 的電位開始上升。節點 N11 的電位一直上升到電晶體 101 截止。當節點 N11 的電位變成從電源電位 VDD 減去臨界值電壓 Vth101 獲得的值(VDD-Vth101)時，電晶體 101 截止。因此，節點 N11 的電位變成 VDD-Vth101。

因此，電晶體 104 導通且線路 109 的電位變成等於電源電位 VSS。

接著，參考圖 2B 描述時段 T2 中的運行。在時段 T2 中，將 H 位準信號提供給線路 107 並將 L 位準信號提供給線路 108。因此，電晶體 102 導通且電晶體 103 截止。

此外，節點 N11 的電位的由電晶體 101 和電晶體 102 的工作點決定。注意，當把電晶體 102 的比值(W/L)(W 表示通道區的通道寬度而 L 表示通道區的通道長度)設置爲充分高於電晶體 101 的比值(W/L)時，節點 N11 的電位變得稍高於電源電位 VSS。

因此，電晶體 104 截止而線路 109 變成浮置狀態。線路 109 的電位保持等於電源電位 VSS，因爲線路 109 在時段 T1 中保持在該電位。

接著，參考圖 3A 描述時段 T3 中的運行。在時段 T3

中，將 L 位準信號提供給線路 107 並將 H 位準信號提供給線路 108。因此，電晶體 102 截止且電晶體 103 導通。

此外，節點 N11 的電位的由電晶體 101 和電晶體 103 的工作點決定。注意，當把電晶體 103 的比值(W/L)設置爲充分高於電晶體 101 的比值(W/L)時，節點 N11 的電位變成稍高於電源電位 VSS。

因此，電晶體 104 截止而線路 109 變成浮置狀態。線路 109 的電位保持等於電源電位 VSS，因爲線路 109 在時段 T1 和 T2 中保持在該電位。

接著，參考圖 3B 描述時段 T4 中的運行。在時段 T4 中，將 H 位準信號提供給線路 107 並將 H 位準信號提供給線路 108。因此，電晶體 102 導通且電晶體 104 導通。

此外，由於節點 N11 的電位由電晶體 101、電晶體 102 和電晶體 103 的工作點決定，因此節點 N11 的電位變成稍高於電源電位 VSS。

因此，電晶體 104 截止而線路 109 變成浮置狀態。線路 109 的電位保持等於電源電位 VSS，因爲線路 109 在時段 T1 到 T3 中保持在該電位。

透過上述運行，圖 1A 中的基本電路在時段 T1 中將電源電位 VSS 提供給線路 109，使得線路 109 的電位變成等於電源電位 VSS。在時段 T2 到 T4，圖 1A 中的基本電路使線路 109 進入浮置狀態，使得線路 109 的電位保持等於電源電位 VSS。

此外，圖 1A 中的基本電路不包括在所有時段 T1 到

T4 中都導通的電晶體。亦即，圖 1A 中的基本電路不包括一直導通或幾乎一直導通的電晶體。因此，圖 1A 中的基本電路能夠抑制電晶體的特性劣化以及因特性劣化而造成的臨界值電壓漂移。

此外，由非晶矽形成的電晶體的特性容易劣化。因此，當圖 1A 中的基本電路中包括的電晶體是由非晶矽形成時，不僅能夠獲得諸如製造成本減少和成品率提高的益處，而且可以解決電晶體特性劣化的問題。

這裏，描述電晶體 101 到 104 的功能。電晶體 101 具有二極體的功能，其中第一端子和閘極對應於輸入端子而第二端子對應於輸出端子。電晶體 102 具有開關的功能，根據線路 107 的電位選擇是否連接線路 106 和節點 N11。電晶體 103 具有開關的功能，根據線路 108 的電位選擇是否連接線路 106 和節點 N11。電晶體 104 具有開關的功能，根據節點 N11 的電位選擇是否連接線路 106 和線路 109。

注意，電晶體 101 可以是任何元件，只要其具有電阻成分。例如，如圖 4A 所示，可以用電阻器 401 代替電晶體 101。利用電阻器 401，可以將節點 N11 的電位設置成在時段 T1 中等於電源電位 VDD。此外，在圖 4B 中顯示圖 4A 中的時間圖。

接著，參考圖 13A 描述圖 1A 中所示的基本電路由 P 通道電晶體構成的情形。

圖 13A 顯示基於本發明的基本原理的基本電路。圖

13A 中的基本電路包括電晶體 1301、電晶體 1302、電晶體 1303 和電晶體 1304。

描述圖 13A 中的基本電路的連接關係。電晶體 1301 的閘極連接到線路 1306，電晶體 1301 的第一端子連接到線路 1306，電晶體 1301 的第二端子連接到電晶體 1304 的閘極。電晶體 1302 的閘極連接到線路 1307，電晶體 1302 的第一端子連接到線路 1305，電晶體 1302 的第二端子連接到電晶體 1304 的閘極。電晶體 1303 的閘極連接到線路 1308，電晶體 1303 的第一端子連接到線路 1305，電晶體 1303 的第二端子連接到電晶體 1304 的閘極。電晶體 1304 的第一端子連接到線路 1305，電晶體 1304 的第二端子連接到線路 1309。注意，電晶體 1301 的第二端子、電晶體 1302 的第二端子、電晶體 1303 的第二端子和電晶體 1304 的閘極的節點由 N131 表示。

此外，電晶體 1301 到 1304 的每個都是 P 通道電晶體。

因此，由於可以僅使用 P 通道電晶體形成圖 13A 中的基本電路，因此不需要形成 N 通道電晶體的步驟。於是，在圖 13A 中的基本電路中，能夠簡化製造方法，從而能夠降低製造成本並能夠提高成品率。

此外，將電源電位 VDD 提供給線路 1305，且將電源電位 VSS 提供給線路 1306。

此外，將信號提供給線路 1307 和線路 1308 的每一個。注意，提供給線路 1307 和線路 1308 的每一個的信號

是二位元數位信號。

接著，參考圖 13B 描述圖 13A 中所示的基本電路的運行。

圖 13B 爲圖 13A 所示的基本電路的時間圖的例子。圖 13B 中的時間圖顯示線路 1307 的電位、線路 1308 的電位、節點 N131 的電位、線路 1309 的電位和電晶體 1304 的導通/截止。

透過將整個時段分成時段 T1 到 T4 來描述圖 13B 中的時間圖。此外，圖 14A 到 15B 分別顯示圖 13A 中的基本電路在時段 T1 到 T4 中的運行。

首先，參考圖 14A 描述時段 T1 中的運行。在時段 T1 中，將 H 位準信號提供給線路 1307 並將 H 位準信號提供給線路 1308。因此，電晶體 1302 截止且電晶體 1303 截止。

此外，由於電晶體 1301 是以二極體的方式連接的，所以節點 N131 的電位開始下降。節點 N131 的電位一直下降到電晶體 1301 截止爲止。當節點 N131 的電位變成電源電位 VSS 和電晶體 1301 的臨界值電壓 Vth1301 的臨界值電壓的絕對值之和(VSS+IVth1301I)時，電晶體 1301 截止。因此，節點 N131 的電位變成 VSS+IVth1301I。

因此，電晶體 1304 導通且線路 1309 的電位變成等於電源電位 VDD。

接著，參考圖 14B 描述時段 T2 中的運行。在時段 T2 中，將 L 位準信號提供給線路 1307 並將 H 位準信號提供

給線路 1308。因此，電晶體 1302 導通且電晶體 1303 截止。

此外，節點 N131 的電位由電晶體 1301 和電晶體 1302 的工作點決定。注意，當把電晶體 1302 的比值(W/L)(W 表示通道區的通道寬度而 L 表示通道區的通道長度)設置爲充分高於電晶體 1301 的比值(W/L)時，節點 N131 的電位變得稍低於電源電位 VDD。

因此，電晶體 1304 截止而線路 1309 變成浮置狀態。線路 1309 的電位保持等於電源電位 VDD，因爲線路 1309 在時段 T1 中保持在該電位。

接著，參考圖 15A 描述時段 T3 中的運行。在時段 T3 中，將 H 位準信號提供給線路 1307 並將 L 位準信號提供給線路 1308。因此，電晶體 1302 截止且電晶體 1303 導通。

此外，節點 N131 的電位由電晶體 1301 和電晶體 1303 的工作點決定。注意，當把電晶體 1303 的比值(W/L)設置爲充分高於電晶體 1301 的比值(W/L)時，節點 N131 的電位變成稍低於電源電位 VDD。

因此，電晶體 1304 截止而線路 1309 變成浮置狀態。線路 1309 的電位保持等於電源電位 VDD，因爲線路 1309 在時段 T1 和 T2 中保持在該電位。

接著，參考圖 15B 描述時段 T4 中的運行。在時段 T4 中，將 L 位準信號提供給線路 1307 並將 L 位準信號提供給線路 1308。因此，電晶體 1302 導通且電晶體 1304 導

通。

此外，由於節點 N131 的電位由電晶體 1301、電晶體 1302 和電晶體 1303 的工作點決定，所以節點 N131 的電位變成稍低於電源電位 VDD。

因此，電晶體 1304 截止而線路 1309 變成浮置狀態。線路 1309 的電位保持等於電源電位 VDD，因爲線路 1309 在時段 T1 到 T3 中保持在該電位。

透過上述運行，圖 13A 中的基本電路在時段 T1 中將電源電位 VDD 提供給線路 1309，使得線路 1309 的電位變成等於電源電位 VDD。在時段 T2 到 T4 中，圖 13A 中的基本電路使線路 1309 進入浮置狀態，使得線路 1309 的電位保持等於電源電位 VDD。

此外，圖 13A 中的基本電路不包括在所有時段 T1 到 T4 中都導通的電晶體。亦即，圖 13A 中的基本電路不包括一直導通或幾乎一直導通的電晶體。因此，圖 13A 中的基本電路能夠抑制電晶體的特性劣化以及因特性劣化而造成的臨界值電壓漂移。

注意，電晶體 1301 到 1304 具有類似於電晶體 101 到 104 的功能。

注意，電晶體 1301 可以是任何元件，只要其具有電阻成分。例如，如圖 16A 所示，可以用電阻器 1601 代替電晶體 1301。利用電阻器 1601，可以將節點 N131 的電位設置成在時段 T1 中等於電源電位 VSS。此外，圖 16B 中顯示圖 16A 中的時間圖。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 2)

在本實施例模式中，參考圖 5A 描述與實施例模式 1 不同的本發明的基本原理。

圖 5A 顯示基於本發明的基本原理的基本電路。圖 5A 中的基本電路包括電晶體 501、電晶體 502、電晶體 503、電晶體 504、電晶體 505、電晶體 506 和電晶體 507。

描述圖 5A 中的基本電路的連接關係。電晶體 501 的閘極連接到線路 508，電晶體 501 的第一端子連接到線路 508，電晶體 501 的第二端子連接到電晶體 504 的閘極。電晶體 502 的閘極連接到線路 510，電晶體 502 的第一端子連接到線路 509，電晶體 502 的第二端子連接到電晶體 504 的閘極。電晶體 503 的閘極連接到線路 511，電晶體 503 的第一端子連接到線路 509，電晶體 503 的第二端子連接到電晶體 504 的閘極。注意，電晶體 501 的第二端子、電晶體 502 的第二端子、電晶體 503 的第二端子和電晶體 504 的閘極的節點由 N51 表示。電晶體 504 的第一端子連接到線路 508，電晶體 504 的第二端子連接到電晶體 507 的閘極。電晶體 505 的閘極連接到線路 510，電晶體 505 的第一端子連接到線路 509，電晶體 505 的第二端子

連接到電晶體 507 的閘極。電晶體 506 的閘極連接到線路 511，電晶體 506 的第一端子連接到線路 509，電晶體 506 的第二端子連接到電晶體 507 的閘極。電晶體 507 的第一端子連接到線路 509，電晶體 507 的第二端子連接到線路 512。注意，電晶體 504 的第二端子、電晶體 505 的第二端子、電晶體 506 的第二端子和電晶體 507 的閘極的節點由 N52 表示。

此外，電晶體 501 到 507 的每個都是 N 通道電晶體。

因此，由於圖 5A 中的基本電路可以僅僅使用 N 通道電晶體形成，可以將非晶矽用於圖 5A 中的基本電路的半導體層。於是，能夠簡化製造方法，從而能夠降低製造成本且能夠提高成品率。此外，還能夠形成諸如大型顯示面板板的半導體裝置。此外，當把多晶矽或單晶矽用於圖 5A 中的基本電路的半導體層時，還可以簡化製造方法。

此外，將電源電位 VDD 提供給線路 508，將電源電位 VSS 提供給線路 509。注意，電源電位 VDD 高於電源電位 VSS。還要注意，可以將數位信號、類比信號等提供給線路 508 和線路 509 的每個，或者可以將另一電源電位提供給它們。

此外，將信號提供給線路 510 和線路 511 的每個。注意，提供給線路 510 和線路 511 的每一個的信號是二位元數位信號。當數位信號爲 H 位準信號時，其可以具有與電源電位 VDD(在下文中也稱爲電位 VDD 或 H 位準)相同的電位，當數位信號爲 L 位準信號時，其具有與電源電位

VSS(在下文中也稱爲電位 VSS 或 L 位準)相同的電位。還要注意，可以將電源電位 VDD、電源電位 VSS 或另一電源電位提供給線路 510 和線路 511 的每一個。或者，可以將類比信號提供給線路 510 和線路 511 的每個。

接著，參考圖 5B 描述圖 5A 中所示的基本電路的運行。

圖 5B 爲圖 5A 所示的基本電路的時間圖的例子。圖 5B 中的時間圖顯示線路 510 的電位、線路 511 的電位、節點 N51 的電位、節點 N52 的電位、線路 512 的電位以及電晶體 507 的導通/截止。

透過將整個時段分成時段 T1 到 T4 來描述圖 5B 中的時間圖。此外，圖 6A 到 7B 分別顯示圖 5A 中的基本電路在時段 T1 到 T4 中的運行。

首先，參考圖 6A 描述時段 T1 中的運行。在時段 T1 中，將 L 位準信號提供給線路 510，電晶體 502 和 505 截止。此外，將 L 位準信號提供給線路 511，電晶體 503 和 506 截止。

此外，由於電晶體 501 是以二極體方式連接的，節點 N51 的電位開始上升。當節點 N51 的電位變成電源電位 VDD 減去電晶體 501 的臨界值電壓 Vth501 所得的值(vdd-Vth501)時，電晶體 501 截止。因此，節點 N51 變成浮置狀態。

此時，電晶體 504 導通且節點 N52 的電位也升高。因此，由於電晶體 504 的閘極(節點 N51)和第二端子(節點

N52)之間的寄生電容，處於浮置狀態中的節點 N51 的電位與節點 N52 的電位同時升高。節點 N51 的電位一直升高到節點 N52 的電位終止升高爲止，節點 N51 的電位變成等於或高於電源電位 VDD 和電晶體 504 的臨界值電壓 Vth504 之和(VDD+Vth504)。亦即，節點 N51 的電位一直升高到節點 N52 的電位變成等於電源電位 VDD 爲止。可以透過執行所謂的引導操作將節點 N52 的電位設置爲等於電源電位 VDD。

因此，電晶體 507 導通且線路 509 的電位變成等於電源電位 VSS。這裏，透過將節點 N52 的電位設置爲等於電源電位 VDD，可以提高電晶體 507 的閘極和源極之間的電位差。因此，能夠容易地導通電晶體 507，且能夠在寬範圍的工作條件下操作基本電路。

接著，參考圖 6B 描述時段 T2 中的運行。在時段 T2 中，將 H 位準信號提供給線路 510，電晶體 502 和 505 導通。此外，將 L 位準信號提供給線路 511，電晶體 503 和 506 截止。

此外，節點 N51 的電位由電晶體 501 和電晶體 502 的工作點決定。注意，當把電晶體 502 的比值(W/L)設置爲充分高於電晶體 501 的比值(W/L)時，節點 N51 的電位變成稍高於電源電位 VSS。

因此，由於電晶體 504 截止而電晶體 505 導通，節點 N52 的電位變成等於電源電位 VSS。因此，電晶體 507 截止而線路 512 變成浮置狀態。線路 512 的電位保持等於電

源電位 VSS，因爲線路 512 在時段 T1 中保持在該電位。

接著，參考圖 7A 描述時段 T3 中的運行。在時段 T3 中，將 L 位準信號提供給線路 510，電晶體 502 和 505 截止。此外，將 H 位準信號提供給線路 511，電晶體 503 和 506 導通。

此外，節點 N51 的電位由電晶體 501 和電晶體 503 的工作點決定。注意，當把電晶體 503 的比值(W/L)設置爲充分高於電晶體 501 的比值(W/L)時，節點 N51 的電位變成稍高於電源電位 VSS。

因此，由於電晶體 504 截止而電晶體 506 導通，節點 N52 的電位變成等於電源電位 VSS。因此，電晶體 507 截止而線路 512 變成浮置狀態。線路 512 的電位保持等於電源電位 VSS，因爲線路 512 在時段 T1 和 T2 中保持在該電位。

接著，參考圖 7B 描述時段 T4 中的運行。在時段 T4 中，將 H 位準信號提供給線路 510，電晶體 502 和 505 導通。此外，將 H 位準信號提供給線路 511，電晶體 503 和 506 導通。

此外，由於節點 N51 的電位由電晶體 501、電晶體 502 和電晶體 503 的工作點決定，所以節點 N51 的電位變成稍高於電源電位 VSS。

因此，由於電晶體 504 截止而電晶體 505 和 506 導通，節點 N52 的電位變成等於電源電位 VSS。因此，電晶體 507 截止而線路 512 變成浮置狀態。線路 512 的電位保

持等於電源電位 VSS，因爲線路 512 在時段 T1 到 T3 中保持在該電位。

透過上述運行，圖 5A 中的基本電路在時段 T1 中將電源電位 VSS 提供給線路 512，使得線路 512 的電位變成等於電源電位 VSS。在時段 T2 到 T4，圖 5A 中的基本電路使線路 512 進入浮置狀態，使得線路 512 的電位保持等於電源電位 VSS。

注意，可以將圖 5A 中的基本電路的節點 N52 的電位設置爲在時段 T1 中等於電源電位 VDD。因此，可以在寬範圍的工作條件下操作圖 5A 中的基本電路。

此外，圖 5A 中的基本電路不包括在所有時段 T1 到 T4 中都導通的電晶體。亦即，圖 5A 中的基本電路不包括一直導通或幾乎一直導通的電晶體。因此，圖 5A 中的基本電路能夠抑制電晶體的特性劣化以及因特性劣化而造成的臨界值電壓漂移。

此外，由非晶矽形成的電晶體的特性容易劣化。因此，當圖 5A 中的基本電路中包括的電晶體是由非晶矽形成時，不僅能夠獲得諸如製造成本減少和成品率提高的益處，而且可以解決電晶體特性劣化的問題。

這裏，描述了電晶體 501 到 507 的功能。電晶體 501 具有二極體的功能，其中第一端子和閘極對應於輸入端子而第二端子對應於輸出端子。電晶體 502 具有開關的功能，根據線路 510 的電位選擇是否連接線路 509 和節點 N51。電晶體 503 具有開關的功能，根據線路 511 的電位

選擇是否連接線路 509 和節點 N51。電晶體 504 具有開關的功能，根據節點 N51 的電位選擇是否連接線路 508 和節點 N52。電晶體 505 具有開關的功能，根據線路 510 的電位選擇是否連接線路 509 和節點 N52。電晶體 506 具有開關的功能，根據線路 511 的電位選擇是否連接線路 509 和節點 N52。電晶體 507 具有開關的功能，根據節點 N52 的電位選擇是否連接線路 509 和線路 512。

注意，由電晶體 501 到 506 構成了兩輸入或非電路，其中線路 510 和 511 對應於輸入端子，節點 N52 對應於輸出端子。

注意，如圖 8A 所示，可以在電晶體 504 的閘極(節點 N51)和第二端子(節點 N52)之間提供電容器 801。這是因爲節點 N51 的電位和節點 N52 的電位被引導操作提高，使得基本電路能夠容易地透過校驗電容器 801 執行引導操作。

還要注意，如圖 8B 所示，不必提供電晶體 503。這是因爲當把 H 位準信號提供給線路 510 時，只需要降低節點 N52 的電位以使電晶體 507 截止。

接著，參考圖 17A 描述圖 5A 中所示的基本電路由 P 通道電晶體構成的情形。

圖 17A 顯示基於本發明的基本原理的基本電路。圖 17A 中的基本電路包括電晶體 1701、電晶體 1702、電晶體 1703、電晶體 1704、電晶體 1705、電晶體 1706 和電晶體 1707。

描述圖 17A 中的基本電路的連接關係。電晶體 1701 的閘極連接到線路 1709，電晶體 1701 的第一端子連接到線路 1709，電晶體 1701 的第二端子連接到電晶體 1704 的閘極。電晶體 1702 的閘極連接到線路 1710，電晶體 1702 的第一端子連接到線路 1708，電晶體 1702 的第二端子連接到電晶體 1704 的閘極。電晶體 1703 的閘極連接到線路 1711，電晶體 1703 的第一端子連接到線路 1708，電晶體 1703 的第二端子連接到電晶體 1704 的閘極。注意，電晶體 1701 的第二端子、電晶體 1702 的第二端子、電晶體 1703 的第二端子和電晶體 1704 的閘極的節點由 N171 表示。電晶體 1704 的第一端子連接到線路 1709，電晶體 1704 的第二端子連接到電晶體 1707 的閘極。電晶體 1705 的閘極連接到線路 1710，電晶體 1705 的第一端子連接到線路 1708，電晶體 1705 的第二端子連接到電晶體 1707 的閘極。電晶體 1706 的閘極連接到線路 1711，電晶體 1706 的第一端子連接到線路 1708，電晶體 1706 的第二端子連接到電晶體 1707 的閘極。電晶體 1707 的第一端子連接到線路 1708，電晶體 1707 的第二端子連接到線路 1712。注意，電晶體 1704 的第二端子、電晶體 1705 的第二端子、電晶體 1706 的第二端子和電晶體 1707 的閘極的節點由 N172 表示。

此外，電晶體 1701 到 1707 的每個都是 P 通道電晶體。

因此，由於可以僅使用 P 通道電晶體形成圖 17A 中

的基本電路，因此不需要形成 N 通道電晶體的步驟。於是，在圖 17A 中的基本電路中，能夠簡化製造方法，從而能夠降低製造成本並能夠提高成品率。

此外，將電源電位 VDD 提供給線路 1708，將電源電位 VSS 提供給線路 1709。注意，電源電位 VDD 高於電源電位 VSS。還要注意，可以將數位信號、類比信號等提供給線路 1708 和線路 1709 的每個，或者可以將另一電源電位提供給它們。

此外，將信號提供給線路 1710 和線路 1711 中的每個。注意，提供給線路 1710 和線路 1711 的每一個的信號是二位元數位信號。還要注意，可以將電源電位 VDD、電源電位 VSS 或另一電源電位提供給線路 1710 和線路 1711 的每一個。或者，可以將類比信號提供給線路 1710 和線路 1711 的每個。

接著，參考圖 17B 描述圖 17A 中所示的基本電路的運行。

圖 17B 爲圖 17A 所示的基本電路的時間圖的例子。圖 17B 中的時間圖顯示線路 1710 的電位、線路 1711 的電位、節點 N171 的電位、節點 N172 的電位、線路 1712 的電位和電晶體 1707 的導通/截止。

透過將整個時段分成時段 T1 到 T4 來描述圖 17B 中的時間圖。此外，圖 18A 到 19B 分別顯示圖 17A 中的基本電路在時段 T1 到 T4 中的運行。

首先，參考圖 18A 描述時段 T1 中的運行。在時段 T1

中，將 H 位準信號提供給線路 1710，電晶體 1702 和 1705 截止。此外，將 H 位準信號提供給線路 1711，電晶體 1703 和 1706 截止。

此外，由於電晶體 1701 是以二極體的方式連接的，所以節點 N171 的電位開始下降。當節點 N171 的電位變成電源電位 VSS 和電晶體 1701 的臨界值電壓 Vth1701 的絕對值之和(VSS+|Vth1701|)時，電晶體 1701 截止。因此，節點 N171 變成浮置狀態。

此時，電晶體 1704 導通，節點 N172 的電位也降低。因此，由於電晶體 1704 的閘極(節點 N171)和第二端子(節點 N172)之間的寄生電容，處於浮置狀態中的節點 N171 的電位與節點 N172 的電位同時降低。節點 N171 的電位一直降低到節點 N172 的電位降低終止爲止，節點 N171 的電位變成等於或低於電源電位 VSS 減去電晶體 1704 的臨界值電壓 Vth1704 的絕對值所得的值(VSS-|Vth1704|)。亦即，節點 N171 的電位一直降低到節點 N172 的電位變成等於電源電位 VSS 爲止。可以透過執行所謂的引導操作將節點 N172 的電位設置爲等於電源電位 VSS。

因此，電晶體 1707 導通且線路 1712 的電位變成等於電源電位 VSS。這裏，透過將節點 N172 的電位設置爲等於電源電位 VSS，可以提高電晶體 1707 的閘極和源極之間的電位差。因此，能夠容易地導通電晶體 1707，且能夠在寬範圍的工作條件下操作基本電路。

接著，參考圖 18B 描述時段 T2 中的運行。在時段 T2

中，將 L 位準信號提供給線路 1710，電晶體 1702 和 1705 導通。此外，將 H 位準信號提供給線路 1711，電晶體 1703 和 1706 截止。

此外，節點 N171 的電位由電晶體 1701 和電晶體 1702 的工作點決定。注意，當把電晶體 1702 的比值(W/L)設置爲充分高於電晶體 1701 的比值(W/L)時，節點 N171 的電位變成稍低於電源電位 VDD。

因此，由於電晶體 1704 截止而電晶體 1705 導通，節點 N172 的電位變成等於電源電位 VDD。因此，電晶體 1707 截止而線路 1712 變成浮置狀態。線路 1712 的電位保持等於電源電位 VDD，因爲線路 1712 在時段 T1 中保持在該電位。

接著，參考圖 19A 描述時段 T3 中的運行。在時段 T3 中，將 H 位準信號提供給線路 1710，電晶體 1702 和 1705 截止。此外，將 L 位準信號提供給線路 1711，電晶體 1703 和 1706 導通。

此外，節點 N171 的電位由電晶體 1701 和電晶體 1703 的工作點決定。注意，當把電晶體 1703 的比值(W/L)設置爲充分高於電晶體 1701 的比值(W/L)時，節點 N171 的電位變成稍低於電源電位 VDD。

因此，由於電晶體 1704 截止而電晶體 1706 導通，節點 N172 的電位變成等於電源電位 VDD。因此，電晶體 1707 截止而線路 1712 變成浮置狀態。線路 1712 的電位保持等於電源電位 VDD，因爲線路 1712 在時段 T1 和 T2

中保持在該電位。

接著，參考圖 19B 描述時段 T4 中的運行。在時段 T4 中，將 L 位準信號提供給線路 1710，電晶體 1702 和 1705 導通。此外，將 L 位準信號提供給線路 1711，電晶體 1703 和 1706 導通。

此外，由於節點 N171 的電位由電晶體 1701、電晶體 1702 和電晶體 1703 的工作點決定，節點 N171 的電位變成稍低於電源電位 VDD。

因此，由於電晶體 1704 截止而電晶體 1705 和 1706 導通，節點 N172 的電位變成等於電源電位 VDD。因此，電晶體 1707 截止而線路 1712 變成浮置狀態。線路 1712 的電位保持等於電源電位 VDD，因爲線路 1712 在時段 T1 到 T3 中保持在該電位。

透過上述運行，圖 17A 中的基本電路在時段 T1 中將電源電位 VDD 提供給線路 1712，使得線路 1712 的電位變成等於電源電位 VDD。在時段 T2 到 T4 中，圖 17A 中的基本電路使線路 1712 進入浮置狀態，使得線路 1712 的電位保持等於電源電位 VDD。

注意，可以將圖 17A 中的基本電路的節點 N172 的電位設置爲在時段 T1 中等於電源電位 VSS。因此，可以在寬範圍的工作條件下操作圖 17A 中的基本電路。

此外，圖 17A 中的基本電路不包括在所有時段 T1 到 T4 中都導通的電晶體。亦即，圖 17A 中的基本電路不包括一直導通或幾乎一直導通的電晶體。因此，圖 17A 中的

基本電路能夠抑制電晶體的特性劣化以及因特性劣化而造成的臨界值電壓漂移。

注意，電晶體 1701 到 1707 具有與電晶體 501 到 507 類似的功能。

注意，由電晶體 1701 到 1706 構成了兩輸入與非電路，其中線路 1710 和 1711 對應於輸入端子，節點 N172 對應於輸出端子。

注意，如圖 20A 所示，可以在電晶體 1704 的閘極(節點 N171)和第二端子(節點 N172)之間提供電容器 2001。這是因爲節點 N171 的電位和節點 N172 的電位被引導操作提高，使得基本電路能夠容易地透過校驗電容器 2001 執行引導操作。

還要注意，如圖 20B 所示，不必一定提供電晶體 1703。這是因爲當將 L 位準信號提供給線路 1710 時，只需要提高節點 N172 的電位以使電晶體 1707 截止。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 3)

在本實施例模式中，參考圖 9A 描述與實施例模式 1 和 2 不同的本發明的基本原理。

圖 9A 顯示基於本發明的基本原理的基本電路。圖 9A 中的基本電路包括電晶體 901、電晶體 902、電晶體 903

和電晶體 904。

描述圖 9A 中的基本電路的連接關係。電晶體 901 的閘極連接到電晶體 904 的閘極，電晶體 901 的第一端子連接到線路 906，電晶體 901 的第二端子連接到電晶體 904 的閘極。電晶體 902 的閘極連接到線路 907，電晶體 902 的第一端子連接到線路 905，電晶體 902 的第二端子連接到電晶體 904 的閘極。電晶體 903 的閘極連接到線路 908，電晶體 903 的第一端子連接到線路 906，電晶體 903 的第二端子連接到電晶體 904 的閘極。電晶體 904 的第一端子連接到線路 906，電晶體 904 的第二端子連接到線路 909。注意，電晶體 901 的第二端子、電晶體 901 的閘極、電晶體 902 的第二端子、電晶體 903 的第二端子和電晶體 904 的閘極的節點由 N91 表示。

此外，電晶體 901 到 904 的每個都是 N 通道電晶體。

因此，由於圖 9A 中的基本電路可以僅僅使用 N 通道電晶體形成，可以將非晶矽用於圖 9A 中的基本電路的半導體層。於是，能夠簡化製造方法，從而能夠降低製造成本且能夠提高成品率。此外，還能夠形成諸如大型顯示面板板的半導體裝置。此外，當把多晶矽或單晶矽用於圖 9A 中的基本電路的半導體層時，還可以簡化製造方法。

此外，將電源電位 VDD 提供給線路 905，將電源電位 VSS 提供給線路 906。注意，電源電位 VDD 高於電源電位 VSS。還要注意，可以將數位信號、類比信號等提供給線路 905 和線路 906 的每個，或者可以將另一電源電位

提供給它們。

此外，可以將信號提供給線路 907 和線路 908 的每個。注意，提供給線路 907 和線路 908 的每一個的信號是二位元數位信號。還要注意，可以將電源電位 VDD、電源電位 VSS 或另一電源電位提供給線路 907 和線路 908 的每一個。或者，可以將類比信號提供給線路 907 和線路 908 的每個。

接著，參考圖 9B 描述圖 9A 中所示的基本電路的運行。

圖 9B 爲圖 9A 所示的基本電路的時間圖的例子。圖 9B 中的時間圖顯示線路 907 的電位、線路 908 的電位、節點 N91 的電位、線路 909 的電位和電晶體 904 的導通/截止。

透過將整個時段分成時段 T1 到 T4 來描述圖 9B 中的時間圖。此外，圖 10A 到 11B 分別顯示圖 9A 中的基本電路在時段 T1 到 T4 中的運行。

首先，參考圖 10A 描述時段 T1 中的運行。在時段 T1 中，將 L 位準信號提供給線路 907，將 L 位準信號提供給線路 908。因此，電晶體 902 截止，電晶體 903 截止。

此外，由於電晶體 901 是以二極體的方式連接的，所以節點 N91 的電位開始下降。節點 N91 的電位一直下降到電晶體 901 截止爲止。當節點 N91 的電位變成電源電位 VSS 和電晶體 901 的臨界值電壓 Vth901 的絕對值之和 (VSS+|Vth901|)時，電晶體 901 截止。因此，節點 N91 的

電位變成 VSS+|Vth901|。

因此，電晶體 904 截止，且線路 909 的電位保持等於電源電位 VSS，因爲線路 909 在時段 T2 中保持在該電位。注意，接著描述在時段 T2 中的操作。

接著，參考圖 10B 描述時段 T2 中的運行。在時段 T2 中，將 H 位準信號提供給線路 907 並將 L 位準信號提供給線路 908。因此，電晶體 902 導通，電晶體 903 截止。

此外，節點 N91 的電位由電晶體 901 和電晶體 902 的工作點決定。注意，當把電晶體 902 的比值(W/L)設置爲充分高於電晶體 901 的比值(W/L)時，節點 N91 的電位變成稍低於電源電位 VDD。

因此，電晶體 904 導通且線路 909 的電位變成等於電源電位 VSS。

接著，參考圖 11A 描述時段 T3 中的運行。在時段 T3 中，將 L 位準信號提供給線路 907 並將 H 位準信號提供給線路 908。因此，電晶體 902 截止，電晶體 903 導通。

因此，節點 N91 的電位變成等於電源電位 VSS，因爲電晶體 904 截止了。

因此，電晶體 904 截止而線路 909 變成浮置狀態。線路 909 的電位保持等於電源電位 VSS，因爲線路 909 在時段 T1 和 T2 中保持在該電位。

接著，參考圖 11B 描述時段 T4 中的運行。在時段 T4 中，將 H 位準信號提供給線路 907 並將 H 位準信號提供給線路 908。因此，電晶體 902 導通，電晶體 904 導通。

此外，由於節點 N91 的電位由電晶體 901、電晶體 902 和電晶體 903 的工作點決定，所以節點 N91 的電位變成稍高於電源電位 VSS。

因此，電晶體 904 截止而線路 909 變成浮置狀態。線路 909 的電位保持等於電源電位 VSS，因爲線路 909 在時段 T1 到 T3 中保持在該電位。

透過上述運行，圖 9A 中的基本電路在時段 T2 中將電源電位 VSS 提供給線路 909，使得線路 909 的電位變成等於電源電位 VSS。在時段 T1、T3 和 T4 中，圖 9A 中的基本電路使線路 909 進入浮置狀態，使得線路 909 的電位保持等於電源電位 VSS。

此外，圖 9A 中的基本電路不包括在所有時段 T1 到 T4 中都導通的電晶體。亦即，圖 9A 中的基本電路不包括一直導通或幾乎一直導通的電晶體。因此，圖 9A 中的基本電路能夠抑制電晶體的特性劣化以及因特性劣化而造成的臨界值電壓漂移。

此外，由非晶矽形成的電晶體的特性容易劣化。因此，當圖 9A 中的基本電路中包括的電晶體是由非晶矽形成時，不僅能夠獲得諸如製造成本減少和成品率提高的益處，而且可以解決電晶體特性劣化的問題。

這裏，描述電晶體 901 到 904 的功能。電晶體 901 具有二極體的功能，其中第二端子和閘極對應於輸入端子，第一端子對應於輸出端子。電晶體 902 具有開關的功能，其根據線路 907 的電位選擇是否連接線路 905 和節點

N91。電晶體 903 具有開關的功能，其根據線路 908 的電位選擇是否連接線路 906 和節點 N91。電晶體 904 具有開關的功能，其根據節點 N91 的電位選擇是否連接線路 906 和線路 909。

注意，由電晶體 901 到 904 構成了兩輸入邏輯電路，其中線路 907 和 908 對應於輸入端子，節點 N91 對應於輸出端子。

注意，電晶體 901 可以是任何元件，只要其具有電阻成分。例如，如圖 12A 所示，可以用電阻器 1201 取代電晶體 901。此外，在圖 12B 中顯示圖 12A 中的時間圖。

接著，參考圖 21A 描述圖 9A 中所示的基本電路由 P 通道電晶體構成的情形。

圖 21A 顯示基於本發明的基本原理的基本電路。圖 21 中的基本電路包括電晶體 2101、電晶體 2102、電晶體 2103 和電晶體 2104。

描述圖 21A 中的基本電路的連接關係。電晶體 2101 的閘極連接到電晶體 2104 的閘極，電晶體 2101 的第一端子連接到線路 2105，電晶體 2101 的第二端子連接到電晶體 2104 的閘極。電晶體 2102 的閘極連接到線路 2107，電晶體 2102 的第一端子連接到線路 2106，電晶體 2102 的第二端子連接到電晶體 2104 的閘極。電晶體 2103 的閘極連接到線路 2108，電晶體 2103 的第一端子連接到線路 2105，電晶體 2103 的第二端子連接到電晶體 2104 的閘極。電晶體 2104 的第一端子連接到線路 2105，電晶體

2104 的第二端子連接到線路 2109。注意，電晶體 2101 的閘極、電晶體 2101 的第二端子、電晶體 2102 的第二端子、電晶體 2103 的第二端子和電晶體 2104 的閘極的節點由 N211 表示。

此外，電晶體 2101 到 2104 的每個都是 P 通道電晶體。

因此，由於可以僅使用 P 通道電晶體形成圖 21A 中的基本電路，因此不需要形成 N 通道電晶體的步驟。於是，在圖 21A 中的基本電路中，能夠簡化製造方法，從而能夠降低製造成本並能夠提高成品率。

此外，將電源電位 VDD 提供給線路 2105，將電源電位 VSS 提供給線路 2106。注意，電源電位 VDD 高於電源電位 VSS。還要注意，可以將數位信號、類比信號等提供給線路 2105 和線路 2106 的每個，或者可以將另一電源電位提供給它們。

此外，將信號提供給線路 2107 和線路 2108 的每個。注意，提供給線路 2107 和線路 2108 的每一個的信號是二位元數位信號。還要注意，可以將電源電位 VDD、電源電位 VSS 或另一電源電位提供給線路 2107 和線路 2108 的每一個。或者，可以將類比信號提供給線路 2107 和線路 2108 的每個。

接著，參考圖 21B 描述圖 21A 中所示的基本電路的運行。

圖 21B 爲圖 21A 所示的基本電路的時間圖的例子。

圖 21B 中的時間圖顯示線路 2107 的電位、線路 2108 的電位、節點 N211 的電位、線路 2109 的電位和電晶體 2104 的導通/截止。

透過將整個時段分成時段 T1 到 T4 來描述圖 21B 中的時間圖。此外，圖 22A 到 23B 分別顯示圖 21A 中的基本電路在時段 T1 到 T4 中的運行。

首先，參考圖 22A 描述時段 T1 中的運行。在時段 T1 中，將 H 位準信號提供給線路 2107，將 H 位準信號提供給線路 2108。因此，電晶體 2102 截止且電晶體 2103 截止。

此外，由於電晶體 2101 是以二極體方式連接的，節點 N211 的電位開始上升。節點 N211 的電位一直上升到電晶體 2101 截止。當節點 N211 的電位變成電源電位 VDD 減去電晶體 2101 的臨界值電壓 Vth2101 的絕對值所得的值(vdd-|Vth2101|)時，電晶體 2101 截止。因此，節點 N211 的電位變成 VDD-|Vth2101|。

因此，電晶體 2104 截止，線路 2109 的電位保持稍低於電源電位 VDD，因爲在時段 T2 中線路 2109 保持在該電位。注意，接著描述在時段 T2 中的操作。

接著，參考圖 22B 描述時段 T2 中的運行。在時段 T2 中，將 L 位準信號提供給線路 2107 並將 H 位準信號提供給線路 2108。因此，電晶體 2102 導通且電晶體 2103 截止。

此外，節點 N211 的電位由電晶體 2101 和電晶體

2102 的工作點決定。注意，當把電晶體 2102 的比值(W/L)設置爲充分高於電晶體 2101 的比值(W/L)時，節點 N211 的電位變成稍高於電源電位 VSS。

因此，電晶體 2104 導通且線路 2109 的電位變成等於電源電位 VDD。

接著，參考圖 23A 描述時段 T3 中的運行。在時段 T3 中，將 H 位準信號提供給線路 2107 並將 L 位準信號提供給線路 2108。因此，電晶體 2102 截止且電晶體 2103 導通。

因此，節點 N211 的電位變成等於電源電位 VDD，因爲電晶體 2102 是截止的。

因此，電晶體 2104 截止，線路 2109 變成浮置狀態。線路 2109 的電位保持等於電源電位 VSS，因爲線路 2109 在時段 T1 和 T2 中保持在該電位。

接著，參考圖 23B 描述時段 T4 中的運行。在時段 T4 中，將 L 位準信號提供給線路 2107，將 L 位準信號提供給線路 2108。因此，電晶體 2102 導通且電晶體 2104 導通。

此外，由於節點 N211 的電位由電晶體 2101、電晶體 2102 和電晶體 2103 的工作點決定，節點 N211 的電位變成稍低於電源電位 VDD。

因此，電晶體 2104 截止而線路 2109 變成浮置狀態。線路 2109 的電位保持等於電源電位 VSS，因爲線路 2109 在時段 T1 到 T3 中保持在該電位。

透過上述操作，圖 21A 中的基本電路在時段 T2 中向線路 2109 提供電源電位 VDD，使得線路 2109 的電位變成等於電源電位 VDD。在時段 T1、T3 和 T4 中，圖 21A 中的基本電路使線路 2109 進入浮置狀態，使得線路 2109 的電位保持等於電源電位 VDD。

此外，圖 21A 中的基本電路不包括在所有時段 T1 到 T4 中都導通的電晶體。亦即，圖 21A 中的基本電路不包括一直導通或幾乎一直導通的電晶體。因此，圖 21A 中的基本電路能夠抑制電晶體的特性劣化以及因特性劣化而造成的臨界值電壓漂移。

注意，電晶體 2101 到 2104 具有類似於電晶體 901 到 904 的功能。

注意，由電晶體 2101 到 2104 構成了兩輸入邏輯電路，其中線路 2107 和 2108 對應於輸入端子，節點 N211 對應於輸出端子。

注意，電晶體 2101 可以是任何元件，只要其具有電阻成分。例如，如圖 24A 所示，可以使用電阻器 2401 以代替電晶體 2101。此外，在圖 24B 中顯示圖 24A 中的時間圖。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 4)

在本實施例模式中，參考圖 25A 描述不同於實施例模式 1 到 3 的本發明的基本原理。

圖 25A 顯示基於本發明的基本原理的基本電路。圖 25A 中的基本電路包括電路 2501 和電路 2502。

注意，作爲電路 2501 和電路 2502，可以使用如圖 1A、4A、5A、8A、8B、9A 和 12A 所示的基本電路。因此，線路 2503 和線路 2504 對應於圖 1A 中的線路 107、圖 4A 中的線路 107、圖 5A 中的線路 510、圖 8A 中的線路 510、圖 8B 中的線路 510、圖 9A 中的線路 907 和圖 12A 中的線路 907。

此外，線路 2505 對應於圖 1A 中的線路 108、圖 4A 中的線路 108、圖 5A 中的線路 511、圖 8A 中的線路 511、圖 8B 中的線路 511、圖 9A 中的線路 908 和圖 12A 中的線路 908。

此外，線路 2506 對應於圖 1A 中的線路 109、圖 4A 中的線路 109、圖 5A 中的線路 512、圖 8A 中的線路 512、圖 8B 中的線路 512、圖 9A 中的線路 909 和圖 12A 中的線路 909。

因此，由於圖 25A 中的基本電路可以僅僅使用 N 通道電晶體形成，可以將非晶矽用於圖 25A 中的基本電路的半導體層。於是，能夠簡化製造方法，從而能夠降低製造成本且能夠提高成品率。此外，還能夠形成諸如大型顯示面板板的半導體裝置。此外，當把多晶矽或單晶矽用於圖 25A 中的基本電路的半導體層時，還可以簡化製造方法。

此外，省去了要向其供應電源電位的線路。

此外，將信號提供給線路 2503、線路 2504 和線路 2505 中的每個。注意，提供給線路 2503、線路 2504 和線路 2505 的每個的信號爲二位元數位信號。

還要注意，可以將電源電位 VDD、電源電位 VSS 或另一電源電位提供給線路 2503、線路 2504 和線路 2505 的每一個。或者，可以將類比信號提供給線路 2503、線路 2504 和線路 2505 的每個。

接著，參考圖 25B 描述圖 25A 中所示的基本電路的運行。注意，圖 25B 顯示將圖 1A、4A、5A 和 8A 所示的基本電路用作電路 2501 和電路 2502 的情形。

圖 25B 爲圖 25A 所示的基本電路的時間圖的例子。圖 25B 中的時間圖顯示線路 2503 的電位、線路 2504 的電位、線路 2505 的電位，電路 2501 的輸出是處於浮置狀態(被描述爲 OFF)還是處於電源電位 VSS(被描述爲 ON)，電路 2502 的輸出是處於浮置狀態(被描述爲 OFF)還是處於電源電位 VSS(被描述爲 ON)，以及線路 2506 的電位。

透過將整個時段分成時段 T1 到 T8 來描述圖 25B 中的時間圖。

首先，描述時段 T1 中的運行。在時段 T1 中，將 L 位準信號提供給線路 2505，將 L 位準信號提供給線路 2503 並將 L 位準信號提供給線路 2504。電路 2501 和電路 2502 的每個將電源電位 VSS 提供給線路 2506。因此，線路 2506 的電位變成等於電源電位 VSS。

接著，描述時段 T2 中的運行。在時段 T2 中，將 L 位準信號提供給線路 2505，將 H 位準信號提供給線路 2503 並將 L 位準信號提供給線路 2504。電路 2501 不向線路 2506 提供電位，電路 2502 將電源電位 VSS 提供給線路 2506。因此，線路 2506 的電位變成等於電源電位 VSS。

接著，描述時段 T3 中的運行。在時段 T3 中，將 L 位準信號提供給線路 2505，將 L 位準信號提供給線路 2503 並將 H 位準信號提供給線路 2504。電路 2501 將電源電位 VSS 提供給線路 2506，電路 2502 不向線路 2506 提供電位。因此，線路 2506 的電位變成等於電源電位 VSS。

接著，描述時段 T4 中的運行。在時段 T4 中，將 L 位準信號提供給線路 2505，將 H 位準信號提供給線路 2503 並將 H 位準信號提供給線路 2504。電路 2501 和電路 2502 的每個不向線路 2506 提供電位。因此，線路 2506 的電位保持等於電源電位 VSS，因爲線路 2506 在時段 T3 中保持在該電位。

接著，描述時段 T5 中的運行。在時段 T5 中，將 H 位準信號提供給線路 2505，將 L 位準信號提供給線路 2503 並將 L 位準信號提供給線路 2504。電路 2501 和電路 2502 的每個不向線路 2506 提供電位。因此，線路 2506 的電位保持等於電源電位 VSS，因爲線路 2506 在時段 T3 中保持在該電位。

接著，描述時段 T6 中的運行。在時段 T6 中，將 H 位準信號提供給線路 2505，將 H 位準信號提供給線路 2503 並將 L 位準信號提供給線路 2504。電路 2501 和電路 2502 的每個不向線路 2506 提供電位。因此，線路 2506 的電位保持等於電源電位 VSS，因爲線路 2506 在時段 T3 中保持在該電位。

接著，描述時段 T7 中的運行。在時段 T7 中，將 H 位準信號提供給線路 2505，將 L 位準信號提供給線路 2503 並將 H 位準信號提供給線路 2504。電路 2501 和電路 2502 的每個不向線路 2506 提供電位。因此，線路 2506 的電位保持等於電源電位 VSS，因爲線路 2506 在時段 T3 中保持在該電位。

接著，描述時段 T8 中的運行。在時段 T8 中，將 H 位準信號提供給線路 2505，將 H 位準信號提供給線路 2503 並將 H 位準信號提供給線路 2504。電路 2501 和電路 2502 的每個不向線路 2506 提供電位。因此，線路 2506 的電位保持等於電源電位 VSS，因爲線路 2506 在時段 T3 中保持在該電位。

透過上述操作，電路 2501 和電路 2502 的每個在時段 T1 中向線路 2506 提供電源電位 VSS，使得線路 2506 的電位變成等於電源電位 VSS。在時段 T2 中，電路 2502 向線路 2506 提供電源電位 VSS，使得線路 2506 的電位變成等於電源電位 VSS。在時段 T3 中，電路 2501 向線路 2506 提供電源電位 VSS，使得線路 2506 的電位變成等於

電源電位 VSS。在時段 T4 到 T8 中，使線路 2506 進入浮置狀態，使得線路 2506 的電位保持等於電源電位 VSS。

此外，圖 25A 中的基本電路不包括在所有時段 T1 到 T8 中都導通的電晶體。亦即，圖 25A 中的基本電路不包括一直導通或幾乎一直導通的電晶體。因此，圖 25A 中的基本電路能夠抑制電晶體的特性劣化以及因特性劣化而造成的臨界值電壓漂移。

此外，由非晶矽形成的電晶體的特性容易劣化。因此，當圖 25A 中的基本電路中包括的電晶體是由非晶矽形成時，不僅能夠獲得諸如製造成本減少和成品率提高的益處，而且可以解決電晶體特性劣化的問題。

接著，參考圖 26A 描述圖 25A 中所示的基本電路由 P 通道電晶體構成的情形。

圖 26A 顯示基於本發明的基本原理的基本電路。圖 26A 中的基本電路包括電路 2601 和電路 2602。

注意，作爲電路 2601 和電路 2602，可以使用圖 13A、16A、17A、20A、20B、21A 和 24A 中所示的基本電路。

因此，線路 2603 和線路 2604 對應於圖 13A 中的線路 1307、圖 16A 中的線路 1307、圖 17A 中的線路 1710、圖 20A 中的線路 1710、圖 20B 中的線路 1710、圖 21A 中的線路 2108 和圖 24A 中的線路 2108。

此外，線路 2605 對應於圖 13A 中的線路 1308、圖 16A 中的線路 1308、圖 17A 中的線路 1711、圖 20A 中的

線路 1711、圖 20B 中的線路 1711、圖 21A 中的線路 2107 和圖 24A 中的線路 2107。

此外，線路 2606 對應於圖 13A 中的線路 1309、圖 16A 中的線路 1309、圖 17A 中的線路 1712、圖 20A 中的線路 1712、圖 20B 中的線路 1712、圖 21A 中的線路 2109 和圖 24A 中的線路 2109。

因此，由於可以僅使用 P 通道電晶體形成圖 26A 中的基本電路，因此不需要形成 N 通道電晶體的步驟。於是，在圖 26A 中的基本電路中，能夠簡化製造方法，從而能夠降低製造成本並能夠提高成品率。

此外，省去了要向其供應電源電位的線路。

此外，將信號提供給線路 2603、線路 2604 和線路 2605 的每個。注意，提供給線路 2603、線路 2604 和線路 2605 的每個的信號爲二位元數位信號。

還要注意，可以將電源電位 VDD、電源電位 VSS 或另一電源電位提供給線路 2603、線路 2604 和線路 2605 的每一個。或者，可以將類比信號提供給線路 2603、線路 2604 和線路 2605 的每個。

接著，參考圖 26B 描述圖 26A 中所示的基本電路的運行。注意，圖 26B 顯示將圖 16A、17A、20A 和 20B 中所示的基本電路用作電路 2601 和電路 2602 的情形。

圖 26B 爲圖 26A 所示的基本電路的時間圖的例子。圖 26B 中的時間圖顯示線路 2603 的電位、線路 2604 的電位、線路 2605 的電位，電路 2601 的輸出是處於浮置狀態

(被描述爲 OFF)還是處於電源電位 VSS(被描述爲 ON)，電路 2602 的輸出是處於浮置狀態(被描述爲 OFF)還是處於電源電位 VSS(被描述爲 ON)，以及線路 2606 的電位。

透過將整個時段分成時段 T1 到 T8 描述圖 26B 中的時間圖。

首先，描述時段 T1 中的運行。在時段 T1 中，將 H 位準信號提供給線路 2605，將 H 位準信號提供給線路 2603 並將 H 位準信號提供給線路 2604。電路 2601 和電路 2602 的每個向線路 2606 提供電源電位 VDD。因此，線路 2606 的電位變成等於電源電位 VDD。

接著，描述時段 T2 中的運行。在時段 T2 中，將 H 位準信號提供給線路 2605，將 L 位準信號提供給線路 2603 並將 H 位準信號提供給線路 2604。電路 2601 不向線路 2606 提供電位，電路 2602 向線路 2606 提供電源電位 VDD。因此，線路 2606 的電位變成等於電源電位 VDD。

接著，描述時段 T3 中的運行。在時段 T3 中，將 H 位準信號提供給線路 2605，將 H 位準信號提供給線路 2603 並將 L 位準信號提供給線路 2604。電路 2601 向線路 2606 提供電源電位 VDD，電路 2602 不向線路 2606 提供電位。因此，線路 2606 的電位變成等於電源電位 VDD。

接著，描述時段 T4 中的運行。在時段 T4 中，將 H 位準信號提供給線路 2605，將 L 位準信號提供給線路 2603 並將 L 位準信號提供給線路 2604。電路 2601 和電路 2602 的每個都不向線路 2606 提供電位。因此，線路 2606

的電位保持等於電源電位 VDD，因爲線路 2606 在時段 T3 中保持在該電位。

接著，描述時段 T5 中的運行。在時段 T5 中，將 L 位準信號提供給線路 2605，將 H 位準信號提供給線路 2603 並將 H 位準信號提供給線路 2604。電路 2601 和電路 2602 的每個都不向線路 2606 提供電位。因此，線路 2606 的電位保持等於電源電位 VDD，因爲線路 2606 在時段 T3 中保持在該電位。

接著，描述時段 T6 中的運行。在時段 T6 中，將 L 位準信號提供給線路 2605，將 L 位準信號提供給線路 2603 並將 H 位準信號提供給線路 2604。電路 2601 和電路 2602 的每個都不向線路 2606 提供電位。因此，線路 2606 的電位保持等於電源電位 VDD，因爲線路 2606 在時段 T3 中保持在該電位。

接著，描述時段 T7 中的運行。在時段 T7 中，將 L 位準信號提供給線路 2605，將 H 位準信號提供給線路 2603 並將 L 位準信號提供給線路 2604。電路 2601 和電路 2602 的每個都不向線路 2606 提供電位。因此，線路 2606 的電位保持等於電源電位 VDD，因爲線路 2606 在時段 T3 中保持在該電位。

接著，描述時段 T8 中的運行。在時段 T8 中，將 L 位準信號提供給線路 2605，將 L 位準信號提供給線路 2603 並將 L 位準信號提供給線路 2604。電路 2601 和電路 2602 的每個都不向線路 2606 提供電位。因此，線路 2606

的電位保持等於電源電位 VDD，因爲線路 2606 在時段 T3 中保持在該電位。

透過上述操作，電路 2601 和電路 2602 的每個在時段 T1 中向線路 2606 提供電源電位 VDD，使得線路 2606 的電位變成等於電源電位 VDD。在時段 T2 中，電路 2602 向線路 2606 提供電源電位 VDD，使得線路 2606 的電位變成等於電源電位 VDD。在時段 T3 中，電路 2601 向線路 2606 提供電源電位 VDD，使得線路 2606 的電位變成等於電源電位 VDD。在時段 T4 到 T8 中，使線路 2606 進入浮置狀態，使得線路 2606 的電位保持等於電源電位 VDD。

此外，圖 26A 中的基本電路不包括在所有時段 T1 到 T8 中都導通的電晶體。亦即，圖 26A 中的基本電路不包括一直導通或幾乎一直導通的電晶體。因此，圖 26A 中的基本電路能夠抑制電晶體的特性劣化以及因特性劣化而造成的臨界值電壓漂移。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 5)

在本實施例模式中，參考圖 27 描述將實施例模式 1 中所述的基本電路用於正反器電路的情形。

圖 27 爲將實施例模式 1 中所述的圖 1A 中的基本電路

用於其的正反器電路的例子。圖 27 中的正反器電路包括電晶體 2701、電晶體 2702、電晶體 2703、電晶體 2704、電晶體 2705、電晶體 2706、電晶體 2707 和電晶體 2708。

注意，電晶體 2705 對應於圖 1A 中的電晶體 101；電晶體 2707 對應於圖 1A 中的電晶體 103，電晶體 2706 對應於圖 1A 中的電晶體 102。此外，電晶體 2703 和電晶體 2704 對應於圖 1A 中的電晶體 104。

描述圖 27 中的正反器電路的連接關係。注意，電晶體 2701 的第二端子、電晶體 2708 的第二端子、電晶體 2706 的閘極、電晶體 2704 的第二端子和電晶體 2702 的閘極的節點由 N271 表示。此外，電晶體 2705 的第二端子、電晶體 2706 的第二端子、電晶體 2707 的第二端子、電晶體 2703 的閘極和電晶體 2704 的閘極的節點由 N272 表示。

電晶體 2701 的閘極連接到線路 2712，電晶體 2701 的第一端子連接到線路 2709，電晶體 2701 的第二端子連接到節點 N271。電晶體 2708 的閘極連接到線路 2713，電晶體 2708 的第一端子連接到線路 2710，電晶體 2708 的第二端子連接到節點 N271。電晶體 2705 的閘極連接到線路 2709，電晶體 2705 的第一端子連接到線路 2709，電晶體 2705 的第二端子連接到節點 N272。電晶體 2706 的閘極連接到節點 N271，電晶體 2706 的第一端子連接到線路 2710，電晶體 2706 的第二端子連接到節點 N272。電晶體

2707 的閘極連接到線路 2711，電晶體 2707 的第一端子連接到線路 2710，電晶體 2707 的第二端子連接到節點 N272。電晶體 2704 的閘極連接到 N272，電晶體 2704 的第一端子連接到線路 2710，電晶體 2704 的第二端子連接到節點 N271。電晶體 2703 的閘極連接到 N272，電晶體 2703 的第一端子連接到線路 2710，電晶體 2703 的第二端子連接到線路 2714。電晶體 2702 的閘極連接到 N271，電晶體 2702 的第一端子連接到線路 2711，電晶體 2702 的第二端子連接到線路 2714。

此外，電晶體 2701 到 2708 的每個都是 N 通道電晶體。

因此，因爲可以僅使用 N 通道電晶體形成圖 27 中的正反器電路，可以將非晶矽用於圖 27 中的正反器電路的半導體層。於是，能夠簡化製造方法，從而能夠降低製造成本且能夠提高成品率。此外，還能夠形成諸如大型顯示面板板的半導體裝置。此外，當將多晶矽或單晶矽用於圖 27 中的正反器電路的半導體層時，還可以簡化製造方法。

此外，將電源電位 VDD 提供給線路 2709，將電源電位 VSS 提供給線路 2710。注意，電源電位 VDD 高於電源電位 VSS。還要注意，可以將數位信號、類比信號等提供給線路 2709 和線路 2710 的每個，或者可以將另一電源電位提供給它們。

此外，將信號提供給線路 2711、線路 2712 和線路

2713 的每個。注意，提供給線路 2711、線路 2712 和線路 2713 的每個的信號爲二位元數位信號。還要注意，可以將電源電位 VDD、電源電位 VSS 或另一電源電位提供給線路 2711、線路 2712 和線路 2713 的每一個。或者，可以將類比信號提供給線路 2711、線路 2712 和線路 2713 的每個。

接著，參考圖 28 描述圖 27 中所示的正反器電路的運行。

圖 28 爲圖 27 所示的正反器電路的時間圖的例子。圖 28 中的時間圖顯示線路 2711 的電位、線路 2712 的電位、節點 N271 的電位、節點 N272 的電位、線路 2714 的電位、電晶體 2703 和電晶體 2704 的導通/截止關係和線路 2713 的的電位。

透過將整個時段分成時段 T1 到 T4 來描述圖 28 中的時間圖。此外，透過將整個時段分成時段 T3a 和時段 T3b 描述時段 T3。此外，圖 29 到 33 分別顯示圖 27 中的正反器電路在時段 T1、T2、T3b、T4 和 T3a 中的運行。

注意，在除了時段 T1、T2 和 T3b 之外的時段中依次重復時段 T3a 和時段 T4。

首先，參考圖 29 描述時段 T1 中的運行。在時段 T1 中，將 L 位準信號提供給線路 2711，將 H 位準信號提供給線路 2712 並將 L 位準信號提供給線路 2713。

因此，電晶體 2701 導通，而電晶體 2708 和電晶體 2707 截止。此時，透過電晶體 2701 將電源電位 VDD 提

供給節點 N271，使得節點 N271 的電位升高。此外，電晶體 2706 被節點 N271 的電位的升高導通，使得節點 N272 的電位降低。此外，電晶體 2703 和電晶體 2704 被節點 N272 的電位的降低截止。

這裏，節點 N271 的電位一直上升到電晶體 2701 截止爲止。當節點 N271 的電位變成電源電位 VDD 減去電晶體 2701 的臨界值電壓 Vth2701 所得的值(vdd-Vth2701)時，電晶體 2701 截止。因此，節點 N271 的電位變成 VDD-Vth2701。此外，節點 N271 變成浮置狀態。

因此，電晶體 2702 導通。此外，由於線路 2711 的 L 位準信號被提供給線路 2714，線路 2714 的電位變成等於電源電位 VSS。

接著，參考圖 30 描述時段 T2 中的運行。在時段 T2 中，將 H 位準信號提供給線路 2711，將 L 位準信號提供給線路 2712 並將 L 位準信號提供給線路 2713。

因此，電晶體 2701 截止，電晶體 2708 保持截止，而電晶體 2707 導通。此時，節點 N271 處於浮置狀態，節點 N271 的電位保持在 VDD-Vth2701。此外，節點 N272 的電位保持在 L 位準，因爲電晶體 2706 和電晶體 2707 是導通的。於是，由於節點 N272 處於 L 位準，電晶體 2703 和電晶體 2704 保持截止。

這裏，節點 N271 處於浮置狀態並保持在 H 位準。此外，由於節點 N271 保持在 H 位準，電晶體 2702 保持導通。此外，由於線路 2711 的 H 位準信號被提供給線路

2714，線路 2714 的電位升高。因此，由於透過引導操作節點 N271 的電位變成等於或高於電源電位 VDD 和電晶體 2702 的臨界值電壓 Vth2702 之和(VDD+Vth2702)，因此線路 2714 的電位變成等於電源電位 VDD。

接著，參考圖 31 描述時段 T3b 中的運行。在時段 T3b 中，將 L 位準信號提供給線路 2711，將 L 位準信號提供給線路 2712 並將 H 位準信號提供給線路 2713。

因此，電晶體 2701 保持截止，電晶體 2708 導通，而電晶體 2707 截止。此時，透過電晶體 2708 將電源電位 VSS 提供給節點 N271，使得節點 N271 的電位降低。此外，電晶體 2706 被節點 N271 的電位的降低截止，使得節點 N272 的電位升高。此外，電晶體 2703 和電晶體 2704 被節點 N272 的電位的升高導通。

此外，電晶體 2702 被節點 N271 的電位的降低截止。因此，由於透過電晶體 2703 將電源電位 VSS 提供給線路 2714，線路 2714 的電位變成等於電源電位 VSS。

接著，參考圖 32 描述時段 T4 中的運行。在時段 T4 中，將 H 位準信號提供給線路 2711，將 L 位準信號提供給線路 2712，並將 L 位準信號提供給線路 2713。

因此，電晶體 2701 保持截止，電晶體 2708 截止，而電晶體 2707 導通。此時，節點 N271 變成浮置狀態，且節點 N271 的電位保持在電源電位 VSS。於是，電晶體 2706 和電晶體 2702 截止。此外，節點 N272 的電位變成 L 位準，因爲透過電晶體 2707 向其提供了電源電位 VSS。因

此，電晶體 2703 和電晶體 2704 截止。

因此，線路 2714 變成浮置狀態，且線路 2714 的電位保持等於電源電位 VSS。

接著，參考圖 33 描述時段 T3a 中的運行。在時段 T3a 中，將 L 位準信號提供給線路 2711，將 L 位準信號提供給線路 2712 並將 L 位準信號提供給線路 2713。

因此，電晶體 2701 和電晶體 2708 保持截止，而電晶體 2707 截止。此時，由於電晶體 2707 截止，節點 N272 的電位升高。於是，電晶體 2703 和電晶體 2704 導通。此外，透過電晶體 2704 將電源電位 VSS 提供給節點 N271，使得節點 N271 的電位變成等於電源電位 VSS。因此，電晶體 2702 和電晶體 2706 保持截止。

此外，由於透過電晶體 2703 將電源電位 VSS 提供給線路 2714，線路 2714 的電位保持等於電源電位 VSS。

透過上述操作，在時段 T1 中圖 27 中的正反器電路將處於 H 位準的節點 N271 保持在浮置狀態中。在時段 T2 中，圖 27 中的正反器電路透過引導操作將節點 N271 的電位設定爲等於或高於 VDD+Vth2702，從而能夠將線路 2714 的電位設定爲等於電源電位 VDD。

此外，在時段 T3a 中，圖 27 中的正反器電路導通電晶體 2703 和電晶體 2704，並將電源電位 VSS 提供給線路 2714 和節點 N271。在時段 T4 中，圖 27 中的正反器電路截止電晶體 2703 和電晶體 2704。因此，由於圖 27 中的正反器電路依次導通電晶體 2703 和電晶體 2704，其能夠

抑制電晶體 2703 和電晶體 2704 的特性劣化，從而能夠將節點 N271 和線路 2714 每者的電位穩定地保持在等於電源電位 VSS。

此外，圖 27 中的正反器電路不包括在所有的時段 T1 到 T4 中都導通的電晶體。亦即，圖 27 中的正反器電路不包括總是或幾乎總是導通的電晶體。因此，圖 27 中的正反器電路能夠抑制電晶體的特性劣化和由於特性劣化導致的臨界值電壓漂移。

此外，由非晶矽形成的電晶體的特性容易劣化。因此，當圖 27 中的正反器電路中包括的電晶體是由非晶矽形成時，不僅能夠獲得諸如製造成本減少和成品率提高的益處，而且可以解決電晶體特性劣化的問題。

這裏，描述電晶體 2701 到 2708 的功能。電晶體 2701 具有開關的功能，其根據線路 2712 的電位選擇是否連接線路 2709 和節點 N271。電晶體 2702 具有開關的功能，其根據節點 N271 的電位選擇是否連接線路 2711 和線路 2714。電晶體 2703 具有開關的功能，其根據節點 N272 的電位選擇是否連接線路 2710 和線路 2714。電晶體 2704 具有開關的功能，其根據節點 N272 的電位選擇是否連接線路 2710 和節點 N271。電晶體 2705 具有二極體的功能，其中第一端子和閘極對應於輸入端子，第二端子對應於輸出端子。電晶體 2706 具有開關的功能，其根據節點 N271 的電位選擇是否連接線路 2710 和節點 N272。電晶體 2707 具有開關的功能，其根據線路 2711 的電位選擇是

否連接線路 2710 和節點 N272。電晶體 2708 具有開關的功能，其根據線路 2713 的電位選擇是否連接線路 2710 和節點 N271。

注意，由電晶體 2705、電晶體 2706 和電晶體 2707 構成了兩輸入或非電路，其中節點 N271 和線路 2711 對應於輸入端子，節點 N272 對應於輸出端子。

注意，電晶體 2705 可以是任何元件，只要其具有電阻成分。例如，如圖 34 所示，可以用電阻器 3401 代替電晶體 2705。利用電阻器 3401，能夠將節點 N272 的電位設定爲等於電源電位 VDD。

注意，如圖 35 所示，可以在電晶體 2702 的閘極(節點 N271)和第二端子(線路 2714)之間提供電容器 3501。這是因爲在時段 T2 中透過引導操作升高了節點 N271 的電位和線路 2714 的電位，使得正反器電路能夠容易地透過校驗電容器 3501 而執行引導操作。

注意，只需要電晶體 2701 在時段 T1 中使節點 N271 進入浮置狀態以便節點 N271 的電位變成 H 位準。因此，即使在電晶體 2701 的第一端子連接到線路 2712 時，電晶體 2701 也能夠使節點 N271 進入浮置狀態，以便節點 N271 的電位變成 H 位準。

接著，參考圖 44 描述圖 27 中所示的正反器電路由 P 通道電晶體構成的情形。

圖 44 爲將實施例模式 1 中所述的圖 13A 中的基本電路用於其的正反器電路的例子。圖 44 中的正反器電路包

括電晶體 4401、電晶體 4402、電晶體 4403、電晶體 4404、電晶體 4405、電晶體 4406、電晶體 4407 和電晶體 4408。

注意，電晶體 4405 對應於圖 13A 中的電晶體 1301，電晶體 4407 對應於圖 13A 中的電晶體 1302，電晶體 4406 對應於圖 13A 中的電晶體 1303。此外，電晶體 4403 和電晶體 4404 對應於圖 13A 中的電晶體 1304。

描述圖 44 中的正反器電路的連接關係。注意，電晶體 4401 的第二端子、電晶體 4408 的第二端子、電晶體 4406 的閘極、電晶體 4404 的第二端子和電晶體 4402 的閘極的節點由 N441 表示。此外，電晶體 4405 的第二端子、電晶體 4406 的第二端子、電晶體 4407 的第二端子、電晶體 4403 的閘極和電晶體 4404 的閘極的節點由 N442 表示。

電晶體 4401 的閘極連接到線路 4412，電晶體 4401 的第一端子連接到線路 4409，電晶體 4401 的第二端子連接到節點 N441。電晶體 4408 的閘極連接到線路 4413，電晶體 4408 的第一端子連接到線路 4410，電晶體 4408 的第二端子連接到節點 N441。電晶體 4405 的閘極連接到線路 4409，電晶體 4405 的第一端子連接到線路 4409，電晶體 4405 的第二端子連接到節點 N442。電晶體 4406 的閘極連接到節點 N441，電晶體 4406 的第一端子連接到線路 4410，電晶體 4406 的第二端子連接到節點 N442。電晶體 4407 的閘極連接到線路 4411，電晶體 4407 的第一端子連

接到線路 4410，電晶體 4407 的第二端子連接到節點 N442。電晶體 4404 的閘極連接到節點 N442，電晶體 4404 的第一端子連接到線路 4410，電晶體 4404 的第二端子連接到節點 N441。電晶體 4403 的閘極連接到節點 N442，電晶體 4403 的第一端子連接到線路 4410，電晶體 4403 的第二端子連接到線路 4414。電晶體 4402 的閘極連接到節點 N441，電晶體 4402 的第一端子連接到線路 4411，電晶體 4402 的第二端子連接到線路 4414。

此外，電晶體 4401 到 4408 的每個都是 P 通道電晶體。

因此，由於可以僅使用 P 通道電晶體形成圖 44 中的正反器電路，因此不需要形成 N 通道電晶體的步驟。於是，在圖 44 中的正反器電路中，可以簡化製造方法，從而能夠降低製造成本並能夠提高成品率。

此外，將電源電位 VDD 提供給線路 4410，將電源電位 VSS 提供給線路 4409。注意，電源電位 VDD 高於電源電位 VSS。還要注意，可以將數位信號、類比信號等提供給線路 4409 和線路 4410 的每個，或者可以將另一電源電位提供給它們。

此外，將信號提供給線路 4411、線路 4412 和線路 4413 的每個。注意，提供給線路 4411、線路 4412 和線路 4413 的每個的信號爲二位元數位信號。還要注意，可以將電源電位 VDD、電源電位 VSS 或另一電源電位提供給線路 4411、線路 4412 和線路 4413 的每一個。或者，可

以將類比信號提供給線路 4411、線路 4412 和線路 4413 的每個。

接著，參考圖 45 描述圖 44 中所示的正反器電路的運行。

圖 45 爲圖 44 所示的正反器電路的時間圖的例子。圖 45 中的時間圖顯示線路 4411 的電位、線路 4412 的電位、節點 N441 的電位、節點 N442 的電位、線路 4414 的電位、電晶體 4403 和電晶體 4404 的導通/截止關係和線路 4413 的電位。

透過將整個時段分成時段 T1 到 T4 來描述圖 44 中的時間圖。此外，透過將整個時段分成時段 T3a 和時段 T3b 描述時段 T3。

注意，在除了時段 T1、T2 和 T3b 之外的時段中依次重復時段 T3a 和時段 T4。

首先，描述時段 T1 中的運行。在時段 T1 中，將 H 位準信號提供給線路 4411，將 L 位準信號提供給線路 4412 並將 H 位準信號提供給線路 4413。

因此，電晶體 4401 導通，電晶體 4408 和電晶體 4407 截止。此時，透過電晶體 4401 將電源電位 VSS 提供給節點 N441，使得節點 N441 的電位降低。此外，電晶體 4406 被節點 N441 的電位的降低導通，使得節點 N442 的電位升高。此外，電晶體 4403 和電晶體 4404 被節點 N442 的電位的升高截止。

這裏，節點 N441 的電位一直下降到電晶體 4401 截止

爲止。當節點 N441 的電位變成電源電位 VSS 和電晶體 4401 的臨界值電壓 Vth4401 的絕對值之和(VSS+|Vth4401|)時，電晶體 4401 截止。因此，節點 N441 的電位變成 VSS+|Vth4401|。此外，節點 N441 變成浮置狀態。

因此，電晶體 4402 導通。此外，由於線路 4411 的 H 位準信號被提供給線路 4414，線路 4414 的電位變成等於電源電位 VDD。

接著，描述時段 T2 中的運行。在時段 T2 中，將 L 位準信號提供給線路 4411，將 H 位準信號提供給線路 4412 並將 H 位準信號提供給線路 4413。

因此，電晶體 4401 截止，電晶體 4408 保持截止且電晶體 4407 導通。此時，節點 N441 處於浮置狀態，節點 N441 的電位保持在 VSS+|Vth4401|。此外，節點 N442 的電位保持在 H 位準，因爲電晶體 4406 和電晶體 4407 是導通的。於是，由於節點 N442 處於 H 位準，電晶體 4403 和電晶體 4404 保持截止。

這裏，節點 N441 處於浮置狀態並保持在 L 位準。此外，由於節點 N441 保持在 L 位準，電晶體 4402 保持導通。此外，由於線路 4411 的 L 位準信號被提供給線路 4414，線路 4414 的電位降低。因此，節點 N441 的電位透過引導操作變成等於或低於電源電位 VSS 減去電晶體 4402 的臨界值電壓 Vth4402 的絕對值所得的值(VSS-|Vth4402|)，使得線路 4414 的電位變成等於電源電位 VSS。

接著，描述時段 T3b 中的運行。在時段 T3b 中，將 H 位準信號提供給線路 4411，將 H 位準信號提供給線路 4412 並將 L 位準信號提供給線路 4413。

因此，電晶體 4401 保持截止，電晶體 4408 導通且電晶體 4407 截止。此時，透過電晶體 4408 將電源電位 VDD 提供給節點 N441，使得節點 N441 的電位升高。此外，電晶體 4406 被節點 N441 的電位的升高截止，使得節點 N442 的電位降低。此外，電晶體 4403 和電晶體 4404 被節點 N442 的電位的降低導通。

此外，電晶體 4402 被節點 N441 的電位的升高截止。因此，由於透過電晶體 4403 將電源電位 VDD 提供給線路 4414，線路 4414 的電位變成等於電源電位 VDD。

接著，描述時段 T4 中的運行。在時段 T4 中，將 L 位準信號提供給線路 4411，將 H 位準信號提供給線路 4412 並將 H 位準信號提供給線路 4413。

因此，電晶體 4401 保持截止，電晶體 4408 截止且電晶體 4407 導通。此時，節點 N441 變成浮置狀態，且節點 N441 的電位保持在電源電位 VDD。於是，電晶體 4406 和電晶體 4402 截止。此外，節點 N442 的電位變成 H 位準，因爲透過電晶體 4407 將電源電位 VDD 提供給其。因此，電晶體 4403 和電晶體 4404 截止。

因此，線路 4414 變成浮置狀態，且線路 4414 的電位保持等於電源電位 VDD。

接著，描述時段 T3a 中的運行。在時段 T3a 中，將 H

位準信號提供給線路 4411，將 H 位準信號提供給線路 4412 並將 H 位準信號提供給線路 4413。

因此，電晶體 4401 和電晶體 4408 保持截止，電晶體 4407 截止。此時，由於電晶體 4407 截止，節點 N442 的電位降低。於是，電晶體 4403 和電晶體 4404 導通。此外，透過電晶體 4404 將電源電位 VDD 提供給節點 N441，使得節點 N441 的電位變成等於電源電位 VDD。因此，電晶體 4402 和電晶體 4406 保持截止。

此外，由於透過電晶體 4403 將電源電位 VDD 提供給線路 4414，線路 4414 的電位保持等於電源電位 VDD。

透過上述操作，在時段 T1 中圖 44 中的正反器電路將處於 H 位準的節點 N441 保持在浮置狀態中。在時段 T2 中，圖 44 中的正反器電路透過引導操作將節點 N441 的電位設定爲等於或低於 VSS-|Vth4402|，從而能夠將線路 4414 的電位設定爲等於電源電位 VSS。

此外，在時段 T3a 中，圖 44 中的正反器電路導通電晶體 4403 和電晶體 4404，並將電源電位 VDD 提供給線路 4414 和節點 N441。在時段 T4 中，圖 44 中的正反器電路截止電晶體 4403 和電晶體 4404。因此，由於圖 44 中的正反器電路依次導通電晶體 4403 和電晶體 4404，其能夠抑制電晶體 4403 和電晶體 4404 的特性劣化，從而能夠將節點 N441 和線路 4414 每者的電位穩定地保持在等於電源電位 VDD。

此外，圖 44 中的正反器電路不包括在所有的時段 T1

到 T4 中都導通的電晶體。亦即，圖 44 中的正反器電路不包括總是或幾乎總是導通的電晶體。因此，圖 44 中的正反器電路能夠抑制電晶體的特性劣化和由於特性劣化導致的臨界值電壓漂移。

注意，電晶體 4401 到 4408 具有類似於電晶體 2701 到 2708 的功能。

注意，由電晶體 4405 到 4407 構成了兩輸入與非電路，其中節點 N441 和線路 4411 對應於輸入端子，節點 N442 對應於輸出端子。

注意，電晶體 4405 可以是任何元件，只要其具有電阻成分。例如，如圖 46 所示，可以用電阻器 4601 代替電晶體 4405。利用電阻器 4601，能夠將節點 N442 的電位設定爲等於電源電位 VSS。

注意，如圖 47 所示，可以在電晶體 4402 的閘極(節點 N441)和第二端子(線路 4414)之間提供電容器 4701。這是因爲在時段 T2 中透過引導操作升高了節點 N441 的電位和線路 4414 的電位，使得正反器電路能夠容易地透過校驗電容器 4701 而執行引導操作。

注意，只需要電晶體 4401 在時段 T1 中使節點 N441 進入浮置狀態以便節點 N441 的電位變成 L 位準。因此，即使在電晶體 4401 的第一端子連接到線路 4412 時，電晶體 4401 也能夠使節點 N441 進入浮置狀態，以便節點 N441 的電位變成 L 位準。

注意，可以將本實施例模式自由地與本說明書中其他

實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 6)

在本實施例模式中，參考圖 36 描述將實施例模式 2 中所述的基本電路用於正反器電路的情形。

圖 36 爲將實施例模式 2 中所述的圖 5A 中的基本電路用於其的正反器電路的例子。圖 36 中的正反器電路包括電晶體 3600、電晶體 3601、電晶體 3602、電晶體 3603、電晶體 3604、電晶體 3605、電晶體 3606、電晶體 3607 和電晶體 3608、電晶體 3609 和電晶體 3610。

注意，電晶體 3605 對應於圖 5A 中的電晶體 501，電晶體 3607 對應於圖 5A 中的電晶體 502，電晶體 3606 對應於圖 5A 中的電晶體 503，電晶體 3608 對應於圖 5A 中的電晶體 504，電晶體 3610 對應於圖 5A 中的電晶體 505，電晶體 3609 對應於圖 5A 中的電晶體 506。此外，電晶體 3603 和電晶體 3604 對應於圖 5A 中的電晶體 507。

描述圖 36 中的正反器電路的連接關係。注意，電晶體 3601 的第二端子、電晶體 3600 的第二端子、電晶體 3606 的閘極、電晶體 3604 的第二端子和電晶體 3602 的閘極的節點由 N361 表示。此外，電晶體 3605 的第二端子、電晶體 3606 的第二端子、電晶體 3607 的第二端子和電晶體 3608 的閘極的節點由 N362 表示。此外，電晶體

3609 的第二端子、電晶體 3608 的第二端子、電晶體 3610 的第二端子、電晶體 3603 的閘極和電晶體 3604 的閘極的節點由 N363 表示。

電晶體 3601 的閘極連接到線路 3614，電晶體 3601 的第一端子連接到線路 3611，電晶體 3601 的第二端子連接到節點 N361。電晶體 3600 的閘極連接到線路 3615，電晶體 3600 的第一端子連接到線路 3612，電晶體 3600 的第二端子連接到節點 N361。電晶體 3606 的閘極連接到節點 N361，電晶體 3606 的第一端子連接到線路 3612，電晶體 3606 的第二端子連接到節點 N362。電晶體 3605 的閘極連接到線路 3611，電晶體 3605 的第一端子連接到線路 3611，電晶體 3605 的第二端子連接到節點 N362。電晶體 3607 的閘極連接到節點 N363，電晶體 3607 的第一端子連接到線路 3612，電晶體 3607 的第二端子連接到節點 N362。電晶體 3608 的閘極連接到節點 N362，電晶體 3608 的第一端子連接到線路 3611，電晶體 3608 的第二端子連接到節點 N363。電晶體 3609 的閘極連接到節點 N361，電晶體 3609 的第一端子連接到線路 3612，電晶體 3609 的第二端子連接到節點 N363。電晶體 3610 的閘極連接到線路 3613，電晶體 3610 的第一端子連接到線路 3612，電晶體 3610 的第二端子連接到節點 N363。電晶體 3604 的閘極連接到節點 N363，電晶體 3604 的第一端子連接到線路 3612，電晶體 3604 的第二端子連接到節點 N361。電晶體 3603 的閘極連接到節點 N363，電晶體

3603 的第一端子連接到線路 3612，電晶體 3603 的第二端子連接到線路 3616。電晶體 3602 的閘極連接到節點 N361，電晶體 3602 的第一端子連接到線路 3613，電晶體 3602 的第二端子連接到線路 3616。

此外，電晶體 3600 到 3610 的每個都是 N 通道電晶體。

因此，因爲可以僅使用 N 通道電晶體形成圖 36 中的正反器電路，可以將非晶矽用於圖 36 中的正反器電路的半導體層。於是，能夠簡化製造方法，從而能夠降低製造成本且能夠提高成品率。此外，還能夠形成諸如大型顯示面板板的半導體裝置。此外，當將多晶矽或單晶矽用於圖 36 中的正反器電路的半導體層時，還可以簡化製造方法。

此外，將電源電位 VDD 提供給線路 3611，將電源電位 VSS 提供給線路 3612。注意，電源電位 VDD 高於電源電位 VSS。還要注意，可以將數位信號、類比信號等提供給線路 3611 和線路 3612 的每個，或者可以將另一電源電位提供給它們。

此外，將信號提供給線路 3613、線路 3614 和線路 3615 的每個。注意，提供給線路 3613、線路 3614 和線路 3615 的每個的信號爲二位元數位信號。還要注意，可以將電源電位 VDD、電源電位 VSS 或另一電源電位提供給線路 3613、線路 3614 和線路 3615 的每一個。或者，可以將類比信號提供給線路 3613、線路 3614 和線路 3615

的每個。

接著，參考圖 37 描述圖 36 中所示的正反器電路的運行。

圖 37 爲圖 36 所示的正反器電路的時間圖的例子。圖 37 中的時間圖顯示線路 3613 的電位、線路 3614 的電位、節點 N361 的電位、節點 N362 的電位、節點 N363 的電位、線路 3616 的電位、電晶體 3603 和電晶體 3604 的導通/截止關係、線路 3615 的電位。

透過將整個時段分成時段 T1 到 T4 來描述圖 37 中的時間圖。此外，透過將整個時段分成時段 T3a 和時段 T3b 描述時段 T3。

注意，在除了時段 T1、T2 和 T3b 之外的時段中依次重復時段 T3a 和時段 T4。

首先，描述時段 T1 中的運行。在時段 T1 中，將 L 位準信號提供給線路 3613，將 H 位準信號提供給線路 3614 並將 L 位準信號提供給線路 3615。

因此，電晶體 3601 導通，電晶體 3600、電晶體 3607 和電晶體 3610 截止。此時，透過電晶體 3601 將電源電位 VDD 提供給節點 N361，使得節點 N361 的電位升高。此外，電晶體 3606 和電晶體 3609 被節點 N361 的電位的升高導通，使得節點 N362 和節點 N363 的電位降低。此外，電晶體 3608 被節點 N362 的電位的降低截止。此外，電晶體 3603 和電晶體 3604 被節點 N363 的電位的降低截止。

這裏，節點 N361 的電位一直上升到電晶體 3601 截止爲止。當節點 N361 的電位變成電源電位 VDD 減去電晶體 3601 的臨界值電壓 Vth3601 所得的值(vdd-Vth3601)時，電晶體 3601 截止。因此，節點 N361 的電位變成 VDD-Vth3601。此外，節點 N361 變成浮置狀態。

因此，電晶體 3602 導通。此外，由於線路 3613 的 L 位準信號被提供給線路 3616，線路 3616 的電位變成等於電源電位 VSS。

接著，描述時段 T2 中的運行。在時段 T2 中，將 H 位準信號提供給線路 3613，將 L 位準信號提供給線路 3614 並將 L 位準信號提供給線路 3615。

因此，電晶體 3601 截止，電晶體 3600 保持截止，且電晶體 3607 和電晶體 3610 導通。此時，節點 N361 處於浮置狀態，節點 N361 的電位保持在 VDD-Vth3601。此外，節點 N362 的電位保持在 L 位準，因爲電晶體 3606 和電晶體 3607 是導通的。此外，節點 N363 的電位保持在 L 位準，因爲電晶體 3609 和電晶體 3610 是導通的。於是，由於節點 N363 處於 L 位準，電晶體 3603 和電晶體 3604 保持截止。

這裏，節點 N361 處於浮置狀態並保持在 H 位準。此外，由於節點 N361 保持在 H 位準，電晶體 3602 保持導通。此外，由於線路 3613 的 H 位準信號被提供給線路 3616，線路 3616 的電位升高。因此，由於透過引導操作節點 N361 的電位變成等於或高於電源電位 VDD 和電晶體

3602 的臨界值電壓 Vth3602 之和(VDD+Vth3602)，因此線路 3616 的電位變成等於電源電位 VDD。

接著，描述時段 T3b 中的運行。在時段 T3b 中，將 L 位準信號提供給線路 3613，將 L 位準信號提供給線路 3614 並將 H 位準信號提供給線路 3615。

因此，電晶體 3601 保持截止，電晶體 3600 導通，電晶體 3607 和電晶體 3610 截止。此時，透過電晶體 3600 將電源電位 VSS 提供給節點 N361，使得節點 N361 的電位降低。此外，電晶體 3606 和電晶體 3607 被節點 N361 的電位的降低截止。因此，透過引導操作升高節點 N362 和節點 N363 的電位。節點 N362 的電位升高到等於或高於電源電位 VDD 和電晶體 3608 的臨界值電壓 Vth3608 之和(VDD+Vth3608)。節點 N363 的電位升高到電源電位 VDD。因此，電晶體 3603 和電晶體 3604 被節點 N363 的電位的升高導通。

此外，電晶體 3602 被節點 N361 的電位的降低截止。因此，由於透過電晶體 3603 將電源電位 VSS 提供給線路 3616，線路 3616 的電位變成等於電源電位 VSS。

接著，描述時段 T4 中的運行。在時段 T4 中，將 H 位準信號提供給線路 3613，將 L 位準信號提供給線路 3614 並將 L 位準信號提供給線路 3615。

因此，電晶體 3601 保持截止，電晶體 3600 截止，電晶體 3607 和電晶體 3610 導通。此時，節點 N361 處於浮置狀態，且節點 N361 的電位保持在電源電位 VSS。於

是，電晶體 3602、3606 和 3609 保持截止。此外，節點 N362 的電位變成 L 位準，因爲透過電晶體 3607 向其提供了電源電位 VSS。此外，節點 N363 的電位變成 L 位準，因爲透過電晶體 3610 向其提供了電源電位 VSS。因此，電晶體 3603 和電晶體 3604 截止。

因此，線路 3616 變成浮置狀態，且線路 3616 的電位保持等於電源電位 VSS。

接著，描述時段 T3a 中的運行。在時段 T3a 中，將 L 位準信號提供給線路 3613，將 L 位準信號提供給線路 3614 並將 L 位準信號提供給線路 3615。

因此，電晶體 3601 和電晶體 3600 保持截止，電晶體 3607 和電晶體 3610 截止。此時，節點 N361 處於浮置狀態，節點 N361 的電位保持在 L 位準。於是，電晶體 3602、3606 和 3609 保持截止。此外，透過引導操作升高節點 N362 和節點 N363 的電位。節點 N362 的電位升高到等於或高於電源電位 VDD 和電晶體 3608 的臨界值電壓 Vth3608 之和(VDD+Vth3608)。節點 N363 的電位升高到電源電位 VDD。因此，電晶體 3603 和電晶體 3604 被節點 N363 的電位的升高導通。

因此，由於透過電晶體 3603 將電源電位 VSS 提供給線路 3616，線路 3616 的電位保持等於電源電位 VSS。

透過上述操作，在時段 T1 中圖 36 中的正反器電路將處於 H 位準的節點 N361 保持在浮置狀態中。在時段 T2 中，圖 36 中的正反器電路透過引導操作將節點 N361 的電

位設定爲等於或高於 VDD+Vth3602，使得線路 3616 的電位等於電源電位 VDD。

此外，在時段 T3a 中，圖 36 中的正反器電路導通電晶體 3603 和電晶體 3604，並將電源電位 VSS 提供給線路 3616 和節點 N361。在時段 T4 中，圖 36 中的正反器電路截止電晶體 3603 和電晶體 3604。因此，由於圖 36 中的正反器電路依次導通電晶體 3603 和電晶體 3604，其能夠抑制電晶體 3603 和電晶體 3604 的特性劣化，從而能夠將節點 N361 和線路 3616 每者的電位穩定地保持在等於電源電位 VSS。

此外，圖 36 中的正反器電路能夠在時段 T3 和 T3b 中將節點 N363 的電位設定爲等於電源電位 VDD。因此，即使在電晶體 3603 和電晶體 3604 的特性劣化時，也能夠在寬範圍的工作條件下操作圖 36 中的正反器電路。

此外，圖 36 中的正反器電路不包括在所有的時段 T1 到 T4 中都導通的電晶體。亦即，圖 36 中的正反器電路不包括總是或幾乎總是導通的電晶體。因此，圖 36 中的正反器電路能夠抑制電晶體的特性劣化和由於特性劣化導致的臨界值電壓漂移。

此外，由非晶矽形成的電晶體的特性容易劣化。因此，當圖 36 中的正反器電路中包括的電晶體是由非晶矽形成時，不僅能夠獲得諸如製造成本減少和成品率提高的益處，而且可以解決電晶體特性劣化的問題。

這裏，描述電晶體 3600 到 3610 的功能。電晶體

3600 具有開關的功能，其根據線路 3615 的電位選擇是否連接線路 3612 和節點 N361。電晶體 3601 具有開關的功能，其根據線路 3614 的電位選擇是否連接線路 3611 和節點 N361。電晶體 3602 具有開關的功能，其根據節點 N361 的電位選擇是否連接線路 3613 和線路 3616。電晶體 3603 具有開關的功能，其根據節點 N363 的電位選擇是否連接線路 3612 和線路 3616。電晶體 3604 具有開關的功能，其根據節點 N363 的電位選擇是否連接線路 3612 和節點 N361。電晶體 3605 具有二極體的功能，其中第一端子和閘極對應於輸入端子，第二端子對應於輸出端子。電晶體 3606 具有開關的功能，其根據節點 N361 的電位選擇是否連接線路 3612 和節點 N362。電晶體 3607 具有開關的功能，其根據線路 3613 的電位選擇是否連接線路 3612 和節點 N362。電晶體 3608 具有開關的功能，其根據節點 N362 的電位選擇是否連接線路 3611 和節點 N363。電晶體 3609 具有開關的功能，其根據節點 N361 的電位選擇是否連接線路 3612 和節點 N363。電晶體 3610 具有開關的功能，其根據線路 3613 的電位選擇是否連接線路 3612 和節點 N363。

注意，由電晶體 3605 到 3610 構成了兩輸入或非電路，其中節點 N361 和線路 3613 對應於輸入端子，節點 N363 對應於輸出端子。

注意，如圖 38 所示，可以在電晶體 3608 的閘極(節點 N362)和第二端子(節點 N363)之間提供電容器 3801。

這是因爲在時段 T3a 和 T3b 中由引導操作升高了節點 N362 的電位和節點 N363 的電位，使得正反器電路能夠容易地透過校驗電容器 3801 執行引導操作。

注意，如圖 39 所示，不必一定提供電晶體 3607。

注意，如圖 40 所示，可以在電晶體 3602 的閘極(節點 N361)和第二端子(線路 3616)之間提供電容器 4111。這是因爲在時段 T2 中透過引導操作升高了節點 N361 的電位和線路 3616 的電位，使得正反器電路能夠容易地透過校驗電容器 4111 而執行引導操作。

注意，只需要電晶體 3601 在時段 T1 中使節點 N361 進入浮置狀態以便節點 N361 的電位變成 H 位準。因此，即使在電晶體 3601 的第一端子連接到線路 3614 時，電晶體 3601 也能夠使節點 N361 進入浮置狀態，以便節點 N361 的電位變成 H 位準。

接著，參考圖 48 描述圖 36 中所示的正反器電路由 P 通道電晶體構成的情形。

圖 48 爲將實施例模式 2 中所述的圖 17A 中的基本電路用於其的正反器電路的例子。圖 48 中的正反器電路包括電晶體 4800、電晶體 4801、電晶體 4802、電晶體 4803、電晶體 4804、電晶體 4805、電晶體 4806、電晶體 4807、電晶體 4808、電晶體 4809 和電晶體 4810。

注意，電晶體 4805 對應於圖 17A 中的電晶體 1701，電晶體 4807 對應於圖 17A 中的電晶體 1702，電晶體 4806 對應於圖 17A 中的電晶體 1703，電晶體 4808 對應於圖

17A 中的電晶體 1704，電晶體 4810 對應於圖 17A 中的電晶體 1705，且電晶體 4809 對應於圖 17A 中的電晶體 1706。此外，電晶體 4803 和電晶體 4804 對應於圖 17A 中的電晶體 1707。

描述圖 48 中的正反器電路的連接關係。注意，電晶體 4801 的第二端子、電晶體 4800 的第二端子、電晶體 4806 的閘極、電晶體 4804 的第二端子和電晶體 4802 的閘極的節點由 N481 表示。此外，電晶體 4805 的第二端子、電晶體 4806 的第二端子、電晶體 4807 的第二端子和電晶體 4808 的閘極的節點由 N482 表示。此外，電晶體 4809 的第二端子、電晶體 4808 的第二端子、電晶體 4810 的第二端子、電晶體 4803 的閘極和電晶體 4804 的閘極的節點由 N483 表示。

電晶體 4801 的閘極連接到線路 4814，電晶體 4801 的第一端子連接到線路 4811，電晶體 4801 的第二端子連接到節點 N481。電晶體 4800 的閘極連接到線路 4815，電晶體 4800 的第一端子連接到線路 4812，電晶體 4800 的第二端子連接到節點 N481。電晶體 4406 的閘極連接到節點 N481，電晶體 4406 的第一端子連接到線路 4812，電晶體 4406 的第二端子連接到節點 N482。電晶體 4805 的閘極連接到線路 4811，電晶體 4805 的第一端子連接到線路 4811，電晶體 4805 的第二端子連接到節點 N482。電晶體 4807 的閘極連接到線路 4813，電晶體 4807 的第一端子連接到線路 4812，電晶體 4807 的第二端子連接到節點

N482。電晶體 4808 的閘極連接到節點 N482，電晶體 4808 的第一端子連接到線路 4811，電晶體 4808 的第二端子連接到節點 N483。電晶體 4809 的閘極連接到節點 N481，電晶體 4809 的第一端子連接到線路 4812，電晶體 4809 的第二端子連接到節點 N483。電晶體 4810 的閘極連接到線路 4813，電晶體 4810 的第一端子連接到線路 4812，電晶體 4810 的第二端子連接到節點 N483。電晶體 4804 的閘極連接到節點 N483，電晶體 4804 的第一端子連接到線路 4812，電晶體 4804 的第二端子連接到節點 N481。電晶體 4803 的閘極連接到節點 N483，電晶體 4803 的第一端子連接到線路 4812，電晶體 4803 的第二端子連接到線路 4816。電晶體 4802 的閘極連接到節點 N481，電晶體 4802 的第一端子連接到線路 4813，電晶體 4802 的第二端子連接到線路 4816。

此外，電晶體 4800 到 4810 的每個都是 P 通道電晶體。

因此，由於可以僅使用 P 通道電晶體形成圖 48 中的正反器電路，因此不需要形成 N 通道電晶體的步驟。於是，在圖 48 中的正反器電路中，可以簡化製造方法，從而能夠降低製造成本並能夠提高成品率。

此外，將電源電位 VDD 提供給線路 4812，將電源電位 VSS 提供給線路 4811。注意，電源電位 VDD 高於電源電位 VSS。還要注意，可以將數位信號、類比信號等提供給線路 4811 和線路 4812 的每個，或者可以將另一電源電

位提供給它們。

此外，將信號提供給線路 4813、線路 4814 和線路 4815 的每個。注意，提供給線路 4813、線路 4814 和線路 4815 的每個的信號爲二位元數位信號。還要注意，可以將電源電位 VDD、電源電位 VSS 或另一電源電位提供給線路 4813、線路 4814 和線路 4815 的每一個。或者，可以將類比信號提供給線路 4813、線路 4814 和線路 4815 的每個。

接著，參考圖 49 描述圖 48 中所示的正反器電路的運行。

圖 49 爲圖 48 所示的正反器電路的時間圖的例子。圖 49 中的時間圖顯示線路 4813 的電位、線路 4814 的電位、節點 N481 的電位、節點 N482 的電位、節點 N483 的電位、線路 4816 的電位、電晶體 4803 和電晶體 4804 的導通/截止關係、線路 4815 的電位。

透過將整個時段分成時段 T1 到 T4 來描述圖 48 中的時間圖。此外，透過將整個時段分成時段 T3a 和時段 T3b 描述時段 T3。

注意，在除了時段 T1、T2 和 T3b 之外的時段中依次重復時段 T3a 和時段 T4。

首先，描述時段 T1 中的運行。在時段 T1 中，將 H 位準信號提供給線路 4813，將 L 位準信號提供給線路 4814 並將 H 位準信號提供給線路 4815。

因此，電晶體 4801 導通，電晶體 4800、4807 和

4810 截止。此時，透過電晶體 4801 將電源電位 VSS 提供給節點 N481，使得節點 N481 的電位降低。此外，電晶體 4806 和電晶體 4809 被節點 N481 的電位的降低導通，使得節點 N482 和節點 N483 的電位升高。此外，電晶體 4808 被節點 N482 的電位的升高截止。此外，電晶體 4803 和電晶體 4804 被節點 N483 的電位的升高截止。

這裏，節點 N481 的電位一直下降到電晶體 4801 截止爲止。當節點 N481 的電位變成電源電位 VSS 和電晶體 4801 的臨界值電壓 Vth4801 的絕對值之和(VSS+|Vth4801|)時，電晶體 4801 截止。因此，節點 N481 的電位變成 VSS+|Vth4801|，使得節點 N481 變成浮置狀態。

因此，電晶體 4802 導通。此外，由於線路 4813 的 H 位準信號被提供給線路 4816，線路 4816 的電位變成等於電源電位 VDD。

接著，描述時段 T2 中的運行。在時段 T2 中，將 L 位準信號提供給線路 4813，將 H 位準信號提供給線路 4814 並將 H 位準信號提供給線路 4815。

因此，電晶體 4801 截止，電晶體 4800 保持截止，電晶體 4807 和電晶體 4810 導通。此時，節點 N481 處於浮置狀態，節點 N481 的電位保持在 VSS+|Vth4801|。此外，節點 N482 的電位保持在 H 位準，因爲電晶體 4806 和電晶體 4807 是導通的。此外，節點 N483 的電位保持在 H 位準，因爲電晶體 4809 和電晶體 4810 是導通的。於是，由於節點 N483 處於 H 位準，電晶體 4803 和電晶體

4804保持截止。

這裏，節點N481處於浮置狀態並保持在L位準。此外，由於節點N481保持在L位準，電晶體4802保持導通。此外，由於線路4813的L位準信號被提供給線路4816，線路4816的電位降低。因此，節點N481的電位透過引導操作變成等於或低於電源電位VSS減去電晶體4802的臨界值電壓Vth4802的絕對值所得的值(VSS-|Vth4802|)，使得線路4816的電位變成等於電源電位VSS。

接著，描述時段T3b中的運行。在時段T3b中，將H位準信號提供給線路4813，將H位準信號提供給線路4814並將L位準信號提供給線路4815。

因此，電晶體4801保持截止，電晶體4800導通，電晶體4807和4810截止。此時，透過電晶體4800將電源電位VDD提供給節點N481，使得節點N481的電位升高。此外，電晶體4806和電晶體4807被節點N481的電位的升高截止。因此，透過引導操作降低了節點N482的電位和節點N483的電位。節點N482的電位降低到等於或低於電源電位VSS減去電晶體4808的臨界值電壓Vth4808的絕對值所得的值(VSS-|Vth4808|)。節點N483的電位降低到電源電位VSS。因此，電晶體4803和電晶體4804被節點N483的電位的降低導通。

此外，電晶體4802被節點N481的電位的升高截止。因此，由於透過電晶體4803將電源電位VDD提供給線路

4816，線路 4816 的電位變成等於電源電位 VDD。

接著，描述時段 T4 中的運行。在時段 T4 中，將 L 位準信號提供給線路 4813，將 H 位準信號提供給線路 4814 並將 H 位準信號提供給線路 4815。

因此，電晶體 4801 保持截止，電晶體 4800 截止，電晶體 4807 和 4810 導通。此時，節點 N481 處於浮置狀態，節點 N481 的電位保持在電源電位 VDD。於是，電晶體 4802、電晶體 4806 和電晶體 4809 保持截止。此外，節點 N482 的電位變成 H 位準，因爲透過電晶體 4807 將電源電位 VDD 提供給其。因此，電晶體 4808 截止。此外，節點 N483 的電位變成 H 位準，因爲透過電晶體 4810 將電源電位 VDD 提供給其。因此，電晶體 4803 和電晶體 4804 截止。

因此，線路 4816 變成浮置狀態，且線路 4816 的電位保持等於電源電位 VDD。

接著，描述時段 T3a 中的運行。在時段 T3a 中，將 H 位準信號提供給線路 4813，將 H 位準信號提供給線路 4814 並將 H 位準信號提供給線路 4815。

因此，電晶體 4801 和電晶體 4800 保持截止，電晶體 4807 和電晶體 4810 截止。此時，節點 N481 處於浮置狀態，節點 N481 的電位保持在 H 位準。於是，電晶體 4802、電晶體 4806 和電晶體 4809 保持截止。因此，透過引導操作降低了節點 N482 的電位和節點 N483 的電位。節點 N482 的電位降低到等於或低於電源電位 VSS 減去電

晶體 4808 的臨界值電壓 Vth4808 的絕對值所得的值(VSS-|Vth4808|)。節點 N483 的電位降低到電源電位 VSS。因此，電晶體 4803 和電晶體 4804 被節點 N483 的電位的降低導通。

此外，由於透過電晶體 4803 將電源電位 VDD 提供給線路 4816，線路 4816 的電位保持等於電源電位 VDD。

透過上述操作，在時段 T1 中圖 48 中的正反器電路將處於 L 位準的節點 N481 保持在浮置狀態中。在時段 T2 中，圖 48 中的正反器電路透過引導操作將節點 N481 的電位設定爲等於或低於 VSS-|Vth4802|，使得線路 4816 的電位等於電源電位 VSS。

此外，在時段 T3a 中，圖 48 中的正反器電路導通電晶體 4803 和電晶體 4804，並將電源電位 VDD 提供給線路 4816 和節點 N481。在時段 T4 中，圖 48 中的正反器電路截止電晶體 4803 和電晶體 4804。因此，由於圖 48 中的正反器電路依次導通電晶體 4803 和電晶體 4804，其能夠抑制電晶體 4803 和電晶體 4804 的特性劣化，從而能夠將節點 N481 和線路 4816 每者的電位穩定地保持在等於電源電位 VDD。

此外，圖 48 中的正反器電路能夠在時段 T3a 和 T3b 中將節點 N483 的電位設定爲等於電源電位 VSS。因此，即使在電晶體 4803 和電晶體 4804 的特性劣化時，也能夠在寬範圍的工作條件下操作圖 48 中的正反器電路。

此外，圖 48 中的正反器電路不包括在所有的時段 T1

到 T4 中都導通的電晶體。亦即，圖 48 中的正反器電路不包括總是或幾乎總是導通的電晶體。因此，圖 48 中的正反器電路能夠抑制電晶體的特性劣化和由於特性劣化導致的臨界值電壓漂移。

注意，電晶體 4801 到 4810 具有類似於電晶體 3601 到 3610 的功能。

注意，由電晶體 4805 到 4810 構成了兩輸入與非電路，其中節點 N481 和線路 4813 對應於輸入端子，節點 N483 對應於輸出端子。

注意，如圖 50 所示，可以在電晶體 4808 的閘極(節點 N482)和第二端子(節點 N483)之間提供電容器 5001。這是因爲在時段 T3a 和 T3b 中由引導操作降低了節點 N482 的電位和節點 N483 的電位，使得正反器電路能夠容易地透過校驗電容器 5001 執行引導操作。

注意，如圖 51 所示，不必一定提供電晶體 4807。

注意，如圖 52 所示，可以在電晶體 4802 的閘極(節點 N481)和第二端子(線路 4816)之間提供電容器 5201。這是因爲在時段 T2 中透過引導操作升高了節點 N481 的電位和線路 4816 的電位，使得正反器電路能夠容易地透過校驗電容器 5201 而執行引導操作。

注意，只需要電晶體 4801 在時段 T1 中使節點 N481 進入浮置狀態以便節點 N481 的電位變成 L 位準。因此，即使在電晶體 4801 的第一端子連接到線路 4814 時，電晶體 4801 也能夠將節點 N481 設定進入浮置狀態，以便節點

N481 的電位變成 L 位準。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 7)

在本實施例模式中，參考圖 56 描述將實施例模式 4 中所述的基本電路用於正反器電路的情形。

圖 56 爲將實施例模式 4 中所述的圖 25A 中的基本電路用於其的正反器電路的例子。圖 56 中的正反器電路包括電晶體 5601、電晶體 5602、電晶體 5603、電晶體 5604、電晶體 5605、電晶體 5606、電晶體 5607、電晶體 5608、電路 5608 和電路 5609。

注意，作爲電路 5608 和電路 5609，可以使用圖 27 中的或非電路 2715 和圖 36 中的或非電路 3617。

描述圖 56 中的正反器電路的連接關係。注意，電晶體 5601 的第二端子、電晶體 5607 的第二端子、電晶體 5605 的第二端子、電晶體 5606 的第二端子和電晶體 5602 的閘極的節點由 N561 表示。此外，電晶體 5604 的閘極和電晶體 5606 的閘極的節點由 N562 表示。此外，電晶體 5603 的閘極和電晶體 5605 的閘極的節點由 N563 表示。

電晶體 5601 的閘極連接到線路 5614，電晶體 5601 的第一端子連接到線路 5610，電晶體 5601 的第二端子連接到節點 N561。電晶體 5607 的閘極連接到線路 5615，電

晶體 5607 的第一端子連接到線路 5611，電晶體 5607 的第二端子連接到節點 N561。電路 5608 的兩個輸入端子分別連接到節點 N561 和線路 5612，電路 5608 的輸出端子連接到節點 N562。電路 5609 的兩個輸入端子分別連接到節點 N561 和線路 5613，電路 5609 的輸出端子連接到節點 N563。電晶體 5606 的閘極連接到節點 N562，電晶體 5606 的第一端子連接到線路 5611，電晶體 5606 的第二端子連接到節點 N561。電晶體 5605 的閘極連接到節點 N563，電晶體 5605 的第一端子連接到線路 5611，電晶體 5605 的第二端子連接到節點 N561。電晶體 5604 的閘極連接到節點 N562，電晶體 5604 的第一端子連接到線路 5611，電晶體 5604 的第二端子連接到線路 5616。電晶體 5603 的閘極連接到節點 N563，電晶體 5603 的第一端子連接到線路 5611，電晶體 5603 的第二端子連接到線路 5616。電晶體 5602 的閘極連接到節點 N561，電晶體 5602 的第一端子連接到線路 5613，電晶體 5602 的第二端子連接到線路 5616。

此外，電晶體 5601 到 5607 的每個都是 N 通道電晶體。電路 5608 和電路 5609 中包含的每個電晶體也是 N 通道電晶體。

因此，因爲可以僅使用 N 通道電晶體形成圖 56 中的正反器電路，可以將非晶矽用於圖 56 中的正反器電路的半導體層。於是，能夠簡化製造方法，從而能夠降低製造成本且能夠提高成品率。此外，還能夠形成諸如大型顯示

面板板的半導體裝置。此外，當將多晶矽或單晶矽用於圖56中的正反器電路的半導體層時，還可以簡化製造方法。

此外，將電源電位VDD提供給線路5610，將電源電位VSS提供給線路5611。注意，電源電位VDD高於電源電位VSS。還要注意，可以將數位信號、類比信號等提供給線路5610和線路5611的每個，或者可以將另一電源電位提供給它們。

此外，將信號提供給線路5612、線路5613、線路5614和線路5615的每個。注意，提供給線路5612、線路5614和線路5615每個的信號是二位元數位信號。還要注意，可以將電源電位VDD、電源電位VSS或另一電源電位提供給線路5612、線路5613、線路5614和線路5615的每一個。或者，可以將類比信號提供給線路5612、線路5613、線路5614和線路5615的每個。

接著，參考圖57描述圖56中所示的正反器電路的運行。

圖57爲圖56所示的正反器電路的時間圖的例子。圖57中的時間圖顯示線路5612的電位、線路5613的電位、線路5614的電位、節點N561的電位、節點N562的電位、節點N563的電位、線路5616的電位、電晶體5604和電晶體5606的導通/截止關係、電晶體5603和電晶體5605的導通/截止關係，以及線路5615的電位。

透過將整個時段分成時段T1到T4來描述圖57中的

時間圖。此外，透過將整個時段分成時段 T3a 和時段 T3b 描述時段 T3。

注意，在除了時段 T1、T2 和 T3b 之外的時段中依次重復時段 T3a 和時段 T4。

首先，描述時段 T1 中的運行。在時段 T1 中，將 H 位準信號提供給線路 5612，將 L 位準信號提供給線路 5613，將 H 位準信號提供給線路 5614 並將 L 位準信號提供給線路 5615。

因此，電晶體 5601 導通且電晶體 5607 截止。此時，透過電晶體 5601 將電源電位 VDD 提供給節點 N561，使得節點 N561 的電位升高。因此，電路 5608 向節點 N562 輸出 L 位準信號，電晶體 5604 和電晶體 5606 截止。此外，電路 5609 向節點 N563 輸出 L 位準信號，電晶體 5603 和電晶體 5605 截止。

注意，節點 N561 的電位一直升高到電晶體 5601 截止爲止。當節點 N561 的電位變成電源電位 VDD 減去電晶體 5601 的臨界值電壓 Vth5601 所得的值(vdd-Vth5601)時，電晶體 5601 截止。因此，節點 N561 的電位變成 VDD-Vth5601，節點 N561 變成浮置狀態。

因此，電晶體 5602 導通。由於透過電晶體 5602 將線路 5613 的 L 位準信號提供給線路 5616，線路 5616 的電位變成等於電源電位 VSS。

接著，描述時段 T2 中的運行。在時段 T2 中，將 L 位準信號提供給線路 5612，將 H 位準信號提供給線路

5613，將 L 位準信號提供給線路 5614 並將 L 位準信號提供給線路 5615。

因此，電晶體 5601 截止且電晶體 5607 保持截止。此時，節點 N561 保持在 VDD-Vth5601。於是，電路 5608 向節點 N562 輸出 L 位準信號，電晶體 5604 和電晶體 5606 保持截止。此外，電路 5609 向節點 N563 輸出 L 位準信號，電晶體 5603 和電晶體 5605 保持截止。

注意，由於將 H 位準信號提供給線路 5613，線路 5616 的電位開始升高。因此，透過引導操作，節點 N561 的電位變成等於或高於電源電位 VDD 和電晶體 5602 的臨界值電壓 Vth5602 之和(VDD +Vth5602)。於是，線路 5616 的電位升高到等於電源電位 VDD。

接著，描述時段 T3b 中的運行。在時段 T3b 中，將 H 位準信號提供給線路 5612，將 L 位準信號提供給線路 5613，將 L 位準信號提供給線路 5614 並將 H 位準信號提供給線路 5615。

因此，電晶體 5601 截止且電晶體 5607 導通。由於透過電晶體 5607 將電源電位 VSS 提供給節點 N561，節點 N561 的電位降低。於是，電路 5608 向節點 N562 輸出 L 位準信號，電晶體 5604 和電晶體 5606 保持截止。此外，電路 5609 向節點 N563 輸出 H 位準信號，電晶體 5603 和電晶體 5605 導通。

注意，由於節點 N561 變成 L 位準，電晶體 5602 截止。由於透過電晶體 5603 將電源電位 VSS 提供給線路

5616，線路 5616 的電位保持等於電源電位 VSS。

接著，描述時段 T4 中的運行。在時段 T4 中，將 L 位準信號提供給線路 5612，將 H 位準信號提供給線路 5613，將 L 位準信號提供給線路 5614 並將 L 位準信號提供給線路 5615。

因此，電晶體 5601 保持截止且電晶體 5607 截止。節點 N561 的電位堅持在 L 位準。於是，電路 5608 向節點 N562 輸出 H 位準信號，電晶體 5604 和電晶體 5606 導通。此外，電路 5609 向節點 N563 輸出 L 位準信號，電晶體 5603 和電晶體 5605 截止。

注意，由於節點 N561 保持在 L 位準，電晶體 5602 截止。由於透過電晶體 5604 將電源電位 VSS 提供給線路 5616，線路 5616 的電位保持等於電源電位 VSS。

接著，描述時段 T3a 中的運行。在時段 T3a 中，將 H 位準信號提供給線路 5612，將 L 位準信號提供給線路 5613，將 L 位準信號提供給線路 5614 並將 H 位準信號提供給線路 5615。

因此，電晶體 5601 截止且電晶體 5607 導通。節點 N561 的電位堅持在 L 位準。於是，電路 5608 向節點 N562 輸出 L 位準信號，電晶體 5604 和電晶體 5606 截止。此外，電路 5609 向節點 N563 輸出 H 位準信號，電晶體 5603 和電晶體 5605 導通。

注意，由於節點 N561 保持在 L 位準，電晶體 5602 截止。由於透過電晶體 5603 將電源電位 VSS 提供給線路

5616，線路 5616 的電位保持等於電源電位 VSS。

透過上述操作，在時段 T1 中圖 56 中的正反器電路將處於 H 位準的節點 N561 保持在浮置狀態中。在時段 T2 中，圖 56 中的正反器電路透過引導操作將節點 N561 的電位設定爲等於或高於 VDD+Vth5602，使得線路 5616 的電位等於電源電位 VDD。

此外，在時段 T3a 中，電晶體 5603 導通，將電源電位 VSS 提供給線路 5616。此外，在時段 T4 中，電晶體 5604 導通，將電源電位 VSS 提供給線路 5616。因此，圖 56 中的正反器電路能夠在時段 T3a 和 T4 中一直向線路 5616 供應電源電位 VSS。

在時段 T3b 中，電晶體 5605 導通且將電源電位 VSS 提供給節點 N561。此外，在時段 T4 中，電晶體 5606 導通且將電源電位 VSS 提供給節點 N561。因此，圖 56 中的正反器電路能夠在時段 T3b 和 T4 中一直向節點 N561 供應電源電位 VSS。

此外，圖 56 中的正反器電路不包括在所有的時段 T1 到 T4 中都導通的電晶體。亦即，圖 56 中的正反器電路不包括總是或幾乎總是導通的電晶體。因此，圖 56 中的正反器電路能夠抑制電晶體的特性劣化和由於特性劣化導致的臨界值電壓漂移。

此外，由非晶矽形成的電晶體的特性容易劣化。因此，當圖 56 中的正反器電路中包括的電晶體是由非晶矽形成時，不僅能夠獲得諸如製造成本減少和成品率提高的

益處，而且可以解決電晶體特性劣化的問題。

這裏，描述電晶體 5601 到 5607 的功能。電晶體 5601 具有開關的功能，其根據線路 5614 的電位選擇是否連接線路 5610 和節點 N561。電晶體 5602 具有開關的功能，其根據節點 N561 的電位選擇是否連接線路 5613 和線路 5616。電晶體 5603 具有開關的功能，其根據節點 N563 的電位選擇是否連接線路 5611 和線路 5616。電晶體 5604 具有開關的功能，其根據節點 N562 的電位選擇是否連接線路 5611 和線路 5616。電晶體 5605 具有開關的功能，其根據節點 N563 的電位選擇是否連接線路 5611 和節點 N561。電晶體 5606 具有開關的功能，其根據節點 N562 的電位選擇是否連接線路 5611 和節點 N561。電晶體 5607 具有開關的功能，其根據線路 5615 的電位選擇是否連接線路 5611 和節點 N561。

接著，參考圖 58 描述圖 56 中所示的正反器電路由 P 通道電晶體構成的情形。

圖 58 爲將實施例模式 4 中所述的圖 26A 中的基本電路用於其的正反器電路的例子。圖 58 中的正反器電路包括電晶體 5801、電晶體 5802、電晶體 5803、電晶體 5804、電晶體 5805、電晶體 5806、電晶體 5807、電路 5808 和電路 5809。

注意，作爲電路 5808 和電路 5809，可以使用圖 44 中的與非電路 4415 和圖 48 中的與非電路 4817。

描述圖 58 中的正反器電路的連接關係。注意，電晶

體 5801 的第二端子、電晶體 5807 的第二端子、電晶體 5805 的第二端子、電晶體 5806 的第二端子和電晶體 5802 的閘極的節點由 N581 表示。此外，電晶體 5804 的閘極和電晶體 5806 的閘極的節點由 N582 表示。此外，電晶體 5803 的閘極和電晶體 5805 的閘極的節點由 N563 表示。

電晶體 5801 的閘極連接到線路 5814，電晶體 5801 的第一端子連接到線路 5810，電晶體 5801 的第二端子連接到節點 N581。電晶體 5807 的閘極連接到線路 5815，電晶體 5807 的第一端子連接到線路 5811，電晶體 5807 的第二端子連接到節點 N581。電路 5808 的兩個輸入端子分別連接到節點 N581 和線路 5812，電路 5808 的輸出端子連接到節點 N582。電路 5809 的兩個輸入端子分別連接到節點 N581 和線路 5813，電路 5809 的輸出端子連接到節點 N583。電晶體 5806 的閘極連接到節點 N582，電晶體 5806 的第一端子連接到線路 5811，電晶體 5806 的第二端子連接到節點 N581。電晶體 5805 的閘極連接到節點 N583，電晶體 5805 的第一端子連接到線路 5811，電晶體 5805 的第二端子連接到節點 N581。電晶體 5804 的閘極連接到節點 N582，電晶體 5804 的第一端子連接到線路 5811，電晶體 5804 的第二端子連接到線路 5816。電晶體 5803 的閘極連接到節點 N583，電晶體 5803 的第一端子連接到線路 5811，電晶體 5803 的第二端子連接到線路 5816。電晶體 5802 的閘極連接到節點 N581，電晶體 5802 的第一端子連接到線路 5813，電晶體 5802 的第二端子連

接到線路 5816。

此外，電晶體 5801 到 5807 的每個都是 P 通道電晶體。電路 5808 和電路 5809 中包含的每個電晶體也是 P 通道電晶體。

因此，由於可以僅使用 P 通道電晶體形成圖 58 中的正反器電路，因此不需要形成 N 通道電晶體的步驟。於是，在圖 58 中的正反器電路中，可以簡化製造方法，從而能夠降低製造成本並能夠提高成品率。

此外，將電源電位 VDD 提供給線路 5811，將電源電位 VSS 提供給線路 5810。注意，電源電位 VDD 高於電源電位 VSS。還要注意，可以將數位信號、類比信號等提供給線路 5810 和線路 5811 的每個，或者可以將另一電源電位提供給它們。

此外，將信號提供給線路 5812 到 5815 的每個。注意，提供給線路 5812 到 5815 的每個的信號爲二位元數位信號。還要注意，可以將電源電位 VDD、電源電位 VSS 或另一電源電位提供給線路 5812 到 5815 的每個。或者，可以將類比信號提供給線路 5812 到 5815 的每個。

接著，參考圖 59 描述圖 58 中所示的正反器電路的運行。

圖 59 爲圖 58 所示的正反器電路的時間圖的例子。圖 59 中的時間圖顯示線路 5812 的電位、線路 5813 的電位、線路 5814 的電位、節點 N581 的電位、節點 N582 的電位、節點 N583 的電位、線路 5816 的電位、電晶體

5804 和電晶體 5806 的導通/截止關係、電晶體 5803 和電晶體 5805 的導通/截止關係，以及線路 5815 的電位。

透過將整個時段分成時段 T1 到 T4 來描述圖 59 中的時間圖。此外，透過將整個時段分成時段 T3a 和時段 T3b 描述時段 T3。

注意，在除了時段 T1、T2 和 T3b 之外的時段中依次重復時段 T3a 和時段 T4。

首先，描述時段 T1 中的運行。在時段 T1 中，將 L 位準信號提供給線路 5812，將 H 位準信號提供給線路 5813，將 L 位準信號提供給線路 5814 並將 H 位準信號提供給線路 5815。

因此，電晶體 5801 導通，電晶體 5807 截止。此時，透過電晶體 5801 將電源電位 VSS 提供給節點 N581，使得節點 N581 的電位降低。因此，電路 5808 向節點 N582 輸出 H 位準信號，電晶體 5804 和電晶體 5806 截止。此外，電路 5809 向節點 N583 輸出 H 位準信號，電晶體 5803 和電晶體 5805 截止。

注意，節點 N581 的電位一直降低到電晶體 5801 截止爲止。當節點 N581 的電位變成等於電源電位 VSS 與電晶體 5801 的臨界值電壓 Vth5801 的絕對值之和 (VSS+|Vth5801|)時，電晶體 5801 截止。因此，節點 N581 的電位變成 VSS+|Vth5801|，節點 N581 變成浮置狀態。

因此，電晶體 5802 導通。由於透過電晶體 5802 將線路 5813 的 H 位準信號提供給線路 5816，線路 5816 的電

位變成等於電源電位 VDD。

接著，描述時段 T2 中的運行。在時段 T2 中，將 H 位準信號提供給線路 5812，將 L 位準信號提供給線路 5813，將 H 位準信號提供給線路 5814 並將 H 位準信號提供給線路 5815。

因此，電晶體 5801 截止，電晶體 5807 保持截止。此時，節點 N581 的電位保持在 VSS+|Vth5801|。於是，電路 5808 向節點 N582 輸出 H 位準信號，電晶體 5804 和電晶體 5806 保持截止。此外，電路 5809 向節點 N583 輸出 H 位準信號，電晶體 5803 和電晶體 5805 保持截止。

注意，由於向線路 5813 提供 L 位準信號，線路 5816 的電位開始降低。因此，透過引導操作，節點 N581 的電位變成等於或低於電源電位 VSS 減去電晶體 5802 的臨界值電壓 Vth5802 的絕對值所得的值(VSS-|Vth5802|)。於是，線路 5816 的電位降低到等於電源電位 VSS。

接著，描述時段 T3b 中的運行。在時段 T3b 中，將 L 位準信號提供給線路 5812，將 H 位準信號提供給線路 5813，將 H 位準信號提供給線路 5814 並將 L 位準信號提供給線路 5815。

因此，電晶體 5801 截止，電晶體 5807 導通。由於透過電晶體 5807 將電源電位 VDD 提供給節點 N581，節點 N561 的電位升高。於是，電路 5808 向節點 N582 輸出 H 位準信號，電晶體 5804 和電晶體 5806 保持截止。此外，電路 5809 向節點 N583 輸出 L 位準信號，電晶體 5803 和

電晶體 5805 導通。

注意，由於節點 N581 變成 H 位準，電晶體 5802 截止。由於透過電晶體 5803 將電源電位 VDD 提供給線路 5816，線路 5816 的電位變成等於電源電位 VDD。

接著，描述時段 T4 中的運行。在時段 T4 中，將 H 位準信號提供給線路 5812，將 L 位準信號提供給線路 5813，將 H 位準信號提供給線路 5814 並將 H 位準信號提供給線路 5815。

因此，電晶體 5801 保持截止，電晶體 5807 截止。節點 N581 的電位保持在 H 位準。於是，電路 5808 向節點 N582 輸出 L 位準信號，電晶體 5804 和電晶體 5806 導通。此外，電路 5809 向節點 N583 輸出 H 位準信號，電晶體 5803 和電晶體 5805 截止。

注意，由於節點 N581 保持在 H 位準，電晶體 5802 截止。由於透過電晶體 5804 將電源電位 VDD 提供給線路 5816，線路 5816 的電位保持等於電源電位 VDD。

接著，描述時段 T3a 中的運行。在時段 T3a 中，將 L 位準信號提供給線路 5812，將 H 位準信號提供給線路 5813，將 H 位準信號提供給線路 5814 並將 H 位準信號提供給線路 5815。

因此，電晶體 5801 截止，電晶體 5807 截止。節點 N581 的電位保持在 H 位準。於是，電路 5808 向節點 N582 輸出 H 位準信號，電晶體 5804 和電晶體 5806 截止。此外，電路 5809 向節點 N583 輸出 L 位準信號，電

晶體 5803 和電晶體 5805 導通。

注意，由於節點 N581 保持在 H 位準，電晶體 5802 截止。由於透過電晶體 5803 將電源電位 VDD 提供給線路 5816，線路 5816 的電位保持等於電源電位 VDD。

透過上述操作，在時段 T1 中圖 58 中的正反器電路將處於 L 位準的節點 N581 保持在浮置狀態中。在時段 T2 中，圖 58 中的正反器電路透過引導操作將節點 N581 的電位設定爲等於或低於 VSS-|Vth5802|，使得線路 5816 的電位等於電源電位 VSS。

此外，在時段 T3a 中，電晶體 5803 導通，將電源電位 VDD 提供給線路 5816。此外，在時段 T4 中，電晶體 5804 導通，將電源電位 VDD 提供給線路 5816。因此，圖 58 中的正反器電路能夠在時段 T3a 和 T4 中一直向線路 5816 供應電源電位 VDD。

此外，在時段 T3b 中，電晶體 5805 導通，將電源電位 VDD 提供給節點 N581。此外，在時段 T4 中，電晶體 5806 導通，將電源電位 VDD 提供給節點 N581。因此，圖 58 中的正反器電路能夠在時段 T3b 和 T4 中一直向節點 N581 供應電源電位 VDD。

此外，圖 58 中的正反器電路不包括在所有的時段 T1 到 T4 中都導通的電晶體。亦即，圖 58 中的正反器電路不包括總是或幾乎總是導通的電晶體。因此，圖 58 中的正反器電路能夠抑制電晶體的特性劣化和由於特性劣化導致的臨界值電壓漂移。

注意，電晶體 5801 到 5807 具有類似於電晶體 5601 到 5607 的功能。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 8)

參考圖 60，本實施例模式將描述使用了實施例模式 5 和 6 中所述的正反器電路的移位暫存器。

圖 60 顯示使用了實施例模式 5 和 6 中所述的正反器電路的移位暫存器的例子。圖 60 中的移位暫存器包括多個正反器電路 6001。

注意，正反器電路 6001 類似於實施例模式 5 和 6 中所示的正反器電路。

在圖 60 中，顯示第(n-1)級正反器電路 6001(n-1)、第 n 級正反器電路 6001(n)和第(n+1)級正反器電路 6001(n+1)。注意，n 爲偶數。還要注意，偶數編號級中的正反器電路的輸入端子 IN601 連接到線路 6005，奇數編號級中的正反器電路的輸入端子 IN601 連接到線路 6004。

注意，輸入端子 IN601 連接到圖 27 中的線路 2711、圖 36 中的線路 3613、圖 44 中的線路 4411 和圖 48 中的線路 4813 的每個。輸入端子 IN602 連接到圖 27 中的線路 2712、圖 36 中的線路 3614、圖 44 中的線路 4412 和圖 48

中的線路 4814 的每個。輸入端子 IN603 連接到圖 27 中的線路 2713、圖 36 中的線路 3615、圖 44 中的線路 4413 和圖 48 中的線路 4815 的每個。輸入端子 IN604 連接到圖 27 中的線路 2709、圖 36 中的線路 3611、圖 44 中的線路 4410 和圖 48 中的線路 4812 的每個。輸入端子 IN605 連接到圖 27 中的線路 2710、圖 36 中的線路 3612、圖 44 中的線路 4409 和圖 48 中的線路 4812 的每個。輸出端子 IN606 連接到圖 27 中的線路 2714、圖 36 中的線路 3616、圖 44 中的線路 4414 和圖 48 中的線路 4816 的每個。

將電源電位 VDD 提供給線路 6002，將電源電位 VSS 提供給線路 6003。注意，電源電位 VDD 高於電源電位 VSS。不過，可以將數位信號、類比信號、其他電源電位等提供給線路 6002 和線路 6003。

將信號提供給線路 6004、線路 6005 和線路 6006。注意，提供給線路 6004、線路 6005 和線路 6006 的每個的信號爲二位元數位信號。不過，可以將電源電位 VDD、電源電位 VSS 或另一電源電位提供給線路 6004、線路 6005 和線路 6006 的每一個。或者，可以將類比信號提供給線路 6004、線路 6005 和線路 6006 的每個。

注意，將第(n-2)級正反器電路 6001 的輸出信號提供給線路 6006。

接著，將參考圖 61 中的時間圖描述圖 60 中所示的移位暫存器的運行。

圖 61 顯示圖 60 中所示的移位暫存器的時間圖例子。圖 61 中的時間圖顯示線路 6004 的電位、線路 6005 的電位、輸出端子 OUT606(n-2)的電位、輸出端子 OUT606(n-1)的電位、輸出端子 OUT606(n)的電位和輸出端子 OUT606(n+1)的電位。

注意，圖 61 中的時間圖顯示正反器電路 6001 由 N 通道電晶體構成的情形。當正反器電路 6001 由 P 通道電晶體構成時，僅需要顛倒 H 位準信號和 L 位準信號。

注意，將透過將整個時段分成時段 T1 到時段 T8 描述圖 61 中的時間圖。

首先，描述時段 T1 中的運行。在時段 T1 中，正反器電路 6001(n-1)執行實施例模式 5 和 6 中所示的時段 T1 中的操作；正反器電路 6001(n)執行實施例模式 5 和 6 中所示的時段 T4 中的操作；正反器電路 6001(n+1)執行實施例模式 5 和 6 中所示的時段 T3 中的操作。

接著，描述時段 T2 中的運行。在時段 T2 中，正反器電路 6001(n-1)執行實施例模式 5 和 6 中所示的時段 T2 中的操作；正反器電路 6001(n)執行實施例模式 5 和 6 中所示的時段 T1 中的操作；正反器電路 6001(n+1)執行實施例模式 5 和 6 中所示的時段 T4 中的操作。

因此，從正反器電路 6001(n-1)的輸出端子 OUT606 輸出 H 位準信號。

接著，描述時段 T3 中的運行。在時段 T3 中，正反器電路 6001(n-1)執行實施例模式 5 和 6 中所示的時段 T3b

中的操作；正反器電路 6001(n)執行實施例模式 5 和 6 中所示的時段 T2 中的操作；正反器電路 6001(n+1)執行實施例模式 5 和 6 中所示的時段 T1 中的操作。

因此，從正反器電路 6001(n)的輸出端子 OUT606 輸出 H 位準信號。

接著，描述時段 T4 中的運行。在時段 T4 中，正反器電路 6001(n-1)執行實施例模式 5 和 6 中所示的時段 T4 中的操作；正反器電路 6001(n)執行實施例模式 5 和 6 中所示的時段 T3b 中的操作；正反器電路 6001(n+1)執行實施例模式 5 和 6 中所示的時段 T2 中的操作。

因此，從正反器電路 6001(n+1)的輸出端子 OUT606 輸出 H 位準信號。

接著，描述時段 T5 中的運行。在時段 T5 中，正反器電路 6001(n-1)執行實施例模式 5 和 6 中所示的時段 T3a 中的操作；正反器電路 6001(n)執行實施例模式 5 和 6 中所示的時段 T4 中的操作；正反器電路 6001(n+1)執行實施例模式 5 和 6 中所示的時段 T3b 中的操作。

接著，描述時段 T6 中的運行。在時段 T6 中，正反器電路 6001(n-1)執行實施例模式 5 和 6 中所示的時段 T4 中的操作；正反器電路 6001(n)執行實施例模式 5 和 6 中所示的時段 T3a 中的操作；正反器電路 6001(n+1)執行實施例模式 5 和 6 中所示的時段 T4 中的操作。

接著，描述時段 T7 中的運行。在時段 T7 中，正反器電路 6001(n-1)執行實施例模式 5 和 6 中所示的時段 T3a

中的操作；正反器電路 6001(n)執行實施例模式 5 和 6 中所示的時段 T4 中的操作；正反器電路 6001(n+1)執行實施例模式 5 和 6 中所示的時段 T3a 中的操作。

接著，描述時段 T8 中的運行。在時段 T8 中，正反器電路 6001(n-1)執行實施例模式 5 和 6 中所示的時段 T4 中的操作；正反器電路 6001(n)執行實施例模式 5 和 6 中所示的時段 T3a 中的操作；正反器電路 6001(n+1)執行實施例模式 5 和 6 中所示的時段 T4 中的操作。

透過這種方式，當把實施例模式 5 和 6 中所示的正反器電路用於圖 60 所示的移位暫存器時，移位暫存器中所包括的所有電晶體可以是 N 通道型或 P 通道型。

此外，由於圖 60 中所示的移位暫存器中包含的所有電晶體可以是 N 通道電晶體，可以將非晶矽用於半導體層，從而實現了簡化的製造方法。因此，能夠實現製造成本的降低和成品率的提高。此外，可以形成大型顯示面板板。此外，當把圖 60 所示的移位暫存器用於半導體裝置時，即使在使用特性容易劣化的非晶矽時半導體裝置也可以具有長的使用壽命。

由非晶矽形成的電晶體的特性容易劣化。因此，在使用非晶矽形成圖 60 中的移位暫存器所包括的電晶體時，不僅能夠獲得諸如製造成本降低和成品率提高的優點，而且可以解決電晶體特性劣化的問題。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實

施例模式中的描述的諸部分彼此組合。

(實施例模式 9)

參考圖 62，實施例模式將描述使用了實施例模式 8 中所述的移位暫存器的源極驅動器。

圖 62 所示的電路爲使用了實施例模式 8 所示的移位暫存器的電路配置的例子。

圖 62 所示的電路包括移位暫存器 6501 和多個開關 6503。此外，移位暫存器 6501 具有多個輸出端子 OUT。

在圖 62 中，顯示第一級的開關 6503、負載 6504 和輸出端子 OUT，第二級、第三級和第 n 級。此外，n 爲至少爲二的自然數。

移位暫存器 6501 類似於實施例模式 8 中所示的移位暫存器。

如圖 62 中的電路所示，線路 6502 透過開關 6503 連接到負載 6504。此外，開關 6503 由移位暫存器 6501 控制。

此外，將傳輸信號提供給線路 6502。傳輸信號可以是電流或電壓。

注意，雖然未示出，將多個控制信號和多個電源電位提供給移位暫存器 6501。

接著，描述圖 62 中所示的電路的運行。

移位暫存器 6501 從第一級的輸出端子 OUT(1)依次輸出 H 位準信號或 L 位準信號。同時，從第一級依次導通

開關 6503。然後，透過開關 6503 從第一級將傳輸信號依次提供給負載 6504。

注意，當從第一級的輸出端子 OUT(1)依次輸出 H 位準信號時，將 N 通道電晶體用作開關 6503。另一方面，當從第一級的輸出端子 OUT(1)依次輸出 L 位準信號時，將 P 通道電晶體用作開關 6503。

在圖 62 中的電路中，在開關 6503 的導通/截止時間改變傳輸信號時，可以將不同的電壓或電流提供給多個負載 6504。

這裏，描述移位暫存器 6501 和開關 6503 的功能。

移位暫存器 6501 具有輸出選擇是否導通或截止開關 6503 的信號。此外，移位暫存器 6501 類似於實施例模式 8 中所示的移位暫存器。

每個開關 6503 具有選擇是否將線路 6502 連接到負載 6504 的功能。

透過這種方式，當將實施例模式 8 中所示的移位暫存器用於圖 62 所示的電路時，如上所述，電路中所包括的所有電晶體可以是 N 通道型或 P 通道型。

注意，在圖 62 中的電路中，僅透過移位暫存器的一個輸出信號控制一個開關的導通/截止。不過，可以由移位暫存器的一個輸出信號控制多個開關的導通/截止。於是，參考圖 63 描述由移位暫存器的一個輸出信號控制三個開關的導通/截止的配置。

圖 63 所示的電路包括移位暫存器 6601 和多個開關組

6605。移位暫存器 6601 具有多個輸出端子 OUT。開關組 6605 的每個具有三個開關。此外，負載組 6606 的每個具有三個負載。

在圖 63 中，顯示第一級、第二級、第三級和第 n 級的開關組 6605、負載組 6606 和輸出端子 OUT。此外，n 爲至少爲二的自然數。

移位暫存器 6601 類似於實施例模式 8 中所示的移位暫存器。

如圖 63 中的電路所示，透過每個開關組 6605 中包括的三個開關將線路 6603 和線路 6604 連接到每個負載組 6606 中包括的三個負載。此外，每個開關組 6605 中包括的三個開關由移位暫存器 6601 控制。

將傳輸信號 1 提供給線路 6602，將傳輸信號 2 提供給線路 6603，將傳輸信號 提供給線路 6604。傳輸信號 1、2 和 3 可以是電流或電壓。

注意，雖然未示出，將多個控制信號和多個電源電位提供給移位暫存器 6601。

接著，描述圖 63 中所示的電路的運行。

移位暫存器 6601 從第一級的輸出端子 OUT(1)依次輸出 H 位準信號或 L 位準信號。同時，從第一級依次在同一時間導通每個開關組 6605 中包括的三個開關。然後，從第一級透過開關組 6505 將傳輸信號 1、2 和 3 依次提供給每個負載組 6606 中包括的負載。

注意，當從移位暫存器 6601 的第一級的輸出端子

OUT(1)依次輸出 H 位準信號時，將 N 通道電晶體用作開關組 6605 中包括的開關。另一方面，當從移位暫存器 6601 的第一級的輸出端子 OUT(1)依次輸出 L 位準信號時，將 P 通道電晶體用作開關組 6605 中包括的開關。

在圖 63 中的電路中，當在每個開關組 6605 中包括的開關的導通/截止時間改變傳輸信號 1、2 和 3 時，可以將不同的電壓或電流提供給每個負載組 6606 中包括的負載。

這裏，描述移位暫存器 6601 和開關組 6605 的功能。

移位暫存器 6601 具有輸出選擇是否同時導通或截止開關組 6605 中包括的開關的信號的功能。此外，移位暫存器 6601 類似於實施例模式 8 中所示的移位暫存器。

每個開關組 6605 具有選擇是否將線路 6602、線路 6603 和線路 6604 連接到負載組 6606 的功能。

透過這種方式，在圖 63 所示的電路中，可以使用移位暫存器 6601 的一個輸出信號控制多個開關的導通/截止。此外，如上所述，當使用實施例模式 8 中的移位暫存器時，電路中包括的所有電晶體可以是 N 通道型或 P 通道型。

這裏，參考圖 64 描述不同於圖 62 和 63 中所示的可以使用實施例模式 8 中所示的移位暫存器的另一配置。

圖 64 中所示的電路包括移位暫存器 6701 和多個開關組 6705。移位暫存器 6701 具有三個輸出端子 OUT。開關組 6705 的每個具有三個開關。此外，負載組 6706 的每個

具有三個負載。

在圖 64 中，顯示第一級、第二級、第三級和第 n 級的開關組 6705 和負載組 6706。

移位暫存器 6701 與實施例模式 8 中所示的相同。

如圖 64 中的電路所示，多個線路 6707 均透過每個開關組 6705 中包括的三個開關連接至每個負載組 6706 中包括的三個負載。此外，每個開關組 6705 中包括的三個開關由移位暫存器 6701 控制。

將來自第一級移位暫存器 6701 的輸出端子 OUT(1)的輸出信號提供給線路 6702。將來自第二級移位暫存器 6701 的輸出端子 OUT(2)的輸出信號提供給線路 6703。將來自第三級移位暫存器 6701 的輸出端子 OUT(3)的輸出信號提供給線路 6704。

此外，將傳輸信號 1 提供給第一級的線路 6707(1)，將傳輸信號 2 提供給第二級的線路 6707(2)，將傳輸信號 3 提供給第三級的線路 6707(3)。傳輸信號 1、2 和 3 可以是電流或電壓。

注意，雖然未示出，將多個控制信號和多個電源電位提供給移位暫存器 6701。

接著，描述圖 64 中所示的電路的運行。

移位暫存器 6701 從第一級的輸出端子 OUT(1)依次輸出 H 位準信號或 L 位準信號。同時，從第一級依次逐個地導通每個開關組 6705 中包括的開關。因此，將一個傳輸信號依次提供給每個負載組 6706 中包括的負載。

注意，當從第一級移位暫存器 6701 的輸出端子 OUT(1)依次輸出 H 位準信號時，將 N 通道電晶體用作開關組 6705 中包括的開關。另一方面，當從第一級移位暫存器 6701 的輸出端子 OUT(1)依次輸出 L 位準信號時，將 P 通道電晶體用作開關組 6705 中包括的開關。

在圖 64 中的電路中，當在每個開關組 6705 中包括的開關的導通/截止時間改變每個傳輸信號時，可以將不同的電壓或電流提供給每個負載組 6706 中包括的負載。

透過這種方式，在圖 64 中所示的電路中，可以透過將一個傳輸信號提供給多個負載減小傳輸信號的數量。在圖 64 中，可以將傳輸信號的數量減少到 1/3，因爲在每個開關組中提供了三個開關。

此外，如上所述，當使用實施例模式 8 中的移位暫存器時，電路中包括的所有電晶體可以是 N 通道型或 P 通道型。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 10)

參考圖 65，本實施例模式將描述在實施例模式 3 中描述的正反器電路的佈局圖。

圖 65 爲圖 27 中所示的正反器電路的佈局圖。注意，圖 65 中所示的正反器電路的佈局圖顯示將多晶半導體(多

晶矽)用於電晶體的半導體層的情形。此外，將參考圖 65 描述該情形，其中形成了半導體層 6801、閘極電極層 6802 和線路層 6803。

在圖 65 中的正反器電路的佈局圖中，設置了電晶體 2701 到 2708。

注意，在圖 65 中的正反器電路的佈局圖中，電晶體 2705 具有雙閘極結構。

線路 2709 設置於每個電晶體和線路 2711a、2711b 之間。這是因爲，提供給線路 2711a 和 2711b 的信號可能是雜訊，這又可能給每個電晶體的運行造成不利影響。因此，透過在每個電晶體和線路 2711a、2711b 之間設置線路 2709，可以抑制雜訊。

接著，圖 66 顯示使用非晶半導體(非晶矽)的正反器電路的佈局圖。

注意，線路 2709 設置於每個電晶體和線路 2711a、2711b 之間。這是因爲，提供給線路 2711a 和 2711b 的信號可能是雜訊，這又可能給每個電晶體的運行造成不利影響。因此，透過在每個電晶體和線路 2711a、2711b 之間設置線路 2709，可以抑制雜訊。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 11)

參考圖 75A 和 75B，本實施例模式將描述其中形成有多個像素的面板的例子。在圖 75A 中，面板 191 包括像素部分 591，其中以矩陣形式設置多個像素 590。像素部分 591 可以具有主動矩陣結構，其中在每一個像素 590 中設置諸如薄膜電晶體的開關元件。作爲提供於像素 590 中的顯示媒體，可以使用諸如電致發光元件或液晶元件的發光元件。

注意，如圖 75B 所示，可以在與像素部分 591 相同的基板上方提供用於驅動像素部分 591 的驅動電路。在圖 75B 中，用與圖 75A 中相同的附圖標記表示與圖 75A 中相同的部分，並省略其描述。在圖 75B 中，源極驅動器 593 和閘極驅動器 594 被示爲驅動電路。注意，本發明不限於此，除了源極驅動器 593 和閘極驅動器 594 之外，可以提供另一驅動電路。或者，可以利用不同的基板形成驅動電路並將其安裝在形成了像素部分 591 的基板上。例如，可以利用玻璃基板形成具有薄膜電晶體的像素部分 591，可以利用單晶基板形成驅動電路，從而可以透過 COG(玻璃上晶片)將 IC 晶片連接到玻璃基板。或者，可以透過 TAB(帶式自動接合)或使用印製電路板將 IC 晶片連接至玻璃基板。

可以利用薄膜電晶體在與像素部分 591 相同的基板上形成驅動電路，上述薄膜電晶體是透過與像素 590 中包括的薄膜電晶體相同的方法形成的。可以利用多晶半導體或非晶半導體形成每個薄膜電晶體的通道形成區。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 12)

圖 76A 顯示圖 75A 和 75B 所示的像素部分 591 的構造實例(以下稱爲第一像素構造)。像素部分 591 包括多個源極信號線 S1 到 Sp(p 爲自然數)、多個與所示多個源極信號線 S1 到 Sp 相交的掃描線 G1 到 Gq(q 爲自然數)，以及提供於源極信號線 S1 到 Sp 和掃描線 G1 到 Gq 的每個交點處的像素 690。

圖 76B 顯示圖 76A 中的像素 690 的構造。在圖 76B 中，顯示像素 690，其形成於多個源極信號線 S1 到 Sp 中的一個源極線 Sx(x 爲不大於 p 的自然數)與多個掃描線 G1 到 Gy 中的一個掃描線 Gy(y 爲不大於 q 的自然數)的交點處。像素 690 包括第一電晶體 691、第二電晶體 692、電容器 693 和發光元件 694。注意，本實施例模式顯示一個例子，其中，發光元件 694 具有一對電極且利用在該一對電極之間流動的電流發光。此外，可以將第二電晶體 692 等的寄生電容積極地用作電容器 693。第一電晶體 691 和第二電晶體 692 可以是 N 通道電晶體或 P 通道電晶體。作爲像素 690 中包括的電晶體，可以使用薄膜電晶體。

第一電晶體 691 的閘極連接到掃描線 Gy，第一電晶

體 691 的源極和汲極之一連接到源極信號線 Sx，另一個連接到第二電晶體 692 的閘極和電容器 693 的電極之一。電容器 693 的另一個電極連接到被供以電位 V3 的端子 695。第二電晶體 692 的源極和汲極之一連接到發光元件 694 的電極之一，另一個連接到被供以電位 V2 的端子 696。發光元件 694 的另一個電極連接到被供以電位 V1 的端子 697。

描述圖 76A 和 76B 中所示的像素部分 591 的顯示方法。

選擇多個掃描線 G1 到 Gq 之一。儘管選擇了掃描線，將視頻信號輸入到多個源極信號線 S1 到 Sp 的全部。透過這種方式，將視頻信號輸入到像素部分 591 中的一列像素中。透過依次選擇多個掃描線 G1 到 Gq 並執行類似操作，將視頻信號輸入到像素部分 591 中的所有像素 690 中。

將描述像素 690 的運行，在從多個掃描線 G1 到 Gq 中選擇了一個掃描線 Gy 時，像素 690 從多個源極信號線 S1 到 Sp 中的一個源極信號線 Sx 接收視頻信號。當選擇了掃描線 Gy 後，第一電晶體 691 導通。電晶體的“導通”狀態表示其源極和汲極是連接的，而電晶體的“截止”狀態表示其源極和汲極未連接。當第一電晶體 691 導通時，透過第一電晶體 691 將輸入到源極信號線 Sx 的視頻信號輸入到第二電晶體 692 的閘極。基於輸入的視頻信號選擇第二電晶體 692 的導通/截止狀態。當選擇第二電

晶體 692 的導通狀態時，第二電晶體 692 的汲極電流流入發光元件 694，使得發光元件 694 發光。

當第二電晶體 692 導通時，電位 V2 和電位 V3 具有保持在恒定水平的電位差。電位 V2 和電位 V3 還可以具有相同位準。當將電位 V2 和電位 V3 設定在相同位準時，可以將端子 695 和端子 696 連接至同一線路。當選擇發光元件 694 發光時，將電位 V1 和電位 V2 設定爲具有預定電位差。透過這種方式，電流流入發光元件 694 中，使得發光元件 694 發光。

注意，線路和電極是利用從鋁(Al)、鉭(Ta)、鈦(Ti)、鉬(Mo)、鎢(W)、釹(Nd)、鉻(Cr)、鎳(Ni)、鉑(Pt)、金(Au)、銀(Ag)、銅(Cu)、鎂(Mg)、鈧(Sc)、鈷(Co)、鋅(Zn)、鈮(Nb)、矽(Si)、磷(P)、硼(B)、砷(As)、鎵(Ga)、銦(In)、錫(Sn)、和氧(O)中選擇的一種或多種元素;含有一種或多種這樣的元素的化合物或合金材料(例如氧化銦錫(ITO)、氧化銦鋅(IZO)、摻有氧化矽的氧化銦錫(ITSO)、氧化鋅(ZnO)、鋁釹(Al-Nd)或鎂銀(Mg-Ag))；透過組合這樣的化合物獲得的基板等形成的。或者，可以使用上述材料和矽的化合物(矽化物)(例如鋁矽、鉬矽或鎳矽化物)，或上述材料和氮化物的化合物(例如氮化鈦、氮化鉭或氮化鉬等)。注意，矽(Si)可以含有大量 N 型雜質(例如磷)或 P 型雜質(例如硼)。當矽含有這樣的雜質時，電導率得到提高，或者矽以類似於普通導體的方式工作；因此，可以容易地將其用作線路或電極。矽可以單晶態、多晶態(多

晶矽)和非晶態(非晶矽)中的任一種形態。在使用單晶矽或多晶矽時，可以降低電阻。在使用非晶矽時，可以簡化製造方法。注意，在使用具有高導電性的鋁或銀時，可以減小信號延遲。此外，由於可以容易地蝕刻鋁和銀，因此可以容易地對它們構圖，於是精細處理成爲可能。還要注意，在使用具有高導電性的銅時，可以降低信號延遲。同樣較佳的的是使用鉬，因爲即使在其接觸矽或諸如 ITO 或 IZO 的氧化物半導體時其也不會導致諸如材料缺陷的問題；能夠容易地構圖和蝕刻它；且其具有高耐熱性。同樣較佳的的是使用鈦，因爲即使在其接觸矽或諸如 ITO 或 IZO 的氧化物半導體時其也不會導致諸如材料缺陷的問題；能夠容易地構圖和蝕刻它；且其具有高耐熱性。同樣較佳的的是使用具有高耐熱性的鎢或鉭。具體而言，較佳的使用鉭和鋁的合金，因爲耐熱性得到提高且鋁幾乎沒有小丘。同樣較佳的的是使用矽，因爲其能夠與電晶體的半導體層同時形成，且還具有高耐熱性。還要注意，氧化銦錫(ITO)、氧化銦鋅(IZO)、摻有氧化矽的氧化銦錫(ITSO)、氧化鋅(ZnO)和矽(Si)具有透光特性；因此，可以將它們用於透光的部分，這是較佳的的。例如，這種材料可以被用作像素電極或公共電極。

注意，可以將線路和電極形成爲具有單層結構或多層結構。當使用單層結構時，可以簡化製造方法且還可以減少製造時間和成本。另一方面，當使用多層結構時，可以有效地利用每種材料的優勢，同時可以降低每種材料的不

足，由此可以形成具有高性能的線路和電極。例如，當形成多層結構以使其含有低電阻材料(例如鋁)時，可以降低線路的電阻。此外，當形成多層結構使其含有高耐熱性材料時，例如具有優勢的低電阻材料夾在高耐熱性材料之間的疊層結構，可以提高線路或電極整體的耐熱性。例如，較佳的形成含鋁層夾在含鉬或鈦的層之間的疊層結構。此外，當線路或電極所具有與由不同材料製成的另一線路、電極等直接接觸的部分時，它們可能會彼此造成不利影響。例如，存在一種材料被混合到另一種材料中的情形，由此材料的屬性發生變化，這又在製造過程中防礙了最初目標的實現或導致問題，從而不能進行正常的製造。在這種情況下，可以透過將層夾在其他層之間或用另一層覆蓋層來解決該問題。例如，爲了使氧化銦錫(ITO)和鋁互相接觸，較佳的在它們之間夾置鈦或鉬。此外，爲了使矽和鋁相互接觸，較佳的在它們之間夾置鈦或鉬。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 13)

圖 77A 顯示圖 75A 和 75B 中所示的像素部分 591 的構造實例。圖 77A 顯示與實施例模式 12 中所示的第一像素構造不同的構造(以下稱爲第二像素構造)。像素部分 591 包括多個源極信號線 S1 到 Sp(p 爲自然數)；多個與所

述多個源極信號線 S1 到 Sp 相交的掃描線 G1 到 Gq(q 爲自然數)和多個掃描線 R1 到 Rq，以及提供於源極信號線 S1 到 Sp、掃描線 G1 到 Gq 和掃描線 R1 到 Rq 的每個交點處的像素 790。

圖 77B 顯示圖 77A 中的像素 790 的構造。在圖 77B 中，顯示像素 790，其形成於多個源極信號線 S1 到 Sp 中的一個源極線 Sx(x 爲不大於 p 的自然數)、多個掃描線 G1 到 Gq 中的一個掃描線 Gy(y 爲不大於 q 的自然數)以及多個掃描線 R1 到 Rq 中的一個掃描線 Ry 的交點處。注意，在具有圖 77B 中所示的構造的像素中，由與圖 76B 中相同的附圖標記表示與圖 76B 中相同的部分，且省略它們的描述。圖 77B 與圖 76B 的不同之處在於，其具有第三電晶體 791。第三電晶體 791 可以是 N 通道電晶體或 P 通道電晶體。作爲像素 790 中包括的電晶體，可以使用薄膜電晶體。

第三電晶體 791 的閘極連接到掃描線 Ry，第三電晶體 791 的源極和汲極之一連接到第二電晶體 692 的閘極和電容器 693 的電極之一，另一個連接到被供以電位 V4 的輸出端子 792。

描述圖 77A 和圖 77B 中所示的像素部分 591 的顯示方法。

點亮發光元件 694 的方法與實施例模式 12 中描述的相同。在具有圖 77A 和 77B 中所示的構造的像素中，透過提供掃描線 Ry 和第三電晶體 791，即使從源極信號 Sx

輸出了視頻信號，也可以使像素 790 中的發光元件 694 不發光。可以透過輸入到掃描線 Ry 中的信號設定像素 790 中的發光元件 694 的發光時間。於是，可以設定比依次選擇所有掃描線 G1 到 Gq 的時段短的發光時段。透過這種方式，在透過分時灰度級方法執行顯示的時候，可以設定短的子框周期，因此，可以表達高灰度級。

僅需要將電位 V4 設定在第三電晶體 791 導通時能夠截止第二電晶體 692 的位準。例如，當第三電晶體 791 導通時，可以將電位 V4 設定爲具有與電位 V3 相同的位準。透過將電位 V3 和 V4 設定在相同位準，可以釋放電容器 693 中保持的電荷，且可以將第二電晶體 692 的源極和閘極之間的電壓設定爲零，從而能夠使第二電晶體 692 截止。注意，爲了將電位 V3 和電位 V4 設定在相同位準，可以將端子 695 和端子 792 連接至相同線路。

注意，第三電晶體 791 的位置不局限於圖 77B 所示的一種。例如，可以將第三電晶體 791 與第二電晶體 692 串聯設置。在這種構造中，透過由輸入到掃描線 Ry 的信號截止第三電晶體 791，能夠切斷流入發光元件 694 的電流，使得發光元件 694 不發光。

可以用二極體代替圖 77B 中所示的第三電晶體 791。圖 77C 顯示第三電晶體 791 被二極體替代的像素構造。注意，在圖 77C 中，用與圖 77B 中相同的附圖標記表示與圖圖 77B 中相同的部分，並省略其描述。二極體 781 的電極之一連接到掃描線 Ry，另一個電極連接到第二電晶體

692 的閘極和電容器 693 的電極之一。

二極體 781 在從一個電極到另一個電極的方向上提供電流。將 P 通道電晶體用作第二電晶體 692。透過提高二極體 781 的電極之一的電位，可以提高第二電晶體 692 的閘極電位，從而能夠截止第二電晶體 692。

雖然圖 77C 顯示二極體 781 在從連接至掃描線 Ry 的一個電極到連接至第二電晶體 692 的閘極的另一個電極的方向上提供電流且 P 通道電晶體被用作第二電晶體 692 的配置，但本發明不限於此。還可以使用二極體 781 在從連接至第二電晶體 692 的閘極的電極到連接至掃描線 Ry 的電極的方向上提供電流且將 N 通道電晶體用作第二電晶體 692 的配置。當第二電晶體 692 爲 N 通道電晶體時，可以透過降低二極體 781 的電極之一的電位使第二電晶體 692 截止，使得第二電晶體 692 的閘極電位降落。

作爲二極體 781，可以使用以二極體方式連接的電晶體。以二極體方式連接的電晶體意味著電晶體的汲極和閘極連接到一起。作爲以二極體方式連接的電晶體，可以使用 P 通道電晶體或 N 通道電晶體。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 14)

圖 78A 顯示圖 75A 和 75B 所示的像素部分 591 的構

造實例(以下稱爲第三像素構造)。像素部分 591 包括多個源極信號線 S1 到 Sp(p 爲自然數)、多個與所示多個源極信號線 S1 到 Sp 相交的掃描線 G1 到 Gq(q 爲自然數)，以及提供於源極信號線 S1 到 Sp 和掃描線 G1 到 Gq 的每個交點處的像素 690。

圖 78B 顯示圖 78A 中的像素 690 的構造。在圖 78B 中，顯示像素 690，其形成於多個源極信號線 S1 到 Sp 中的一個源極線 Sx(x 爲不大於 p 的自然數)與多個掃描線 G1 到 Gq 中的一個掃描線 Gy(y 爲不大於 q 的自然數)的交點處。此外，對應於每一列提供電容線 C0。像素 690 包括電晶體 4691、液晶元件 4692 和電容器 4693。電晶體 4691 可以是 N 通道電晶體或 P 通道電晶體。作爲像素 690 中包括的電晶體，可以使用薄膜電晶體。

電晶體 4691 的閘極連接到掃描線 Gy，電晶體 4691 的源極和汲極之一連接到源極信號線 Sx，另一個連接到液晶元件 4692 的電極之一和電容器 4693 的電極之一。液晶元件 4692 的另一個電極連接到被供以電位 V0 的端子 4694。電容器 4693 的另一個電極連接到電容線 C0。向電容線 C0 提供與共給端子 4694 的電位 V0 相同的電位。

描述圖 78A 和圖 78B 中所示的像素部分 591 的顯示方法。

選擇掃描線 G1 到 Gq 之一。儘管選擇了掃描線，將視頻信號輸入到多個源極信號線 S1 到 Sp 的全部。透過這種方式，將視頻信號輸入到像素部分 591 中的一列像素

中。透過依次選擇多個掃描線 G1 到 Gq 並執行類似操作，將視頻信號輸入到像素部分 591 中的所有像素 690 中。

將描述像素 690 的運行，在從多個掃描線 G1 到 Gq 中選擇了一個掃描線 Gy 時，像素 690 從多個源極信號線 S1 到 Sp 中的一個源極信號線 Sx 接收視頻信號。當選擇了掃描線 Gy 後，電晶體 4691 導通。電晶體的“導通”狀態表示其源極和汲極是連接的，而電晶體的“截止”狀態表示其源極和汲極未連接。當電晶體 4691 導通時，透過電晶體 4691 將輸入到源極信號線 Sx 的視頻信號輸入到液晶元件 4692 的電極之一和電容器 4693 的電極之一。透過這種方式，在液晶元件 4692 的一對電極之間施加電壓(該電壓對應於輸入視頻信號的電位和端子 4694 處的電位 V0 之間的電位差)，由此液晶元件 4692 的透射率發生改變。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 15)

在本實施例模式中，描述實際形成像素的例子。圖 67A 和圖 67B 爲實施例模式 12 和 13 中描述的面板的像素的截面圖。這裏，所示出的例子中，TFT 被用作設置於像素中的開關元件，發光元件被用作設置於像素中的顯示媒體。

在圖 67A 和 67B 中，附圖標記 1000 表示基板，1001 表示底膜，1002 表示半導體層，1102 表示半導體層，1003 表示第一絕緣膜，1004 表示閘極電極，1104 表示電極，1005 表示第二絕緣膜，1006 表示電極，1007 表示第一電極，1008 表示第三絕緣膜，1009 表示發光層，1010 表示第二電極。附圖標記 1100 表示 TFT，1011 表示發光元件，1101 表示電容器。在圖 67A 和 67B 中，TFT 1100 和電容器 1101 被示爲像素中所包括的元件的典型例。首先描述圖 67A 的結構。

作爲基板 1000，可以使用鋇硼矽玻璃、鋁硼矽玻璃等製成的玻璃基板；石英基板；陶瓷基板等。或者，可以使用均具有形成於其表面上的絕緣膜的半導體基板或包括不銹鋼的金屬基板。也可以使用諸如塑膠的由撓性合成樹脂製成的基板。基板 1000 的表面可以透過拋光，例如 CMP 方法進行平坦化。

作爲底膜 1001，可以使用由氧化矽、氮化矽、氧氮化矽等製成的絕緣膜。透過提供底膜 1001，可以防止基板 1000 中所含的諸如 Na 的鹼金屬或鹼土金屬擴散到半導體層 1002 中，否則這會對 TFT 1100 的特性造成不利影響。雖然圖 67A 和 67B 中的底膜 1001 具有單層結構，也可以使用兩個或更多層的多個層。注意，當在(例如)使用石英基板的情況下不關心雜質擴散的時候，不必一定要提供底膜 1001。

作爲半導體層 1002 和半導體層 1102，可以使用已經

被處理爲預定形狀的晶態半導體膜或非晶半導體膜。可以透過晶化非晶半導體膜獲得晶態半導體膜。作爲結晶方法，可以使用鐳射結晶方法、使用 RTA 或退火爐的熱結晶方法、使用促進結晶的金屬元素的熱結晶方法等。半導體層 1002 包括通道形成區和一對摻有決定導電類型的雜質元素的雜質區。注意，還可以在通道形成區和一對雜質區之間提供摻有低濃度雜質元素的雜質區(LDD 區)。半導體層 1102 可以具有整個區域都摻有賦予導電類型的雜質元素的結構。

作爲第一絕緣膜 1003，可以使用氧化矽、氮化矽、氧氮化矽等，可以使用單層或多個膜的堆疊層。

注意，也可以將含氫的膜用作第一絕緣膜 1003，從而能夠氫化半導體層 1002。

對於閘極電極 1004 和電極 1104 而言，可以使用從 Ta、W、Ti、Mo、Al、Cu、Cr 和 Nd 中選擇的元素，或者含有多種這樣的元素的合金或化合物。此外，可以形成閘極電極 1004 和電極 1104，使其具有上述材料的單層結構或疊層結構。

TFT 1100 包括半導體層 1002、閘極電極 1004 和半導體層 1002 和閘極電極 1004 之間的第一絕緣膜 1003。雖然圖 67A 和 67B 顯示僅由連接至發光元件 1011 的第一電極 1007 的 TFT 1100 作爲形成像素的 TFT，也可以使用具有多個 TFT 的結構。此外，雖然在本實施例模式中將 TFT 1100 表示爲頂閘極電晶體，也可能使用閘極電極在半導

體層下方的底閘極電晶體或具有半導體層上方和下方的閘極電極的雙閘極電晶體。

電容器 1101 由作爲電介質的第一絕緣膜 1003 和作爲一對電極的半導體層 1102 和電極 1104 形成，半導體層 1102 和電極 1104 彼此相對，其間插置有第一絕緣膜 1003。注意，雖然在圖 67A 和 67B 所示的例子中，像素中所包括的電容器具有作爲一對電極之一的半導體層 1102 還具有作爲另一電極的電極 1104，半導體層 1102 與 TFT 1100 的半導體層 1002 同時形成，電極 1104 與 TFT 1100 的閘極電極 1004 同時形成，但本發明不限於此結構。

作爲第二絕緣膜 1005，可以使用單層或疊層的無機絕緣膜或有機絕緣膜。作爲無機絕緣膜，可以使用透過 CVD 方法形成的氧化矽膜，透過 SOG(玻璃上旋塗)方法形成的氧化矽膜等。作爲有機絕緣膜，可以使用由聚醯亞胺、聚醯胺、BCB(苯並環丁烯)、丙烯酸、正性光敏有機樹脂、負性光敏有機樹脂等製成的膜。

此外，對於第二絕緣膜 1005 而言，可以使用具有矽(Si)和氧(O)鍵的骨架結構的材料。作爲這種材料的替代物，使用至少含有氫(例如烷基或芳基)的有機基。或者，可以將氟代基用作取代基。作爲進一步的選擇，可以將至少含有氫的氟代基和有機基二者用作取代基。

注意，可以透過高密度電漿處理氮化第二絕緣膜 1005 的表面。使用高頻微波，例如 2.45GHz 的微波生成

高濃度電漿。注意，作爲高濃度電漿，使用電子密度至少爲 $10^{11}cm^{-3}$，電子溫度爲 0.2 到 2.0eV(含)(較佳的爲 0.5 到 1.5eV(含))的電漿。當使用具有低電子溫度的這種高濃度電漿時，啓動原子團的動能可能是低的。因此，有可能形成幾乎不受電漿損害且比習知電漿處理形成的膜具有更少缺陷的膜。在高密度電漿處理中，將基板 1000 設定在 350 到 450℃範圍內的溫度下。此外，在用於產生高濃度電漿的設備中，將產生微波的天線和基板 1000 之間的距離設定在 20 到 80mm(含)(較佳的 20 到 60mm(含))。

在含有氮氣(N_2)和稀有氣體(包括 He、Ne、Ar、Kr 和 Xe 的至少一種)的氣氛；含有氮氣、氫氣(H_2)和稀有氣體的氣氛，或含有 NH_3 和稀有氣體的氣氛下透過上述高密度電漿處理氮化第二絕緣膜 1005 的表面。在透過高濃度電漿氮化處理形成的第二絕緣膜 1005 的表面中，混合了諸如 H、He、Ne、Ar、Kr 或 Xe 的元素。例如，將氧化矽膜或氮氧化矽膜用作第二絕緣膜 1005，用高濃度電漿處理膜的表面，從而形成氮化矽膜。可以利用這樣形成的氮化矽膜中所含的氫來氫化 TFT 1100 的半導體層 1002。注意，可以將氫化處理與上述使用第一絕緣膜 1003 中所含的氫的氫化處理結合。

注意，可以透過在由上述高密度電漿處理形成的氮化物膜上方沉積另一絕緣膜來形成第二絕緣膜 1005。

可以使用從 Al、W、Mo、Ti、Pt、Cu、Ta、Au 和 Mn 中選擇的元素，或者含有從 Al、Ni、C、W、Mo、

Ti、Pt、Cu、Ta、Au和Mn中選擇的多種元素的合金形成電極1006。此外，電極1006可以形成爲具有上述材料的單層結構或疊層結構。

可以將第一電極1007和第二電極1010之一或兩者形成爲透明電極。對於透明電極而言，可以使用含有氧化鎢的氧化銦(IWO)、含有氧化鎢和氧化鋅的氧化銦(IWZO)、含有氧化鈦的氧化銦(ITiO)、含有氧化鈦的氧化銦錫(ITTiO)等。不用說，也可以使用氧化銦錫(ITO)、氧化銦鋅(IZO)、摻有氧化矽的氧化銦錫(ITSO)等。

可以將發光元件分爲利用施加於其上的直流電壓而發光的發光元件(以下稱爲直流驅動發光元件)或利用施加於其上的交流電壓而發光的發光元件(以下稱爲交流驅動發光元件)。

直流驅動發光元件較佳的形成爲具有多個層，該多個層具有不同的功能，諸如電洞注入/傳輸層、發光層和電子注入/傳輸層。

較佳的用具有電洞傳輸特性的有機化合物材料和相對於有機化合物材料表現出電子接受特性的無機化合物材料的複合材料形成電洞注入/傳輸層。透過使用這種結構，在本來具有很少載流子的有機化合物中生成很多電洞載流子，由此透過這種效應能夠獲得相當優異的電洞注入/傳輸特性，可以比習知方法中降低驅動電壓。此外，由於可以將電洞注入/傳輸層形成較厚而不導致驅動電壓的增大，因此可以抑制由於灰塵等導致的發光元件短路。

作爲具有電洞傳輸特性的有機化合物，例如有：4,4',4''-三[N-(3-甲基苯基)-N-苯基胺基]三苯胺(縮寫：MTDATA)、1,3,5-三[N,N-二(m-甲苯基)氨基]苯(縮寫：m-MTDAB)、N,N'-二苯基-N,N'-雙(3-甲基苯基)-1,1'-二苯基-4,4'-二胺(縮寫：TPD)、4,4'-雙[N-(1-萘基)-N-苯基胺基]二苯基(縮寫：NPB)等。不過，本發明不限於此。

作爲表現出電子接受特性的無機化合物材料，有氧化鈦、氧化鋯、氧化釩、氧化鉬、氧化鎢、氧化銖、氧化釕、氧化鋅等。具體而言，較佳的爲氧化釩、氧化鉬、氧化鎢和氧化銖，因爲它們可以在真空中沉積，且容易處理。

用具有電子傳輸特性的有機化合物材料形成電子注入/傳輸層。具體而言，有三(8-羥基喹啉)鋁(縮寫：Alq3)、三(4-甲基-8-羥基喹啉)鋁(縮寫：Almq3)等。不過，本發明不限於此。

在直流驅動發光元件中，例如可以使用如下材料形成發光層：9,10-二(2-萘基)蒽(縮寫：DNA)、9,10-二(2-萘基)-2-特-丁基蒽(縮寫：t-BuDNA)、4,4'-雙(2,2-二苯基乙烯基)二苯基(縮寫：DPVBi)、香豆素 30、香豆素 6、香豆素 545、香豆素 545T、二萘嵌苯、紅熒烯、periflanthene、2,5,8,11-四(特-丁基)二萘嵌苯(縮寫：TBP)、9,10-二苯蒽(縮寫：DPA)、5,12-二苯並四苯、4-(氰基亞甲基)-2-甲基-[p-(二甲基胺基)苯乙烯基]-4H-吡喃(縮寫：DCM1)、4-(氰基亞甲基)-2-甲基-6-[2-(久洛尼定-

9-基)乙烯基]-4H-吡喃(縮寫：DCM2)、4-(氰基亞甲基)-2,6-雙[p-(二甲基胺基)苯乙烯基]-4H-吡喃(縮寫：BisDCM)等。或者，可以使用以下能夠發出熒光的化合物：雙[2-(4',6'-二氟苯基)pyridinato-N,$C^{2'}$]銥(吡啶鹽)(縮寫：FIrpic)、雙{2-[3',5'-雙(三氟甲基)苯基]pyridinato-N,$C^{2'}$}銥(吡啶鹽)(縮寫：$Ir(CF_3ppy)_2(pic)$)、三(2-苯基pyridinato-N,$C^{2'}$)銥(縮寫：$Ir(ppy)_3$)、雙(2-苯基pyridinato-N,$C^{2'}$)銥(乙醯丙酮化物)(縮寫：$Ir(ppy)_2(acac)$)、雙[2-(2'-噻吩基)pyridinato-N,$C^{3'}$)銥(乙醯丙酮化物)(縮寫：$Ir(thp)_2(acac)$)、雙(2-苯基羥基喹啉-N,$C^{2'}$)銥(乙醯丙酮化物)(縮寫：$Ir(pq)_2(acac)$)、雙[2-(2'-苯噻吩基)pyridinato-N,$C^{3'}$)銥(乙醯丙酮化物)(縮寫：$Ir(btp)_2(acac)$)等。

或者，作爲能夠用於形成發光層的高分子電致發光材料，可以使用聚對苯撐亞乙烯基、聚對苯撐、聚噻吩或聚芴。

第一電極 1007 和第二電極 1010 中的另一個可以由不透光的材料形成。例如，可以使用諸如 Li 和 Cs 的鹼金屬，諸如 Mg、Ca 和 Sr 的鹼土金屬，含有這些元素的合金(Mg:Ag、Al:Li 和 Mg:In)，這些元素的化合物(CaF_2 和氮化鈣)或諸如 Yb 和 Er 的稀土金屬。

可以使用類似於第二絕緣膜 1005 的材料形成第三絕緣膜 1008。在第一電極 1007 周圍形成第三絕緣膜 1008，以便覆蓋第一電極 1007 的端部，第三絕緣膜 1008 具有分

隔相鄰像素的發光層 1009 的功能。

發光層 1009 具有單層或多層。當發光層 1009 具有多層時，可以根據載流子輸運特性將這些層分爲電洞注入層、電洞輸運層、發光層、電子輸運層、電子注入層等。注意，每層的邊界不必一定要清晰，可能會有不能清楚區分邊界的情形，因爲形成每層的材料被部分地混合到相鄰層中。可以用有機材料或無機材料形成每一層。作爲有機材料，可以使用高分子材料或低分子材料。

發光元件 1011 包括發光層 1009 以及第一電極 1007 和第二電極 1010，第一電極 1007 和第二電極 1010 彼此重疊，發光層 1009 插置於其間。第一電極 1007 和第二電極 1010 之一對應於陽極，另一個對應於陰極。當在發光元件 1011 的陽極和陰極之間施加高於發光元件 1011 的臨界值電壓的正向電壓時，電流從陽極流到陰極，使得發光元件 1011 發光。

另一方面，交流驅動發光元件具有雙絕緣體結構，其中將插置於兩個絕緣膜之間的發光層再插入到一對電極之間。可以透過在一對電極之間施加交流電壓獲得光發射。作爲交流驅動發光元件地發光層的材料，可以使用 ZnS、SrS、$BaAl_2S_4$ 等。作爲在其間插入發光層的絕緣膜的材料，可以使用 Ta_2O_5、SiO_2、Y_2O_3、$BaTiO_3$、$SrTiO_3$、氮化矽等。

描述圖 67B 的結構。注意，用與圖 67A 中相同的附圖標記表示與圖 67A 中相同的部分，並省略它們的描述。

圖 67B 顯示在第二絕緣膜 1005 和第三絕緣膜 1008 之間提供絕緣膜 1108 的結構。利用提供於絕緣膜 1108 中的接觸孔中的電極 1106 將電極 1006 和第一電極 1007 彼此連接。

注意，不必一定要提供電極 1106。亦即，可以不用電極 1106 而直接將第一電極 1007 連接至電極 1006。在這種情況下，可以省略形成電極 1106 的步驟，從而能夠降低成本。

當不用電極 1106 而直接將第一電極 1007 連接至電極 1006 時，根據用於形成第一電極 1007 的材料或方法，第一電極 1007 對電極 1006 的覆蓋可能不好，電極 1006 可能會斷裂。考慮到這種情況，有利的是如圖 67B 所示，利用提供於絕緣膜 1108 中的接觸孔中的電極 1106 將電極 1006 和第一電極 1007 彼此連接。

絕緣膜 1108 可以具有與第二絕緣膜 1005 類似的結構。電極 1106 可以具有與電極 1006 類似的結構。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 16)

在本實施例模式中，描述實際形成像素的例子。圖 68 爲實施例模式 11 到 14 中所述的面板的像素的截面圖。這裏，所示出的例子中，TFT 被用作設置於像素中的

開關元件，發光元件被用作設置於像素中的顯示媒體。注意，用與圖 67A 和 67B 中相同的附圖標記表示與實施例模式 15 中所示的圖 67A 和 67B 中相同的部分，並省略它們的描述。

圖 68 所示的像素與實施例模式 15 所示的圖 67A 不同之處在於 TFT 1100 和電容器 1101 的結構。圖 68 顯示將底閘極 TFT 用作 TFT 1100 的例子。TFT 1100 包括閘極電極 2803；包括通道形成區 2806、LDD 區 2807 和雜質區 2808 的半導體層；以及閘極電極 2803 和半導體層之間的第一絕緣膜 2805。第一絕緣膜 2805 起到 TET 1100 的閘極絕緣膜的功能。雜質區 2808 起到 TFT 1100 的源極區和汲極區的功能。

電容器 1101 由作爲電介質的第一絕緣膜 2805 和作爲一對電極的半導體層和電極 2804 形成，半導體層和電極 2804 彼此相對，其間插置有第一絕緣膜 2805。半導體層包括通道形成區 2809、LDD 區 2810 和雜質區 2811。注意，圖 68 所示的例子中，像素中所包括的電容器具有半導體層，還具有電極 2804，該半導體層與作爲 TFT 1100 的有源層的半導體層同時形成，作爲一對電極中的一個，電極 2804 與 TFT 1100 的閘極電極同時形成，作爲另一個電極，不過本發明不限於此結構。

對於包括通道形成區 2806、LDD 區 2807 和雜質區 2808 的半導體層以及包括通道形成區 2809、LDD 區 2810 和雜質區 2811 的半導體層而言，可以使用與圖 67A 和

67B 中的半導體層 1002 和半導體層 1102 類似的材料。對於閘極電極 2803 和電極 2804 而言，可以使用與圖 67A 和 67B 中的閘極電極 1004 類似的材料。

通道形成區 2806 和通道形成區 2809 可以摻有賦予導電類型的雜質元素。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 17)

在本實施例模式中，描述實際形成像素的例子。圖 69A 和 69B 爲實施例模式 13 和 14 中描述的面板的像素的截面圖。這裏，所示出的例子中，TFT 被用作設置於像素中的開關元件，發光元件被用作設置於像素中的顯示媒體。注意，用與圖 67A 和 67B 中相同的附圖標記表示與實施例模式 15 中所示的圖 67A 和 67B 中相同的部分，並省略它們的描述。

圖 69A 和 69B 所示的像素與實施例模式 15 中所示的圖 67A 不同之處在於 TFT 1100 和電容器 1101 的結構。圖 69A 所示的例子中，將具有通道蝕刻結構的底閘極 TFT 用作 TFT 1100。圖 69B 所示的例子中，將具有通道保護結構的底閘極 TFT 用作 TFT 1100。圖 69B 中所示的具有通道保護結構的 TFT 1100 與圖 69A 中所示的具有通道蝕刻結構的 TFT 1100 不同之處在於，在形成通道的半導體層

2906 的區域上方提供充當蝕刻掩模的絕緣體 3001。

在圖 69A 和 69B 中，TFT 1100 包括閘極電極 2993、閘極電極 2993 上方的第一絕緣膜 2905、第一絕緣膜 2905 上方的半導體層 2906 和半導體層 2906 上方的 N 型半導體層 2908 和 2909。第一絕緣膜 2905 起到 TFT 1100 的閘極絕緣膜的功能。N 型半導體層 2908 和 2909 作用當成 TFT 1100 的源極和汲極。分別在 N 型半導體層 2908 和 2909 上形成電極 2911 和 2912。電極 2911 的一端延伸到未形成半導體層 2906 的區域，在該區域中，將電極 1006 形成爲與電極 2911 的頂部接觸。

電容器 1101 由作爲電介質的第一絕緣膜 2905；作爲電極之一的電極 2904；以及作爲另一個電極的與電極 2904 相對的半導體層 2907(其間插置有第一絕緣膜 2905)、半導體層上方的 N 型半導體層 2910 和 N 型半導體層 2910 上方的電極 2913 形成。可以與閘極電極 2993 同時形成電極 2904。可以與半導體層 2906 同時形成半導體層 2907。可以與 N 型半導體層 2908 和 2909 同時形成 N 型半導體層 2910。可以與電極 2911 和 2912 同時形成電極 2913。

對於閘極電極 2993 和電極 2904 而言，可以使用與圖 67A 和 67B 中的閘極電極 1004 類似的材料。對於半導體層 2906 和 2907 而言，可以使用非晶半導體膜。對於第一絕緣膜 2905 而言，可以使用與圖 67A 和 67B 中的第一絕緣膜 1003 類似的材料。對於電極 2911、2912 和 2913，

可以使用與電極 1006 類似的材料。對於 N 型半導體層 2910、2908 和 2909，可以使用含有 N 型雜質元素的半導體膜。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 18)

在本實施例模式中，描述實際形成像素的例子。圖 70A 到 70C 爲實施例模式 14 中所述的面板的像素的截面圖。這裏，所示出的例子中，TFT 被用作設置於像素中的開關元件，液晶元件被用作設置於像素中的顯示媒體。

圖 70A、70B 和 70C 中所示的像素均表現出如下結構，其中，在實施例模式 15 的圖 67A 和 67B 所示的結構以及實施例模式 16 的圖 68 所示的結構中提供液晶元件代替發光元件 1011。用與圖 67A、67B 和 68 中相同的附圖標記表示與圖 67A、67B 和 68 中相同的部分，並省略它們的描述。

液晶元件包括第一電極 4000，形成於第一電極 4000 上方的對準膜 4001，液晶層 4002，對準膜 4003 和第二電極 4004。當在第一電極 4000 和第二電極 4004 之間施加電壓時，液晶的取向發生變化，由此液晶元件的透射率發生變化。在相對基板 4005 上形成第二電極 4004 和對準膜 4003。

可以將第一電極 4000 和第二電極 4004 之一或兩者形成爲透明電極。對於透明電極而言，可以使用含有氧化鎢的氧化銦(IWO)、含有氧化鎢和氧化鋅的氧化銦(IWZO)、含有氧化鈦的氧化銦(ITiO)、含有氧化鈦的氧化銦錫(ITTiO)等。不用說，也可以使用氧化銦錫(ITO)、氧化銦鋅(IZO)、摻有氧化矽的氧化銦錫(ITSO)等。第一電極 4000 和第二電極 4004 中的另一個可以由不透光的材料形成。例如，可以使用諸如 Li 和 Cs 的鹼金屬，諸如 Mg、Ca 和 Sr 的鹼土金屬，含有這些元素的合金(Mg:Ag、Al:Li 和 Mg:In)，這些元素的化合物(CaF2 和氮化鈣)或諸如 Yb 和 Er 的稀土金屬。

對於液晶層 4002 而言，可以自由使用已知的液晶。例如，可以將鐵電液晶或反鐵電液晶用於液晶層 4002。此外，作爲液晶的驅動方法，可以自由使用 TN(扭轉向列)模式、MVA(多域垂直配向)模式、ASM(軸向對稱排列微單元)模式、OCB(光學補償彎曲)模式等。

雖然本實施例模式顯示將電壓施加到液晶層 4002 的一對電極(第一電極 4000 和第二電極 4004)是在不同基板上形成的例子，但本發明不限於此。第二電極 4004 可以形成於基板 1000 上。那麼，可以使用 IPS(平面內切換)模式作爲液晶的驅動方法。此外，可以根據液晶層 4002 的材料省略對準膜 4001 和對準膜 4003 之一或二者。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實

施例模式中的描述的諸部分彼此組合。

(實施例模式 19)

在本實施例模式中，描述實際形成像素的例子。圖 71A 和 71B 爲實施例模式 14 中所述的面板的像素的截面圖。這裏，所示出的例子中，TFT 被用作設置於像素中的開關元件，液晶元件被用作設置於像素中的顯示媒體。

圖 71A 和 71B 中所示的像素均表現出在實施例模式 17 的圖 69A 和 69B 中所示的結構中提供液晶元件代替發光元件 1011 的結構。用與圖 69A 和 69B 中相同的附圖標記表示與圖 69A 和 69B 中相同的部分，並省略它們的描述。此外，液晶元件等的結構與實施例模式 17 的圖 70A 到 70C 所示的結構類似；因此將省略它們的描述。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 20)

本實施例模式將描述其上形成像素的基板被密封的結構。圖 72A 爲透過密封其上形成像素的基板而形成的面板的頂視圖，圖 72B 和 72C 爲沿著圖 72A 的線 A-A'的截面圖。圖 72B 和 72C 顯示透過不同方法進行密封的例子。

在圖 72A 到 72C 中，在基板 1401 上方設置具有多個像素的像素部分 1402，提供密封劑 1406 以便包圍像素部

分 1402，且密封劑 1407 貼附於基板 1401。對於像素的結構而言，可以使用實施例模式 16、17 或 18 中所示的結構。

在圖 72B 中的顯示面板板中，密封劑 1407 對應於相對基板 1421。相對基板 1421 是透明的，利用密封劑 1406 作爲粘結層將其貼附於基板 1401。透過基板 1401、相對基板 1421 和密封劑 1406 形成氣密密封空間 1422。相對基板 1421 具有濾色器 1420 和用於保護濾色器的保護膜 1423。提供於像素部分 1402 中的發光元件所發的光透過濾色器 1420 向外發射。用惰性樹脂、液體等填充氣密密封空間 1422。注意，作爲用於填充氣密密封空間 1422 的樹脂，可以使用其中分散了吸收劑的透光樹脂。或者，可以將相同的材料用於密封劑 1406 和填充氣密密封空間 1422 的材料，從而能夠同時進行相對基板 1421 的貼附和像素部分 1402 的密封。

在圖 72C 中所示的顯示面板板中，密封劑 1407 對應於密封劑 1424。使用密封劑 1406 作爲粘結層將密封劑 1424 貼附到基板 1401。透過基板 1401、密封劑 1406 和密封劑 1424 形成氣密密封空間 1408。預先在密封劑 1424 的凹陷部分中提供吸收劑 1409，在氣密密封空間 1408 內部，吸收劑 1409 透過吸收濕氣、氧氣等保持氣氛並抑制發光元件的劣化。用細目覆蓋材料 1410 覆蓋凹陷部分，覆蓋材料 1410 透過空氣和濕氣，但不透過吸收劑 1409。可以用諸如氮氣或氬氣的稀有氣體或惰性樹脂或液體填充

氣密密封空間 1408。

在基板 1401 上，提供用於將信號傳輸到像素部分 1402 等的輸入端子部分 1411。透過 FPC(撓性印製電路)1412 將諸如視頻信號的信號傳輸到輸入端子部分 1411。在輸入端子部分 1411，利用其中散佈了導體的樹脂(各向異性導電樹脂：ACF)將形成於基板 1401 上的線路和提供於 FPC(撓性印製電路)1412 中的線路彼此電連接。

可以在與像素部分 1402 相同的基板 1401 上形成用於向像素部分 1402 輸入信號的驅動電路。或者，用於向像素部分 1402 輸入信號的驅動電路可以形成於 IC 晶片上，該 IC 晶片可以透過 COG(玻璃上晶片)連接至基板 1401，或者可以透過 TAB(帶式自動接合)或使用印製電路板將該 IC 晶片設置於基板 1401 上。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 21)

可以將本發明應用於將用於向面板輸入信號的電路安裝在面板上的顯示模組。

圖 73 顯示組合了面板 980 和電路板 984 的顯示模組。雖然圖 73 顯示將控制器電路 985、信號分割電路 986 等形成於電路板 984 上方的例子，但是形成於電路板 984 上方的電路不限於此。可以形成任何能夠生成用於控制面

板的信號的電路。

將從形成於電路板 984 上方的電路輸出的信號透過連接線路 987 輸入到面板 980。

面板 980 包括像素部分 981、源極驅動器 982 和閘極驅動器 983。面板 980 可以具有類似於實施例模式 11 到 14 中所示的那些構造中的任何一種的構造。雖然圖 73 顯示源極驅動器 982 和閘極驅動器 983 與像素部分 981 形成於同一基板上的例子，本發明的顯示模件不限於此。可以僅將閘極驅動器 983 與像素部分 981 形成於同一基板上，而源極驅動器 982 可以形成於電路板上。或者，源極驅動器 982 和閘極驅動器 983 都可以形成於電路板上。

可以使用這種顯示模組形成各種電子裝置的顯示部分。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 22)

可以將本發明用於各種電子裝置。電子裝置的例子包括相機(例如視頻相機或數位相機)、投影儀、頭戴式顯示器(例如風鏡顯示器)、導航系統、車載身歷聲、個人電腦、遊戲機、攜帶型資訊終端(例如移動電腦、行動電話或電子書)、設有記錄媒體的影像再生裝置等。作爲設有記錄媒體的影像再生裝置的例子，有再生諸如數位多用盤

(DVD)的記錄媒體的內容且具有顯示所再生的影像的顯示器的裝置等。圖 74A 到 74D 示範性地顯示這樣的電子裝置。

圖 74A 顯示一種膝上型個人電腦，其包括主體 911、外殼 912、顯示部分 913、鍵盤 914、外部連接埠 915、定點設備 916 等。將本發明應用於顯示部分 913。利用本發明，能夠降低顯示部分的功率消耗。

圖 74B 顯示設有記錄媒體(具體而言爲 DVD 播放機)的影像再生裝置，其包括主體 921、外殼 922、第一顯示部分 923、第二顯示部分 924、記錄媒體(例如 DVD)讀取部分 925、操作鍵 926、揚聲器部分 927 等。第一顯示部分 923 主要顯示影像資料，而第二顯示部分 924 主要顯示文本資料。將本發明應用於第一顯示部分 923 和第二顯示部分 924。利用本發明，能夠降低顯示部分的功率消耗。

圖 74C 顯示一種行動電話，其包括主體 931、音頻輸出部分 932、音頻輸入部分 933、顯示部分 934、操作開關 935、天線 936 等。將本發明應用於顯示部分 934。利用本發明，能夠降低顯示部分的功率消耗。

圖 74D 顯示一架相機，其包括主體 941、顯示部分 942、外殼 943、外部連接埠 944、遙控器接收部分 945、影像接收部分 946、電池 947、音頻輸入部分 948、操作鍵 949 等。將本發明應用於顯示部分 942。利用本發明，能夠降低顯示部分的功率消耗。

注意，可以將本實施例模式自由地與本說明書中其他

實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

(實施例模式 23)

本實施例模式將參考附圖描述將具有本發明的像素構造的顯示裝置用於顯示面板的顯示部分的例子。可以將其顯示部分具有有著本發明的像素構造的顯示裝置的顯示面板結合到活動物體、建築物等中。

圖 41A 和 41B 均顯示結合了顯示裝置的活動物體，作爲其顯示部分具有有著本發明的像素構造的顯示裝置的示範性顯示面板。圖 41A 顯示貼附於列車車廂 9701 中的玻璃門上的顯示面板 9702 作爲示範性的結合了顯示裝置的活動物體。圖 41A 中所示的顯示面板 9702 的顯示部分具有有著本發明的像素構造的顯示裝置，其能夠容易地回應於外部信號切換顯示部分上顯示的影像。因此，可以根據乘客年齡或性別變化的時間周期周期性地切換顯示面板上的影像，由此可以期望會實現更爲有效的廣告效果。

注意，設置其顯示部分具有有著本發明的像素構造的顯示裝置的顯示面板的位置不限於如圖 41A 所示的列車車廂的玻璃門，從而能夠透過改變面板的性狀將顯示面板提供於任何地方。圖 41B 顯示其例子。

圖 41B 顯示列車車廂的內視圖。在圖 41B 中，除了在圖 41A 中所示出的貼附於玻璃門上的顯示面板 9702 之外，還顯示貼附於玻璃窗上的顯示面板 9703 和懸於天花

板上的顯示面板 9704。具有本發明的像素構造的顯示面板 9703 具有自照明顯示元件。因此，透過在交通高峰時間顯示廣告影像而在非高峰時間不顯示影像，乘客可以透過車窗觀看外部景觀。此外，透過在膜形成的基板上提供自照明顯示元件和諸如有機電晶體的開關元件，可以靈活地彎折具有本發明的像素構造的顯示面板 9704，且可以透過驅動自照明顯示元件在顯示面板 9704 上顯示影像。

參考圖 42 描述另一例子，其中，將顯示部分具有有著本發明的像素構造的顯示裝置的顯示面板應用於結合了顯示裝置的活動物體。

圖 42 顯示結合了顯示裝置的活動物體作爲其顯示部分具有有著本發明的像素構造的顯示裝置的示範性顯示面板。圖 42 顯示結合到車廂 9902 內的顯示面板 9901 作爲結合有顯示裝置的示範性活動物體。圖 42 所示的顯示部分具有有著本發明的像素構造的顯示裝置的顯示面板 9901 被結合到車廂內，並按照需要顯示車輛運行資訊或從車外輸入的資訊。此外，它還具有指向車輛目的地的導航功能。

注意，設置其顯示部分具有有著本發明的像素構造的顯示裝置的顯示面板的位置不限於如圖 42 所示的車廂的前部，因此可以透過改變面板的性狀將顯示面板提供在任何地方，例如玻璃窗或閘上。

參考圖 43A 和 43B 描述另一例子，其中，將顯示部分具有有著本發明的像素構造的顯示裝置的顯示面板應用

於結合了顯示裝置的活動物體。

圖 43A 和 43B 均顯示結合了顯示裝置的活動物體，作爲其顯示部分具有有著本發明的像素構造的顯示裝置的示範性顯示面板。圖 43A 顯示飛機機身 10101 中結合到乘客座位上方天花板一部分中的顯示面板 10102 作爲結合有顯示裝置的示範性活動物體。利用鉸鏈部分 10103 將圖 43A 所示的其顯示部分具有有著本發明的像素構造的顯示裝置的顯示面板 10102 固定到機身 10101，從而乘客能夠藉由鉸鏈部分 10103 的伸縮運動看到顯示面板 10102。顯示面板 10102 根據乘客的操作具有顯示資訊的功能以及廣告或娛樂裝置的功能。此外，透過如圖 43B 所示將鉸鏈部分 10103 折疊到天花板上，將顯示面板 10102 收藏到機身 10101 中，可以確保飛機起飛和著陸時的安全。注意，在緊急時刻透過點亮顯示面板的顯示元件，顯示面板也可以被用作指示燈。

注意，設置其顯示部分具有有著本發明的像素構造的顯示裝置的顯示面板的位置不限於如圖 43A 和 43B 所示的機身 10101 的天花板，因此可以透過改變面板的性狀將顯示面板提供在任何地方，例如座位或閘門上。例如，可以將顯示面板設於座位背後，使得後排座位的乘客可以操作和觀看顯示面板。

雖然本實施例模式已經展示了列車車廂、汽車車廂和飛機機身作爲示範性活動物體，本發明不局限於這些，可以將本發明應用於摩托車、四輪運輸工具(包括小汽車、

公共汽車等)、列車(包括單軌鐵路、鐵路等)、船舶和運載器等。透過利用其顯示部分具有有著本發明的像素構造的顯示面板，可以實現顯示面板尺寸和功率消耗的減小，且可以提供具有能夠優異地運行的顯示媒體的活動物體。具體而言，由於可以一次切換在活動物體中結合的多個顯示面板上顯示的影像，本發明相當有利之處在於，可以將其應用於針對未定數量的客戶的廣告媒體或緊急時刻中的資訊顯示板。

參考圖 53 描述一例，其中顯示部分具有有著本發明的像素構造的顯示裝置的顯示面板被應用於一結構。

圖 53 顯示一例作爲顯示部分具有有著本發明的像素構造的顯示裝置的示範性顯示面板，其中，透過在膜形成的基板上提供自照明顯示元件和諸如有機電晶體的開關元件形成撓性顯示面板，透過驅動自照明顯示元件可以在顯示面板上顯示影像。在圖 53 中，顯示面板提供於作爲一種結構的外部圓柱物體，例如電線桿的彎曲表面上，具體而言，這裏示出的是這樣的結構，其中顯示面板 9802 貼附於作爲柱狀物體的電線桿 9801 上。

圖 53 中所示的顯示面板 9802 大約位於電線桿一半高度處，從而高於人眼的水平高度。當從活動物體 9803 觀看顯示面板時，能夠識別出顯示面板 9802 上的影像。透過在提供於大量並立在一起的外部的電線桿上的顯示面板 9802 上顯示相同的影像，觀看者能夠識別出所顯示的資訊或廣告。利用外部信號，圖 53 中的提供於電線桿 9801

上的顯示面板 9802 可以容易地顯示相同的影像；因此，可以預期能夠實現相當高效的資訊顯示和廣告發佈效果。此外，當提供自照明顯示元件作爲本發明的顯示面板中的顯示元件時，顯示面板可以有效地被用作即使在夜間也高度可見的顯示媒體。

參考圖 54 描述一例，其中顯示部分具有有著本發明的像素構造的顯示裝置的顯示面板被應用於一結構，該例與圖 53 不同。

圖 54 顯示顯示部分具有有著本發明的像素構造的顯示裝置的顯示面板的另一應用例。在圖 54 中，顯示結合到預製浴器單元 10002 的側壁中的顯示面板 10001 的例子。圖 54 中所示的其顯示部分具有有著本發明的像素構造的顯示裝置的顯示面板 10001 被結合到預製浴器單元中，使得洗浴者能夠觀看顯示面板 10001。顯示面板 10001 根據洗浴者的操作具有顯示資訊的功能以及廣告或娛樂裝置的功能。

設置顯示部分具有有著本發明的像素構造的顯示裝置的顯示面板的位置不限於圖 54 所示的預製浴器單元 10002 的側壁，因此可以透過改變面板的性狀將顯示面板提供於任何地方。例如，可以將顯示面板結合到浴鏡或浴缸的一部分中。

圖 55 顯示在建築物內提供具有大顯示部分的電視機的例子。圖 55 包括外殼 8010、顯示部分 8011、作爲操作單元的遙控裝置 8012、揚聲器部分 8013 等。將顯示部分

具有有著本發明的像素構造的顯示裝置的顯示面板用於顯示部分 8011 的製造中。將圖 55 中的電視機結合到建築物中作爲壁掛式電視機，能夠不需要大的空間設置電視機。

雖然本實施例模式已經展示了電線桿作爲柱狀物體，預製浴器單元等作爲示範性結構，但本發明不限於此，能夠將本發明應用於能夠結合顯示裝置的任何結構。透過利用其顯示部分具有有著本發明的像素構造的顯示裝置，可以實現顯示裝置尺寸和功率消耗的減小，且可以提供具有能夠優異地運行的顯示媒體的活動物體或結構。

注意，可以將本實施例模式自由地與本說明書中其他實施例模式中的任何描述進行結合。此外，可以將在本實施例模式中的描述的諸部分彼此組合。

【符號說明】

101：電晶體

102：電晶體

103：電晶體

104：電晶體

105：線路

106：線路

107：線路

108：線路

109：線路

1301：電晶體

1302：電晶體

1303：電晶體

1304：電晶體

1305：線路

1306：線路

1307：線路

1308：線路

1309：線路

1601：電阻器

501：電阻體

502：電阻體

503：電阻體

504：電阻體

505：電阻體

506：電阻體

507：電晶體

508：線路

509：線路

510：線路

511：線路

512：線路

801：電容器

1701：電晶體

1702：電晶體

1703：電晶體

1704：電晶體

1705：電晶體

1706：電晶體

1707：電晶體

1708：線路

1709：線路

1710：線路

1711：線路

1712：線路

2001：電容器

901：電晶體

902：電晶體

903：電晶體

904：電晶體

905：線路

906：線路

907：線路

908：線路

909：線路

2101：電晶體

2102：電晶體

2103：電晶體

2104：電晶體

2105：線路

2106：線路

2107：線路

2108：線路

2109：線路

2501：電路

2502：電路

2503：線路

2504：線路

2505：線路

2506：線路

2601：電路

2602：電路

2603：線路

2604：線路

2605：線路

2606：線路

2701：電晶體

2702：電晶體

2703：電晶體

2704：電晶體

2705：電晶體

2706：電晶體

2707：電晶體

2708：電晶體

2709：線路

2710：線路

2711：線路

2712：線路

2713：線路

2714：線路

3401：電阻器

3501：電容器

4401：電晶體

4402：電晶體

4403：電晶體

4404：電晶體

4405：電晶體

4406：電晶體

4407：電晶體

4408：電晶體

4409：線路

4410：線路

4411：線路

4412：線路

4413：線路

4414：線路

4601：電阻器

4701：電容器

3600：電晶體

3601：電晶體

3602：電晶體

3603：電晶體

3604：電晶體

3605：電晶體

3606：電晶體

3607：電晶體

3608：電晶體

3609：電晶體

3610：電晶體

3611：線路

3612：線路

3613：線路

3614：線路

3615：線路

3616：線路

3801：電容器

4111：電容器

4800：電晶體

4801：電晶體

4802：電晶體

4803：電晶體

4804：電晶體

4805：電晶體

4806：電晶體

4807：電晶體

4808：電晶體

4809：電晶體

4810：電晶體

4811：線路

4812：線路

4813：線路

4814：線路

4815：線路

4816：線路

5001：電容器

5201：電容器

5601：電晶體

5602：電晶體

5603：電晶體

5604：電晶體

5605：電晶體

5606：電晶體

5607：電晶體

5608：電晶體

5609：電晶體

2715：NOR 電路

3617：NOR 電路

5610：線路

5611：線路

5612：線路

5613：線路

5614：線路

5615：線路

5616：線路

5801：電晶體

5802：電晶體

5803：電晶體

5804：電晶體

5805：電晶體

5806：電晶體

5807：電晶體

5808：電晶體

5809：電晶體

5810：線路

5811：線路

5812：線路

5813：線路

5814：線路

5815：線路

5816：線路

6001：正反器電路

6002：線路

6003：線路

6004：線路

6005：線路

6006：線路

6501：移位暫存器

6502：線路

6503：開關

6504：負載

6601：移位暫存器

6602：線路

6603：線路

6604：線路

6605：開關組

6606：負載組

6701：移位暫存器

6702：線路

6703：線路

6704：線路

6705：開關組

6706：負載組

6707：線路

6801：半導體層

6802：閘極電極層

6803：線路層

191：面板

591：像素部份

590：像素

593：源極驅動器

594：閘極驅動器

690：像素

691：第一電晶體

692：第二電晶體

693：電容器

694：發光元件

696：端子

697：端子

695：端子

790：像素

791：第三電晶體

792：端子

781：二極體

4691：電晶體

4692：液晶元件

4693：電容器

4694：端子

1000：基板

1001：底膜

1002：半導體層

1003：第一絕緣膜

1004：閘極電極

1005：第二絕緣膜

1006：電極

1007：第一電極

1008：第三絕緣膜

1009：發光層

1010：第二電極

1100：TFT

1011：發光元件

1102：半導體層

1104：電極

1101：電容器

1106：電極

1108：絕緣膜

2803：閘極電極

2806：通道形成區

2807：LDD 區

2808：雜質區

2805：第一絕緣膜

2804：電極

2809：通道形成區

2810：LDD 區

2811：雜質區

2993：閘極電極

2905：第一絕緣膜

2906：半導體層

2908：N 型半導體層

2909：N 型半導體層

2911：電極

2912：電極

2904：電極

2907：半導體層

2910：N 型半導體層

2913：電極

4000：第一電極

4001：對準膜

4002：液晶層

4003：對準膜

4004：第二電極

1401：基板

1402：像素部份

1406：密封劑

1407：密封劑

1421：相對基板

1422：氣密密封空間

1420：濾色器

1423：保護膜

1424：密封劑

1408：氣密密封空間

1409：吸收劑

1410：覆蓋材料

1411：輸入端子部份

1412：FPC

980：面板

984：電路板

985：控制器電路

986：訊號分割電路

987：連接線路

981：像素部份

982：源極驅動器

983：閘極驅動器

911：主體

912：外殼

913：顯示部份

914：鍵盤

915：外部連接埠

916：定點設備

921：主體

922：外殼

923：第一顯示部份

924：第二顯示部份

925：記錄媒體讀取部份

926：操作鍵

927：揚聲器部份

931：主體

932：音頻輸出部份

933：音頻輸入部份

934：顯示部份

935：操作開關

936：天線

941：主體

942：顯示部份

943：外殼

944：外部連接埠

945：遙控接收部份

946：影像接收部份

947：電池

9702：顯示面板

9701：列車車廂

9703：顯示面板

9704：顯示面板

9901：顯示面板

9902：顯示面板

10101：飛機機身

10102：顯示面板

10103：鉸鍵部份

9801：電線桿

9802：顯示面板

9803：活動物體

10001：顯示面板

10002：預製浴器單元

8010：外殼

8011：顯示部份

8012：遙控裝置

8013：揚聲器部份

申請專利範圍

【請求項1】一種半導體裝置，包含：

第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體、第七電晶體、第八電晶體、第九電晶體、第十電晶體、第十一電晶體、第一佈線、第二佈線和第三佈線、第四佈線、第五佈線以及第六佈線，

其中該第一電晶體的源極和汲極中的一個電連接到該第一佈線，

其中該第一電晶體的該源極和該汲極中的另一個電連接到該第二佈線，

其中該第二電晶體的源極和汲極中的一個電連接到該第三佈線，

其中該第二電晶體的該源極和該汲極中的另一個電連接到該第一佈線，

其中該第三電晶體的源極和汲極中的一個電連接到該第三佈線，

其中該第三電晶體的該源極和該汲極中的另一個電連接到該第一電晶體的閘極，

其中該第三電晶體的閘極電連接到該第四佈線，

其中該第四電晶體的源極和汲極中的一個電連接到該第一電晶體的該閘極，

其中該第四電晶體的閘極電連接到該第五佈線，

其中該第五電晶體的源極和汲極中的一個電連接到該

第三佈線，

其中該第五電晶體的該源極和該汲極中的另一個電連接到該第一電晶體的該閘極，

其中該第五電晶體的閘極電連接到該第二電晶體的閘極，

其中該第六電晶體的源極和汲極中的一個電連接到該第二電晶體的該閘極，

其中該第六電晶體的該源極和該汲極中的另一個電連接到該第六佈線，

其中該第七電晶體的源極和汲極中的一個電連接到該第三佈線，

其中該第七電晶體的該源極和該汲極中的另一個電連接到該第二電晶體的該閘極，

其中該第八電晶體的源極和汲極中的一個電連接到該第三佈線，

其中該第八電晶體的該源極和該汲極中的另一個電連接到該第二電晶體的該閘極，

其中該第九電晶體的源極和汲極中的一個電連接到該第六電晶體的閘極，

其中該第九電晶體的該源極和該汲極中的另一個電連接到該第六電晶體的該源極和該汲極中的該另一個，

其中該第九電晶體的閘極電連接到該第九電晶體的該源極和該汲極中的該另一個，

其中該第十電晶體的源極和汲極中的一個電連接到該

第三佈線，

其中該第十電晶體的該源極和該汲極中的另一個電連接到該第六電晶體的該閘極，

其中該第十電晶體的閘極電連接到該第七電晶體的閘極，

其中該第十電晶體的該閘極電連接到該第一電晶體的該閘極，

其中該第十一電晶體的源極和汲極中的一個電連接到該第三佈線，

其中該第十一電晶體的該源極和該汲極中的另一個電連接到該第六電晶體的該閘極，並且

其中該第十一電晶體的閘極電連接到該第八電晶體的閘極。

【請求項2】一種半導體裝置，包含：

第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體、第七電晶體、第八電晶體、第九電晶體、第十電晶體、第十一電晶體、第一佈線、第二佈線和第三佈線、第四佈線、第五佈線、第六佈線、第一電路以及第二電路，

其中該第一電晶體的源極和汲極中的一個電連接到該第一佈線，

其中該第一電晶體的該源極和該汲極中的另一個電連接到該第二佈線，

其中該第二電晶體的源極和汲極中的一個電連接到該

第三佈線，

其中該第二電晶體的該源極和該汲極中的另一個電連接到該第一佈線，

其中該第三電晶體的源極和汲極中的一個電連接到該第三佈線，

其中該第三電晶體的該源極和該汲極中的另一個電連接到該第一電晶體的閘極，

其中該第三電晶體的閘極電連接到該第四佈線，

其中該第四電晶體的源極和汲極中的一個電連接到該第一電晶體的該閘極，

其中該第四電晶體的閘極電連接到該第五佈線，

其中該第五電晶體的源極和汲極中的一個電連接到該第三佈線，

其中該第五電晶體的該源極和該汲極中的另一個電連接到該第一電晶體的該閘極，

其中該第五電晶體的閘極電連接到該第二電晶體的閘極，

其中該第六電晶體的源極和汲極中的一個電連接到該第二電晶體的該閘極，

其中該第六電晶體的該源極和該汲極中的另一個電連接到該第六佈線，

其中該第七電晶體的源極和汲極中的一個電連接到該第三佈線，

其中該第七電晶體的該源極和該汲極中的另一個電連

接到該第二電晶體的該閘極，

其中該第八電晶體的源極和汲極中的一個電連接到該第三佈線，

其中該第八電晶體的該源極和該汲極中的另一個電連接到該第二電晶體的該閘極，

其中該第九電晶體的源極和汲極中的一個電連接到該第六電晶體的閘極，

其中該第九電晶體的該源極和該汲極中的另一個電連接到該第六電晶體的該源極和該汲極中的該另一個，

其中該第九電晶體的閘極電連接到該第九電晶體的該源極和該汲極中的該另一個，

其中該第十電晶體的源極和汲極中的一個電連接到該第三佈線，

其中該第十電晶體的該源極和該汲極中的另一個電連接到該第六電晶體的該閘極，

其中該第十電晶體的閘極電連接到該第七電晶體的閘極，

其中該第十電晶體的該閘極電連接到該第一電晶體的該閘極，

其中該第十一電晶體的源極和汲極中的一個電連接到該第三佈線，

其中該第十一電晶體的該源極和該汲極中的另一個電連接到該第六電晶體的該閘極，

其中該第十一電晶體的閘極電連接到該第八電晶體的

閘極，

其中該第一電路被配置為將第一信號輸出到該第四佈線，並且

其中該第二電路被配置為將第二信號輸出到該第五佈線。

【請求項3】根據請求項1或2之半導體裝置，其中該第一電晶體到該第十一電晶體中的每一個具有相同的導電類型。

【請求項4】根據請求項1或2之半導體裝置，其中該第一電晶體到該第十一電晶體中的每一個的半導體層包含非晶半導體。

【請求項5】根據請求項1或2之半導體裝置，其中該第一佈線、該第二佈線、該第三佈線、該第四佈線、該第五佈線以及該第六佈線中的到少一個包含銅。

【請求項6】一種顯示裝置，包含：

基板上的像素部分；以及

該基板上的閘極驅動器，該閘極驅動器包含根據請求項1或2之半導體裝置。

【請求項7】一種顯示模組，包含：

根據請求項1或2之半導體裝置；以及

電連接到該半導體裝置的撓性印製電路(Flexible Printed Circuit；FPC)。

【請求項8】一種電子裝置，包含：

根據請求項7之顯示模組；以及

揚聲器部分、電池以及天線中的到少一個。

圖式

圖1A

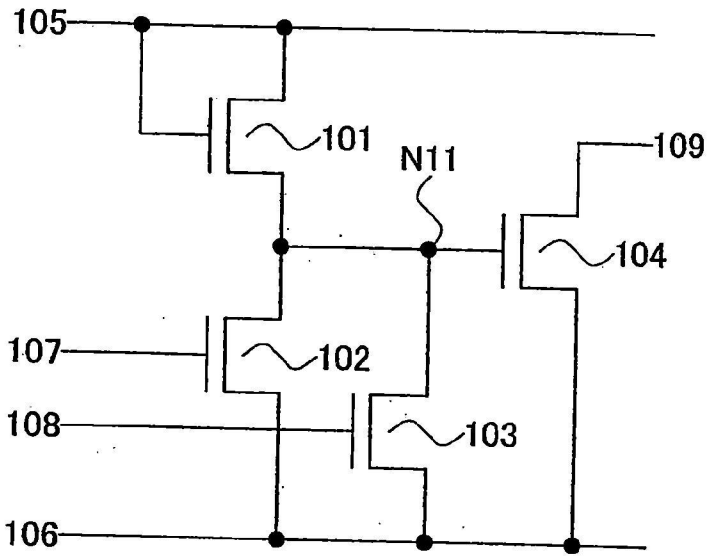

105
101
N11
109
104
107
102
108
103
106

圖1B

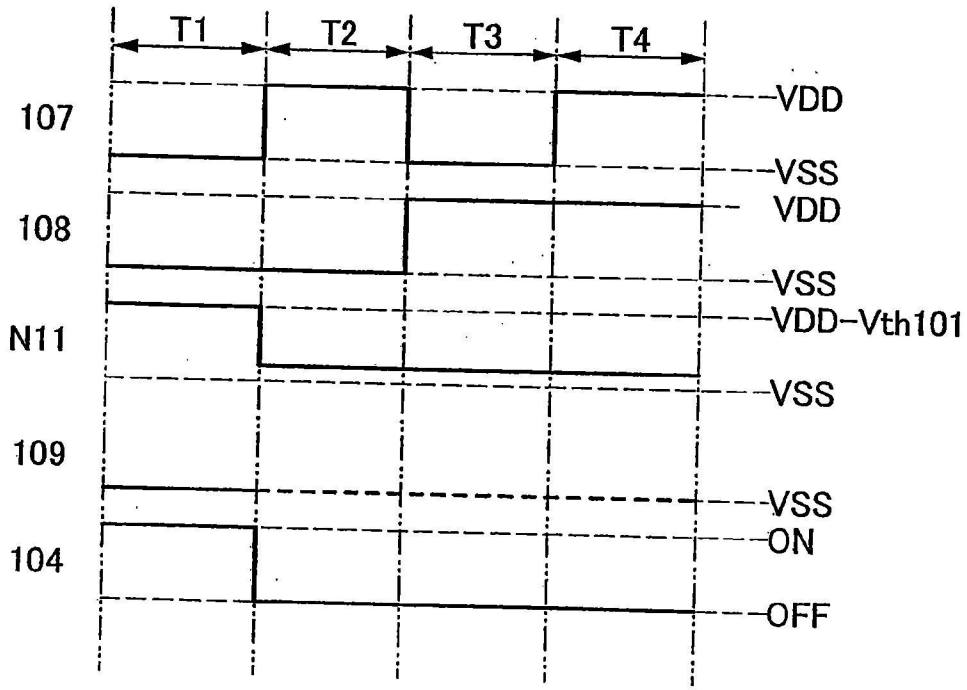

T1
T2
T3
T4
107
VDD
VSS
108
VDD
VSS
N11
VDD-Vth101
VSS
109
VSS
104
ON
OFF

圖2A

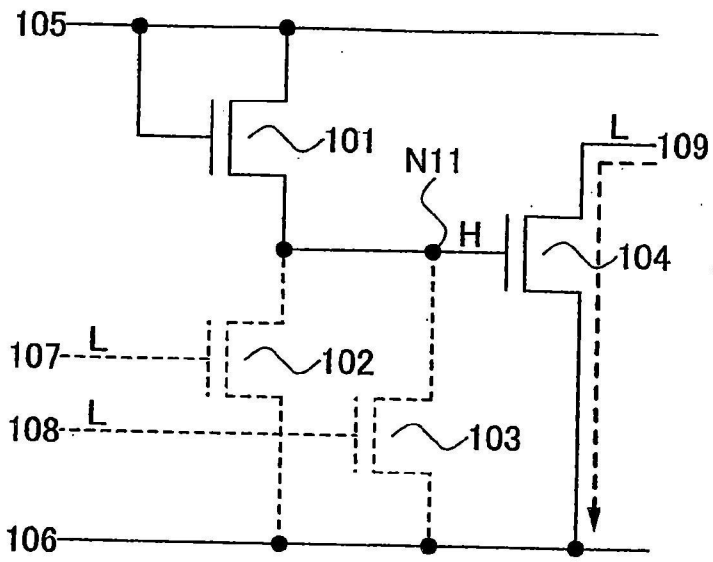

105
101
N11
L
109
H
104
107
L
102
108
L
103
106

圖2B

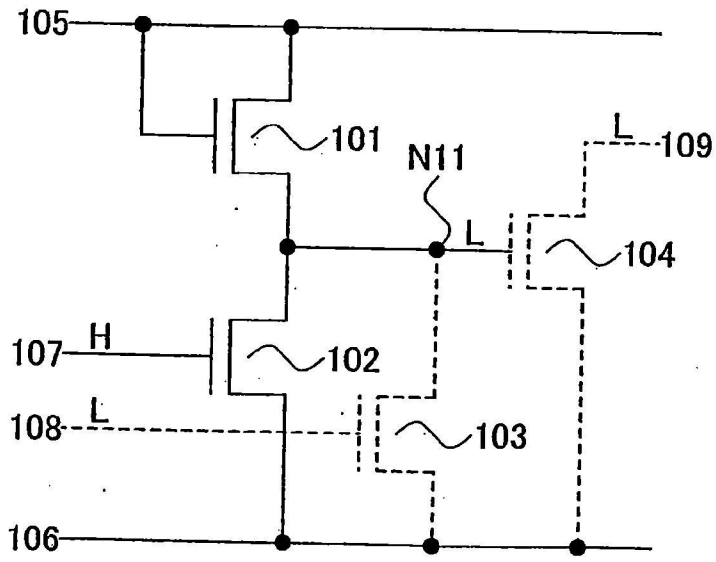

105
101
N11
L
109
L
104
107
H
102
108
L
103
106

圖3A

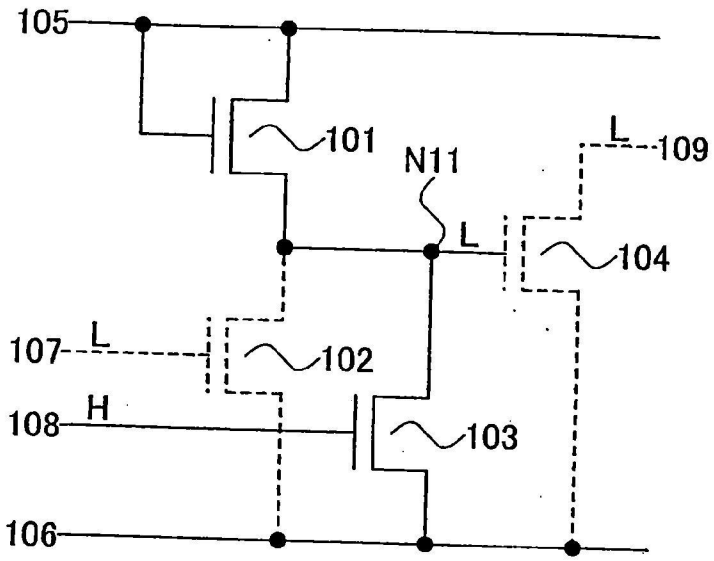

105
101
N11
L
109
L
104
107
L
102
108
H
103
106

圖3B

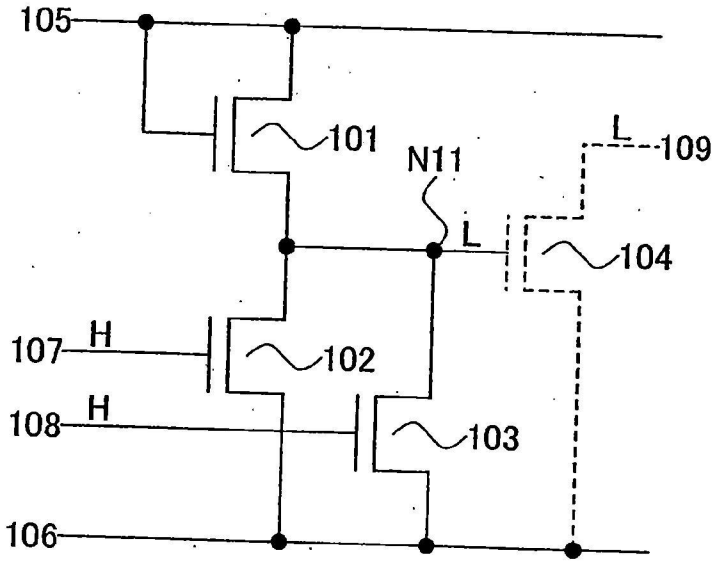

105
101
N11
L
109
L
104
107
H
102
108
H
103
106

圖4A

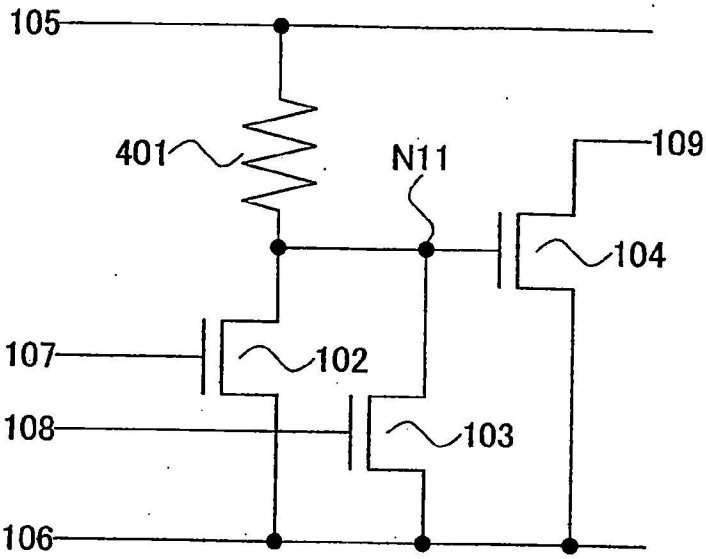

105
401
N11
109
104
107
102
108
103
106

圖4B

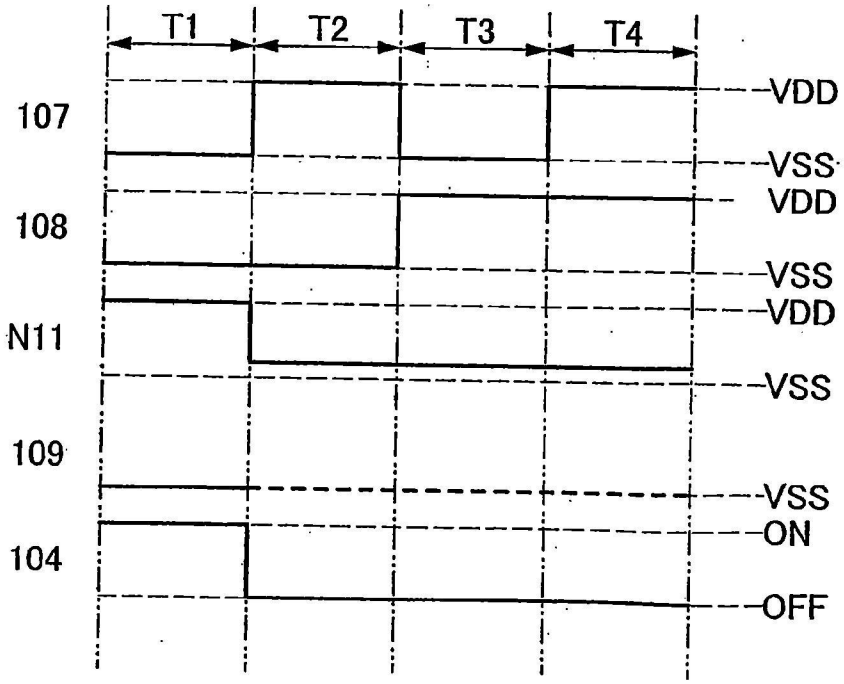

T1
T2
T3
T4
107
VDD
VSS
108
VDD
VSS
N11
VDD
VSS
109
VSS
ON
104
OFF

圖5A

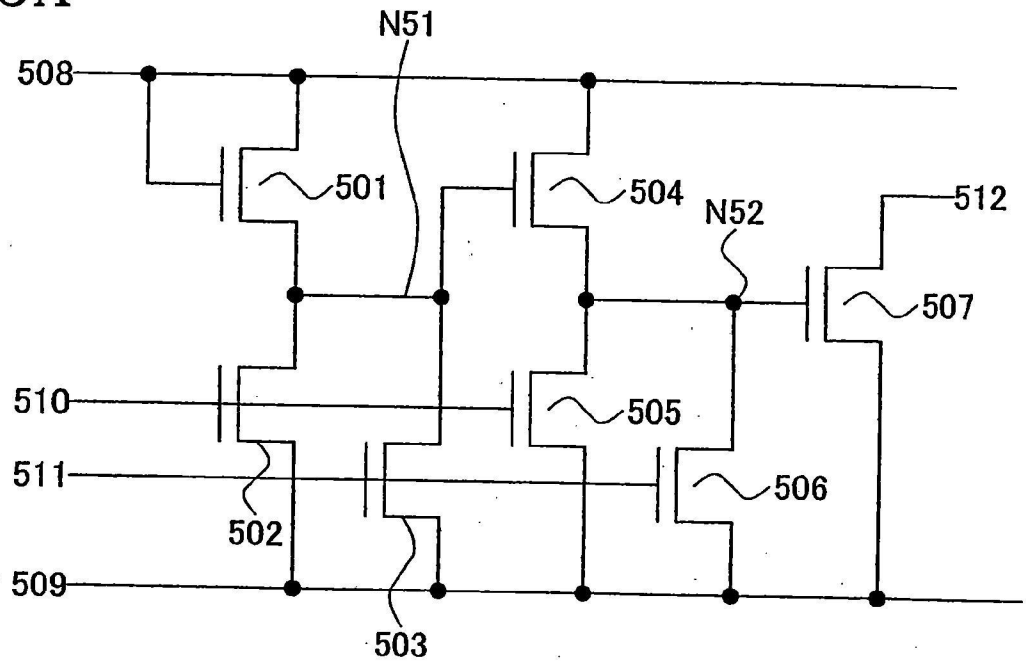

N51
508
501
504
N52
512
507
510
505
511
506
502
509
503

圖5B

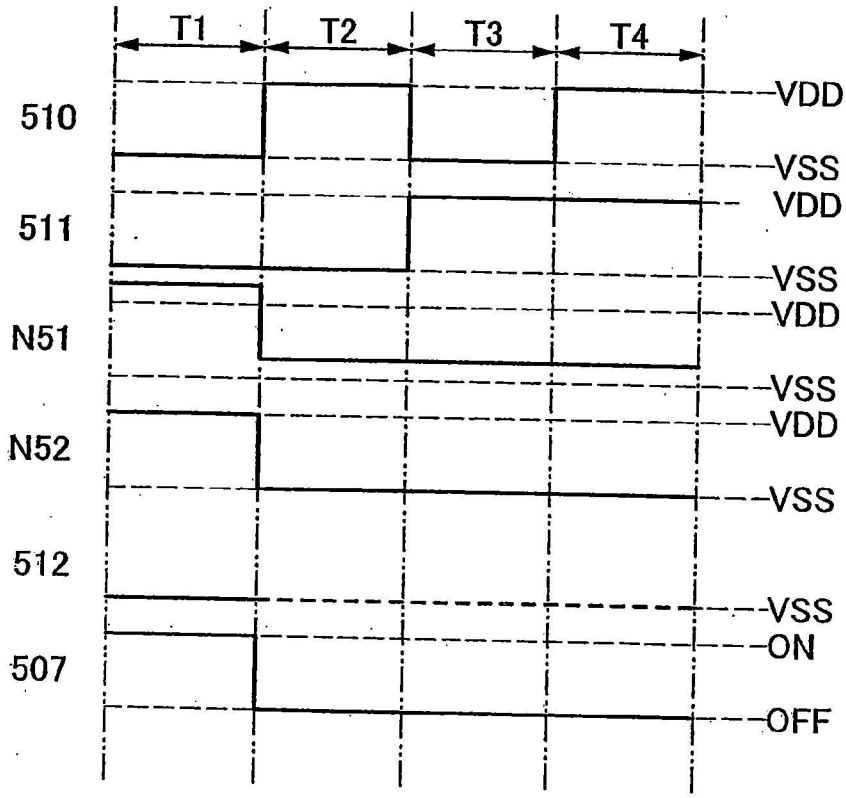

T1
T2
T3
T4
510
VDD
VSS
511
VDD
VSS
N51
VDD
VSS
N52
VDD
VSS
512
VSS
ON
507
OFF

圖6A

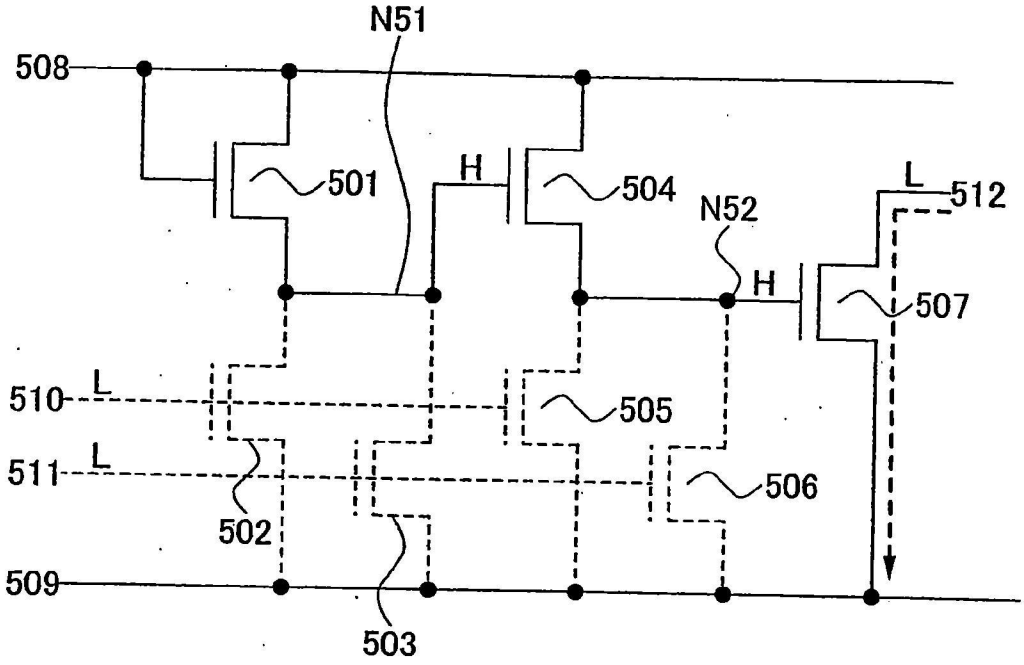

N51
508
501
H
504
N52
L
512
H
507
510
L
505
511
L
506
502
509
503

圖6B

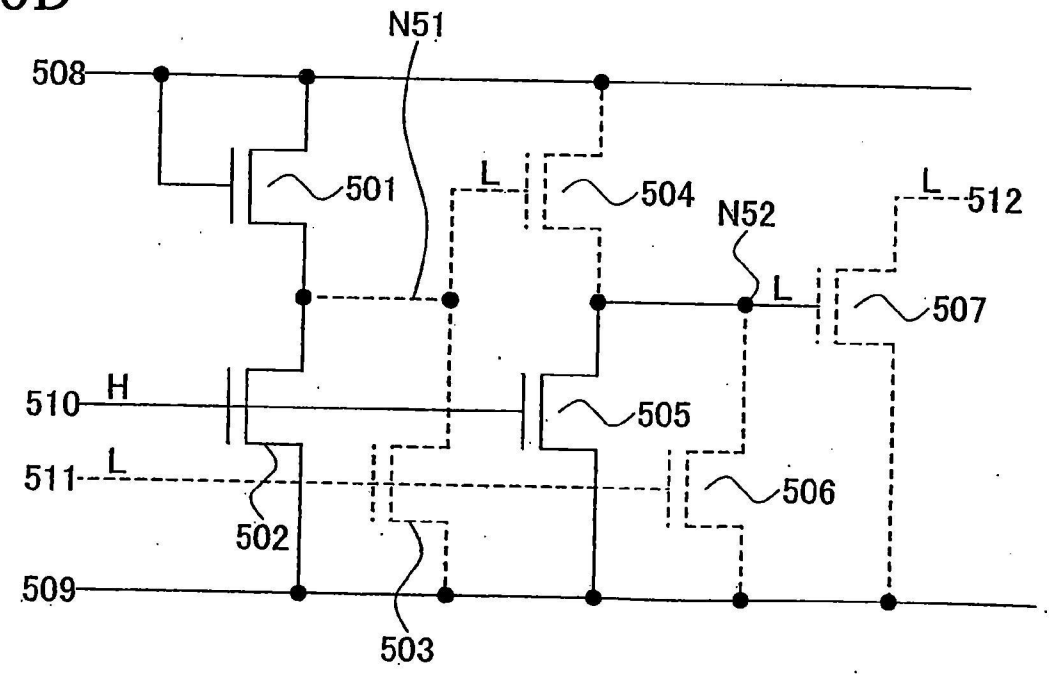

N51
508
501
L
504
N52
L
512
L
507
510
H
505
511
L
506
502
509
503

圖7A

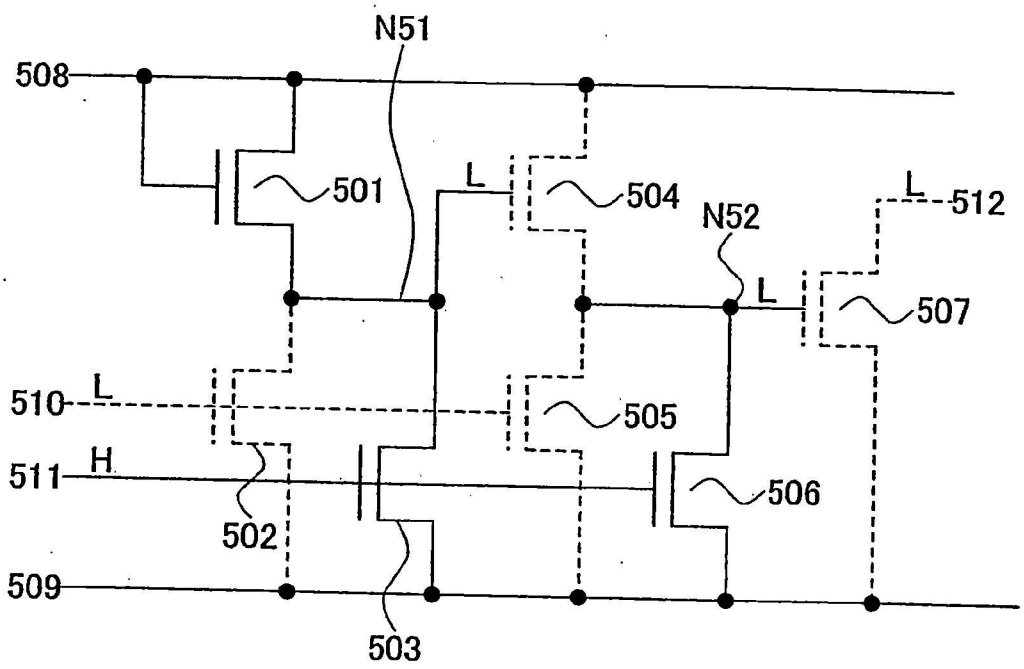

N51
508
501
L
504
N52
L
512
L
507
510
L
505
511
H
506
502
509
503

圖7B

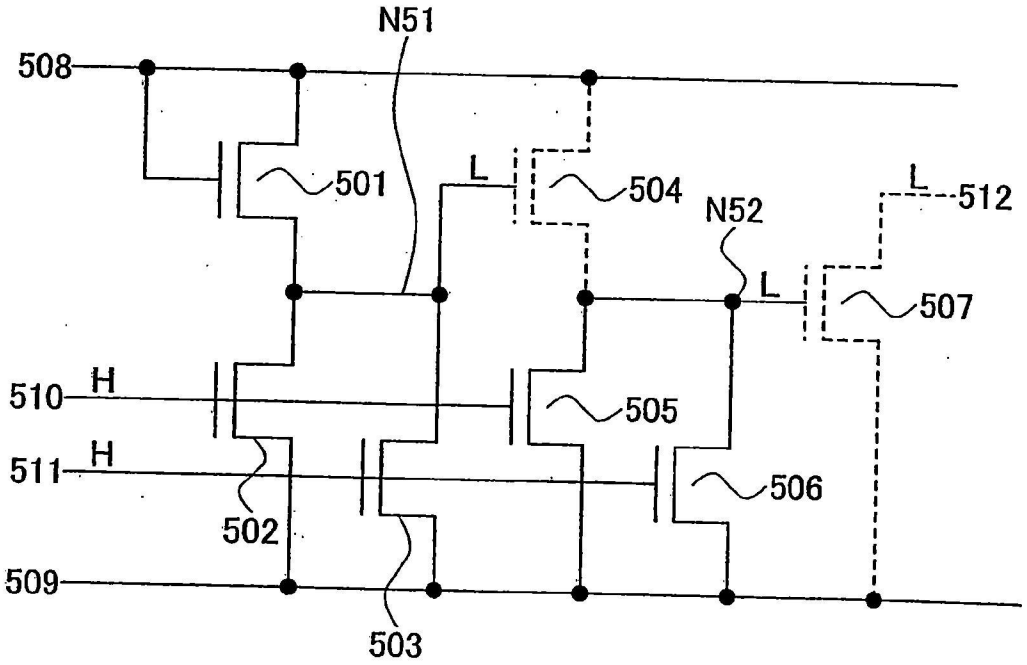

N51
508
501
L
504
N52
L
512
L
507
510
H
505
511
H
506
502
509
503

圖8A

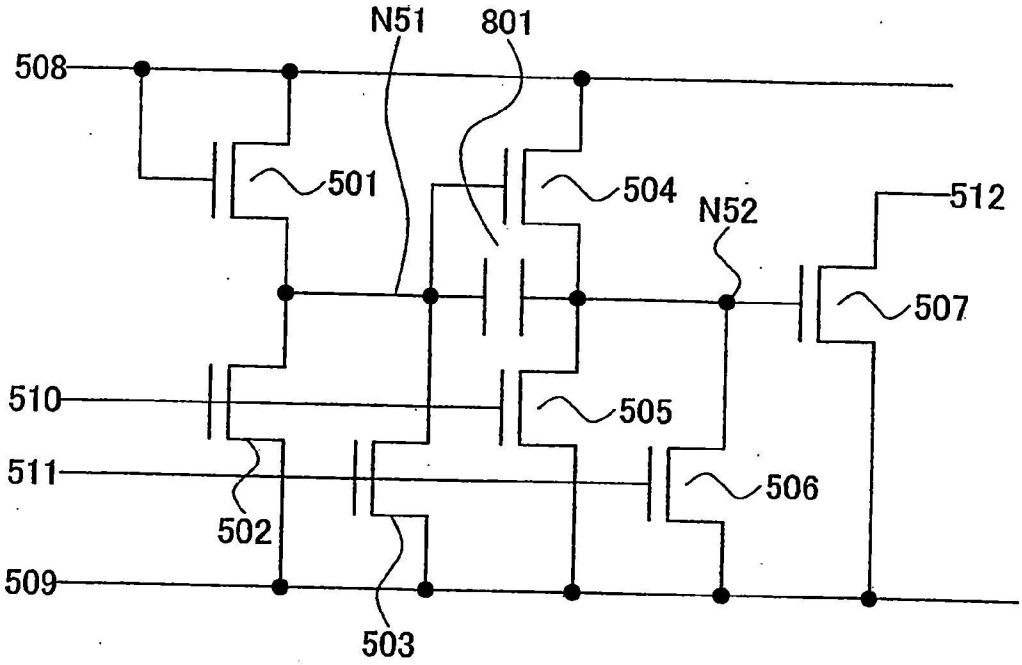

N51
801
508
501
504
N52
512
507
510
505
511
506
502
509
503

圖8B

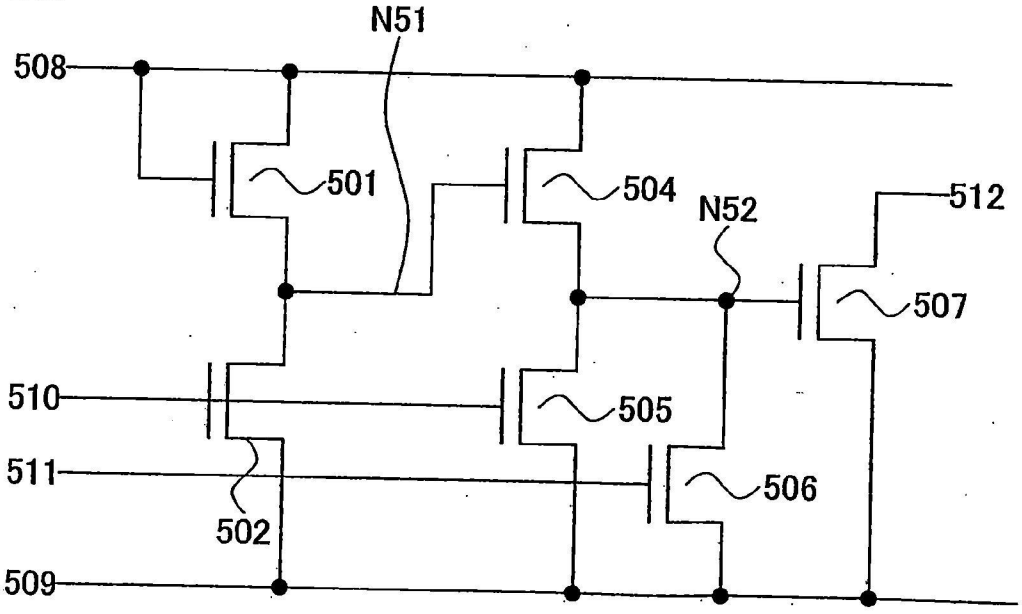

N51
508
501
504
N52
512
507
510
505
511
506
502
509

圖9A

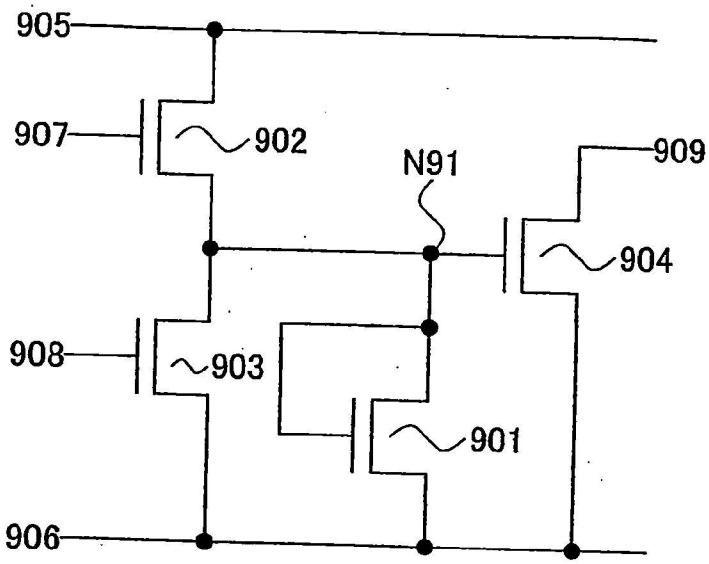

905
907
902
N91
909
904
908
903
901
906

圖9B

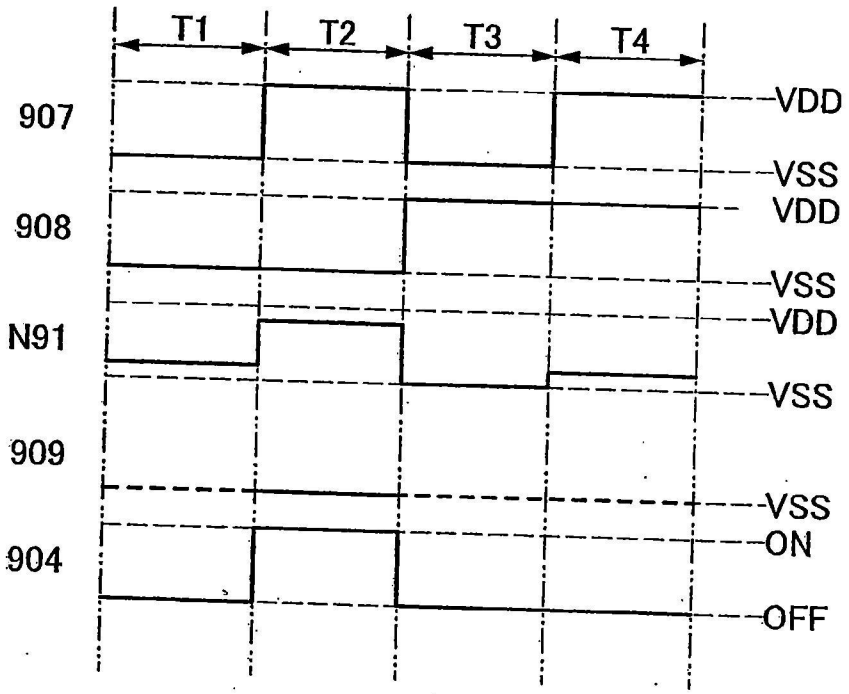

T1
T2
T3
T4
907
VDD
VSS
908
VDD
VSS
N91
VDD
VSS
909
VSS
904
ON
OFF

圖10A

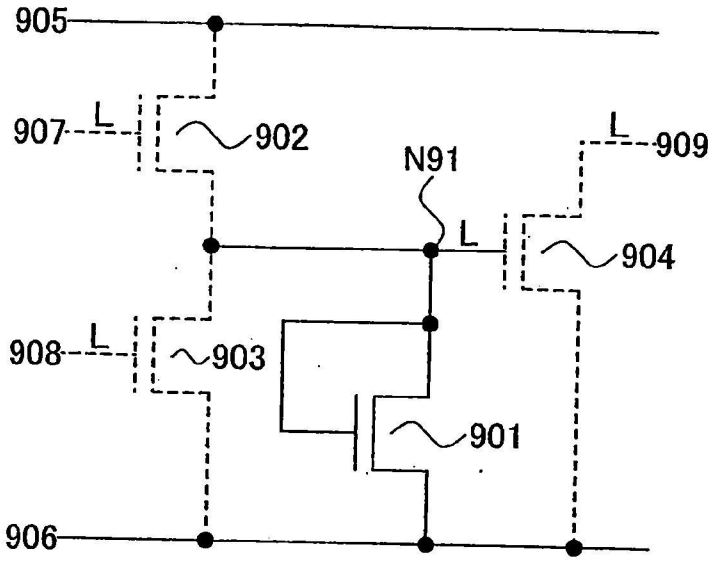

905
907
L
902
N91
L
909
L
904
908
L
903
901
906

圖10B

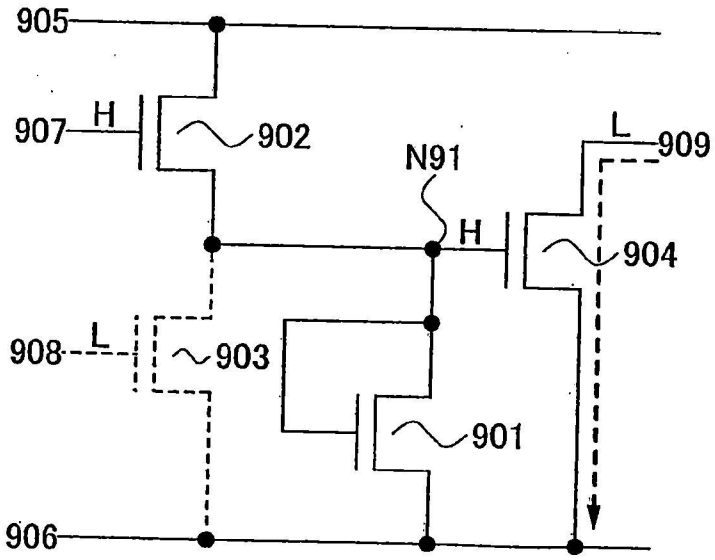

905
907
H
902
N91
L
909
H
904
908
L
903
901
906

圖11A

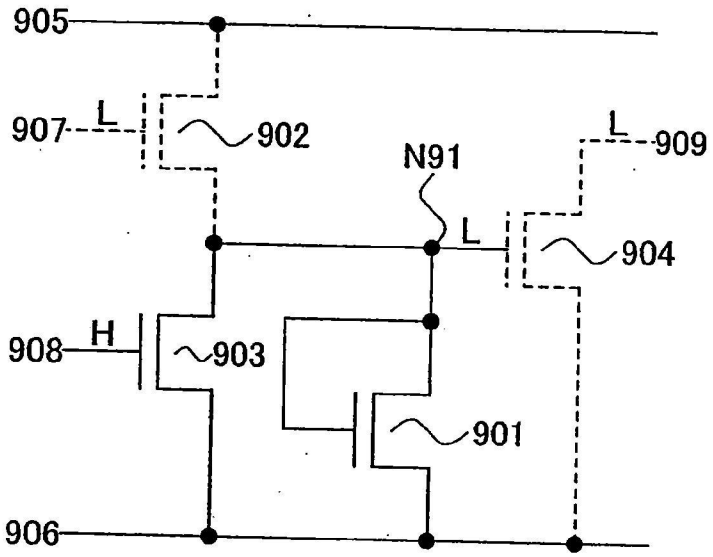

905
907
L
902
N91
L
909
L
904
908
H
903
901
906

圖11B

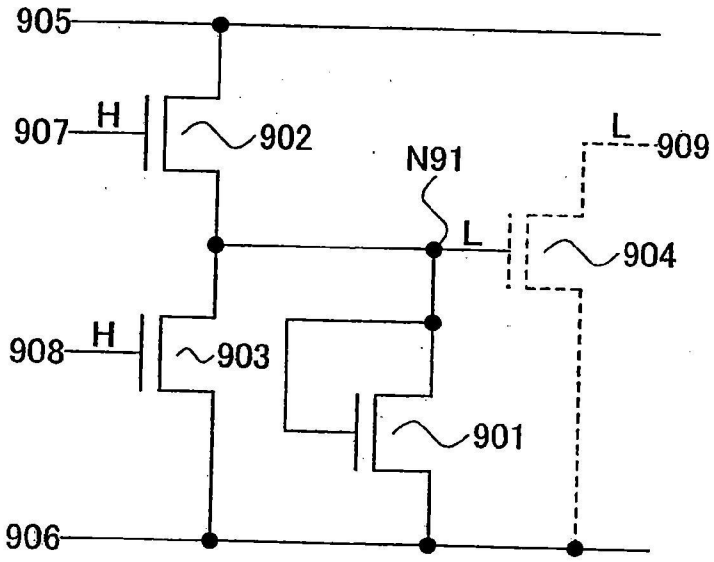

905
907
H
902
N91
L
909
L
904
908
H
903
901
906

圖12A

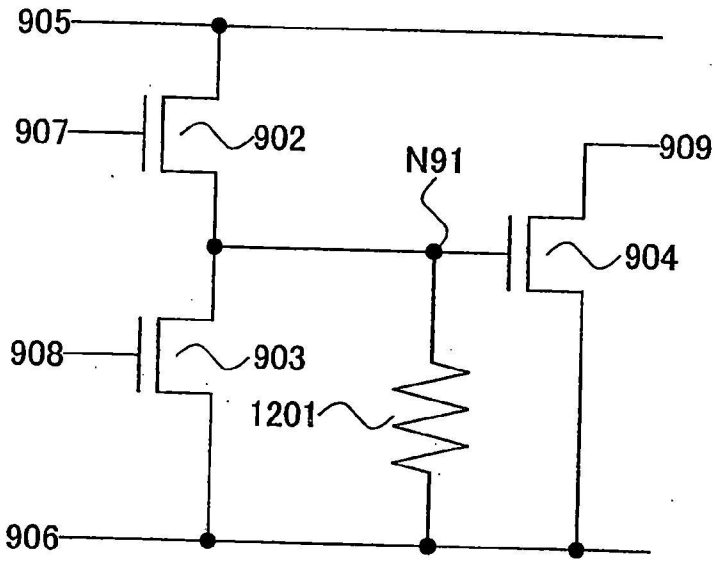

905
907
902
N91
909
904
908
903
1201
906

圖12B

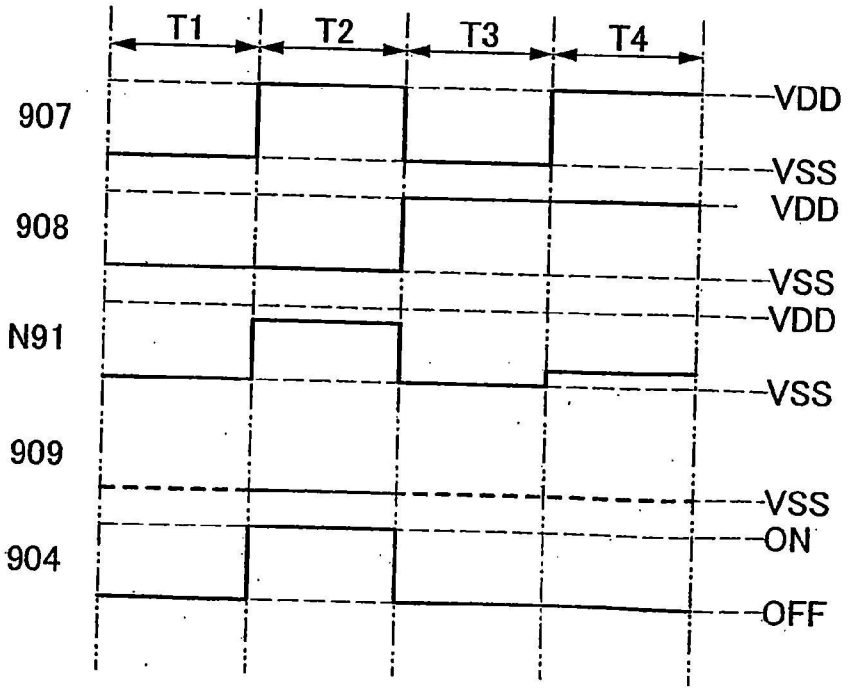

T1
T2
T3
T4
907
VDD
VSS
908
VDD
VSS
N91
VDD
VSS
909
VSS
904
ON
OFF

圖13A

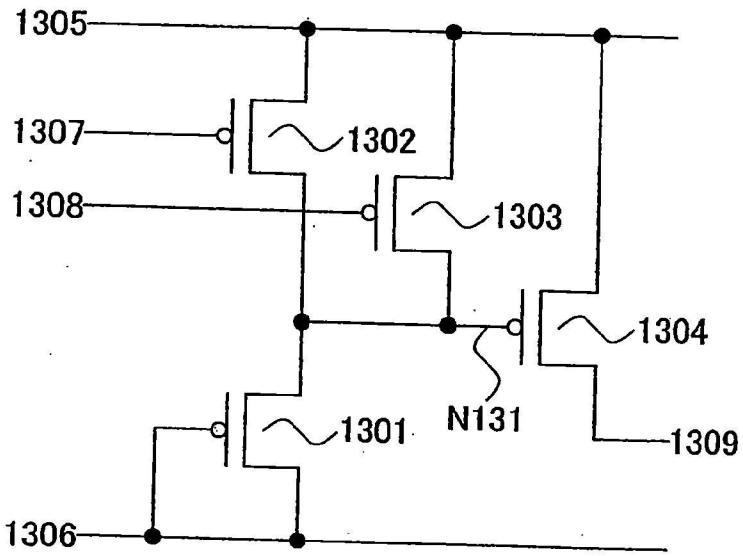

1305
1307
1302
1308
1303
1304
N131
1301
1309
1306

圖13B

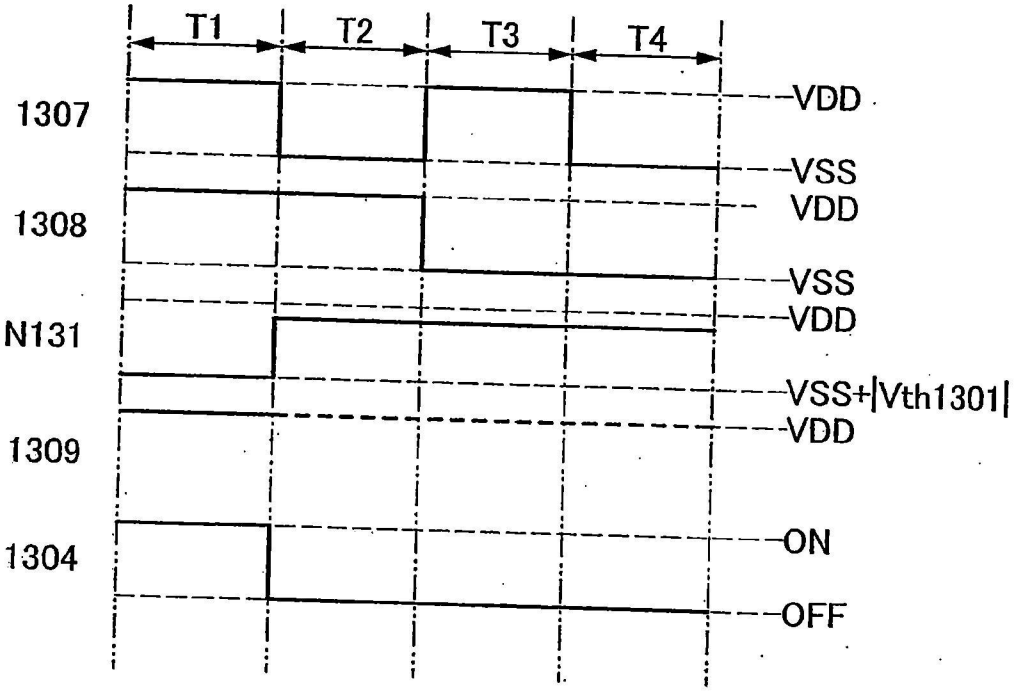

T1
T2
T3
T4
1307
VDD
VSS
1308
VDD
VSS
N131
VDD
VSS+|Vth1301|
1309
VDD
1304
ON
OFF

圖14A

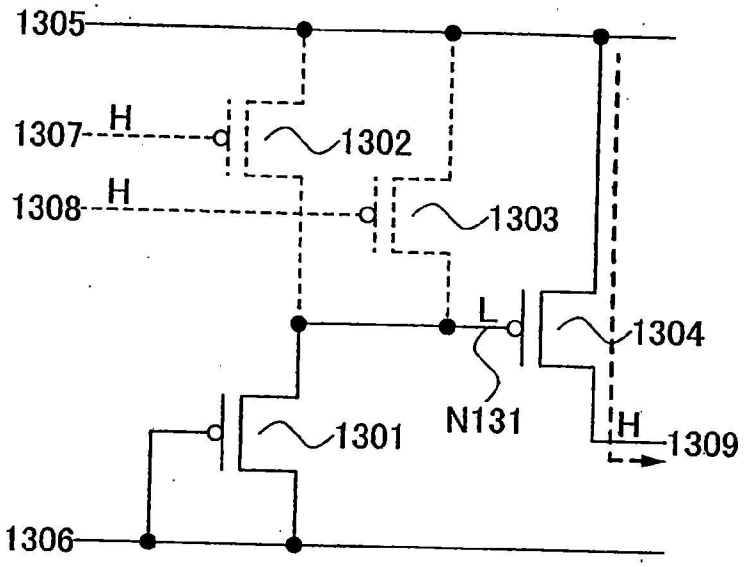

1305
1307
H
1302
1308
H
1303
L
1304
N131
1301
H
1309
1306

圖14B

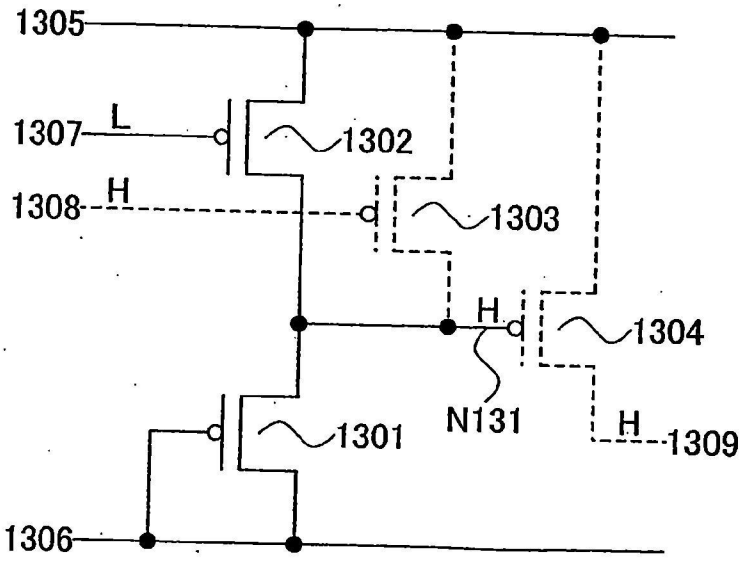

1305
1307
L
1302
1308
H
1303
H
1304
N131
1301
H
1309
1306

圖15A

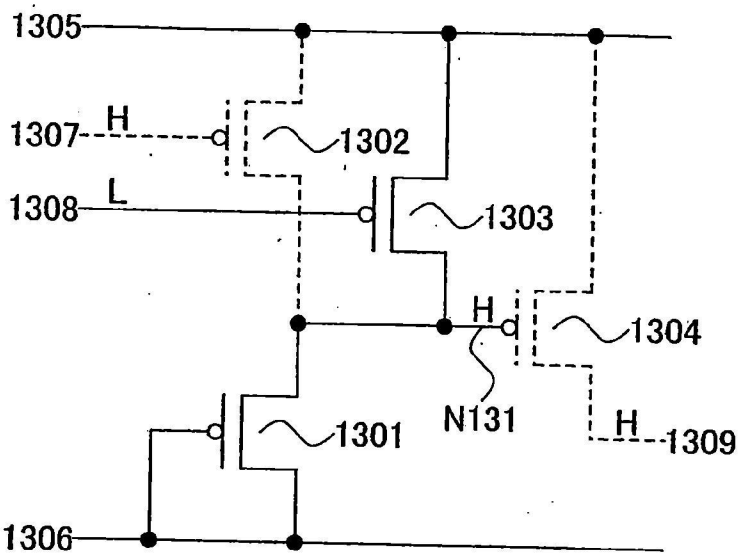

1305
1307
H
1302
1308
L
1303
H
1304
N131
H
1309
1301
1306

圖15B

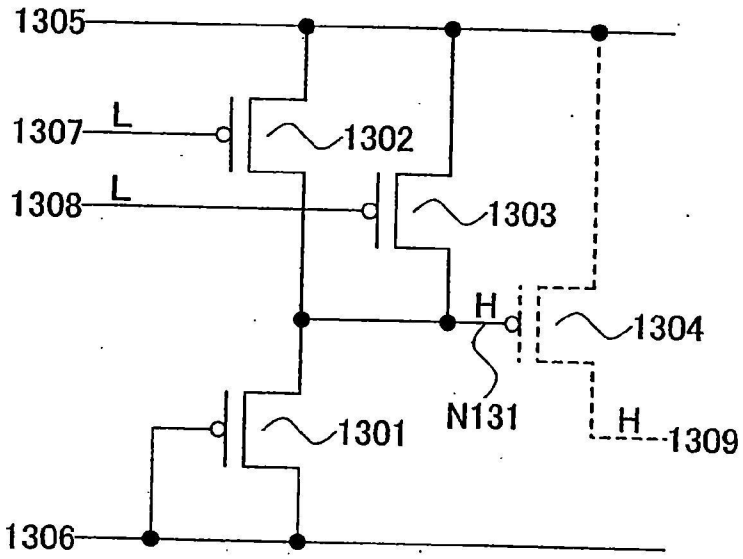

1305
1307
L
1302
1308
L
1303
H
1304
N131
H
1309
1301
1306

圖16A

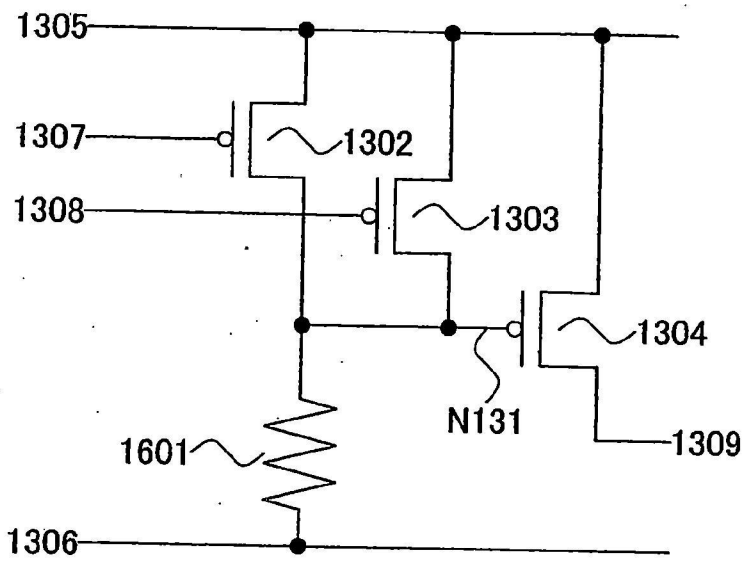

1305
1307
1302
1308
1303
1304
N131
1309
1601
1306

圖16B

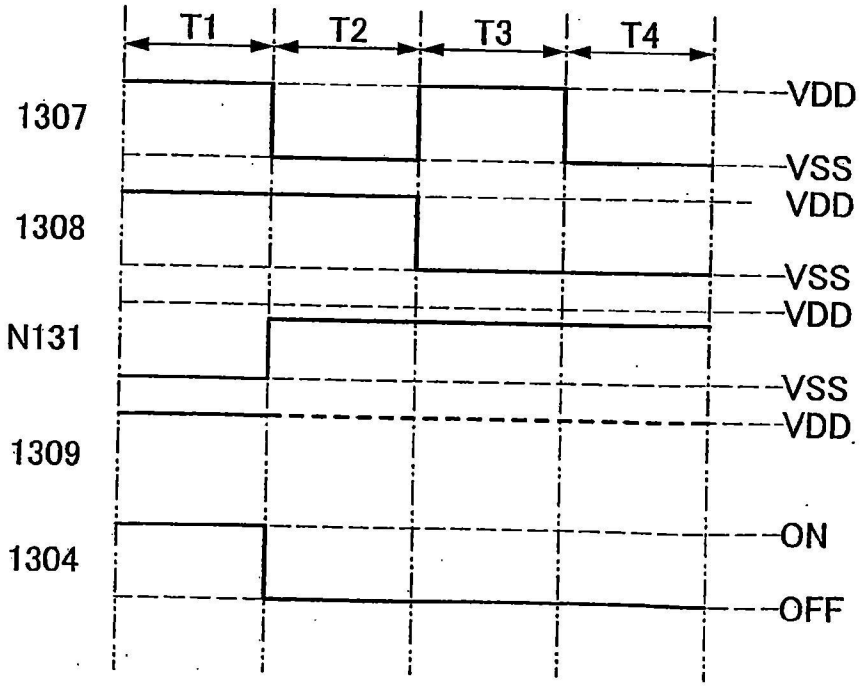

T1
T2
T3
T4
1307
VDD
VSS
1308
VDD
VSS
N131
VDD
VSS
1309
VDD
1304
ON
OFF

圖17A

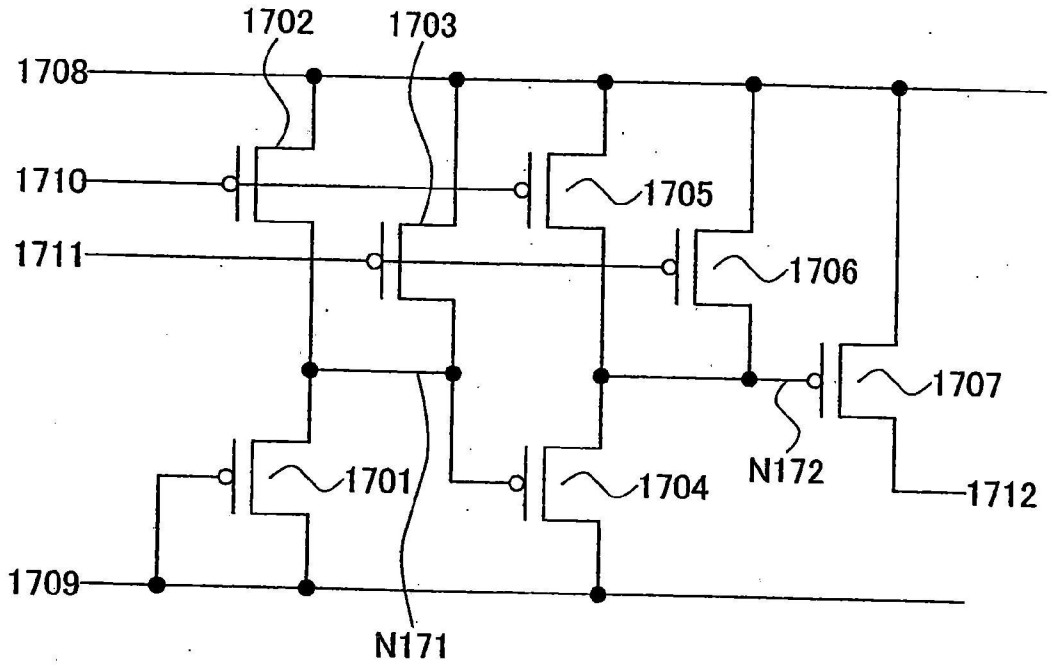

1702
1703
1708
1710
1705
1711
1706
1707
1701
1704
N172
1712
1709
N171

圖17B

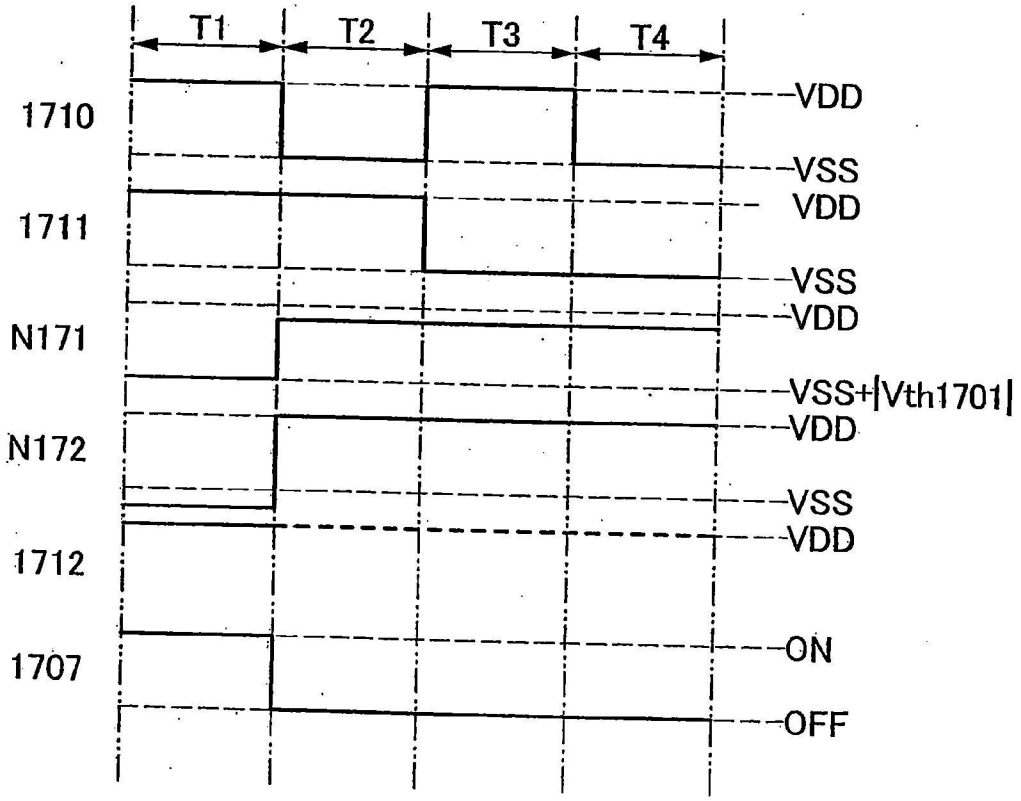

T1
T2
T3
T4
1710
VDD
VSS
1711
VDD
VSS
N171
VDD
VSS+|Vth1701|
N172
VDD
VSS
1712
VDD
1707
ON
OFF

圖18A

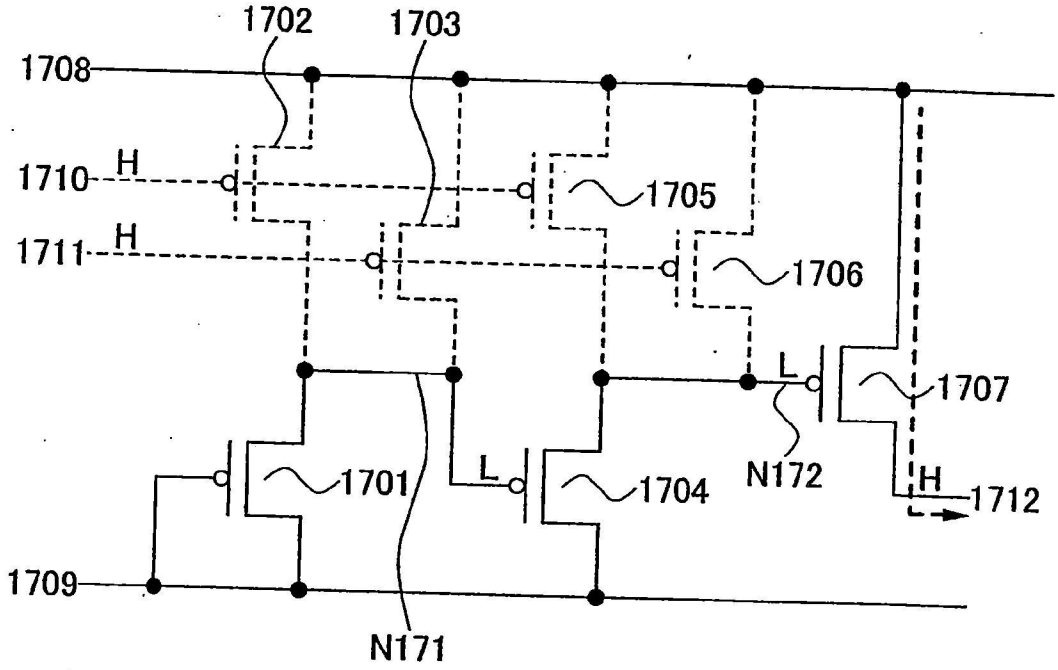

1702
1703
1708
1710
H
1705
1711
H
1706
L
1707
1701
L
1704
N172
H
1712
1709
N171

圖18B

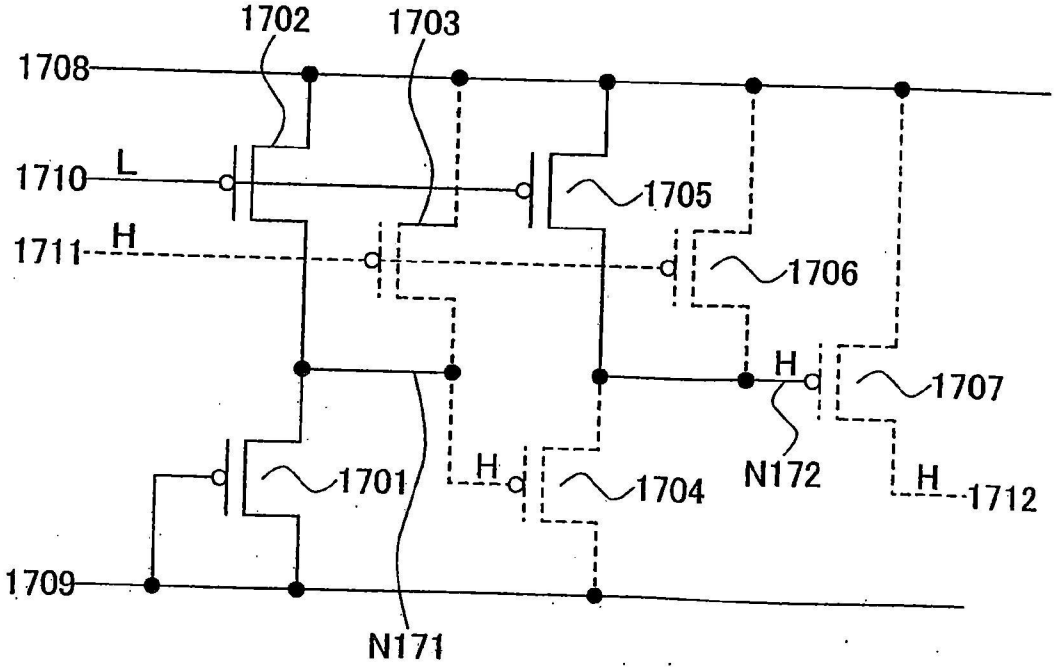

1702
1703
1708
1710
L
1705
1711
H
1706
H
1707
1701
H
1704
N172
H
1712
1709
N171

圖19A

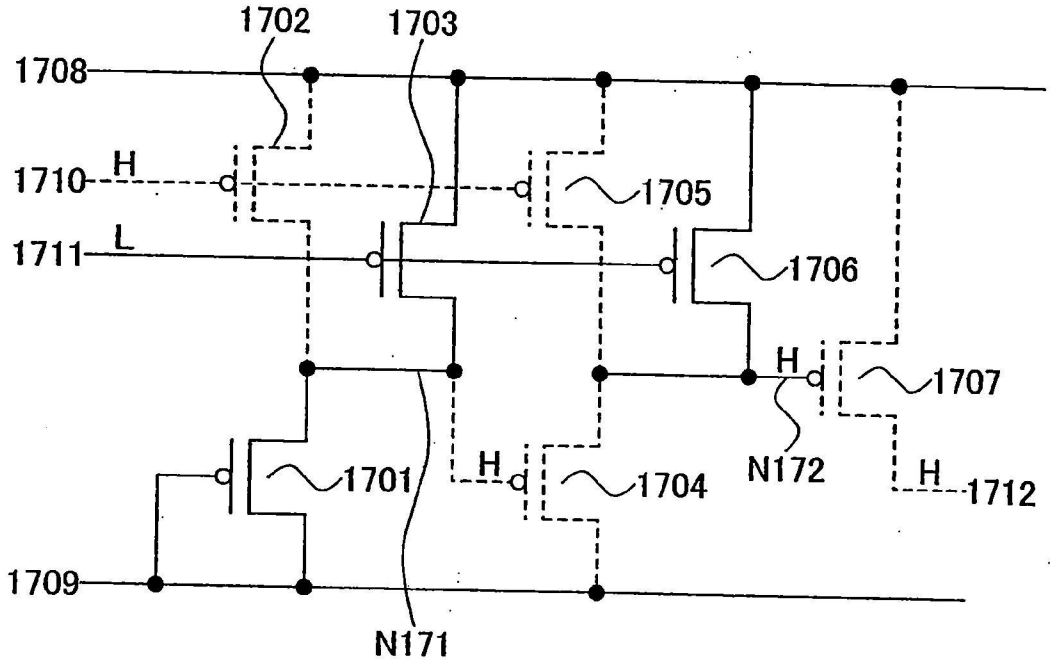

1702
1703
1708
1710
H
1705
1711
L
1706
H
1707
1701
H
1704
N172
H
1712
1709
N171

圖19B

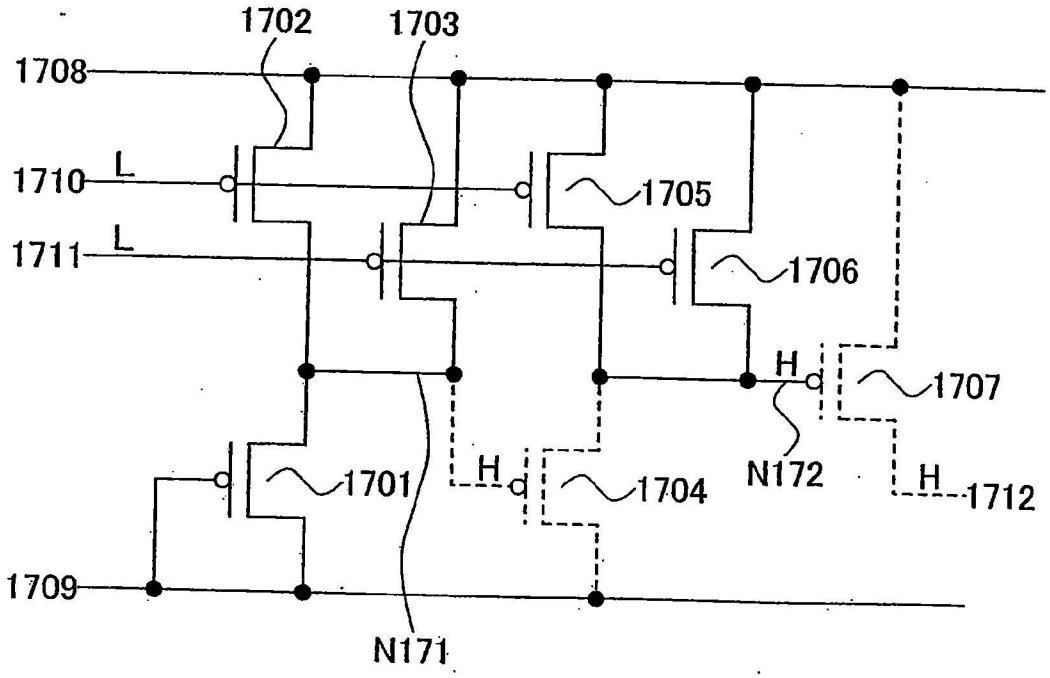

1702
1703
1708
1710
L
1705
1711
L
1706
H
1707
1701
H
1704
N172
H
1712
1709
N171

圖20A

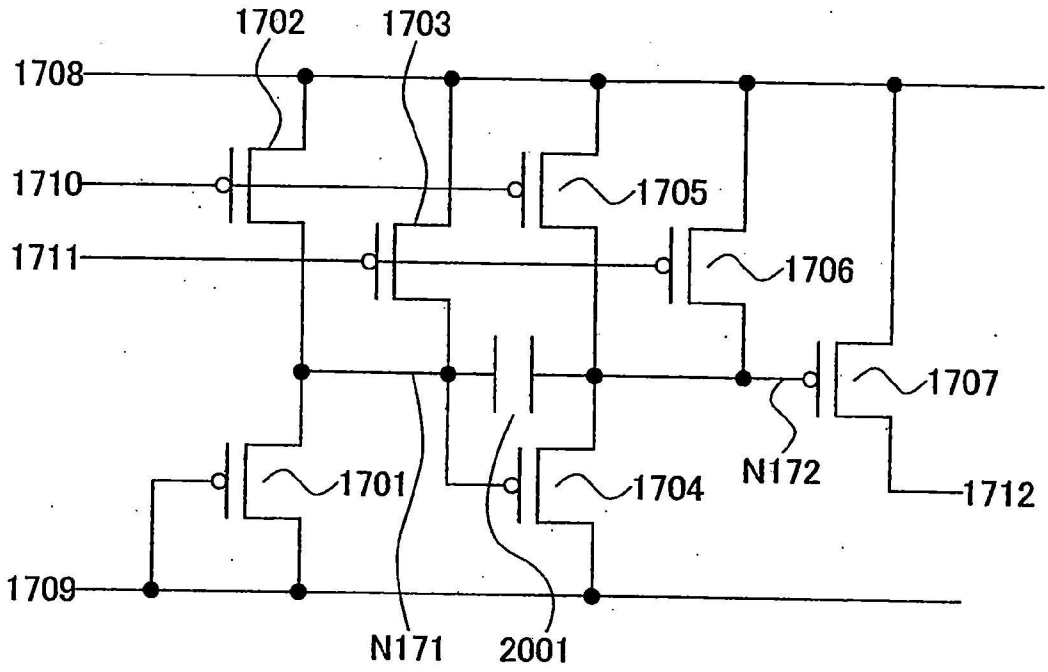

1702
1703
1708
1710
1705
1711
1706
1707
1701
1704
N172
1712
1709
N171
2001

圖20B

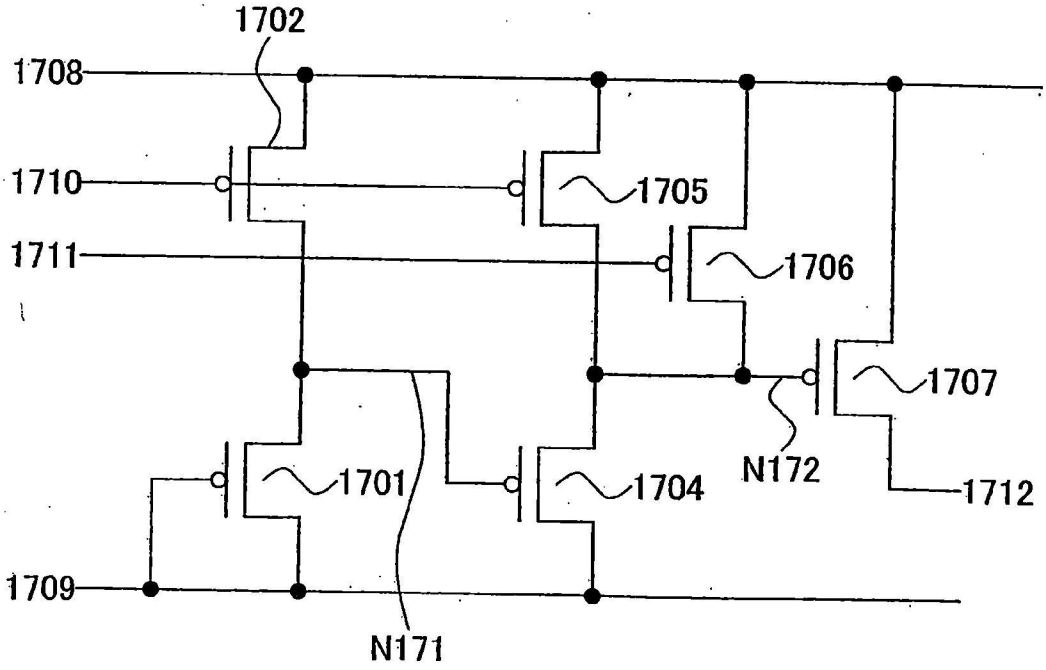

1702
1708
1710
1705
1711
1706
1707
1701
1704
N172
1712
1709
N171

圖21A

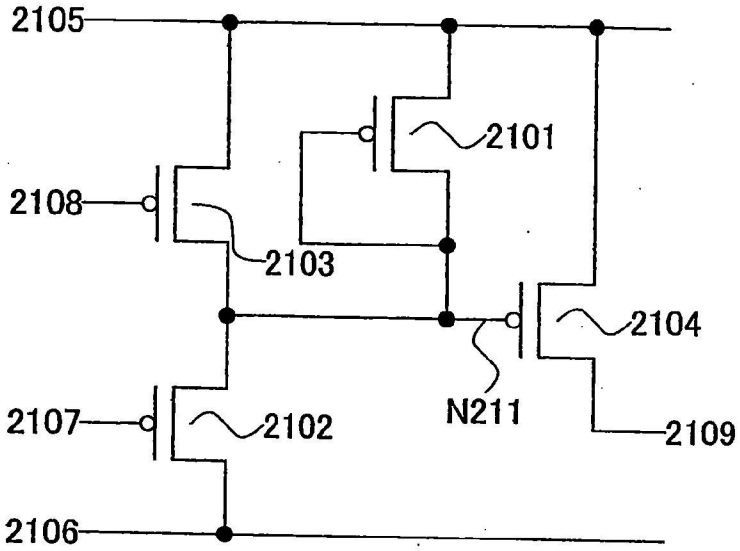

2105
2101
2108
2103
2104
N211
2107
2102
2109
2106

圖21B

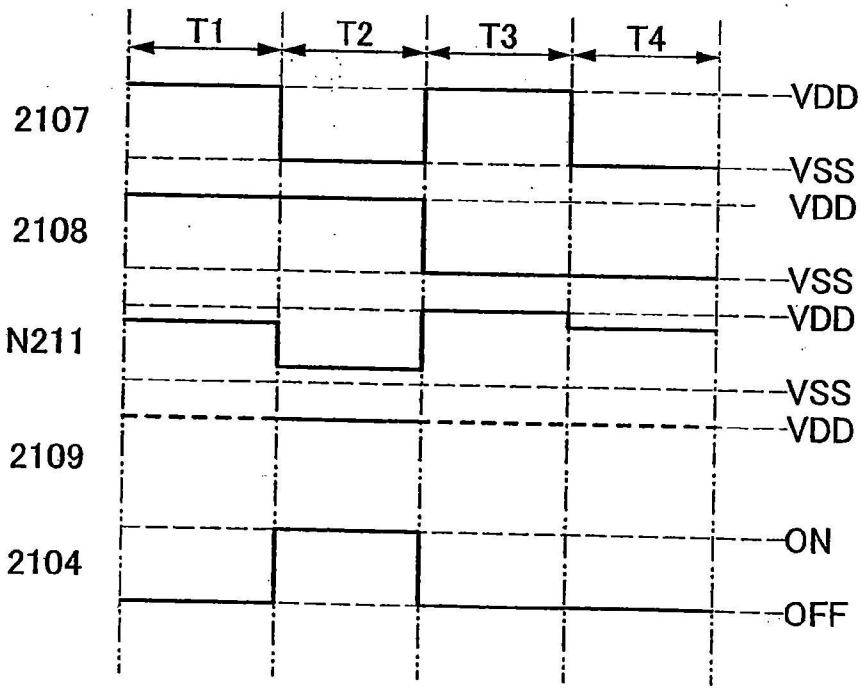

T1
T2
T3
T4
2107
VDD
VSS
2108
VDD
VSS
N211
VDD
VSS
2109
VDD
2104
ON
OFF

圖22A

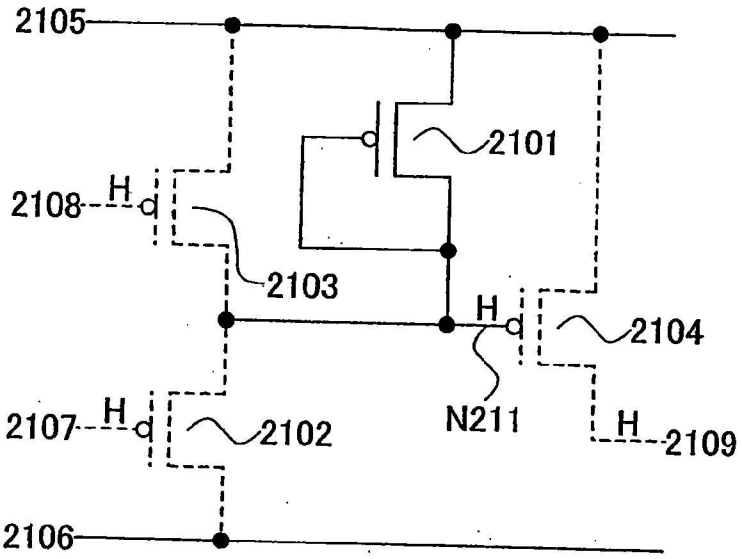

2105
2101
2108
H
2103
H
2104
2107
H
2102
N211
H
2109
2106

圖22B

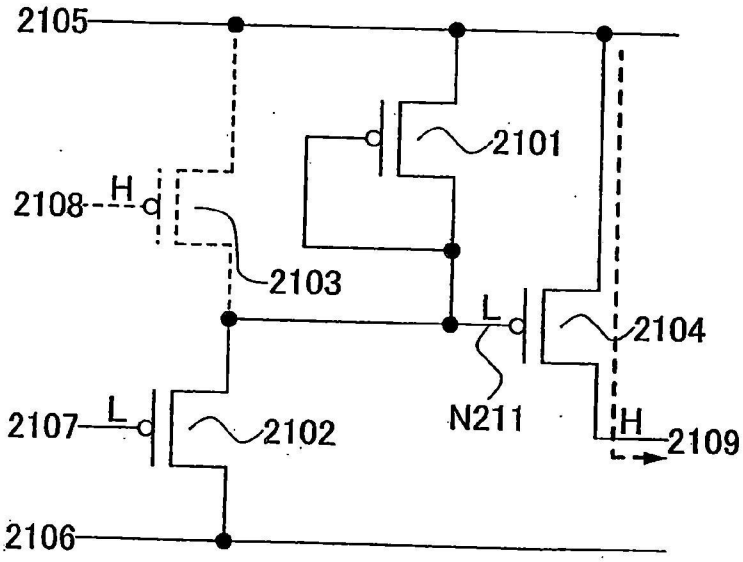

2105
2101
2108
H
2103
L
2104
2107
L
2102
N211
H
2109
2106

圖23A

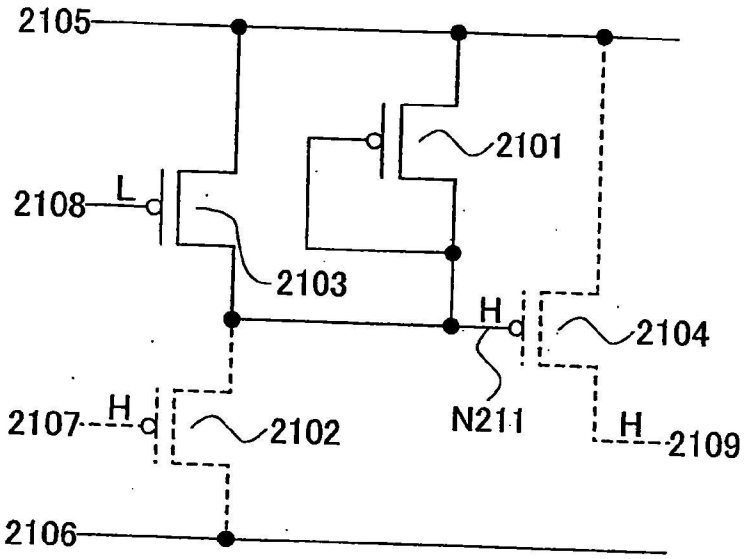

2105
2101
2108
L
2103
H
2104
2107
H
2102
N211
H
2109
2106

圖23B

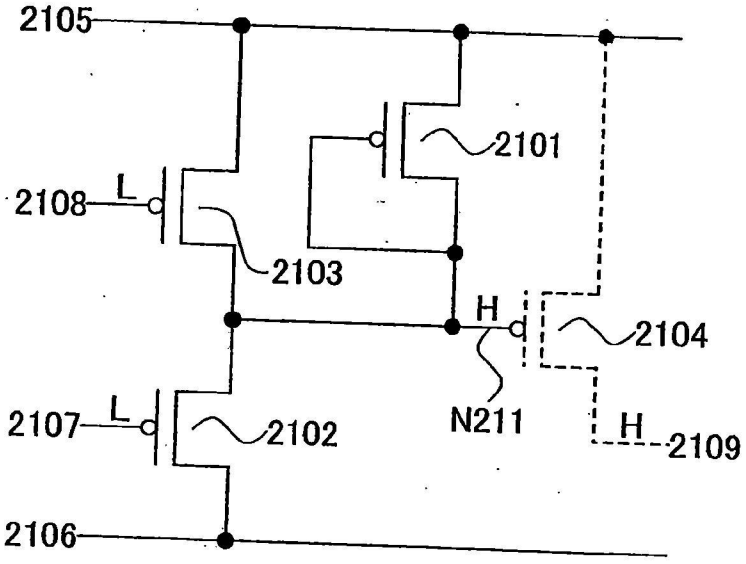

2105
2101
2108
L
2103
H
2104
2107
L
2102
N211
H
2109
2106

圖24A

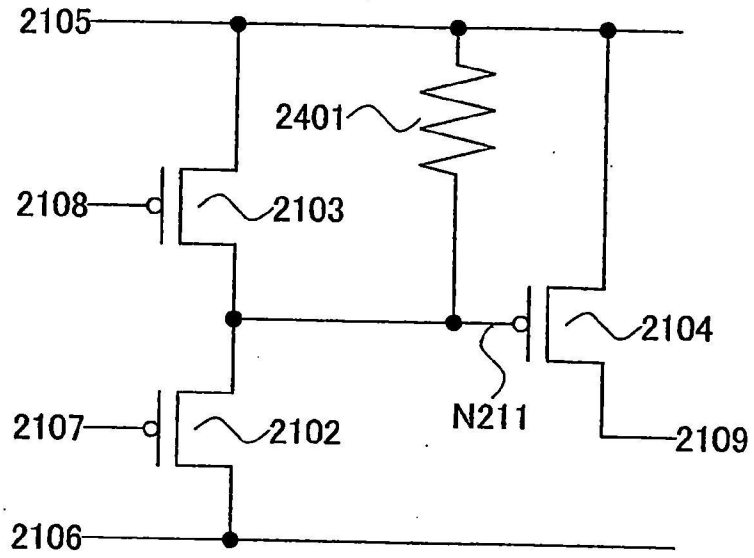
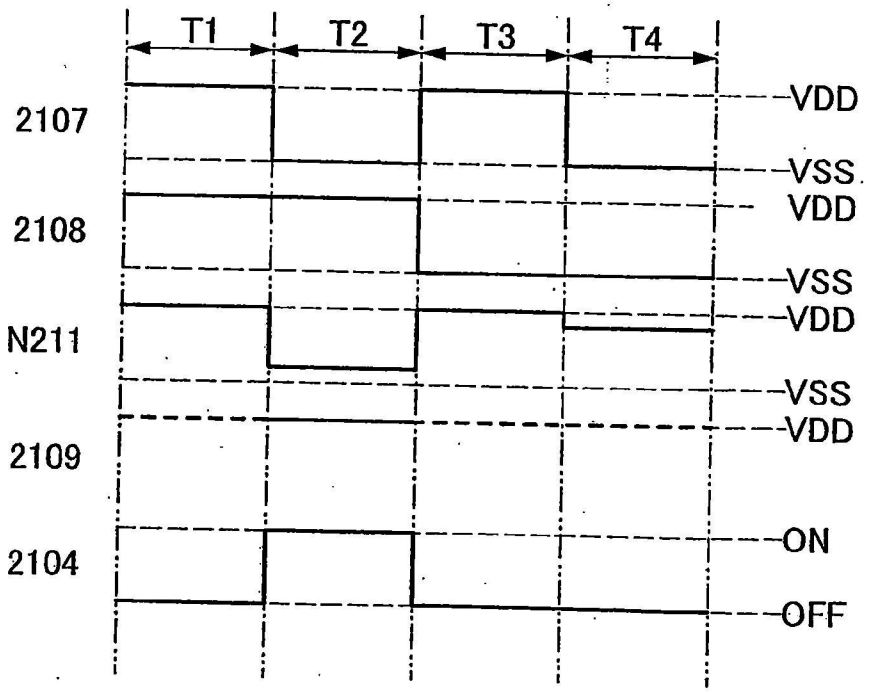

2105
2401
2108
2103
2104
N211
2107
2102
2109
2106

圖24B


T1
T2
T3
T4
2107
VDD
VSS
2108
VDD
VSS
N211
VDD
VSS
2109
VDD
2104
ON
OFF

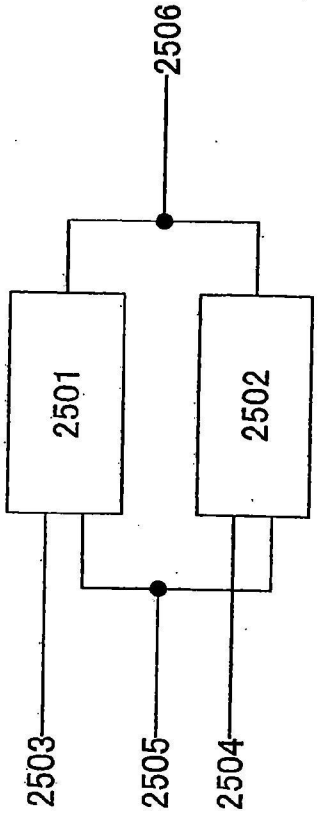

2506
2501
2502
2503
2505
2504

圖25A

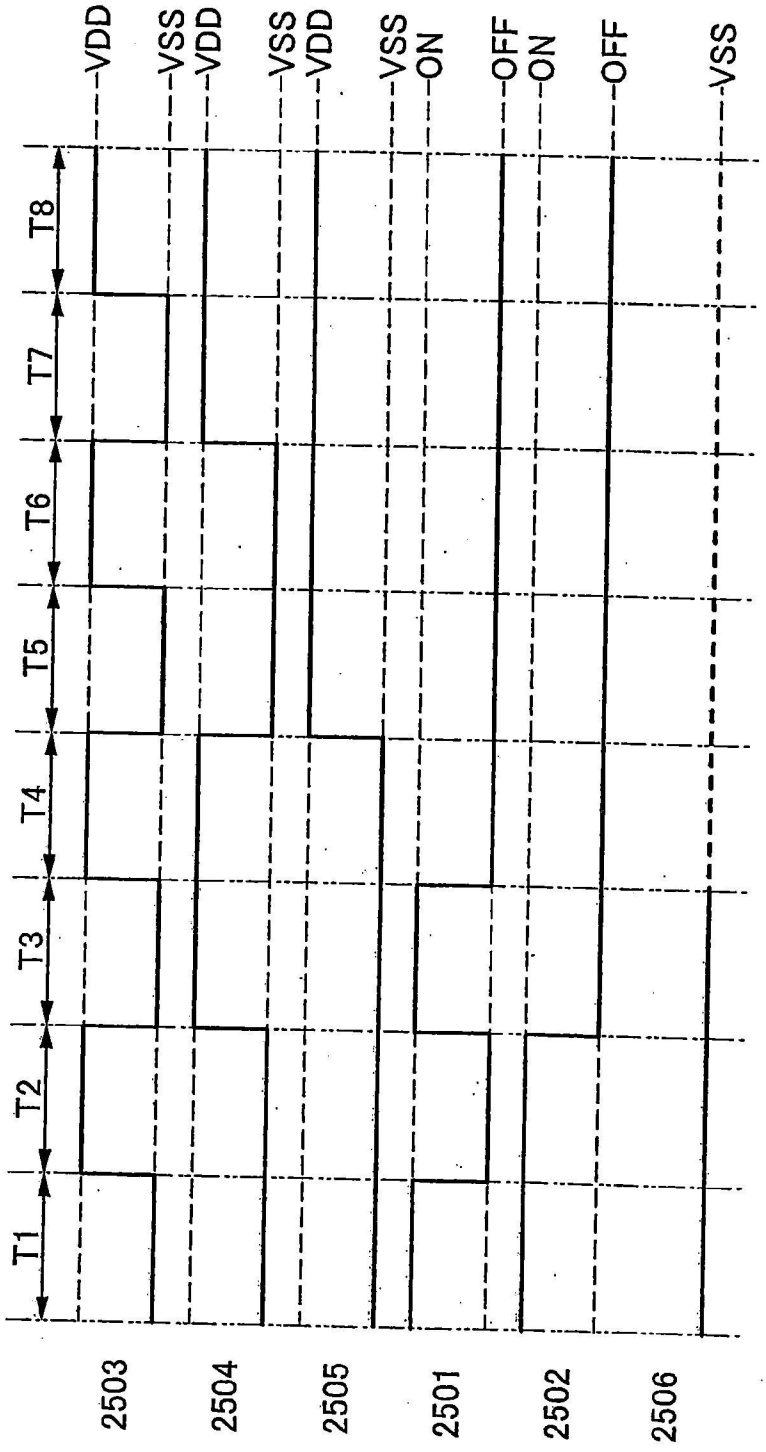

VDD
VSS
VDD
VSS
VDD
VSS
ON
OFF
ON
OFF
VSS
T1
T2
T3
T4
T5
T6
T7
T8
2503
2504
2505
2501
2502
2506

圖25B

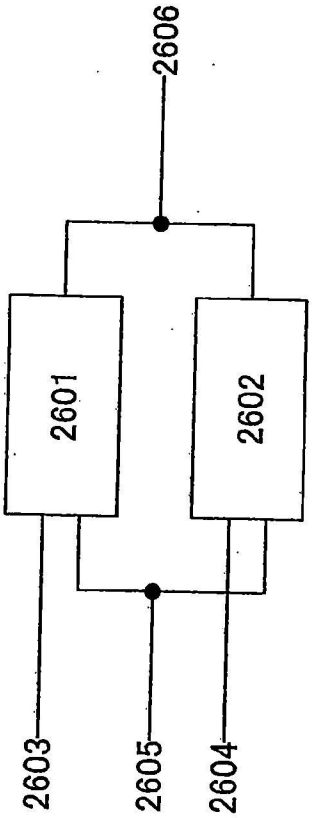

2606
2601
2602
2603
2605
2604

圖26A

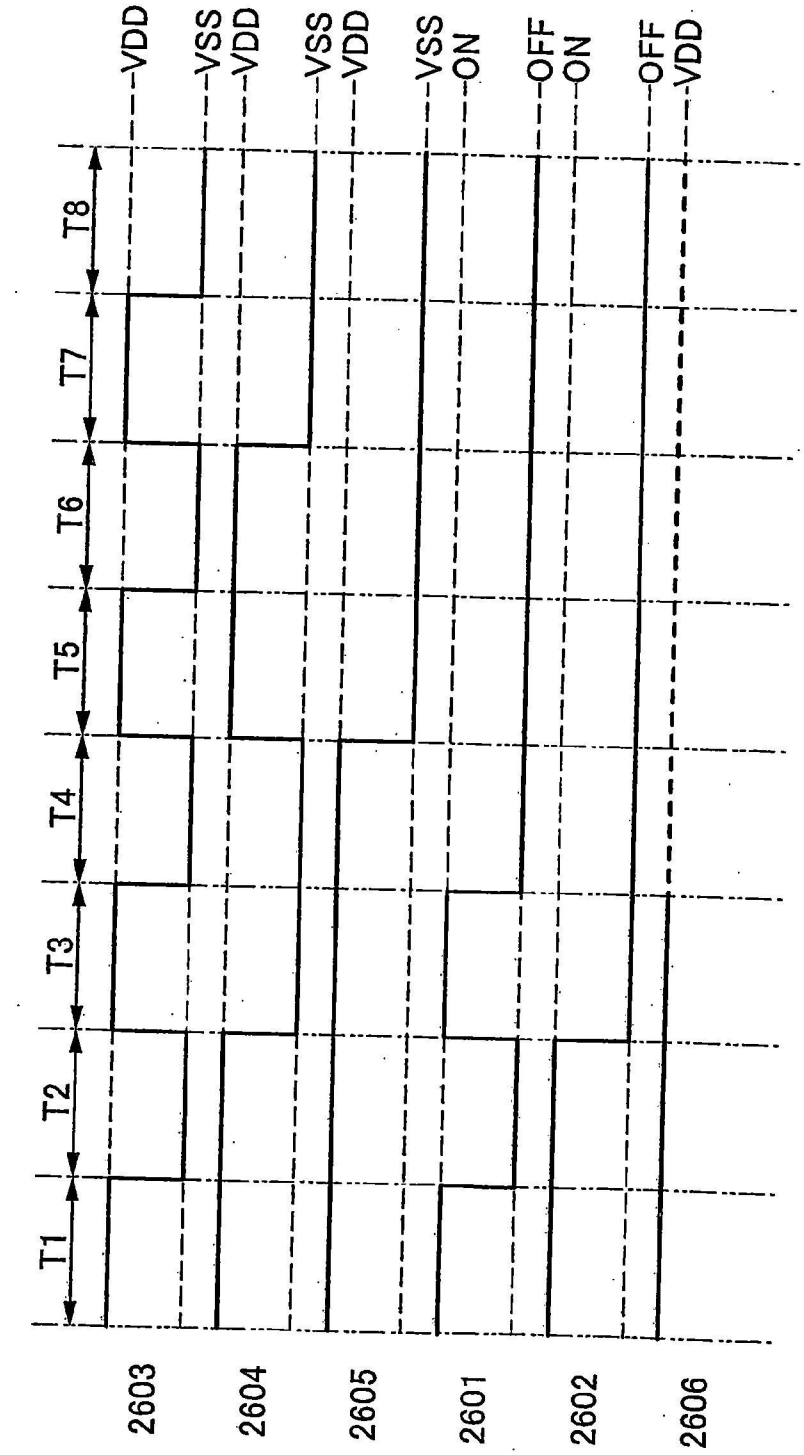

VDD
VSS
VDD
VSS
VDD
VSS
ON
OFF
ON
OFF
VDD
T1
T2
T3
T4
T5
T6
T7
T8
2603
2604
2605
2601
2602
2606

圖26B

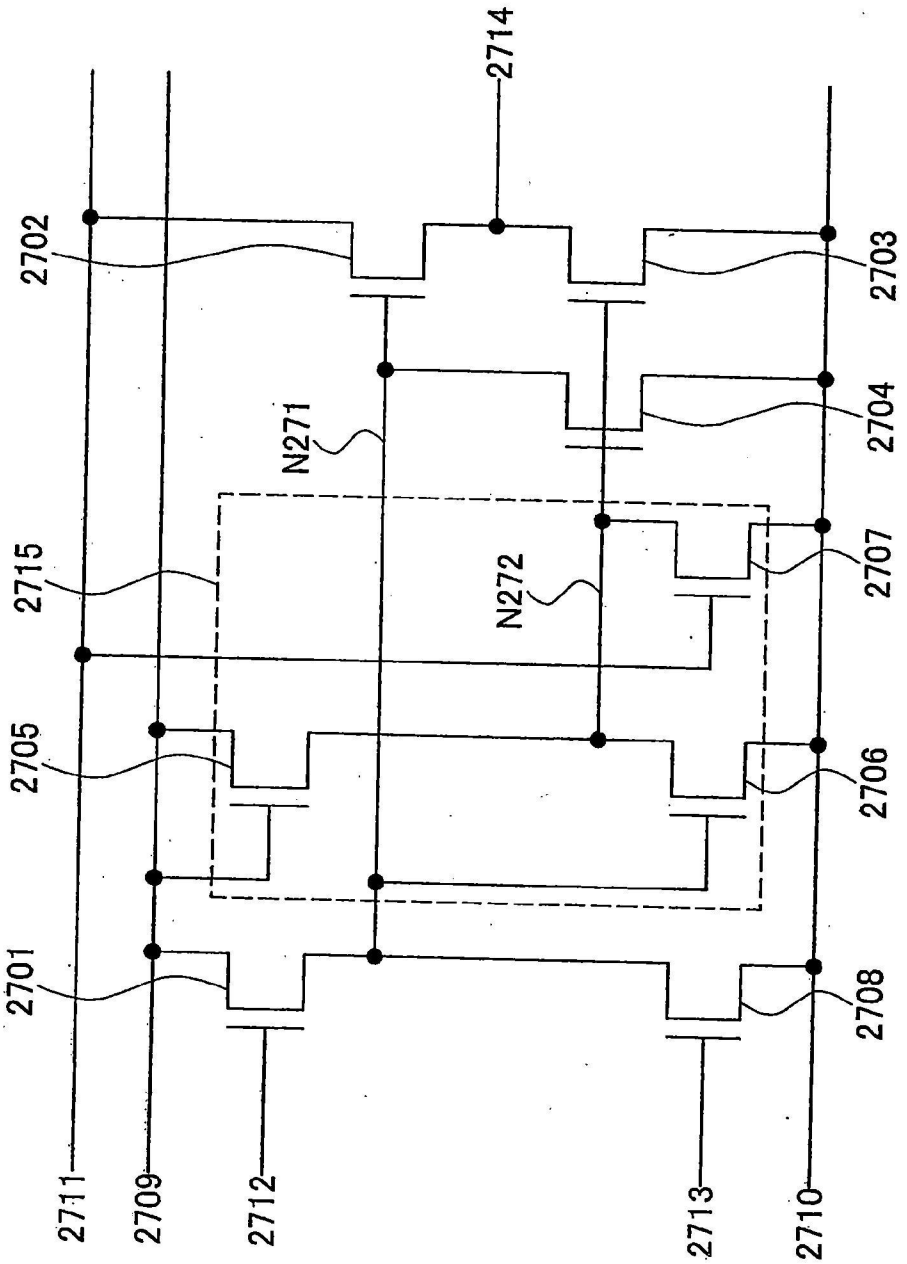
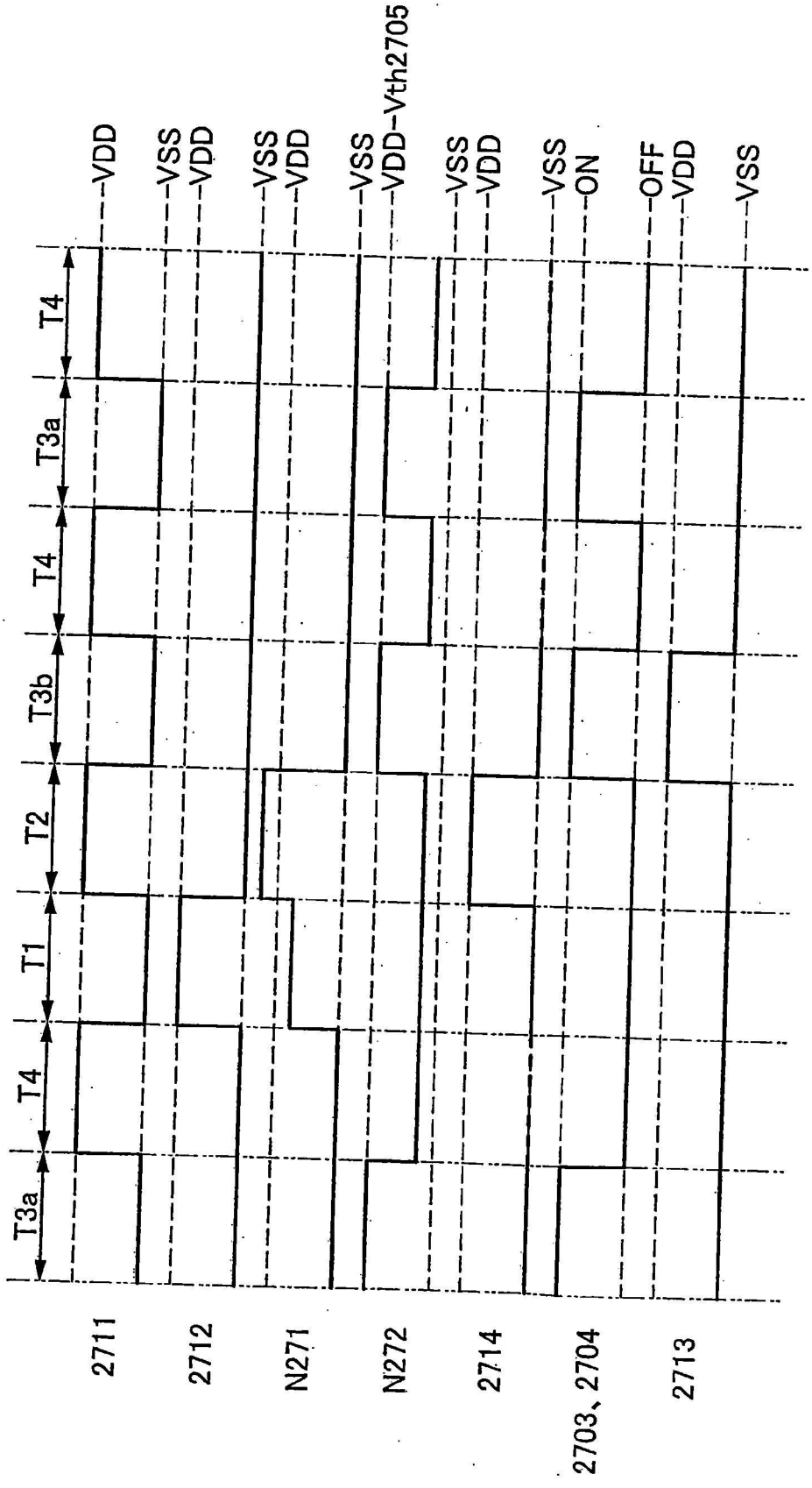

2714
2702
2703
N271
2704
2715
N272
2707
2705
2706
2701
2708
2711
2709
2712
2713
2710

圖27

圖28


T3a
T4
T1
T2
T3b
T4
T3a
T4
VDD
VSS
VDD
VSS
VDD
VSS
VDD-Vth2705
VSS
VDD
VSS
ON
OFF
VDD
VSS
2711
2712
N271
N272
2714
2703、2704
2713

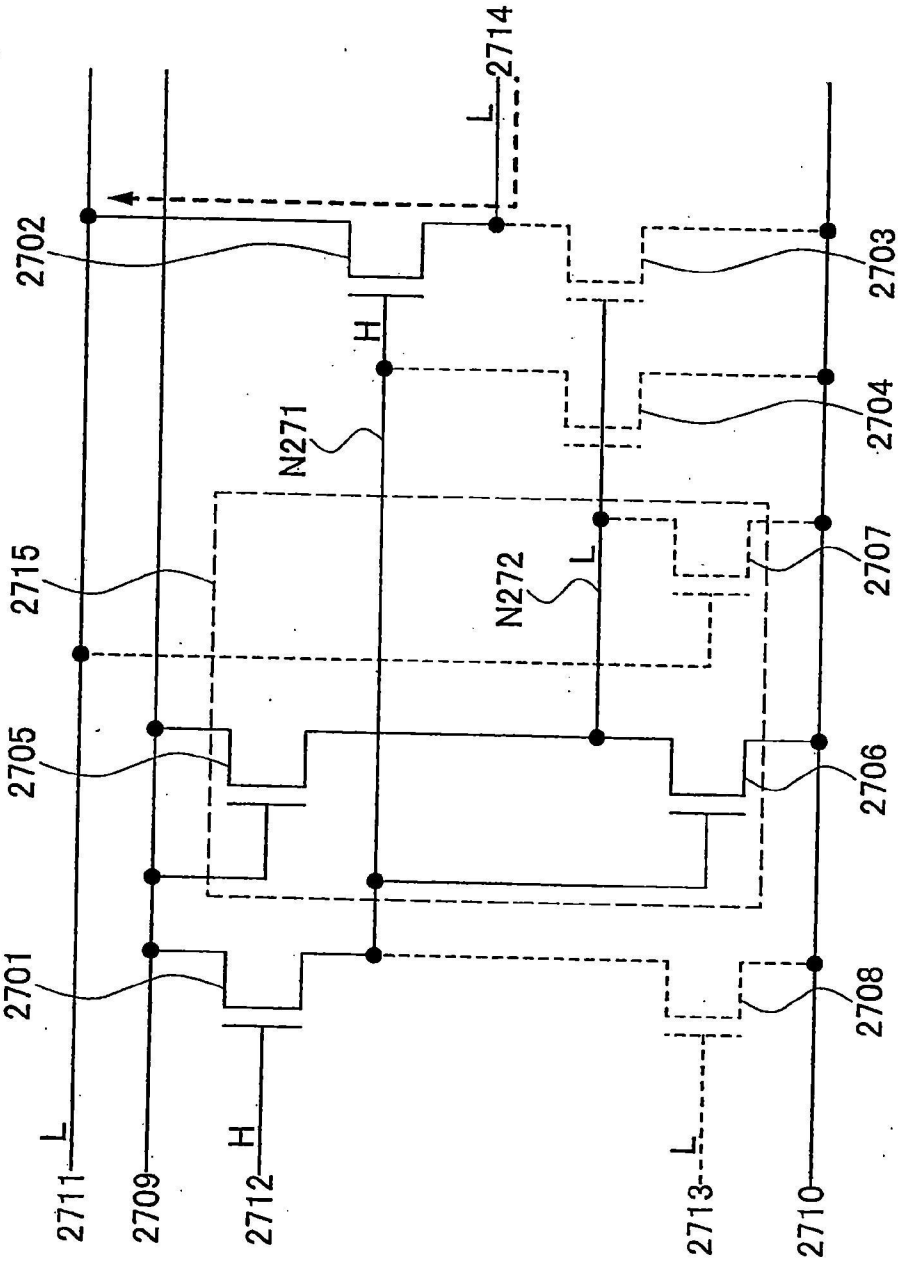

2714
L
2702
2703
H
2704
N271
2715
2707
N272
L
2705
2706
2701
2708
L
H
L
2711
2709
2712
2713
2710

圖29

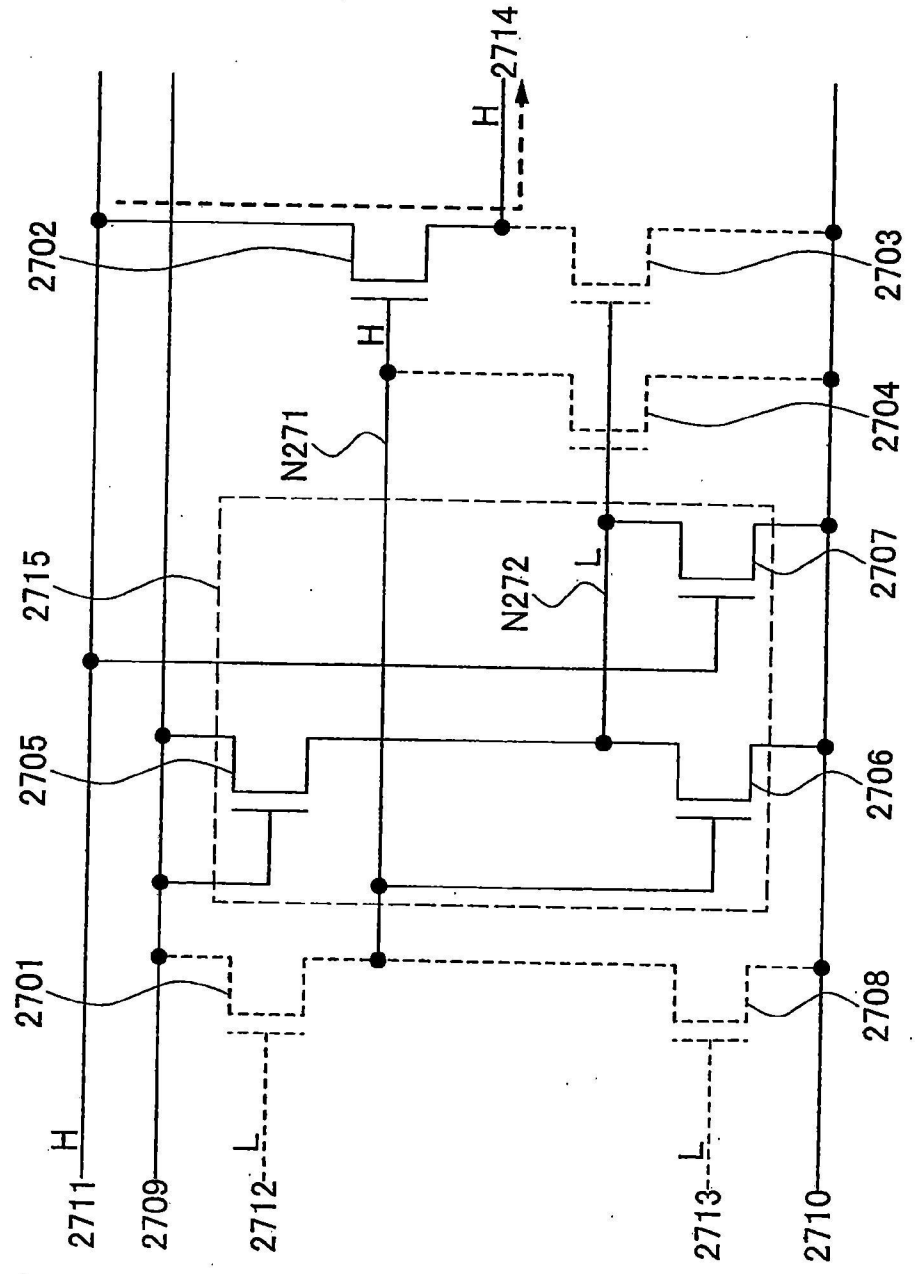

2714
H
2702
2703
H
N271
2704
2715
N272
L
2707
2705
2706
2701
2708
H
2711
2709
2712
L
2713
L
2710

圖30

圖31

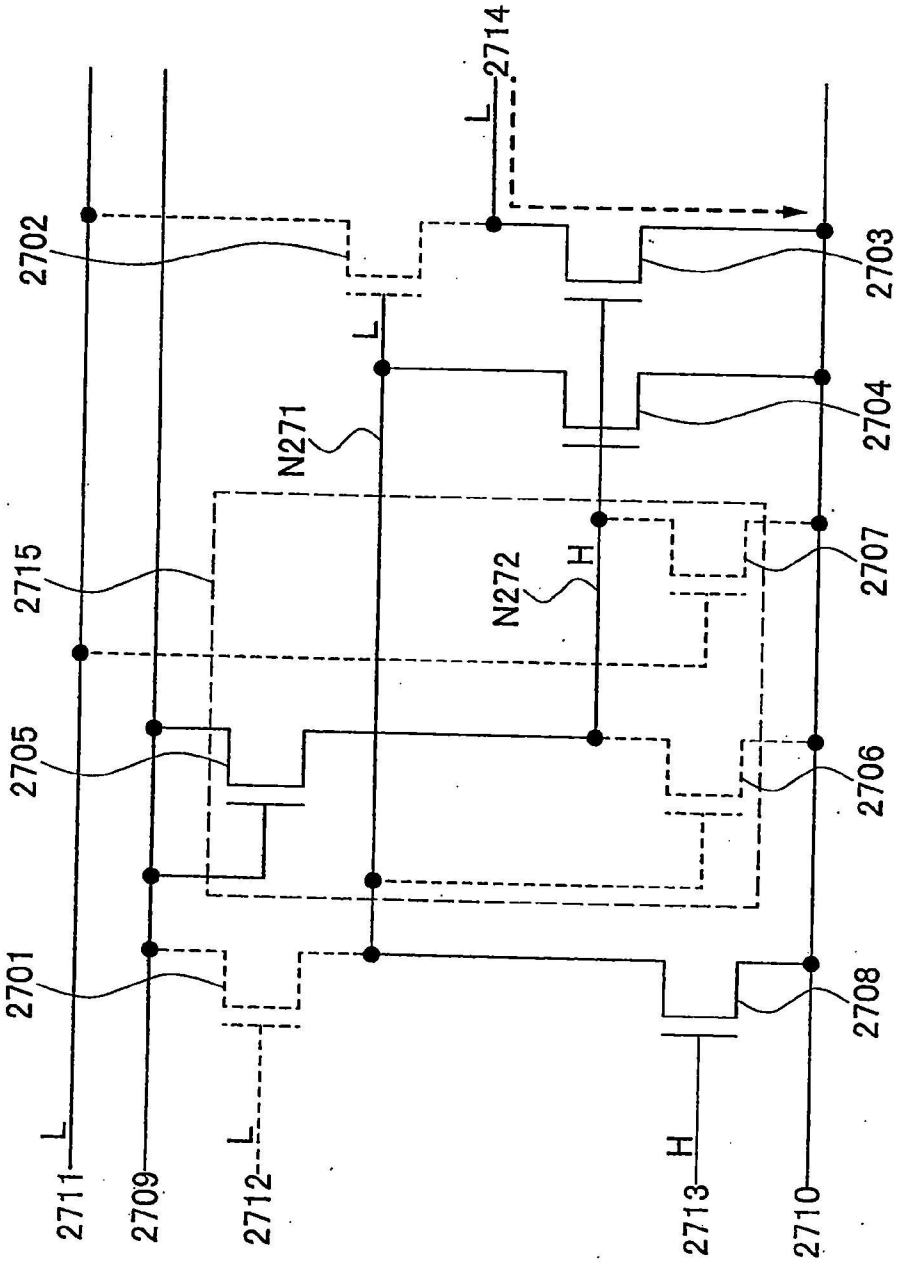

2702
2703
2714
L
2704
N271
L
2715
2707
N272
H
2705
2706
2701
2708
L
L
H
2711
2709
2712
2713
2710

圖32

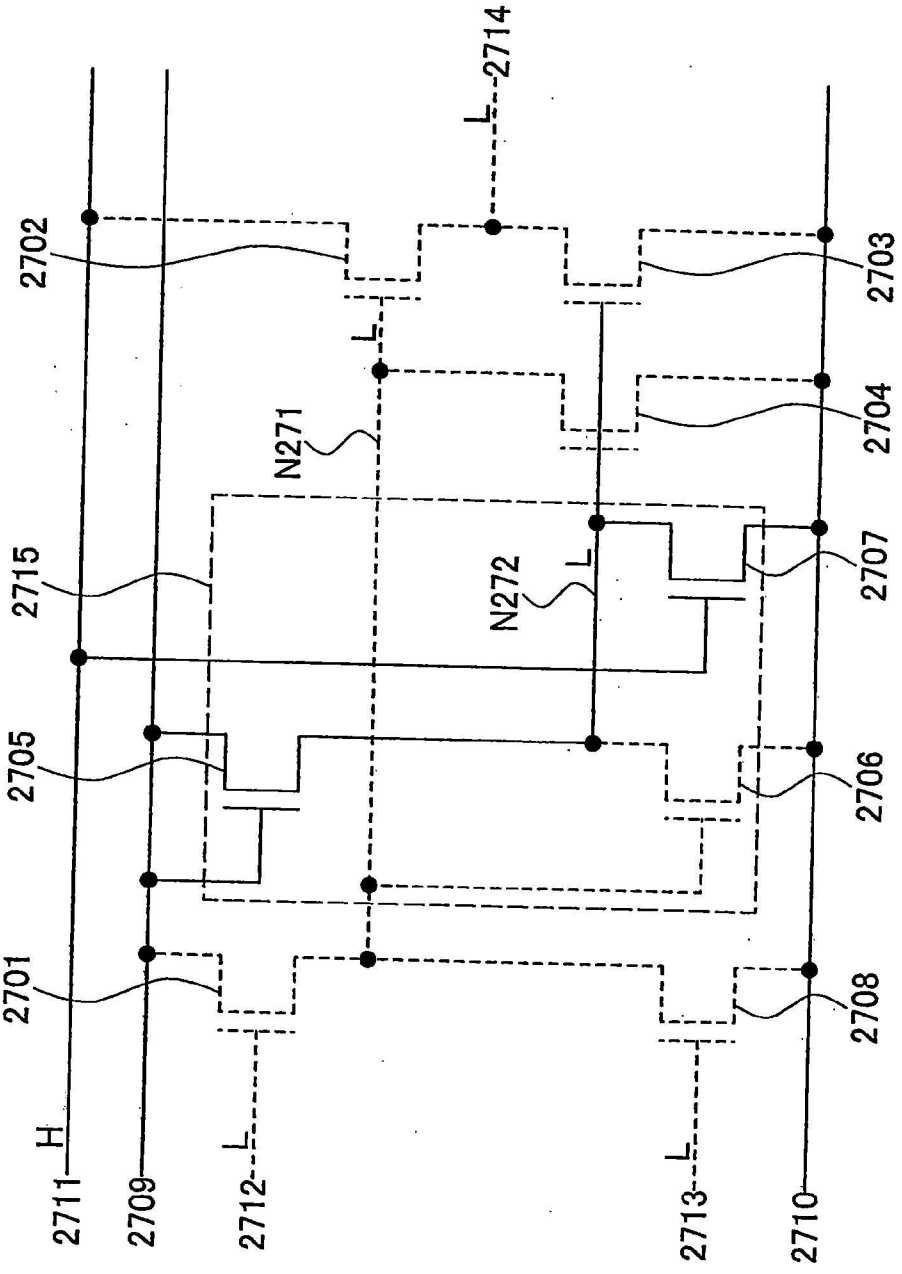
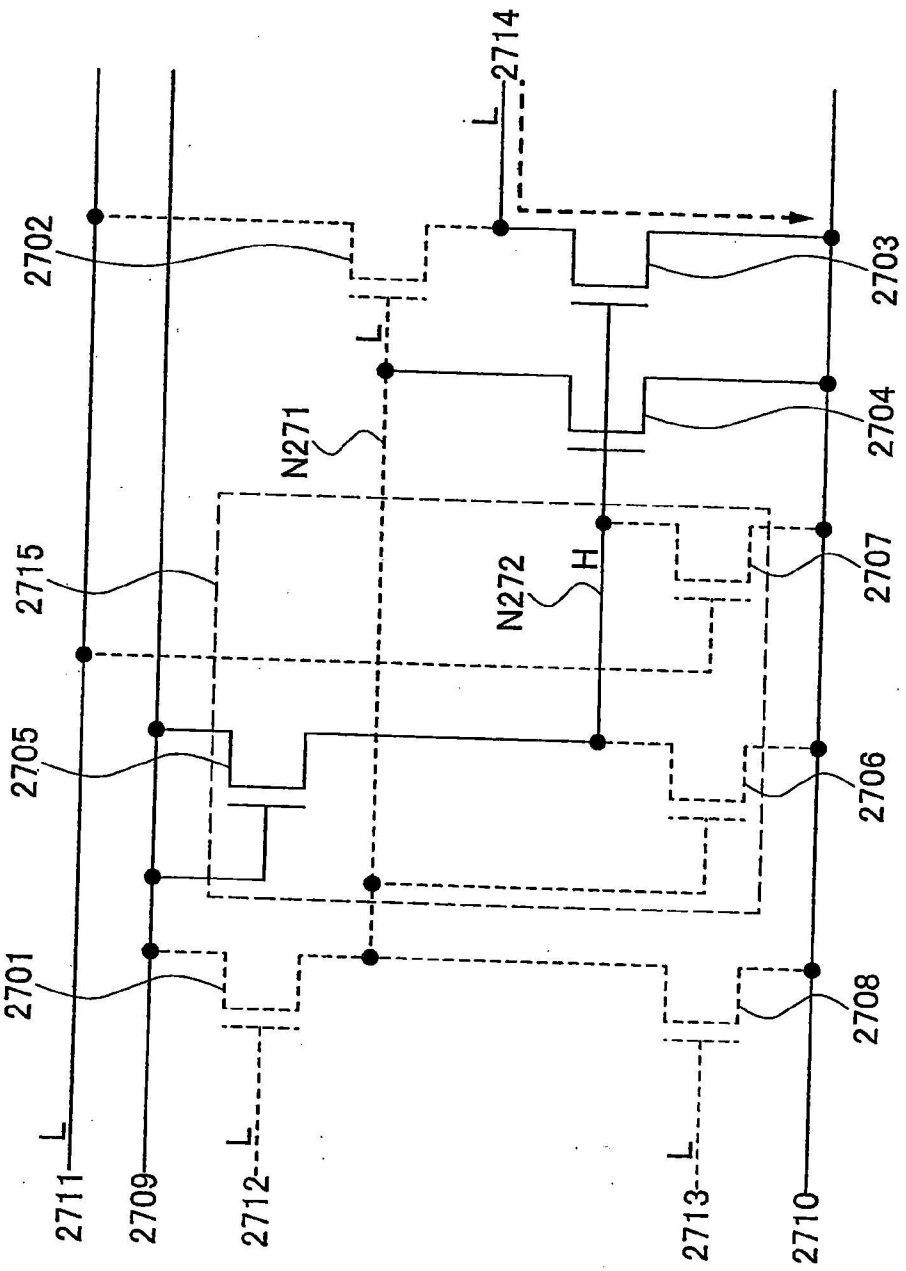

2702
2703
2714
L
2704
N271
L
2715
2707
N272
L
2705
2706
2701
2708
H
2711
2709
L
2712
L
2713
2710

圖33


2702
2703
2714
L
L
2704
N271
2715
2707
N272
H
2705
2706
2701
2708
L
L
L
2711
2709
2712
2713
2710

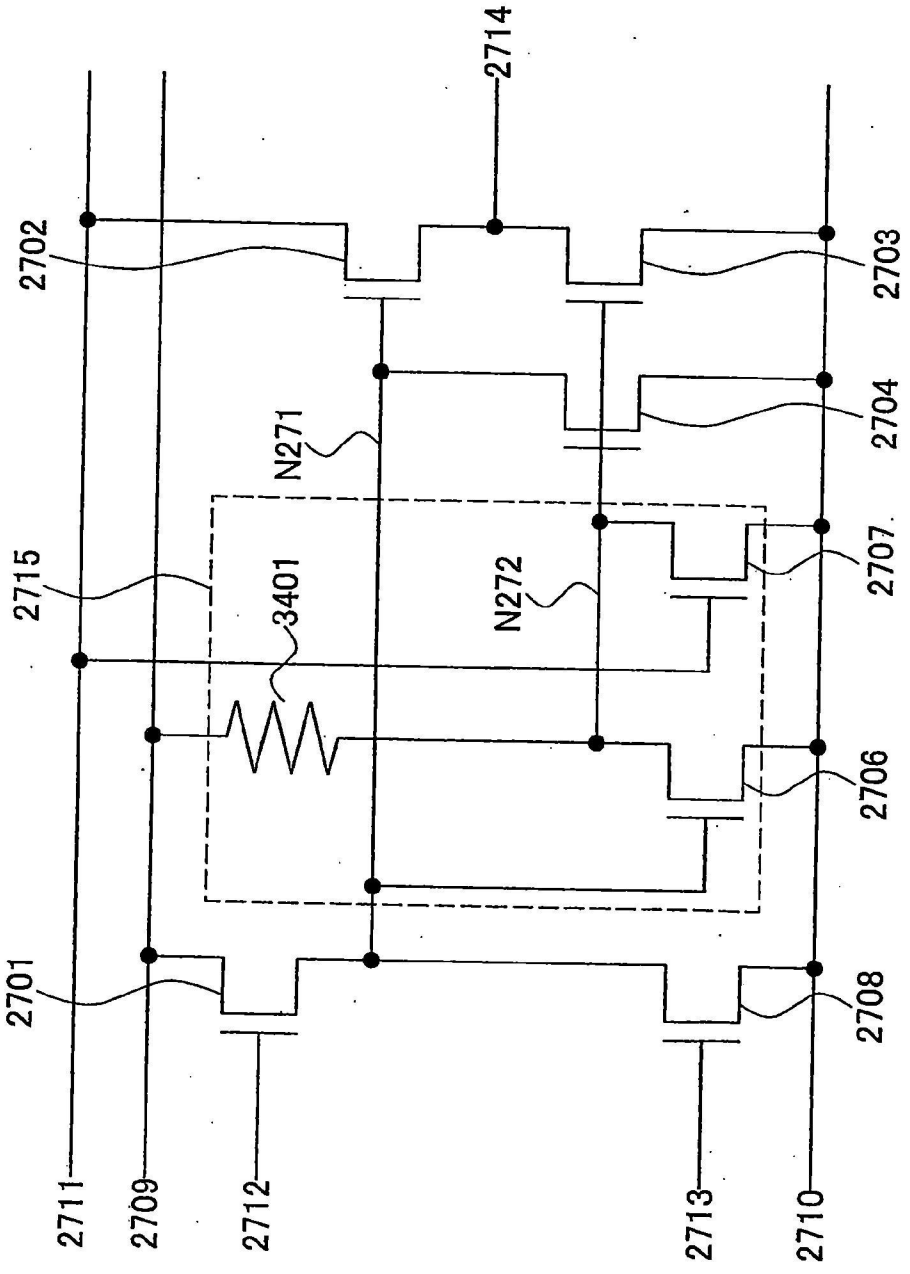

2714
2702
2703
N271
2704
2715
3401
N272
2707
2706
2701
2708
2711
2709
2712
2713
2710

圖34

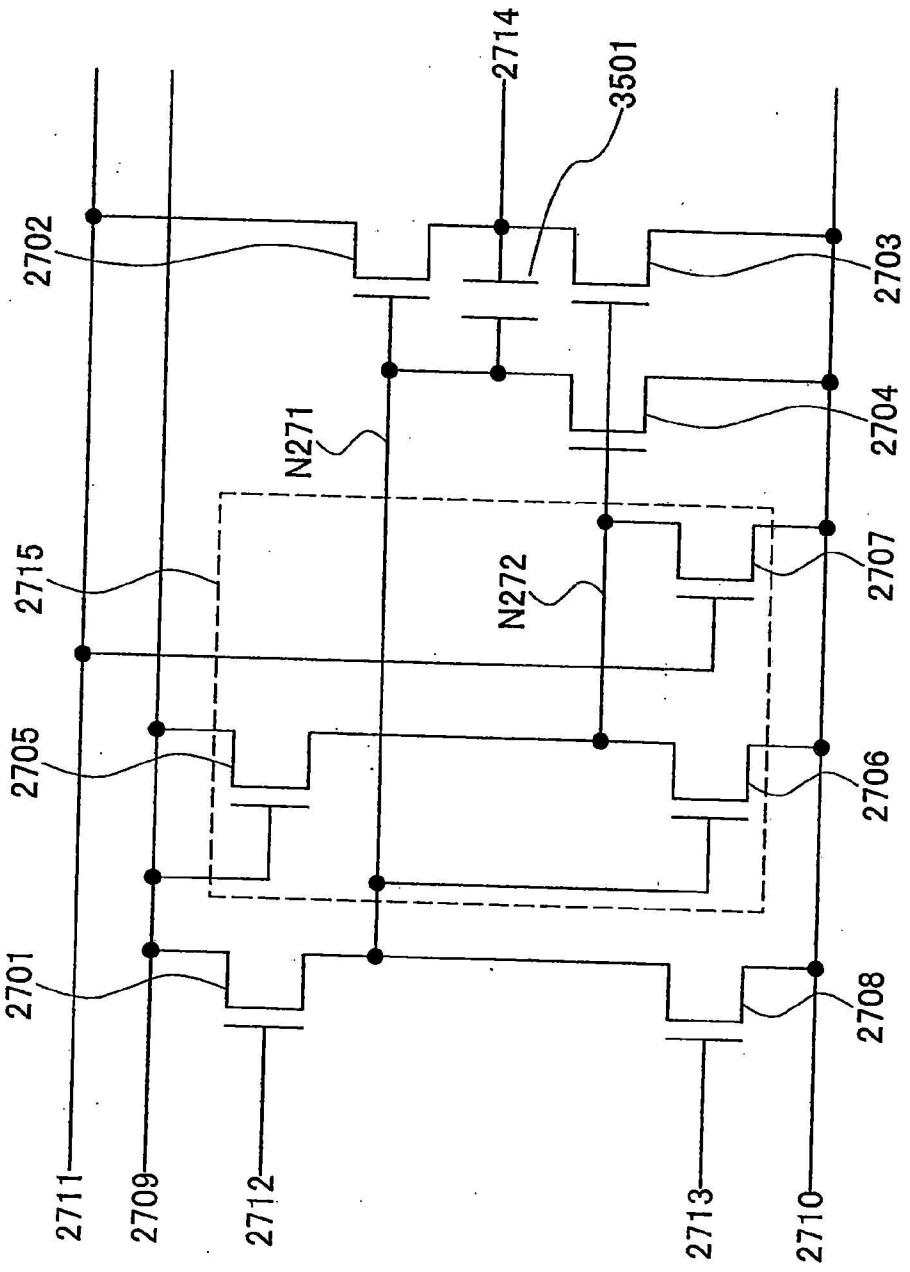

2714
3501
2702
2703
2704
N271
2715
N272
2707
2705
2706
2701
2708
2711
2709
2712
2713
2710

圖35

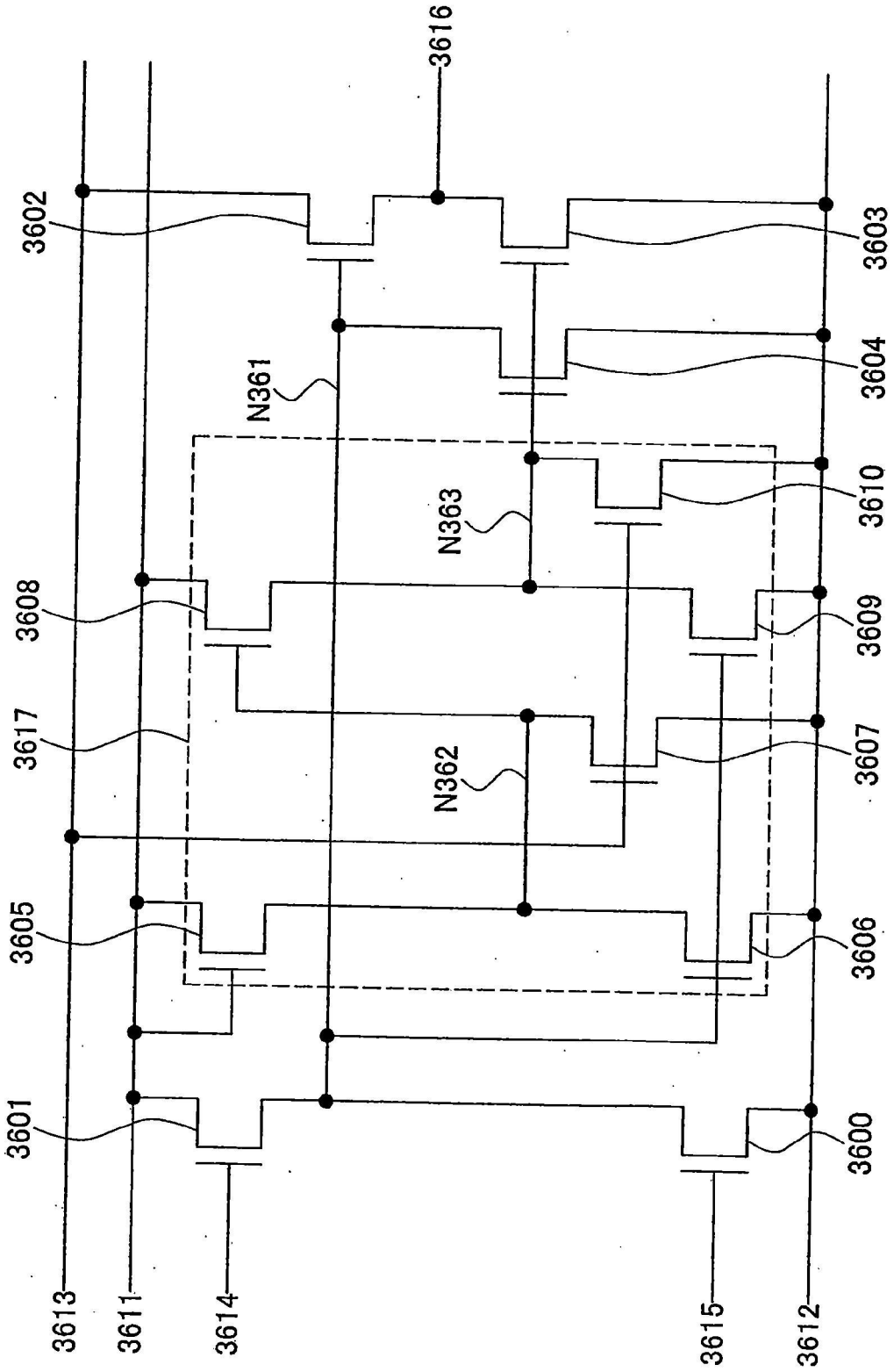
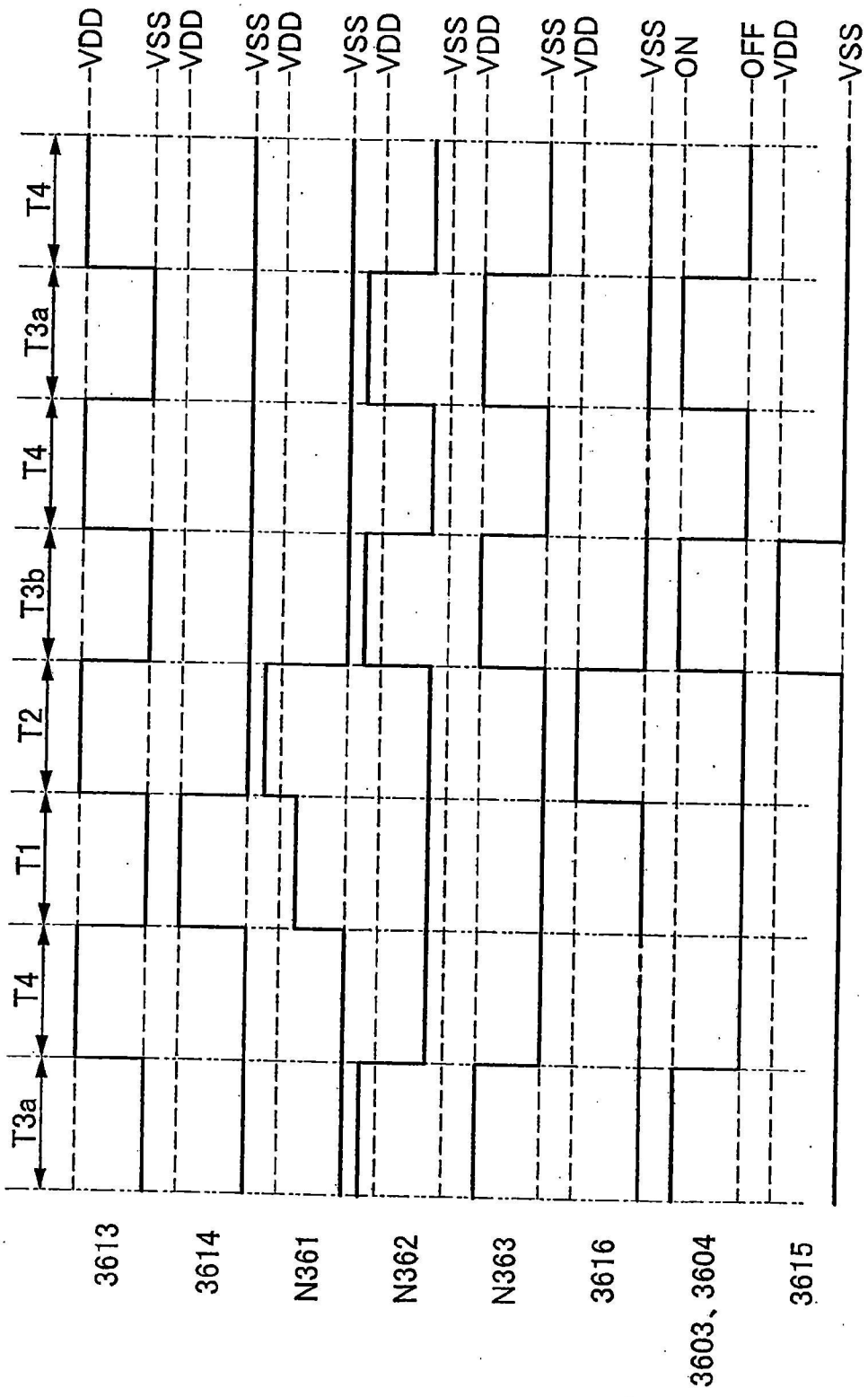

3616
3602
3603
N361
3604
N363
3610
3608
3609
3617
N362
3607
3605
3606
3601
3600
3613
3611
3614
3615
3612

圖36

圖37


T3a
T4
T1
T2
T3b
T4
T3a
T4
VDD
VSS
VDD
VSS
VDD
VSS
VDD
VSS
VDD
VSS
VDD
VSS
ON
OFF
VDD
VSS
3613
3614
N361
N362
N363
3616
3603、3604
3615

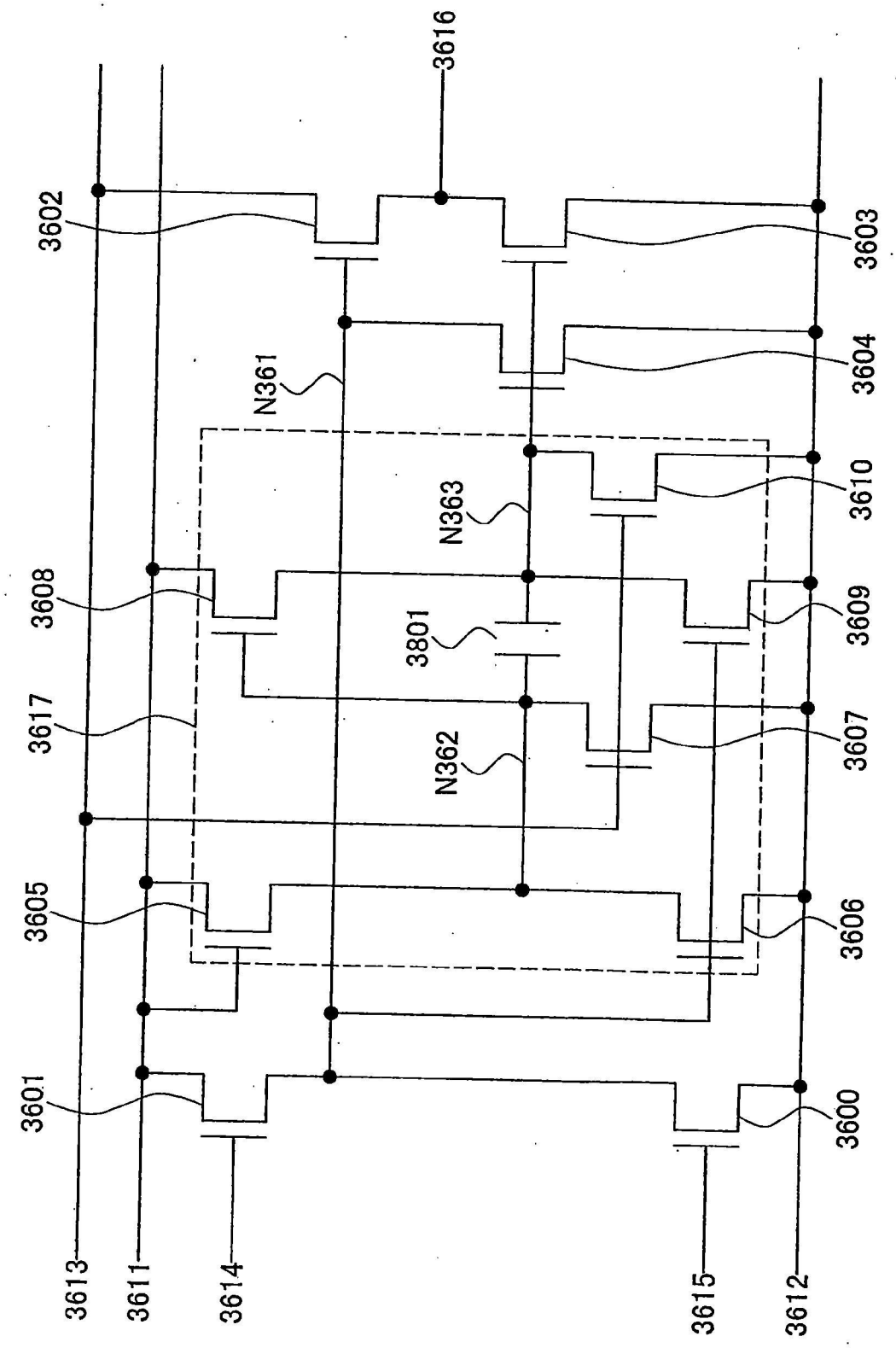

3616
3602
3603
N361
3604
N363
3610
3608
3801
3609
3617
N362
3607
3605
3606
3601
3600
3613
3611
3614
3615
3612

圖38

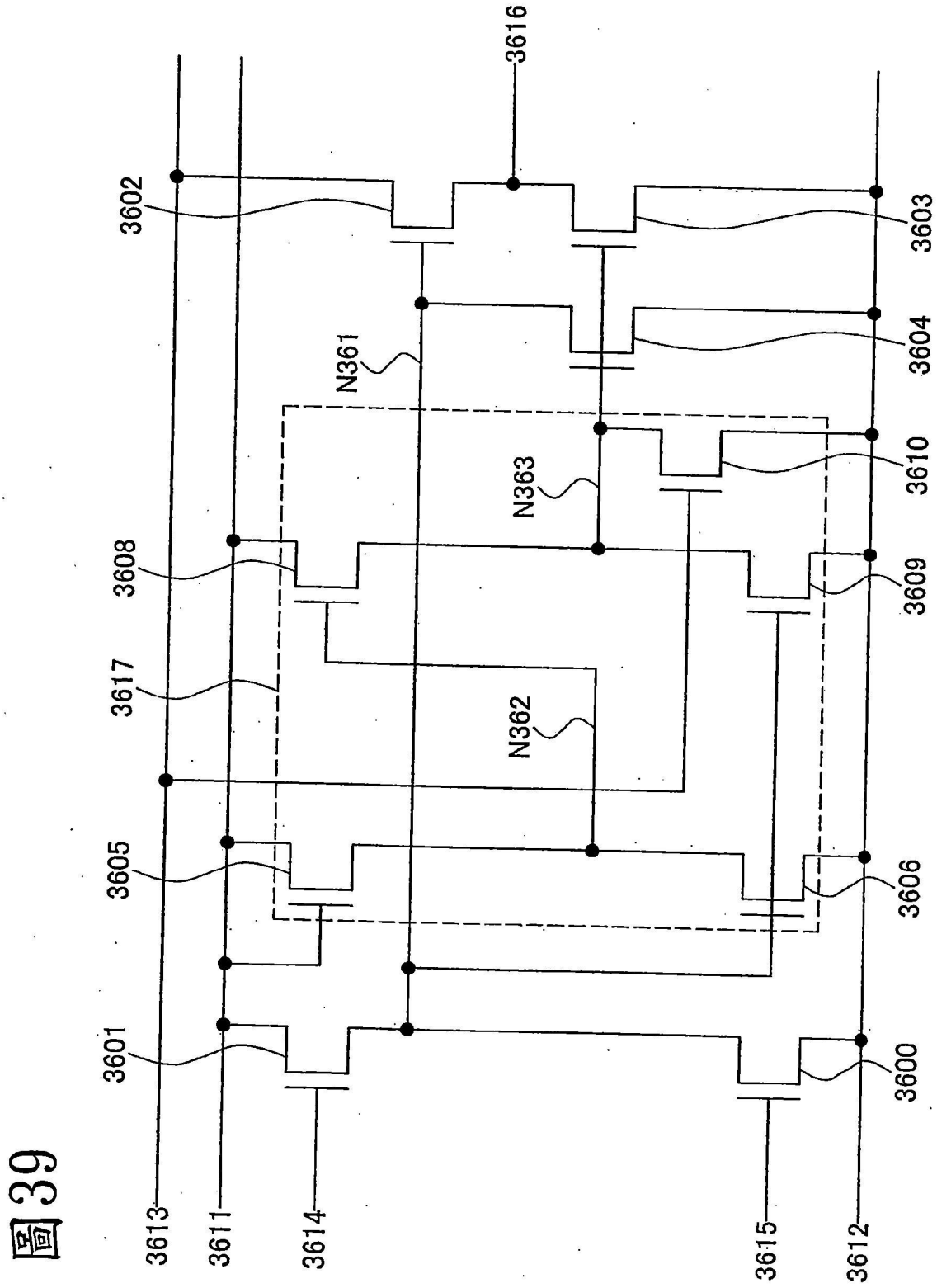

3616
3602
3603
N361
3604
N363
3610
3608
3609
3617
N362
3605
3606
3601
3600
3613
3611
3614
3615
3612

圖39

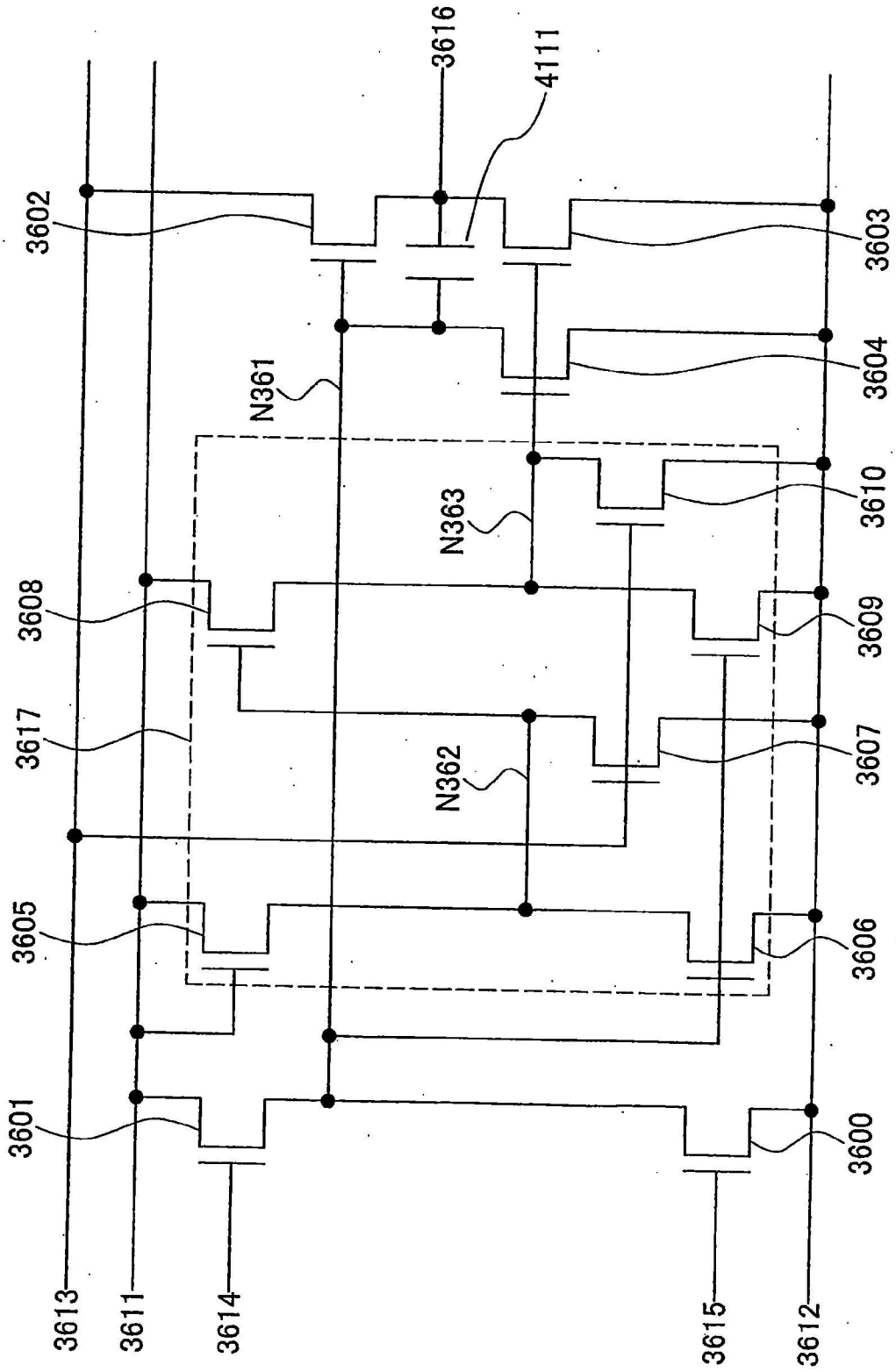

3616
4111
3602
3603
N361
3604
N363
3610
3608
3609
3617
N362
3607
3605
3606
3601
3600
3613
3611
3614
3615
3612

圖40

圖41A

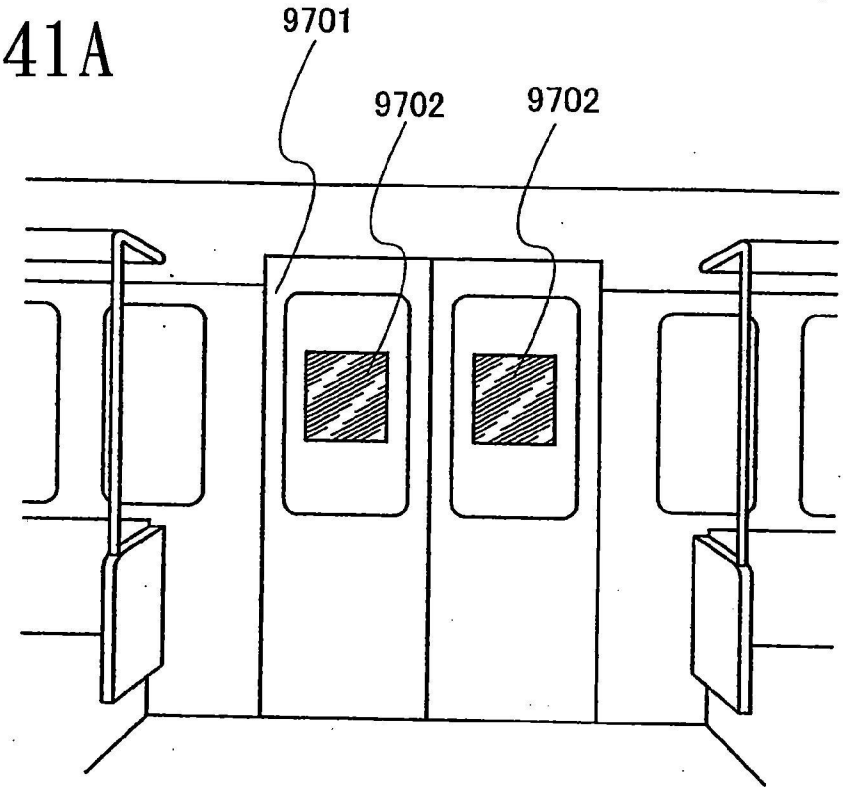


圖41B

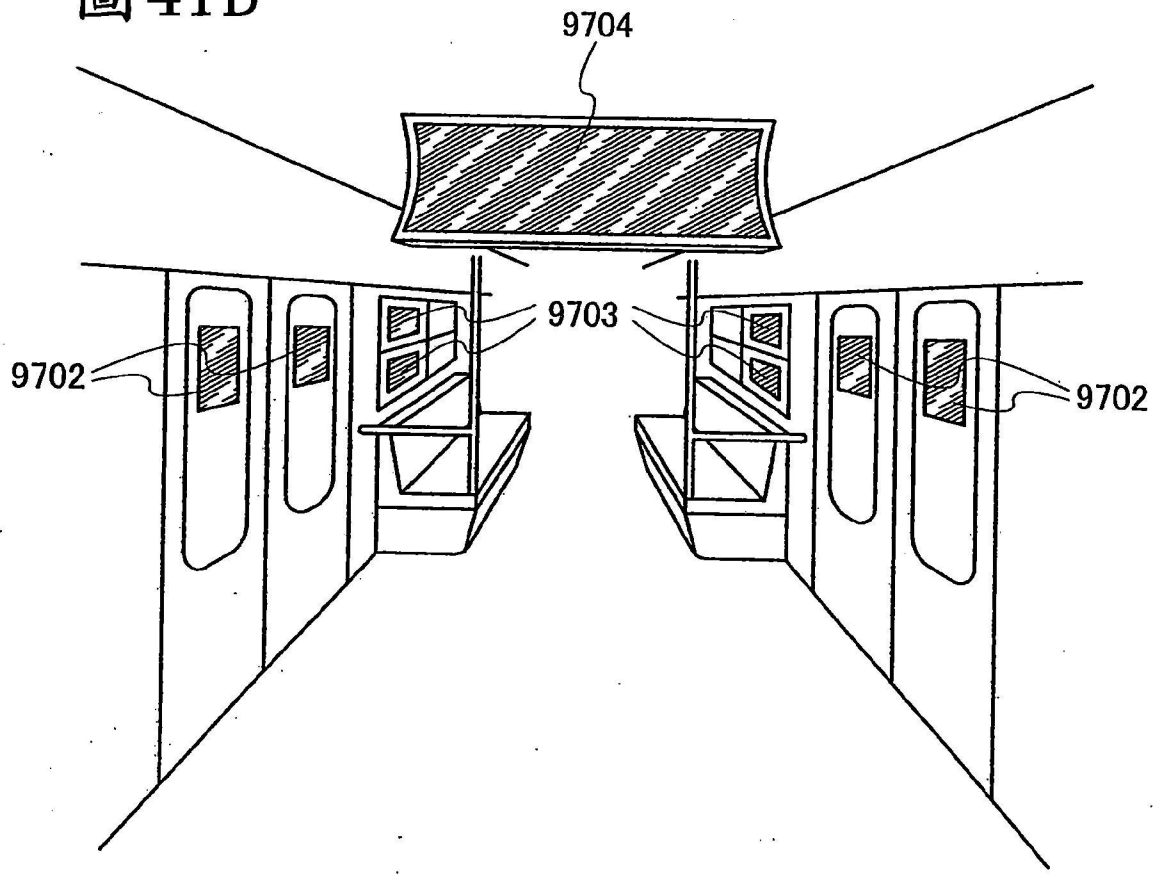


圖42

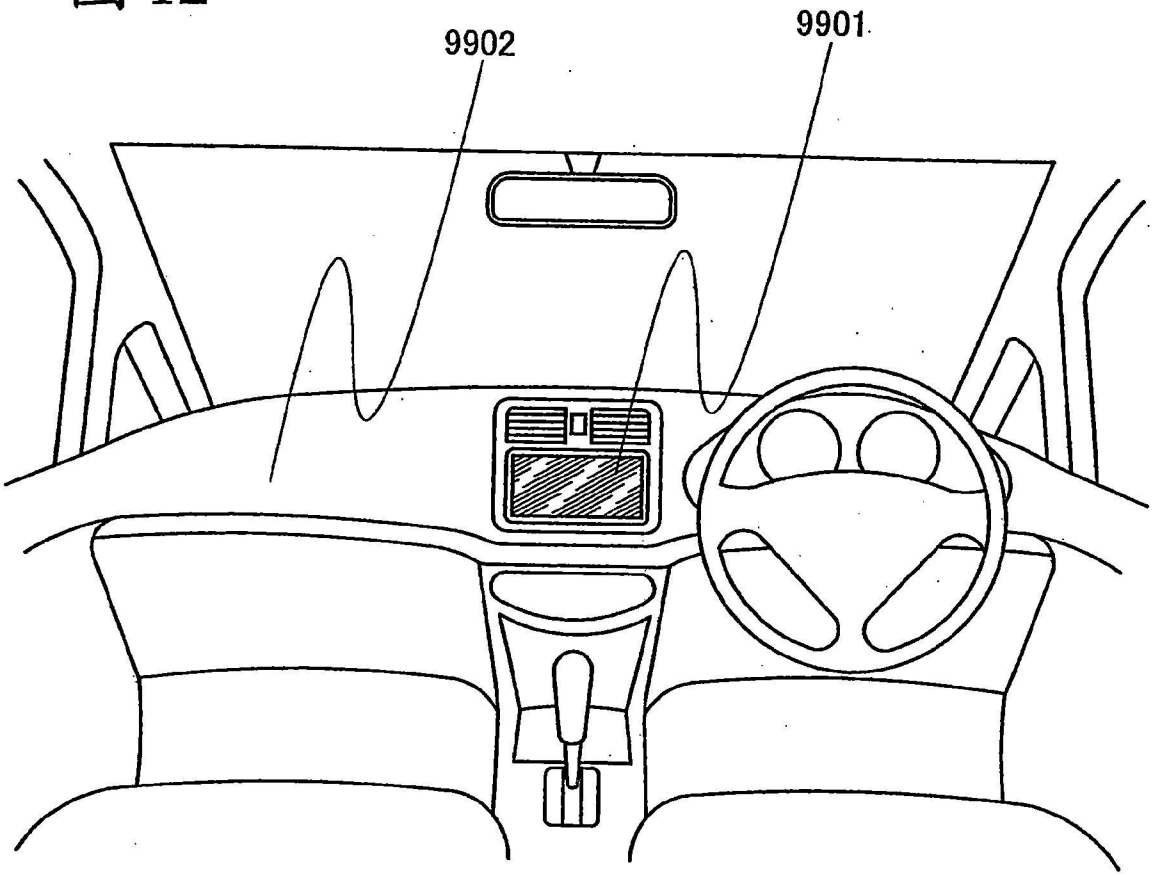


圖43A

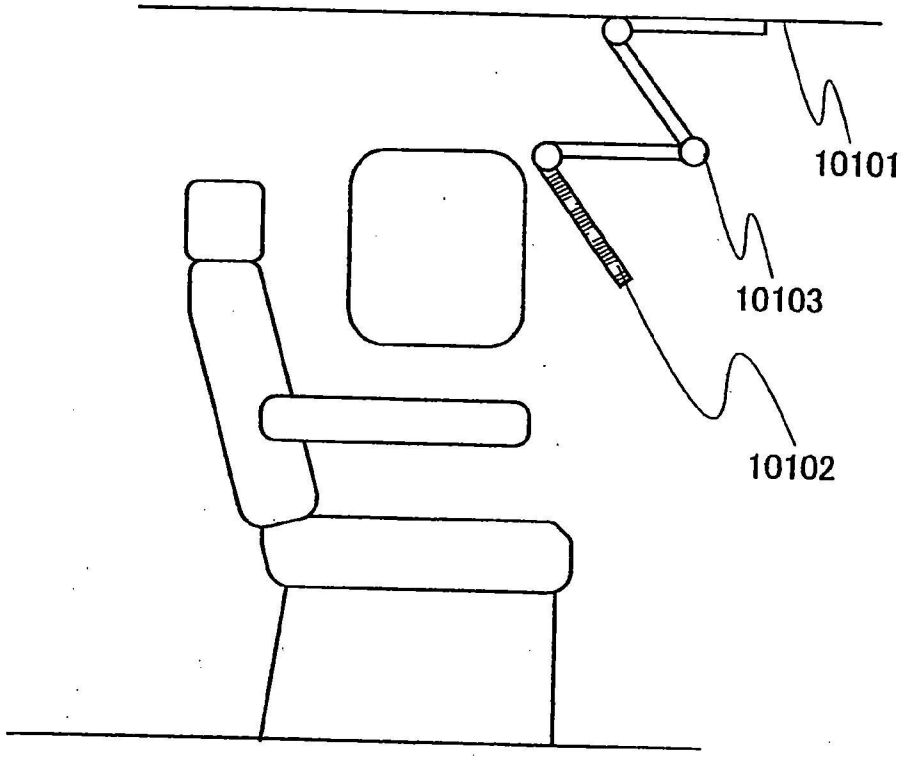
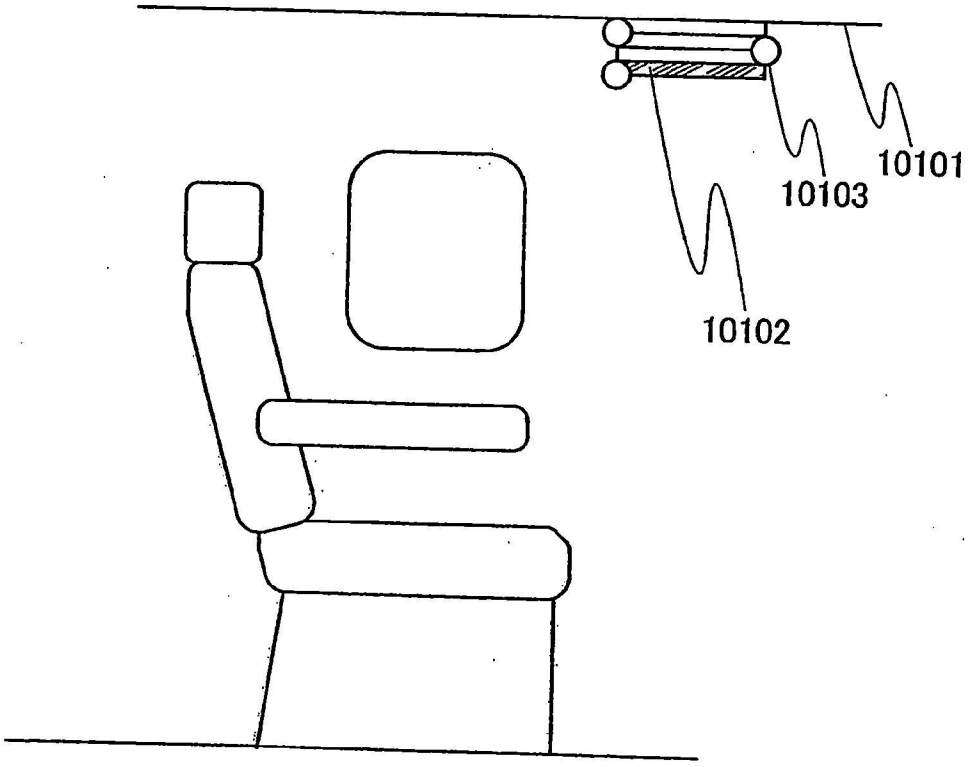


圖43B



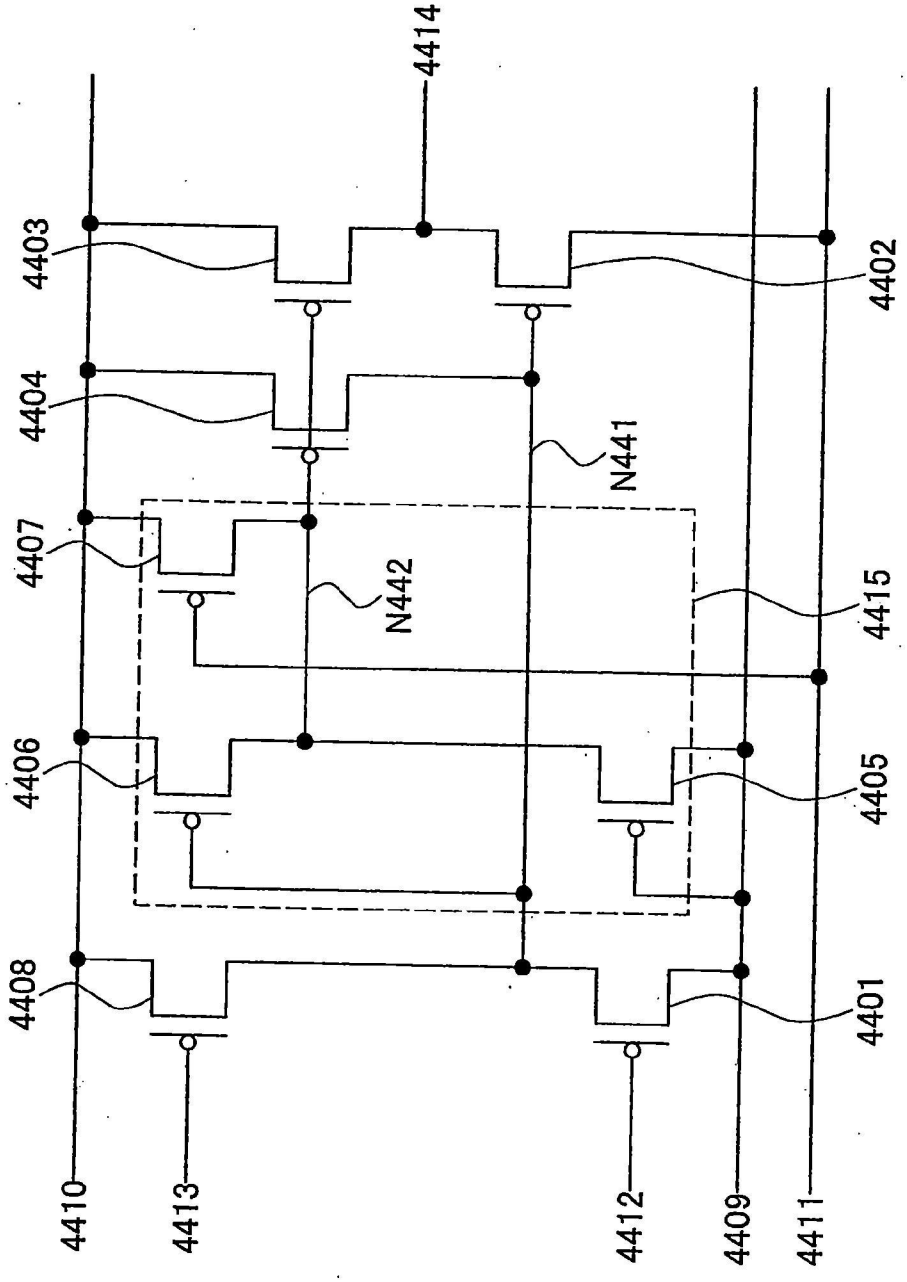

4414
4403
4402
4404
N441
4407
N442
4415
4406
4405
4408
4401
4410
4413
4412
4409
4411

圖44

圖45

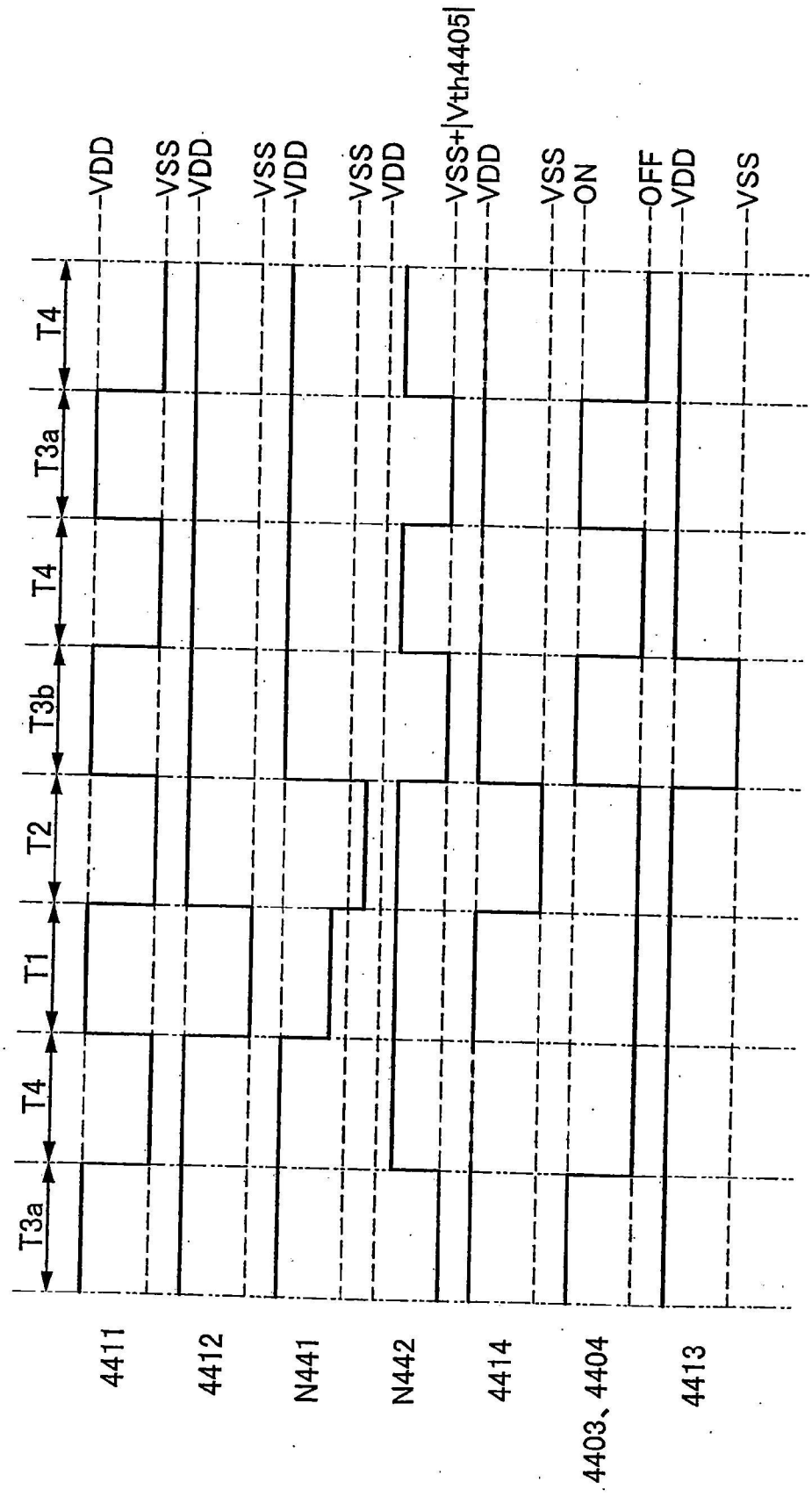
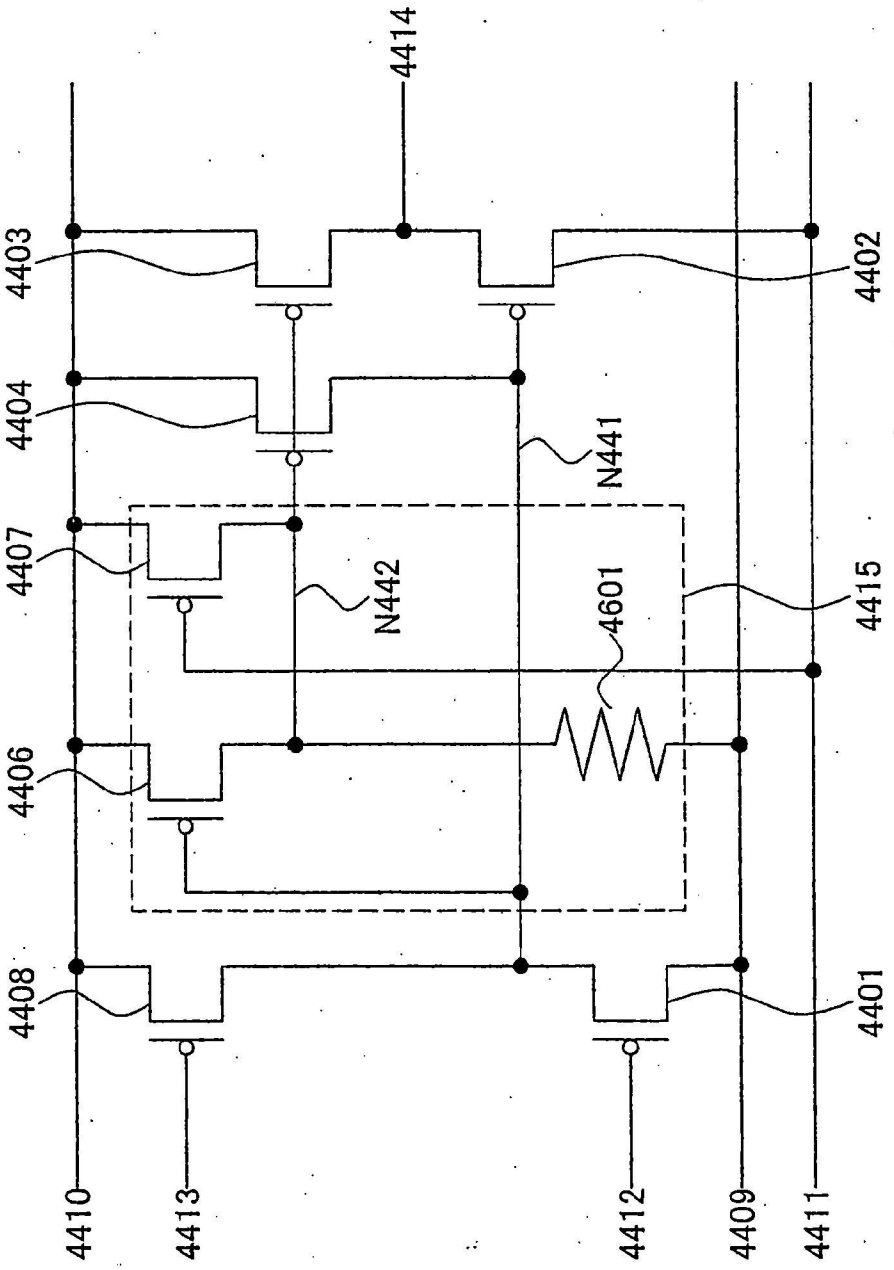

T3a
T4
T1
T2
T3b
T4
T3a
T4
VDD
VSS
VDD
VSS
VDD
VSS
VDD
VSS+|Vth4405|
VDD
VSS
ON
OFF
VDD
VSS
4411
4412
N441
N442
4414
4403、4404
4413

圖46


4414
4403
4402
4404
N441
4407
N442
4601
4415
4406
4408
4401
4410
4413
4412
4409
4411

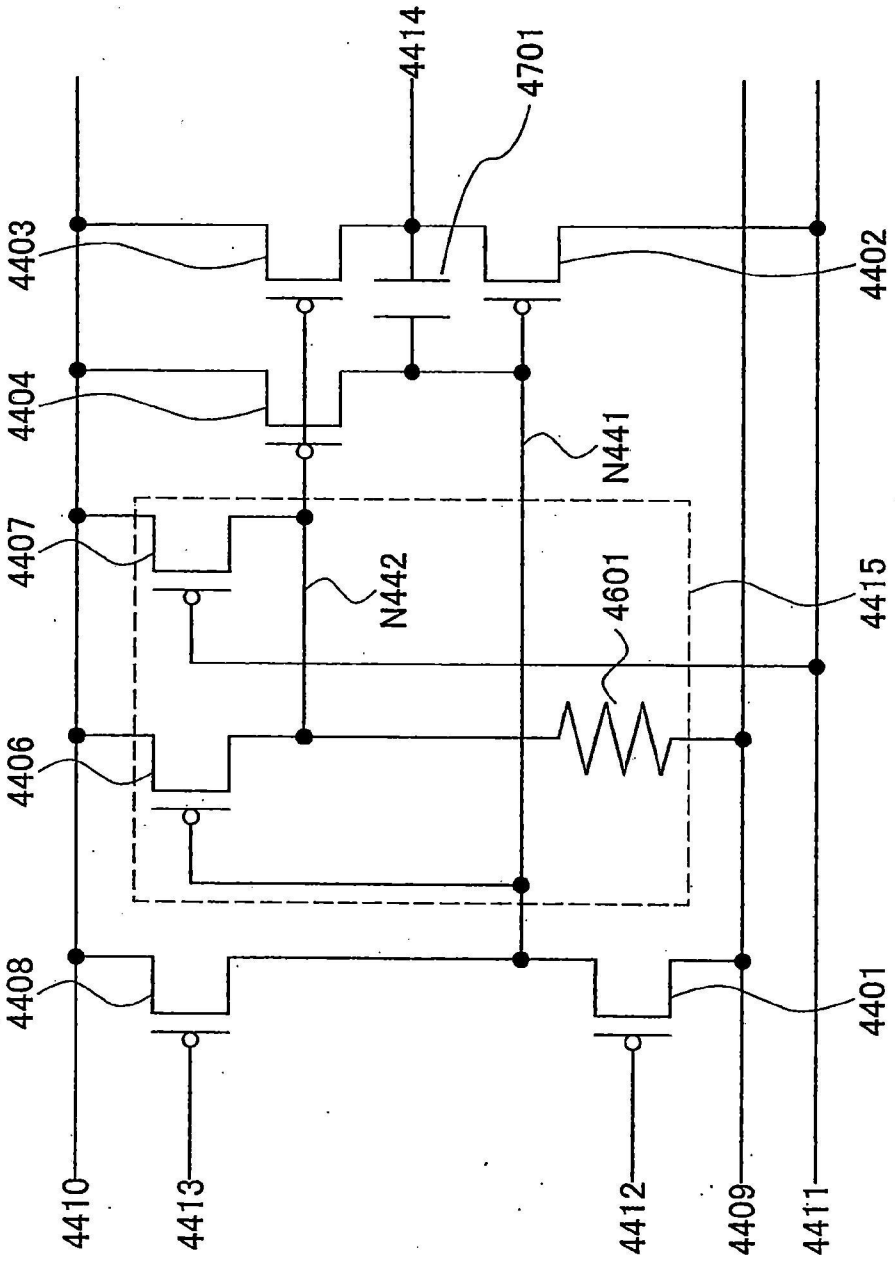

4414
4701
4403
4402
4404
N441
4407
N442
4601
4415
4406
4408
4401
4410
4413
4412
4409
4411

圖47

圖48

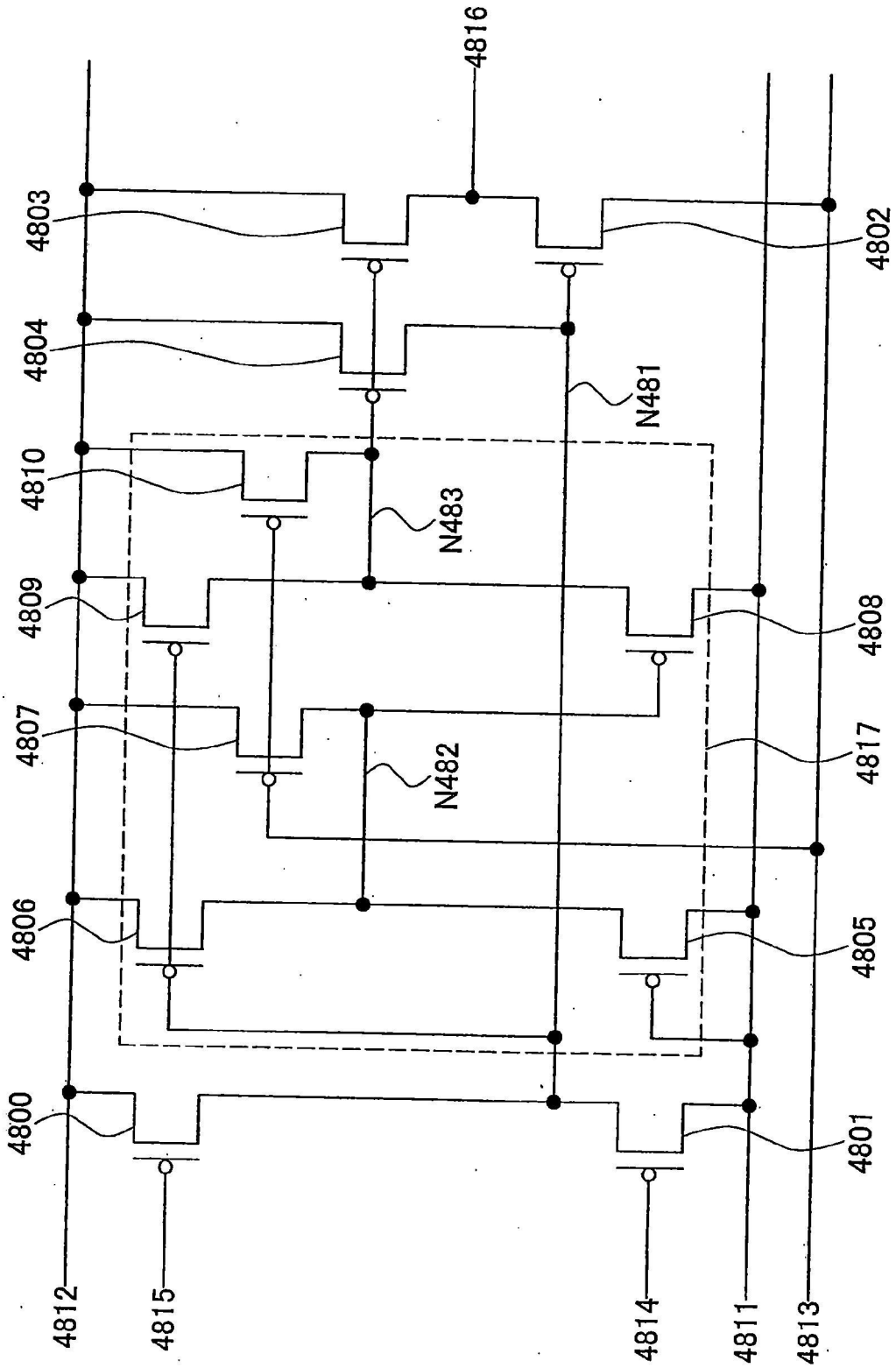
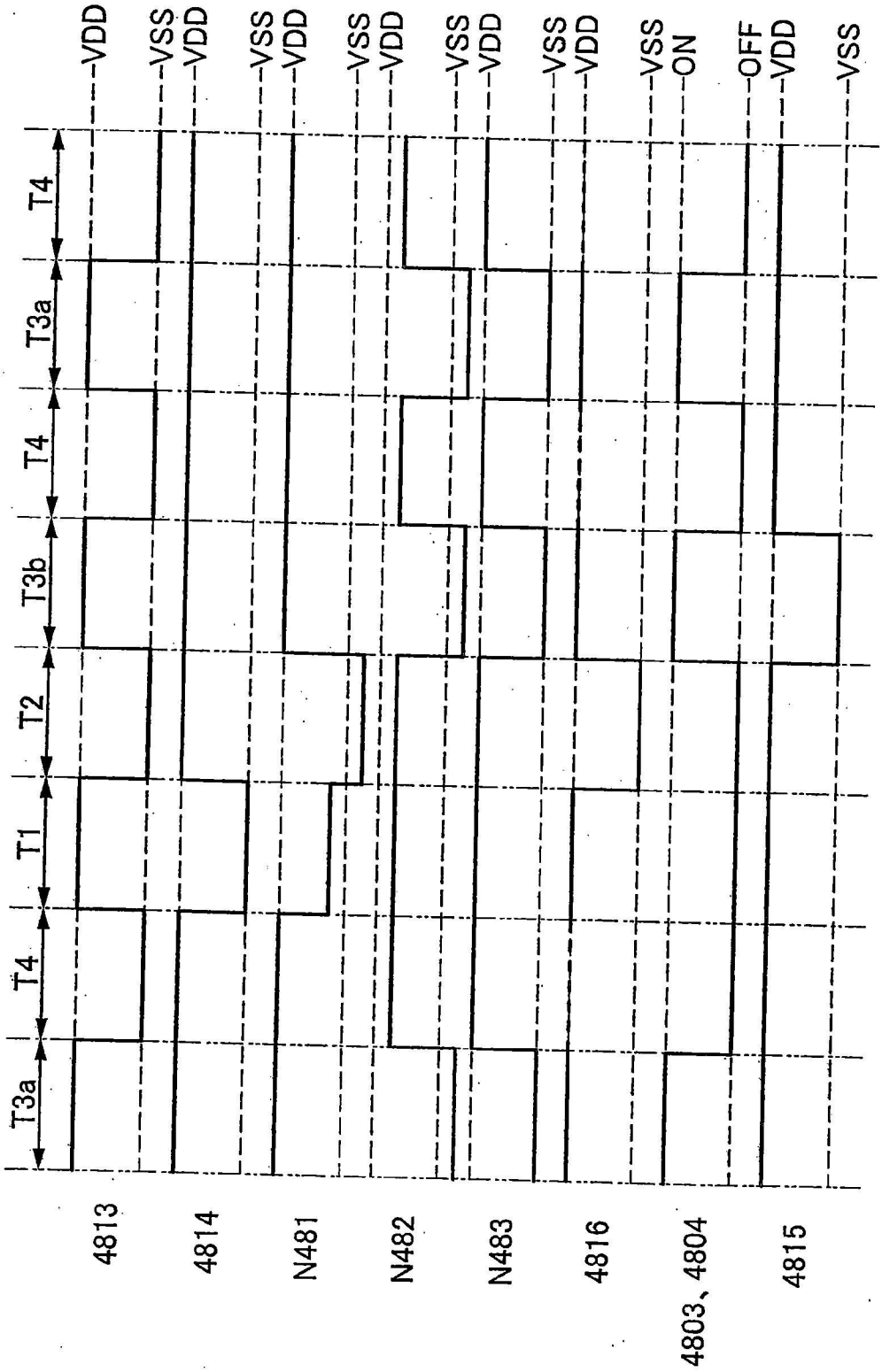

4816
4803
4802
4804
N481
4810
N483
4809
4808
4807
N482
4817
4806
4805
4800
4801
4812
4815
4814
4811
4813

圖 49


T3a
T4
T1
T2
T3b
T4
T3a
T4
4813
4814
N481
N482
N483
4816
4803、4804
4815
VDD
VSS
VDD
VSS
VDD
VSS
VDD
VSS
VDD
VSS
VDD
VSS
ON
OFF
VDD
VSS

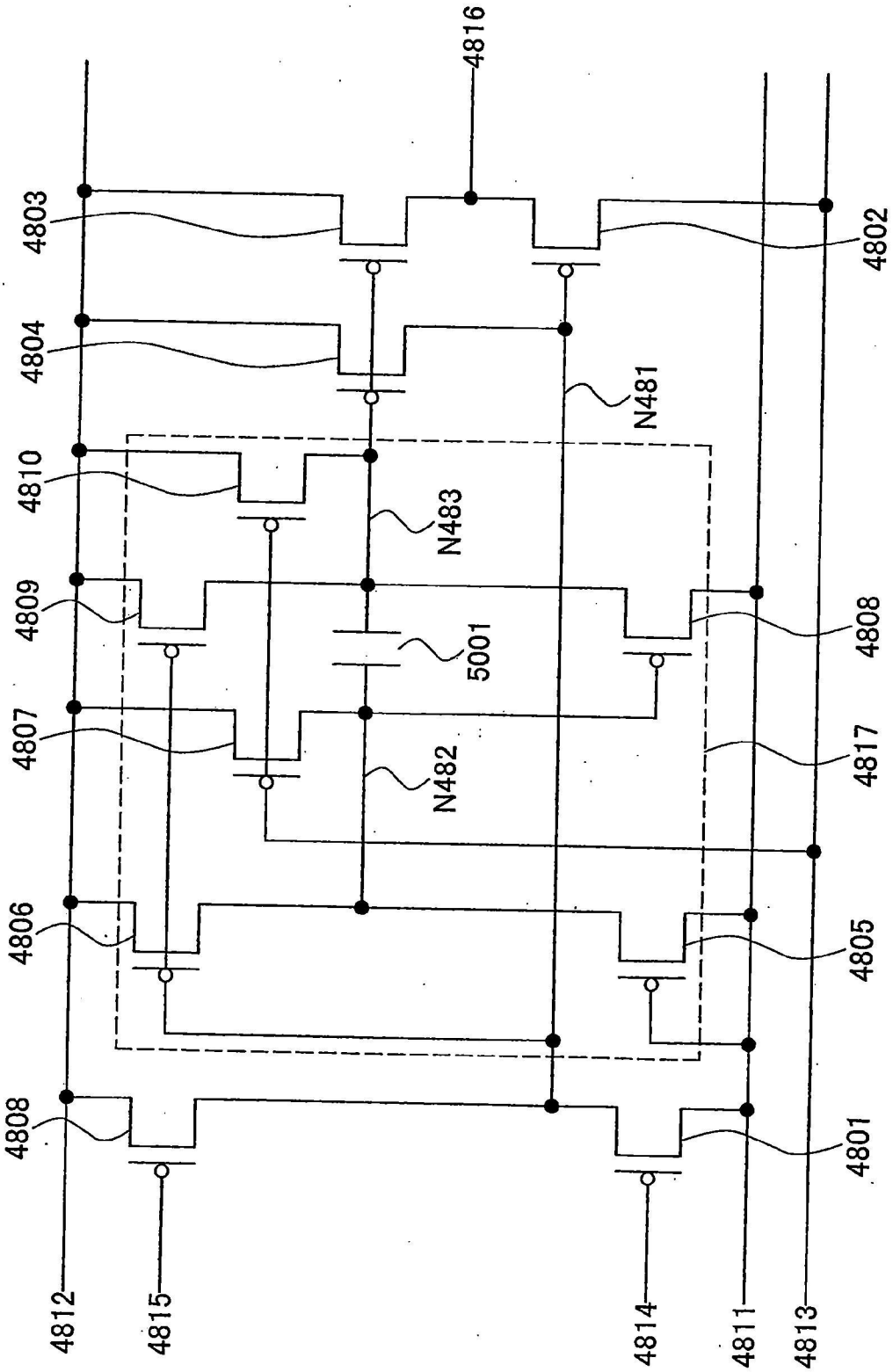

4816
4803
4802
4804
N481
4810
N483
4809
5001
4808
4807
N482
4817
4806
4805
4808
4801
4812
4815
4814
4811
4813

圖50

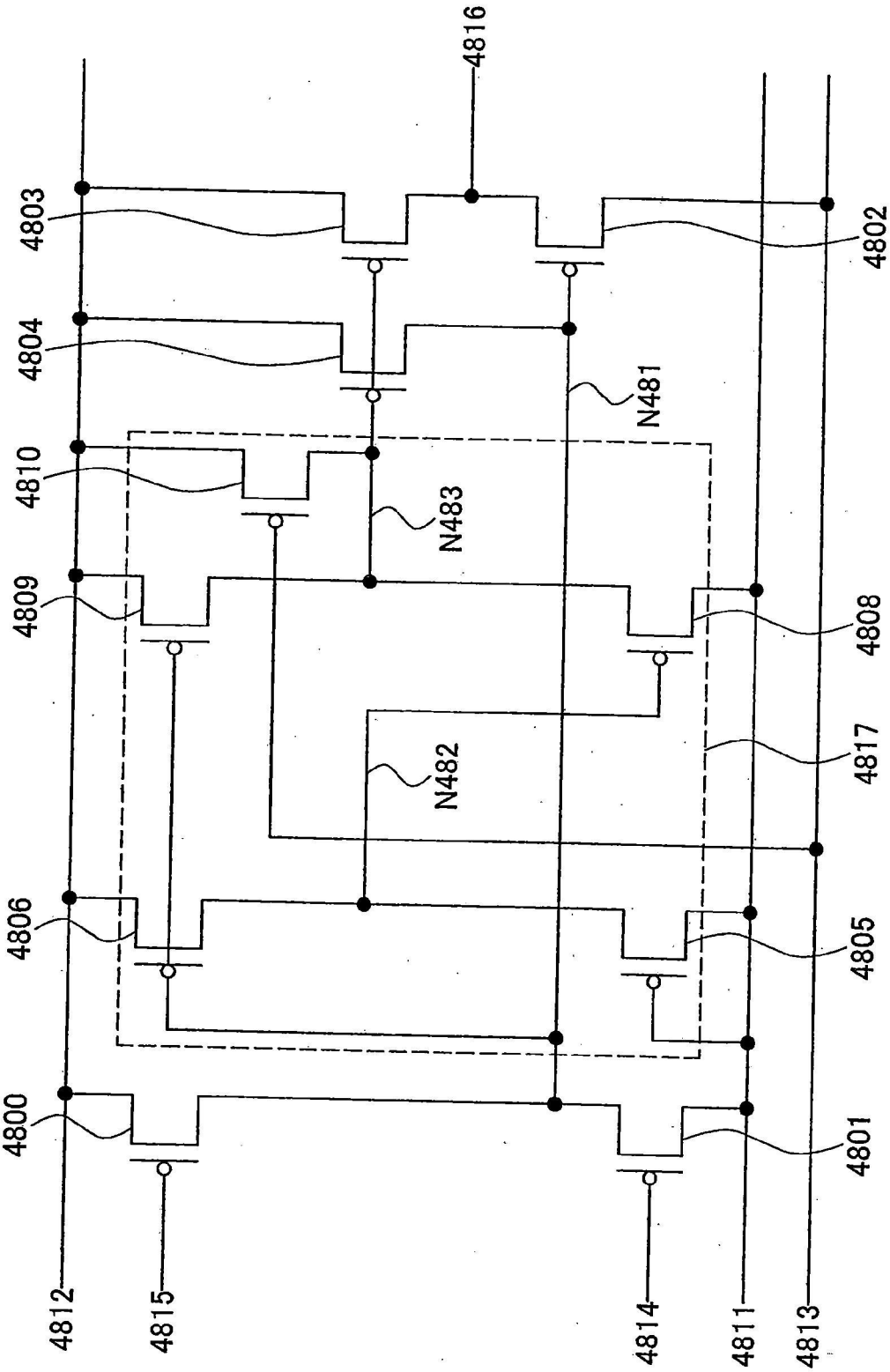

4816
4803
4802
4804
N481
4810
N483
4809
4808
N482
4817
4806
4805
4800
4801
4812
4815
4814
4811
4813

圖51

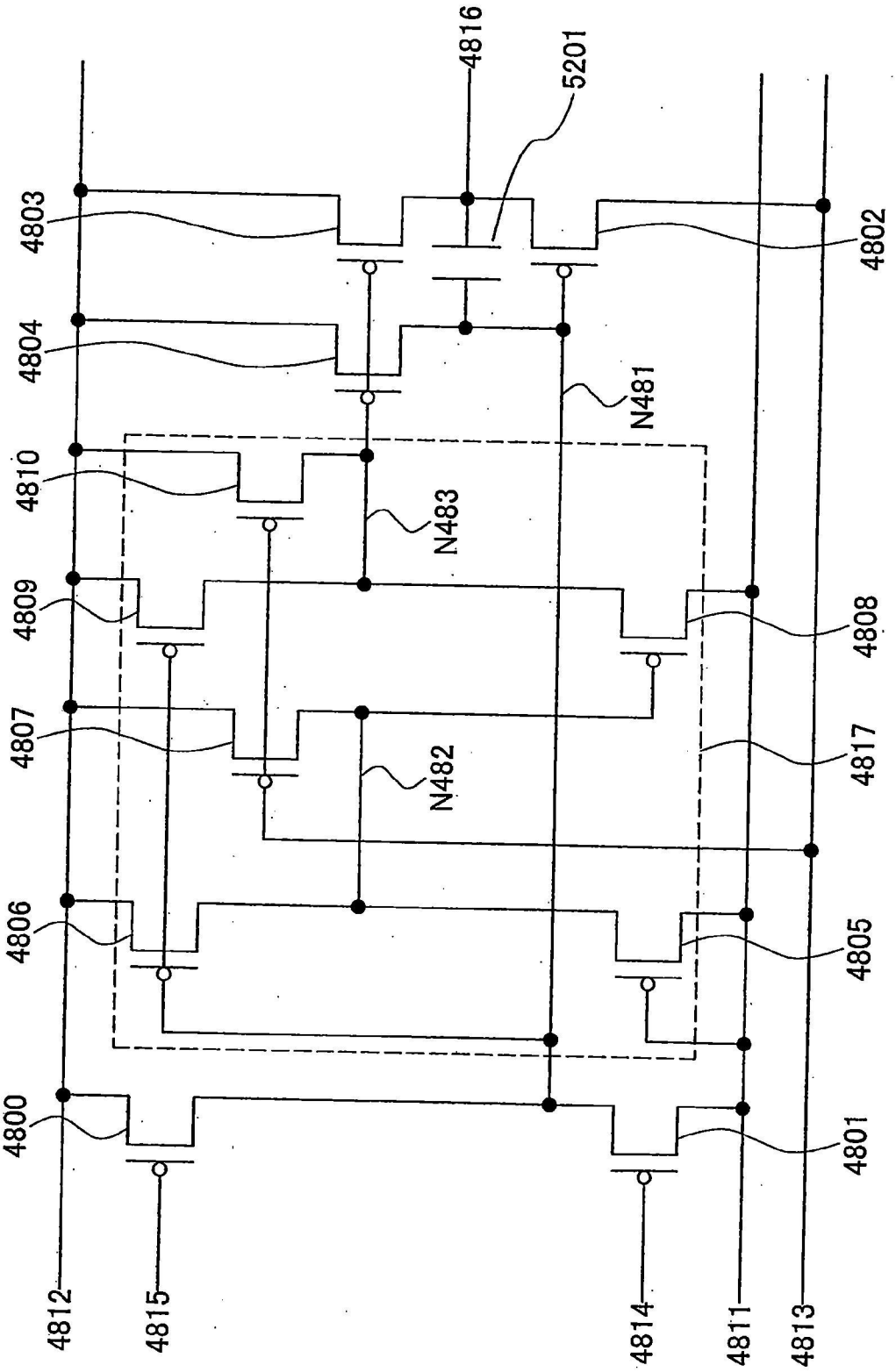

4816
5201
4803
4802
4804
N481
4810
N483
4809
4808
4807
N482
4817
4806
4805
4800
4801
4812
4815
4814
4811
4813

圖52

圖53

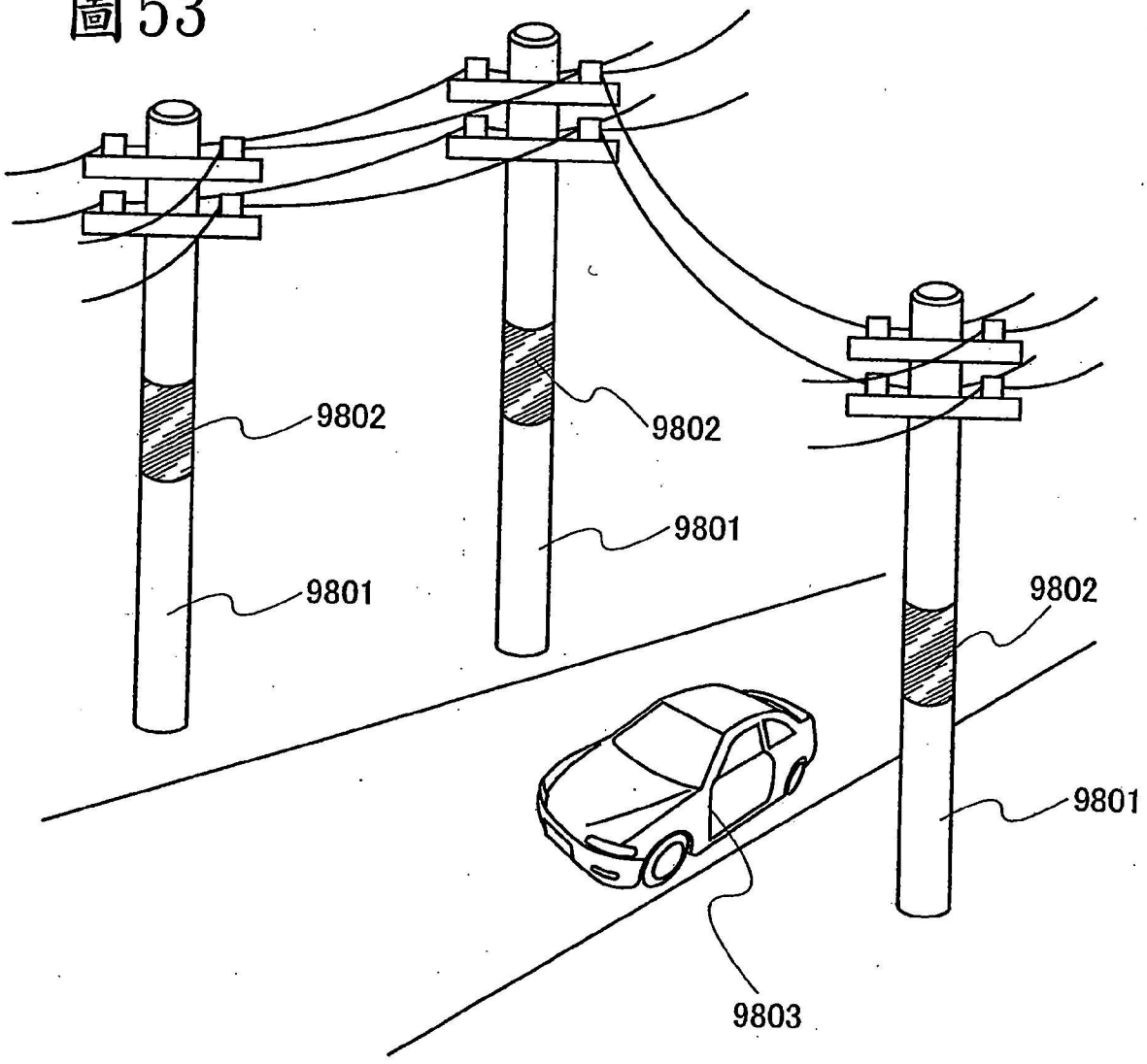


圖54

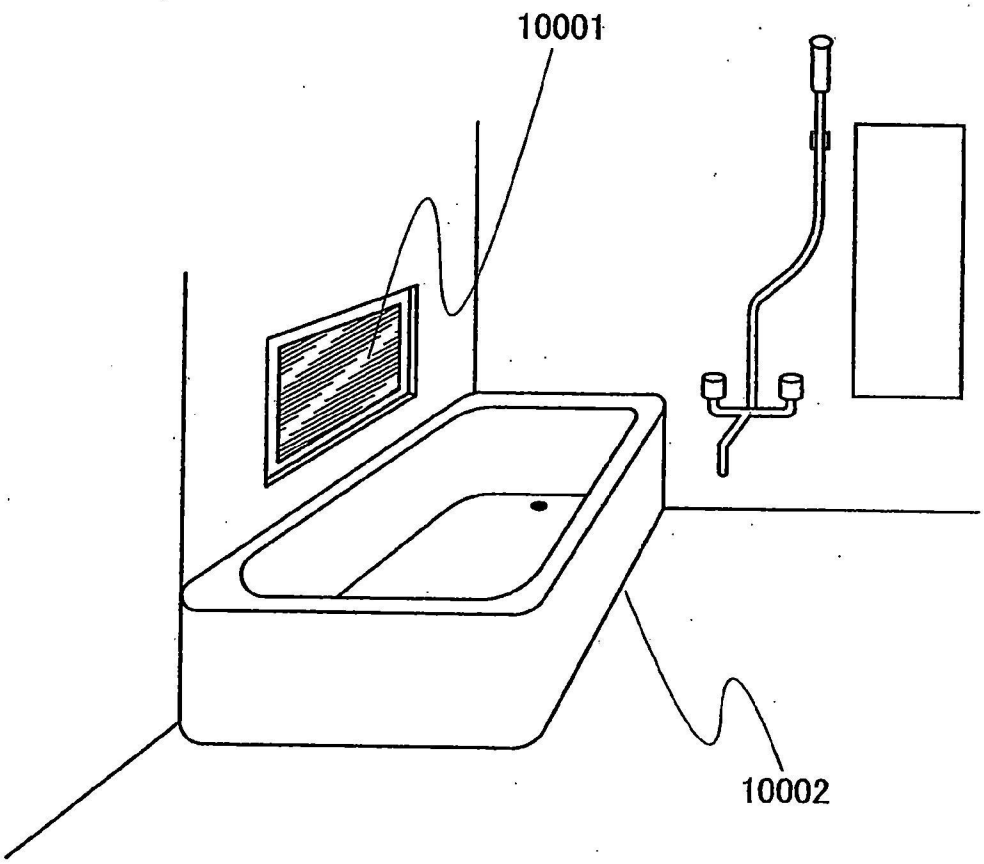
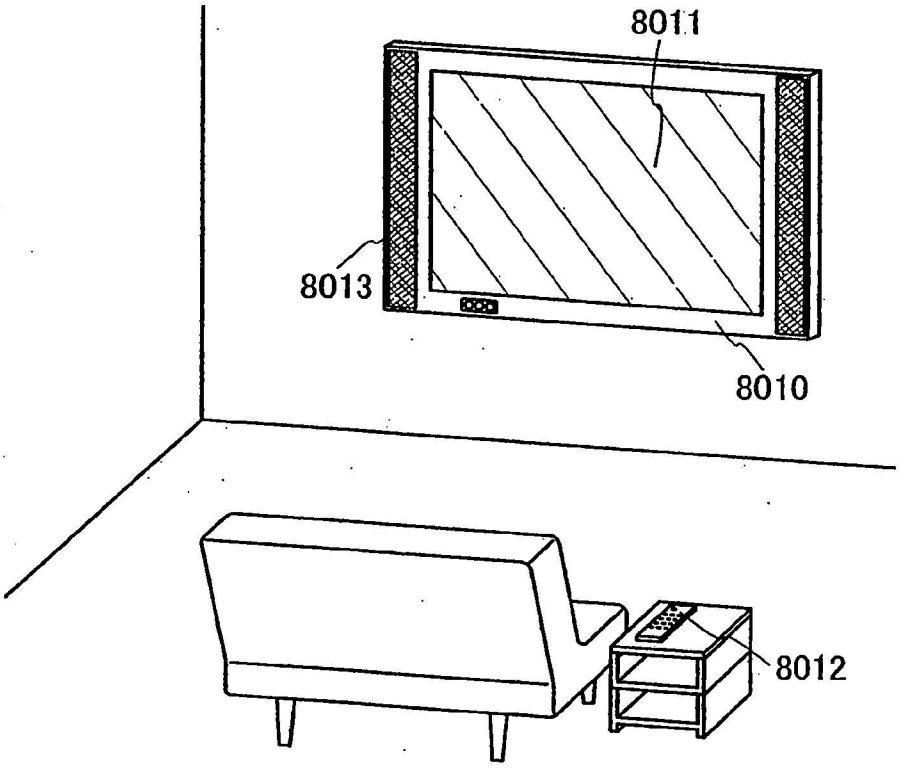


圖55



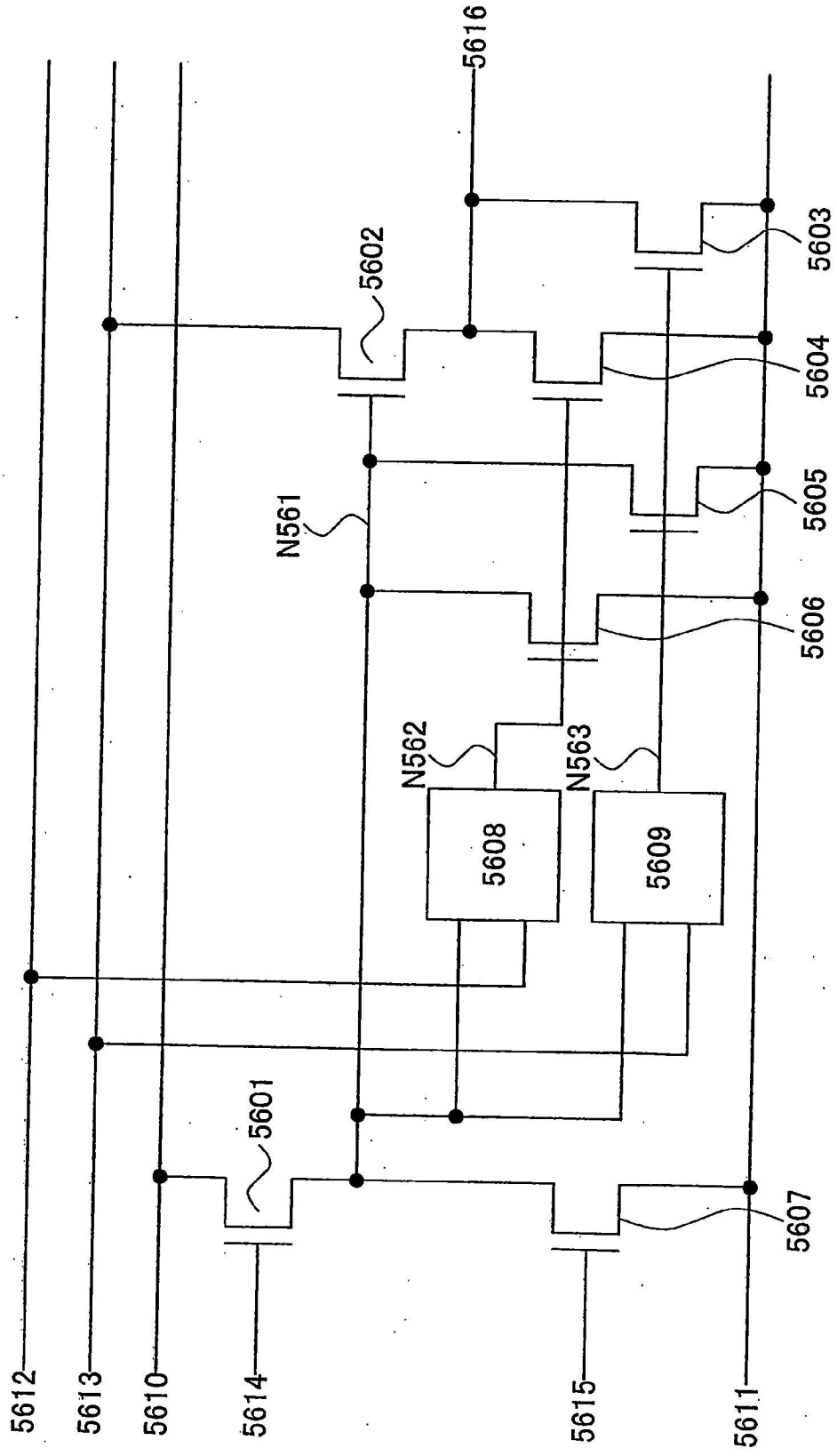
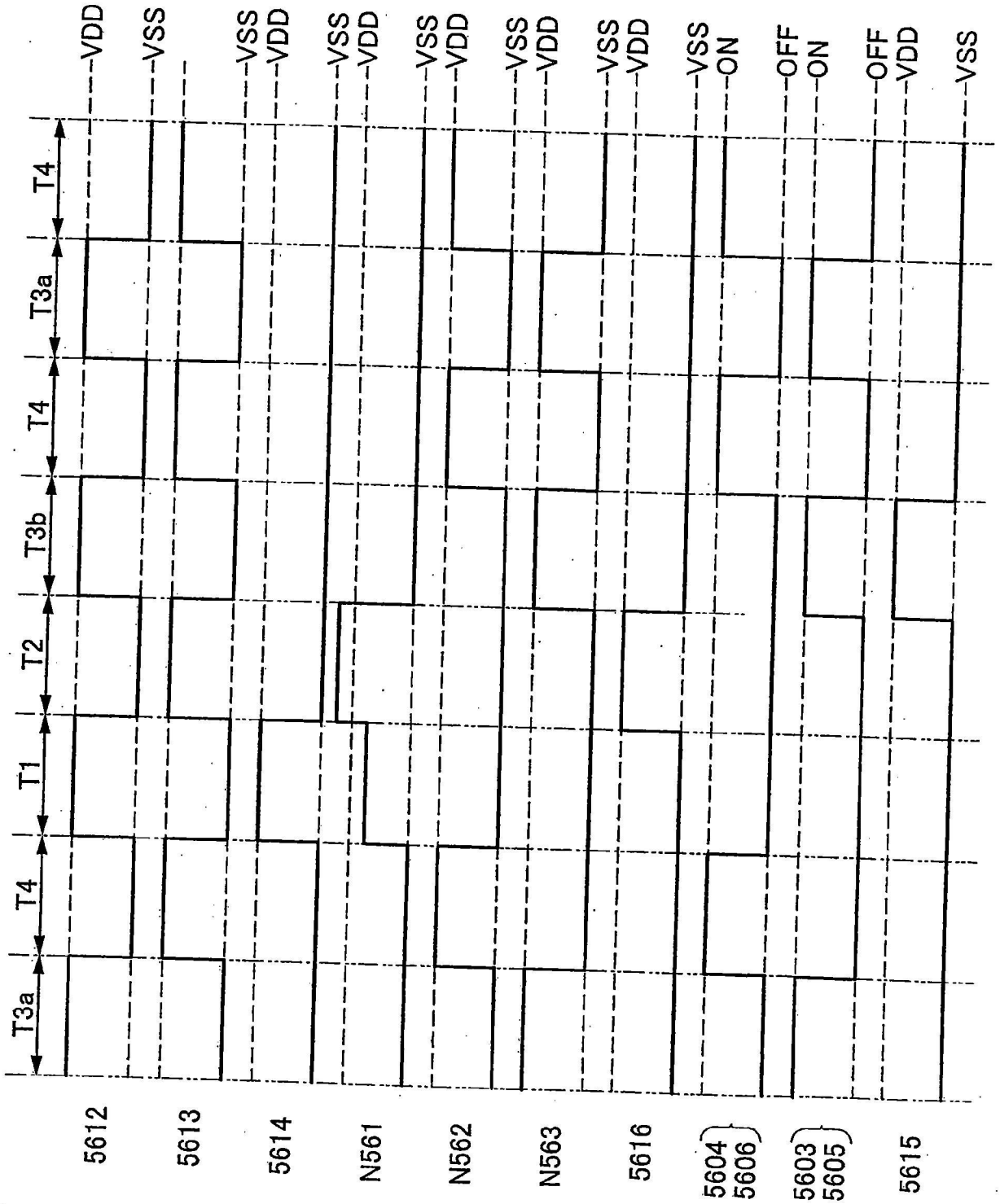

5616
5602
5603
5604
N561
5605
5606
N562
N563
5608
5609
5601
5607
5612
5613
5610
5614
5615
5611

圖56

圖57


T3a
T4
T1
T2
T3b
T4
T3a
T4
VDD
VSS
VSS
VDD
VSS
VDD
VSS
VDD
VSS
VDD
VSS
VDD
VSS
ON
OFF
ON
OFF
VDD
VSS
5612
5613
5614
N561
N562
N563
5616
5604
5606
5603
5605
5615

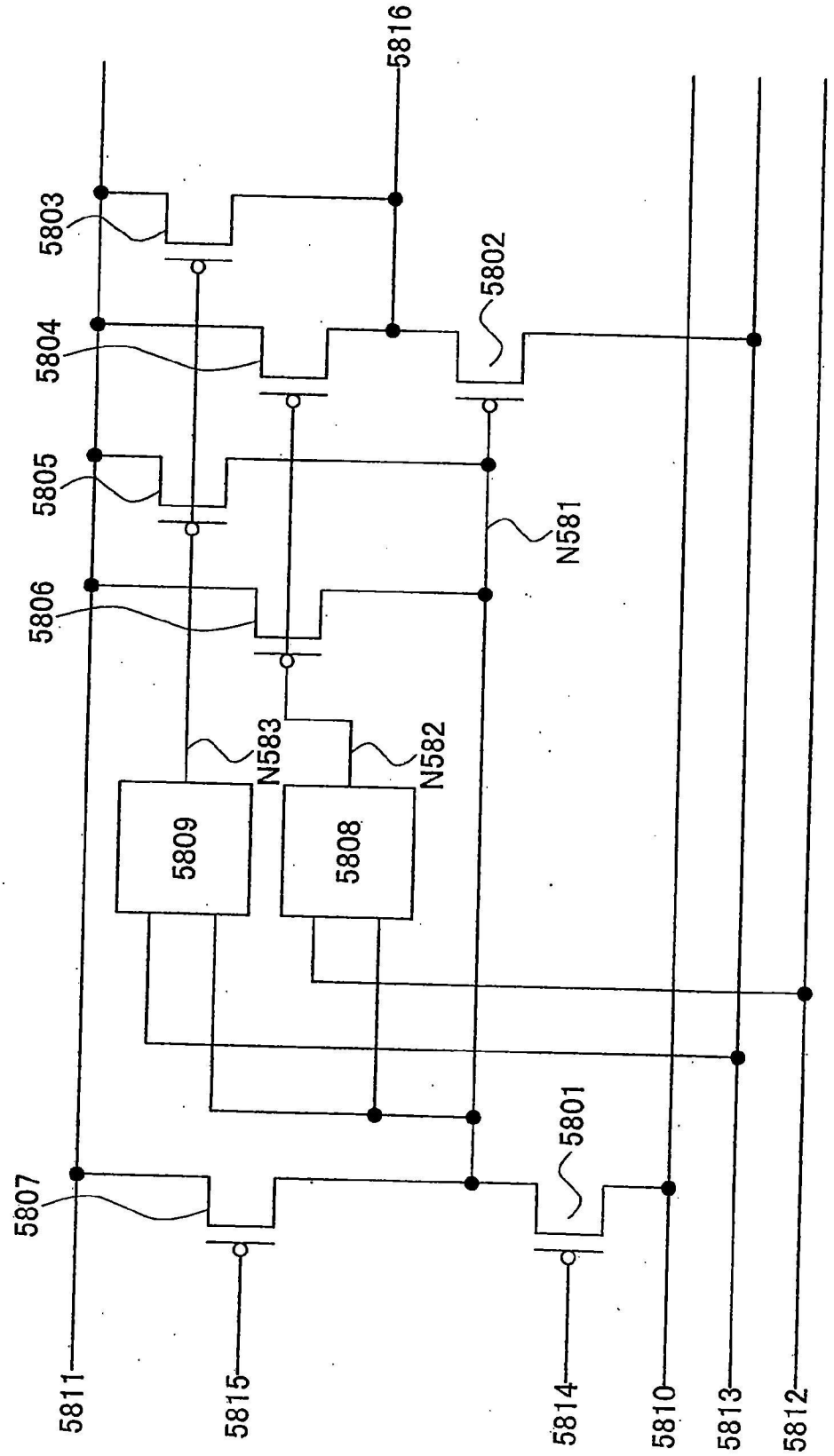

5816
5803
5802
5804
5805
N581
5806
N583
N582
5809
5808
5801
5807
5811
5815
5814
5810
5813
5812

圖58

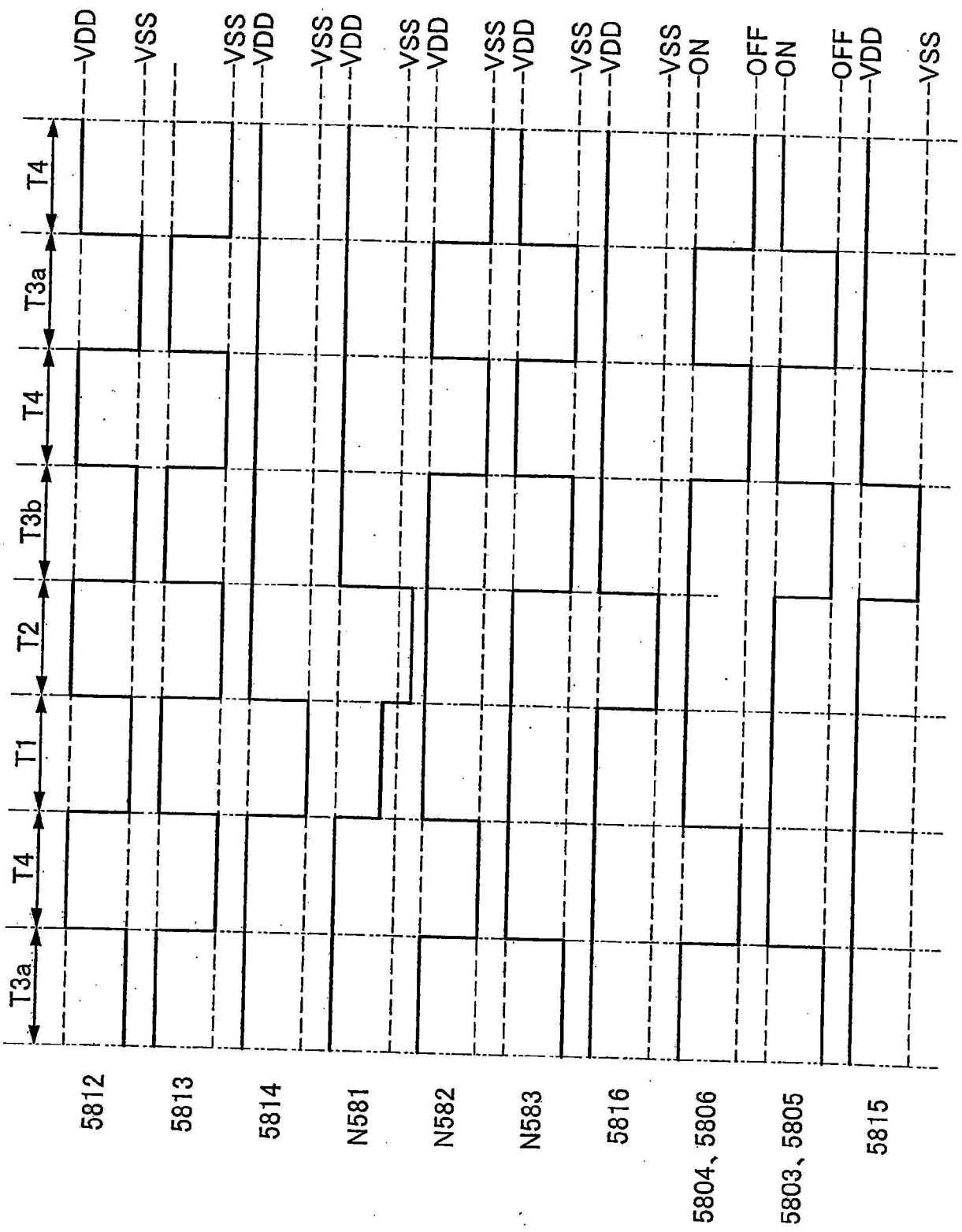

T3a
T4
T1
T2
T3b
T4
T3a
T4
5812
5813
5814
N581
N582
N583
5816
5804、5806
5803、5805
5815
VDD
VSS
VSS
VDD
VSS
VDD
VSS
VDD
VSS
VDD
VSS
VDD
VSS
ON
OFF
ON
OFF
VDD
VSS

圖59

圖60

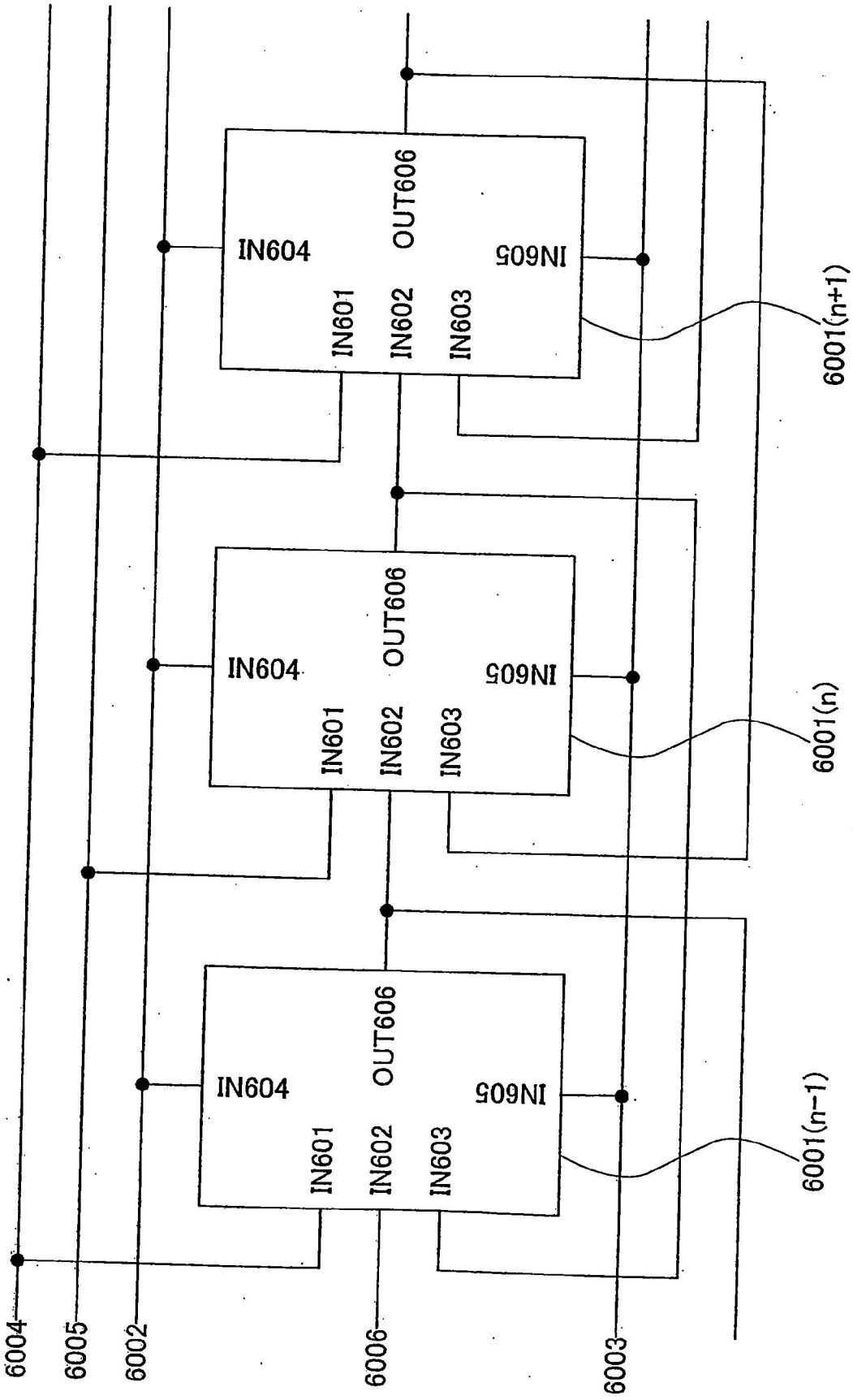

IN604
OUT606
IN605
IN601
IN602
IN603
6001(n+1)
6001(n)
6001(n-1)
6004
6005
6002
6006
6003

圖61

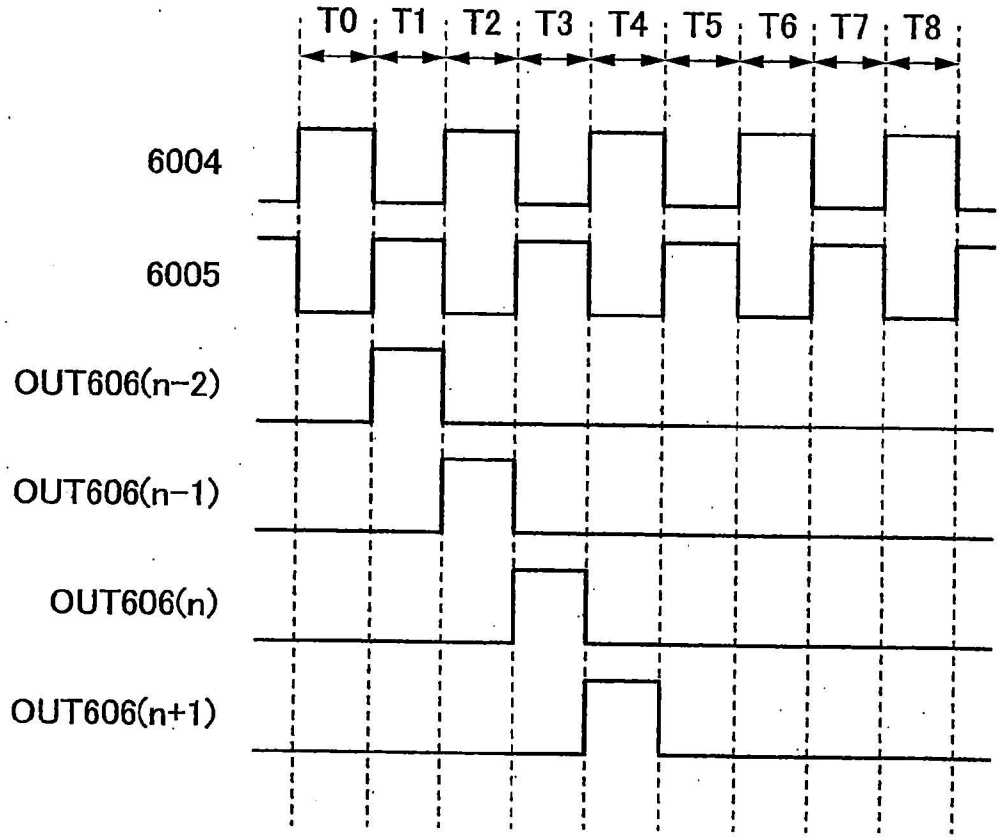
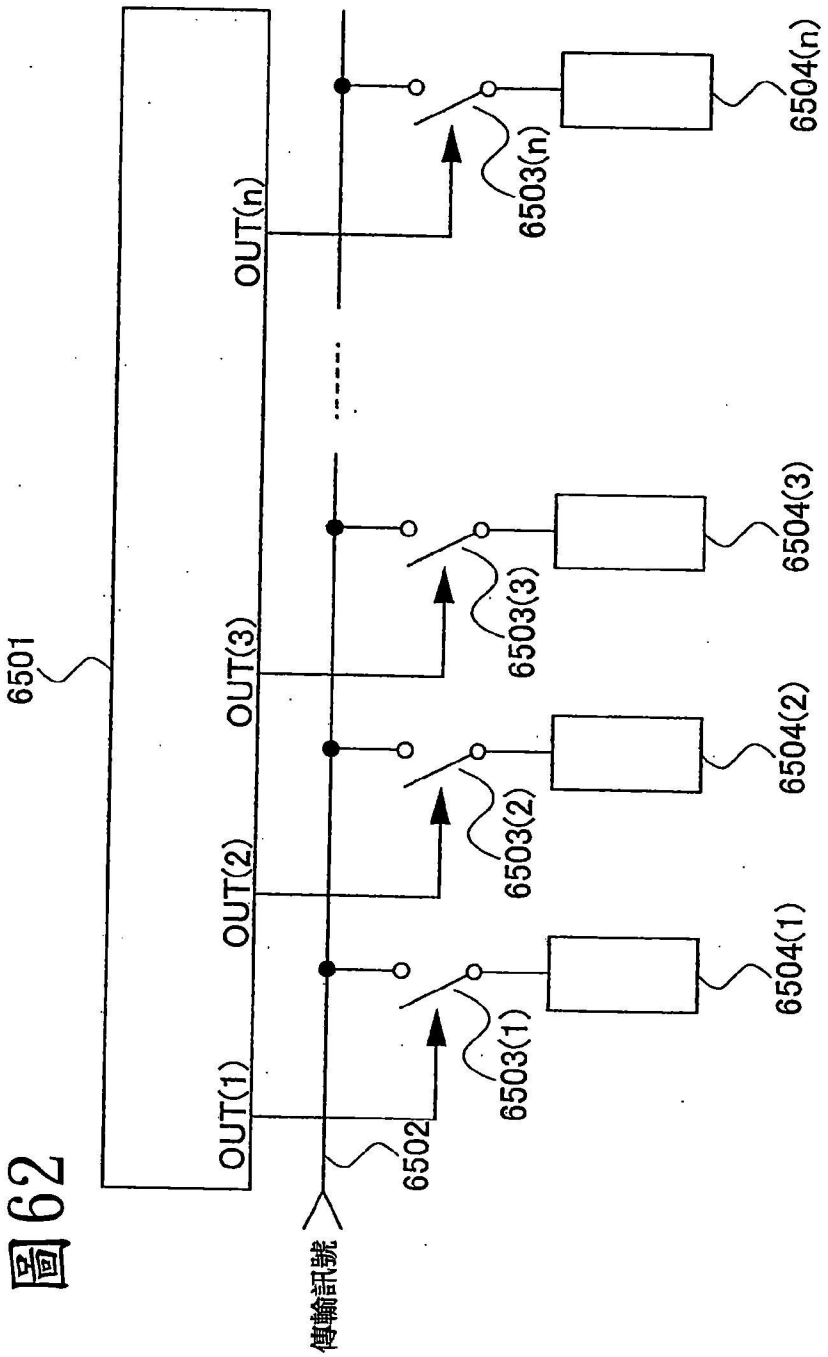

T0
T1
T2
T3
T4
T5
T6
T7
T8
6004
6005
OUT606(n-2)
OUT606(n-1)
OUT606(n)
OUT606(n+1)

圖62


6501
OUT(1)
OUT(2)
OUT(3)
OUT(n)
6502
傳輸訊號
6503(1)
6503(2)
6503(3)
6503(n)
6504(1)
6504(2)
6504(3)
6504(n)

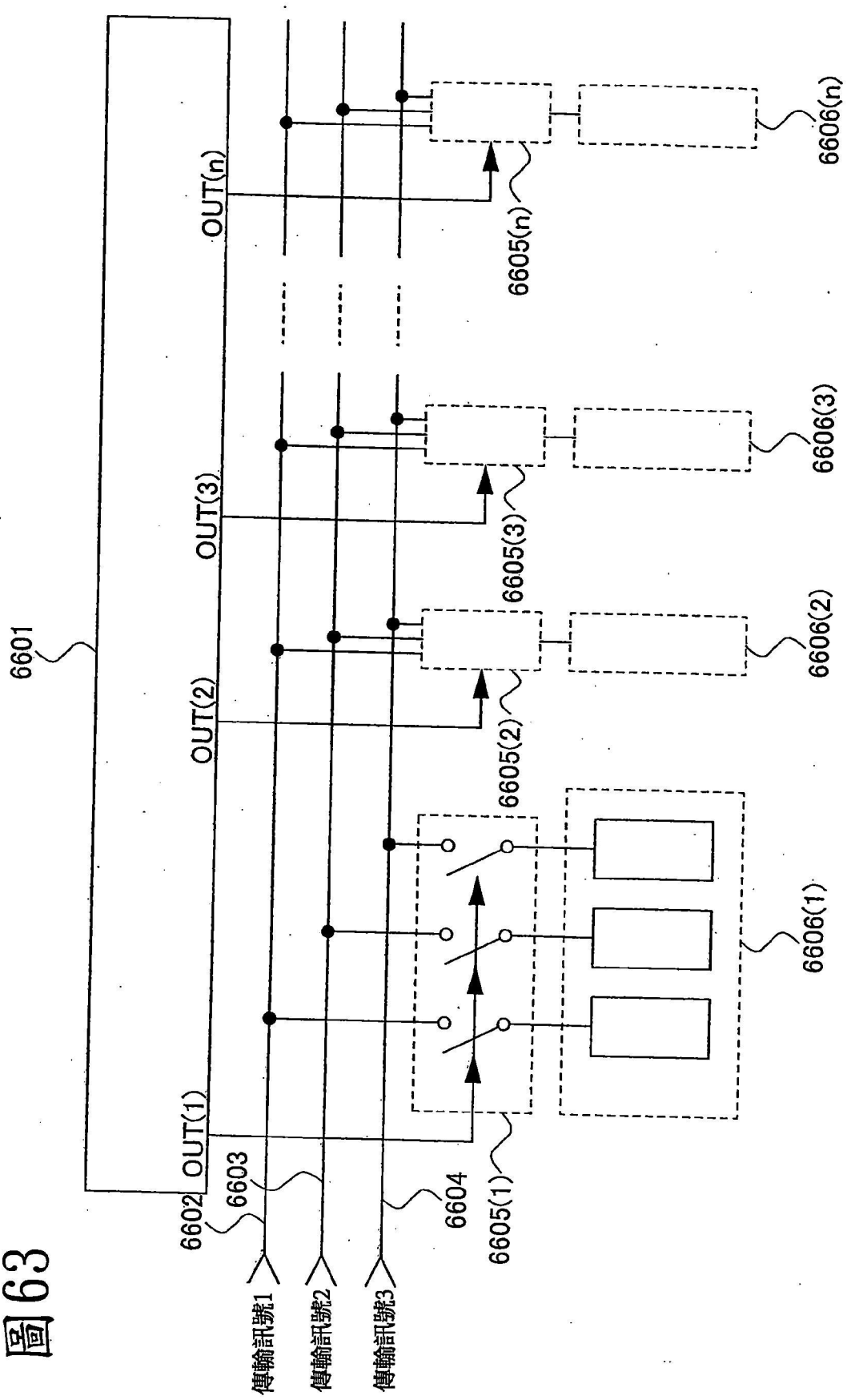

6601
OUT(n)
OUT(3)
OUT(2)
OUT(1)
6602
6603
6604
6605(n)
6605(3)
6605(2)
6605(1)
6606(n)
6606(3)
6606(2)
6606(1)
傳輸訊號1
傳輸訊號2
傳輸訊號3

圖63

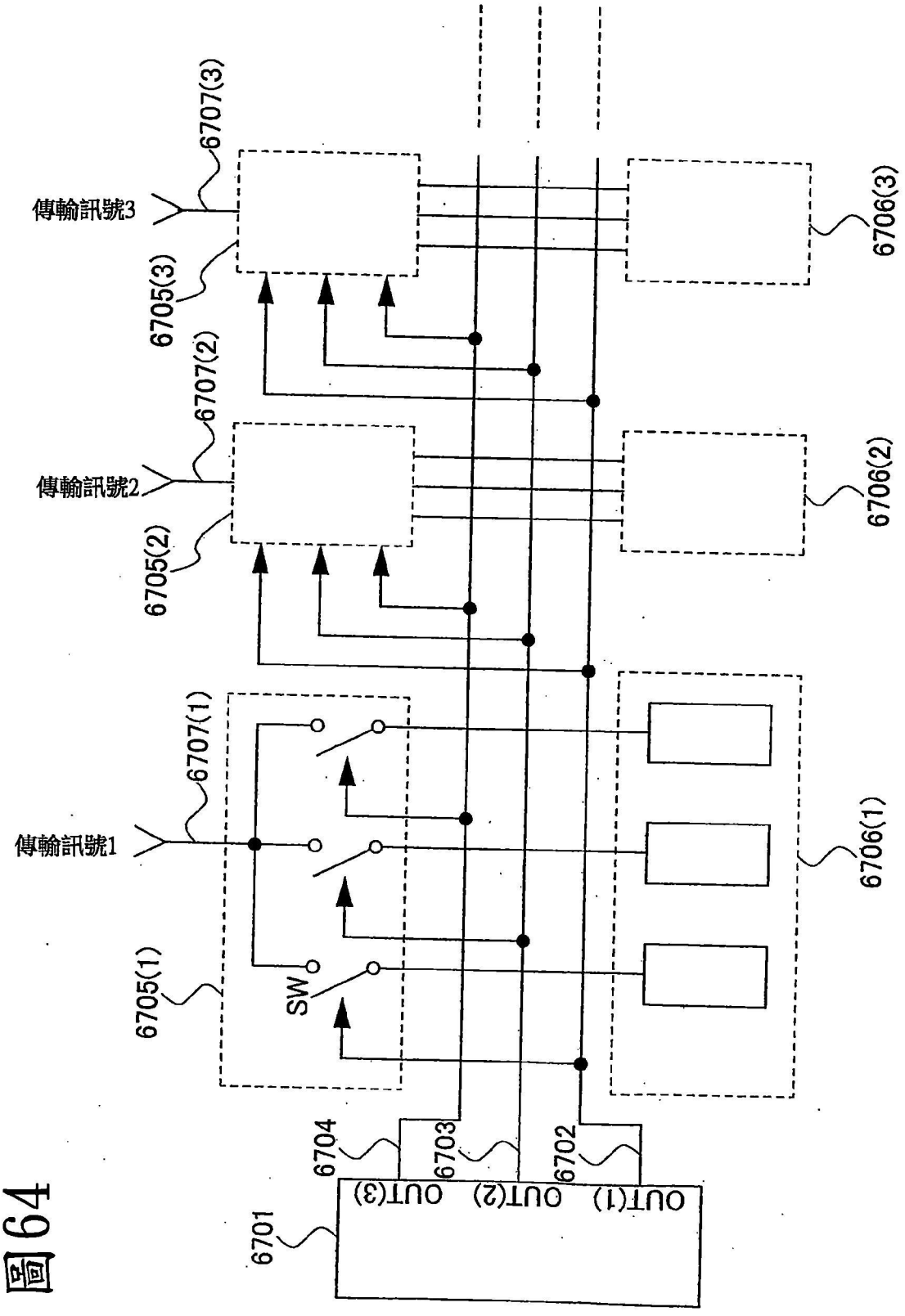

6701
6704
6703
6702
OUT(3)
OUT(2)
OUT(1)
6705(1)
6707(1)
SW
傳輸訊號1
6706(1)
6705(2)
6707(2)
傳輸訊號2
6706(2)
6705(3)
6707(3)
傳輸訊號3
6706(3)

圖64

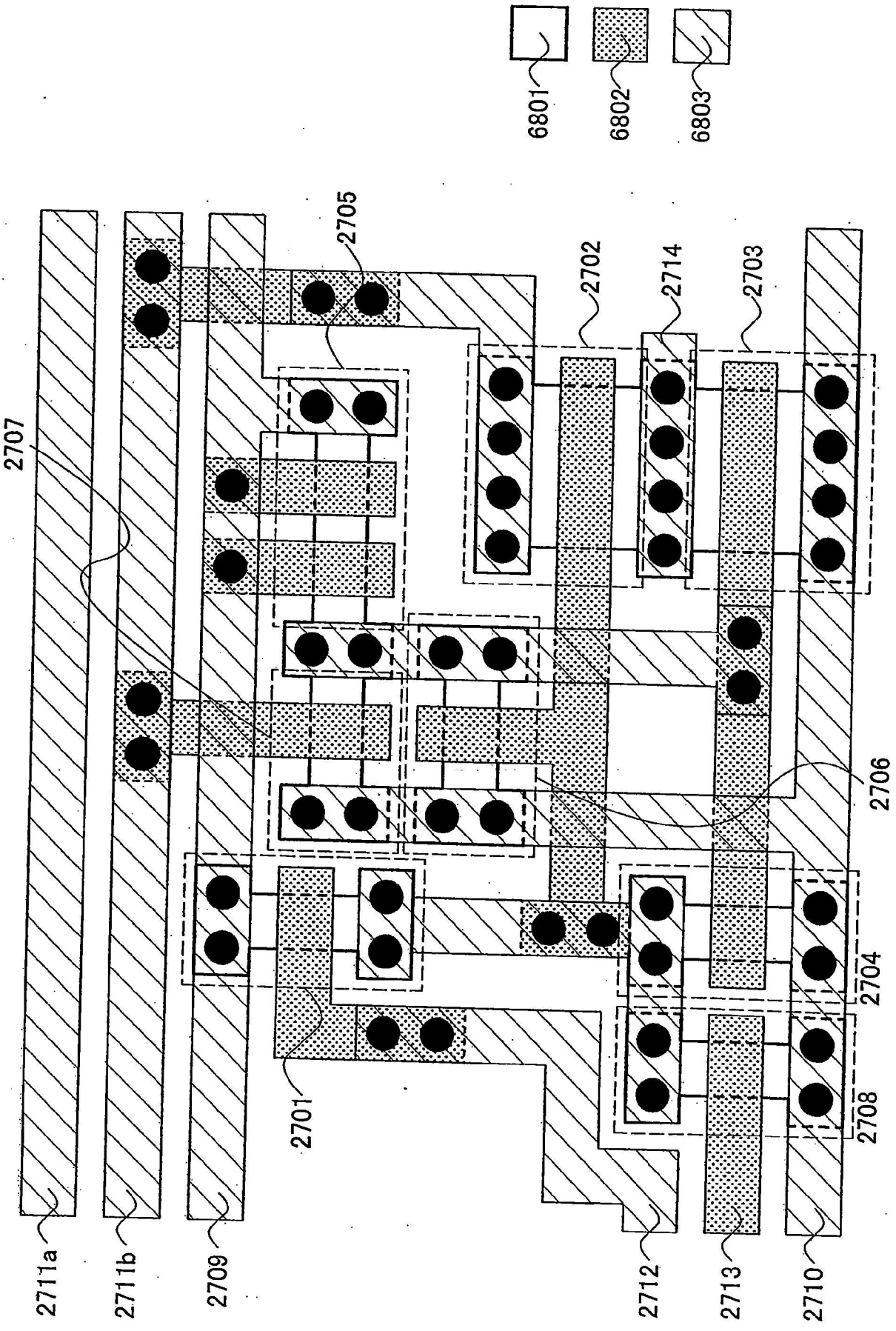

6801
6802
6803
2705
2702
2714
2703
2707
2706
2704
2701
2708
2711a
2711b
2709
2712
2713
2710

圖65

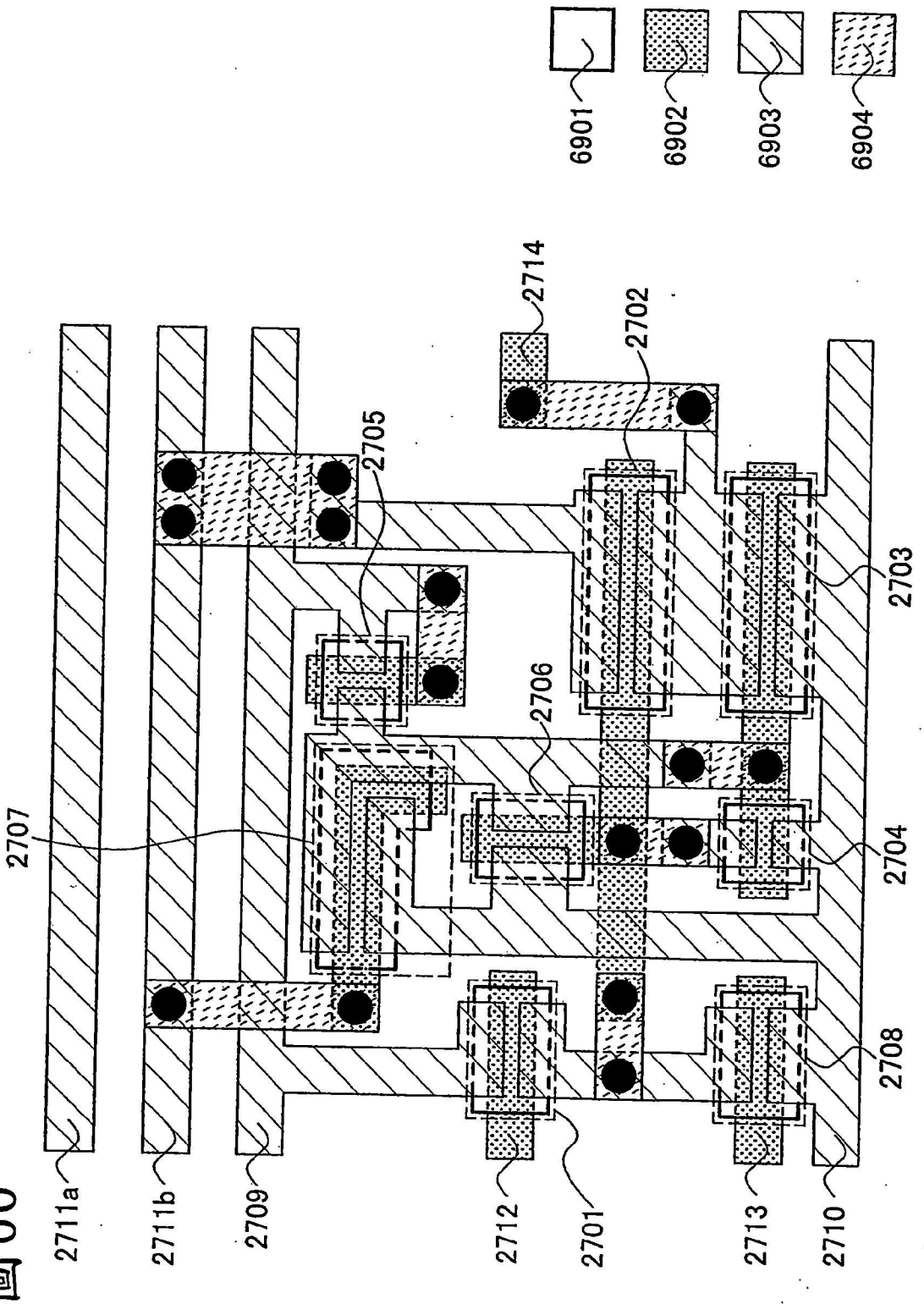

6901
6902
6903
6904
2714
2702
2705
2703
2706
2707
2704
2708
2711a
2711b
2709
2712
2701
2713
2710

圖66

圖67A

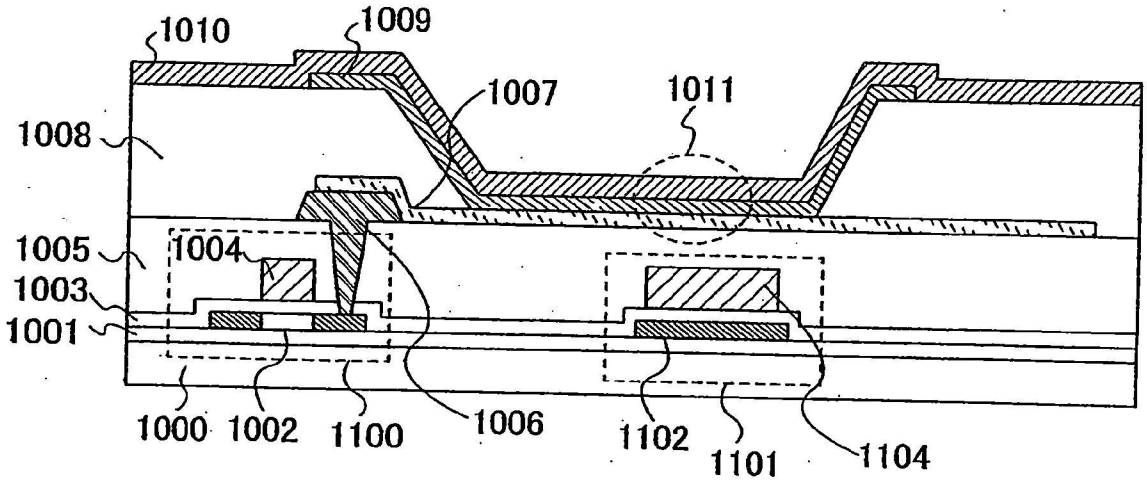

1010
1009
1007
1011
1008
1005
1004
1003
1001
1000
1002
1100
1006
1102
1101
1104

圖67B

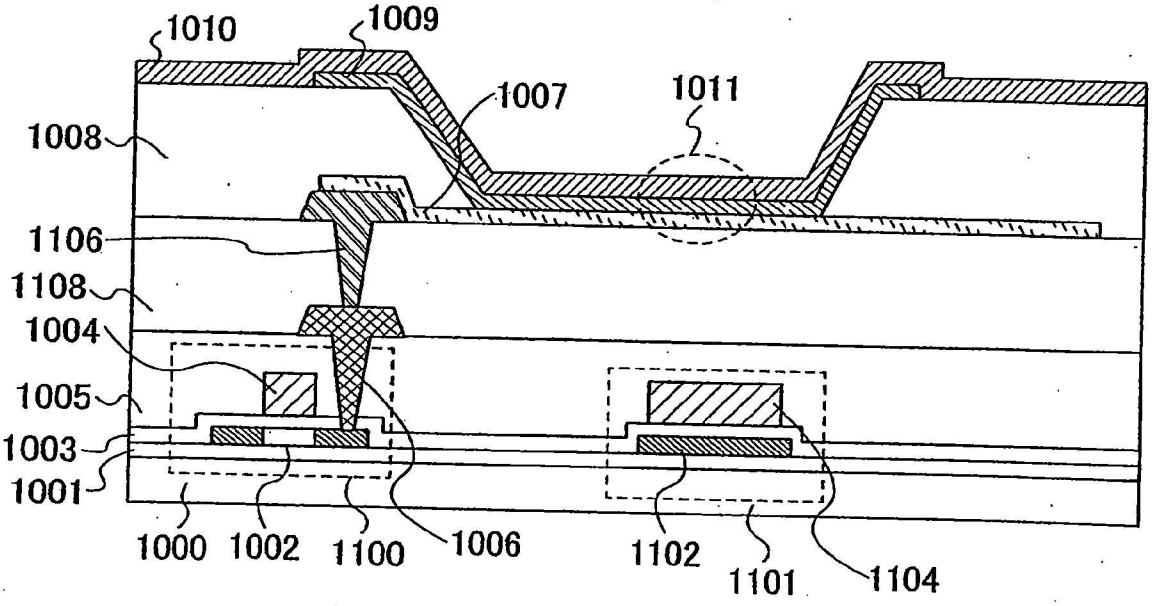

1010
1009
1007
1011
1008
1106
1108
1004
1005
1003
1001
1000
1002
1100
1006
1102
1101
1104

圖68

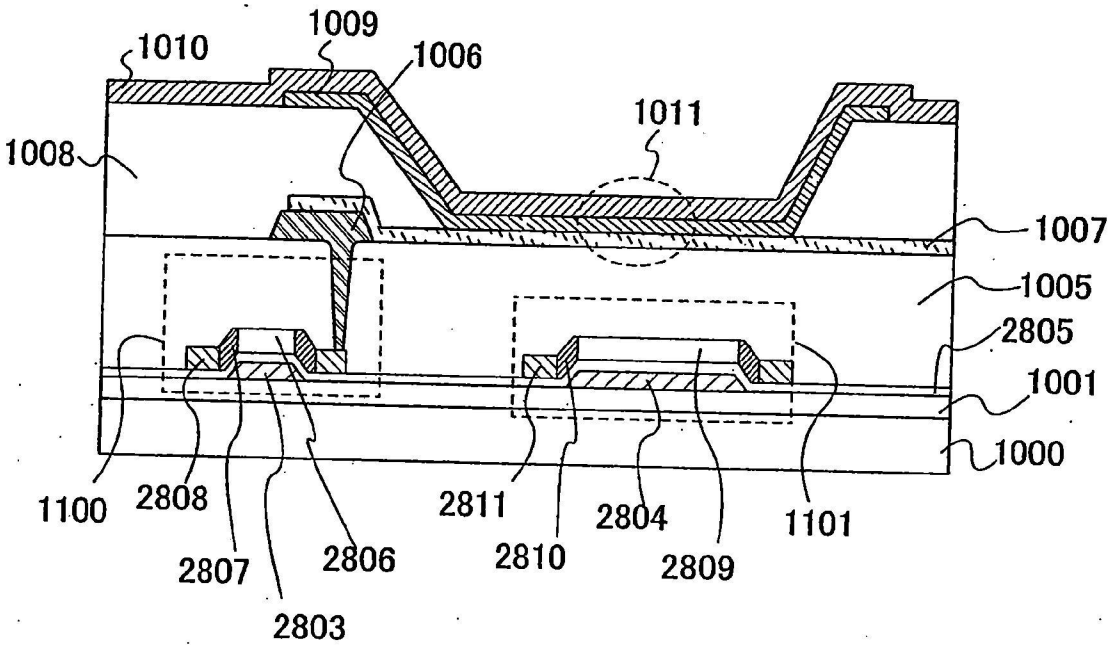

1010
1009
1006
1011
1008
1007
1005
2805
1001
1000
1100
2808
2807
2803
2806
2811
2810
2804
2809
1101

圖69A

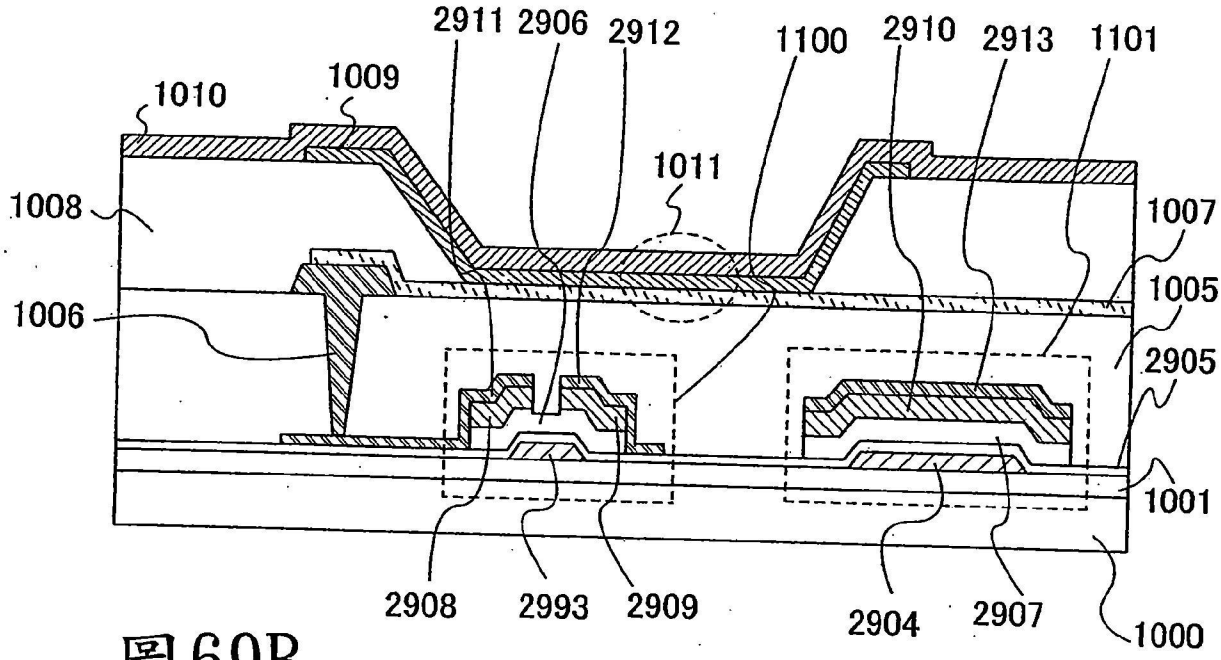

2911
2906
2912
1100
2910
2913
1101
1010
1009
1011
1008
1007
1006
1005
2905
1001
2908
2993
2909
2904
2907
1000

圖69B

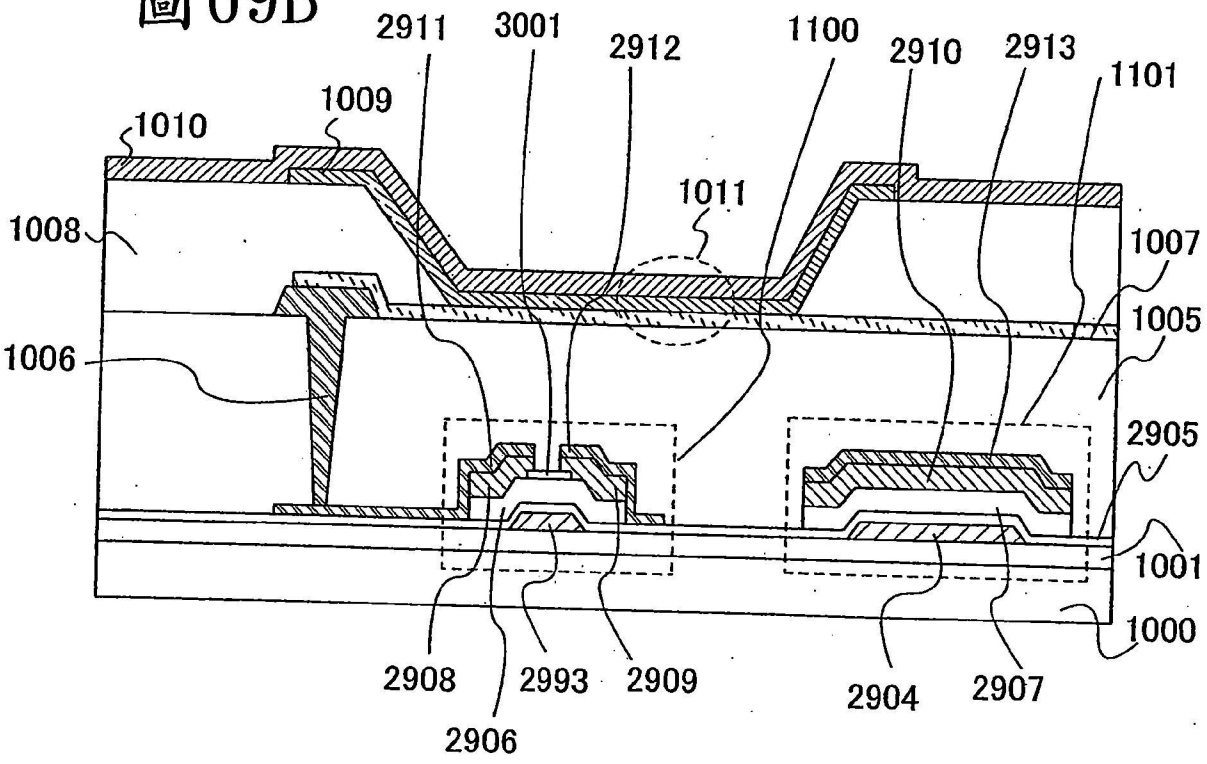

2911
3001
2912
1100
2910
2913
1101
1010
1009
1011
1008
1007
1006
1005
2905
1001
1000
2908
2993
2909
2904
2907
2906

圖70A

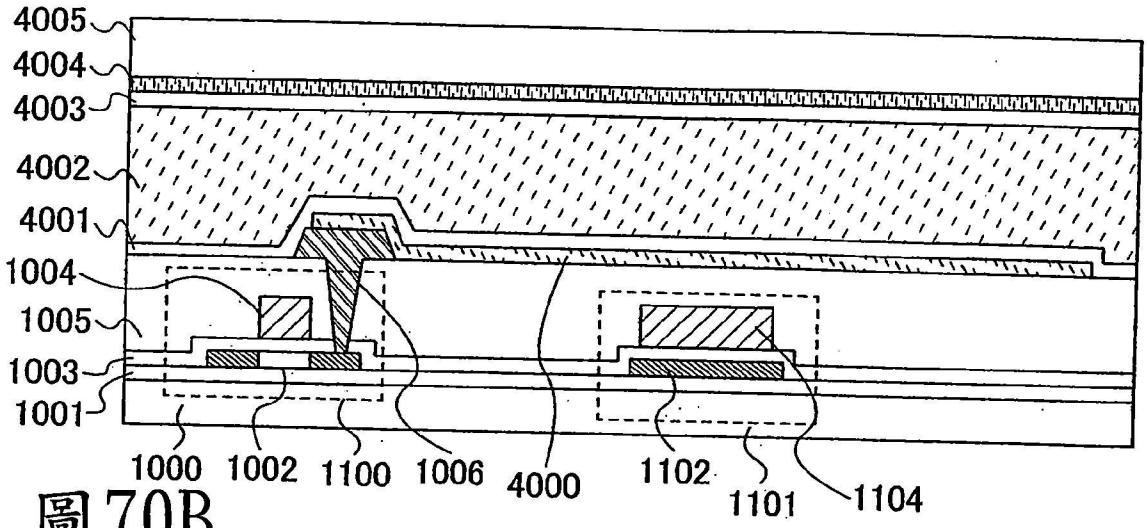


圖70B

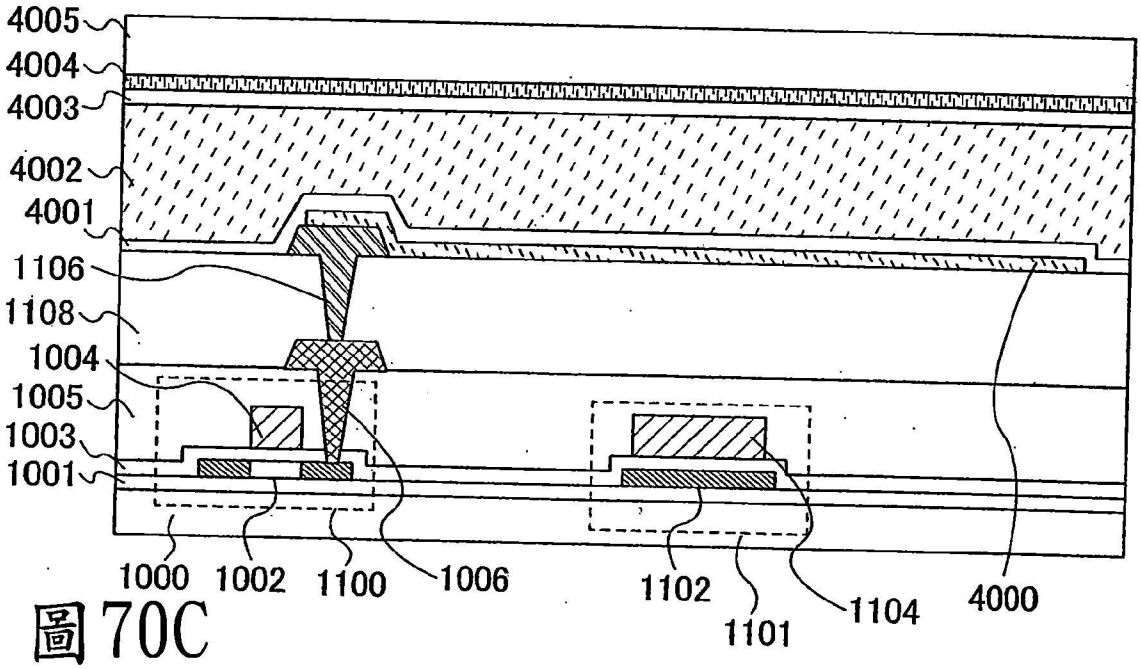


圖70C

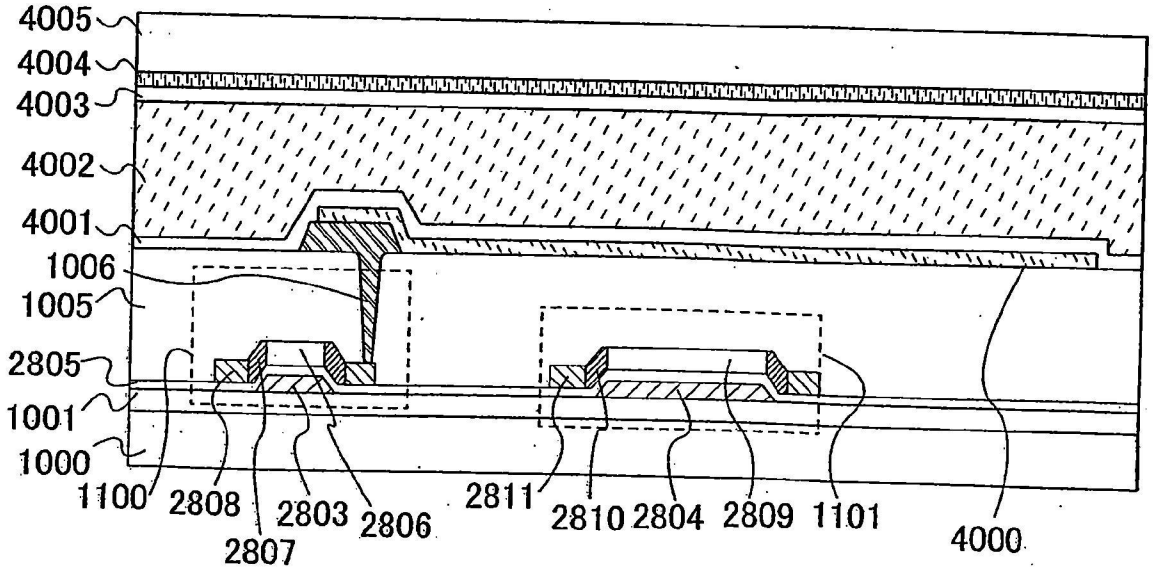


圖71A

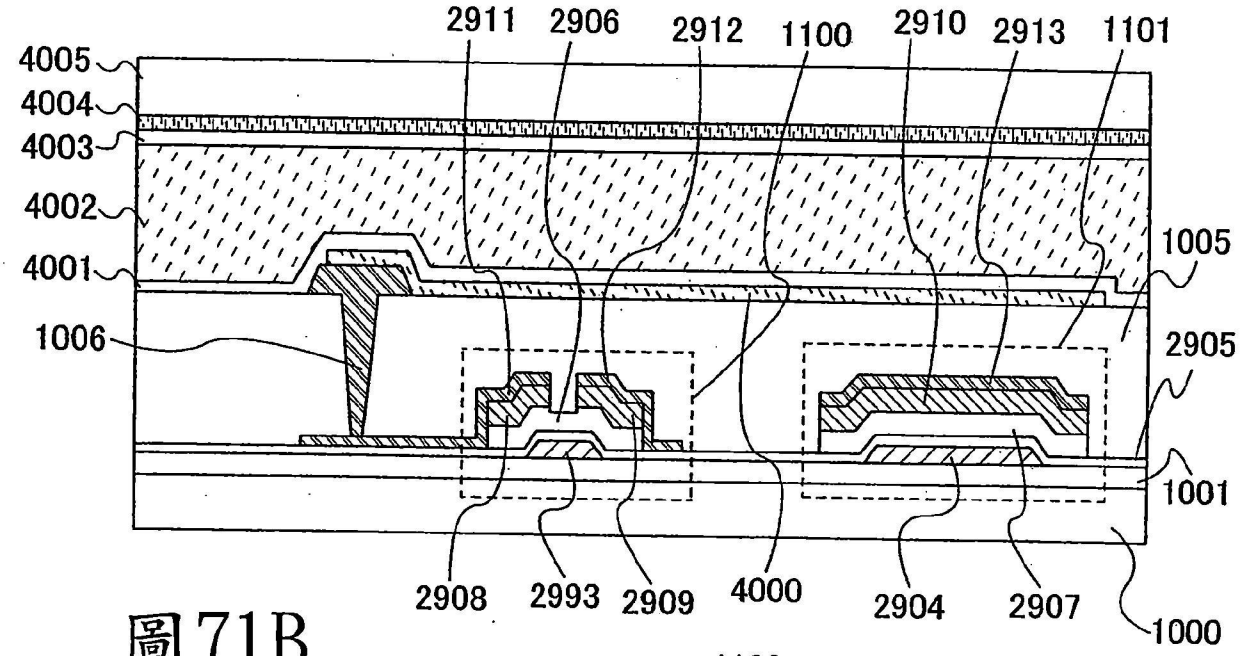

2911
2906
2912
1100
2910
2913
1101
4005
4004
4003
4002
4001
1006
1005
2905
1001
2908
2993
2909
4000
2904
2907
1000

圖71B

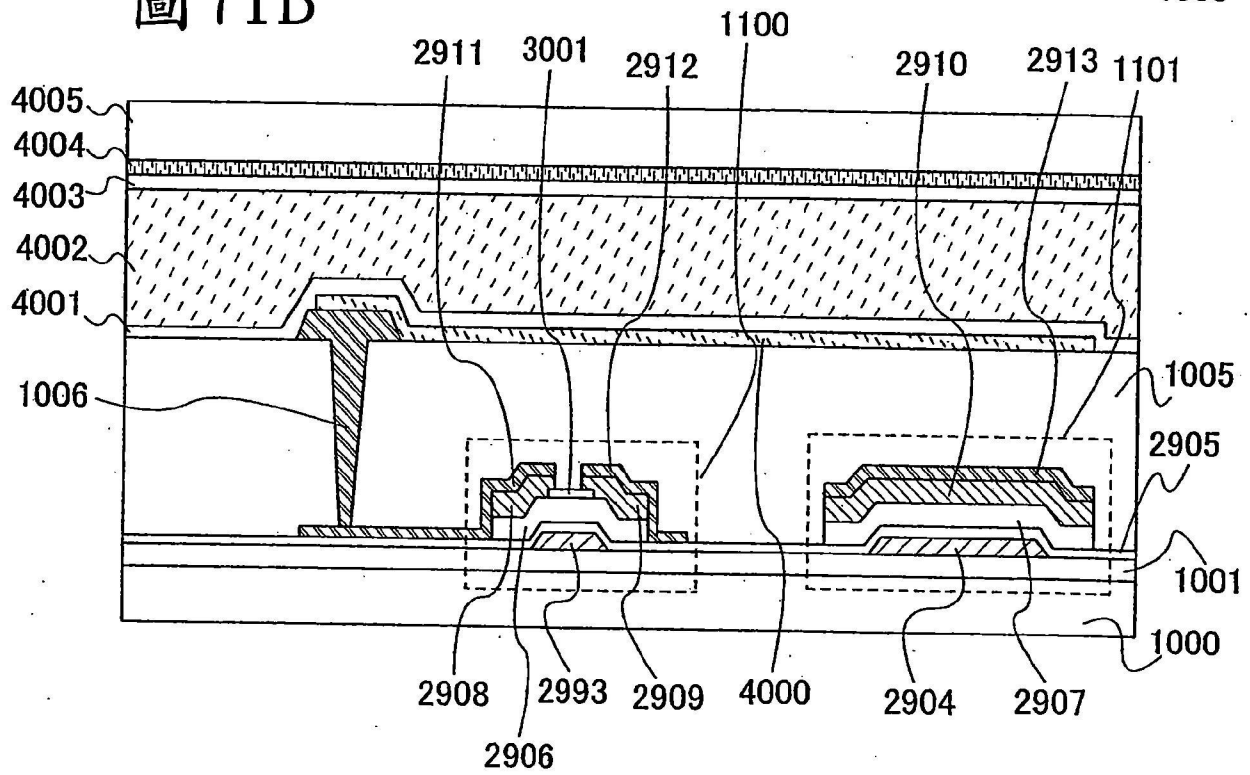

2911
3001
2912
1100
2910
2913
1101
4005
4004
4003
4002
4001
1006
1005
2905
1001
1000
2908
2993
2909
4000
2904
2907
2906

圖72A

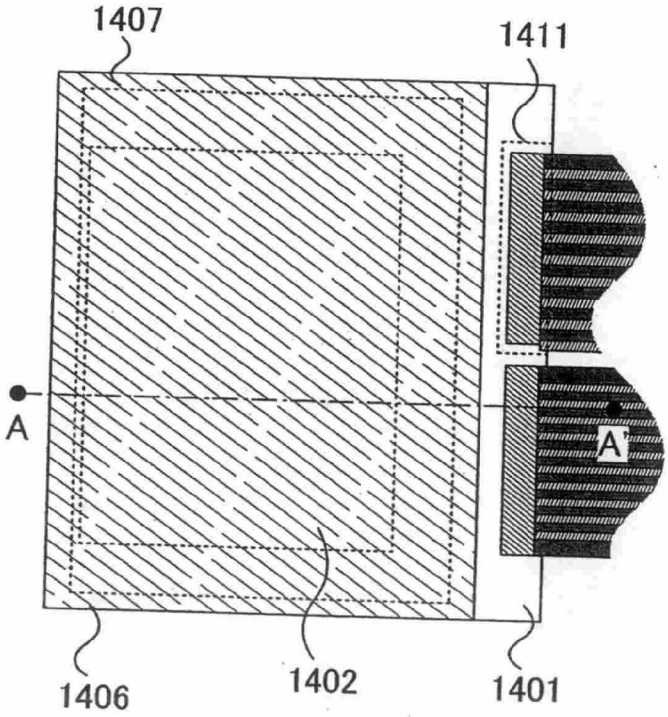


圖72B

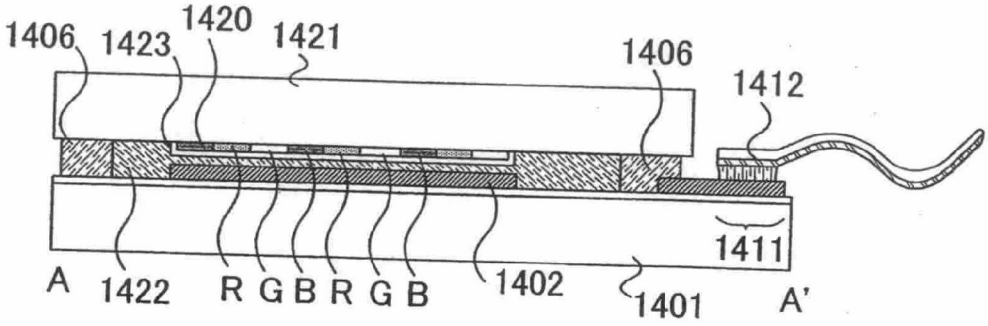


圖72C

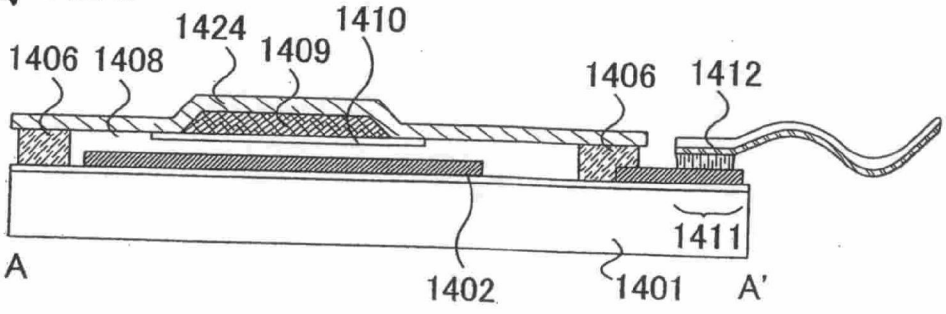


圖73

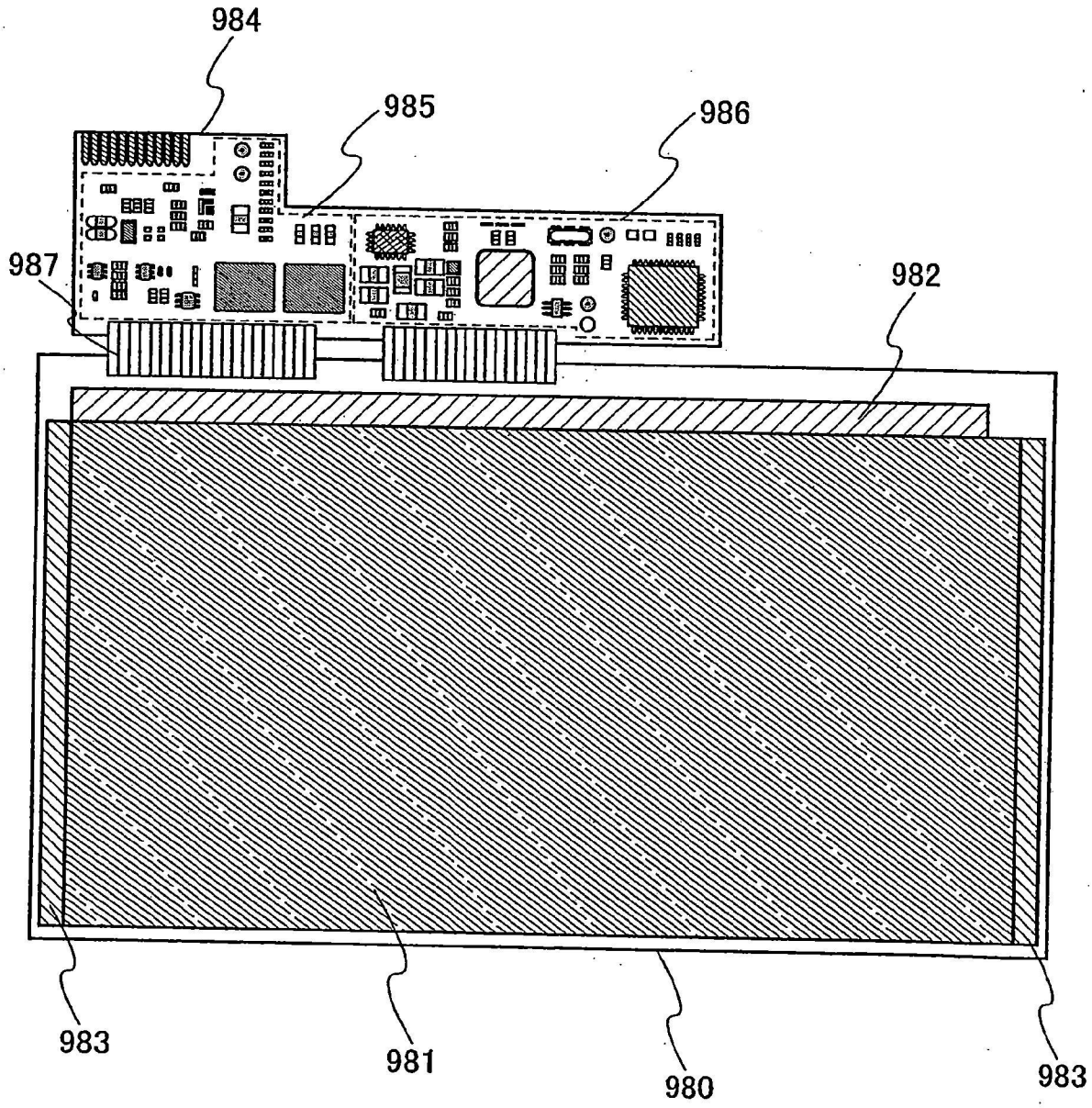


圖74A

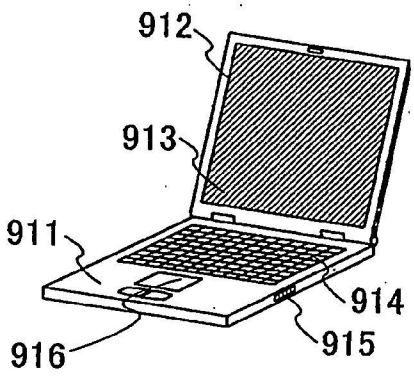


圖74B

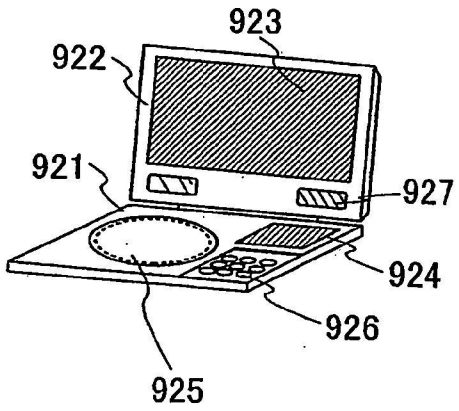


圖74C

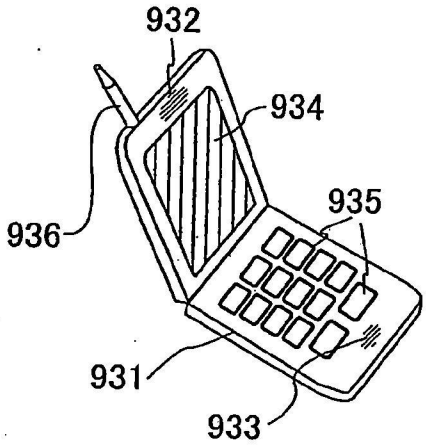


圖74D

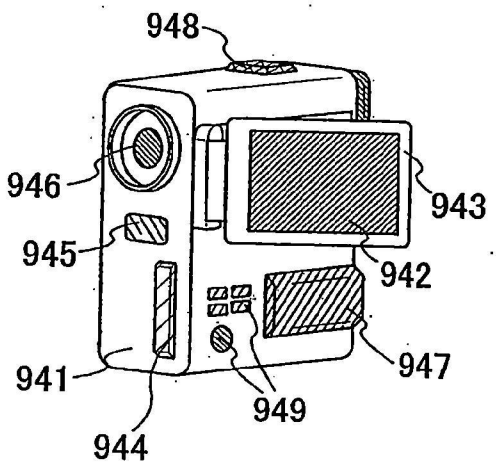


圖75A

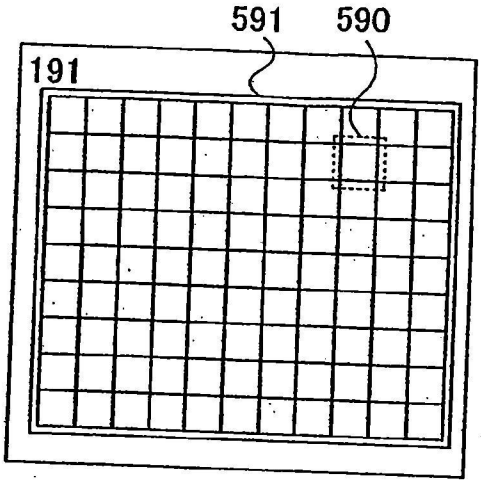


圖75B

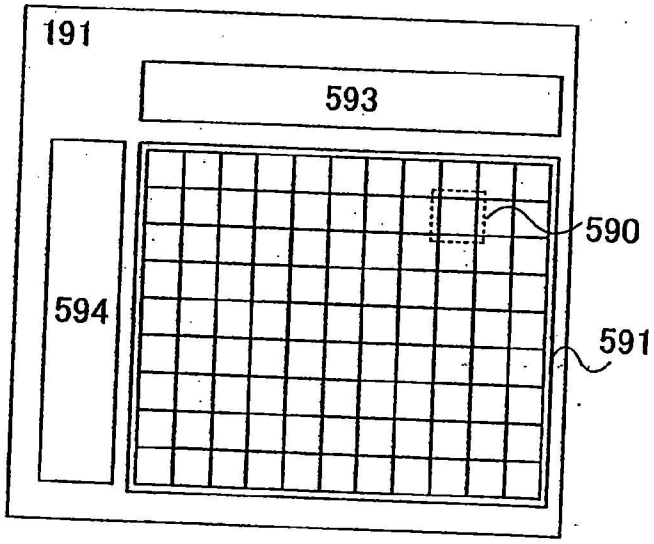


圖76A

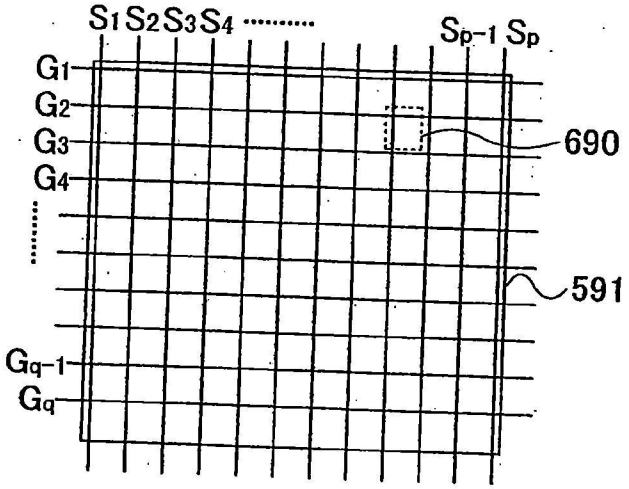

S1 S2 S3 S4 ·····
Sp-1 Sp
G1
G2
G3
G4
690
591
Gq-1
Gq

圖76B

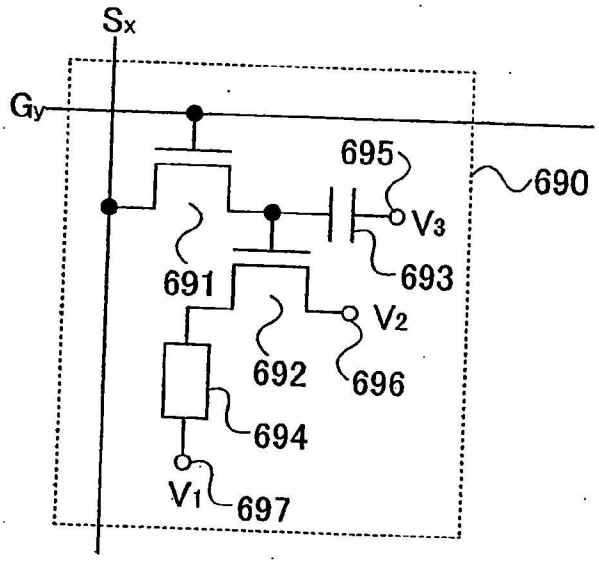

Sx
Gy
695
690
V3
691
693
V2
692
696
694
V1
697

圖77A

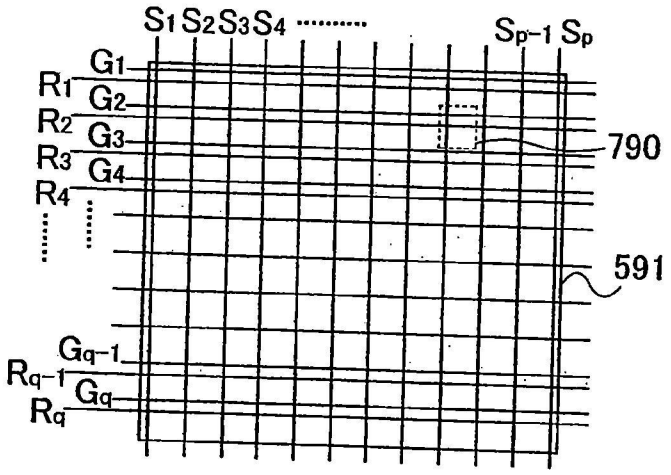


圖77B

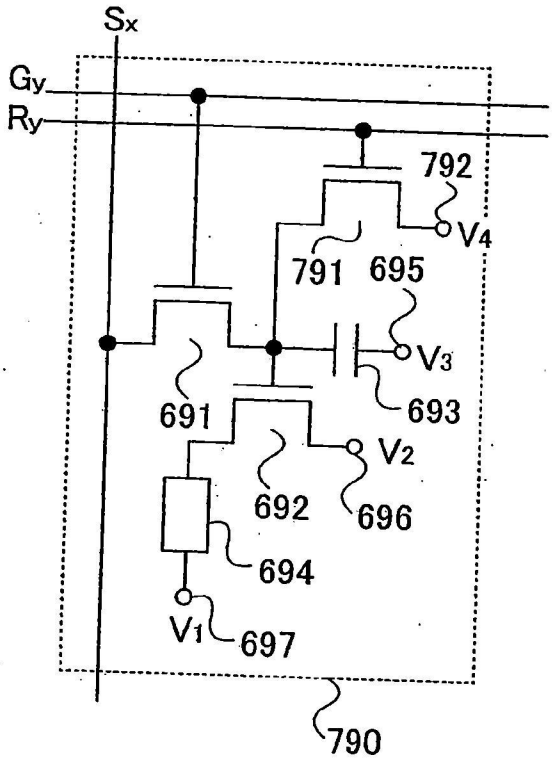


圖77C

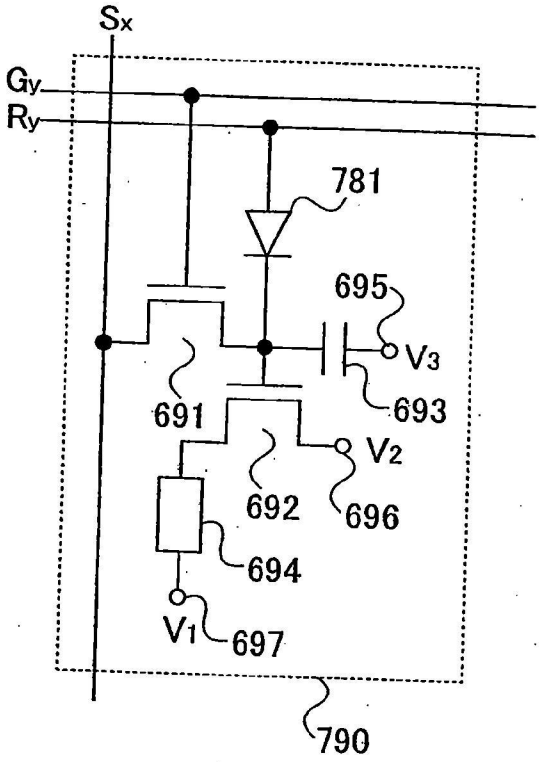


圖78A

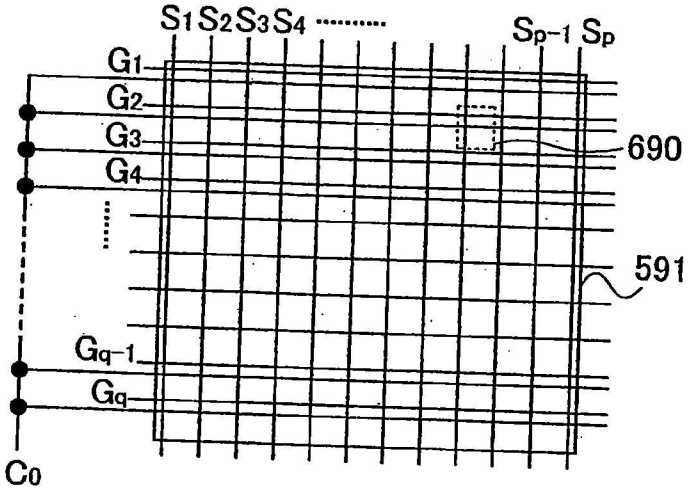
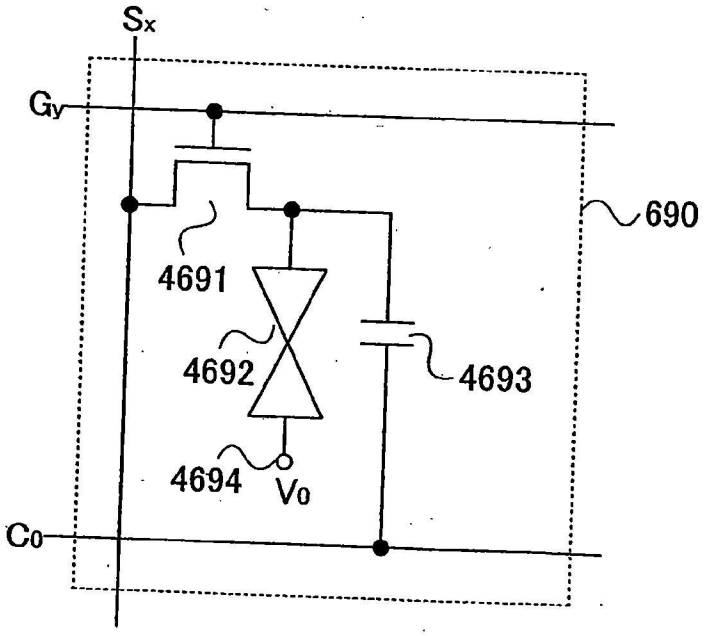

S1 S2 S3 S4 .....
Sp-1 Sp
G1
G2
G3
G4
690
591
Gq-1
Gq
C0

圖78B


Sx
Gy
690
4691
4692
4693
4694
V0
C0